

誤り訂正符号 (ECC) 内蔵4Mビット MoBL™ 超低消費電力RAM

(512K ワード × 8 ビット)

特長

- 高速 : 45 ns/55 ns
- スタンバイ時の超低消費電力
 - 標準スタンバイ電流 : 3.5 μ A
 - 最大スタンバイ電流 : 8.7 μ A
- シングルビットエラー訂正用の内蔵 ECC^[1]
- 広い電圧範囲 : 1.65 V ~ 2.2 V, 2.2 V ~ 3.6 V, 4.5 V ~ 5.5 V
- 1.0 V データ保持
- TTL 互換の入出力
- Pb フリー 32 ピン SOIC および 32 ピン TSOP II/STSOP パッケージ

機能詳細

CY62148G は、組み込み ECC を備えた高性能 CMOS 低電力 (MoBL™) SRAM デバイス^[1] です。このデバイスは、複数のピン コンフィギュレーションが提供されます。

チップイネーブル (\overline{CE}) 入力を LOW にアサートしてデバイスへアクセスできます。書き込みイネーブル (\overline{WE}) 入力を LOW にアサートし、データを I/O₀ ~ I/O₇ に、アドレスを A₀ ~ A₁₈ ピンに提供してデータ書き込みが行われます。

データ読み出しは、出力イネーブル (\overline{OE}) 入力をアサートして、アドレスラインに必要なアドレスを提供することによって実行されます。読み出しデータは、I/O ライン (I/O₀ ~ I/O₇) 上でアクセス可能です。

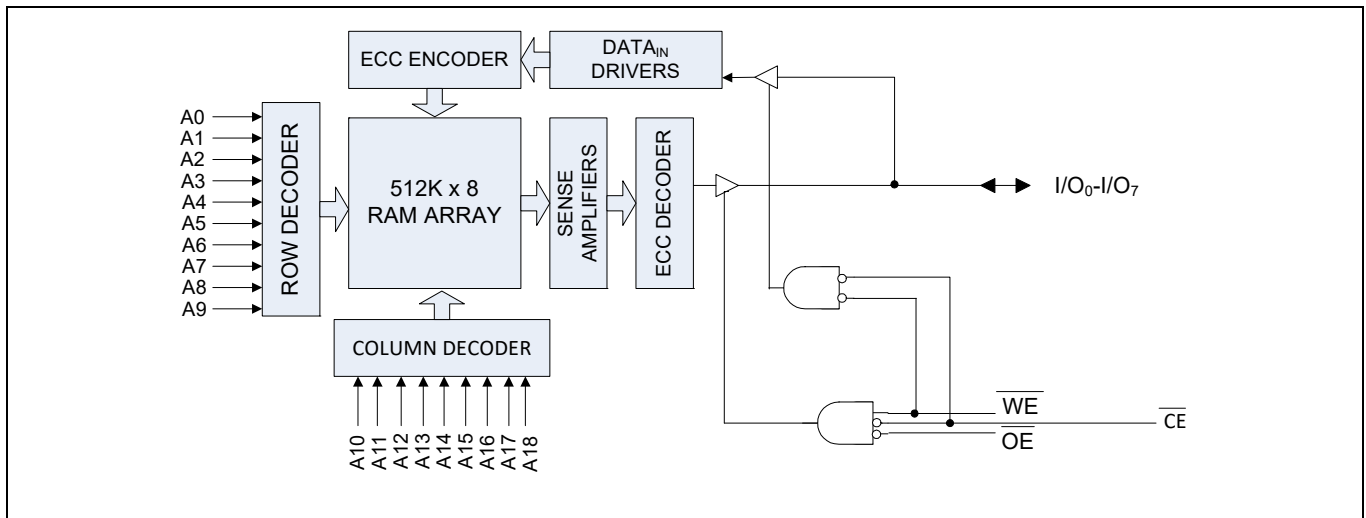
デバイスが選択解除される (\overline{CE} HIGH または制御信号 \overline{OE} がデアサートされる) と、すべての I/O (I/O₀ ~ I/O₇) は、HI-Z 状態になります。

読み出しモードと書き込みモードの詳細な説明については、[真値表 - CY62148G](#) を参照してください。論理ブロック図は 2 ページに示されています。

注:

1. このデバイスは、エラー検出時に自動ライトバックに対応しません。

論理ブロック図 - CY62148G



目次

目次

特長	1
機能詳細.....	1
論理ブロック図 - CY62148G	2
目次	3
1 ピン コンフィギュレーション.....	4
2 製品ポートフォリオ.....	5
3 最大定格	6
4 動作範囲	7
5 DC 電気的特性	8
6 静電容量	10
7 熱抵抗.....	11
8 AC テストの負荷および波形	12
9 データ保持特性	13
10 データ保持波形	14
11 AC スイッチング特性.....	15
12 スイッチング波形	16
13 真理値表 - CY62148G	19
14 注文情報	20
14.1 注文コードの定義	20
15 パッケージ図.....	21
16 略語	23
17 本書の表記法.....	24
17.1 測定単位	24
改訂履歴.....	25
免責事項.....	26

1 ピン コンフィギュレーション

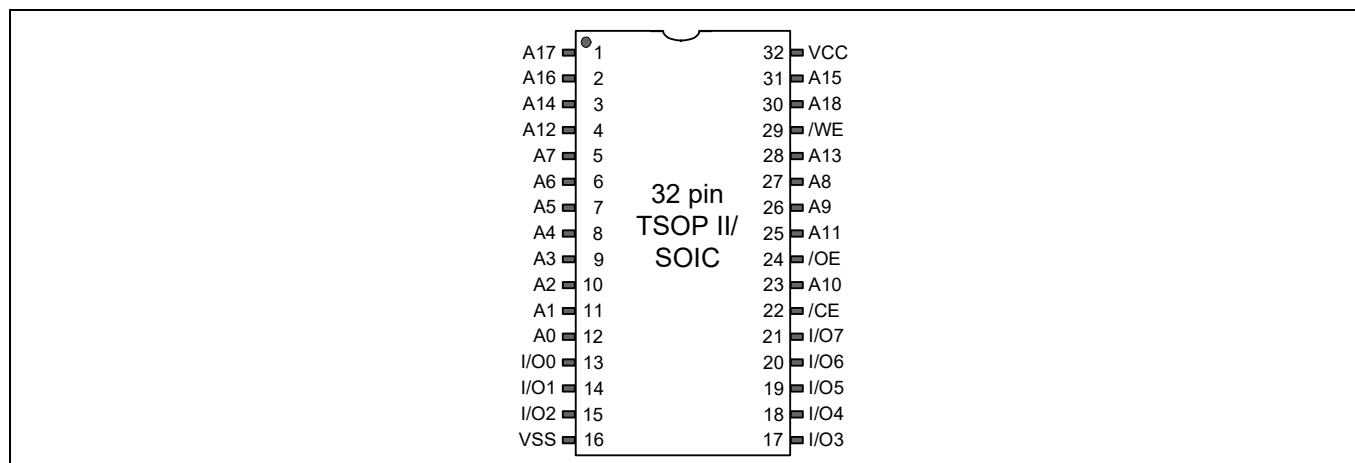


Figure 1 32 ピン SOIC/TSOP II のピン配置

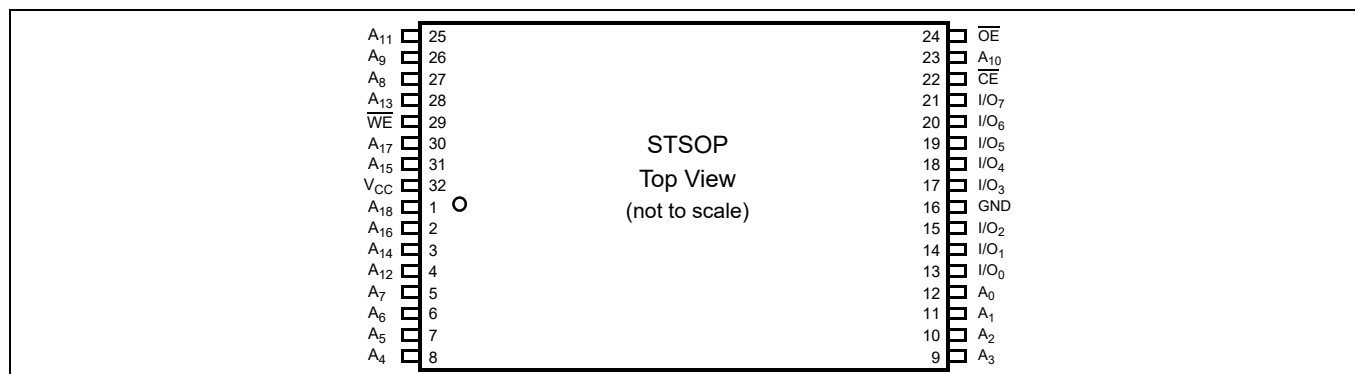


Figure 2 32 ピン STSOP (上面図) のピン配置

2 製品ポートフォリオ

Table 1 製品ポートフォリオ

製品	範囲	V _{CC} の範囲 (V)	速度 (ns)	消費電力			
				I _{CC} 動作 (mA)		スタンバイ I _{SB2} (μA)	
				f = f _{max}			
				Typ ^[2]	Max	Typ ^[2]	Max
CY62148G18	産業用	1.65 V～2.2 V	55	–	20	–	10
CY62148G30		2.2 V～3.6 V	45	–	20	3.5	8.7
CY62148G		4.5 V～5.5 V					

注:

- 標準値は単なる参照値であり、保証または検査されていません。標準値は、V_{CC} = 1.8 V (V_{CC} が 1.65 V ~ 2.2 V), V_{CC} = 3 V (V_{CC} が 2.2 V ~ 3.6 V), および V_{CC} = 5 V (V_{CC} が 4.5 V ~ 5.5 V、T_A = 25°C で測定しています。

3 最大定格

最大定格を超えるとデバイスの寿命が短くなる可能性があります。ユーザーガイドラインはテストされていません。

Table 2 最大定格

パラメーター	最大定格
保存温度	-65°C ~ +150°C
通電時の周囲温度	-55°C ~ +125°C
電源温度からグラウンド電位 ^[5]	-0.5 V ~ $V_{CC} + 0.5$ V
HI-Z 状態の出力に印加される DC 電圧 ^[5]	-0.5 V ~ $V_{CC} + 0.5$ V
DC 入力電圧 ^[5]	-0.5 V ~ $V_{CC} + 0.5$ V
出力への出力電流 (LOW 状態にある場合)	20 mA
静電気放電電圧 (MIL-STD-883, メソッド 3015)	> 2001 V
ラッチアップ電流	> 140 mA

4 動作範囲

Table 3 動作範囲

グレード	周囲温度	V _{CC} ^[3]
産業用	-40°C ~ +85°C	1.65 V ~ 2.2 V
		2.2 V ~ 3.6 V
		4.5 V ~ 5.5 V

注:

3. デバイスの完全 AC 動作は、0 から V_{CC(min)} への 100 μs のランプ時間、および V_{CC} が安定した後、200 μs の待機時間を想定しています。

5 DC 電気的特性

Table 4 DC 電気的特性

−40°C ~ 85°C の温度範囲において

パラメーター	説明		テスト条件		45 ns / 55 ns			単位
					Min	Typ	Max	
V _{OH}	出力 HIGH 電圧	1.65 V ～ 2.2 V	V _{CC} = Min, I _{OH} = -0.1 mA		1.4	-	-	V
		2.2 V ～ 2.7 V	V _{CC} = Min, I _{OH} = -0.1 mA		2	-	-	
		2.7 V ～ 3.6 V	V _{CC} = Min, I _{OH} = -1.0 mA		2.2	-	-	
		4.5 V ～ 5.5 V	V _{CC} = Min, I _{OH} = -1.0 mA		2.4	-	-	
		4.5 V ～ 5.5 V	V _{CC} = Min, I _{OH} = -0.1 mA		V _{CC} - 0.5 ^[4]	-	-	
V _{OL}	出力 LOW 電圧	1.65 V ～ 2.2 V	V _{CC} = Min, I _{OL} = 0.1 mA		-	-	0.2	V
		2.2 V ～ 2.7 V	V _{CC} = Min, I _{OL} = 0.1 mA		-	-	0.4	
		2.7 V ～ 3.6 V	V _{CC} = Min, I _{OL} = 2.1 mA		-	-	0.4	
		4.5 V ～ 5.5 V	V _{CC} = Min, I _{OL} = 2.1 mA		-	-	0.4	
V _{IH}	入力 HIGH 電圧	1.65 V ～ 2.2 V	-		1.4	-	V _{CC} + 0.2 ^[5]	V
		2.2 V ～ 2.7 V	-		1.8	-	V _{CC} + 0.3 ^[5]	
		2.7 V ～ 3.6 V	-		2	-	V _{CC} + 0.3 ^[5]	
		4.5 V ～ 5.5 V	-		2.2	-	V _{CC} + 0.5 ^[5]	
V _{IL}	入力 LOW 電圧	1.65 V ～ 2.2 V	-		-0.2 ^[5]	-	0.4	V
		2.2 V ～ 2.7 V	-		-0.3 ^[5]	-	0.6	
		2.7 V ～ 3.6 V	-		-0.3 ^[5]	-	0.8	
		4.5 V ～ 5.5 V	-		-0.5 ^[5]	-	0.8	
I _{IX}	入力リーク電流		GND ≤ V _{IN} ≤ V _{CC}		-1	-	+1	μA
I _{OZ}	出力リーク電流		GND ≤ V _{OUT} ≤ V _{CC} , 出力が無効		-1	-	+1	μA
I _{CC}	V _{CC} の動作時電源電流		最大 V _{CC} , I _{OUT} = 0 mA, CMOS レベル	f = 22.22 MHz (45 ns)	-	-	20	mA
				f = 18.18 MHz (55 ns)	-	-	20	mA
				f = 1 MHz	-	-	6	mA

注:

- このパラメーターは設計保証であり、テストは行われていません。
- パルス幅が 20ns 未満の場合は、 $V_{IL(\text{min})} = -2.0 \text{ V}$, $V_{IH(\text{max})} = V_{CC} + 2 \text{ V}$ 。

誤り訂正符号 (ECC) 内蔵 4M ビット MoBL™ 超低消費電力 RAM
(512K ワード × 8 ビット)



DC 電気的特性

Table 4 DC 電気的特性 (continued)

−40°C ~ 85°C の温度範囲において

パラメーター	説明	テスト条件		45 ns / 55 ns			単位
				Min	Typ	Max	
I _{SB1} ^[6]	電源自動切断時の電流 - CMOS 入力; V _{CC} = 2.2 V ~ 3.6 V および 4.5 V ~ 5.5 V	$\overline{CE}_1 \geq V_{CC} - 0.2\text{ V}$ または $CE_2 \leq 0.2\text{ V}$, $V_{IN} \geq V_{CC} - 0.2\text{ V}$ または $V_{IN} \leq 0.2\text{ V}$, $f = f_{\text{max}}$ (アドレスおよびデータのみ), $f = 0$ (\overline{OE} , および \overline{WE}), 最大 V _{CC}		-	-	8.7	μA
	電源自動切断時の電流 - CMOS 入力 V _{CC} = 1.65 V ~ 2.2 V			-	-	10	
I _{SB2} ^[6]	電源自動切断時の電流 - CMOS 入力 V _{CC} = 2.2 V ~ 3.6 V および 4.5 V ~ 5.5 V	$\overline{CE}_1 \geq V_{CC} - 0.2\text{ V}$ または $CE_2 \leq 0.2\text{ V}$, $V_{IN} \geq V_{CC} - 0.2\text{ V}$ または $V_{IN} \leq 0.2\text{ V}$, $f = 0$, 最大 V _{CC}	25°C ^[7]	-	3.5	3.7	μA
			40°C ^[7]	-	-	4.8	
			70°C ^[7]	-	-	7	
			85°C	-	-	8.7	
	電源自動切断時の電流 - CMOS 入力 V _{CC} = 1.65 V ~ 2.2 V	$\overline{CE}_1 \geq V_{CC} - 0.2\text{ V}$ または $CE_2 \leq 0.2\text{ V}$, $V_{IN} \geq V_{CC} - 0.2\text{ V}$ または $V_{IN} \leq 0.2\text{ V}$, $f = 0$, 最大 V _{CC}	25°C ^[7]	-	3.5	4.3	
			40°C ^[7]	-	-	5	
			70°C ^[7]	-	-	7.5	
			85°C	-	-	10	

注:

- $I_{SB1} / I_{SB2} / I_{CCDR}$ の仕様を満たすために、チップイネーブル (\overline{CE}) を CMOS レベルに接続する必要があります。他の入力はフローティング状態のままにできます。
- I_{SB2} の 25°C, 40°C, 70°C での規格値、および 85°C での typ 値は、設計保証であり、実際には 100% テストされていません。

静電容量

6 静電容量

Table 5 静電容量

パラメーター ^[8]	説明	テスト条件	Max	単位
C _{IN}	入力容量	T _A = 25°C, f = 1 MHz, V _{CC} = V _{CC(typ)}	10	pF
C _{OUT}	出力容量		10	pF

注:

8. 開発時、およびこれらのパラメーターに影響を与えることがある設計 / プロセス変更がある場合にテストされます。

熱抵抗

7 熱抵抗

Table 6 熱抵抗

パラメーター [9]	説明	テスト条件	32ピン SOIC	32ピン TSOP II	32ピン STSOP	単位
Θ_{JA}	熱抵抗 (接合部から周囲環境)	無風状態で、 3 × 4.5 インチの 4層プリント回路 基板にはんだ付け	51.79	79.03	82.77	°C/W
Θ_{JC}	熱抵抗 (接合部からケース)		25.12	17.44	12.00	°C/W

注:

9. 開発時、およびこれらのパラメーターに影響を与えることがある設計 / プロセス変更がある場合にテストされます。

8 AC テストの負荷および波形

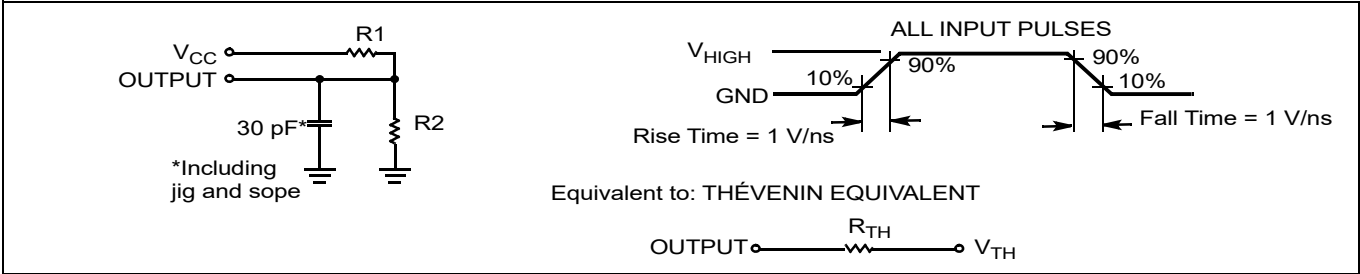


Figure 3 AC テストの負荷および波形^[10]

Table 7 AC テスト条件

パラメーター	1.8 V	2.5 V	3.0 V	5.0 V	単位
R1	13500	16667	1103	1800	Ω
R2	10800	15385	1554	990	Ω
R _{TH}	6000	8000	645	639	Ω
V _{TH}	0.80	1.20	1.75	1.77	V

注:

10. 完全なデバイス動作には、 $V_{DR} \sim V_{CC(min)}$ までのリニア V_{CC} ランプ時間が $100 \mu s$ を超える、または $V_{CC(min)}$ で安定した時間が $100 \mu s$ を超える必要があります。

9 データ保持特性

Table 8 データ保持特性

動作範囲において

パラメーター	説明	条件	Min	Typ ^[11]	Max	単位
V_{DR}	データ保持用の V_{CC}		1	–	–	V
$I_{CCDR}^{[12, 13]}$	データ保持電流	$V_{CC} = 1.2\text{ V}$, $\overline{CE}_1 \geq V_{CC} - 0.2\text{ V}$ または $CE_2 \leq 0.2\text{ V}$, $V_{IN} \geq V_{CC} - 0.2\text{ V}$ または $V_{IN} \leq 0.2\text{ V}$	–	–	13	μA
$t_{CDR}^{[14, 15]}$	チップの選択解除から データ保持開始までの 時間		0	–	–	ns
$t_R^{[15]}$	動作復帰時間		45/55	–	–	ns

注:

- 標準値は単なる参照値であり、保証または検査されていません。標準値は、 $V_{CC} = 1.8\text{ V}$ (V_{CC} が $1.65\text{ V} \sim 2.2\text{ V}$)、 $V_{CC} = 3\text{ V}$ (V_{CC} が $2.2\text{ V} \sim 3.6\text{ V}$)、および $V_{CC} = 5\text{ V}$ (V_{CC} が $4.5\text{ V} \sim 5.5\text{ V}$ 、 $T_A = 25^\circ\text{C}$ で測定しています。
- $I_{SB1} / I_{SB2} / I_{CCDR}$ の仕様を満たすために、チップイネーブル (\overline{CE}) を CMOS レベルに接続する必要があります。他の入力フローティング状態のままにすることができます。
- I_{CCDR} は、デバイスが最初に $V_{CC(\min)}$ に電源投入され、 V_{DR} に下げられた後でのみ保証されています。
- これらのパラメーターは設計保証されます。
- 完全なデバイス動作には、 $V_{DR} \sim V_{CC(\min)}$ までのリニア V_{CC} ランプ時間が $100\mu\text{s}$ を超える、または $V_{CC(\min)}$ で安定した時間が $100\mu\text{s}$ を超える必要があります。

データ保持波形

10 データ保持波形

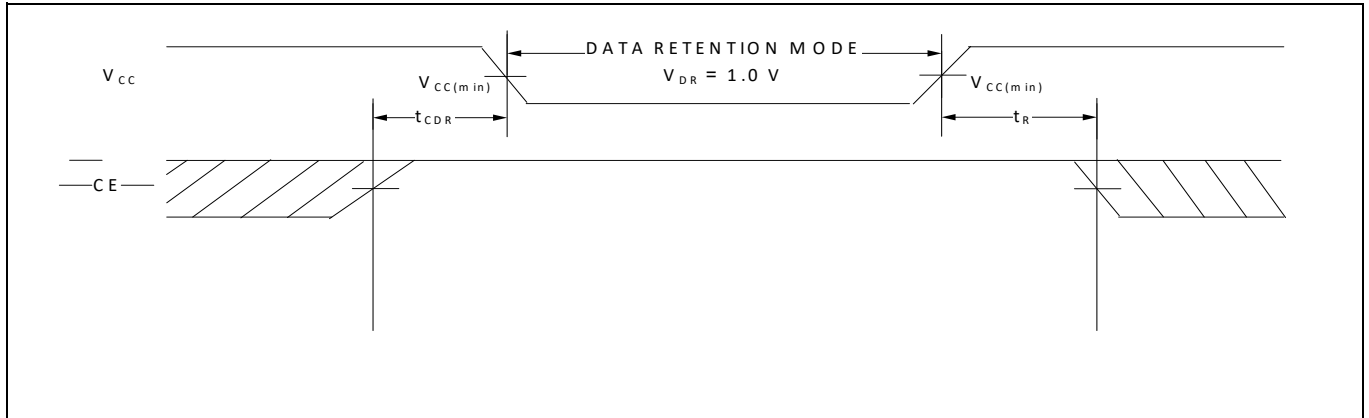


Figure 4 データ保持波形

11 AC スイッチング特性

Table 9 AC スイッチング特性

パラメーター ^[16, 17]	説明	45 ns		55 ns		単位
		Min	Max	Min	Max	
読み出しサイクル						
t _{RC}	読み出しサイクル時間	45	–	55	–	ns
t _{AA}	アドレス指定からデータ有効まで	–	45	–	55	ns
t _{OHA}	アドレス変更からのデータ ホールド時間	10	–	10	–	ns
t _{ACE}	\overline{CE} LOWからデータ有効まで	–	45	–	55	ns
t _{DOE}	\overline{OE} LOWからデータ有効まで	–	22	–	25	ns
t _{LZOE}	\overline{OE} LOWからLowインピーダンス ^[18]	5	–	5	–	ns
t _{HZOE}	\overline{OE} HIGH から HI-Z ^[18, 19]	–	18	–	18	ns
t _{LZCE}	\overline{CE} LOWからLowインピーダンス ^[18]	10	–	10	–	ns
t _{HZCE}	\overline{CE} HIGHからHI-Z ^[18, 19]	–	18	–	18	ns
t _{PU}	\overline{CE} LOWから電源投入まで	0	–	0	–	ns
t _{PD}	\overline{CE} HIGHから電源切断まで	–	45	–	55	ns
書き込みサイクル ^[20, 21]						
t _{WC}	書き込みサイクル時間	45	–	55	–	ns
t _{SCE}	\overline{CE} LOWから書き込み終了まで	35	–	45	–	ns
t _{AW}	アドレス セットアップから書き込み終了まで	35	–	45	–	ns
t _{HA}	書き込み終了からのアドレス ホールド時間	0	–	0	–	ns
t _{SA}	アドレス セットアップから書き込み開始まで	0	–	0	–	ns
t _{PWE}	\overline{WE} パルス幅	35	–	40	–	ns
t _{SD}	データ セットアップから書き込み終了まで	25	–	25	–	ns
t _{HD}	書き込み終了からのデータ ホールド時間	0	–	0	–	ns
t _{HZWE}	\overline{WE} LOWからHI-Z ^[18, 19]	–	18	–	20	ns
t _{LZWE}	\overline{WE} HIGHからLowインピーダンス ^[18]	10	–	10	–	ns

注:

- テスト条件では、信号遷移時間 (立ち上り / 立ち下り) が 3ns 以下、タイミング基準レベルが 1.5V ($V_{CC} > 3V$ の場合) か $V_{CC}/2$ ($V_{CC} < 3V$ の場合)、入力パルスレベルが 0V ~ 3V ($V_{CC} > 3V$ の場合) か 0 ~ V_{CC} ($V_{CC} < 3V$ の場合) であることを前提にします。特に指定しない限り、読み出しサイクルのテスト条件は **AC テストの負荷および波形** に示す出力負荷を使います。
- これらのパラメーターは設計保証されます。
- 任意の温度と電圧条件において、どのデバイスでも、 t_{HZCE} は t_{LZCE} より短く、 t_{HZOE} は t_{LZOE} より短く、 t_{HZWE} は t_{LZWE} より短いです。
- 出力が高インピーダンス状態に入ると、 t_{HZOE} 、 t_{HZCE} および t_{HZWE} の遷移が測定されます。
- メモリの内部書き込み時間は、 $\overline{WE} = V_{IL}$ 、 $\overline{CE} = V_{IL}$ のオーバーラップで定義されます。書き込みを開始するにはすべての信号をアクティブにし、書き込みを終了するにはこれらの信号のいずれかを非アクティブにします。データ入力セットアップとホールドのタイミングは、書き込みを終了させる信号のエッジを参照しなければいけません。
- 書き込みサイクル 3 (\overline{WE} 制御、 \overline{OE} LOW) の最小パルス幅は、 t_{SD} と t_{HZWE} の合計と等しい必要があります。

12 スイッチング波形

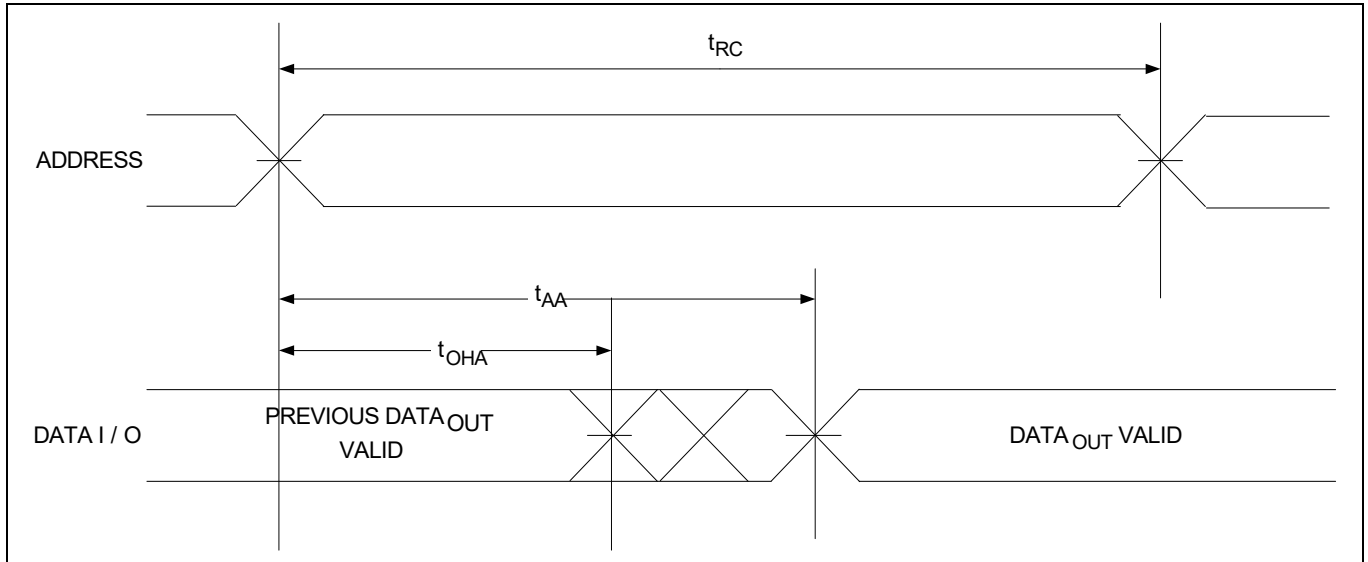


Figure 5 読み出しサイクル 1 (アドレス遷移制御) [22, 23]

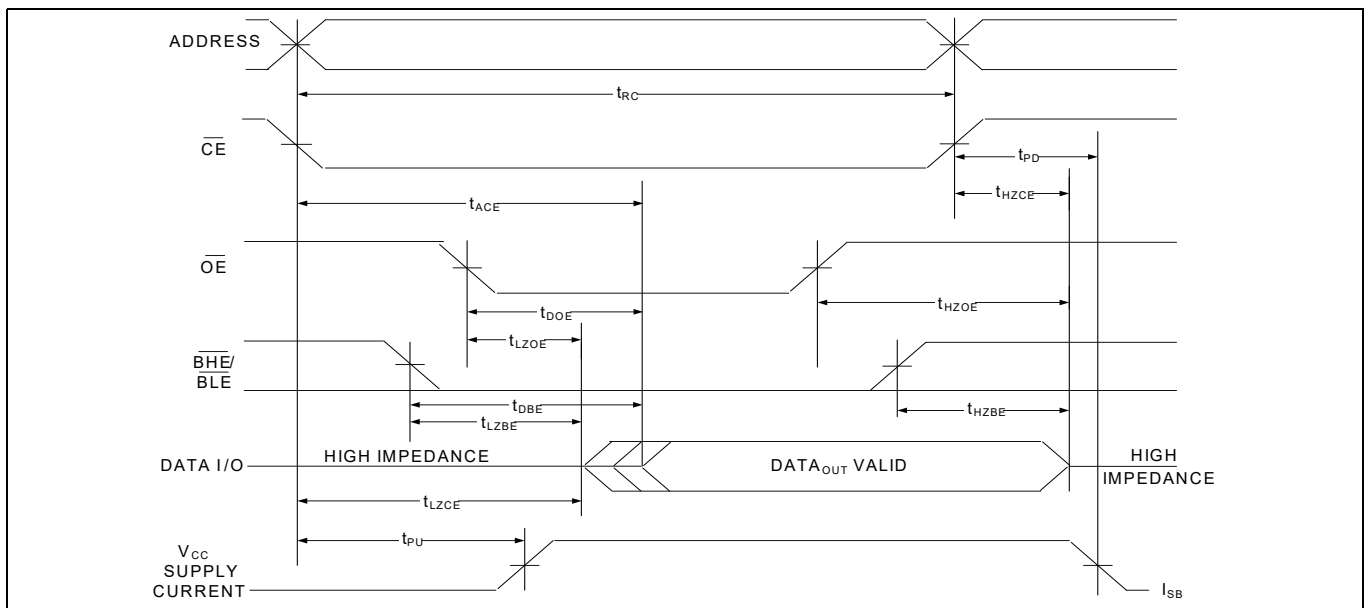


Figure 6 読み出しサイクル 2 (\overline{OE} 制御) [23, 24]

注:

- 22. デバイスは継続して選択されています。 $\overline{OE} = V_{IL}$ 、 $\overline{CE} = V_{IL}$ 。
- 23. 読み出しサイクルの間は \overline{WE} が HIGH です。
- 24. アドレスは、 \overline{CE} の LOW 遷移前、または遷移と同時に有効です。

スイッチング波形

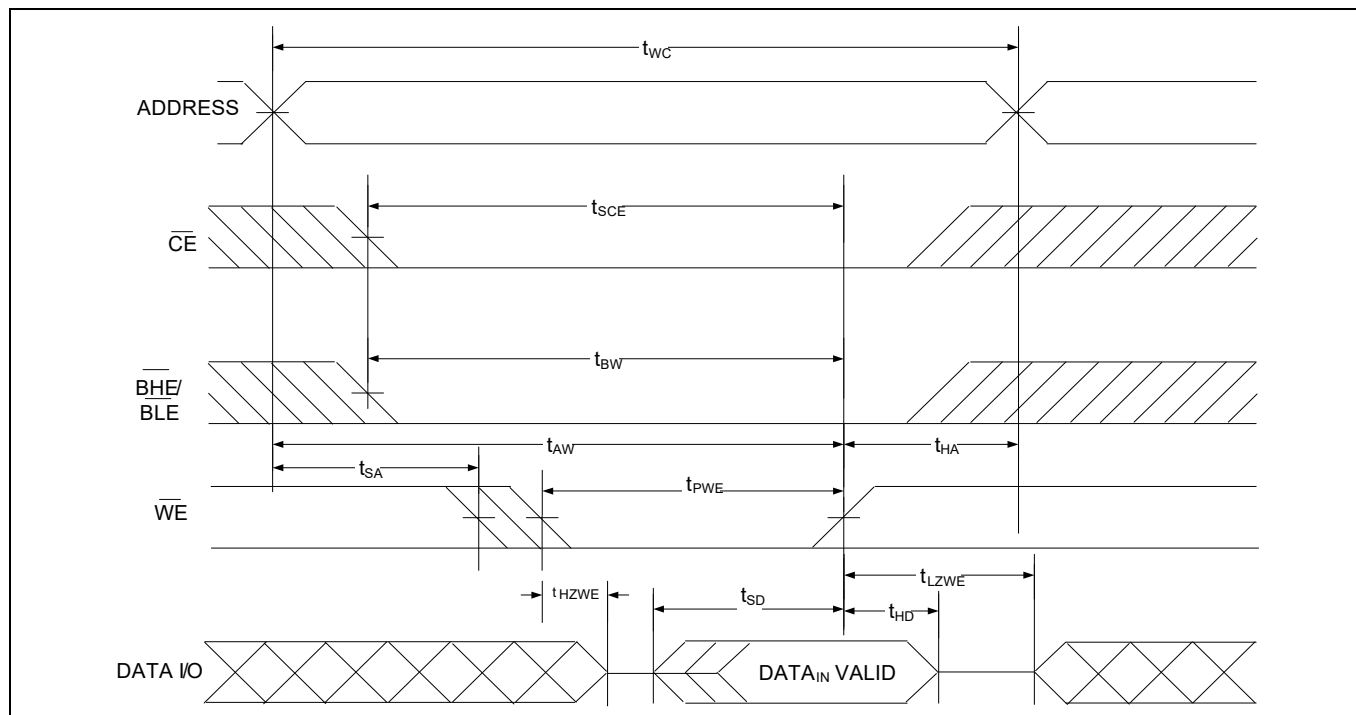


Figure 7 書き込みサイクル 1 (\overline{WE} 制御) [25, 26, 27]

注:

25. 読み出しサイクルの間は \overline{WE} は HIGH です。
26. メモリの内部書き込み時間は、 $\overline{WE} = V_{IL}$, $\overline{CE} = V_{IL}$ のオーバーラップで定義されます。書き込みを開始するにはすべての信号をアクティブにし、書き込みを終了するにはこれらの信号のいずれかを非アクティブにします。データ入力セットアップとホールドのタイミングは、書き込みを終了させる信号のエッジを参照しなければいけません。
27. $\overline{CE} = V_{IH}$, または $\overline{OE} = V_{IH}$ の場合、データ I/O は HI-Z 状態に入ります。

スイッチング波形

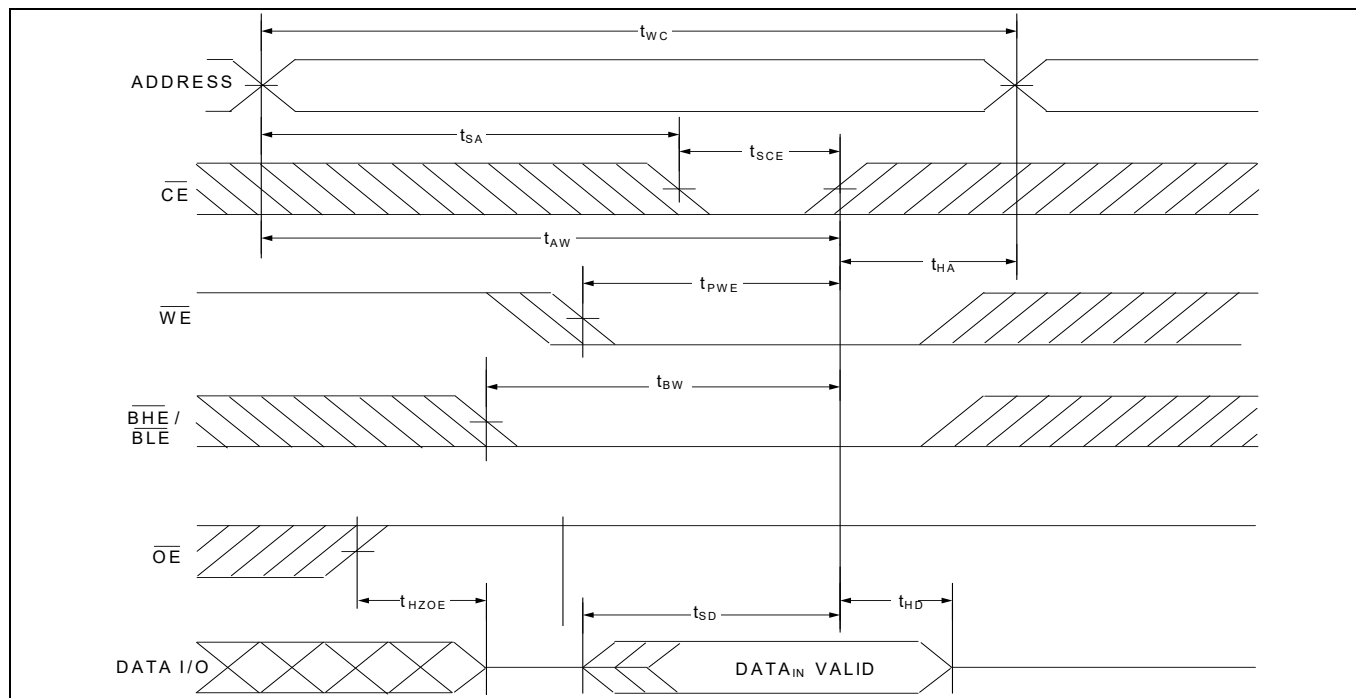


Figure 8 書き込みサイクル 2 ($\overline{\text{CE}}$ 制御) [28, 29]

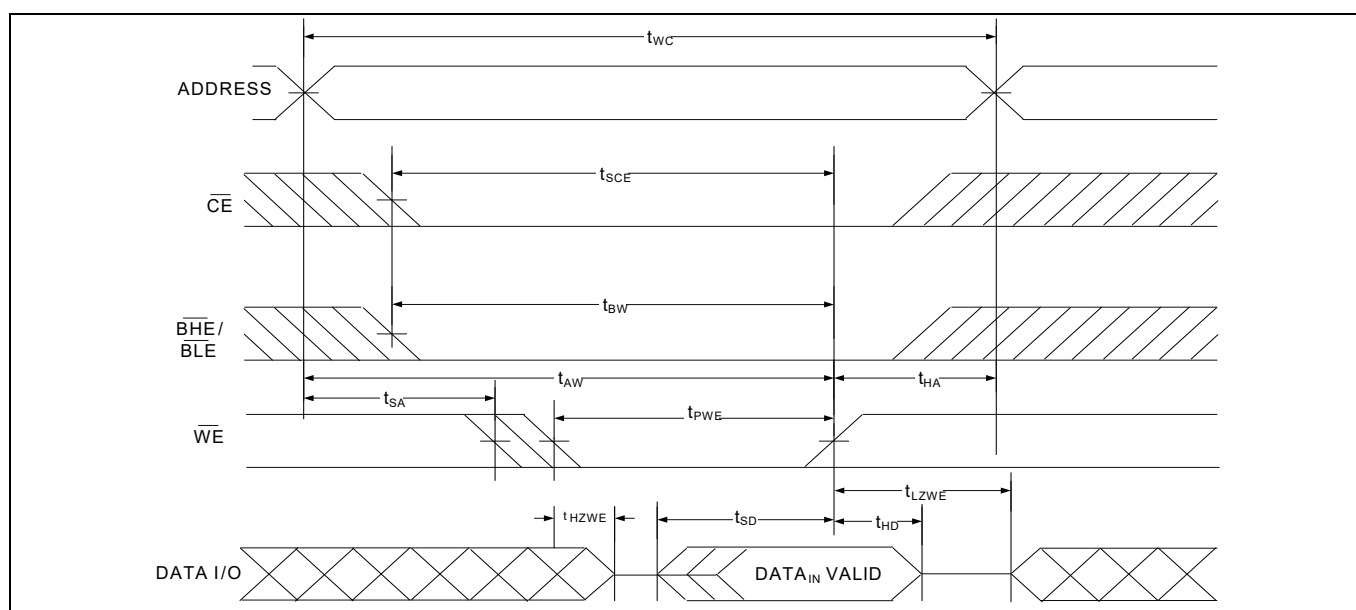


Figure 9 書き込みサイクル 3 ($\overline{\text{WE}}$ 制御, $\overline{\text{OE}}$ LOW) [28, 29, 30]

注:

28. メモリの内部書き込み時間は、 $\overline{\text{WE}} = V_{\text{IL}}$, $\overline{\text{CE}} = V_{\text{IL}}$ のオーバーラップで定義されます。書き込みを開始するにはすべての信号をアクティブにし、書き込みを終了するにはこれらの信号のいずれかを非アクティブにします。データ入力セットアップとホールドのタイミングは、書き込みを終了させる信号のエッジを参照しなければいけません。

29. $\overline{\text{CE}} = V_{\text{IH}}$, または $\overline{\text{OE}} = V_{\text{IH}}$ の場合、データ I/O は HI-Z 状態です。

30. 書き込みサイクル 3 ($\overline{\text{WE}}$ 制御, $\overline{\text{OE}}$ LOW) の最小書き込みパルス幅は、 t_{HZWE} と t_{SD} の和である必要があります。

13 真理値表 – CY62148G

Table 10 真理値表 – CY62148G

CE	WE	OE	入力/出力	モード	電源	コンフィギュレーション
H	X ^[31]	X ^[31]	HI-Z	選択解除/電源切断	スタンバイ (I _{SB})	512K × 8
L	H	L	Data Out (I/O ₀ –I/O ₇)	読み出し	アクティブ (I _{CC})	512K × 8
L	H	H	HI-Z	出力ディセーブル	アクティブ (I _{CC})	512K × 8
L	L	X ^[31]	Data In (I/O ₀ –I/O ₇)	書き込み	アクティブ (I _{CC})	512K × 8

注:

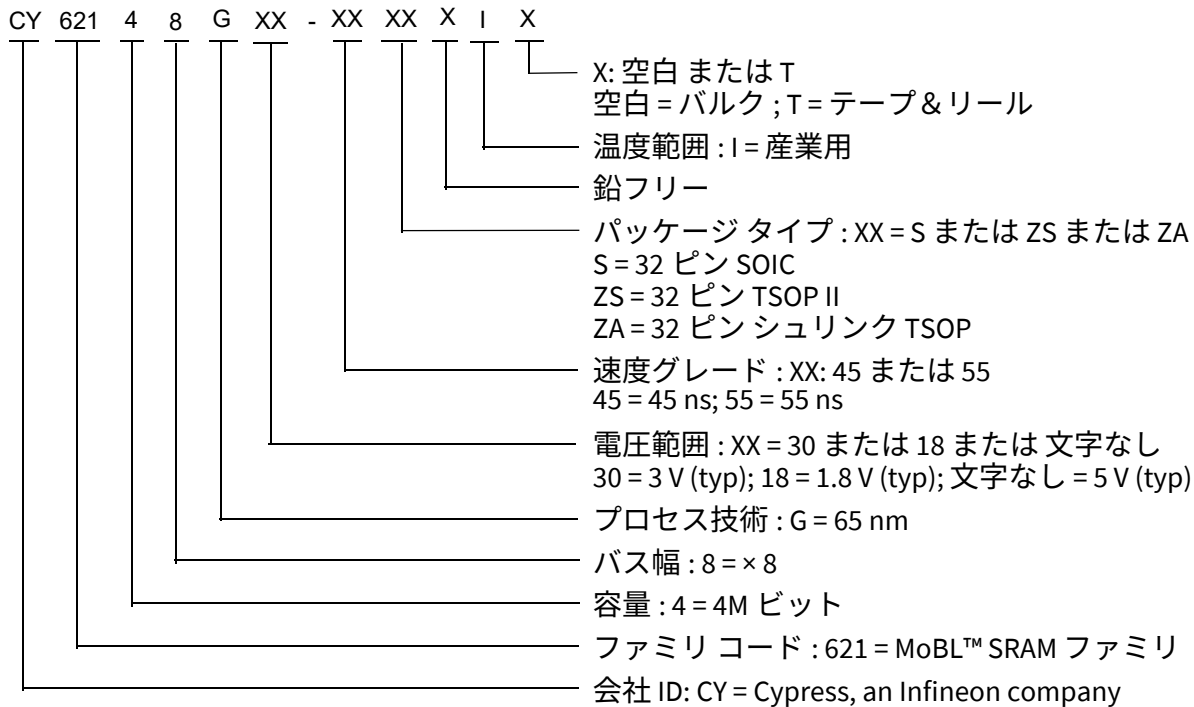
31.チップイネーブルの‘X’(ドントケア)状態は、論理状態 (HIGH または LOW) を意味します。これらのピンでの中間電圧レベルは許可されていません。

14 注文情報

Table 11 注文情報

速度 (ns)	電圧範囲	注文コード	パッケージ 図面	パッケージ タイプ	動作範囲
45	2.2 V ～ 3.6 V	CY62148G30-45SXI	51-85081	32ピン SOIC (450 Mils)	産業用
		CY62148G30-45SXIT	51-85081	32ピン SOIC (450 Mils), テープ & リール	
		CY62148G30-45ZSXI	51-85095	32ピン TSOP II	
		CY62148G30-45ZSXIT	51-85095	32ピン TSOP II, テープ & リール	
		CY62148G30-45ZAXI	001-91156	32ピン シュリンク TSOP	
		CY62148G30-45ZAXIT	001-91156	32ピン シュリンク TSOP, テープ & リール	
	4.5 V ～ 5.5 V	CY62148G-45SXI	51-85081	32ピン SOIC (450 Mils)	
		CY62148G-45SXIT	51-85081	32ピン SOIC (450 Mils), テープ & リール	
		CY62148G-45ZSXI	51-85095	32ピン TSOP II	
		CY62148G-45ZSXIT	51-85095	32ピン TSOP II, テープ & リール	
55	1.65 V ～ 2.2 V	CY62148G18-55ZSXI	51-85095	32ピン TSOP II	
		CY62148G18-55ZSXIT	51-85095	32ピン TSOP II, テープ & リール	

14.1 注文コードの定義



パッケージ図

15 パッケージ図

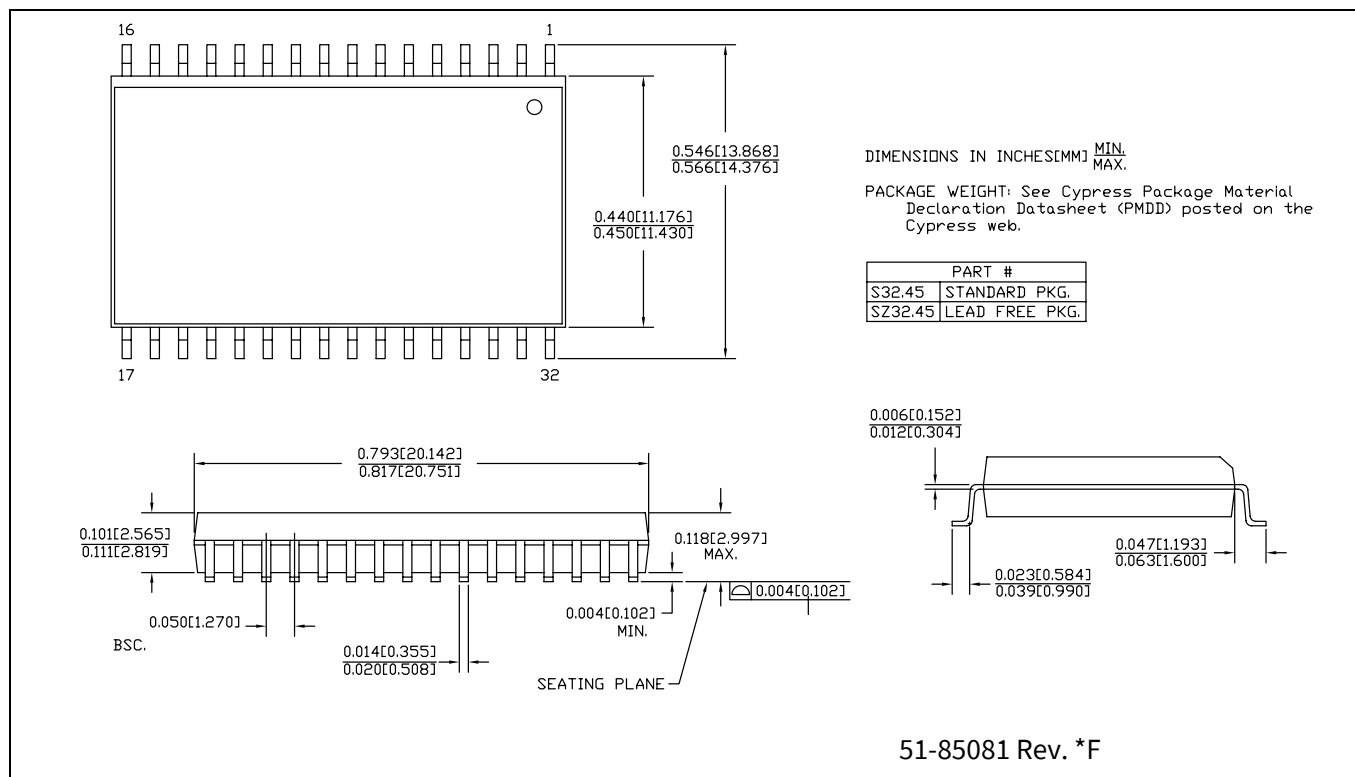


Figure 10 32 ピン SOIC (450 Mils) S32.45/SZ32.45 パッケージ外形図 (PG-DSO-32), 51-85081

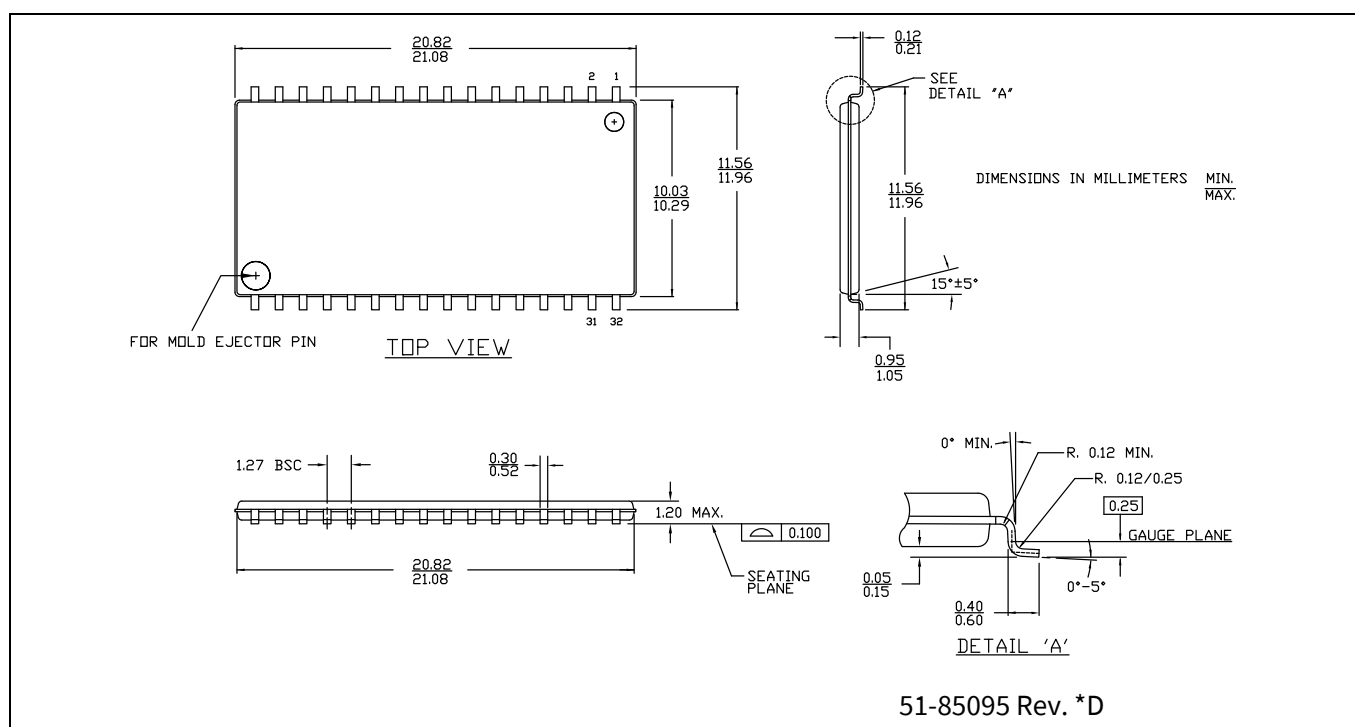


Figure 11 32 ピン TSOP II (20.95 × 11.76 × 1.0 mm) ZS32 パッケージ外形図 (PG-TSOP-32), 51-85095

パッケージ図

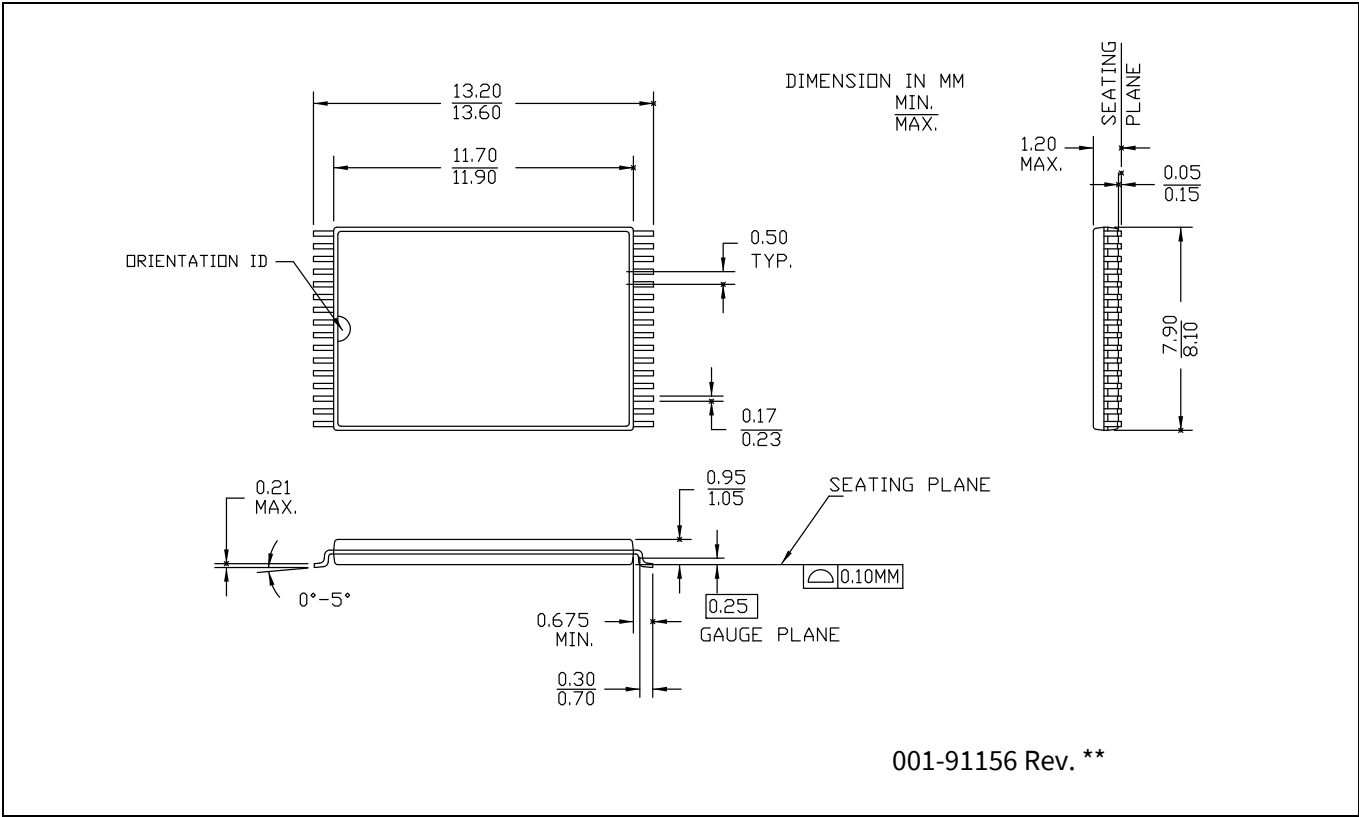


Figure 12 32 ピンシュリンク TSOP (8 × 13.4 × 1.2 mm) ZB32F パッケージ外形図 (PG-TSOP-32), 001-91156

略語

16 略語

Table 12 略語

略語	説明
$\overline{\text{CE}}$	chip enable (チップイネーブル)
CMOS	complementary metal oxide semiconductor (相補型金属酸化膜半導体)
I/O	input/output (入力/出力)
$\overline{\text{OE}}$	output enable (出力イネーブル)
SRAM	static random access memory (スタティック ランダム アクセス メモリ)
STSOP	shrink thin small outline package (シュリンク小型薄型パッケージ)
TSOP	thin small outline package (小型薄型パッケージ)
VFBGA	very fine-pitch ball grid array (超ファインピッチ ボール グリッド アレイ)
$\overline{\text{WE}}$	write enable (書き込みイネーブル)

17 本書の表記法

17.1 測定単位

Table 13 測定単位

記号	測定単位
°C	摂氏温度
MHz	メガヘルツ
μA	マイクロアンペア
μs	マイクロ秒
mA	ミリアンペア
mm	ミリメートル
ns	ナノ秒
Ω	オーム
%	パーセント
pF	ピコファラド
V	ボルト
W	ワット

誤り訂正符号 (ECC) 内蔵 4M ビット MoBL™ 超低消費電力 RAM
(512K ワード × 8 ビット)



改訂履歴

改訂履歴

版数	発行日	変更内容
**	2015-06-11	これは英語版001-95415 Rev. ** を翻訳した日本語版001-97586 Rev. ** です。
*A	2016-02-02	これは英語版001-95415 Rev. *C を翻訳した日本語版001-97586 Rev. *A です。
*B	2024-04-25	これは英語版001-95415 Rev. *F を翻訳した日本語版001-97586 Rev. *B です。

Trademarks
All referenced product or service names and trademarks are the property of their respective owners.

<p>Edition 2024-04-25</p> <p>Published by</p> <p>Infineon Technologies AG 81726 Munich, Germany</p> <p>© 2024 Infineon Technologies AG. All Rights Reserved.</p> <p>Do you have a question about this document?</p> <p>Email: erratum@infineon.com</p> <p>Document reference 001-97586 Rev. *B</p>	<p>重要事項</p> <p>本文書に記載された情報は、いかなる場合も、条件または特性の保証とみなされるものではありません（「品質の保証」）。本文に記された一切の事例、手引き、もしくは一般的な価値、および／または本製品の用途に関する一切の情報に関し、インフィニオンテクノロジーズ（以下、「インフィニオン」）はここに、第三者の知的所有権の不侵害の保証を含むがこれに限らず、あらゆる種類の一切の保証および責任を否定いたします。</p> <p>さらに、本文書に記載された一切の情報は、お客様の用途におけるお客様の製品およびインフィニオン製品の一切の使用に関し、本文書に記載された義務ならびに一切の関連する法的要件、規範、および基準をお客様が遵守することを条件としています。</p> <p>本文書に含まれるデータは、技術的訓練を受けた従業員のみを対象としています。本製品の対象用途への適合性、およびこれら用途に関連して本文書に記載された製品情報の完全性についての評価は、お客様の技術部門の責任にて実施してください。</p>	<p>警告事項</p> <p>技術的要件に伴い、製品には危険物質が含まれる可能性があります。当該種別の詳細については、インフィニオンの最寄りの営業所までお問い合わせください。</p> <p>インフィニオンの正式代表者が署名した書面を通じ、インフィニオンによる明示の承認が存在する場合を除き、インフィニオンの製品は、当該製品の障害またはその使用に関する一切の結果が、合理的に人的傷害を招く恐れのある一切の用途に使用することはできないこと予めご了承ください。</p>
--	--	--