

**4-M ビット (256K ワード × 16 ビット)
スタティック RAM**

特長

- 高速 : 45ns/55ns
- スタンバイ時の超低消費電力
 - 標準スタンバイ電流 : 3.5μA
 - 最大スタンバイ電流 : 8.7μA
- 広い電圧範囲 : 1.65V ~ 2.2V、2.2V ~ 3.6V、4.5V ~ 5.5V
- 1.0V データ保持
- TTL 互換の入出力
- 鉛フリー48 ボール VFBGA および 44 ピン TSOP II パッケージ

機能の説明

CY62147GN および CY621472GN は、256K ワード (各ワードが 16 ビット) で構成される高性能 CMOS 低電力 (MoBL) SRAM デバイスです。両方のデバイスは、シングルとデュアル チップ イネーブル オプション、および複数ピン配置で提供されます。

シングルチップ イネーブル入力を持つデバイスは、チップ イネーブル入力 (CE) を LOW にアサートすることでアクセスされます。デュアル チップ イネーブル デバイスは、両方のチップ イネーブル入力をアサート (\overline{CE}_1 を LOW、および CE_2 を HIGH) することでアクセスされます。

書き込みイネーブル (\overline{WE}) 入力を LOW にアサートすることでデータ書き込みを実現し、データは I/O_0 ~ I/O_{15} ピンに、アド

レスは A_0 ~ A_{17} ピンに入力します。上位バイト イネーブル (BHE) と下位バイト イネーブル (BLE) 入力は指定されたメモリ位置の上位バイトと下位バイトへの書き込み動作を制御します。 BHE は、 I/O_8 ~ I/O_{15} を制御し、 BLE は、 I/O_0 ~ I/O_7 を制御します。

データ読み込みは、出力イネーブル (\overline{OE}) 入力をアサートして、アドレスラインに必要なアドレスを提供することによって実行されます。読み出しデータは、 I/O ライン (I/O_0 ~ I/O_{15}) 上でアクセスできます。バイト アクセスは、必要なバイト イネーブル信号 (BHE , BLE) をアサートして、指定されたアドレス位置からデータの上位バイトまたは下位バイトのいずれかを読み込むことによって実行されます。

デバイスが選択解除 (シングルチップ イネーブル方式のデバイスの場合は \overline{CE} を HIGH、デュアルチップ イネーブル方式のデバイスの場合は CE_1 を HIGH, CE_2 を LOW) にされるか、または制御信号 (\overline{OE} , \overline{BLE} , \overline{BHE}) がアサート解除される時、全ての I/O (I/O_0 ~ I/O_{15}) は、HI-Z 状態になります。

このデバイスは、独自の「Byte Power down」機能を備えています。この機能を使用すると、両方のバイトイネーブル (BHE と BLE) が無効にされている場合、デバイスはチップ イネーブルの状態に関係なく、途切れずにスタンバイ モードに切り替わり、電力を節約します。

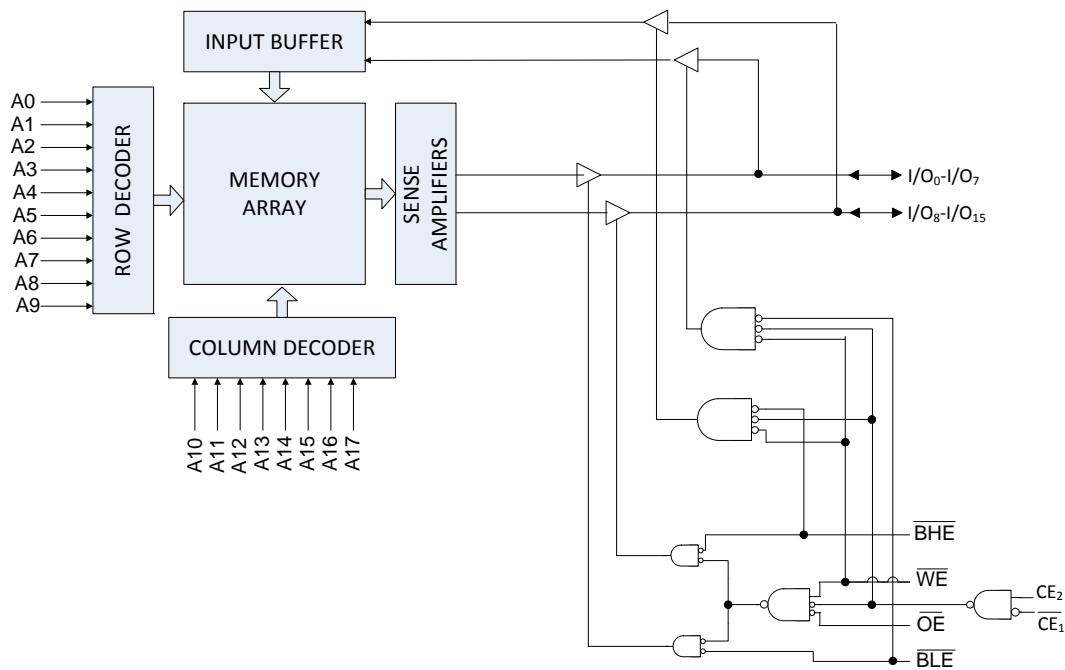
論理ブロック図は 2 ページに示されています。

製品ポートフォリオ

製品	特長とオプション (ピン配置のセクションを参照してください)	範囲	V_{CC} の範囲 (V)	速度 (ns)	消費電力			
					I_{CC} 動作、(mA) $f = f_{max}$		スタンバイ、 I_{SB2} (μA)	
					Typ ^[1]	Max	Typ ^[1]	Max
CY62147GN18	シングルまたはデュアルチップ イネーブル	産業用	1.65V ~ 2.2V	55	15	20	3.5	10
CY62147GN30			2.2V ~ 3.6V	45	15	20	3.5	8.7
CY621472GN30								
CY62147GN			4.5V ~ 5.5V					

注:

- 標準値は単なる参照値であり、保証または試験されていません。標準値は、 $V_{CC} = 1.8V$ (V_{CC} が 1.65V ~ 2.2V の場合)、 $V_{CC} = 3V$ (V_{CC} が 2.2V ~ 3.6V)、および $V_{CC} = 5V$ (V_{CC} が 4.5V ~ 5.5V)、 $T_A = 25^\circ C$ で測定しています。

論理ブロック図 – CY62147GN


目次

ピン配置 – CY62147GN	4
ピン配置 – CY621472GN	5
最大定格	6
動作範囲	6
DC 電気的特性	6
静電容量	8
熱抵抗	8
AC テストの負荷と波形	8
データ保持特性	9
データ保持波形	9
AC スイッチング特性	10
スイッチング波形	11
真理値表 – CY62147GN/CY621472GN	15

注文情報	16
注文コードの定義	16
パッケージ図	17
略語	18
本書の表記法	18
測定単位	18
改訂履歴	19
セールス、ソリューション、および法律情報	20
ワールドワイド販売と設計サポート	20
製品	20
PSoC® ソリューション	20
サイプレス開発者コミュニティ	20
テクニカル サポート	20

ピン配置 – CY62147GN

図 1. 48 ポール VFBGA ピン配置(デュアルチップ イネーブル)、
CY62147GN^[2]

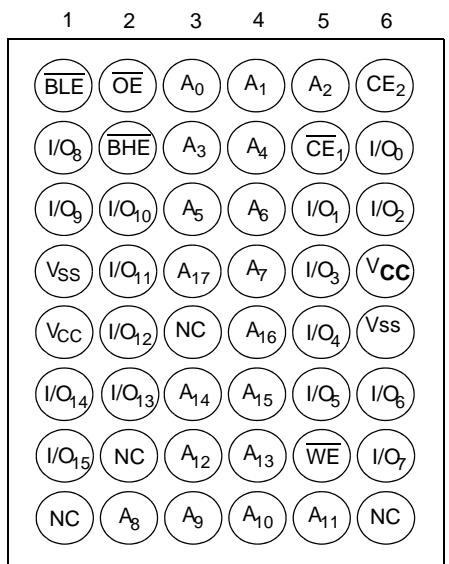


図 2. 48 ポール VFBGA ピン配置 2(シングル チップ
イネーブル)、CY62147GN^[2]

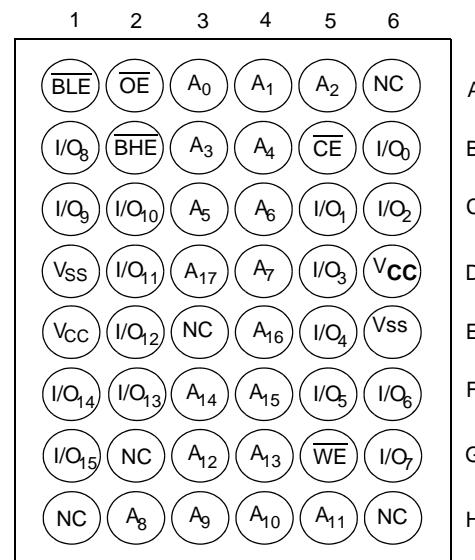
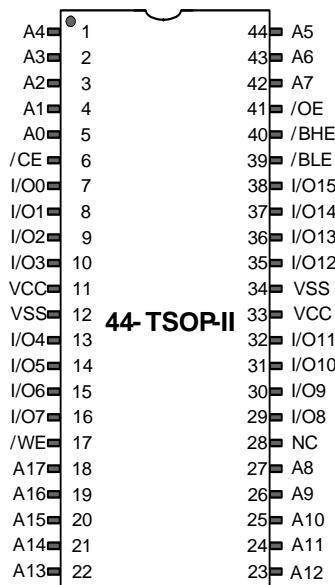


図 3. 44 ピン TSOP II ピン配置(シングル チップ イネーブル)、CY62147GN^[2]

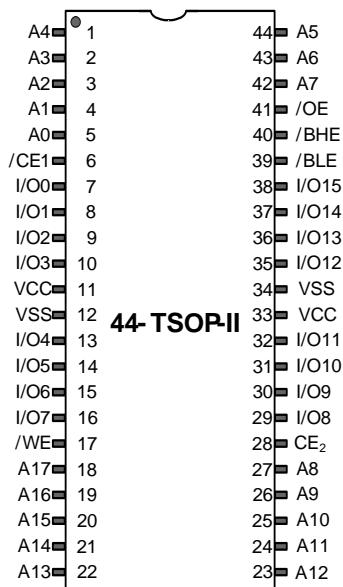


注:

2. NC ピンは内部でダイに接続されておらず、より集積度の高いデバイスに対するアドレス拡張用に使用されます。ピン配置についてはそれぞれのデータシートを参照してください。

ピン配置 – CY621472GN

図 4. 44 ピン TSOP II ピン配置 (デュアル チップ イネーブル), CY621472GN



最大定格

最大定格を超えるとデバイスの寿命が短くなる可能性があります。ユーザー ガイドラインはテストされていません。

保存温度 $-65^{\circ}\text{C} \sim +150^{\circ}\text{C}$

通電時の周囲温度 $-55^{\circ}\text{C} \sim +125^{\circ}\text{C}$

グランド電位に対する

供給電圧^[3] $-0.5\text{V} \sim V_{\text{CC}} + 0.5\text{V}$

HI-Z 状態の出力に

印加される DC 電圧^[3] $-0.5\text{V} \sim V_{\text{CC}} + 0.5\text{V}$

DC 入力電圧^[3] $-0.5\text{V} \sim V_{\text{CC}} + 0.5\text{V}$

DC 電気的特性

動作範囲は $-40^{\circ}\text{C} \sim 85^{\circ}\text{C}$

パラメータ	説明	テスト条件	45/55ns			単位	
			Min	Typ	Max		
V_{OH}	出力 HIGH 電圧	$1.65\text{V} \sim 2.2\text{V}$ $V_{\text{CC}} = \text{Min}, I_{\text{OH}} = -0.1\text{mA}$	1.4	—	—	V	
		$2.2\text{V} \sim 2.7\text{V}$ $V_{\text{CC}} = \text{Min}, I_{\text{OH}} = -0.1\text{mA}$	2	—	—		
		$2.7\text{V} \sim 3.6\text{V}$ $V_{\text{CC}} = \text{Min}, I_{\text{OH}} = -1.0\text{mA}$	2.2	—	—		
		$4.5\text{V} \sim 5.5\text{V}$ $V_{\text{CC}} = \text{Min}, I_{\text{OH}} = -1.0\text{mA}$	2.4	—	—		
		$4.5\text{V} \sim 5.5\text{V}$ $V_{\text{CC}} = \text{Min}, I_{\text{OH}} = -0.1\text{mA}$	$V_{\text{CC}} - 0.5$ ^[4]	—	—		
V_{OL}	出力 LOW 電圧	$1.65\text{V} \sim 2.2\text{V}$ $V_{\text{CC}} = \text{Min}, I_{\text{OL}} = 0.1\text{mA}$	—	—	0.2	V	
		$2.2\text{V} \sim 2.7\text{V}$ $V_{\text{CC}} = \text{Min}, I_{\text{OL}} = 0.1\text{mA}$	—	—	0.4		
		$2.7\text{V} \sim 3.6\text{V}$ $V_{\text{CC}} = \text{Min}, I_{\text{OL}} = 2.1\text{mA}$	—	—	0.4		
		$4.5\text{V} \sim 5.5\text{V}$ $V_{\text{CC}} = \text{Min}, I_{\text{OL}} = 2.1\text{mA}$	—	—	0.4		
V_{IH}	入力 HIGH 電圧	$1.65\text{V} \sim 2.2\text{V}$ —	1.4	—	$V_{\text{CC}} + 0.2$ ^[3]	V	
		$2.2\text{V} \sim 2.7\text{V}$ —	2	—	$V_{\text{CC}} + 0.3$ ^[3]		
		$2.7\text{V} \sim 3.6\text{V}$ —	2	—	$V_{\text{CC}} + 0.3$ ^[3]		
		$4.5\text{V} \sim 5.5\text{V}$ —	2.2	—	$V_{\text{CC}} + 0.5$ ^[3]		
V_{IL}	入力 LOW 電圧	$1.65\text{V} \sim 2.2\text{V}$ —	—0.2 ^[3]	—	0.4	V	
		$2.2\text{V} \sim 2.7\text{V}$ —	—0.3 ^[3]	—	0.6		
		$2.7\text{V} \sim 3.6\text{V}$ —	—0.3 ^[3]	—	0.8		
		$4.5\text{V} \sim 5.5\text{V}$ —	—0.5 ^[3]	—	0.8		
I_{IX}	入力リード電流	$\text{GND} \leq V_{\text{IN}} \leq V_{\text{CC}}$	—1	—	+1	μA	
I_{OZ}	出力リード電流	$\text{GND} \leq V_{\text{OUT}} \leq V_{\text{CC}}$ 、出力が無効	—1	—	+1	μA	
I_{CC}	V_{CC} の動作時電源電流	Max V_{CC} 、 $I_{\text{OUT}} = 0\text{mA}$ 、CMOS レベル	$f = 22.22\text{ MHz}$ (45 ns)	—	15	20	mA
			$f = 18.18\text{ MHz}$ (55 ns)	—	15	20	
			$f = 1\text{MHz}$	—	3.5	6	

注：

3. 2ns 以下のパルス幅の場合、 $V_{\text{IL}(\text{min})} = -2.0\text{V}$ および $V_{\text{IH}(\text{max})} = V_{\text{CC}} + 2\text{V}$ 。

4. このパラメーターは設計保証であり、試験されていません。

DC 電気的特性 (続き)

動作範囲は $-40^{\circ}\text{C} \sim 85^{\circ}\text{C}$

パラメータ	説明	テスト条件	45/55ns			単位
			Min	Typ	Max	
$I_{SB1}^{[5]}$	自動電源切断時の電流 – CMOS 入力 ; $V_{CC} = 2.2\text{V} \sim 3.6\text{V}$ および $4.5\text{V} \sim 5.5\text{V}$	$\overline{CE}_1 \geq V_{CC} - 0.2\text{V}$ または $CE_2 \leq 0.2\text{V}$ または $(\overline{BHE} \text{ と } \overline{BLE}) \geq V_{CC} - 0.2\text{V}$ 、	–	3.5	8.7	μA
	自動電源切断時の電流 – CMOS 入力 $V_{CC} = 1.65\text{V} \sim 2.2\text{V}$	$V_{IN} \geq V_{CC} - 0.2\text{V}$ または $V_{IN} \leq 0.2\text{V}$ 、 $f = f_{max}$ (アドレスとデータのみ)、 $f = 0$ (\overline{OE} と \overline{WE})、 $\text{Max } V_{CC}$	–	–	10	
$I_{SB2}^{[5]}$	自動電源切断時の電流 – CMOS 入力 $V_{CC} = 2.2\text{V} \sim 3.6\text{V}$ および $4.5\text{V} \sim 5.5\text{V}$	$\overline{CE}_1 \geq V_{CC} - 0.2\text{V}$ または $CE_2 \leq 0.2\text{V}$ または $(\overline{BHE} \text{ と } \overline{BLE}) \geq V_{CC} - 0.2\text{V}$ 、	25°C ^[6]	–	3.5	3.7
		$V_{IN} \geq V_{CC} - 0.2\text{V}$ または $V_{IN} \leq 0.2\text{V}$ 、 $f = 0$ 、 $\text{Max } V_{CC}$	40°C ^[6]	–	–	4.8
			70°C ^[6]	–	–	7
			85°C	–	–	8.7
	自動電源切断時の電流 – CMOS 入力 $V_{CC} = 1.65\text{V} \sim 2.2\text{V}$	$\overline{CE}_1 \geq V_{CC} - 0.2\text{V}$ または $CE_2 \leq 0.2\text{V}$ または $(\overline{BHE} \text{ と } \overline{BLE}) \geq V_{CC} - 0.2\text{V}$ 、	25°C ^[6]	–	3.5	4.3
		$V_{IN} \geq V_{CC} - 0.2\text{V}$ または $V_{IN} \leq 0.2\text{V}$ 、 $f = 0$ 、 $\text{Max } V_{CC}$	40°C ^[6]	–	–	5
			70°C ^[6]	–	–	7.5
			85°C	–	–	10

注 :

5. $I_{SB1}/I_{SB2}/I_{CCDR}$ 仕様を満たすために、チップイネーブル (\overline{CE}_1 および CE_2) は CMOS レベルに接続する必要があります。他の入力はフローティング状態のままにすることができます。
6. I_{SB2} は 25°C、40°C、70°C でのものであり、85°C での値は設計保証であり 100% 試験されてはいません。

静電容量

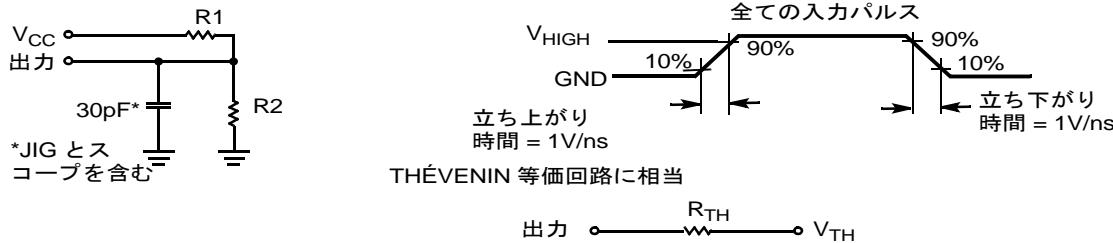
パラメーター ^[7]	項目	テスト条件	Max	単位
C_{IN}	入力容量	$T_A = 25^\circ\text{C}$ 、 $f = 1\text{MHz}$ 、 $V_{CC} = V_{CC(\text{typ})}$	10	pF
C_{OUT}	出力容量		10	pF

熱抵抗

パラメーター ^[7]	項目	テスト条件	48 ボール VFBGA	44 ピン TSOP II	単位
Θ_{JA}	熱抵抗 (ジャンクションから周囲)	無風状態、 3×4.5 インチの 4 層 プリント回路基板に半田付け	31.35	68.85	°C/W
Θ_{JC}	熱抵抗 (ジャンクションからケース)		14.74	15.97	°C/W

AC テストの負荷と波形

図 5. AC テストの負荷と波形^[8]



パラメーター	1.8V	2.5V	3.0V	5.0V	単位
R1	13500	16667	1103	1800	Ω
R2	10800	15385	1554	990	Ω
R_{TH}	6000	8000	645	639	Ω
V_{TH}	0.80	1.20	1.75	1.77	V

注:

- 開発時とこれらのパラメーターに影響を与える可能性のある設計／プロセス変更があった後にテストされます。
- 完全なデバイス動作には、 V_{DR} から $V_{CC(\text{min})}$ までのリニア V_{CC} ランプ時間が $100\mu\text{s}$ 以上であるか、または $V_{CC(\text{min})}$ が $100\mu\text{s}$ 以上で安定している必要があります。

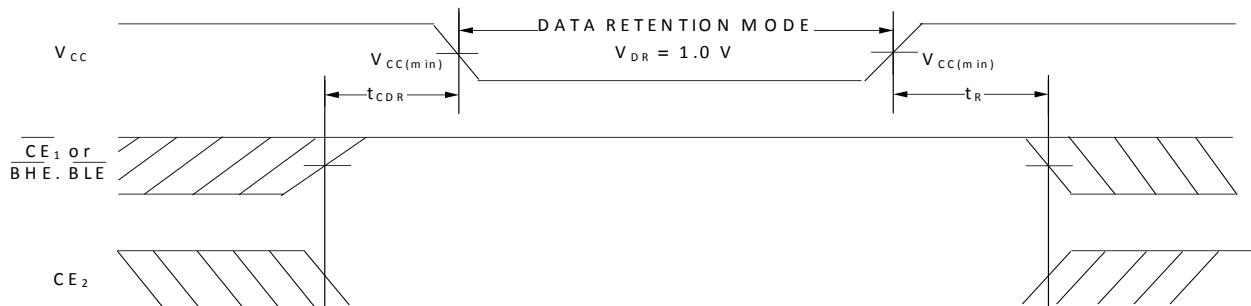
データ保持特性

動作範囲において

パラメーター	説明	条件	Min	Typ [9]	Max	単位
V_{DR}	データ保持用の V_{CC}		1	—	—	V
I_{CCDR} ^[10, 11]	データ保持電流	$V_{CC} = 1.2 \text{ V}$ 、 $\overline{CE}_1 \geq V_{CC} - 0.2 \text{ V}$ または $CE_2 \leq 0.2 \text{ V}$ または $(\overline{BHE} \text{ と } \overline{BLE}) \geq V_{CC} - 0.2 \text{ V}$ 、 $V_{IN} \geq V_{CC} - 0.2 \text{ V}$ または $V_{IN} \leq 0.2 \text{ V}$	—		13	μA
t_{CDR} ^[12]	チップの選択解除からデータ保持までの時間		0	—	—	ns
t_R ^[13]	動作回復時間		45/55	—	—	ns

データ保持波形

図 6. データ保持波形^[14]



注：

9. 標準値は単に参考値であり、保証または試験されていません。標準値は、 $V_{CC} = 1.8\text{V}$ (V_{CC} が $1.65\text{V} \sim 2.2\text{V}$ の場合)、 $V_{CC} = 3\text{V}$ (V_{CC} が $2.2\text{V} \sim 3.6\text{V}$ の場合)、 $V_{CC} = 5\text{V}$ (V_{CC} が $4.5\text{V} \sim 5.5\text{V}$ の場合)、 $T_A = 25^\circ\text{C}$ で測定しています。
10. $I_{SB1}/I_{SB2}/I_{CCDR}$ 仕様を満たすために、チップイネーブル (\overline{CE}_1 および CE_2) は CMOS レベルに接続する必要があります。他の入力はフローティング状態のままにすることができます。
11. I_{CCDR} は、デバイスが最初に $V_{CC(\min)}$ に電源投入され、 V_{DR} に下げられた後でのみ保証されています。
12. これらのパラメーターは設計保証されます。
13. 完全なデバイス動作には、 V_{DR} から $100\mu\text{s}$ を超える $V_{CC(\min)}$ までのリニアなランプ、または $V_{CC(\min)}$ が $100\mu\text{s}$ を超えて安定している必要があります。
14. $\overline{BHE}.\overline{BLE}$ は \overline{BHE} と \overline{BLE} の論理積 (AND) です。チップイネーブル信号を無効にするか、または \overline{BHE} と \overline{BLE} の両方を選択解除するかのいずれかの方法でチップの選択を解除します。

AC スイッチング特性

パラメーター ^[15, 16]	説明	45ns		55ns		単位
		Min	Max	Min	Max	
読み出しサイクル						
t_{RC}	読み出しサイクル時間	45	–	55	–	ns
t_{AA}	アドレス指定からデータ有効までの時間	–	45	–	55	ns
t_{OHA}	アドレス変更からのデータホールドまで	10	–	10	–	ns
t_{ACE}	\overline{CE}_1 LOW および CE_2 HIGH からデータ有効までの時間	–	45	–	55	ns
t_{DOE}	OE LOW からデータ有効までの時間	–	22	–	25	ns
t_{LZOE}	OE LOW から Low インピーダンスまでの時間 ^[17]	5	–	5	–	ns
t_{HZOE}	OE HIGH から HI-Zまでの時間 ^[17, 18]	–	18	–	18	ns
t_{LZCE}	\overline{CE}_1 LOW および CE_2 HIGH から Low インピーダンスまでの時間 ^[17]	10	–	10	–	ns
t_{HZCE}	\overline{CE}_1 HIGH および CE_2 LOW から HI-Zまでの時間 ^[17, 18]	–	18	–	18	ns
t_{PU}	\overline{CE}_1 LOW および CE_2 HIGH から電源投入までの時間	0	–	0	–	ns
t_{PD}	\overline{CE}_1 HIGH および CE_2 LOW から電源切断までの時間	–	45	–	55	ns
t_{DBE}	$\overline{BLE} / \overline{BHE}$ LOW からデータ有効までの時間	–	45	–	55	ns
t_{LZBE}	$\overline{BLE} / \overline{BHE}$ LOW から Low インピーダンスまでの時間 ^[17]	5	–	5	–	ns
t_{HZBE}	$\overline{BLE} / \overline{BHE}$ HIGH から HI-Zまでの時間 ^[17, 18]	–	18	–	18	ns
書き込みサイクル^[19, 20]						
t_{WC}	書き込みサイクル時間	45	–	55	–	ns
t_{SCE}	\overline{CE}_1 LOW および CE_2 HIGH から書き込み終了までの時間	35	–	45	–	ns
t_{AW}	アドレスセットアップから書き込み終了までの時間	35	–	45	–	ns
t_{HA}	書き込み終了からのアドレスホールドまでの時間	0	–	0	–	ns
t_{SA}	アドレスセットアップから書き込み開始までの時間	0	–	0	–	ns
t_{PWE}	WE パルス幅	35	–	40	–	ns
t_{BW}	$\overline{BLE} / \overline{BHE}$ LOW から書き込み終了までの時間	35	–	45	–	ns
t_{SD}	データセットアップから書き込み終了までの時間	25	–	25	–	ns
t_{HD}	書き込み終了からのデータホールドまでの時間	0	–	0	–	ns
t_{HZWE}	WE LOW から HI-Zまでの時間 ^[17, 18]	–	18	–	20	ns
t_{LZWE}	WE HIGH から Low インピーダンスまでの時間 ^[17]	–	–	10	–	ns

注:

15. テスト条件では、信号遷移時間(立ち上がり/立ち下がり)が3ns以下、タイミング基準レベルが1.5V($V_{CC} \geq 3V$ の場合)かつ $V_{CC}/2$ ($V_{CC} < 3V$ の場合)、および入力パルスレベルが0V~3V($V_{CC} \geq 3V$ の場合)かつ0~ V_{CC} ($V_{CC} < 3V$ の場合)であることを前提にします。特に指定しない限り、読み出しサイクルのためのテスト条件は、「AC テストの負荷と波形」節に示されている出力負荷を使います。
16. これらのパラメーターは設計保証されます。
17. 任意の温度と電圧条件で、どのデバイスでも t_{HZCE} は t_{LZCE} より短く、 t_{HZBE} は t_{LZBE} より短く、 t_{HZOE} は t_{LZOE} より短く、そして t_{HZWE} は t_{LZWE} より短いです。
18. t_{HZOE} 、 t_{HZCE} 、 t_{HZBE} 、および t_{HZWE} 遷移は、出力が高インピーダンス状態に入る時に測定されます。
19. メモリの内部書き込み期間は、 $\overline{WE} = V_{IL}$ 、 $\overline{CE}_1 = V_{IL}$ 、 \overline{BHE} と \overline{BLE} のどちらかまたは両方が $= V_{IL}$ 、 $CE_2 = V_{IH}$ 、以上のオーバラップで定義されます。書き込みを開始するにはすべての信号は ACTIVE(アクティブ)でなければなりません。これらの信号のいずれかが INACTIVE(非アクティブ)になると、書き込みが終了します。データ入力セットアップとホールドのタイミングは、書き込みを終了させる信号のエッジを基準にしなければなりません。
20. 書き込みサイクル3(WE 制御、 OE LOW)用の最少のパルス幅は、 t_{SD} と t_{HZWE} の合計と等しくなる必要があります。

スイッチング波形

図 7. CY62147GN の読み出しサイクル 1 (アドレス遷移制御) [21, 22]

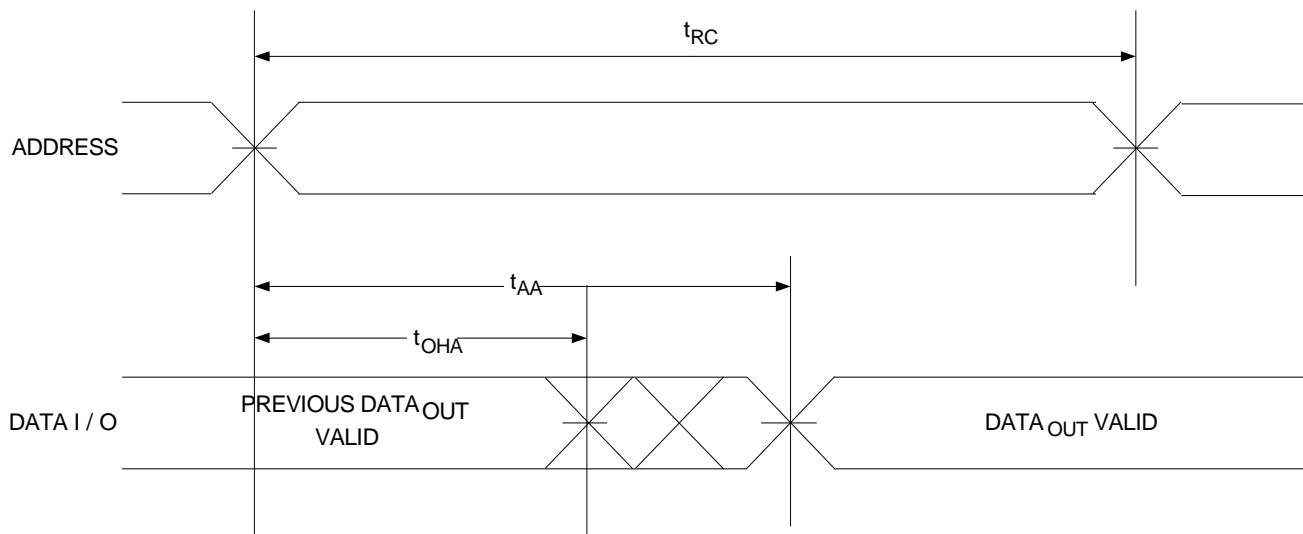
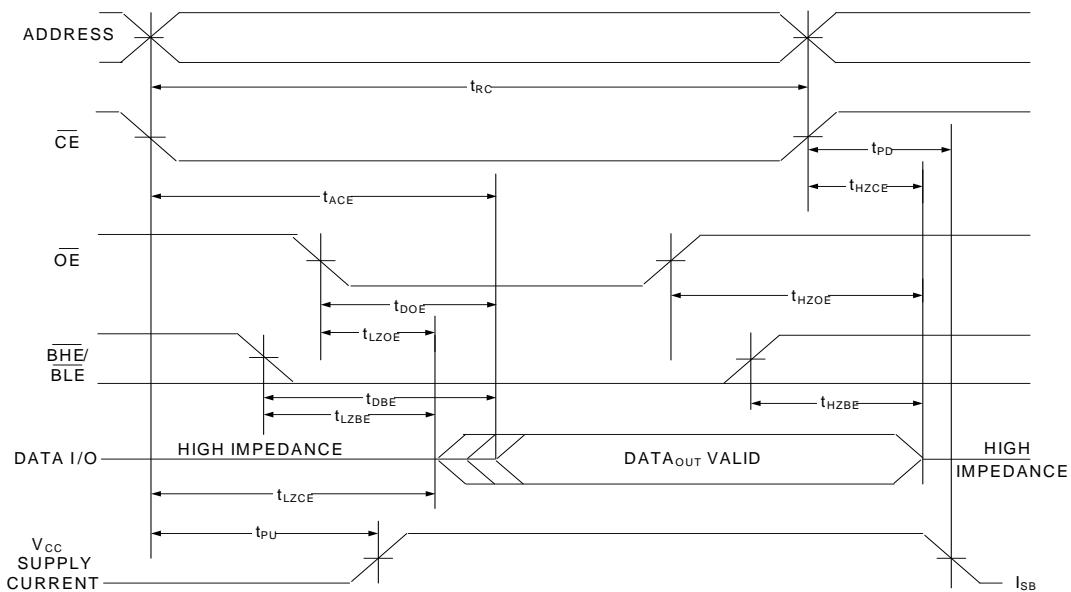


図 8. 読み込みサイクル 2 (\overline{OE} 制御) [21, 22, 23, 24]

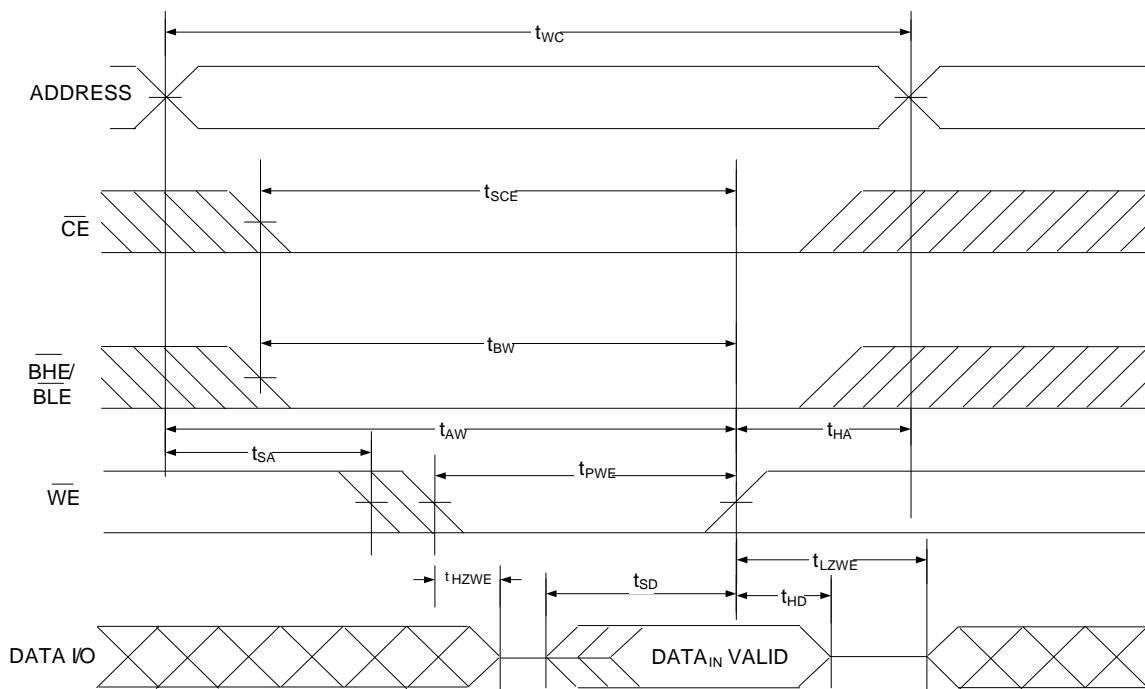


注:

21. デバイスは継続して選択されています。 $\overline{OE} = V_{IH}$ 、 $\overline{CE} = V_{IL}$ 、 $\overline{BHE} = V_{IL}$ または $\overline{BLE} = V_{IL}$ または両方 = V_{IL} 。
22. 読み出しサイクルの間は \overline{WE} が HIGH です。
23. $\overline{CE} = V_{IH}$ 、または $\overline{OE} = V_{IH}$ または \overline{BHE} 、および／または $\overline{BLE} = V_{IH}$ の場合、データ I/O は HI-Z 状態になります。
24. \overline{CE} LOW 遷移の前、あるいは同時にアドレスが有効になります

スイッチング波形 (続き)

図 9. 書き込みサイクル 1 (\overline{WE} 制御) [25, 26, 27]



注:

25. 全てのデュアルイネーブルデバイスに対応して、 \overline{CE} は \overline{CE}_1 と CE_2 の論理結合です。 \overline{CE}_1 が LOW で、 CE_2 が HIGH の場合は、 \overline{CE} は LOW で、 \overline{CE}_1 が HIGH または CE_2 が LOW の場合は、 \overline{CE} は HIGH です。
26. メモリの内部書き込み期間は $\overline{WE} = V_{IL}$ 、 $\overline{CE}_1 = V_{IL}$ 、 \overline{BHE} または \overline{BLE} または両方とも = V_{IL} 、および $CE_2 = V_{IH}$ のオーバラップで定義されます。書き込みを開始するにはすべての信号は ACTIVE (アクティブ) でなければなりません。これらの信号のいずれかが INACTIVE (非アクティブ) になると、書き込みが終了します。データ入力セットアップとホールドのタイミングは、書き込みを終了させる信号のエッジを基準にしなければなりません。
27. $\overline{CE} = V_{IH}$ 、または $\overline{OE} = V_{IH}$ または \overline{BHE} 、および／または $\overline{BLE} = V_{IH}$ の場合、データ I/O は HI-Z 状態になります。

スイッチング波形 (続き)

図 10. 書き込みサイクル 2 (\overline{CE} 制御) [28, 29, 30]

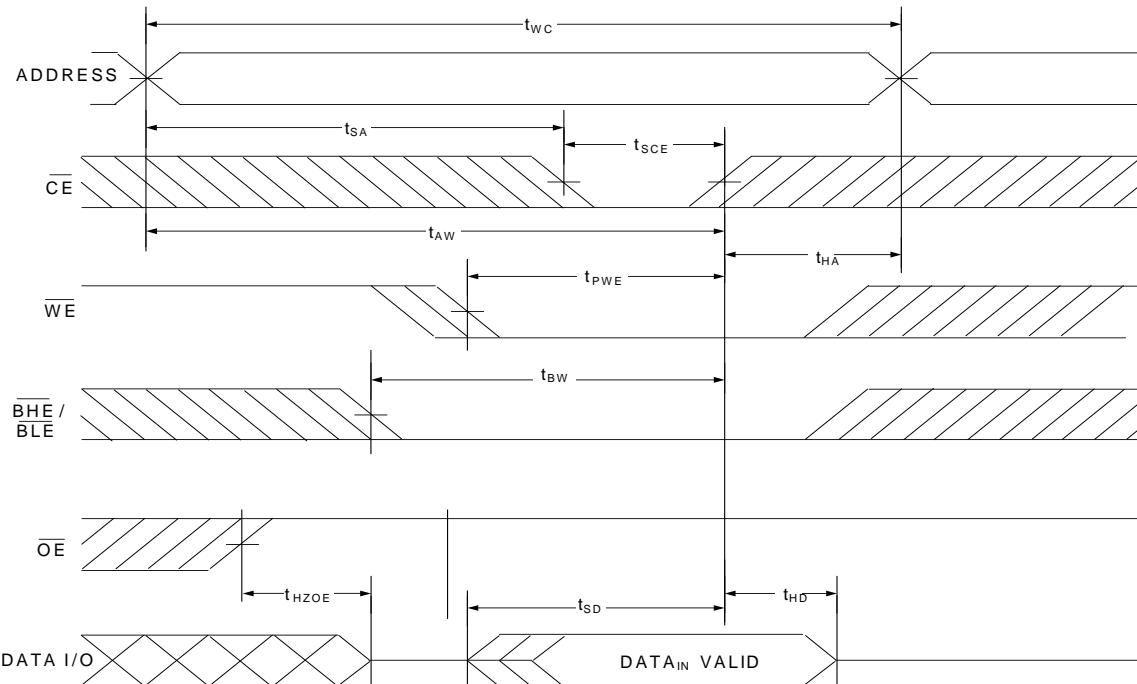
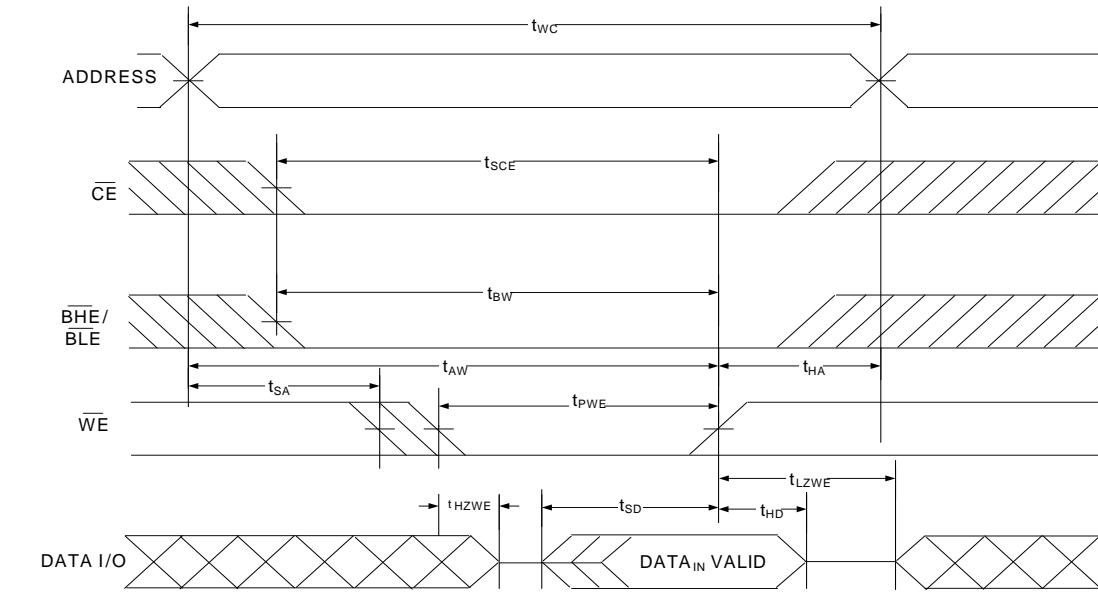


図 11. 書き込みサイクル 3 (\overline{WE} 制御、 \overline{OE} LOW) [28, 29, 30, 31]

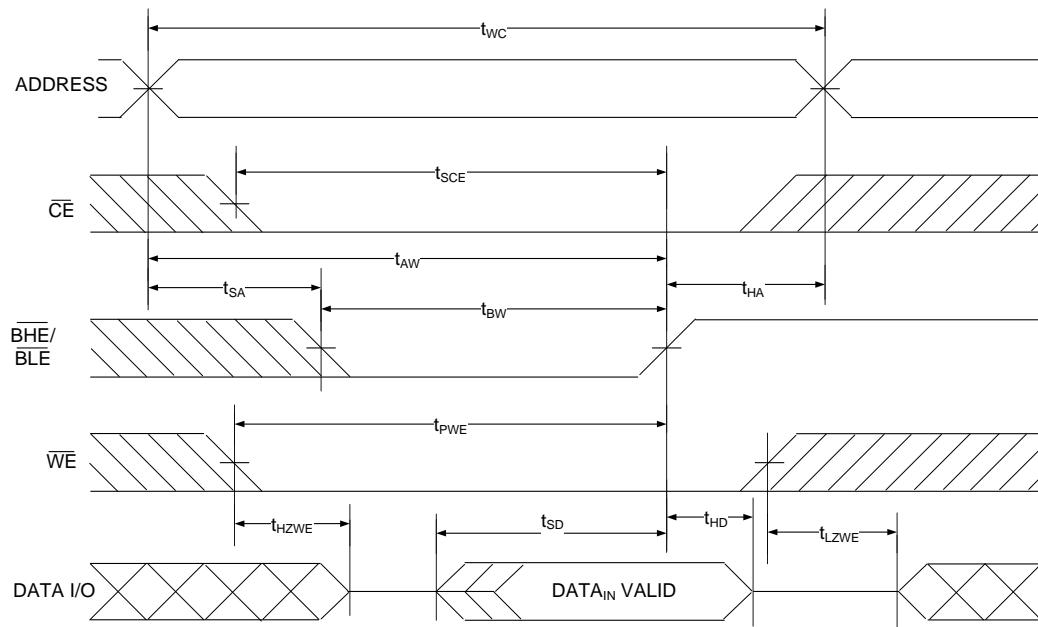


注:

28. 全てのデュアル イネーブル デバイスに対応して \overline{CE} は \overline{CE}_1 と CE_2 の論理結合です。 \overline{CE}_1 が LOW で、 CE_2 が HIGH の場合は、 \overline{CE} は LOW で、 \overline{CE}_1 が HIGH または CE_2 が LOW の場合は、 CE は HIGH です。
29. メモリの内部書き込み期間は $\overline{WE} = V_{IL}$ 、 $\overline{CE}_1 = V_{IL}$ 、 \overline{BHE} または \overline{BLE} または両方とも = V_{IL} 、および $CE_2 = V_{IH}$ のオーバラップで定義されます。書き込みを開始するにはすべての信号は ACTIVE (アクティブ) でなければなりません。これらの信号のいずれかが INACTIVE (非アクティブ) になると、書き込みが終了します。データ入力セットアップとホールドのタイミングは、書き込みを終了させる信号のエッジを基準にしなければなりません。
30. $\overline{CE} = V_{IH}$ 、または $\overline{OE} = V_{IH}$ または \overline{BHE} 、および \overline{WE} または $\overline{BLE} = V_{IH}$ の場合、データ I/O は HI-Z 状態に入ります。
31. 書き込みサイクル 3 (WE 制御、OE LOW) 用の最少のパルス幅は、 t_{SD} と t_{HZWE} の合計と等しい必要があります。

スイッチング波形 (続き)

図 12. 書き込みサイクル 4 ($\overline{\text{BHE}}/\overline{\text{BLE}}$ 制御) [32、33、34]



注:

32. 全てのデュアル イネーブル デバイスに対応して $\overline{\text{CE}}$ は $\overline{\text{CE}}_1$ と CE_2 の論理結合です。 $\overline{\text{CE}}_1$ が LOW で、 CE_2 が HIGH の場合は、 $\overline{\text{CE}}$ は LOW で、 $\overline{\text{CE}}_1$ が HIGH または CE_2 が LOW の場合は、 $\overline{\text{CE}}$ は HIGH です。
33. メモリの内部書き込み期間は $\overline{\text{WE}} = V_{IL}$ 、 $\overline{\text{CE}}_1 = V_{IL}$ 、 $\overline{\text{BHE}}$ または $\overline{\text{BLE}}$ または両方とも = V_{IL} 、および $\text{CE}_2 = V_{IH}$ のオーバラップで定義されます。書き込みを開始するにはすべての信号は ACTIVE (アクティブ) でなければなりません。これらの信号のいずれかが INACTIVE (非アクティブ) になると、書き込みが終了します。データ入力セットアップとホールドのタイミングは、書き込みを終了させる信号のエッジを基準にしなければなりません。
34. $\overline{\text{CE}} = V_{IH}$ 、または $\overline{\text{OE}} = V_{IH}$ または $\overline{\text{BHE}}$ 、および WE または $\overline{\text{BLE}} = V_{IH}$ の場合、データ I/O は HI-Z 状態に入ります。

真理値表 – CY62147GN/CY621472GN

$\overline{CE_1}/CE^{[35]}$	$CE_2^{[35]}$	\overline{WE}	\overline{OE}	\overline{BHE}	\overline{BLE}	入力／出力	モード	電源
H	X ^[36]	X	X	X	X	HI-Z	選択解除／電源切斷	スタンバイ (I _{SB})
X	L	X	X	X	X	HI-Z	選択解除／電源切斷	スタンバイ (I _{SB})
X	X	X	X	H	H	HI-Z	選択解除／電源切斷	スタンバイ (I _{SB})
L	H	H	L	L	L	データ出力 (I/O ₀ –I/O ₁₅)	読み出し	アクティブ (I _{CC})
L	H	H	L	H	L	データ出力 (I/O ₀ –I/O ₇); HI-Z (I/O ₈ –I/O ₁₅)	読み出し	アクティブ (I _{CC})
L	H	H	L	L	H	HI-Z (I/O ₀ –I/O ₇); データ出力 (I/O ₈ –I/O ₁₅)	読み出し	アクティブ (I _{CC})
L	H	H	H	L	H	HI-Z	出力が無効	アクティブ (I _{CC})
L	H	H	H	H	L	HI-Z	出力が無効	アクティブ (I _{CC})
L	H	H	H	L	L	HI-Z	出力が無効	アクティブ (I _{CC})
L	H	L	X	L	L	データ入力 (I/O ₀ –I/O ₁₅)	書き込み	アクティブ (I _{CC})
L	H	L	X	H	L	データ入力 (I/O ₀ –I/O ₇); HI-Z (I/O ₈ –I/O ₁₅)	書き込み	アクティブ (I _{CC})
L	H	L	X	L	H	HI-Z (I/O ₀ –I/O ₇); データ入力 (I/O ₈ –I/O ₁₅)	書き込み	アクティブ (I _{CC})

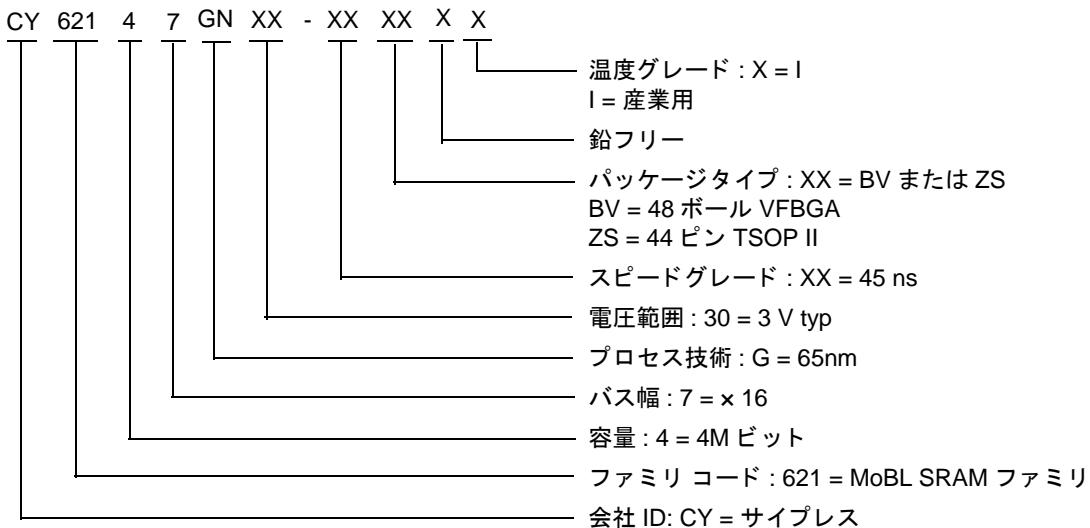
注：

35. 全てのデュアル イネーブル デバイスに対応して \overline{CE} は \overline{CE}_1 と CE_2 の論理結合です。 \overline{CE}_1 が LOW で CE_2 が HIGH の場合は \overline{CE} は LOW で、 \overline{CE}_1 が HIGH または CE_2 が LOW の場合は \overline{CE} は HIGH です。

36. チップ イネーブルに応じた「X」(ドント ケア) 状態は、論理状態 (HIGH または LOW) を意味します。これらのピンでの中間電圧レベルは許可されていません。

注文情報

速度 (ns)	電圧範囲	注文コード	パッケージ図	パッケージ タイプ	動作範囲
45	2.2V ~ 3.6V	CY62147GN30-45BVXI	51-85150	48-ball VFBGA (6 x 8 x 1 mm)、シングル チップ イネーブル	産業用
		CY62147GN30-45ZSXI	51-85087	44 ピン TSOP II、シングル チップ イネーブル	

注文コードの定義


パッケージ図

図 13. 44 ピン TSOP II (Z44) パッケージ図、51-85087

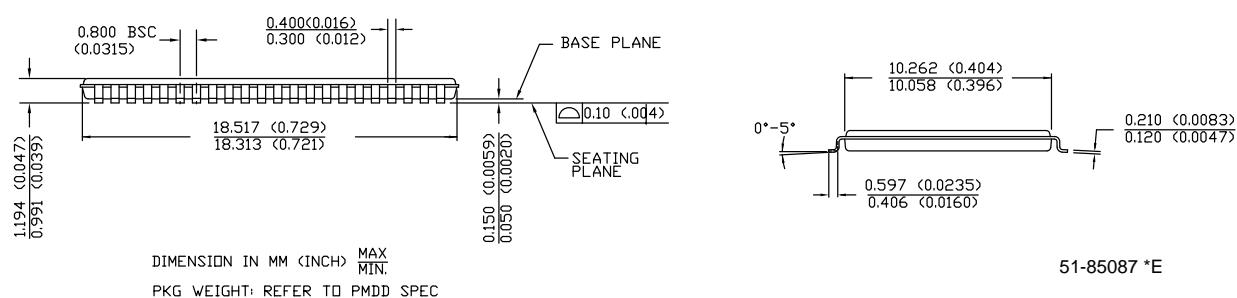
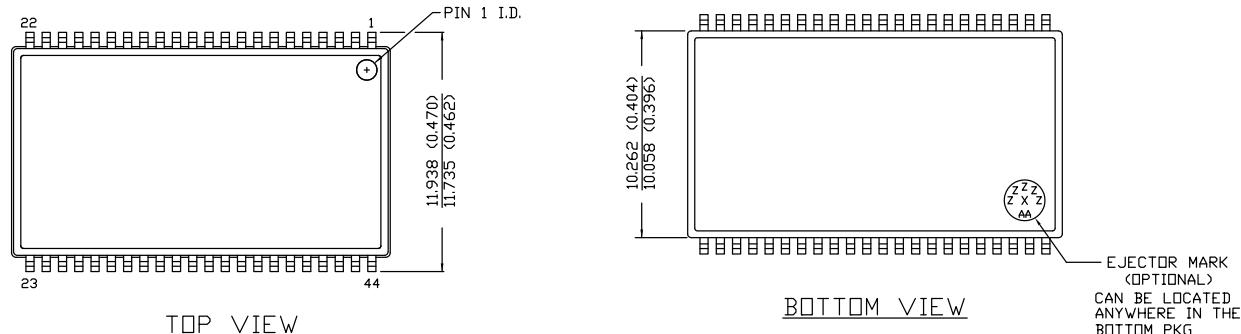
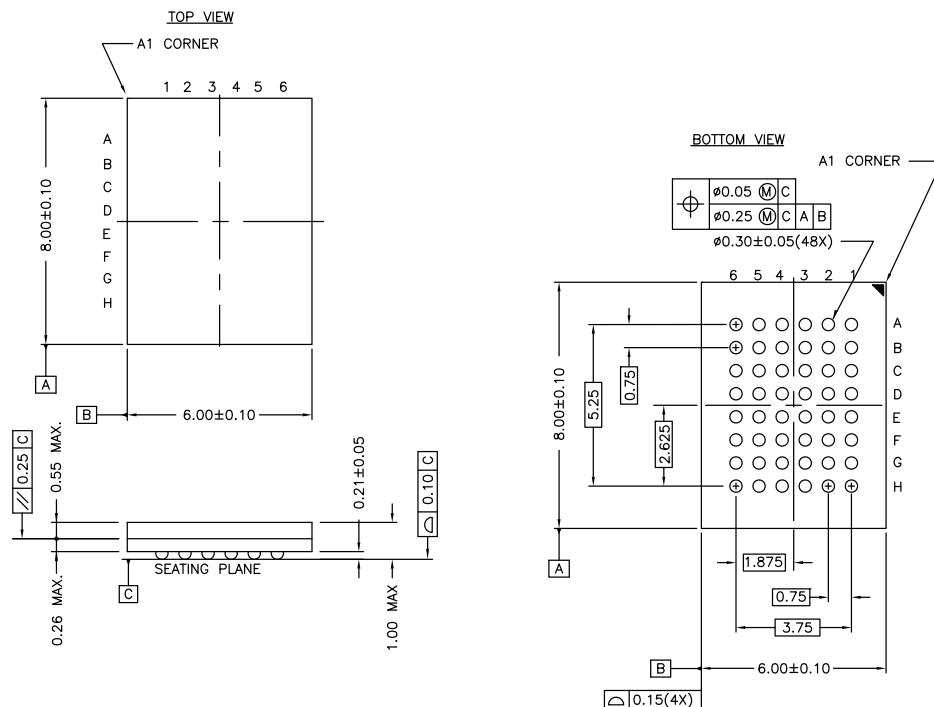


図 14. 48 ポール VFBGA (6 x 8 x 1.0mm) BV48/BZ48 パッケージ図、51-85150



NOTE:

PACKAGE WEIGHT: See Cypress Package Material Declaration Datasheet (PMDD) posted on the Cypress web.

51-85150 *H

略語

略語	説明
BHE	byte high enable (バイト HIGH イネーブル)
BLE	byte low enable (バイト LOW イネーブル)
CE	chip enable (チップ イネーブル)
CMOS	Complementary Metal Oxide Semiconductor (相補型金属酸化膜半導体)
I/O	input/output (入力／出力)
OE	output enable (出力イネーブル)
SRAM	static random access memory (スタティック ランダム アクセス メモリ)
TSOP	thin small outline package (薄型小型パッケージ)
VFBGA	very fine-pitch ball grid array (超ファインピッチボールグリッドアレイ)
WE	write enable (書き込みイネーブル)

本書の表記法
測定単位

記号	測定単位
°C	摂氏温度
MHz	メガヘルツ
µA	マイクロアンペア
µs	マイクロ秒
mA	ミリアンペア
mm	ミリメートル
ns	ナノ秒
Ω	オーム
%	パーセント
pF	ピコファラッド
V	ボルト
W	ワット

改訂履歴

文書名 : CY62147GN / CY621472GN MoBL®、4-M ビット (256K ワード × 16 ビット) スタティック RAM
文書番号 : 002-10963

版	ECN 番号	変更者	発行日	変更内容
**	5140080	HZEN	03/01/2016	これは英語版 002-10624 Rev. *A を翻訳し た日本語版 002-10963 Rev. ** です。

セールス、ソリューション、および法律情報

ワールドワイド販売と設計サポート

サイプレスは、事業所、ソリューション センター、メーカー代理店および販売代理店の世界的なネットワークを保持しています。お客様の最寄りのオフィスについては、[サイプレスのロケーションのウェブページ](#)をご覧ください。

製品

車載用

cypress.com/go/automotive

クロック & バッファ

cypress.com/go/clocks

インターフェース

cypress.com/go/interface

照明 & 電力制御

cypress.com/go/powerpsoc

メモリ

cypress.com/go/memory

PSoC

cypress.com/go/psoc

タッチ センシング

cypress.com/go/touch

USB コントローラー

cypress.com/go/USB

ワイヤレス／RF

cypress.com/go/wireless

PSoC® ソリューション

psoc.cypress.com/solutions

PSoC 1 | PSoC 3 | PSoC 4 | PSoC 5LP

サイプレス開発者コミュニティ

[コミュニティ](#) | [フォーラム](#) | [ブログ](#) | [ビデオ](#) | [トレーニング](#)

テクニカル サポート

cypress.com/go/support

© Cypress Semiconductor Corporation, 2016. 本文書に記載される情報は、予告なく変更される場合があります。Cypress Semiconductor Corporation (サイプレス セミコンダクタ社) は、サイプレス製品に組み込まれた回路以外のいかなる回路を使用することに対して一切の責任を負いません。サイプレス セミコンダクタ社は、特許またはその他の権利に基づくライセンスを譲渡することも、または含意することもありません。サイプレス製品は、サイプレスとの書面による合意に基づくものでない限り、医療、生命維持、救命、重要な管理、または安全の用途のために使用することを保証するものではなく、また使用することを意図したものでもありません。さらにサイプレスは、誤動作や故障によって使用者に重大な傷害をもたらすことが合理的に予想される生命維持システムの重要なコンポーネントとしてサイプレス製品を使用することを許可していません。生命維持システムの用途にサイプレス製品を供することは、製造者がそのような使用におけるあらゆるリスクを負うことを意味し、その結果サイプレスはあらゆる責任を免除されることを意味します。

すべてのソース コード (ソフトウェアおよび／またはファームウェア) はサイプレス セミコンダクタ社 (以下「サイプレス」) が所有し、全世界の特許権保護 (米国および他の国)、米国の著作権法ならびに国際協定の条項により保護され、かつそれらに従います。サイプレスが本書面によりライセンサーに付与するライセンスは、個人的、非独占的かつ譲渡不能のライセンスであり、適用される契約で指定されたサイプレスの集積回路と併用されるライセンサーの製品のみをサポートするカスタムソフトウェアおよび／またはカスタム ファームウェアを作成する目的に限って、サイプレスのソース コードの派生著作物をコピー、使用、変更そして作成するためのライセンス、ならびにサイプレスのソース コードおよび派生著作物をコンパイルするためのライセンスです。上記で指定された場合を除き、サイプレスの書面による明示的な許可なくして本ソース コードを複製、変更、変換、コンパイル、または表示することはすべて禁止します。

免責条項：サイプレスは、明示的または默示的を問わず、本資料に関するいかなる種類の保証も行いません。これには、商品性または特定目的への適合性の默示的な保証が含まれますが、これに限定されません。サイプレスは、本文書に記載される資料に対して今後予告なく変更を加える権利を留保します。サイプレスは、本文書に記載されるいかなる製品または回路を適用または使用したことによって生ずるいかなる責任も負いません。サイプレスは、誤動作や故障によって使用者に重大な傷害をもたらすことが合理的に予想される生命維持システムの重要なコンポーネントとしてサイプレス製品を使用することを許可していません。生命維持システムの用途にサイプレス製品を供することは、製造者がそのような使用におけるあらゆるリスクを負うことを意味し、その結果サイプレスはあらゆる責任を免除されることを意味します。

ソフトウェアの使用は、適用されるサイプレス ソフトウェア ライセンス契約によって制限され、かつ制約される場合があります。