

エラー訂正コード (ECC) 内蔵 4M ビット (256K ワード × 16 ビット) スタティック RAM

特徴

- 高速 : 45ns/55ns
- スタンバイ時の超低消費電力
 - 標準スタンバイ電流 : 3.5μA
 - 最大スタンバイ電流 : 8.7μA
- シングル ビット エラー訂正用の内蔵 ECC^[1]
- 広い電圧範囲 : 1.65V ~ 2.2V、2.2V ~ 3.6V、4.5V ~ 5.5V
- 1.0V データ保持
- TTL 互換の入出力
- 1 ビット エラー検出と訂正を示すエラー表示 (ERR) ピン
- 鉛フリー-48 ボール VFBGA および 44 ピン TSOP II パッケージ

機能の説明

CY62146G/CY62146GE および CY62146GSL/CY62146GESL は、ECC を内蔵した高性能 CMOS 低電力 (MoBL) SRAM デバイスです。両方のデバイスは、シングルとデュアル チップ イネーブル オプション、および複数ピン配置で提供されます。CY62146GE/CY62146GESL デバイスは、読み出しサイクル中の誤り検出と訂正の発生を知らせる ERR ピンを備えています。CY62146GSL / CY62146GESL^[1] デバイスは 2.2V ~ 3.6V および 4.5V ~ 5.5V の広い電圧範囲に対応します。

シングル チップ イネーブル入力を持つデバイスは、チップ イネーブル入力 (\overline{CE}) を LOW にアサートすることでアクセスされます。デュアル チップ イネーブル デバイスは、両方のチップ イネーブル入力 (\overline{CE}_1 を LOW、および \overline{CE}_2 を HIGH) をアサートすることでアクセスされます。

データ書き込みは書き込みイネーブル (\overline{WE}) 入力を LOW にアサートすることで実行し、データを I/O₀ ~ I/O₁₅ ピンに、アドレスを A₀ ~ A₁₇ ピンに提供します。上位バイト イネーブル (\overline{BHE}) と下位バイト イネーブル (\overline{BLE}) 入力は、指定されたメモリ位置の上位バイトと下位バイトへの書き込み動作を制御します。BHE は、I/O₈ ~ I/O₁₅ を制御し、BLE は、I/O₀ ~ I/O₇ を制御します。

データ読み込みは、出力イネーブル (\overline{OE}) 入力をアサートして、アドレスラインに必要なアドレスを提供することによって実行されます。読み出しデータは、I/O ライン (I/O₀ ~ I/O₁₅) 上でアクセスできます。バイト アクセスは、必要なバイト イネーブル信号 (\overline{BHE} 、 \overline{BLE}) をアサートして、指定されたアドレス位置からデータの上位バイトまたは下位バイトのいずれかを読み込むことによって実行されます。

デバイスが選択解除 (シングルチップ イネーブル方式のデバイスの場合は \overline{CE} を HIGH、デュアル チップ イネーブル方式のデバイスの場合は \overline{CE}_1 を HIGH、 \overline{CE}_2 を LOW) にされるか、または制御信号がアサート解除 (\overline{OE} 、 \overline{BLE} 、 \overline{BHE}) される時、全ての I/O (I/O₀ ~ I/O₁₅) は Hi-Z 状態になります。

CY62146GE/CY62146GESL デバイスでは、アクセスされた位置におけるシングルビットエラーの検出および訂正は、ERR 出力のアサート (ERR = HIGH) により行われます^[2]。読み出しモードと書き込みモードの詳細な説明については、[17 ページの真理値表](#) -

[CY62146G/CY62146GE/CY62146GSL/CY62146GESL](#) をご参照ください。

論理ブロック図は 2 ページに示されています。

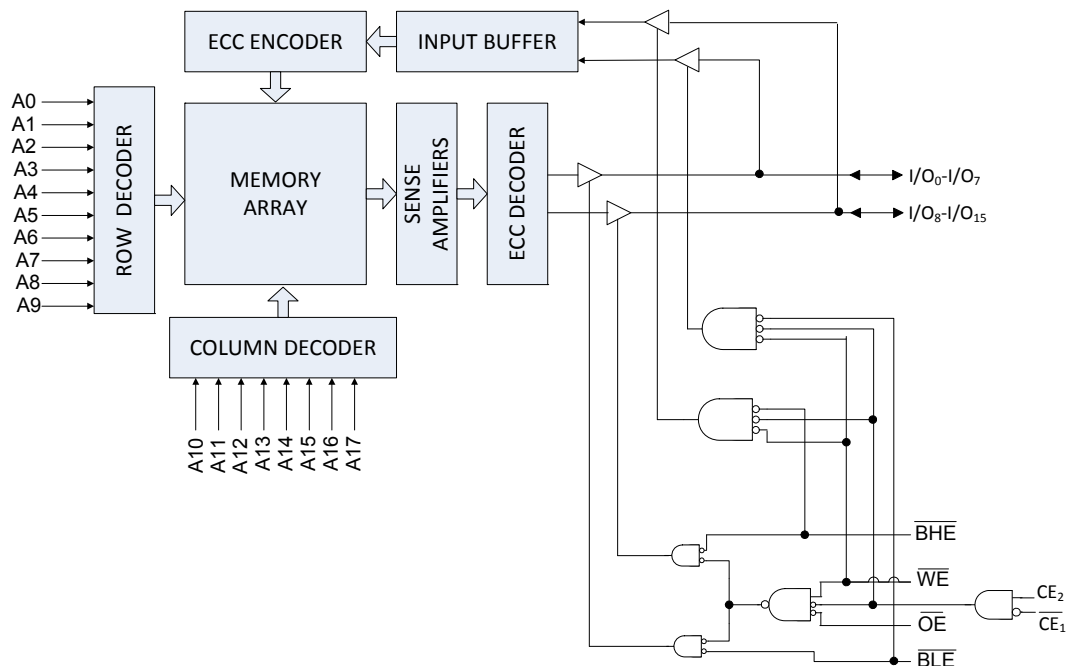
製品ポートフォリオ

製品 ^[3]	特長とオプション (ピン コンフィギュレーション の節を参照)	範囲	V _{CC} の範囲 (V)	速度 (ns)	許容損失			
					動作、I _{CC} (mA)		スタンバイ、I _{SB2} (μA)	
					f = f _{max}			
					Typ ^[4]	Max	Typ ^[4]	Max
CY62146G(E)18	シングルまたはデュアル のチップ イネーブル オプションの ERR ピン	産業用	1.65V ~ 2.2V	55	15	20	3.5	10
CY62146G(E)30			2.2V ~ 3.6V	45	15	20	3.5	8.7
CY62146G(E)			4.5V ~ 5.5V					
CY62146G(E)SL ^[5]			2.2V ~ 3.6V およ び 4.5V ~ 5.5V					

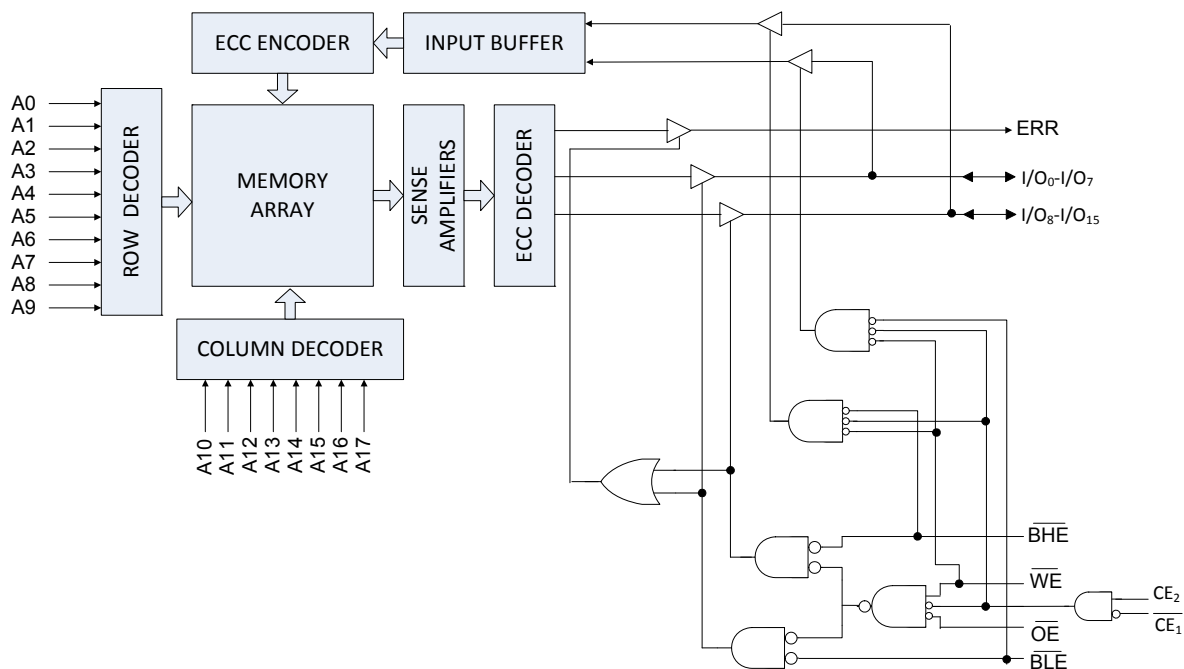
注:

1. データシートの仕様は 3.6V ~ 4.5V の V_{CC} 範囲では保証されていません。
2. このデバイスは、エラー検出時の自動ライトバック対応しません。
3. ERR ピンは、注文コードに ERR オプション「E」があるデバイスにのみ備えています。詳細は、[注文情報](#)を参照してください。
4. 標準値は単なる参照値であり、保証または検査されていません。標準値は、V_{CC} = 1.8V (V_{CC} が 1.65V ~ 2.2V の場合)、V_{CC} = 3V (V_{CC} が 2.2V ~ 3.6V)、および V_{CC} = 5V (V_{CC} が 4.5V ~ 5.5V)、T_A = 25°C で測定しています。
5. データシートの仕様は 3.6V ~ 4.5V の範囲の V_{CC} に対しては保証されていません。

論理ブロック図 – CY62146G / CY62146GSL



論理ブロック図 – CY62146GE / CY62146GESL



目次

ピン配置 – CY62146G/CY62146GSL	4	注文情報	18
ピン配置 – CY62146GE	6	注文コードの定義	18
最大定格	8	パッケージ図	19
動作範囲	8	略語	20
DC 電気的特性	8	本書の表記法	20
静電容量	10	測定単位	20
熱抵抗	10	改訂履歴	21
AC テストの負荷および波形	10	セールス、ソリューション、および法律情報	22
データ保持特性	11	ワールドワイド販売と設計サポート	22
データ保持波形	11	製品	22
AC スイッチング特性	12	PSoC [®] ソリューション	22
スイッチング波形	13	サイプレス開発者コミュニティ	22
真理値表 –		テクニカル サポート	22
CY62146G/CY62146GE/CY62146GSL/CY62146GESL ..	17		
ERR 出力 – CY62146GE/CY62146GESL	17		

ピン配置 – CY62146G/CY62146GSL

図 1. 48 ボール VFBGA ピン配置 (ERR なしのデュアル チップ イネーブル) – CY62146G/ CY62146GSL [6]

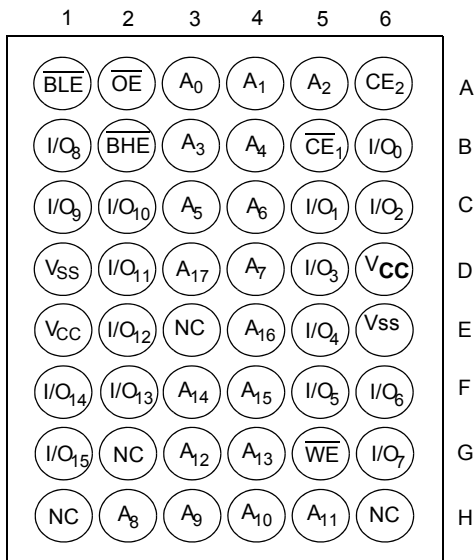
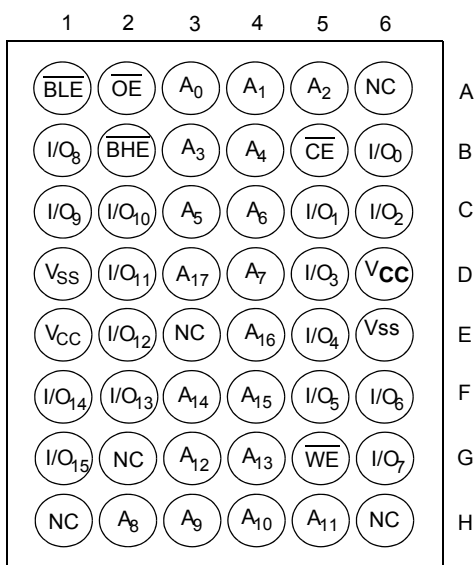


図 2. 48 ボール VFBGA ピン配置 (ERR なしのシングル チップ イネーブル) – CY62146G/ CY62146GSL [6]

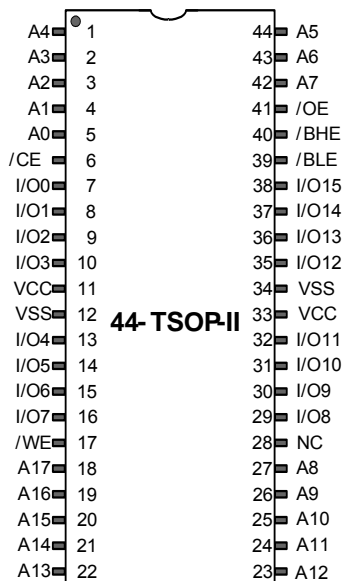


注:

6. NC ピンは内部でダイに接続されておらず、より集積度の高いデバイスに対するアドレス拡張用に使用されます。ピン配置についてはそれぞれのデータシートを参照してください。

ピン配置 – CY62146G/CY62146GSL (続き)

図 3. 44 ピン TSOP II ピン配置 (ERR なしのシングル チップ イネーブル) – CY62146G/ CY62146GSL [7]



注:

7. NC ピンは内部でダイに接続されておらず、より集積度の高いデバイスに対するアドレス拡張用に使用されます。ピン配置についてはそれぞれのデータシートを参照してください。

ピン配置 – CY62146GE

図 4. 48 ボール VFBGA ピン配置 (ERR 付きのシングル チップ イネーブル) – CY62146GE [8、9]

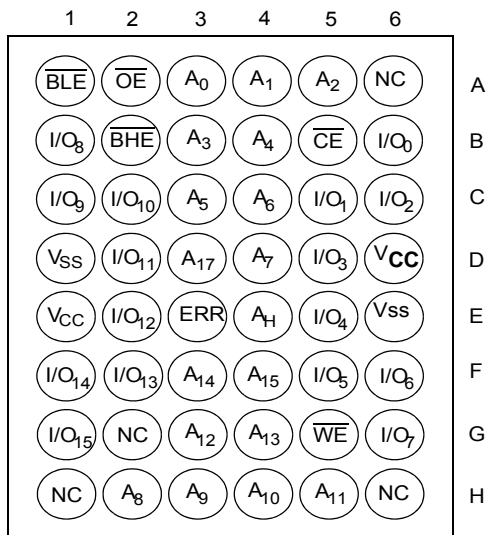
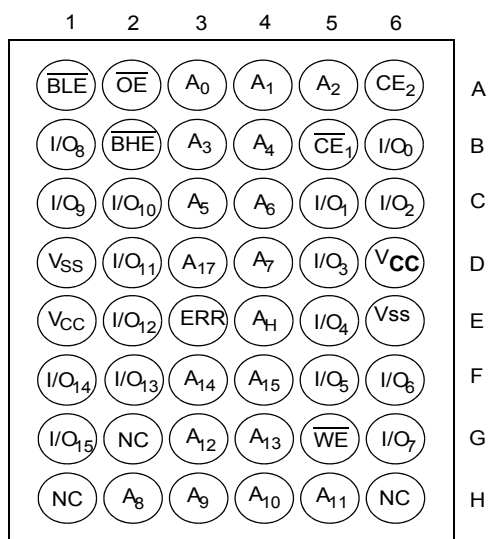


図 5. 48 ボール VFBGA ピン配置 (ERR 付きのデュアル チップ イネーブル) – CY62146GE [8、9]



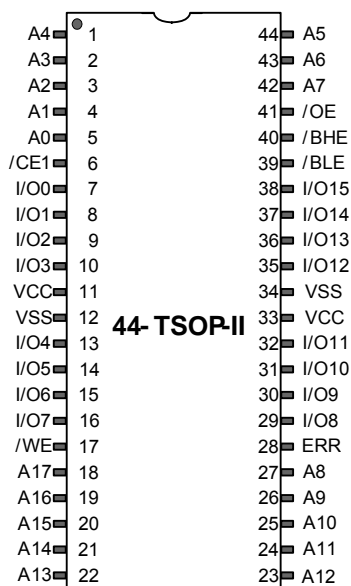
注:

8. NC ピンは内部でダイに接続されておらず、より集積度の高いデバイスに対するアドレス拡張用に使用されます。ピン配置についてはそれぞれのデータシートを参照してください。

9. ERR は出力ピンです。

ピン配置 – CY62146GE (続き)

図 6. 44 ピン TSOP II ピン配置 (ERR 付きのシングル チップ イネーブル) – CY62146GE /CY62146GESL^[10、11]



注:

10. NC ピンは内部でダイに接続されておらず、より集積度の高いデバイスに対するアドレス拡張用に使用されます。ピン配置については関連のデータシートをご参照ください。
11. ERR は出力ピンです。

最大定格

最大定格を超えるとデバイスの寿命が短くなる可能性があります。ユーザーガイドラインはテストされていません。

保存温度 -65°C ~ +150°C

通電時の周囲温度 -55°C ~ +125°C

グラウンド電位に対する

供給電圧 ^[12] -0.5V ~ $V_{CC} + 0.5V$

HI-Z 状態の出力に

印加される DC 電圧 ^[12] -0.5V ~ $V_{CC} + 0.5V$

DC 入力電圧 ^[12] -0.5V ~ $V_{CC} + 0.5V$

出力 (low 状態) への出力電流 20mA

静電放電時の電圧

(MIL-STD-883、Method 3015) > 2001V

ラッチアップ電流 > 140mA

動作範囲

グレード	周囲温度	V_{CC}
産業用 ^[13]	-40°C ~ +85°C	1.65V ~ 2.2V、 2.2V ~ 3.6V、 4.5V ~ 5.5V

DC 電気的特性

動作範囲は -40°C ~ 85°C

パラメーター	説明		テスト条件		45/55ns			単位
					Min	Typ	Max	
V _{OH}	出力 HIGH 電圧	1.65V ~ 2.2V	V _{CC} = Min、I _{OH} = -0.1mA	1.4	-	-	V	
		2.2V ~ 2.7V	V _{CC} = Min、I _{OH} = -0.1mA	2	-	-		
		2.7V ~ 3.6V	V _{CC} = Min、I _{OH} = -1.0mA	2.2	-	-		
		4.5V ~ 5.5V	V _{CC} = Min、I _{OH} = -1.0mA	2.4	-	-		
		4.5V ~ 5.5V	V _{CC} = Min、I _{OH} = -0.1mA	V _{CC} - 0.5 ^[14]	-	-		
V _{OL}	出力 LOW 電圧	1.65V ~ 2.2V	V _{CC} = Min、I _{OL} = 0.1mA	-	-	0.2	V	
		2.2V ~ 2.7V	V _{CC} = Min、I _{OL} = 0.1mA	-	-	0.4		
		2.7V ~ 3.6V	V _{CC} = Min、I _{OL} = 2.1mA	-	-	0.4		
		4.5V ~ 5.5V	V _{CC} = Min、I _{OL} = 2.1mA	-	-	0.4		
V _{IH}	入力 HIGH 電圧	1.65V ~ 2.2V	-	1.4	-	V _{CC} + 0.2 ^[12]	V	
		2.2V ~ 2.7V	-	2	-	V _{CC} + 0.3 ^[12]		
		2.7V ~ 3.6V	-	2	-	V _{CC} + 0.3 ^[12]		
		4.5V ~ 5.5V	-	2.2	-	V _{CC} + 0.5 ^[12]		
V _{IL}	入力 LOW 電圧	1.65V ~ 2.2V	-	-0.2 ^[12]	-	0.4	V	
		2.2V ~ 2.7V	-	-0.3 ^[12]	-	0.6		
		2.7V ~ 3.6V	-	-0.3 ^[12]	-	0.8		
		4.5V ~ 5.5V	-	-0.5 ^[12]	-	0.8		
I _{IX}	入力リーク電流		GND ≤ V _{IN} ≤ V _{CC}		-1	-	+1	μA
I _{OZ}	出力リーク電流		GND ≤ V _{OUT} ≤ V _{CC} 、出力が無効		-1	-	+1	μA
I _{CC}	V _{CC} の動作時電源電流		最大 V _{CC} 、I _{OUT} = 0mA、 CMOS レベル	f = 22.22MHz (45ns)	-	15	20	mA
				f = 18.18MHz (55ns)	-	15	20	mA
				f = 1MHz	-	-	6	mA

注：

12. パルス幅が 2ns 以下の場合、 $V_{IL(\text{min})} = -2.0V$ および $V_{IH(\text{max})} = V_{CC} + 2V$ 。

13. 広い電圧範囲の製品は 2.2V ~ 3.6V および 4.5V ~ 5.5V の V_{CC} 範囲に対応します。データシートの仕様は 3.6V ~ 4.5V の V_{CC} 範囲では保証されていません。

14. このパラメーターは設計保証であり、テストは行われていません。

DC 電気的特性 (続き)

動作範囲は -40°C ~ 85°C

パラメーター	説明	テスト条件	45/55ns			単位	
			Min	Typ	Max		
$I_{SB1}^{[15]}$	自動電源切断時の電流 – CMOS 入力 ; $V_{CC} = 2.2V \sim 3.6V$ および $4.5V \sim 5.5V$	$\overline{CE}_1 \geq V_{CC} - 0.2V$ または $CE_2 \leq 0.2V$ $V_{IN} \geq V_{CC} - 0.2V$ 、 $V_{IN} \leq 0.2V$ 、 $f = f_{max}$ (アドレスおよびデータのみ)、 $f = 0$ (\overline{OE} 、 \overline{WE})、 $V_{CC(max)}$	–	3.5	8.7	μA	
	自動電源切断時の電流 – CMOS 入力 $V_{CC} = 1.65V \sim 2.2V$		–	–	10		
$I_{SB2}^{[15]}$	自動電源切断時の電流 – CMOS 入力 $V_{CC} = 2.2V \sim 3.6V$ および $4.5V \sim 5.5V$	$\overline{CE}_1 \geq V_{CC} - 0.2V$ または $CE_2 \leq 0.2V$ 、 $V_{IN} \geq V_{CC} - 0.2V$ または $V_{IN} \leq 0.2V$ 、 $f = 0$ 、 $V_{CC(max)}$	$25^{\circ}C^{[16]}$	–	3.5	3.7	μA
			$40^{\circ}C^{[16]}$	–	–	4.8	
			$70^{\circ}C^{[16]}$	–	–	7	
			$85^{\circ}C$	–	–	8.7	
	自動電源切断時の電流 – CMOS 入力 $V_{CC} = 1.65V \sim 2.2V$	$\overline{CE}_1 \geq V_{CC} - 0.2V$ または $CE_2 \leq 0.2V$ $V_{IN} \geq V_{CC} - 0.2V$ または $V_{IN} \leq 0.2V$ 、 $f = 0$ 、 $V_{CC(max)}$	$25^{\circ}C^{[16]}$	–	3.5	4.3	
			$40^{\circ}C^{[16]}$	–	–	5	
			$70^{\circ}C^{[16]}$	–	–	7.5	
			$85^{\circ}C$	–	–	10	

注:

15. $I_{SB1}/I_{SB2}/I_{CCDR}$ 仕様を満たすために、チップイネーブル (\overline{CE}_1 および CE_2) は CMOS レベルに接続する必要があります。他の入力はフローティング状態のままにすることができます。

16. I_{SB2} は 25°C、40°C、70°C のものであり、85°C での値は設計保証であり 100% 試験されてはいません。

静電容量

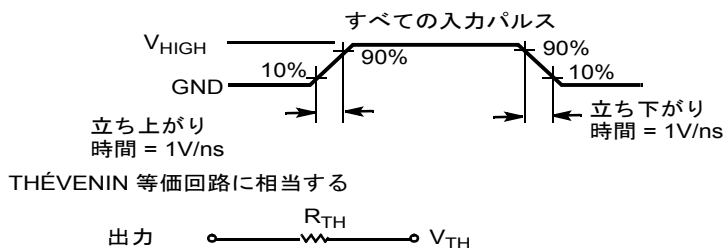
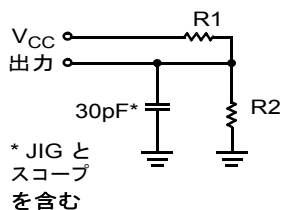
パラメーター ^[17]	説明	テスト条件	Max	単位
C_{IN}	入力容量	$T_A=25^{\circ}\text{C}$ 、 $f=1\text{MHz}$ 、 $V_{CC}=V_{CC}(\text{typ})$	10	pF
C_{OUT}	出力容量		10	pF

熱抵抗

パラメーター ^[17]	説明	テスト条件	48 ボール VFBGA	44 ピン TSOP II	単位
Θ_{JA}	熱抵抗 (接合部から周囲)	無風状態で、 3×4.5 インチの 4 層プリント回路基板にはんだ付け	31.35	68.85	$^{\circ}\text{C/W}$
Θ_{JC}	熱抵抗 (接合部からケース)		14.74	15.97	$^{\circ}\text{C/W}$

AC テストの負荷および波形

図 7. AC テストの負荷および波形^[18]



パラメーター	1.8V	2.5V	3.0V	5.0V	単位
R1	13500	16667	1103	1800	Ω
R2	10800	15385	1554	990	Ω
R_{TH}	6000	8000	645	639	Ω
V_{TH}	0.80	1.20	1.75	1.77	V

注:

17. 開発時とこれらのパラメーターに影響を与える可能性のある設計/プロセス変更があった後にテストされます。

18. 完全なデバイス動作には、 V_{DR} から $V_{CC}(\text{min})$ までのリニア V_{CC} ランプ時間が $100\mu\text{s}$ 以上であるか、または $V_{CC}(\text{min})$ で安定する時間が $100\mu\text{s}$ 以上である必要があります。

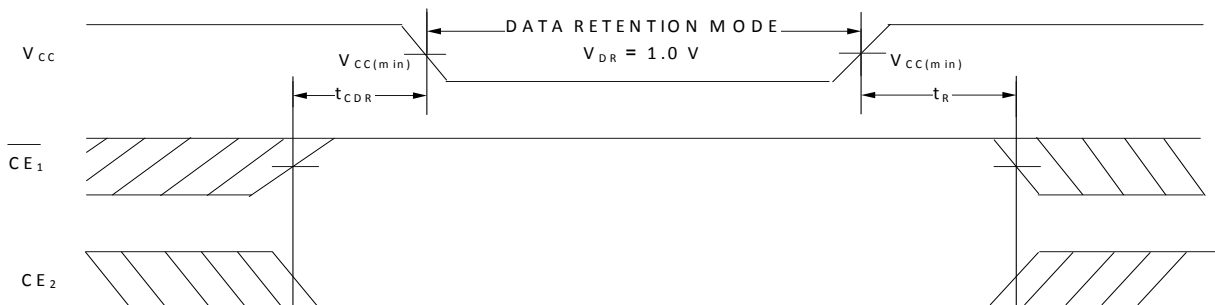
データ保持特性

動作範囲において

パラメーター	説明	条件	Min	Typ ^[19]	Max	単位
V_{DR}	データ保持用の V_{CC}		1	—	—	V
$I_{CCDR}^{[20, 21]}$	データ保持電流	$V_{CC} = 1.2\text{ V}$ $\overline{CE}_1 \geq V_{CC} - 0.2\text{ V}$ または $CE_2 \leq 0.2\text{ V}$ または $(\overline{BHE} \text{ と } \overline{BLE}) \geq V_{CC} - 0.2\text{ V}$, $V_{IN} \geq V_{CC} - 0.2\text{ V}$ または $V_{IN} \leq 0.2\text{ V}$	—		13	μA
$t_{CDR}^{[22, 23]}$	チップの選択解除からデータ保持期間まで		0	—	—	ns
$t_R^{[23]}$	動作回復時間		45/55	—	—	ns

データ保持波形

図 8. データ保持波形



注:

19. 標準値は単に参考値であり、保証または試験されていません。標準値は、 $V_{CC} = 1.8\text{ V}$ (V_{CC} が $1.65\text{ V} \sim 2.2\text{ V}$ の場合)、 $V_{CC} = 3\text{ V}$ (V_{CC} が $2.2\text{ V} \sim 3.6\text{ V}$ の場合)、 $V_{CC} = 5\text{ V}$ (V_{CC} が $4.5\text{ V} \sim 5.5\text{ V}$ の場合)、 $T_A = 25^\circ\text{C}$ で測定しています。
20. $I_{SB1}/I_{SB2}/I_{CCDR}$ 仕様を満たすために、チップイネーブル (\overline{CE}_1 および CE_2) は CMOS レベルに接続する必要があります。他の入力フローティング状態のままにすることができます。
21. I_{CCDR} は、デバイスが最初に $V_{CC}(\text{min})$ に電源投入され、 V_{DR} に下げられた後でのみ保証されています。
22. これらのパラメーターは設計保証されます。
23. 完全なデバイス動作には、 V_{DR} から $V_{CC}(\text{min})$ までのリニア V_{CC} ランプ時間が $100\mu\text{s}$ 以上であるか、または $V_{CC}(\text{min})$ で安定する時間が $100\mu\text{s}$ 以上である必要があります。

AC スイッチング特性

パラメーター [24]	説明	45ns		55ns		単位
		Min	Max	Min	Max	
読み出しサイクル						
t _{RC}	読み出しサイクル時間	45	－	55	－	ns
t _{AA}	アドレス指定からデータ有効まで／アドレス指定から ERR 有効までの時間	－	45	－	55	ns
t _{OHA}	アドレス変更からデータ ホールド／アドレス変更から ERR ホールド	10	－	10	－	ns
t _{ACE}	\overline{CE}_1 LOW および CE ₂ HIGH からデータ有効まで／ \overline{CE} LOW から ERR 有効までの時間	－	45	－	55	ns
t _{DOE}	\overline{OE} LOW からデータ有効まで／ \overline{OE} LOW から ERR 有効までの時間	－	22	－	25	ns
t _{LZOE}	\overline{OE} LOW から低インピーダンスになるまでの時間 [25、26]	5	－	5	－	ns
t _{HZOE}	\overline{OE} HIGH から HI-Z までの時間 [25、26、27]	－	18	－	18	ns
t _{LZCE}	\overline{CE}_1 LOW および CE ₂ HIGH から低インピーダンスまでの時間 [25、26]	10	－	10	－	ns
t _{HZCE}	\overline{CE}_1 HIGH および CE ₂ LOW から HI-Z までの時間 [25、26、27]	－	18	－	18	ns
t _{PU}	\overline{CE}_1 LOW および CE ₂ HIGH から電源投入までの時間 [26]	0	－	0	－	ns
t _{PD}	\overline{CE}_1 HIGH および CE ₂ LOW から電源切断までの時間 [26]	－	45	－	55	ns
t _{DBE}	$\overline{BLE}/\overline{BHE}$ LOW からデータ有効までの時間	－	22	－	25	ns
t _{LZBE}	$\overline{BLE} / \overline{BHE}$ LOW から低インピーダンスまでの時間 [25、26]	5	－	5	－	ns
t _{HZBE}	$\overline{BLE} / \overline{BHE}$ HIGH から HI-Z までの時間 [25、26、27]	－	18	－	18	ns
書き込みサイクル [28、29]						
t _{WC}	書き込みサイクル時間	45	－	55	－	ns
t _{SCE}	\overline{CE}_1 LOW および CE ₂ HIGH から書き込み終了までの時間	35	－	45	－	ns
t _{AW}	アドレス セットアップから書き込み終了までの時間	35	－	45	－	ns
t _{HA}	書き込み終了からのアドレス ホールド	0	－	0	－	ns
t _{SA}	アドレスセットアップから書き込み開始	0	－	0	－	ns
t _{PWE}	\overline{WE} パルス幅	35	－	40	－	ns
t _{BW}	$\overline{BLE} / \overline{BHE}$ LOW から書き込み終了までの時間	35	－	45	－	ns
t _{SD}	データ セットアップから書き込み終了までの時間	25	－	25	－	ns
t _{HD}	書き込み終了からのデータホールド時間	0	－	0	－	ns
t _{HZWE}	\overline{WE} LOW から HI-Z までの時間 [25、26、27]	－	18	－	20	ns
t _{LZWE}	\overline{WE} HIGH から低インピーダンス [25、26]	10	－	10	－	ns

注:

24. テスト条件は、信号遷移時間 (立ち上がり／立ち下がり) が 3ns 以下、タイミング基準レベルが 1.5V ($V_{CC} \geq 3V$ の場合) かつ $V_{CC}/2$ ($V_{CC} < 3V$ の場合)、および入力パルス レベルが 0V ~ 3V ($V_{CC} \geq 3V$ の場合) かつ 0 ~ V_{CC} ($V_{CC} < 3V$ の場合) であることを前提にします。特に指定しない限り、読み出しサイクルのためのテスト条件は、「AC テストの負荷と波形」節に示されている出力負荷を使います。
25. 任意の温度と電圧条件で、どのデバイスでも t_{HZCE} は t_{LZCE} より短く、 t_{HZBE} は t_{LZBE} より短く、 t_{HZOE} は t_{LZOE} より短く、そして t_{HZWE} は t_{LZWE} より短いです。
26. これらのパラメーターは設計保証されます。
27. t_{HZOE} 、 t_{HZCE} 、 t_{HZBE} 、および t_{HZWE} 遷移は、出力が高インピーダンス状態に入る時に測定されます。
28. メモリの内部書き込み期間は、 $\overline{WE} = V_{IL}$ 、 $\overline{CE}_1 = V_{IL}$ 、 \overline{BHE} と \overline{BLE} のどちらかまたは両方が V_{IL} 、 $CE_2 = V_{IH}$ 、以上のオーバーラップで定義されます。書き込みを開始するにはすべての信号は ACTIVE (アクティブ) でなければなりません。これらの信号のいずれかが INACTIVE (非アクティブ) になると、書き込みが終了します。データ入力セットアップとホールドのタイミングは、書き込みを終了させる信号のエッジを基準にしなければなりません。
29. 書き込みサイクル 3 (\overline{WE} 制御、 \overline{OE} LOW) 用の最小のパルス幅は、 t_{SD} と t_{HZWE} の合計と等しい必要があります。

スイッチング波形

図 9. CY62146G の読み出しサイクル 1 (アドレス遷移制御) [30、31]

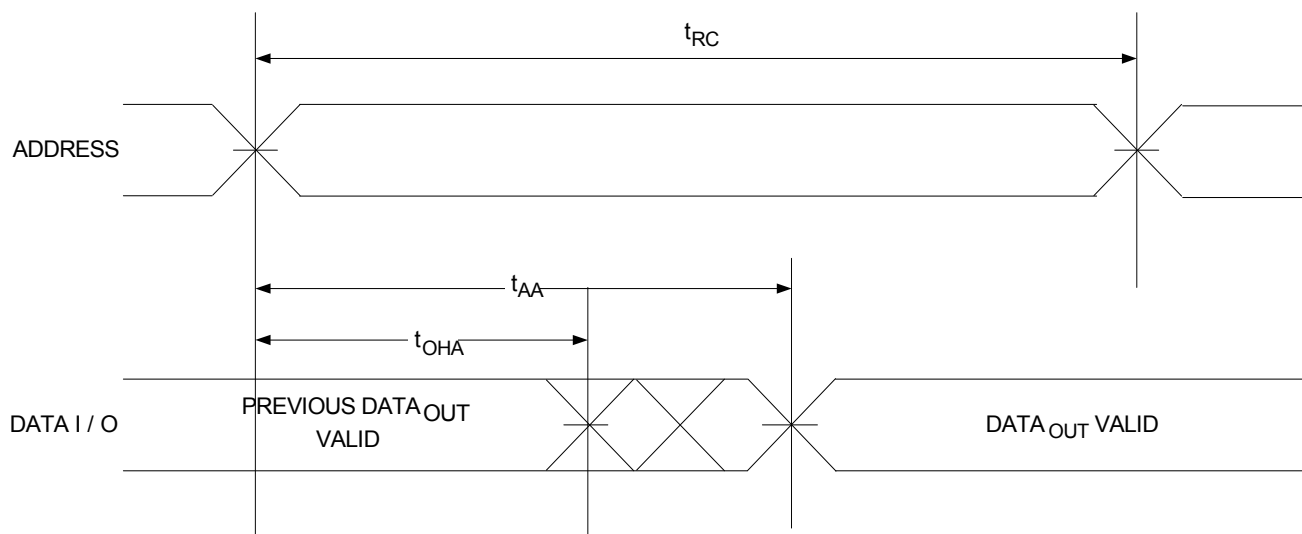
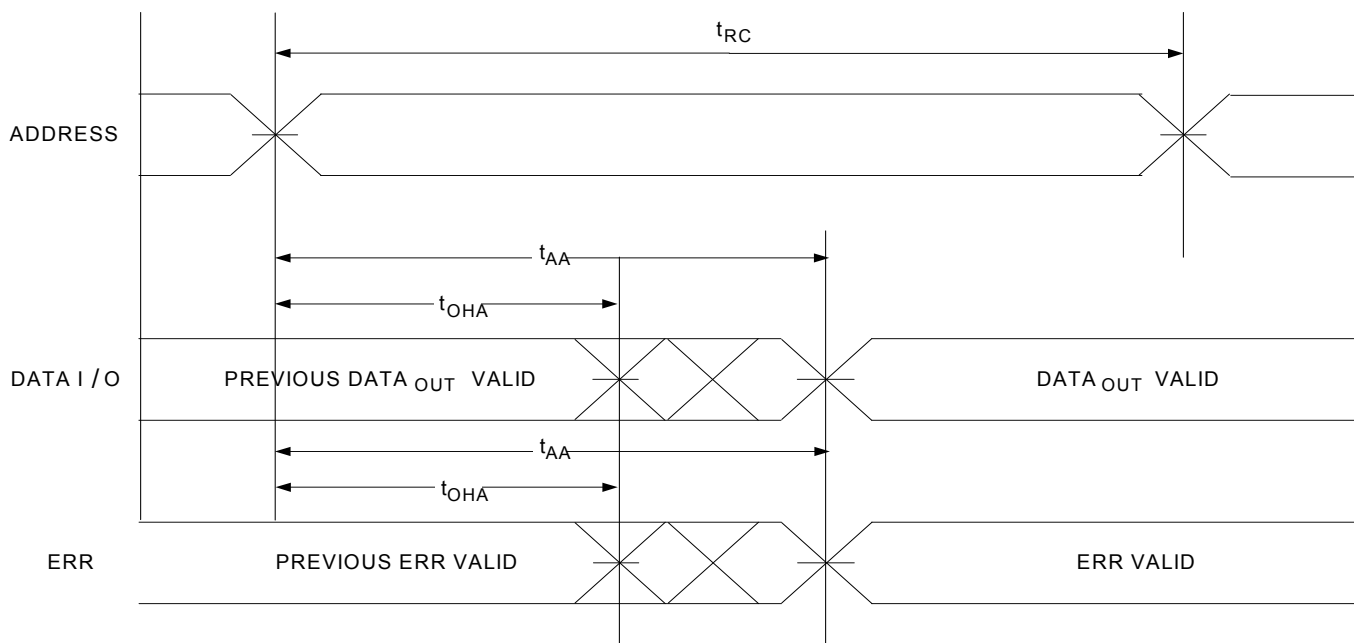


図 10. CY62146GE の読み出しサイクル 1 (アドレス遷移制御) [30、31]



注:

30. デバイスは継続して選択されています。OE = V_{IL}、CE = V_{IL}、BHE または BLE または両方 = V_{IL}。

31. 読み出しサイクルの間は WE が HIGH です。

スイッチング波形 (続き)

図 11. 読み出しサイクル 2 ($\overline{\text{OE}}$ 制御) [32、33、34]

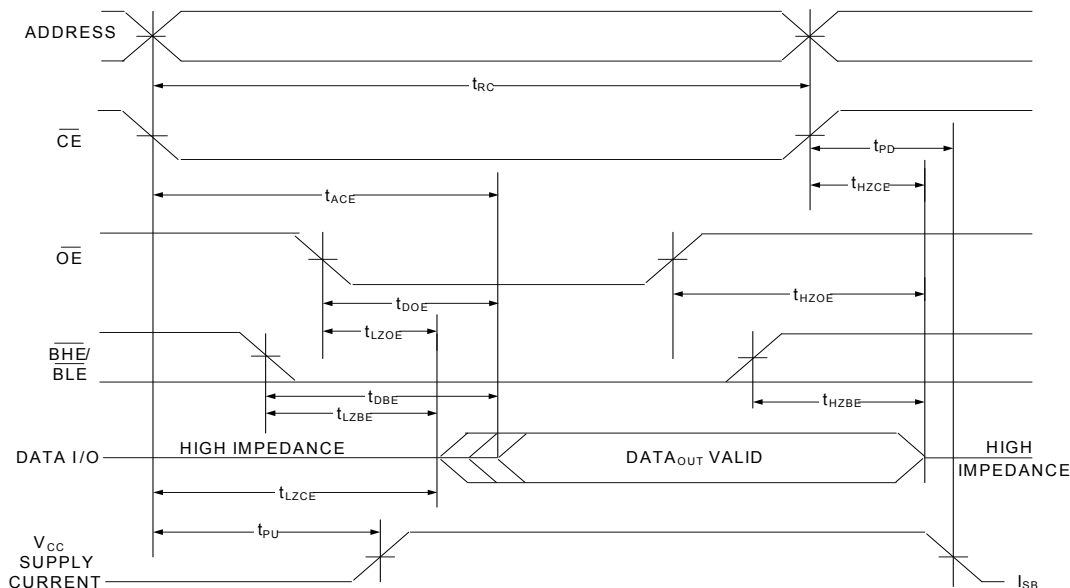
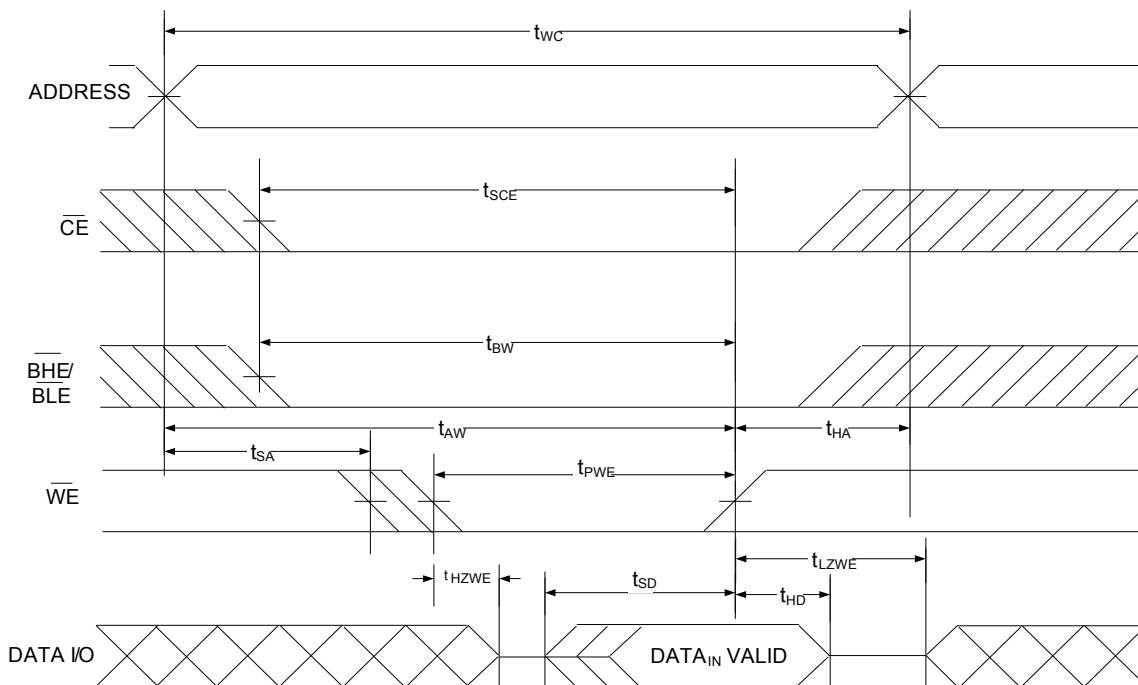


図 12. 書き込みサイクル 1 ($\overline{\text{WE}}$ 制御) [33、35、36]



注:

32. 読み出しサイクルの間は $\overline{\text{WE}}$ が HIGH です。
33. 全てのデュアルインポートデバイスに対して $\overline{\text{CE}}$ は $\overline{\text{CE}}_1$ と CE_2 の論理結合です。 $\overline{\text{CE}}_1$ が LOW で CE_2 が HIGH の場合は $\overline{\text{CE}}$ は LOW で、 $\overline{\text{CE}}_1$ が HIGH または CE_2 が LOW の場合は $\overline{\text{CE}}$ は HIGH です。
34. アドレスは、 $\overline{\text{CE}}$ の LOW 遷移前、または同時に有効になります。
35. メモリの内部書き込み期間は $\overline{\text{WE}} = V_{\text{IL}}$ 、 $\overline{\text{CE}}_1 = V_{\text{IL}}$ 、 $\overline{\text{BHE}}$ または $\overline{\text{BLE}}$ または両方とも $= V_{\text{IL}}$ 、および $\text{CE}_2 = V_{\text{IH}}$ のオーバーラップで定義されます。書き込みを開始するにはすべての信号は ACTIVE (アクティブ) でなければなりません。これらの信号のいずれかが INACTIVE (非アクティブ) になると、書き込みが終了します。データ入力セットアップとホールドのタイミングは、書き込みを終了させる信号のエッジを基準にしなければなりません。
36. $\overline{\text{CE}} = V_{\text{IH}}$ 、または $\text{OE} = V_{\text{IH}}$ または $\overline{\text{BHE}}$ 、および/または $\overline{\text{BLE}} = V_{\text{IH}}$ の場合、データ I/O は HI-Z 状態に入ります。

スイッチング波形 (続き)

図 13. 書き込みサイクル 2 ($\overline{\text{CE}}$ 制御) [37、38、39]

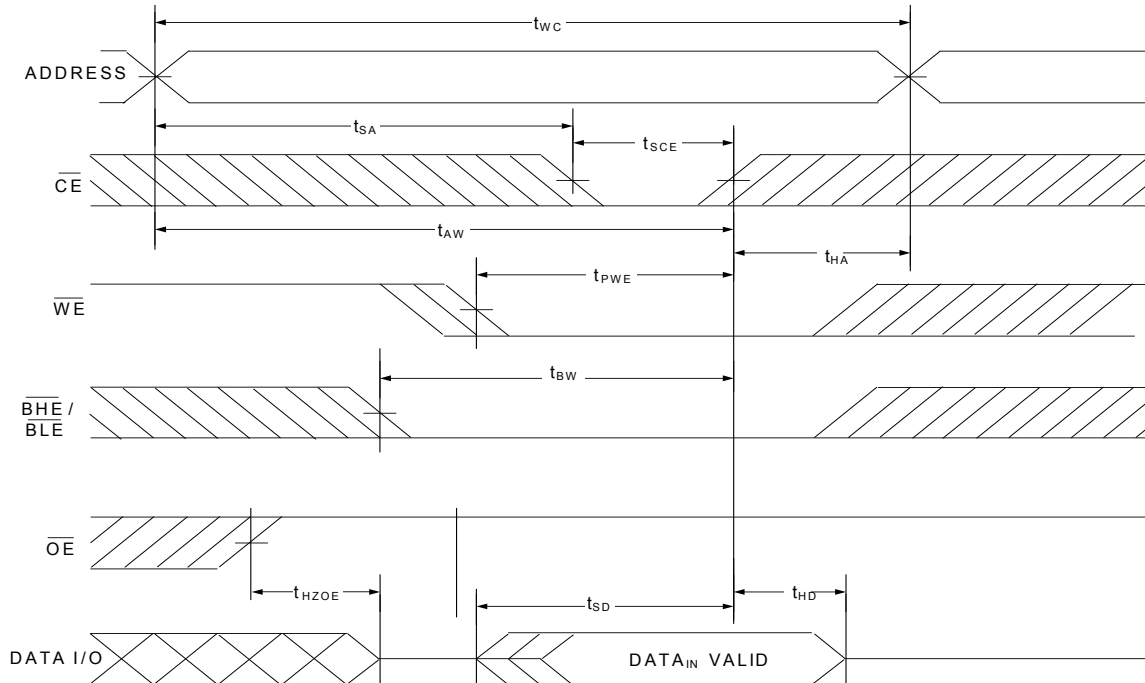
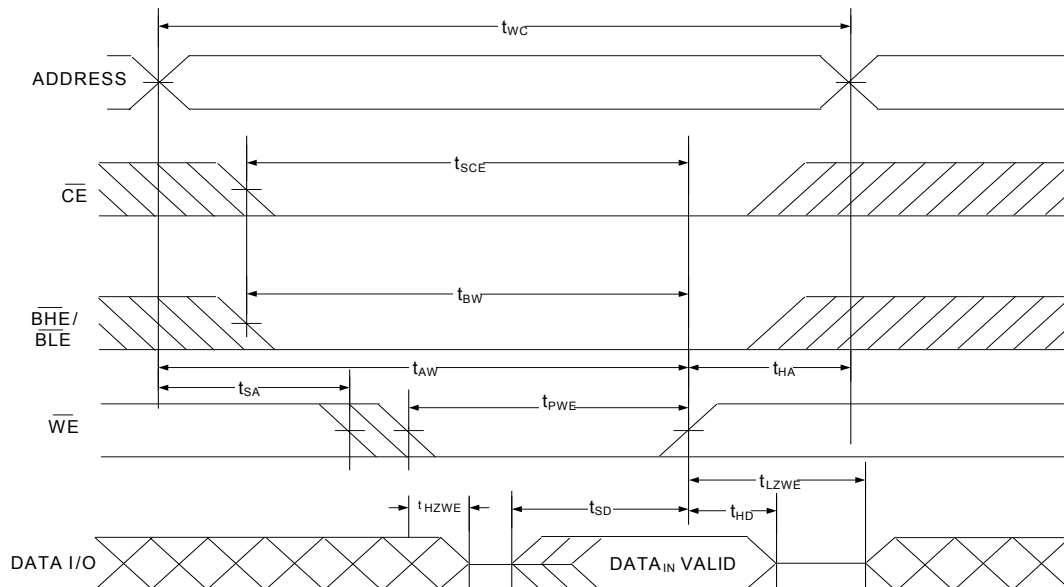


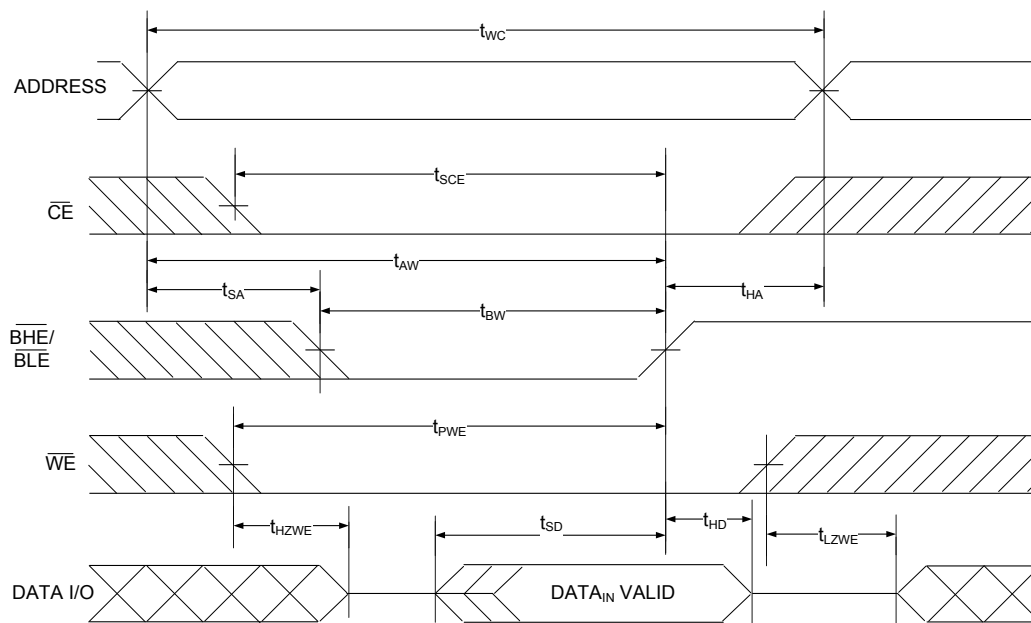
図 14. 書き込みサイクル 3 ($\overline{\text{WE}}$ 制御、 $\overline{\text{OE}}$ LOW) [37、38、39、40]



- 注:
37. 全てのデュアル イネーブル デバイスに対応して $\overline{\text{CE}}$ は $\overline{\text{CE}}_1$ と CE_2 の論理結合です。 $\overline{\text{CE}}_1$ が LOW で、 CE_2 が HIGH の場合は、 $\overline{\text{CE}}$ は LOW で、 $\overline{\text{CE}}_1$ が HIGH または CE_2 が LOW の場合は、 $\overline{\text{CE}}$ は HIGH です。
38. メモリの内部書き込み期間は $\overline{\text{WE}} = \text{V}_{\text{IL}}$ 、 $\overline{\text{CE}}_1 = \text{V}_{\text{IL}}$ 、 $\overline{\text{BHE}}$ または $\overline{\text{BLE}}$ または両方とも $= \text{V}_{\text{IL}}$ 、 および $\text{CE}_2 = \text{V}_{\text{IH}}$ のオーバーラップで定義されます。書き込みを開始するにはすべての信号は ACTIVE (アクティブ) でなければなりません。これらの信号のいずれかが INACTIVE (非アクティブ) になると、書き込みが終了します。データ入カセットアップとホールドのタイミングは、書き込みを終了させる信号のエッジを基準にしなければなりません。
39. $\overline{\text{CE}} = \text{V}_{\text{IH}}$ 、または $\overline{\text{OE}} = \text{V}_{\text{IH}}$ または $\overline{\text{BHE}}$ 、および/または $\overline{\text{BLE}} = \text{V}_{\text{IH}}$ の場合、データ I/O は HI-Z 状態に入ります。
40. 書き込みサイクル 3 ($\overline{\text{WE}}$ 制御、 $\overline{\text{OE}}$ LOW) 用の最少のパルス幅は、 t_{SD} と t_{HZWE} の合計と等しい必要があります。

スイッチング波形 (続き)

図 15. 書き込みサイクル 4 ($\overline{\text{BHE}}/\overline{\text{BLE}}$ 制御) [41、42、43]



注:

41. 全てのデュアル イネーブル デバイスに対応して $\overline{\text{CE}}$ は $\overline{\text{CE}}_1$ と CE_2 の論理結合です。 $\overline{\text{CE}}_1$ が LOW で、 CE_2 が HIGH の場合は、 $\overline{\text{CE}}$ は LOW で、 $\overline{\text{CE}}_1$ が HIGH または CE_2 が LOW の場合は、 $\overline{\text{CE}}$ は HIGH です。
42. メモリの内部書き込み期間は $\overline{\text{WE}} = \text{V}_{\text{IL}}$ 、 $\overline{\text{CE}}_1 = \text{V}_{\text{IL}}$ 、 $\overline{\text{BHE}}$ または $\overline{\text{BLE}}$ または両方とも $= \text{V}_{\text{IL}}$ 、 および $\text{CE}_2 = \text{V}_{\text{IH}}$ のオーバーラップで定義されます。書き込みを開始するにはすべての信号は ACTIVE (アクティブ) でなければなりません。これらの信号のいずれかが INACTIVE (非アクティブ) になると、書き込みが終了します。データ入力セットアップとホールドのタイミングは、書き込みを終了させる信号のエッジを基準にしなければなりません。
43. $\overline{\text{CE}} = \text{V}_{\text{IH}}$ 、または $\overline{\text{OE}} = \text{V}_{\text{IH}}$ または $\overline{\text{BHE}}$ 、および/または $\overline{\text{BLE}} = \text{V}_{\text{IH}}$ の場合、データ I/O は HI-Z 状態に入ります。

真理値表 – CY62146G/CY62146GE/CY62146GSL/CY62146GESL

\overline{CE}_1	CE_2	\overline{WE}	\overline{OE}	\overline{BHE}	\overline{BLE}	入力/出力	モード	電源
H	X ^[44]	X	X	X	X	HI-Z	選択解除/電源切断	スタンバイ (I_{SB})
X ^[44]	L	X	X	X	X	HI-Z	選択解除/電源切断	スタンバイ (I_{SB})
L	H	H	L	L	L	データ出力 ($I/O_0 \sim I/O_{15}$)	読み出し	アクティブ (I_{CC})
L	H	H	L	H	L	データ出力 ($I/O_0 \sim I/O_7$) ; HI-Z ($I/O_8 \sim I/O_{15}$)	読み出し	アクティブ (I_{CC})
L	H	H	L	L	H	HI-Z ($I/O_0 \sim I/O_7$) ; データ出力 ($I/O_8 \sim I/O_{15}$)	読み出し	アクティブ (I_{CC})
L	H	H	H	X	X	HI-Z	出力が無効	アクティブ (I_{CC})
L	H	H	X	H	H	HI-Z	出力が無効	アクティブ (I_{CC})
L	H	L	X	L	L	データ入力 ($I/O_0 \sim I/O_{15}$)	書き込み	アクティブ (I_{CC})
L	H	L	X	H	L	データ入力 ($I/O_0 \sim I/O_7$) ; HI-Z ($I/O_8 \sim I/O_{15}$)	書き込み	アクティブ (I_{CC})
L	H	L	X	L	H	HI-Z ($I/O_0 \sim I/O_7$) ; データ入力 ($I/O_8 \sim I/O_{15}$)	書き込み	アクティブ (I_{CC})

ERR 出力 – CY62146GE/CY62146GESL

出力 ^[45]	モード
0	読み出し動作、保存データにはシングルビットエラーなし
1	読み出し動作、シングルビットエラーが検出され、訂正済み
HI-Z	デバイスが選択解除/出力が無効/書き込み動作

注:
44. チップ イネーブルに応じた「X」(ドント ケア) 状態は、論理状態 (HIGH または LOW) を意味します。これらのピンでの中間電圧レベルは許可されていません。
45. ERR は出力ピンです。使用されない場合、このピンは開放のままにする必要があります。

注文情報

速度 (ns)	電圧範囲	注文コード	パッケージ図	パッケージ タイプ	動作範囲
45	2.2V ~ 3.6V	CY62146G30-45BVXI	51-85150	48 ボール VFBGA (6 × 8 × 1mm)、ERR なしのシングルチップ イネーブル。	産業用
		CY62146GE30-45BVXI	51-85150	48 ボール VFBGA (6 × 8 × 1mm)、ERR 付きのシングルチップ イネーブル	
		CY62146GE30-45ZSXI	51-85087	ERR 内蔵の 44 ピン TSOP II	
		CY62146G30-45ZSXI	51-85087	ERR なしの 44 ピン TSOP II	
	4.5V ~ 5.5V	CY62146GE-45ZSXI	51-85087	ERR 内蔵の 44 ピン TSOP II	
		CY62146G-45ZSXI	51-85087	ERR なしの 44 ピン TSOP II	

注文コードの定義

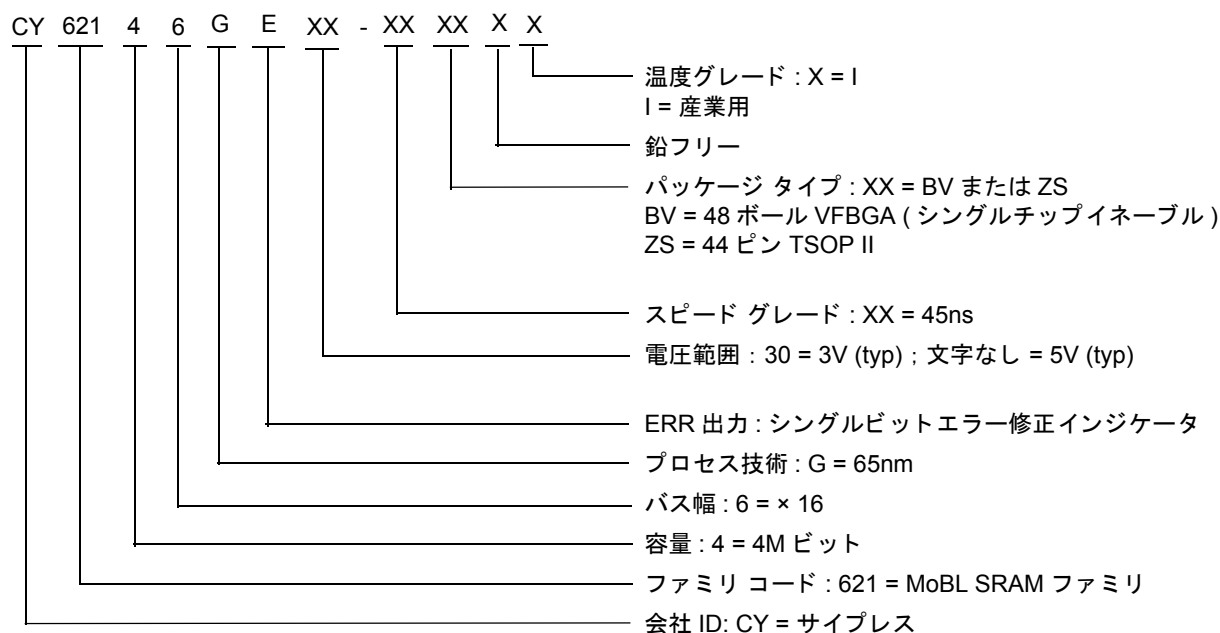


図 16. 44 ピン TSOP II パッケージ外形、51-85087

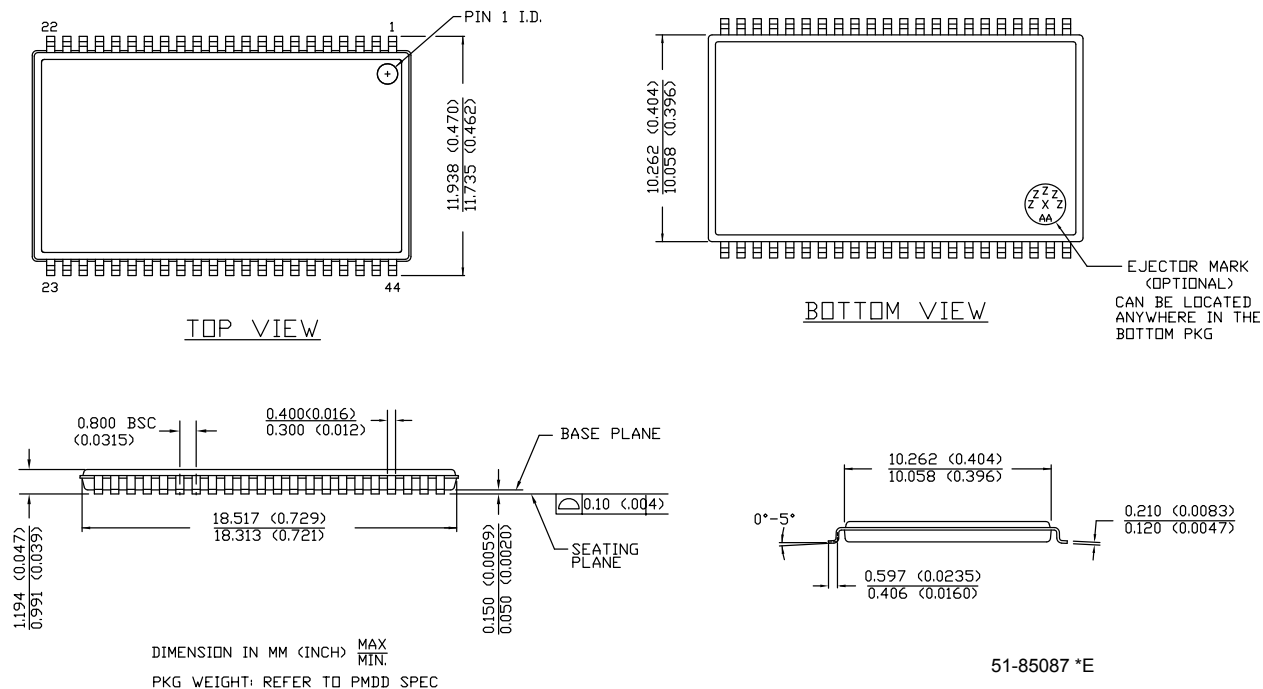
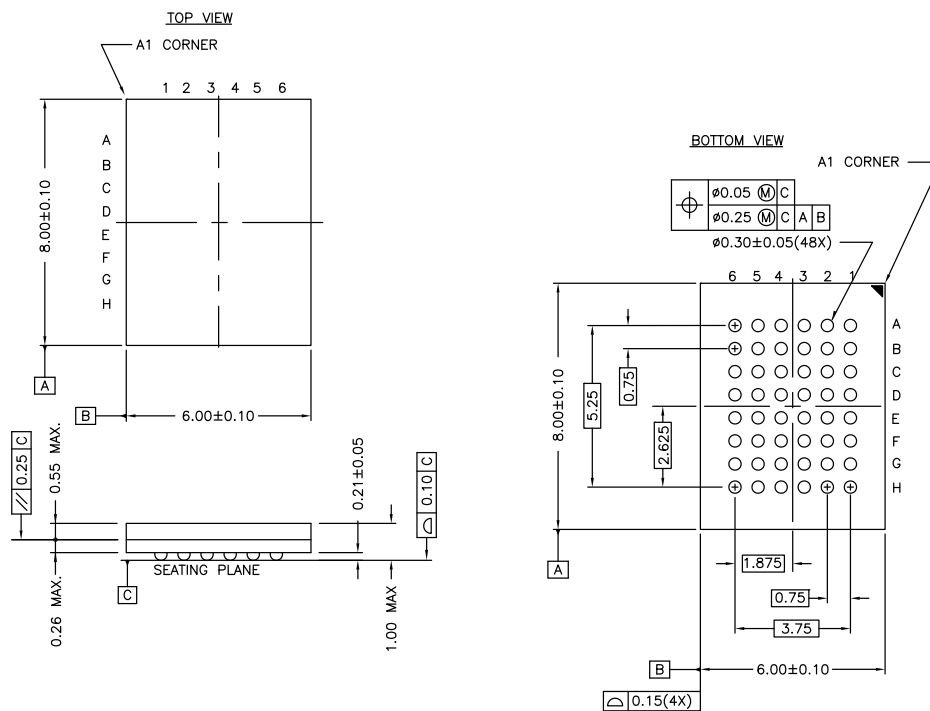


図 17. 48 ボール VFBGA (6 × 8 × 1.0mm) BV48/BZ48 パッケージ図、51-85150



NOTE:
PACKAGE WEIGHT: See Cypress Package Material Declaration Datasheet (PMDD)
posted on the Cypress web.

51-85150 *H

略語

略語	説明
$\overline{\text{BHE}}$	Byte High Enable (バイト HIGH イネーブル)
$\overline{\text{BLE}}$	Byte Low Enable (バイト LOW イネーブル)
$\overline{\text{CE}}$	Chip Enable (チップ イネーブル)
CMOS	Complementary Metal Oxide Semiconductor (相補型金属酸化膜半導体)
I/O	Input/Output (入力／出力)
$\overline{\text{OE}}$	Output Enable (出力イネーブル)
SRAM	Static Random Access Memory (スタティック ランダム アクセス メモリ)
TSOP	Thin Small Outline Package (小型薄型パッケージ)
VFBGA	Very Fine-Pitch Ball Grid Array (超ファインピッチ ボール グリッド アレイ)
$\overline{\text{WE}}$	書き込みイネーブル

本書の表記法

測定単位

記号	測定単位
°C	摂氏温度
MHz	メガヘルツ
μA	マイクロアンペア
μs	マイクロ秒
mA	ミリアンペア
mm	ミリメートル
ns	ナノ秒
Ω	オーム
%	パーセント
pF	ピコファラッド
V	ボルト
W	ワット

改訂履歴

文書名 : CY62146G/CY62146GE/CY62146GSL/CY62146GESL MoBL®、エラー訂正コード (ECC) 内蔵 4M ビット (256K ワード ×16 ビット) スタティック RAM
文書番号 : 001-97587

版	ECN 番号	変更者	発行日	変更内容
**	4769222	HZEN	06/10/2015	これは英語版 001-95420 Rev. ** を翻訳した日本語版 001-97587 Rev. ** です。
*A	5154147	HZEN	03/01/2016	これは英語版 001-95420 Rev. *C を翻訳した日本語版 001-97587 Rev. *A です。

セールス、ソリューション、および法律情報

ワールドワイド販売と設計サポート

サイプレスは、事業所、ソリューション センター、メーカー代理店および販売代理店の世界的なネットワークを保持しています。お客様の最寄りのオフィスについては、[サイプレスのロケーションのウェブページ](#)をご覧ください。

製品

車載用	cypress.com/go/automotive
クロック & バッファ	cypress.com/go/clocks
インターフェース	cypress.com/go/interface
照明 & 電力制御	cypress.com/go/powerpsoc
メモリ	cypress.com/go/memory
PSoC	cypress.com/go/psoc
タッチ センシング	cypress.com/go/touch
USB コントローラー	cypress.com/go/USB
ワイヤレス/ RF	cypress.com/go/wireless

PSoC® ソリューション

psoc.cypress.com/solutions
PSoC 1 | PSoC 3 | PSoC 4 | PSoC 5LP

サイプレス開発者コミュニティ

[コミュニティ](#) | [フォーラム](#) | [ブログ](#) | [ビデオ](#) | [トレーニング](#)

テクニカル サポート

cypress.com/go/support

© Cypress Semiconductor Corporation, 2015-2016. 本文書に記載される情報は予告なく変更される場合があります。Cypress Semiconductor Corporation (サイプレス セミコンダクタ社) は、サイプレス製品に組み込まれた回路以外のいかなる回路を使用することに対して一切の責任を負いません。サイプレス セミコンダクタ社は、特許またはその他の権利に基づくライセンスを譲渡することも、または含意することはありません。サイプレス製品は、サイプレスとの書面による合意に基づくものでない限り、医療、生命維持、救命、重要な管理、または安全の用途のために使用することを保証するものではなく、また使用することを意図したものではありません。さらにサイプレスは、誤動作や故障によって使用者に重大な傷害をもたらすことが合理的に予想される生命維持システムの重要なコンポーネントとしてサイプレス製品を使用することを許可していません。生命維持システムの用途にサイプレス製品を供することは、製造者がそのような使用におけるあらゆるリスクを負うことを意味し、その結果サイプレスはあらゆる責任を免除されることを意味します。

すべてのソース コード (ソフトウェアおよび/またはファームウェア) はサイプレス セミコンダクタ社 (以下「サイプレス」) が所有し、全世界の特許権保護 (米国およびその他の国)、米国の著作権法ならびに国際協定の条項により保護され、かつそれらに従います。サイプレスが本書面によりライセンシーに付与するライセンスは、個人的、非独占的かつ譲渡不能のライセンスであり、適用される契約で指定されたサイプレスの集積回路と併用されるライセンシーの製品のみをサポートするカスタム ソフトウェアおよび/またはカスタム ファームウェアを作成する目的に限って、サイプレスのソース コードの派生著作物をコピー、使用、変更して作成するためのライセンス、ならびにサイプレスのソース コードおよび派生著作物をコンパイルするためのライセンスです。上記で指定された場合を除き、サイプレスの書面による明示的な許可なくして本ソース コードを複製、変更、変換、コンパイル、または表示することはすべて禁止します。

免責事項: サイプレスは、明示的または黙示的を問わず、本資料に関するいかなる種類の保証も行いません。これには、商品性または特定目的への適合性の黙示的な保証が含まれますが、これに限定されません。サイプレスは、本文書に記載される資料に対して今後予告なく変更を加える権利を留保します。サイプレスは、本文書に記載されるいかなる製品または回路を適用または使用したことによって生ずるいかなる責任も負いません。サイプレスは、誤動作や故障によって使用者に重大な傷害をもたらすことが合理的に予想される生命維持システムの重要なコンポーネントとしてサイプレス製品を使用することを許可していません。生命維持システムの用途にサイプレス製品を供することは、製造者がそのような使用におけるあらゆるリスクを負うことを意味し、その結果サイプレスはあらゆる責任を免除されることを意味します。

ソフトウェアの使用は、適用されるサイプレス ソフトウェア ライセンス契約によって制限され、かつ制約される場合があります。