

サイプレスはインフィニオン テクノロジーズになりました

この表紙に続く文書には「サイプレス」と表記されていますが、これは同社が最初にこの製品を開発したからです。新規および既存のお客様いずれに対しても、引き続きインフィニオンがラインアップの一部として当該製品をご提供いたします。

文書の内容の継続性

下記製品がインフィニオンの製品ラインアップの一部として提供されたとしても、それを理由としてこの文書に変更が加わることはありません。今後も適宜改訂は行いますが、変更があった場合は文書の履歴ページでお知らせします。

注文時の部品番号の継続性

インフィニオンは既存の部品番号を引き続きサポートします。ご注文の際は、データシート記載の注文部品番号をこれまで通りご利用下さい。

高性能クロック シンセサイザ

特長

- 高性能クロック アプリケーション用の低ノイズ PLL
- 差動クロック出力: I²Cによる選択可能、再設定可能な4周波数
- 15MHz ~ 2.1GHz 出力周波数をサポート
- 完全に集積された VCO のフラクショナル N PLL
- 固定周波数水晶、低周波基本 (LFF)、高周波基本 (HFF) モード水晶および低周波入力の3次オーバートーン (OT3) で動作可能
- LVPECL、CML、HCSL、LVDS および LVCMOS の出力規格に対応
- 3.3、2.5 および 1.8V 電源に対応
- 150MHz より大きい出力用の 150fs の標準的内蔵ジッタ性能 (周波数オフセット 12kHz ~ 20MHz)
- VCXO 機能、調整可能な総周波数可変範囲が +/-50ppm ~ +/-275ppm
- 16 ピン QFN パッケージ : 3 × 3 × 0.6mm

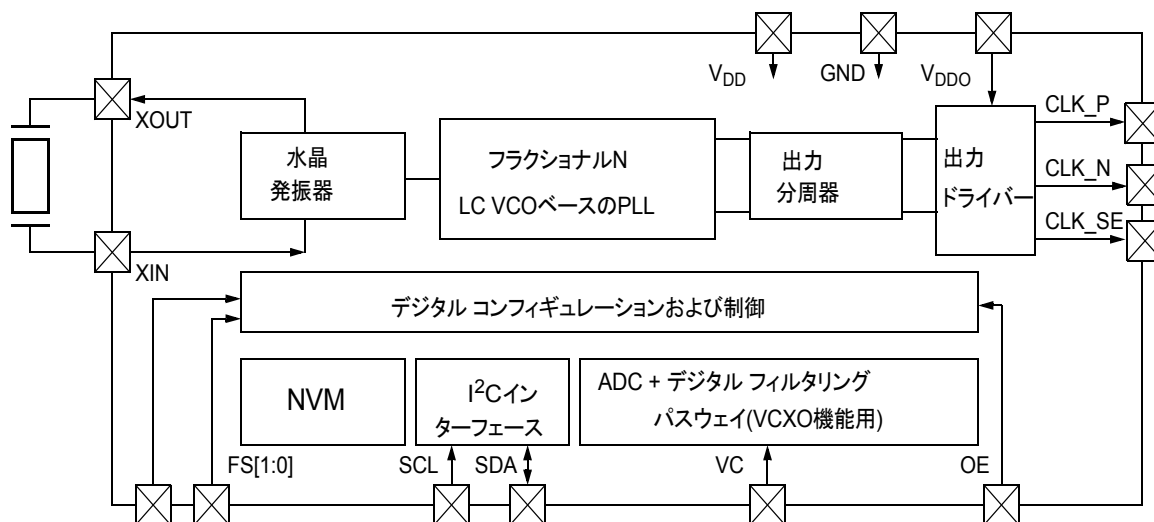
機能説明

CY29430は出力周波数オプションが様々なプログラマブルPLLベースの水晶発振器ソリューションです。現場および工場出荷時に、15MHz ~ 2.1GHz の範囲内の出力周波数にプログラム可能です。4つの周波数は、周波数選択 (FS) ピンにより差動出力に独立的にプログラム可能です。また、I²C インターフェースを使用して他の周波数のオプションを設定できます。高度な設計技術を使用して、出力周波数の全体範囲にわたって優れたジッタ パフォーマンスを提供し、周囲温度が -40°C ~ 105°C まで 1.8V ~ 3.3V の電源電圧で確実に動作します。これにより、通信アプリケーション (OTN、SONET / SDH、xDSL、GbE、ネットワーク、ワイヤレス インフラストラクチャなど)、テストと計測アプリケーション、および高速データ コンバータなどに最適です。その上、VCXO 機能により、電圧で制御されるクロック ソースを必要とするアプリケーション、および同期タイミング アプリケーション向けの個別のクロッキング ソリューションに、CY29430 を使用可能になります。

ClockWizard 2.1 を使用して、CY29430デバイスのコンフィギュレーションを作成できます。プログラミングのサポートについては、[サイプレステクニカルサポート](#)にお問い合わせいただくか、clocks@cypress.com 宛に電子メールをお送りください。

関連するドキュメントの全リストについては、[こちら](#)を参照してください。

論理ブロック図

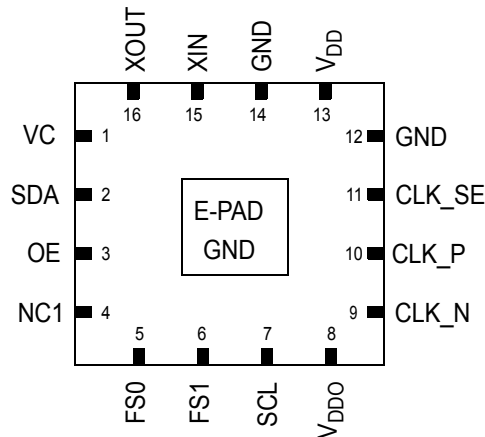


目次

ピン配置図.....	3	HCSL出力のAC電氣的仕様.....	11
ピンの説明.....	3	LVMOS出力のAC電氣的仕様.....	11
機能概要.....	4	HFF水晶の仕様.....	12
プログラム可能な機能.....	4	OT3水晶の仕様.....	12
アーキテクチャ概要.....	4	LFF水晶の仕様.....	12
内部状態遷移図.....	5	LF低周波数リファレンス.....	13
小さな／大きな変更.....	5	タイミング パラメーター.....	13
プログラミング サポート.....	5	入力クロックの測定ポイント.....	13
周波数設定.....	5	位相ジッタの特性.....	14
プログラム可能なOE極性.....	5	I2Cバス タイミングの仕様.....	14
プログラム可能なVCXO.....	5	電圧とタイミングの定義.....	15
電源供給シーケンス.....	5	位相ノイズのプロット.....	17
I2Cインターフェース.....	5	注文情報.....	20
メモリ マップ.....	6	注文コードの定義.....	20
絶対最大定格.....	7	パッケージ図.....	21
推奨動作範囲.....	7	略語.....	22
DC電氣的仕様.....	7	本書の表記法.....	22
LVDS出力のDC仕様.....	8	測定単位.....	22
LVPECL出力のDC仕様.....	8	改訂履歴.....	23
DC仕様.....	8	セールス、ソリューションおよび法律情報.....	24
HCSL出力のDC仕様.....	8	ワールドワイド販売と設計サポート.....	24
LVMOS出力のDC仕様.....	9	製品.....	24
VCXO固有パラメーター.....	9	PSoC® ソリューション.....	24
LVPECL、LVDS、CML出力のAC電氣的仕様.....	10	サイプレス開発者コミュニティ.....	24
		テクニカル サポート.....	24

ピン配置図

CY29430のピン配置



ピンの説明

ピン名	ピン番号	説明
VC ^[1]	1	VCXO 用入力電圧
SDA	2	I ² C 用のシリアル データ入力／出力
OE	3	出力イネーブル入力
NC1	4	未接続
FS0	5	周波数選択 0 (100kΩ プルダウン)
FS1	6	周波数選択 1 (100kΩ プルダウン)
SCL	7	I ² C 用シリアル クロック入力
V _{DDO}	8	出力ドライバーへの電源
CLK_N ^[2]	9	相補クロック出力
CLK_P ^[2]	10	真クロック出力
CLK_SE ^[2]	11	(オプション) LVCMOS クロック出力
GND	12	出力ドライバーへの電源グラウンド
V _{DD}	13	コア用の電源
GND	14	電源グラウンド
XIN	15	水晶またはクロック リファレンス入力
XOUT	16	水晶リファレンス出力 (XIN がクロック入力の場合に開放)
E-PAD		エクスポーズド パッド。グラウンドに接続する必要がある

注:

- VC が未使用の場合、フローティングにせず、VDD または GND に接続してください。
- CLK_SE および (CLK_P、CLK_N) は同時有効にできません。VDD は VDDO と等しくしてください。

機能概要

プログラム可能な機能

表 1. プログラム可能な機能

機能	説明
周波数チューニング	PLL 用の周波数 発振器チューニング (負荷容量値)
機能	OE 極性
電源	V _{DD} (1.8、2.5 または 3.3V)
VCXO	VCXO イネーブル／ディセーブル
	Kv 極性
	総周波数可変範囲
	変調帯域幅
出力	出力規格 (LVPECL、LVDS、HCSL、CML または LVCMOS)
機能	I ² C アドレス
	4 周波数コンフィギュレーション
リファレンス	水晶 (HFF、OT3、LFF) またはクロック入力

アーキテクチャ概要

CY29430 は、複数の機能、複数の出力規格をサポートする高性能プログラム可能な PLL 型水晶発振器です。このデバイスは、共通設定と出力周波数関連情報に区分できる内部ワнтаムプログラマブル (OTP) 不揮発性メモリ (NVM) を有しています (図 2 をご参照ください)。共通デバイス設定は、出力周波数に左右されず、チップの電源、OE 極性、I²C デバイス アドレス、入力リファレンス、出力規格と VCXO を含みます。本デバイスは電源オンのリセット解除時に NVM の正確なコピーを格納する揮発性メモリを有します。図 1 で説明するように、チップの設定は揮発性メモリの内容に依存し、出力周波数は設定によって変わります。I²C バスを介して揮発性メモリにアクセスし、修正できます。

図 1. メモリ構造の概念図

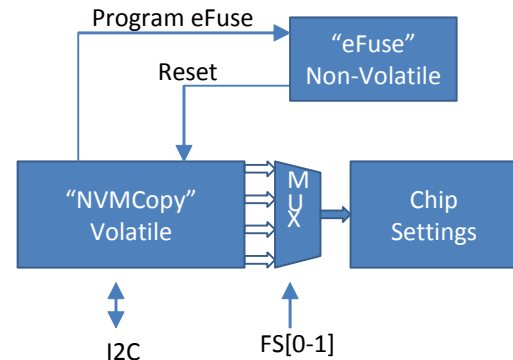
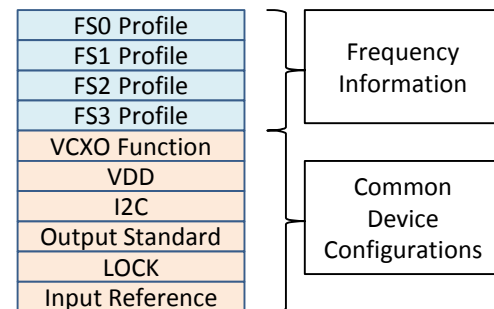


図 2. コンフィギュレーションのメモリ構造



メモリ構造の設定の説明

- プロファイル [FS0 ~ 3]: 周波数情報
- VCXO 機能: VCXO 機能の有効化／無効化、TPR、変調帯域幅および Kv (VC 対周波数のスロープ) に関する情報
- V_{DD}: 1.8 / 2.5 / 3.3V の電圧範囲情報
- I²C: 有効化／無効化、I²C アドレス情報
- 出力規格: LVPECL、LVDS、CML、HCSL または LVCMOS
- LOCK パターン: eFuse ロックを示すための 2 ビット パターン
- 入力リファレンス: 水晶 (OT3、HFF、LFF) またはクロック

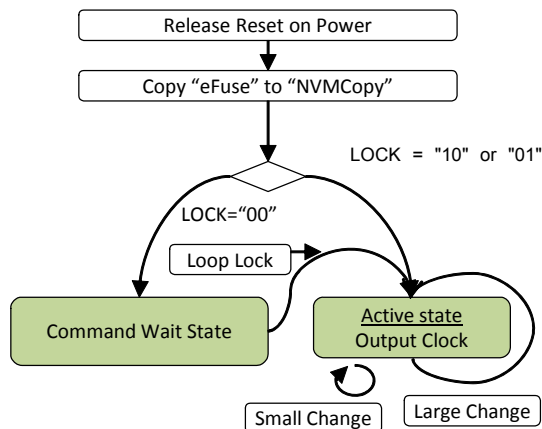
内部状態遷移図

CY29430 はデバイスの動作を制御するステート マシンを含んでいます。図 3 に示すように、ステート マシンはリセットした後、「eFuse」の内容を「NVMCopy」にロードします。LOCK 値に応じて、「Command Wait state」または「Active state」のいずれかの状態に移行します。「Command Wait state」の状態では、ユーザーはすべてのレジスタにアクセスし、「NVMCopy」の内容を読み出す／書き込むことができます。以下のコマンドは「Command Wait state」の状態で使用できます：

- eFuse をプログラム
 - 選択的な eFuse のプログラム
- eFuse を NVMCopy にコピー
- NVMCopy を NVMDRegister にコピー
- ループ ロック

LOCK をプログラミングせずに「Active state」の状態になるように「Loop Lock」コマンドを発行することにより、ユーザーはデバイスの機能をテストできます。デバイスは設定に対応して動作します。

図 3. 状態遷移図



LOCK が「10」または「01」にプログラムされると、デバイスは「Active state」状態になり、電源オン サイクルが完了した後に出力クロックは利用可能になります。

「Active state」状態では、ユーザーは「小さな変更」または「大きな変更」コマンドを適用して出力周波数を変更できます。

小さな／大きな変更

小さな変更は、周波数が $\pm 500\text{ppm}$ の範囲で変化していることを示します。周波数情報が I^2C を介してロードされ、出力周波数がいかなるグリッチも無く、元の周波数から新しい周波数に変わります。注：小さな変更の機能は整数モード PLL でサポートされません。詳細については、[LVPECL](#)、[LVDS](#)、[CML 出力の AC 電氣的仕様](#)をご参照ください。

大きな変更は周波数が $\pm 500\text{ppm}$ を超えて変化していることを示し、 I^2C または FS 状態変化を通して行われます。デバイスは PLL を再較正および再設定し、このプロセスが完了するまで出力が不安定になります。

プログラミング サポート

CY29430 はソフトウェア設定可能なソリューションであり、その中にはサイプレスが必要なすべてのコンフィギュレーションビットを定義するプログラミング仕様を提供します。お客様はこの情報を利用して、プログラムのハードウェアで使用するためのプログラミング ソフトウェアを開発できます。

周波数設定

FS[0 ~ 3] の設定は、[6 ページの表 5](#) に示すように FS0 と FS1 ピンの論理レベルに基づいて行われます。周波数の設定は、それぞれの FS[0 ~ 3] 設定に対応する期待の出力周波数を含んでいます。フラクショナル N PLL には、水晶の入力周波数に基づいて、それぞれの設定に応じる周波数を生成するために必要な値がロードされます。FS[0 ~ 3] の周波数の設定は[表 3](#)で説明されます。

プログラム可能な OE 極性

CY29430 は OE 極性設定用のビットが含まれています (デフォルトは、アクティブ LOW です)。ユーザーは、OE 機能用のアクティブ HIGH またはアクティブ LOW の極性を選択できます。OE がデアサートされると、出力は無効になります。

プログラム可能な VCXO

本デバイスは、VC 制御電圧に応じて VCO の周波数を変更することによる周波数変調のための独自の技術を組み込んでいます。プル プロファイルは直線的で、OT3 / HFF リファレンスのプルに比べて正確です。また、VCXO の特性は非常に安定であり、温度、電源電圧またはプロセス変動に対して変化しません。

Kv (周波数対 VC のスロープ)、TPR VC 帯域幅と VCXO オン／オフのすべてはプログラム可能です。VCXO 機能は整数モード PLL で未サポートであることに注意してください。

電源供給シーケンス

CY29430 は起動のための特有シーケンスを必要としません。起動するためには、データ シートで指定された単調な V_{DD} のランプが必要です。ランプ アップの後、 V_{DD} は推奨動作条件で指定された範囲で維持される必要があります。電圧低下の検出および保護はシステム内の他所で実装する必要があります。

VC、FS0、FS1 などの他の入力信号は、 V_{DD} より早くも遅くも利用可能になることができ、 V_{DD} に関連するそれらの入力信号のタイミング要件は特にありません。すべての入力信号が設定した状態で安定すると、デバイスは正常に動作します。

TCXO または外部クロックが XIN / XOUT 入力に供給される場合、 V_{DD} が特定のレベルにランプアップする前に入力は安定する必要があります。理由は、オンチップの周波数較正のプロセスは、電源オンの状態で開始して、プロセスの開始時に利用できるように安定したリファレンス入力が必要とするからです。

I^2C インターフェース

CY29430 は 2 線式シリアル インターフェース、高速モード (400kbit/s) の I^2C および 7 ビット アドレッシングを提供します。デバイス アドレスはプログラム可能であり、デフォルトで 55h になります。シングル バイト アクセスのみサポートします。デバイスへの最初の I^2C アクセスは、VDD が最小仕様電圧に達してから少なくとも 5ms 後に行う必要があります。

メモリ マップ

表 2. 共通コンフィギュレーション

メモリ アドレス	説明
50h ~ 57h	デバイス コンフィギュレーション

ユーザーはコンフィギュレーション ツールによって作成されたすべての内容を書き込む必要があります。デバイスの部分的な更新は許可されません。

ここで説明された以外の場所へのアクセスは、デバイスの動作で致命的なエラーが発生する可能性があります。

表 3. FS[0 ~ 3]: 周波数設定

メモリ アドレス	説明
10h、20h、30h、40h	DIVO
11h、21h、31h、41h	DIVO、DIVN_INT
12h、22h、32h、42h	ICP、DIVN_INT、PLL_MODE
13h、23h、33h、43h	DIVN_FRAC_L
14h、24h、34h、44h	DIVN_FRAC_M
15h、25h、35h、45h	DIVN_FRAC_H
1xh = FS0、2xh = FS1、 3xh = FS2、4xh = FS3	—

表 5. FS 設定

FS1	FS0	FS 設定
0	0	FS0
0	1	FS1
1	0	FS2
1	1	FS3

表 4. その他の情報

メモリ アドレス	説明
00h (読み出し専用)	デバイス ID (= 51h)
D4h ~ D6h	ユーザー設定可能な情報

絶対最大定格

最大定格を超えると^[3]デバイスの寿命が短くなる可能性があります。ユーザー ガイドラインは試験されていません。

グランド電位に対する電源電圧 -0.5V ~ +3.8V
入力電圧 -0.5V ~ +3.8V
保存温度 (非結露) -55°C ~ +125°C
接合部温度 -40°C ~ +125°C
プログラミング温度 0°C ~ +125°C

プログラミング電圧 2.5V ±0.1V
eFuse プログラミング用電源電流 50mA
T _J = 125°C でのデータ保持期間 >10 年
最大プログラミング サイクル 1
ESD HBM (JEDEC JS-001-2012) 2000V
ESD MM (JEDEC JESD22-A115B) 200V
ESD CDM (JEDEC JESD22-C101E) 500V
ラッチアップ電流 ±140mA

推奨動作範囲

パラメーター	説明	Min	Max	単位
V _{DD} , V _{DDO}	電源電圧、1.8V の動作範囲、1.8V ±5%	1.71	1.89	V
	電源電圧、2.5V の動作範囲、2.5V ±10%	2.25	2.75	
	電源電圧、3.3V の動作範囲、3.3V ±10%	2.97	3.63	
TA	周囲温度	-40	+105	°C
f _{RES}	周波数の分解能	—	2	ppb
T _{PLLHOLD}	PLL 保持温度範囲	—	125	°C

DC 電氣的仕様

パラメーター	説明	テスト条件	Min	Typ	Max	単位
I _{DD} ^[4]	電源電流、LVPECL	V _{DD} = 3.3V / 2.5V / 1.8V、 V _{TT} (V _{DDO} - 2.0V) に接続した 50Ω、 コモン モード電流あり	—	93	106	mA
	電源電流、LVPECL	V _{DD} = 3.3V / 2.5V / 1.8V、 V _{TT} (V _{DDO} - 2.0V) に接続した 50Ω、 コモン モード電流なし ^[5]	—	81	94	
	電源電流、LVDS	V _{DD} = 3.3V / 2.5V / 1.8V、 CLKP と CLKN 間に 100Ω	—	69	81	
	電源電流、HCSL	V _{DD} = 3.3V / 2.5V / 1.8V、 GND に接続した 33Ω および 49.9Ω	—	80	93	
	電源電流、CML	V _{DD} = 3.3V / 2.5V / 1.8V、 V _{DDO} に接続した 50Ω	—	73	86	
	電源電流、CMOS	V _{DD} = 3.3V / 2.5V / 1.8V、0pF 負荷、 33.33MHz	—	58	70	
	電源電流、CMOS	V _{DD} = 3.3V / 2.5V / 1.8V、10pF 負荷、 33.33MHz	—	66	78	
	電源電流、PLL のみ	V _{DD} = 3.3V / 2.5V / 1.8V	—	59	70	
I _{IH}	入力 HIGH 電流	論理入力、入力 = V _{DD}	—	30	50	μA
I _{IL}	入力 LOW 電流	論理入力、入力 = GND	—	30	50	μA
V _{IH} ^[6]	入力 HIGH 電圧	OE、FS、SCL、SDA 論理レベル = 1	0.7 × V _{DD}	—	—	V
V _{IL} ^[6]	入力 LOW 電圧	OE、FS、SCL、SDA 論理レベル = 0	—	—	0.3 × V _{DD}	V
V _{IN}	入力電圧レベル	GND を基準としたすべての入力	-0.5	—	3.8	V
R _P	内部プルアップ抵抗	OE、アクティブ HIGH に設定	—	200	—	kΩ
R _D	内部プルダウン抵抗	OE、アクティブ LOW に設定	—	200	—	kΩ
		FS0、FS1 ピン	—	100	—	kΩ

LVDS 出力の DC 仕様

($V_{DDO} = 1.8V$ 、 $2.5V$ または $3.3V$ の範囲)

パラメーター	説明	条件	Min	Typ	Max	単位
$V_{OCM}^{[7]}$	コモン モード 出力電圧	$V_{DDO} = 2.5V$ または $3.3V$ の範囲	1.125	1.200	1.375	V
ΔV_{OCM}	相補出力状態間での V_{OCM} の変化	—	—	—	50	mV
I_{OZ}	出力リーク電流	出力がオフ、 $V_{OUT} = 0.75V \sim 1.75V$	-20	—	20	μA

LVPECL 出力の DC 仕様

($V_{DDO} = 2.5V$ または $3.3V$ の範囲, コモンモード電流)

パラメーター	説明	条件	Min	Typ	Max	単位
V_{OH}	出力 HIGH 電圧	$V_{TT} (V_{DDO} - 2.0V)$ に接続した R-term = 50Ω	$V_{DDO} - 1.165$	—	$V_{DDO} - 0.800$	V
V_{OL}	出力 LOW 電圧	$V_{TT} (V_{DDO} - 2.0V)$ に接続した R-term = 50Ω	$V_{DDO} - 2.0$	—	$V_{DDO} - 1.55$	V

DC 仕様

CML 出力用 ($V_{DDO} = 1.8V$ 、 $2.5V$ または $3.3V$ の範囲)

パラメーター	説明	条件	Min	Typ	Max	単位
V_{OH}	出力 HIGH 電圧	V_{DDO} に接続する R-term = 50Ω	$V_{DDO} - 0.085$	$V_{DDO} - 0.01$	V_{DDO}	V
V_{OL}	出力 LOW 電圧	V_{DDO} に接続する R-term = 50Ω	$V_{DDO} - 0.6$	$V_{DDO} - 0.4$	$V_{DDO} - 0.32$	V

HCSL 出力の DC 仕様

($V_{DDO} = 1.8V$ 、 $2.5V$ または $3.3V$ の範囲)

パラメーター	説明	条件	Min	Typ	Max	単位
$V_{MAX}^{[8]}$	最大の出力 HIGH 電圧	シングルエンド波形で測定	—	—	1150	mV
$V_{MIN}^{[8]}$	最小の出力 LOW 電圧	シングルエンド波形で測定	-300	—	—	mV
V_{OHDIFF}	差動出力 HIGH 電圧	差動波形で測定	150	—	—	mV
V_{OLDIFF}	差動出力 LOW 電圧	差動波形で測定	—	—	-150	mV
$V_{CROSS}^{[8]}$	交差点絶対電圧	シングルエンド波形で測定	250	—	600	mV
$V_{CROSSDELTA}^{[8]}$	すべての立ち上がりクロックエッジにわたる V_{CROSS} の変動	シングルエンド波形で測定	—	—	140	mV

注:

- 絶対最大定格に記載されている動作範囲を超えて動作すると、デバイスに永久的な損傷を与える場合があります。ただし、これはストレスのみに対する定格です。上記の条件あるいは推奨動作範囲に記載されている条件を超える条件におけるデバイスの機能動作は保証されません。長時間にわたってデバイスを絶対最大定格条件に放置すると、デバイスの信頼性に影響を与えるか、またはデバイスに永久的な損傷を負わせます。
- I_{DD} は総供給電流です。 V_{DD} と V_{DDO} を短絡して測定した値です。
- ClockWizard 2.1 では、出力規格を LVPECL2 に設定すると、出力は「コモンモード電流なしの LVPECL」に設定されます。使用ケースに応じたコンフィギュレーションに関する LVPECL の終端については、AN210253 を参照してください。
- $1.8V$ と $2.5V$ の V_{DD} のみに適用可能な I^2C 動作
- 図 9 に示すように、 $V_{DDO} = 1.8V$ の範囲に外部の AC カップリングが必要です。 $1.2V$ のコモンモード電圧を生成し、外部から印加する必要があります。
- パラメーターは、設計および特性評価で保証されます。すべてのデバイスでテストされてはいません。

LVC MOS 出力の DC 仕様

パラメーター	説明	条件	Min	Typ	Max	単位
V _{OH}	出力 HIGH 電圧	100mA 負荷	V _{DDO} - 0.2	—	—	V
		4mA 負荷、V _{DD} = 3.3V	V _{DDO} - 0.3	—	—	
		4mA 負荷、V _{DD} = 1.8V および 2.5V	V _{DDO} - 0.4	—	—	
V _{OL}	出力 LOW 電圧	100μA 負荷	—	—	0.2	V
		4mA 負荷	—	—	0.3	

VC XO 固有パラメーター

パラメーター ^[9]	説明	条件	Min	Typ	Max	単位
TPR	総周波数可変範囲	0.1 × V _{DD} ~ 0.9 × V _{DD} の VC 範囲	±50	—	±275	ppm
K _{BSL}	ベストフィット直線 (BSL) リニアリティ	BSL ラインからの偏差	-5	—	5	%
K _{INC}	インクリメンタル リニアリティ	Kv スロープ偏差	-10	—	10	%
K _{BW}	Kv 変調の帯域幅	プログラム可能	5	10	20	kHz
K _{RANGE}	許容制御ポートの電圧範囲	—	0	—	V _{DD}	V
V _{CTYP}	定格中心の VC 制御電圧	V _{DD} 設定 = 1.8 V	—	0.9	—	V
		V _{DD} 設定 = 2.5 V	—	1.25	—	V
		V _{DD} 設定 = 3.3 V	—	1.65	—	V
R _{VCIN} ^[10]	VC 用の入力抵抗	—	5	—	—	MΩ
V _{RANGE}	入力電圧範囲	制御ポートでの可能な入力の範囲	0.1 × V _{DD}	—	0.9 × V _{DD}	V

注:

9. パラメーターは、設計および特性評価で保証されます。すべてのデバイスでテストされてはいません。

10. R_{VCIN} は 100% テストされます。

LVPECL、LVDS、CML 出力の AC 電氣的仕様

($V_{DD} = 3.3\text{ V}$ and 2.5 V for LVPECL, with common mode current, and $V_{DD} = 3.3\text{ V}$, 2.5 V , and 1.8 V for LVDS and CML outputs)

パラメーター ^[10]	説明	詳細／条件	Min	Typ	Max	単位
f_{OUT}	クロック出力周波数	LVPECL、CML、LVDS 出力規格	15	–	2100	MHz
t_{RF}	LVPECL 出力の立ち上がり／立ち下がり時間	AC レベルの 20% ~ 80% PECL 出力用に 156.25MHz で測定	–	–	350	ps
	CML 出力の立ち上がり／立ち下がり時間	AC レベルの 20% ~ 80%。CML 出力用に 156.25MHz で測定	–	–	350	ps
	LVDS 出力の立ち上がり／立ち下がり時間	AC レベルの 20% ~ 80%。LVDS 出力用に 156.25MHz で測定	–	–	350	ps
t_{ODC}	出力デューティ比	差動 50% レベル、156.25MHz で測定	45	50	55	%
V_P	LVDS 出力差動ピーク	15MHz ~ 700MHz	247	–	454	mV
V_P	LVDS 出力差動ピーク	700MHz ~ 2100MHz	150	–	454	mV
DV_P	相補出力状態間での V_P の変化	–	–	–	50	mV
V_P	LVPECL 出力差動ピーク	$f_{OUT} = 15\text{MHz} \sim 325\text{MHz}$	450	–	–	mV
V_P		$f_{OUT} = 325\text{MHz} \sim 700\text{MHz}$	350	–	–	mV
V_P		$f_{OUT} = 700\text{MHz} \sim 2100\text{MHz}$	250	–	–	mv
V_P	CML 出力差動ピーク	$f_{OUT} = 15\text{MHz} \sim 700\text{MHz}$	250	–	600	mV
V_P	CML 出力差動ピーク	$f_{OUT} = 700\text{MHz} \sim 2100\text{MHz}$	200	–	600	mV
t_{CCJ}	サイクル ツー サイクル ジッタ	ピーク、1 万サイクルにわたり 156.25MHz 差動信号で測定、100MHz ~ 130MHz 水晶	–	–	50	ps
t_{PJ}	周期ジッタ	ピーク ツー ピーク、1 万サイクルにわたり 156.25MHz 差動信号で測定、100MHz ~ 130MHz 水晶	–	–	50	ps
J_{RMS}	RMS 位相ジッタ	$f_{OUT} = 156.25\text{MHz}$ 、12kHz ~ 20MHz オフセット、非 VCXO モード	–	150	250	fs
非 VCXO モード						
PN1k	位相ノイズ、1kHz のオフセット	100MHz ~ 130MHz 水晶リファレンス、 $f_{OUT} = 156.25\text{MHz}$	–	–	-113	dBc/Hz
PN10k	位相ノイズ、10kHz のオフセット	100MHz ~ 130MHz 水晶リファレンス、 $f_{OUT} = 156.25\text{MHz}$	–	–	-127	dBc/Hz
PN100k	位相ノイズ、100kHz のオフセット	100MHz ~ 130MHz 水晶リファレンス、 $f_{OUT} = 156.25\text{MHz}$	–	–	-135	dBc/Hz
PN1M	位相ノイズ、1MHz のオフセット	100MHz ~ 130MHz 水晶リファレンス、 $f_{OUT} = 156.25\text{MHz}$	–	–	-144	dBc/Hz
PN10M	位相ノイズ、10MHz のオフセット	100MHz ~ 130MHz 水晶リファレンス、 $f_{OUT} = 156.25\text{MHz}$	–	–	-152	dBc/Hz
PN-SPUR	Spur	PLL の更新速度以上の周波数オフセットで測定	–	–	-65	dBc/Hz

注:

11. パラメーターは、設計および特性評価で保証されます。すべてのデバイスでテストはされていません。

HCSL 出力の AC 電氣的仕様

パラメーター ^[12]	説明	テスト条件	Min	Typ	Max	単位
f_{OUT}	出力周波数	HCSL	15	–	700	MHz
E_R	立ち上がりエッジ速度	-150mV ~ +150mV の差動波形で測定	0.6	–	5.7 ^[13]	V/ns
E_F	立ち下がりエッジ速度	-150mV ~ +150mV の差動波形で測定	0.6	–	5.7 ^[13]	V/ns
t_{STABLE}	電圧リング バック (VRB) が許容される時間	-150mV ~ +150mV の差動波形で測定	500	–	–	ps
R-F_MATCHING	立ち上がり／立ち下がりのマッチング	シングルエンド 波形で測定、立ち上がりエッジ速度と立ち下がりエッジ速度がマッチング、100MHz	-100	–	100	ps
t_{DC}	出力デューティ比	差動波形で測定、 $f_{OUT} = 100\text{MHz}$	45	–	55	%
t_{CCJ}	サイクル ツー サイクル ジッタ	差動波形で測定、100MHz	–	–	50	ps
$J_{RMSPCIE}$	ランダム ジッタ、PCIE 仕様 3.0	100MHz ~ 130MHz 水晶	–	–	1	ps (RMS)

LVC MOS 出力の AC 電氣的仕様

(負荷は、< 100MHz の場合 10pF、< 150MHz の場合 7.5pF、> 150MHz の場合 5pF)

パラメーター ^[12]	説明	テスト条件	Min	Typ	Max	単位
f_{OUT}	出力周波数		15	–	250	MHz
t_{DC}	出力デューティ比	1/2 V_{DDO} で測定、負荷あり、 $f_{OUT} < 100\text{MHz}$	45	–	55	%
		1/2 V_{DDO} で測定、負荷あり、 $f_{OUT} > 100\text{MHz}$	40	–	60	%
t_{RFCMOS}	立ち上がり／立ち下がり時間	$V_{DDO} = 1.8\text{V}$ 、20% ~ 80%	–	–	2	ns
		$V_{DDO} = 2.5\text{V}$ 、20% ~ 80%	–	–	1.5	ns
		$V_{DDO} = 3.3\text{V}$ 、20% ~ 80%	–	–	1.2	ns
t_{CCJ}	サイクル ツー サイクル ジッタ	ピーク、1 万サイクルにわたり 1/2 V_{DDO} で測定、 $f_{OUT} = 156.25\text{MHz}$	–	–	50	ps
t_{PJ}	周期ジッタ	ピーク、1 万サイクルにわたり 1/2 V_{DDO} で測定、 $f_{OUT} = 156.25\text{MHz}$	–	–	100	ps

注:

12. パラメーターは、設計および特性評価で保証されます。すべてのデバイスでテストはされていません。

13. ジッタ パフォーマンスの条件により、エッジ速度が 4V/ns を超えます。

HFF 水晶の仕様

パラメーター ^[14]	説明	テスト条件	Min	Typ	Max	単位
f _{X TAL}	水晶の周波数範囲	—	100	—	130	MHz
C0	水晶の並列容量	—	—	—	2	pF
CL	水晶の負荷容量	—	—	5	—	pF
ESR	水晶の等価直列抵抗	ESR = $R_m (1 + C_0/CL)^2$ Rm = 水晶の連動抵抗	—	20	—	Ω
DL	駆動レベル	—	—	—	200	μW

OT3 水晶の仕様

パラメーター ^[14]	説明	テスト条件	Min	Typ	Max	単位
f _{X TAL}	水晶の周波数範囲	—	100	—	130	MHz
C0	水晶の並列容量	—	—	—	2	pF
CL	水晶の負荷容量	—	—	5	—	pF
ESR	水晶の等価直列抵抗	ESR = $R_m (1 + C_0/CL)^2$ Rm = 水晶の連動抵抗	—	60	90	Ω
DL	駆動レベル	—	—	—	200	μW

LFF 水晶の仕様

パラメーター ^[14]	説明	テスト条件	Min	Typ	Max	単位
f _{X TAL}	水晶の周波数範囲	—	50	—	60	MHz
C0	水晶の並列容量	—	—	—	2	pF
CL	水晶の負荷容量	—	—	—	8	pF
ESR	水晶の等価直列抵抗	ESR = $R_m (1 + C_0/CL)^2$ Rm = 水晶の連動抵抗	—	—	90	Ω
DL	駆動レベル	—	—	—	200	μW

注:

14. パラメーターは、設計および特性評価で保証されます。すべてのデバイスでテストはされていません。

LF 低周波数リファレンス

(TCXO リファレンス入力)

パラメーター ^[15]	説明	テスト条件	Min	Typ	Max	単位
f_{IN}	入力周波数	—	50	—	60	MHz
t_{DC}	入力デューティ比	1/2 入力シングで測定	40	—	60	%
V_{PP}	ピーク ツー ピーク値入力シング	AC 結合入力	0.8	—	1.2	V
V_{IL}	入力 LOW 電圧	DC 結合入力	—	—	0.2	V
V_{IH} ^[16]	入力 HIGH 電圧	DC 結合入力	0.8	—	1.2	V
t_R	入力立ち上がり時間	入力の 20% ~ 80%	—	—	1.5	ns
t_F	入力立ち下がり時間	入力の 20% ~ 80%	—	—	1.5	ns
PN_{10K}	入力位相ノイズ	10kHz オフセット	—	—	-151	dBc/Hz
PN_{100K}	入力位相ノイズ	100kHz オフセット	—	—	-155	dBc/Hz
PN_{1M}	入力位相ノイズ	1MHz オフセット	—	—	-156	dBc/Hz

タイミング パラメーター

パラメーター ^[15]	説明	Min	Max	単位
t_{PU}	電源ランブ時間 (0.5V ~ $V_{DD(min)}$)	0.01	3000	ms
t_{WAKEUP} ^[16]	電源が仕様最小時から出力周波数のクロックが安定する (精度 < ± 0.1 ppm) までの時間、プログラム可能 (クロックは、電圧が VDDX レベルに達する時から 2.2ms (Max) 以内で安定、 入力クロックの測定ポイント をご参照ください)	—	10	ms
	電源が仕様最小時から出力周波数のクロックが安定する (精度 < ± 0.1 ppm) までの時間、プログラム可能 (クロックは、電圧が VDDX レベルに達する時から 5.8ms (Max) 以内で安定、 入力クロックの測定ポイント をご参照ください)	—	15	
t_{OEEN}	OE エッジから出力有効までの時間	—	2.5	ms
t_{OEDIS}	OE エッジから出力無効までの時間	—	10	μ s
t_{FS}	FS 変化から新しい周波数までの時間	—	2.5	ms
t_{FSAMLL}	小さなトリガー ($\leq \pm 500$ ppm) の周波数変化時間	—	400	μ s
t_{FLARGE}	大きなトリガー ($> \pm 500$ ppm) の周波数変化時間	—	2.5	ms
t_{CLOCK}	VDD ランブからクロック安定までの遅延時間 (図 5 をご参照ください)、通常の設定	—	2.2	ms
	VDD ランブからクロック安定までの遅延時間 (図 5 をご参照ください)、プログラムされる遅延	—	5.8	

入力クロックの測定ポイント

パラメーター	説明	テスト条件	Min	Typ	Max	単位
V_{DDX} ^{[15], [17]}	t_{CLOCK} 測定ポイント	電源電圧 : 1.8V	1.4	—	—	V
		電源電圧 : 2.5V	1.8	—	—	
		電源電圧 : 3.3V	2.3	—	—	

注:

15. パラメーターは、設計および特性評価で保証されます。すべてのデバイスでテストはされていません。

16. VDD = 0V の時、 V_{IH} は 0.5V を超えてはなりません。

17. TCXO / 外部クロック入力に適用します。

位相ジッタの特性

(12kHz ~ 20MHz の統合帯域幅)

パラメーター ^[18]	説明	条件	Min	Typ	Max	単位
VCXO 機能以外						
J _{RMS}	RMS ジッタ	f _{OUT} = 644.53MHz	–	110	–	fs
J _{RMS}	RMS ジッタ	f _{OUT} = 622.08MHz	–	120	–	fs
J _{RMS}	RMS ジッタ	f _{OUT} = 156.25MHz	–	145	–	fs
J _{RMS}	RMS ジッタ	f _{OUT} = 2.105GHz	–	145	–	fs
変調帯域幅 = 10kHz、VDD = 3.3V、f _{OUT} = 622.08MHz						
J _{RMS}	RMS ジッタ	TPR = 50ppm、Kv = 37.9ppm/V	–	151	–	fs
J _{RMS}	RMS ジッタ	TPR = 155ppm、Kv = 117.4ppm/V	–	158	–	fs
J _{RMS}	RMS ジッタ	TPR = 275ppm、Kv = 208.3ppm/V	–	170	–	fs
変調帯域幅 = 10kHz、VDD = 2.5V、f _{OUT} = 622.08MHz						
J _{RMS}	RMS ジッタ	TPR = 50ppm、Kv = 50ppm/V	–	152	–	fs
J _{RMS}	RMS ジッタ	TPR = 155ppm、Kv = 155ppm/V	–	160	–	fs
J _{RMS}	RMS ジッタ	TPR = 275ppm、Kv = 275ppm/V	–	175	–	fs
変調帯域幅 = 10kHz、VDD = 1.8V、f _{OUT} = 622.08MHz						
J _{RMS}	RMS ジッタ	TPR = 50ppm、Kv = 69.4ppm/V	–	153	–	fs
J _{RMS}	RMS ジッタ	TPR = 155ppm、Kv = 215.3ppm/V	–	166	–	fs
J _{RMS}	RMS ジッタ	TPR = 275ppm、Kv = 381.9ppm/V	–	190	–	fs

I²C バス タイミングの仕様

パラメーター ^[18、19]	説明	Min	Typ	Max	単位
f _{SCL}	SCL クロック周波数	–	–	400	kHz
t _{HD:STA}	START 条件のホールド時間	0.6	–	–	μs
t _{LOW}	SCL の LOW 期間	1.3	–	–	μs
t _{HIGH}	SCL の HIGH 期間	0.6	–	–	μs
t _{SU:STA}	反復 START 条件のセットアップ時間	0.6	–	–	μs
t _{HD:DAT}	データ ホールド時間	0	–	–	μs
t _{SU:DAT}	データ セットアップ時間	100	–	–	ns
t _R	立ち上がり時間	–	–	300	ns
t _F	立ち下がり時間	–	–	300	ns
t _{SU:STO}	STOP 条件のセットアップ時間	0.6	–	–	μs
t _{BUF}	STOP 条件と START 条件間のバス空き時間	1.3	–	–	μs

注:

18. パラメーターは、設計および特性評価で保証されます。すべてのデバイスでテストはされていません。

19. 1.8V と 2.5V の V_{DD} のみに適用可能な I²C 動作

電圧とタイミングの定義

図 4. 差動出力の定義

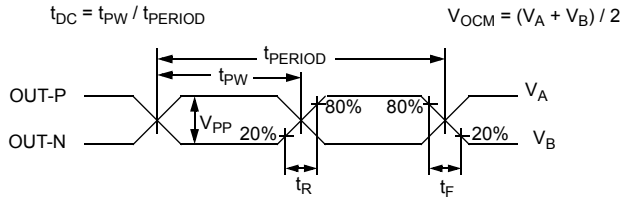


図 5. 入力クロックの安定時間

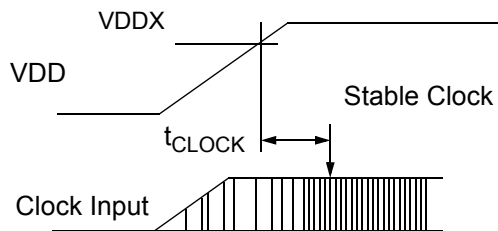


図 6. 出力イネーブル/ディセーブル/周波数選択のタイミング

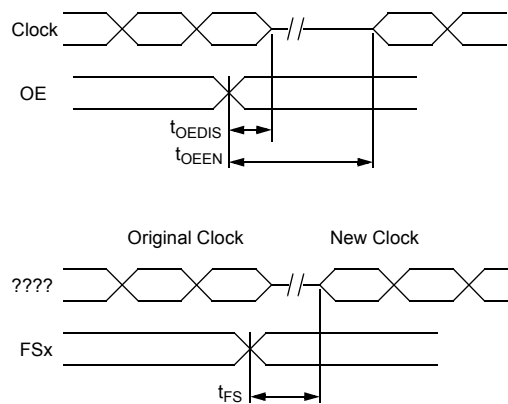


図 7. 電源立ち上がりと PLL ロック時間

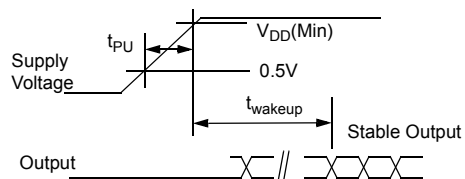


図 8. 出力終端回路

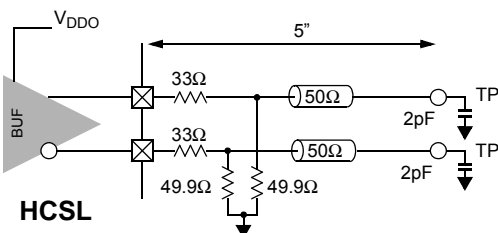
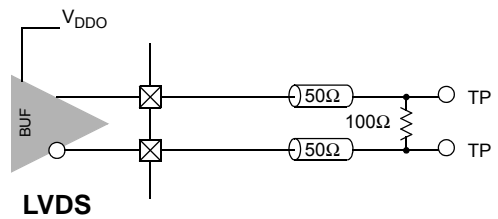
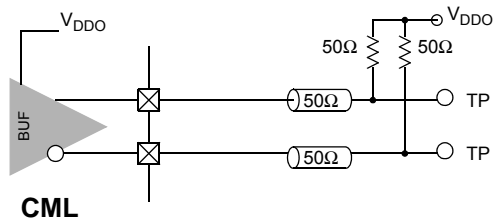
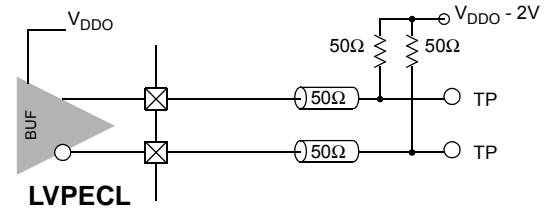
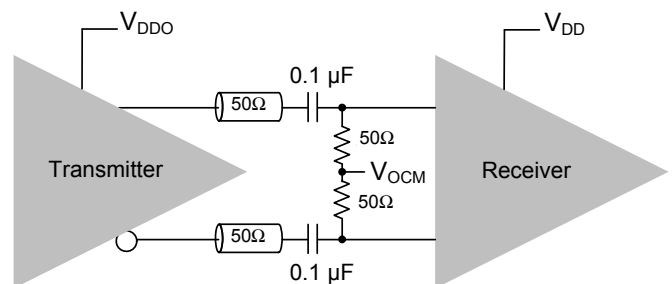
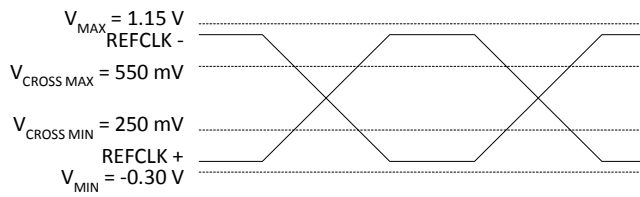
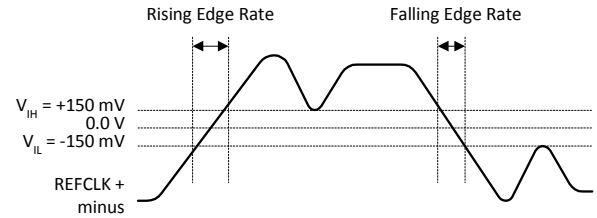
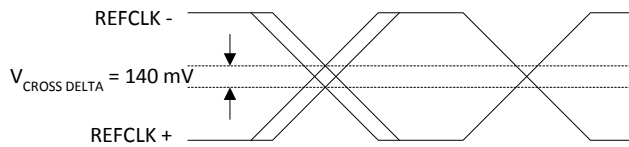
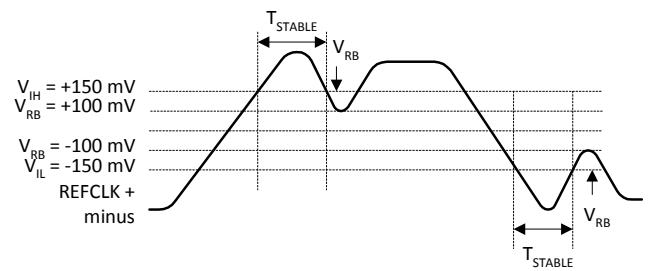
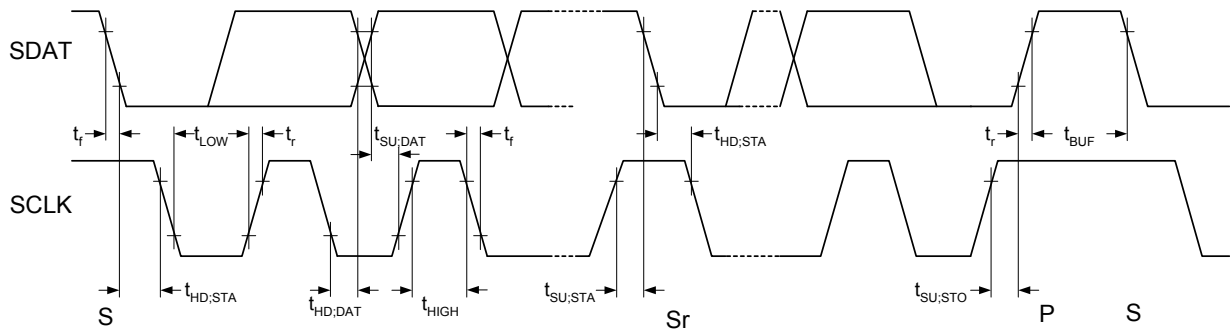


図 9. 1.8V 用の LVDS 終端 [20]



注:

20. この図に示す終端回路は $V_{DD} = 1.8V$ 動作時の LVDS 出力規格に特化したものです。これは AC 結合が必要です (100nF 直列コンデンサ)。図に示すように、バイアス電圧 (V_{OCM}) と 50Ω の終端抵抗は、受信回路で設定する必要があります。

図 10. HCSL: 絶対交差点のシングル エンドの測定ポイント

図 12. HCSL: 立ち上がりと立ち下がり時間の差動測定ポイント

図 11. HCSL: デルタ交差点のシングル エンドの測定ポイント

図 13. HCSL: リング バック用の差動測定ポイント

図 14. I²C バス タイミング仕様


位相ノイズのプロット

図 15. 標準位相ノイズ、156.25MHz (12kHz ~ 20MHz)

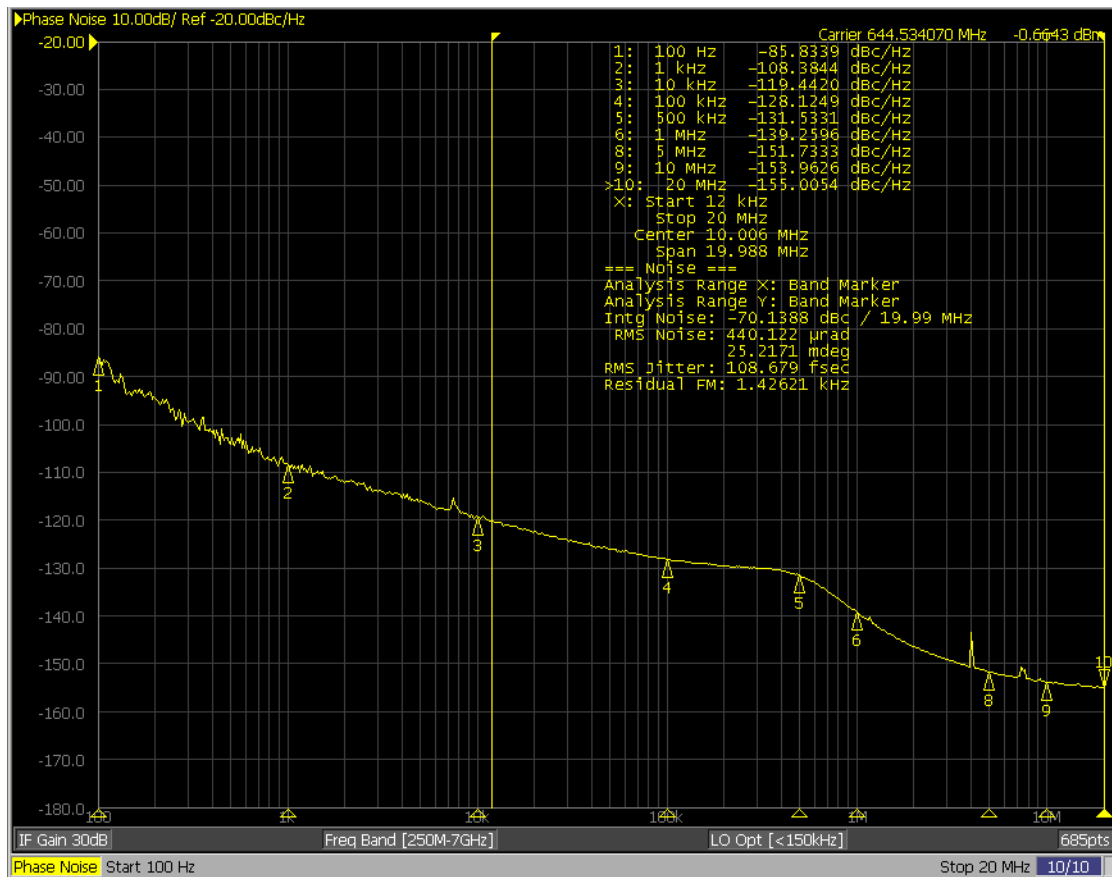


図 16. 標準位相ノイズ、622.08MHz (12kHz ~ 20MHz)

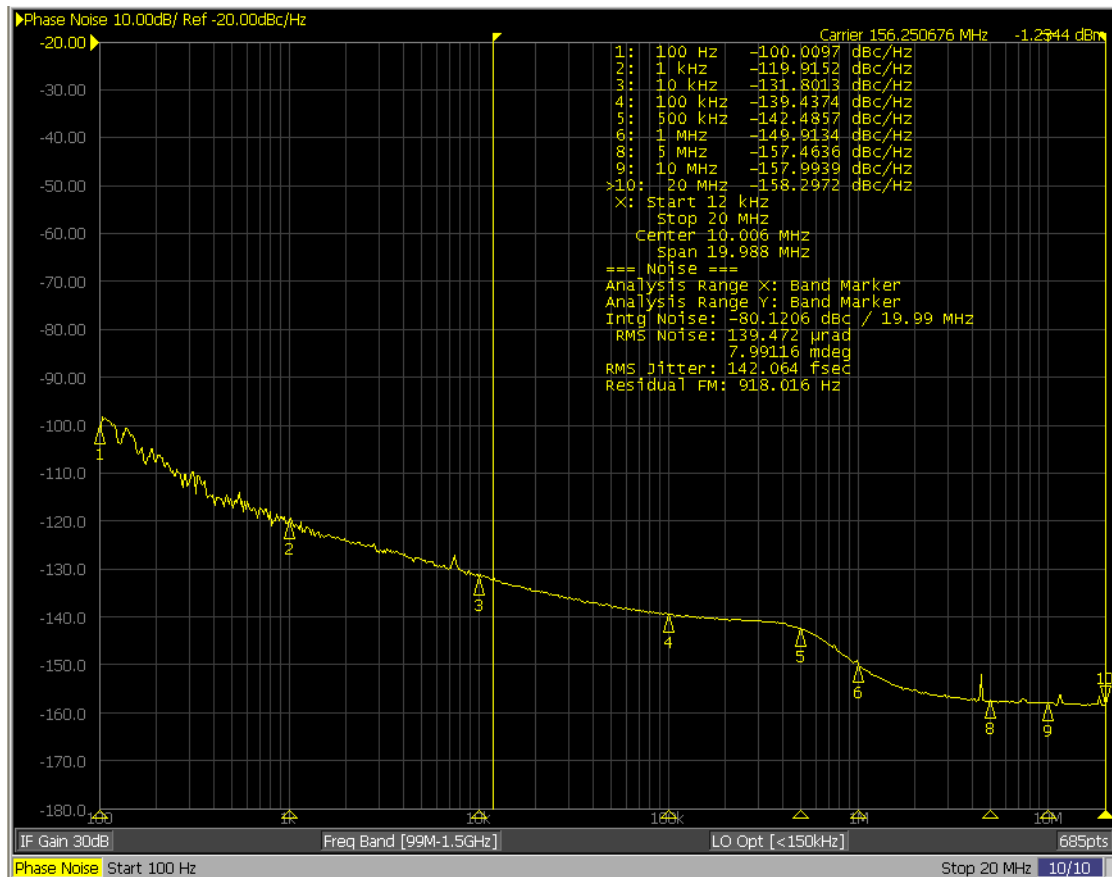
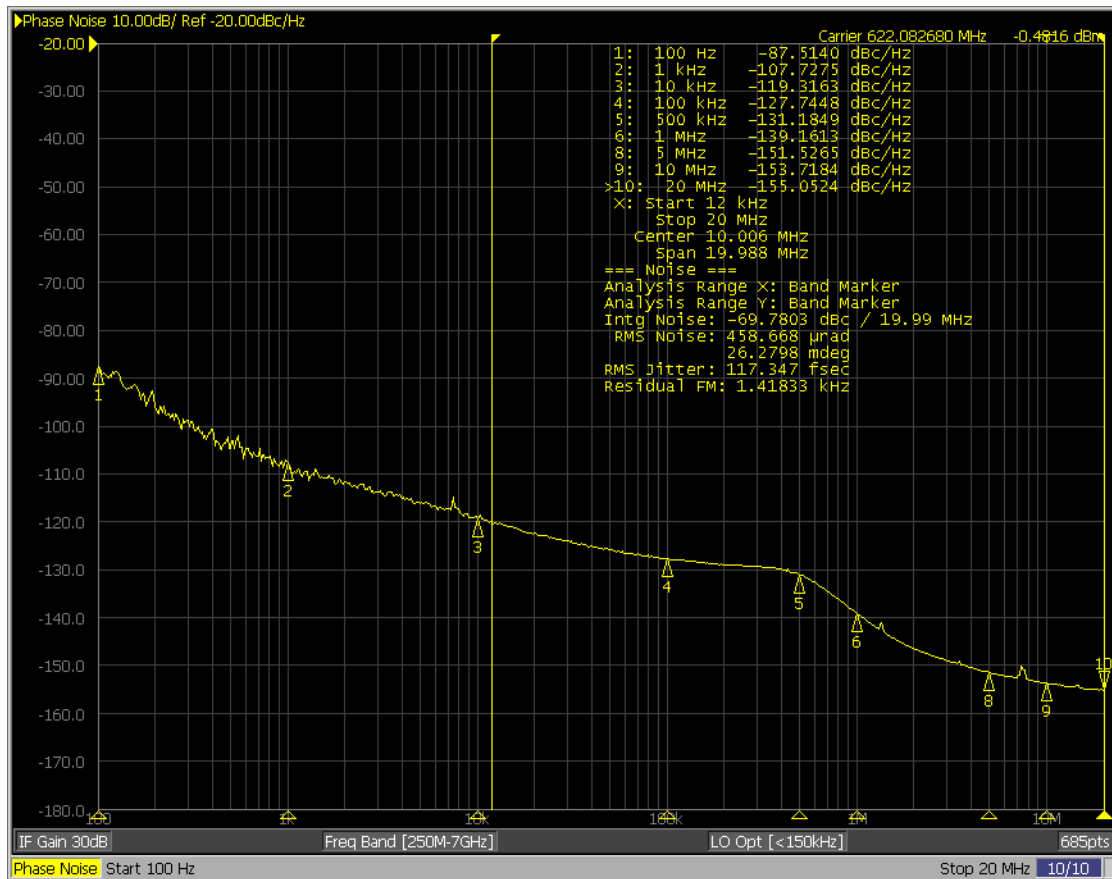


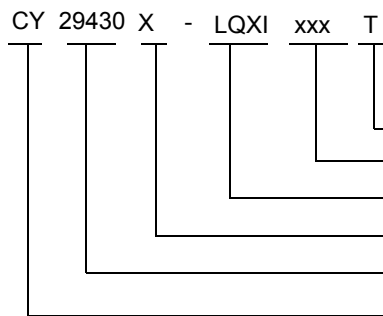
図 17. 標準位相ノイズ、644.53MHz (12kHz ~ 20MHz)



注文情報

注文コード	コンフィギュレーション	パッケージ説明	動作範囲
CY29430FLQXIT	フィールドプログラマブル	16 ピン QFN - テープ & リール	産業用、-40°C ~ +105°C
CY29430LQXIxxxT	工場設定 ^[21]	16 ピン QFN - テープ & リール	産業用、-40°C ~ +105°C

注文コードの定義



T = テープ & リール、空白 = バルク

お客様製品のコンフィギュレーション コード :

パッケージ タイプ : LQ(QFN)、鉛フリー : X、産業用 : I

コンフィギュレーション : F = フィールド プログラマブル、空白 = 工場出荷時に設定済み

製品 ID

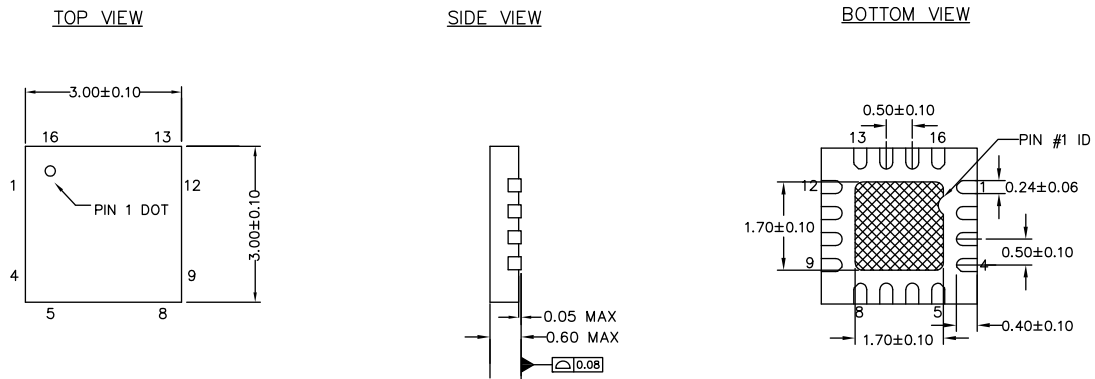
会社 ID: CY = サイプレス

注 :


21. これらは工場でプログラムされた顧客固有の部品番号です。詳細については、お近くのサイプレス FAE または販売代理店にお問い合わせください。

パッケージ図

図 18. 16 ピン QFN (3 × 3 × 0.6mm) LQ16A 1.7 × 1.7 E-Pad (Sawn) パッケージ図、001-87187



NOTES

1.  HATCH AREA IS SOLDERABLE EXPOSED PAD
2. REFERENCE JEDEC # MO-248
3. ALL DIMENSIONS ARE IN MILLIMETERS
4. PACKAGE WEIGHT: See Cypress Package Material Declaration Datasheet (PMDD) posted on the Cypress web

001-87187 *A

略語

略語	説明
AC	alternating current (交流電流)
ADC	analog-to-digital converter (アナログ - デジタル変換器)
BSL	best-fit straight line (ベストフィット直線)
CML	current mode logic (電流モード論理)
DC	direct current (直流)
ESD	electrostatic discharge (静電気放電)
FS	frequency select (周波数選択)
HCSL	high-speed current steering logic (高速電流ステアリング ロジック)
I ² C	inter-integrated circuit (インター インテグレートド サーキット)
JEDEC	Joint Electron Device Engineering Council (半導体技術協会)
LDO	low dropout (regulator) (低ドロップアウト (レギュレーター))
LVC MOS	low voltage complementary metal oxide semicon- ductor (低電圧 CMOS)
LVDS	low-voltage differential signals (低電圧差動信号)
LVPECL	low-voltage positive emitter-coupled logic (低電圧正エミッタ結合論理)
NV	non-volatile (不揮発性)
OE	output enable (出力イネーブル)
PLL	phase-locked loop (位相同期回路)
POR	power on reset (パワーオン リセット)
PSoC [®]	Programmable System-on-Chip (プログラマブル システム オンチップ)
QFN	quad flat no-lead (クアッド フラット リードなしパッケージ)
RMS	root mean square (二乗平均平方根)
SCL	serial I ² C clock (シリアル I ² C クロック)
SDA	serial I ² C data (シリアル I ² C データ)
VRB	voltage ring back (電圧リング バック)
VCXO	voltage controlled crystal oscillator (電圧制御発振器)
XTAL	crystal (水晶)

本書の表記法

測定単位

記号	単位
°C	摂氏温度
fs	フェムト秒
GHz	ギガヘルツ
kΩ	キロオーム
kHz	キロヘルツ
MHz	メガヘルツ
MΩ	メガオーム
μA	マイクロアンペア
μm	マイクロメートル
μs	マイクロ秒
μW	マイクロワット
mA	ミリアンペア
mm	ミリメートル
mΩ	ミリオーム
ms	ミリ秒
mV	ミリボルト
nH	ナノヘンリー
ns	ナノ秒
Ω	オーム
ppm	100 万分の 1
ppb	10 億分の 1
%	パーセント
pF	ピコファラッド
ps	ピコ秒
V	ボルト

改訂履歴

文書名 : CY29430、高性能クロック シンセサイザ 文書番号 : 002-11682				
版	ECN 番号	発行日	変更者	変更内容
**	5211767	04/11/2016	HZEN	これは英語版 002-11000 Rev. ** を翻訳した日本語版 002-11682 Rev. ** です。
*A	5226690	04/21/2016	XHT	これは英語版 002-11000 Rev. *A を翻訳した日本語版 002-11682 Rev. *A です。
*B	5283228	05/24/2016	PSR	ドキュメントタイトルを「CY29430, 高性能クロックシンセサイザ」に変更しました。
*C	5621513	02/10/2017	HZEN	これは英語版 002-11000 Rev. *D を翻訳した日本語版 002-11682 Rev. *C です。
*D	6143790	04/19/2018	YOST	これは英語版 002-11000 Rev. *G を翻訳した日本語版 002-11682 Rev. *D です。

セールス、ソリューションおよび法律情報

ワールドワイド販売と設計サポート

サイプレスは、事業所、ソリューション センター、メーカー代理店および販売代理店の世界的なネットワークを持っています。お客様の最寄りのオフィスについては、[サイプレスのロケーションのウェブページ](#)をご覧ください。

製品

Arm [®] Cortex [®] Microcontrollers	cypress.com/arm
車載用	cypress.com/go/automotive
クロック & バッファ	cypress.com/go/clocks
インターフェース	cypress.com/go/interface
IoT (モノのインターネット)	cypress.com/iot
メモリ	cypress.com/go/memory
マイクロコントローラ	cypress.com/mcu
PSoC	cypress.com/go/psoc
電源用 IC	cypress.com/pmic
タッチ センシング	cypress.com/go/touch
USB コントローラー	cypress.com/go/USB
ワイヤレス	cypress.com/go/wireless

PSoC[®] ソリューション

[PSoC 1](#) | [PSoC 3](#) | [PSoC 4](#) | [PSoC 5LP](#) | [PSoC 6 MCU](#)

サイプレス開発者コミュニティ

[コミュニティ](#) | [Projects](#) | [ビデオ](#) | [ブログ](#) | [トレーニング](#) | [Components](#)

テクニカル サポート

cypress.com/support

© Cypress Semiconductor Corporation, 2016-2018. 本書面は、Cypress Semiconductor Corporation 及び Spansion LLC を含むその子会社 (以下「Cypress」という。)に帰属する財産である。本書面 (本書面に含まれ又は言及されているあらゆるソフトウェア若しくはファームウェア (以下「本ソフトウェア」という。))を含む)は、アメリカ合衆国及び世界のその他の国における知的財産法令及び条約に基づき Cypress が所有する。Cypress はこれらの法令及び条約に基づく全ての権利を留保し、本段落で特に記載されているものを除き、その特許権、著作権、商標権又はその他の知的財産権のライセンスを一切許諾しない。本ソフトウェアにライセンス契約書が伴っておらず、かつ Cypress との間で別途本ソフトウェアの使用方法を定める書面による合意がない場合、Cypress は、(1) 本ソフトウェアの著作権に基づき、(a) ソースコード形式で提供されている本ソフトウェアについて、Cypress ハードウェア製品と共に用いるためにのみ、かつ組織内部でのみ、本ソフトウェアの修正及び複製を行うこと、並びに (b) Cypress のハードウェア製品ユニットに用いるためにのみ、(直接又は再販売者及び販売代理店を介して間接のいずれかで) 本ソフトウェアをバイナリコード形式で外部エンドユーザーに配布すること、並びに (2) 本ソフトウェア (Cypress により提供され、修正がなされていないもの) が抵触する Cypress の特許権のクレームに基づき、Cypress ハードウェア製品と共に用いるためにのみ、本ソフトウェアの作成、利用、配布及び輸入を行うことについての非独占的で譲渡不能な一身専属的ライセンス (サブライセンスの権利を除く) を付与する。本ソフトウェアのその他の使用、複製、修正、変換又はコンパイルを禁止する。

適用される法律により許される範囲内で、Cypress は、本書面又はいかなる本ソフトウェア若しくはこれに伴うハードウェアに関しても、明示又は黙示を問わず、いかなる保証 (商品性及び特定の目的への適合性の黙示の保証を含むがこれらに限られない) も行わない。いかなるコンピューティングデバイスも絶対に安全ということはない。従って、Cypress のハードウェアまたはソフトウェア製品に講じられたセキュリティ対策にもかかわらず、Cypress は、Cypress 製品への権限のないアクセスまたは使用といったセキュリティ違反から生じる一切の責任を負わない。加えて、本書面に記載された製品には、エラーと呼ばれる設計上の欠陥またはエラーが含まれている可能性があり、公表された仕様とは異なる動作をする場合がある。適用される法律により許される範囲内で、Cypress は、別途通知することなく、本書面を変更する権利を留保する。Cypress は、本書面に記載のある、いかなる製品若しくは回路の適用又は使用から生じる一切の責任を負わない。本書面で提供されたあらゆる情報 (あらゆるサンプルデザイン情報又はプログラムコードを含む) は、参照目的のためのみに提供されたものである。この情報で構成するあらゆるアプリケーション及びその結果としてのあらゆる製品の機能性及び安全性を適切に設計、プログラム、かつテストすることは、本書面のユーザーの責任において行われるものとする。Cypress 製品は、兵器、兵器システム、原子力施設、生命維持装置若しくは生命維持システム、蘇生用の設備及び外科的移植を含むその他の医療機器若しくは医療システム、汚染管理若しくは有害物質管理の運用のために設計され若しくは意図されたシステムの重要な構成部分としての使用、又は装置若しくはシステムの不具合が人身傷害、死亡若しくは物的損害を生じさせるようなその他の使用 (以下「本目的外使用」という。)のために設計、意図又は承認されていない。重要な構成部分とは、その不具合が装置若しくはシステムの不具合を生じさせるか又はその安全性若しくは実効性に影響すると合理的に予想できるような装置若しくはシステムのあらゆる構成部分をいう。Cypress 製品のあらゆる本目的外使用から生じ、若しくは本目的外使用に関連するいかなる請求、損害又はその他の責任についても、Cypress はその全部又は一部を問わず一切の責任を負わず、かつ Cypress はそれら一切から本書により免除される。Cypress は Cypress 製品の本来目的外使用から生じ又は本目的外使用に関連するあらゆる請求、費用、損害及びその他の責任 (人身傷害又は死亡に基づく請求を含む) から免責補償される。

Cypress, Cypress のロゴ, Spansion, Spansion のロゴ及びこれらの組み合わせ, WICED, PSoC, CapSense, EZ-USB, F-RAM, 及び Traveo は、米国及びその他の国における Cypress の商標又は登録商標である。Cypress のより完全な商標のリストは、cypress.com を参照すること。その他の名称及びブランドは、それぞれの権利者の財産として権利主張がなされている可能性がある。