



请注意赛普拉斯已正式并入英飞凌科技公司。

此封面页之后的文件标注有“赛普拉斯”的文件即该产品为此公司最初开发的。请注意作为英飞凌产品组合的部分，英飞凌将继续为新的及现有客户提供该产品。

文件内容的连续性

事实是英飞凌提供如下产品作为英飞凌产品组合的部分不会带来对于此文件的任何变更。未来的变更将在恰当的时候发生，且任何变更将在历史页面记录。

订购零件编号的连续性

英飞凌继续支持现有零件编号的使用。下单时请继续使用数据表中的订购零件编号。

三个锁相环通用闪存可编程时钟发生器

特性

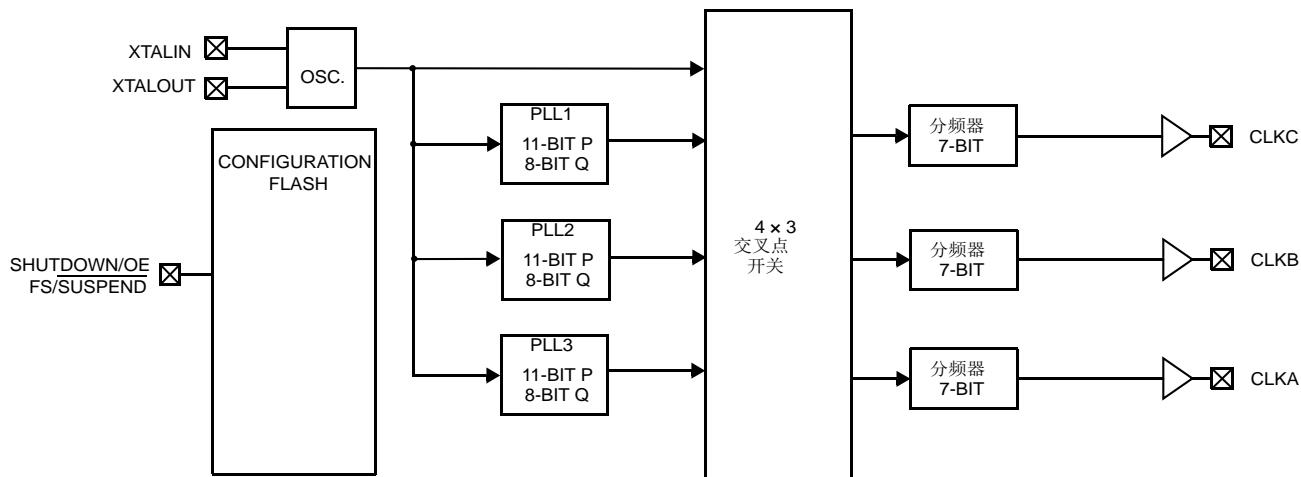
- 三个集成锁相环 (PLL)
- 超宽的分频计数器 (8 位 Q、11 位 P 和 7 位后分频器)
- 提高线性晶振的负载电容
- 闪存可编程性
- 现场可编程性
- 抖动低且精度高的输出
- 电源管理选项 (关闭、OE、暂停)
- 可配置晶振驱动强度
- 通过外部 LVTTL 输入选择频率
- 3.3 V 工作电压
- 8 引脚小外型集成电路 (SOIC) 封装 (CY22381)
- 带有 NiPdAu 引线加工的 8 引脚 SOIC 封装 (CY223811)
- 支持 CyClocks RT™

功能说明

CY22381 是下一代可编程闪存的可编程时钟，用于网络、电信、数据通信和其他通用应用。在 8 引脚 SOIC 封装中，CY22381 提供多达三个可配置输出，使用 3.3 V 电源。片上参考振荡器使用 8 ~ 30 MHz 晶振或 1 ~ 166 MHz 的外部时钟信号。CY22381 具有一个三 PLL，用于驱动三个可编程输出时钟。输出时钟由 PLL 或参考频率 (REF) 派生出来。输出后分频器可供它们俩使用。CY223811 是带有 NiPdAu 引线加工的 CY22381。

要获取相关文档的完整列表，请单击 [此处](#)。

逻辑框图

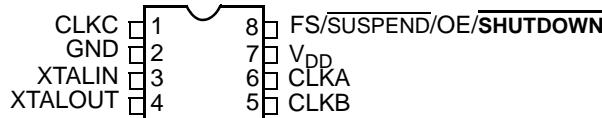


目录

引脚分布	3	开关特性	7
引脚定义	3	开关波形	8
操作	3	订购信息	9
可配置PLL	3	可行的配置	9
通用输入	3	订购代码定义	10
晶振输入	3	封装图和尺寸	11
晶振的驱动电平和功耗	4	缩略语	12
输出配置	4	文档规范	12
节能特性	4	测量单位	12
改善抖动	4	文档修订记录	13
CyClocks RT软件	4	销售、解决方案和法律信息	14
最大额定值	5	全球销售和设计支持	14
操作条件	5	产品	14
电气特性	5	PSoC® 解决方案	14
建议的晶振规范	6	赛普拉斯开发者社区	14
测试电路	6	技术支持	14

引脚分布

图 1. 8 引脚 SOIC 封装的引脚分布



引脚定义

名称	引脚编号	说明
CLKC	1	可配置时钟输出 C
GND	2	接地
XTALIN	3	参考晶振输入或外部参考时钟输入
XTALOUT	2	参考晶振反馈（如果 XTALIN 由外部参考时钟所驱动，那么参考晶振反馈会处于悬空状态）
CLKB	5	可配置时钟输出 B
CLKA	6	可配置时钟输出 A
V _{DD}	7	电源
FS/SUSPEND/ OE/SHUTDOWN	8	通用输入。可能是频率控制、暂停模式控制、输出使能或整个芯片关闭。

操作

CY22381 是现有 CY2081 的升级版。这款新器件具有更宽的频率范围、更优越的灵活性、得到加强的性能，它还包含多项特性用于降低 PLL 对外部系统问题的灵敏度。

该器件具有三个 PLL，这些 PLL 允许每一个输出按照独立的频率运行。完全可以编程这三个 PLL。

CY223811 是带有 NiPdAu 引线加工的 CY22381。

可配置 PLL

PLL1 生成了一个与参考频率相等的频率，该参考频率在 PLL 反馈环 (P) 中由一个八位分频器 (Q) 分频后，再通过一个 11 位分频器倍频而生成的。PLL1 的输出被发送到交叉点开关。通过使用外部 CMOS 通用输入，可以更改 PLL1 的频率。请参考下面“通用输入”部分的内容，了解更多信息。

PLL2 生成了等于参考频率的频率，该参考频率在 PLL 反馈环 (P) 中由一个八位分频器 (Q) 分频后，再通过一个 11 位分频器倍频而生成的。PLL2 的输出被发送到交叉点开关。

PLL3 生成了等于参考频率的频率，该参考频率在 PLL 反馈环 (P) 中由一个八位分频器 (Q) 分频后，再通过一个 11 位分频器倍频而生成的。PLL3 的输出被发送到交叉点开关。

通用输入

CY22381 提供了一个输出控制引脚 (引脚 8)，通过编程该引脚可以控制四种特性中的一种。

当该引脚被编程为频率选择 (FS) 时，输入可以选择两种偶然编程频率设置中的一种。频率选择可以改变下列频率：PLL1 的频率、CLKB 的输出分频器和 CLKA 的输出分频器。由 FS 输入切换导致的所有频率改变可提供无故障保证。

通用输入可以同时控制暂停特性，并将编程过程所确定的一组 PLL 和输出关闭。

被编程为输出使能 (OE) 时，输入能在低电平状态下强制所有输出进入三态。

当被编程为关闭时，该输入能在低电平状态下强制整个芯片进入关闭状态。

晶振输入

由于输入晶体振荡器具有较高的灵活性和功能，因此，它在该器件中起了重要作用。

振荡器变频器具有可编程驱动强度。因此，它提供了与多个制造商、流程、性能和质量的振荡器相兼容的特性。

为了降低外部组件费用，输入负载电容器被设置在芯片上。这些电容器是真正的平行板电容器，它提供了超线性功能。使用这些电容器可降低非线性负载电容在负载，偏压，电源和温度变化时可发生的频率移位。不能将非线性 (FET 门控) 晶振负载电容器用于 MPEG、通信或对绝对频率要求有着较高敏感度的其他应用。

负载电容器的值由一个可编程寄存器中的六位所确定。在 6 pF ~ 30 pF 的晶振总负载范围内，可设置负载电容，分辨率为 0.375 pF。

对于已驱动的时钟输入，输入负载电容器可完全被旁路。这样可以使时钟芯片接受高达 166 MHz 的驱动频率输入。如果应用需要一个驱动输入，那么必须保证 XTALOUT 为悬空状态。

晶振的驱动电平和功耗

晶振具有一个指定的最大驱动电平。通常，更大的晶振可以接受更多的电源。下表中的驱动电平规范提供了 CY22381 中振荡器电路可驱动的电源的普遍上限。

对于一个电压摆幅而言，晶振的功率耗散与 ESR 和晶振频率的平方成正比。（请注意，实际上的 ESR 有时候比晶振厂商所指定的值低得多。）功耗大致也与 C_L 的平方成正比。

通过使用具有低 C_L 和低 R_1 (ESR) 的频率降低的晶振，可使功耗下降到低于表中的 DL 规范。

输出配置

在正常操作条件下，共有四个内部频率源，这些频率源被一个可编程的交叉点开关所路由，然后通过可编程的七位输出分频器又被输入到三个输出。这四个频率源分别是：参考源、PLL1、PLL2 和 PLL3。下面是针对每一个输出的讲解。

CLKA 的输出从交叉点开关生成，然后经过一个可编程的七位后分频器。该七位后分频器从由 FS 控制的两个可编程寄存器中的一个吸取它的值。

CLKB 的输出从交叉点开关生成，然后再经过一个可编程的七位后分频器。该七位后分频器从由 FS 控制的两个可编程寄存器中的一个吸取它的值。

CLKC 的输出从交叉点开关生成，然后再经过一个可编程的七位后分频器。该七位后分频器从一个可编程寄存器中吸取它的值。

设计好的时钟输出可驱动一个独立的负载点，其集成的总负载电容达 15 pF。虽然使用合适的终端设备仍能够驱动多个负载，但不建议执行这样的操作。

节能特性

配置为 OE 时，通用输入在低电平下会使所有输出进入三态。配置为关闭时，该引脚在低电平的条件下会使所有输出进入三态，将 PLL，计数器，参考振荡器和其他运行中的组件关闭。 V_{DD} 引脚上产生的电流小于 5 μ A（典型值）。PLL 在退出关闭状态后需要再闭锁。

配置为 SUSPEND 时，通过配置，可使通用输入在低电平的条件下将一套指定的输出及 / 或 PLL 关闭。所有 PLL 大致能够与任何输出同时关闭。唯一的限制是，在一个 PLL 关闭时，由其派生的所有输出必须被相应关闭。PLL 的暂停将使所有相关逻辑关闭，而输出的暂停则会造成三态。

改善抖动

抖动优化控制对缓解由相同时钟同时切换而造成的问题和过度抖动非常有用。如果一个 PLL 在驱动多个输出，会选择 PLL 的负相位作为其中的一个输出。这样可以防止输出边沿的对齐，以实现抖动的优化。

CyClocks RT 软件

CyClocks RT 是我们公司的第二代应用，为用户配置该器件提供了方便。易用的接口为该系列产品的各种特性（如输入频率、PLL 和输出频率以及丰富的功能选项）提供了完善的控制。数据手册中的频率范围限制已经过检测，功能调整则被自动使用。您可从赛普拉斯的网站 (<http://www.cypress.com>) 上下载 CyClocks RT 的免费版本。

最大额定值

超过最大额定值可能会缩短器件的使用寿命。用户指引未经过测试。

供电电压 $-0.5 \text{ V} \sim +7.0 \text{ V}$

直流输入电压 $-0.5 \text{ V} \sim + (\text{V}_{\text{DD}} + 0.5 \text{ V})$

存放温度 $-65^\circ\text{C} \sim +125^\circ\text{C}$

结温	125 °C
数据保留时间 ($\text{T}_j = 125^\circ\text{C}$)	> 10 年
最多的编程周期	100
封装功耗	250 mW
静电放电电压 (根据 MIL-STD-883, 方法 3015)	$\geq 2000\text{V}$
锁存电流 (根据 JEDEC 17)	$\geq \pm 200 \text{ mA}$

操作条件

参数	说明	最小值	典型值	最大值	单位
V_{DD}	供电电压	3.135	3.3	3.465	V
T_A	商业级工作温度, 环境温度	0	—	+70	°C
	工业级工作温度, 环境温度	-40	—	+85	°C
$\text{C}_{\text{LOAD_OUT}}$	最大负载电容	5	—	15	pF
f_{REF}	外部参考晶振频率	8	5	30	MHz
	外部参考时钟频率 ^[1] , 商业级	1	5	166	MHz
	外部参考时钟频率 ^[1] , 工业级	1	5	150	MHz
t_{PU}	所有 V_{DD} 达到最小指定电压所需的上电时间 (电源变化必须是单向的)	0.05	—	500	ms

电气特性

参数	说明	条件 ^[2]	最小值	典型值	最大值	单位
I_{OH}	输出高电流 ^[3]	$\text{V}_{\text{OH}} = \text{V}_{\text{DD}} - 0.5, \text{V}_{\text{DD}} = 3.3 \text{ V}$	12	24	5	mA
I_{OL}	输出低电流 ^[3]	$\text{V}_{\text{OL}} = 0.5 \text{ V}, \text{V}_{\text{DD}} = 3.3 \text{ V}$	12	24	5	mA
$C_{\text{XTAL_MIN}}$	晶振负载电容 ^[3]	最小设置中的电容负载	5	6	5	pF
$C_{\text{XTAL_MAX}}$	晶振负载电容 ^[3]	最大设置中的电容负载	—	30	5	pF
C_{IN}	输入引脚电容 ^[3]	晶振引脚除外	5	7	—	pF
V_{IH}	高电平输入电压	CMOS 电平、 V_{DD} 比例	70%	5	—	V_{DD}
V_{IL}	低电平输入电压	CMOS 电平、 V_{DD} 比例	—	5	30%	V_{DD}
I_{IH}	输入高电流	$\text{V}_{\text{IN}} = \text{V}_{\text{DD}} - 0.3 \text{ V}$	—	< 1	10	μA
I_{IL}	输入低电流	$\text{V}_{\text{IN}} = +0.3 \text{ V}$	—	< 1	10	μA
I_{OZ}	输出漏电流	三态输出	5	—	10	μA
I_{DD}	总电源电流	电源为 3.3 V；在频率为 50 MHz 时有三个输出	5	35	—	mA
		电源为 3.3 V；在频率为 166 MHz 时有三个输出	5	70	5	mA
I_{DDS}	关闭模式下的总电源电流	使能关闭模式	5	5	20	μA

注释：

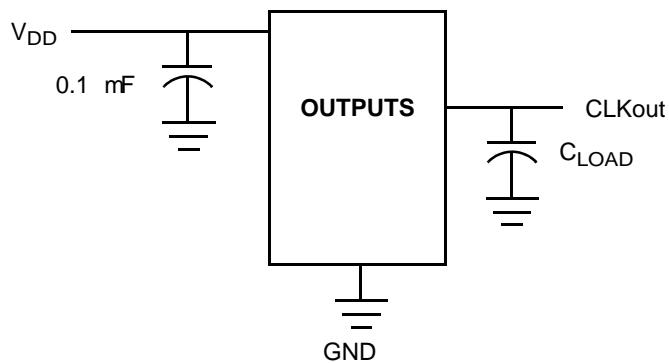
1. 外部输入参考时钟必须有 40% 到 60% 的占空比，在 $\text{V}_{\text{DD}}/2$ 条件下进行测量。
2. 除非另有说明，否则在这些工作条件下，电气特性和切换特性均受保证。
3. 由设计保证，并未经过 100% 测试。

建议的晶振规范

参数	说明	条件	最小值	典型值	最大值	单位
F_{NOM}	额定晶振频率	并联谐振，基本模式	8	5	30	MHz
C_{LNOM}	额定负载电容		8	—	20	pF
R_1	等效串联电阻 (ESR)	基本模式	—	—	50	Ω
DL	晶振驱动电平	假定不存在任何外部串联电阻	—	0.5	2	mW

测试电路

图 2. 测试电路



开关特性

参数	说明	条件	最小值	典型值	最大值	单位
1/t ₁	输出频率 [4、5]	时钟输出限制, 商业级	5	—	2000	MHz
		时钟输出限制, 工业级	—	5	166	MHz
t ₂	输出占空比 [4、6]	输出的占空比, 定义为 $t_2 \div t_1$, $F_{out} < 100 \text{ MHz}$, 分频值 ≥ 2 , 在 $V_{DD}/2$ 条件下进行测量	45%	50%	55%	
		输出的占空比, 定义为 $t_2 \div t_1$, $F_{out} > 100 \text{ MHz}$ 或分频值 = 1, 在 $V_{DD}/2$ 条件下进行测量	40%	50%	60%	
t ₃	上升沿转换速率 [4]	输出时钟上升时间, 在 V_{DD} 从 20% 逐渐增大到 80% 的范围内测得的	0.75	1.4	5	V/ns
t ₄	下降沿转换速率 [4]	输出时钟下降时间, 在 V_{DD} 从 20% 逐渐增大到 80% 的范围内测得的	0.75	1.4	5	V/ns
t ₅	输出三态时序 [4]	SHUTDOWN/OE 切换后, 输出进入或退出三态模式的时间	—	150	300	ns
t ₆	时钟抖动 [4、7]	峰至峰周期抖动, CLK 输出在 $V_{DD}/2$ 条件下测量	5	200	—	ps
t ₇	锁定时间 [4]	从上电时开始计算的 PLL 锁定时间	—	1.0	3	ms

注释:

4. 由设计保证, 并未经过 100% 测试。
5. 保证符合 20%–80% 的输出阈值和占空比规格。
6. 参考输出占空比取决于 XTALIN 占空比。
7. 抖动因设置不同而异。参考输出抖动取决于 XTALIN 抖动和边沿速率。

开关波形

图 3. 所有输出、占空比和上升 / 下降时间

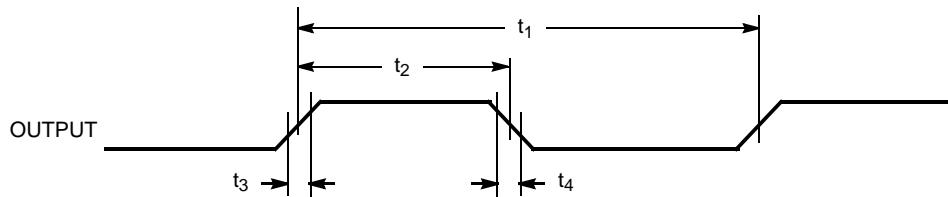


图 4. 输出三态时序

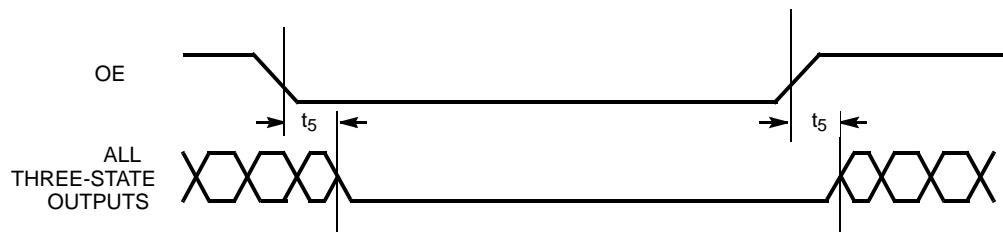


图 5. CLK 输出抖动

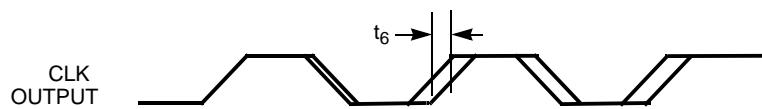
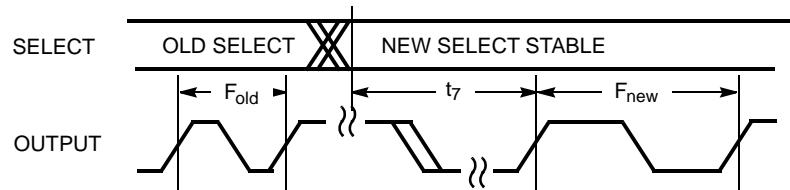


图 6. 频率更改



订购信息

订购代码	封装类型	工作范围	工作电压
无铅			
CY22381FXI	带有 NiPdAu 引线框架的 8 引脚 SOIC 封装	工业级 ($T_A = -40^\circ\text{C} \sim 85^\circ\text{C}$)	3.3 V
CY22381FXC ^[10]	8 引脚 SOIC 封装	商业级 ($T_A = 0^\circ\text{C} \sim 70^\circ\text{C}$)	3.3 V
CY22381FXCT	8 引脚 SOIC — 盘带封装	商业级 ($T_A = 0^\circ\text{C} \sim 70^\circ\text{C}$)	3.3 V
CY22381FXI	8 引脚 SOIC 封装	工业级 ($T_A = -40^\circ\text{C} \sim 85^\circ\text{C}$)	3.3 V
CY22381FXIT	8 引脚 SOIC — 盘带封装)	工业级 ($T_A = -40^\circ\text{C} \sim 85^\circ\text{C}$)	3.3 V
编程器			
CY3672-USB	编程器		
CY3699	供给 CY3672-USB 的 CY22381F 适配器		

所提供的若干产品是工厂可编程用户特定器件，带有已制定的器件编号。可能配置表显示可用的器件类型，但不显示整个器件的型号。更多详细信息，请联系当地的赛普拉斯 FAE 或销售代表。

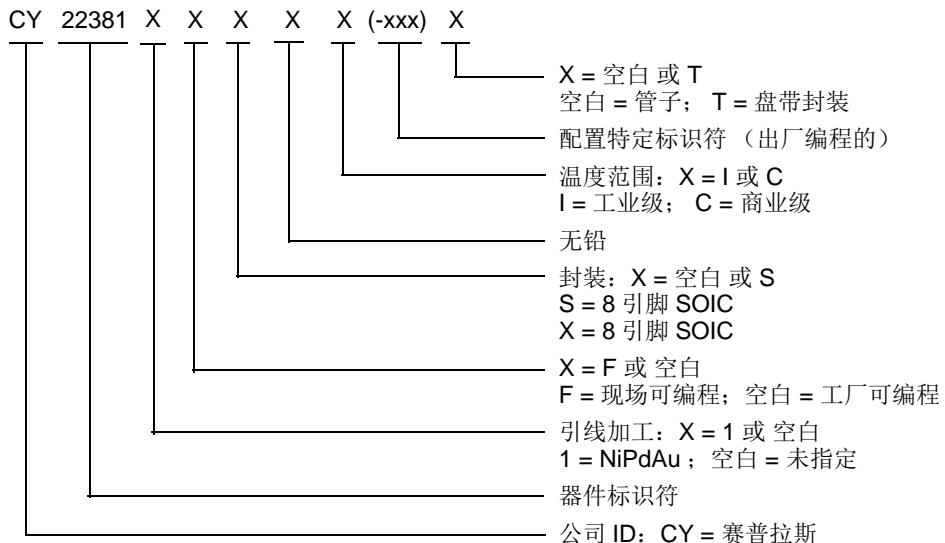
可行的配置

订购代码	封装类型	工作范围	工作电压
CY22381SI-xxxT ^[8、9]	8 引脚 SOIC — 盘带封装	工业级 ($T_A = -40^\circ\text{C} \sim 85^\circ\text{C}$)	3.3 V
无铅			
CY22381SXC-xxx ^[8]	8 引脚 SOIC 封装	商业级 ($T_A = 0^\circ\text{C} \sim 70^\circ\text{C}$)	3.3 V
CY22381SXC-xxxT ^[8]	8 引脚 SOIC — 盘带封装	商业级 ($T_A = 0^\circ\text{C} \sim 70^\circ\text{C}$)	3.3 V
CY22381SXI-xxx ^[8]	8 引脚 SOIC 封装	工业级 ($T_A = -40^\circ\text{C} \sim 85^\circ\text{C}$)	3.3 V
CY22381SXI-xxxT ^[8]	8 引脚 SOIC — 盘带封装	工业级 ($T_A = -40^\circ\text{C} \sim 85^\circ\text{C}$)	3.3 V

注释:

8. CY22381SI-xxx、CY22381SXC-xxx 和 CY22381SXI-xxx 是出厂时编程的配置。出厂编程适用于大量设计（每年 100 Ku 或更多）的生产量。更多详细信息，请联系当地赛普拉斯 FAE 或赛普拉斯销售代表。
9. 不建议用于新设计。
10. CY22381FSZC 和 CY22381FXC 是相同的。对于新设计，建议使用 CY22381FXC。

订购代码定义



封装图和尺寸

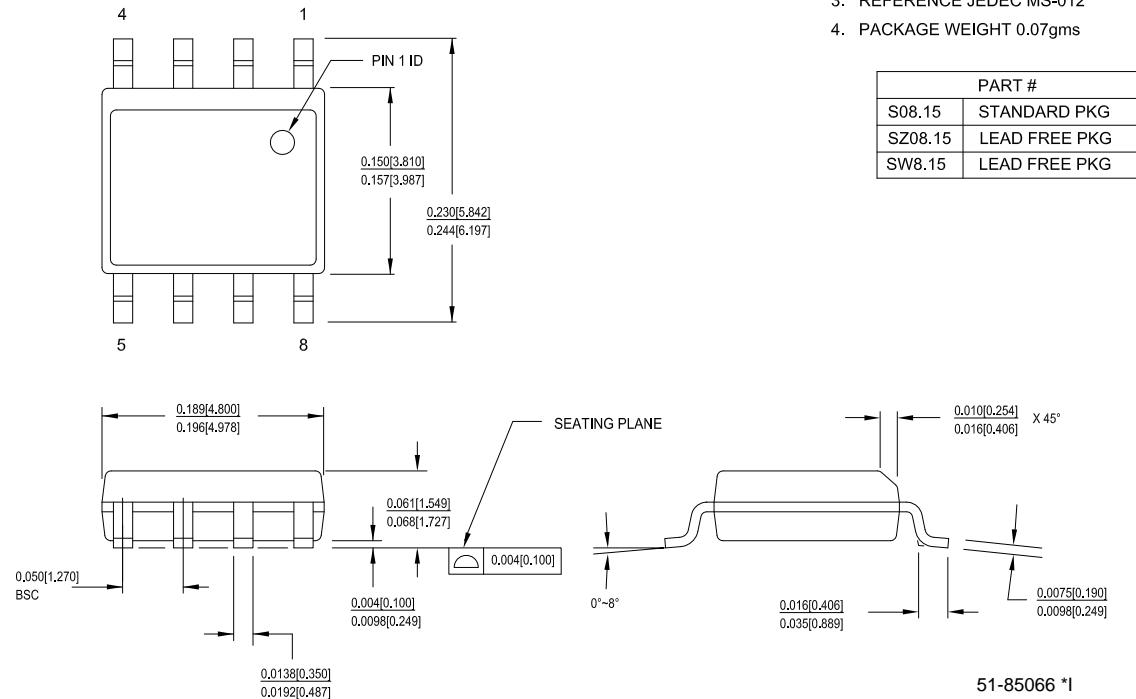
图 7. 8 引脚 SOIC (150 Mil) 封装外形, 51-85066

1. DIMENSIONS IN INCHES[MM] MIN.
MAX.

2. PIN 1 ID IS OPTIONAL,
ROUND ON SINGLE LEADFRAME
RECTANGULAR ON MATRIX LEADFRAME

3. REFERENCE JEDEC MS-012

4. PACKAGE WEIGHT 0.07gms



缩略语

缩略语	说明
CMOS	互补金属氧化物半导体
ESR	等效串联电阻
FET	场效应晶体管
MPEG	移动图像专家组
OE	输出使能
PLL	锁相环
SOIC	小外型集成电路

文档规范

测量单位

符号	测量单位
°C	摄氏度
MHz	兆赫兹
µA	微安
mF	微法
mA	毫安
ms	毫秒
mW	毫瓦
ns	纳秒
pF	皮法
ps	皮秒
V	伏特

文档修订记录

文档标题: CY22381/CY223811, 三个锁相环通用闪存可编程时钟发生器
文档编号: 001-95833

版本	ECN	变更者	提交日期	变更说明
**	4691534	WEIZ	04/20/2015	本文档版本号为 Rev**, 译自英文版 38-07012 Rev*J。
*A	6134237	SSAS	04/13/2018	本文档版本号为 Rev. *A, 译自英文版 38-07012 Rev. *L。

销售、解决方案和法律信息

全球销售和设计支持

赛普拉斯公司拥有一个由办事处、解决方案中心、厂商代表和经销商组成的全球性网络。要找到距您最近的办事处，请访问[赛普拉斯所在地](#)。

产品

Arm® Cortex® 微控制器

汽车级产品

时钟与缓冲器

接口

物联网

存储器

微控制器

PSoC

电源管理 IC

触摸感应

USB 控制器

无线连接

cypress.com/arm

cypress.com/automotive

cypress.com/clocks

cypress.com/interface

cypress.com/iot

cypress.com/memory

cypress.com/mcu

cypress.com/psoc

cypress.com/pmic

cypress.com/touch

cypress.com/usb

cypress.com/wireless

PSoC® 解决方案

[PSoC 1](#) | [PSoC 3](#) | [PSoC 4](#) | [PSoC 5LP](#) | [PSoC 6 MCU](#)

赛普拉斯开发者社区

[社区](#) | [项目](#) | [视频](#) | [博客](#) | [培训](#) | [组件](#)

技术支持

cypress.com/go/support

© 赛普拉斯半导体公司，2001-2018年。本文件是赛普拉斯半导体公司及其子公司，包括 Spansion LLC（“赛普拉斯”）的财产。本文件，包括其包含或引用的任何软件或固件（“软件”），根据全球范围内的知识产权法律以及美国与其他国家签署条约由赛普拉斯所有。除非在本款中另有明确规定，赛普拉斯保留在该等法律和条约下的所有权利，且未就其专利、版权、商标或其他知识产权授予任何许可。如果软件并不附随有一份许可协议且贵方未以其他方式与赛普拉斯签署关于使用软件的书面协议，赛普拉斯特此授予贵方属人性质的、非独家且不可转让的如下许可（无再许可权）（1）在赛普拉斯特软件著作权项下的下列许可权（一）对以源代码形式提供的软件，仅出于在赛普拉斯硬件产品上使用之目的且仅在贵方集团内部修改和复制软件，和（二）仅限于在有关赛普拉斯硬件产品上使用之目的将软件以二进制代码形式的向外部最终用户提供（无论直接提供或通过经销商和分销商间接提供），和（2）在被软件（由赛普拉斯公司提供，且未经修改）侵犯的赛普拉斯专利的权利主张项下，仅出于在赛普拉斯硬件产品上使用之目的制造、使用、提供和进口软件的许可。禁止对软件的任何其他使用、复制、修改、翻译或汇编。

在适用法律允许的限度内，赛普拉斯未对本文件或任何软件作出任何明示或暗示的担保，包括但不限于关于适销性和特定用途的默示保证。没有任何电子设备是绝对安全的。因此，尽管赛普拉斯在其硬件和软件产品中采取了必要的安全措施，但是赛普拉斯并不承担任何由于使用赛普拉斯产品而引起的安全问题及安全漏洞的责任，例如未经授权的访问或使用赛普拉斯产品。此外，本材料中所介绍的赛普拉斯产品有可能存在设计缺陷或设计错误，从而导致产品的性能与公布的规格不一致。（如果发现此类问题，赛普拉斯会提供勘误表）赛普拉斯保留更改本文件的权利，届时将不另行通知。在适用法律允许的限度内，赛普拉斯不对因应用或使用本文件所述任何产品或电路引起的任何后果负责。本文件，包括任何样本设计信息或程序代码信息，仅为供参考之目的提供。文件使用人应负责正确设计、计划和测试信息应用和由此生产的任何产品的功能和安全性。赛普拉斯产品不应被设计为、设定为或授权用作武器操作、武器系统、核设施、生命支持设备或系统、其他医疗设备或系统（包括急救设备和手术植入物）、污染控制或有害物质管理系统中的关键部件，或产品植入之设备或系统故障可能导致人身伤害、死亡或财产损失其他用途（“非预期用途”）。关键部件指，若该部件发生故障，经合理预期会导致设备或系统故障或会影响设备或系统安全性和有效性的部件。针对由赛普拉斯产品非预期用途产生或相关的任何主张、费用、损失和其他责任，赛普拉斯不承担全部或部分责任且贵方不应追究赛普拉斯之责任。贵方应赔偿赛普拉斯因赛普拉斯产品任何非预期用途产生或相关的所有索赔、费用、损失和其他责任，包括因人身伤害或死亡引起的主张，并使之免受损失。

赛普拉斯、赛普拉斯徽标、Spansion、Spansion 徽标，及上述项目的组合，WICED，及 PSoC、CapSense、EZ-USB、F-RAM 和 Traveo 应视为赛普拉斯在美国和其他国家的商标或注册商标。请访问 cypress.com 获取赛普拉斯商标的完整列表。其他名称和品牌可能由其各自所有者主张为该方财产。