

サイプレスはインフィニオン テクノロジーズになりました

この表紙に続く文書には「サイプレス」と表記されていますが、これは同社が最初にこの製品を開発したからです。新規および既存のお客様いずれに対しても、引き続きインフィニオンがラインアップの一部として当該製品をご提供いたします。

文書の内容の継続性

下記製品がインフィニオンの製品ラインアップの一部として提供されたとしても、それを理由としてこの文書に変更が加わることはありません。今後も適宜改訂は行いますが、変更があった場合は文書の履歴ページでお知らせします。

注文時の部品番号の継続性

インフィニオンは既存の部品番号を引き続きサポートします。ご注文の際は、データシート記載の注文部品番号をこれまで通りご利用下さい。

3 PLL 汎用フラッシュプログラマブル クロック ジェネレータ

特長

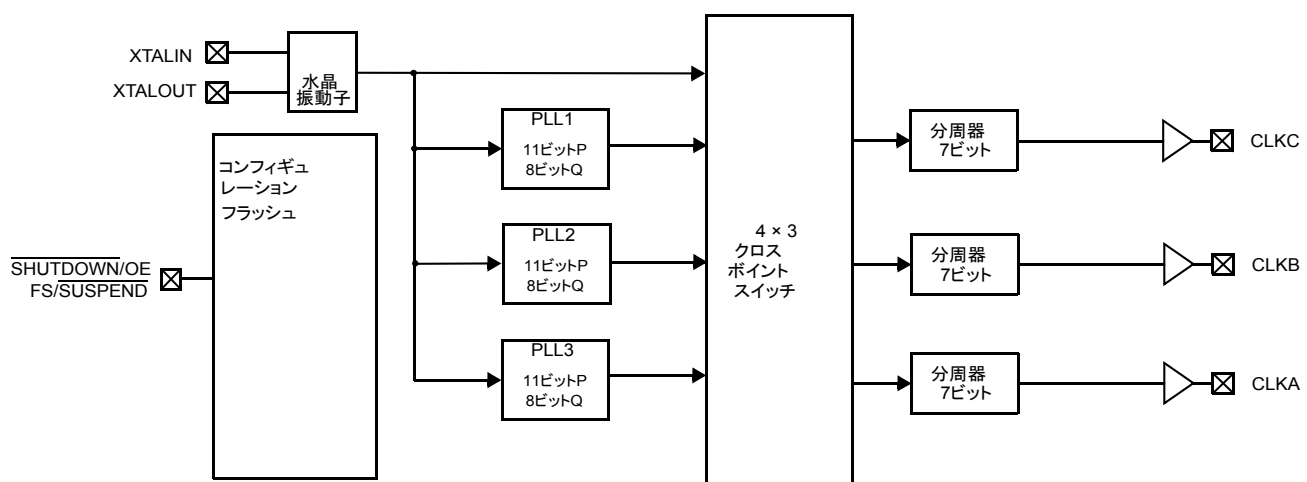
- 3つの集積位相同期回路
- ウルトラワイド分周カウンタ (8ビット Q, 11ビット P, および 7ビット ポスト分周器)
- 改善されたリニア水晶負荷容量コンデンサ
- フラッシュ プログラマビリティ
- フィールド プログラマビリティ
- 低ジッタ、高精度出力
- 電源管理オプション (シャットダウン, 出力イネーブル, 停止)
- コンフィギュレーション可能な水晶駆動能力
- 外部 LVTTTL 入力による周波数選択機能
- 3.3V の動作電圧
- 8ピン小型集積回路 (SOIC) パッケージ (CY22381)
- NiPdAu 仕上げリードの 8ピン SOIC パッケージ (CY223811)
- CyClocks RT™ サポート

機能の詳細

CY22381 は、ネットワーキング、テレコミュニケーション、データコム、および他の汎用アプリケーションで使用するために設計される次世代プログラマブル フラッシュ プログラマブル クロックです。CY22381 は、3.3V 電源で 8ピン SOIC に最大 3 個までのコンフィギュレーション可能な出力を提供します。内蔵のリファレンス振動子は、8MHz ~ 30MHz の水晶、または 1MHz ~ 166MHz の外部クロック信号用に設計されています。CY22381 は、3つのプログラム可能な出力クロックを駆動する、3つの PLL を持っています。出力クロックは、PLL またはリファレンス周波数 (REF) から生成します。出力ポスト分周器は、両方に適用可能です。CY223811 は、CY22381 のリードに NiPdAu 仕上げを行ったものです。

関連する文書の一覧はこちらを参照してください。

論理ブロック図

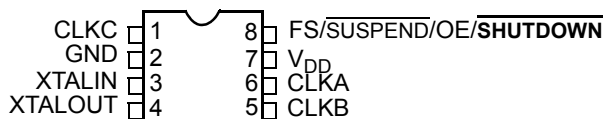


目次

ピン配置	3	スイッチング特性	7
ピン機能	3	スイッチング波形	8
動作	3	注文情報	9
コンフィギュレーション可能な PLL	3	可能なコンフィギュレーション	9
汎用入力	3	注文コードの定義	10
水晶振動子の入力	3	パッケージ・外形寸法図	11
水晶駆動レベルと電源	4	略語	12
出力コンフィギュレーション	4	本書の表記法	12
省電力機能	4	測定単位	12
ジッタの改善	4	改訂履歴	13
CyClocks RT ソフトウェア	4	セールス、ソリューションおよび法律情報	14
最大定格	5	ワールドワイドな販売と設計サポート	14
動作条件	5	製品	14
電気的特性	5	PSoC® ソリューション	14
水晶振動子の推奨仕様	6	サイプレス開発者コミュニティ	14
テスト回路	6	テクニカル サポート	14

ピン配置

図 1. 8 ピン SOIC ピン配置



ピン機能

名称	ピン番号	説明
CLKC	1	コンフィギュレーション可能なクロック出力 C
GND	2	グラウンド
XTALIN	3	リファレンス水晶入力または外部リファレンス クロック入力
XTALOUT	4	リファレンス水晶フィードバック (XTALIN が外部リファレンス クロックにより駆動される場合は開放)
CLKB	5	コンフィギュレーション可能なクロック出力 B
CLKA	6	コンフィギュレーション可能なクロック出力 A
V _{DD}	7	電源
FS/SUSPEND/ OE/SHUTDOWN	8	汎用入力。周波数制御、一時停止モード制御、出力イネーブル、またはチップ全体シャットダウン のいずれかになる

動作

CY22381 は既存の CY2081 をアップグレードしたものです。この新しいデバイスはより幅広い周波数範囲、高い柔軟性、向上された性能を持ち、外部システム問題に対する PLL の感度を減少させる多くの機能を組み込んでいます。

このデバイスは出力が互いに依存しない周波数での動作を可能にする 3 つの PLL を持っています。これらの PLL は完全にプログラム可能です。

CY223811 は、CY22381 のリードに NiPdAu 仕上げを行ったものです。

コンフィギュレーション可能な PLL

PLL1 は、リファレンス クロック周波数を 8 ビット分周器 (Q) で分周した後、PLL フィードバック回路内の 11 ビット分周器 (P) で乗算してから得られた値に等しい周波数を生成します。PLL1 の出力は、クロスポイント スイッチに送信されます。PLL1 の周波数は外部 CMOS 汎用入力を使用して任意に調整できます。詳細については、次の「汎用入力」節を参照してください。

PLL2 は、リファレンス クロック周波数を 8 ビット分周器 (Q) で分周した後、PLL フィードバック回路内の 11 ビット分周器 (P) で乗算してから得られた値に等しい周波数を生成します。PLL2 の出力は、クロスポイント スイッチに送信されます。

PLL3 は、リファレンス クロック周波数を 8 ビット分周器 (Q) で分周した後、PLL フィードバック回路内の 11 ビット分周器 (P) で乗算してから得られた値に等しい周波数を生成します。PLL3 の出力は、クロスポイント スイッチに送信されます。

汎用入力

CY22381 は 4 つの機能の中の 1 つを制御するようにプログラムできる出力制御ピン (ピン 8) を備えています。

周波数セレクト (FS) としてプログラムされた時、入力は 2 つの任意にプログラムした周波数設定から 1 つ選択できます。周波数セレクトは PLL1 の周波数、CLKB の出力分周器、および CLKA の出力分周器を変更できます。FS 入力の切り替えによる分周器の変更は、グリッチ フリーであることが保証されます。

汎用入力はプログラム時、同時に一時停止機能を制御して、PLL 一式とプログラム時に定義された出力をオフにすることができ

ます。

出力イネーブル (OE) としてプログラムされた時、入力は LOW 時にすべての出力をトライステート状態にさせます。

シャットダウンとしてプログラムされた時、入力は LOW 時にチップ全体をシャットダウン モードに入させます。

水晶振動子の入力

柔軟性と高性能の点から入力水晶振動子は、このデバイスの重要な機能です。

振動子のインバータの駆動能力はプログラム可能です。これにより、さまざまなメーカー、製造プロセス、性能、品質の水晶振動子との最大の互換性があります。

外部コンポーネントのコストを削減するために入力負荷容量をダイの上に搭載します。これらの容量は、超線形性能を実現する真の平行平板コンデンサです。これらのコンデンサは、非線形負荷容量が負荷、バイアス、電源と温度変化と相互作用する時に発生する周波数シフトを減らすために選択されます。非線形 (FET ゲート) 水晶負荷容量を、MPEG、通信、または周波

数の絶対値に敏感な他のアプリケーションのために使用しないでください。

負荷容量の値は、プログラム可能なレジスタ内の 6 ビットにより決まります。負荷容量値は、6pF ~ 30pF の水晶振動子の全体負荷範囲において 0.375pF の分解能で設定できます。

駆動クロック入力を使用する場合、入力の負荷容量は完全にバイパスされます。これにより、クロック チップは 166MHz までの周波数駆動入力を許容します。アプリケーションが周波数直接駆動入力が必要な場合、XTALOUT ピンを開放にする必要があります。

水晶駆動レベルと電源

水晶振動子は、最大の駆動レベルを受け入れるために指定されます。一般的に、より大型の水晶振動子は、より高い電力許容度が得られます。下表に示している駆動能力の仕様は、CY22381 内の発振回路により駆動される電源の一般的な上限です。

所与の電圧スイングに対して、水晶振動子の消費電力は ESR に比例し、水晶周波数の二乗に比例します。(実際の ESR は水晶振動子のメーカーが指定した値よりも大幅に低いことがあり得ることに注意してください)。電力は、 C_L の二乗にもほぼ比例します。

周波数が低減された低 C_L と低 R_1 (ESR) の水晶を選択することで、下表に示している DL 仕様よりも電力を低減できます。

出力コンフィギュレーション

通常動作では、プログラム可能なクロスポイント スイッチからプログラム可能な 7 ビット出力分周器を介して、3 つの出力のいずれかへ分配される 4 つの内部周波数発生源があります。それらは、リファレンス、PLL1、PLL2、および PLL3 です。以下は、各出力の説明です。

クロスポイント スイッチから生成される CLKA 出力は、プログラム可能な 7 ビットポスト分周器を経由して出力されます。

7 ビット ポスト分周器は、FS により制御される 2 つのプログラム可能なレジスタのいずれかの値を実行します。

クロスポイント スイッチから生成される CLKB 出力は、プログラム可能な 7 ビットポスト分周器を経由して出力されます。

7 ビット ポスト分周器は、FS により制御される 2 つのプログラム可能なレジスタのいずれかの値を実行します。

クロスポイント スイッチから生成される CLKC 出力は、プログラム可能な 7 ビットポスト分周器を経由して出力されます。

7 ビット ポスト分周器は、2 つのプログラム可能なレジスタのいずれかの値を実行します。

クロック出力は、合計の集中負荷容量が 15pF の一点負荷を駆動するために設計されました。適切な終端処理により複数の負荷を駆動することは可能ですが、一般的に推奨できません。

省電力機能

OE として構成された時、汎用入力は LOW にプルダウンされた時にすべての出力をトライステートにします。シャットダウンとしてコンフィギュレーションされると、このピンを LOW にすると、すべての出力がトライステートとなり、PLL、カウンタ、リファレンス振動子とその他のアクティブなコンポーネントがオフになります。その結果、 V_{DD} ピン上の電流は 5 μ A (Typ 値) 未満です。シャットダウン モードを終了した後は、PLL を再度ロックする必要があります。

SUSPEND としてコンフィギュレーションされると、汎用入力は LOW になると、カスタマイズ可能な出力および/または PLL のセットでシャットダウンするよう設定できます。すべての PLL と出力をほとんどのすべての組み合わせでオフに設定できます。ただし、唯一の制限として、PLL がオフになると、それから生成されたすべての出力もオフになります。PLL を停止するとすべての関連ロジックもオフになりますが、出力を停止するとその出力は単にトライステート状態になります。

ジッタの改善

ジッタ最適化制御機能は、複数の同様なクロックの同時切り替えで発生する、過度なジッタにより生じる問題を緩和するのに有効です。PLL が 2 つ以上の出力を駆動する場合、PLL の負の位相は、そのうちのいずれか一つの出力のために選択できます。これにより、出力エッジが整列されなくなり、優れたジッタ性能を達成できます。

CyClocks RT ソフトウェア

CyClocks RT は、サイプレスの第 2 世代アプリケーションです。これにより、ユーザは、このデバイスをコンフィギュレーションすることができます。この使いやすいインタフェースにより、入力周波数、PLL、出力周波数やさまざまな異なった機能オプションなどのこのファミリの多くの機能を完全に制御することができます。データシートに記載されている周波数範囲の限界が確認され、性能が自動的に調整されます。CyClocks RT の無料版はサイプレスのウェブサイト <http://www.cypress.com> からダウンロードしてください。

最大定格

最大定格を超えるとデバイスの寿命が短くなる可能性があります。ユーザ ガイドラインはテストされていません。

電源電圧 $-0.5V \sim +7.0V$

DC 入力電圧 $-0.5V \sim + (V_{DD} + 0.5V)$

保存温度 $-65^{\circ}C \sim +125^{\circ}C$

接合部温度 $125^{\circ}C$

$T_j = 125^{\circ}C$ 時のデータ保持期間 > 10 年

最大プログラミング サイクル 100

パッケージの消費電力 350mW

静電放電時の電圧
(MIL-STD-883、メソッド 3015 による) $\geq 2000V$

ラッチアップ (JEDEC 17 による) $\geq \pm 200mA$

動作条件

パラメータ	説明	Min	Typ	Max	単位
V_{DD}	電源電圧	3.135	3.3	3.465	V
T_A	民生用動作温度 (周囲)	0	—	+70	$^{\circ}C$
	産業用動作温度 (周囲)	-40	—	+85	$^{\circ}C$
C_{LOAD_OUT}	最大負荷容量	—	—	15	pF
f_{REF}	外部リファレンス水晶	8	—	30	MHz
	外部リファレンス クロック ^[1] 、民生用	1	—	166	MHz
	外部リファレンス クロック ^[1] 、産業用	1	—	150	MHz
t_{PU}	すべての V_{DD} の指定の最小電圧に到達するまでの電源投入時間 (電源立ち上がり傾斜は単調でなければならない)	0.05	—	500	ms

電気的特性

パラメータ	説明	条件 ^[2]	Min	Typ	Max	単位
I_{OH}	出力 HIGH 電流 ^[3]	$V_{OH} = V_{DD} - 0.5$, $V_{DD} = 3.3V$	12	24	—	mA
I_{OL}	出力 LOW 電流 ^[3]	$V_{OL} = 0.5V$, $V_{DD} = 3.3V$	12	24	—	mA
C_{XTAL_MIN}	水晶の負荷容量 ^[3]	最小設定時の負荷容量	—	6	—	pF
C_{XTAL_MAX}	水晶の負荷容量 ^[3]	最大設定時の負荷容量	—	30	—	pF
C_{IN}	入力ピンの静電容量 ^[3]	水晶ピン以外	—	7	—	pF
V_{IH}	入力 HIGH 電圧	CMOS レベル、 V_{DD} の %	70%	—	—	V_{DD}
V_{IL}	入力 LOW 電圧	CMOS レベル、 V_{DD} の %	—	—	30%	V_{DD}
I_{IH}	入力 HIGH 電流	$V_{IN} = V_{DD} - 0.3V$	—	<1	10	μA
I_{IL}	入力 LOW 電流	$V_{IN} = +0.3V$	—	<1	10	μA
I_{OZ}	出力リーク電流	トライステート出力	—	—	10	μA
I_{DD}	総電源電流	3.3V 電源 ; 50MHz で 3 つの出力	—	35	—	mA
		3.3V 電源 ; 166MHz で 3 つの出力	—	70	—	mA
I_{DDS}	シャットダウン モードでの 総電源電流	シャットダウン モードがアクティブ	—	5	20	μA

注 :

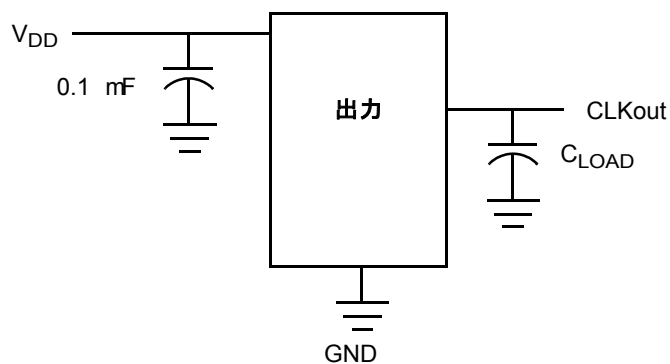
- $V_{DD}/2$ で測定される、外部入力リファレンス クロックのデューティ比は、必ず 40% ~ 60% の範囲内にしてください。
- 特記しない限り、電気的特性とスイッチング特性は、これらの動作条件では保証されます。
- 設計保証であり、すべてのデバイスではテストされていません。

水晶振動子の推奨仕様

パラメータ	説明	条件	Min	Typ	Max	単位
F_{NOM}	公称水晶周波数	並列共振、基本モード	8	—	30	MHz
C_{LNOM}	定格負荷容量		8	—	20	pF
R_1	等価直列抵抗 (ESR)	基本モード	—	—	50	Ω
DL	水晶駆動レベル	外部シリアル抵抗無しとする	—	0.5	2	mW

テスト回路

図 2. テスト回路



スイッチング特性

パラメータ	説明	条件	Min	Typ	Max	単位
1/t ₁	出力周波数 [4、5]	クロック出力制限、民生用	–	–	200	MHz
		クロック出力制限、産業用	–	–	166	MHz
t ₂	出力デューティ比 [4、6]	出力のデューティ比、 $t_2 \div t_1$ として定義され、 $F_{out} < 100\text{MHz}$ 、分周器 ≥ 2 、 $V_{DD}/2$ で測定	45%	50%	55%	
		出力のデューティ比、 $t_2 \div t_1$ として定義され、 $F_{out} < 100\text{MHz}$ 、または分周器 = 1、 $V_{DD}/2$ で測定	40%	50%	60%	
t ₃	立上りエッジ スルーレート [4]	出力クロックの立上り時間、 V_{DD} の 20% ~ 80%	0.75	1.4	–	V/ns
t ₄	立下りエッジ スルーレート [4]	出力クロックの立下り時間、 V_{DD} の 20% ~ 80%	0.75	1.4	–	V/ns
t ₅	出力トライステート タイミング [4]	SHUTDOWN/OE を切り替えた後に、出力がトライステート モードへ移行（から復帰）する時間	–	150	300	ns
t ₆	クロック ジッタ [4、7]	$V_{DD}/2$ で測定される、CLK 出力のピーク ツー ピーク周期ジッタ	–	200	–	ps
t ₇	ロック時間 [4]	電源投入時からの PLL ロック時間	–	1.0	3	ms

注：

4. 設計保証であり、すべてのデバイスでテストされてはいません。
5. 出力の閾値の 20% ~ 80% とデューティ比の仕様を満たすことが保証されています。
6. リファレンス出力のデューティ比は、XTALIN デューティ比に依存しています。
7. ジッタは、コンフィギュレーションに応じて大幅に変化します。リファレンス出力ジッタは、XTALIN ジッタとエッジ レートに依存しています。

スイッチング波形

図 3. すべての出力、デューティ比と立上り／立下り時間

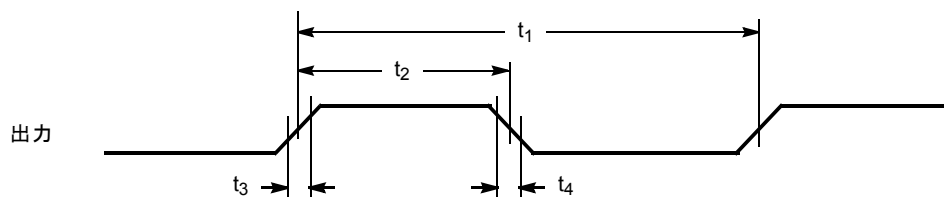


図 4. 出力トリステート タイミング

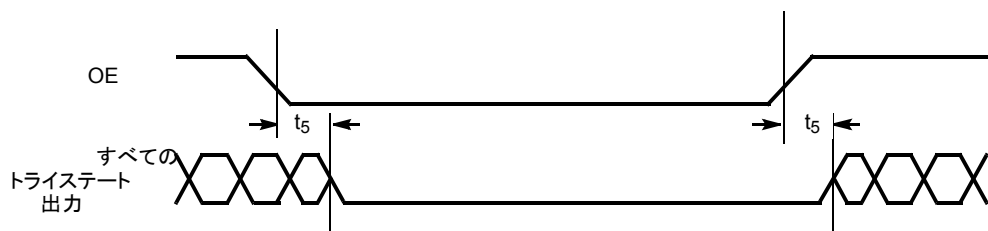


図 5. CLK 出力ジッタ

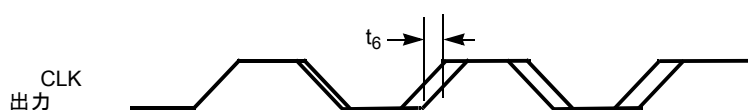
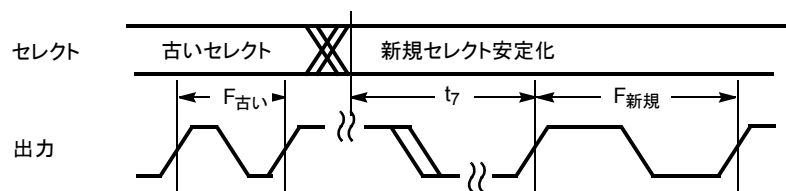


図 6. 周波数変動



注文情報

注文コード	パッケージ タイプ	動作範囲	動作電圧
鉛フリー			
CY223811FXI	NiPdAu リード フレームを使用した 8 ピン SOIC	産業用 ($T_A = -40^{\circ}\text{C} \sim 85^{\circ}\text{C}$)	3.3V
CY22381FXC ^[10]	8 ピン SOIC	民生用 ($T_A = 0^{\circ}\text{C} \sim 70^{\circ}\text{C}$)	3.3V
CY22381FXCT	8 ピン SOIC – テープ & リール	民生用 ($T_A = 0^{\circ}\text{C} \sim 70^{\circ}\text{C}$)	3.3V
CY22381FXI	8 ピン SOIC	産業用 ($T_A = -40^{\circ}\text{C} \sim 85^{\circ}\text{C}$)	3.3V
CY22381FXIT	8 ピン SOIC – テープ & リール	産業用 ($T_A = -40^{\circ}\text{C} \sim 85^{\circ}\text{C}$)	3.3V
プログラマ			
CY3672-USB	プログラマ		
CY3699	CY3672-USB の CY22381F アダプタ		

いくつかの提供される製品は型番がカスタマイズされ工場プログラマされたユーザ固有のデバイスです。可能なコンフィギュレーション表は、使用可能なデバイス タイプを示しますが、完全な型番を示していません。詳細情報は、最寄りのサイプレスの FAE または販売代理店にお問い合わせください。

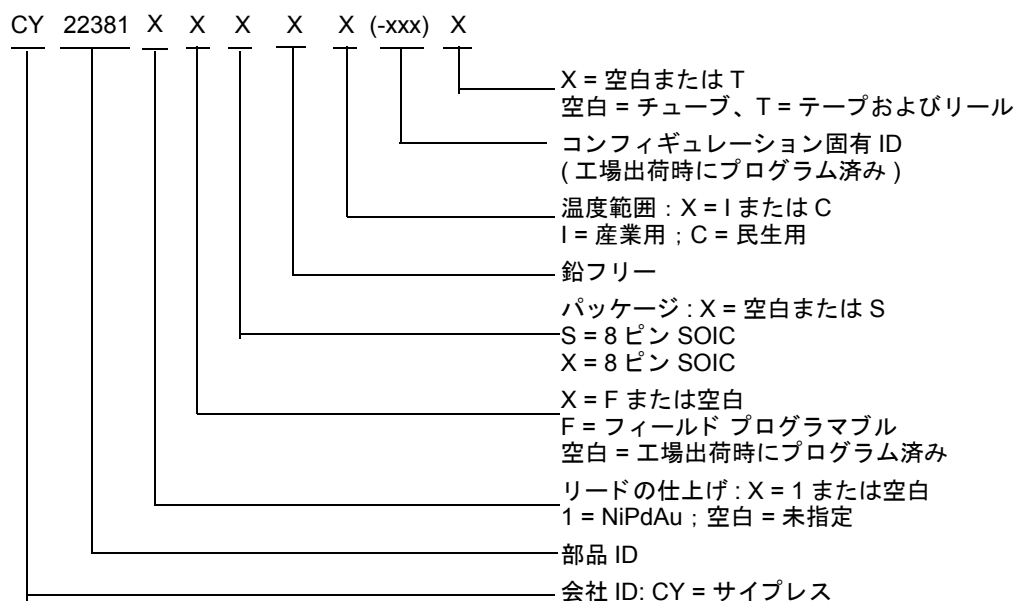
可能なコンフィギュレーション

注文コード	パッケージ タイプ	動作範囲	動作電圧
CY22381SI-xxxT ^[8, 9]	8 ピン SOIC – テープ & リール	産業用 ($T_A = -40^{\circ}\text{C} \sim 85^{\circ}\text{C}$)	3.3V
鉛フリー			
CY22381SXC-xxx ^[8]	8 ピン SOIC	民生用 ($T_A = 0^{\circ}\text{C} \sim 70^{\circ}\text{C}$)	3.3V
CY22381SXC-xxxT ^[8]	8 ピン SOIC – テープ & リール	民生用 ($T_A = 0^{\circ}\text{C} \sim 70^{\circ}\text{C}$)	3.3V
CY22381SXI-xxx ^[8]	8 ピン SOIC	産業用 ($T_A = -40^{\circ}\text{C} \sim 85^{\circ}\text{C}$)	3.3V
CY22381SXI-xxxT ^[8]	8 ピン SOIC – テープ & リール	産業用 ($T_A = -40^{\circ}\text{C} \sim 85^{\circ}\text{C}$)	3.3V

注:

8. CY22381SI-xxx, CY22381SXC-xxx, および CY22381SXI-xxx のコンフィギュレーションは工場出荷時のデフォルトコンフィギュレーションです。これらのコンフィギュレーションは年当たり 10 万個以上の量産に対応可能です。詳細情報は、最寄りのサイプレスの FAE または販売代理店にお問い合わせください。
9. 新規設計用へのご利用はお勧めできません。
10. CY22381FSZC と CY22381FXC は同様です。新規設計の場合は CY22381FXC を使用してください。

注文コードの定義

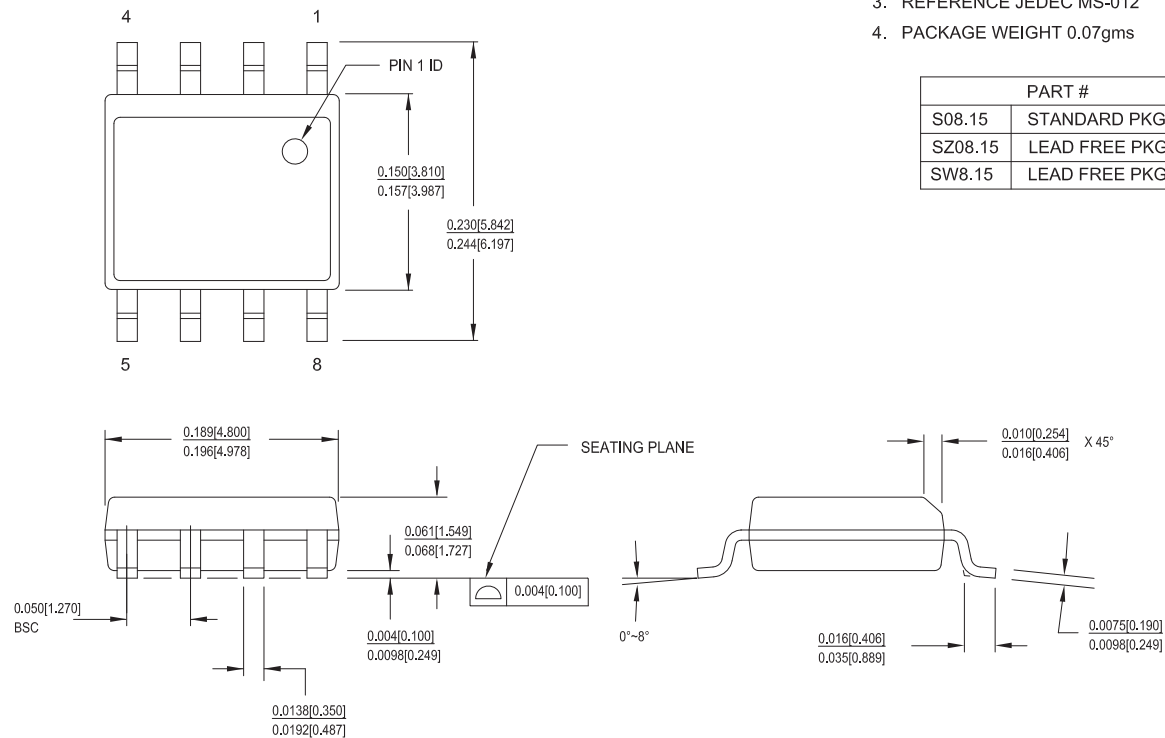


パッケージ・外形寸法図

図 7. 8 ピン SOIC (150Mil) パッケージ図、51-85066

1. DIMENSIONS IN INCHES[MM] MIN.
MAX.
2. PIN 1 ID IS OPTIONAL,
ROUND ON SINGLE LEADFRAME
RECTANGULAR ON MATRIX LEADFRAME
3. REFERENCE JEDEC MS-012
4. PACKAGE WEIGHT 0.07gms

PART #	
S08.15	STANDARD PKG
SZ08.15	LEAD FREE PKG
SW8.15	LEAD FREE PKG



51-85066 *I

略語

略語	説明
CMOS	Complementary Metal Oxide Semiconductor (相補型金属酸化膜半導体)
ESR	Equivalent Series Resistance (等価直列抵抗)
FET	Field Effect Transistor (電界効果トランジスタ)
MPEG	Motion Picture Experts Group (動画画像専門家集団)
OE	Output Enable (出力イネーブル)
PLL	Phase-Locked Loop (位相同期回路)
SOIC	Small Outline Integrated Circuit (小型外形集積回路)

本書の表記法

測定単位

記号	測定単位
°C	摂氏温度
MHz	メガヘルツ
μA	マイクロアンペア
μF	マイクロファラッド
mA	ミリアンペア
ms	ミリ秒
mW	ミリワット
ns	ナノ秒
pF	ピコファラッド
ps	ピコ秒
V	ボルト

改訂履歴

文書名 : CY22381 / CY223811、3 PLL 汎用フラッシュプログラマブルクロック ジェネレータ 文書番号 : 001-95874				
版	ECN	変更者	発行日	変更内容
**	4700348	HZEN	04/16/2015	これは英語版 38-07012 Rev. *J を翻訳した日本語版 001-95874 Rev. ** です。
*A	6140022	XHT	04/16/2018	これは英語版 38-07012 Rev. *L を翻訳した日本語版 001-95874 Rev. *A です。

セールス、ソリューションおよび法律情報

ワールドワイドな販売と設計サポート

サイプレスは、事業所、ソリューション センター、メーカー代理店および販売代理店の世界的なネットワークを保持しています。お客様の最寄りのオフィスについては、[サイプレスのロケーション ページ](#)をご覧ください。

製品

Arm® Cortex® Microcontrollers	cypress.com/arm
車載用	cypress.com/automotive
クロック & バッファ	cypress.com/clocks
インターフェース	cypress.com/interface
IoT (モノのインターネット)	cypress.com/iot
メモリ	cypress.com/memory
マイクロコントローラ	cypress.com/mcu
PSoC	cypress.com/psoc
電源用 IC	cypress.com/pmic
タッチ センシング	cypress.com/touch
USB コントローラー	cypress.com/usb
ワイヤレス	cypress.com/wireless

PSoC® ソリューション

[PSoC 1](#) | [PSoC 3](#) | [PSoC 4](#) | [PSoC 5LP](#) | [PSoC 6 MCU](#)

サイプレス開発者コミュニティ

[コミュニティ](#) | [Projects](#) | [ビデオ](#) | [ブログ](#) | [トレーニング](#) | [Components](#)

テクニカル サポート

cypress.com/support

© Cypress Semiconductor Corporation, 2001-2018. 本書面は、Cypress Semiconductor Corporation 及び Spansion LLC を含むその子会社（以下、「Cypress」という。）に帰属する財産である。本書面（本書面に含まれ又は言及されているあらゆるソフトウェア又はファームウェア（以下、「本ソフトウェア」という。）を含む）は、アメリカ合衆国及び世界のその他の国における知的財産法令及び条約に基づき、Cypress が所有する。Cypress はこれらの法令及び条約に基づく全ての権利を留保し、また、本段落で特に記載されているものを除き、Cypress の特許権、著作権、商標権又はその他の知的財産権のライセンスを一切許諾していない。本ソフトウェアにライセンス契約書が伴っておらず、かつ、あなたが Cypress との間で別途本ソフトウェアの使用方法を定める書面による合意をしていない場合、Cypress は、あなたに対して、(1) 本ソフトウェアの著作権に基づき、(a) ソースコード形式で提供されている本ソフトウェアについて、Cypress ハードウェア製品と共に用いるためにのみ、組織内部でのみ、本ソフトウェアの修正及び複製を行うこと、並びに (b) Cypress のハードウェア製品ユニットに用いるためにのみ、（直接又は再販売者及び販売代理店を介して間接のいずれかで）エンドユーザーに対して、バイナリーコード形式で本ソフトウェアを外部に配布すること、並びに (2) 本ソフトウェア（Cypress により提供され、修正がなされていないもの）に抵触する Cypress の特許権のクレームに基づき、Cypress ハードウェア製品と共に用いるためにのみ、本ソフトウェアの作成、利用、配布及び輸入を行うことについての非独占的で譲渡不能な一身専属的ライセンス（サブライセンスの権利を除く）を付与する。本ソフトウェアのその他の使用、複製、修正、変換又はコンパイルを禁止する。

適用される法律により許される範囲内で、Cypress は、本書面又はいかなる本ソフトウェア若しくはこれに伴うハードウェアに関しても、明示又は黙示をとわず、いかなる保証（商品性及び特定の目的への適合性の黙示の保証を含むがこれらに限られない）も行わない。いかなるコンピューティングデバイスも絶対に安全ということはない。従って、Cypress のハードウェアまたはソフトウェア製品に講じられたセキュリティ対策にもかかわらず、Cypress は、Cypress 製品への権限のないアクセスまたは使用といったセキュリティ違反から生じる一切の責任を負わない。加えて、本書面に記載された製品には、エラーと呼ばれる設計上の欠陥またはエラーが含まれている可能性があり、公表された仕様とは異なる動作をする場合がある。適用される法律により許される範囲内で、Cypress は、別途通知することなく、本書面を変更する権利を留保する。Cypress は、本書面に記載のある、いかなる製品若しくは回路の適用又は使用から生じる一切の責任を負わない。本書面で提供されたあらゆる情報（あらゆるサンプルデザイン情報又はプログラムコードを含む）は、参照目的のためのみに提供されたものである。この情報で構成するあらゆるアプリケーション及びその結果としてのあらゆる製品の機能性及び安全性を適切に設計、プログラム、かつテストすることは、本書面のユーザーの責任において行われるものとする。Cypress 製品は、兵器、兵器システム、原子力施設、生命維持装置若しくは生命維持システム、蘇生用の設備及び外科的移植を含むその他の医療機器若しくは医療システム、汚染管理若しくは有害物質管理の運用のために設計され若しくは意図されたシステムの重要な構成部分としての使用、又は装置若しくはシステムの不具合が人身傷害、死亡若しくは物的損害を生じさせるようなその他の使用（以下「本目的外使用」という。）のために設計、意図又は承認されていない。重要な構成部分とは、その不具合が装置若しくはシステムの不具合を生じさせるか又はその安全性若しくは実効性に影響すると合理的に予想できるような装置若しくはシステムのあらゆる構成部分をいう。Cypress 製品のあらゆる本目的外使用から生じ、若しくは本目的外使用に関連するいかなる請求、損害又はその他の責任についても、Cypress はその全部又は一部をとわず一切の責任を負わず、かつ Cypress はそれら一切から本書により免除される。Cypress は Cypress 製品の本来目的外使用から生じ又は本目的外使用に関連するあらゆる請求、費用、損害及びその他の責任（人身傷害又は死亡に基づく請求を含む）から免責補償される。

Cypress、Cypress のロゴ、Spansion、Spansion のロゴ及びこれらの組み合わせ、WICED、PSoC、Capsense、EZ-USB、F-RAM、及び Traveo は、米国及びその他の国における Cypress の商標又は登録商標である。Cypress の商標のより完全なリストは、cypress.com を参照のこと。その他の名称及びブランドは、それぞれの権利者の財産として権利主張がなされている可能性がある。