

英飞凌 EXCELON™ 1-Mb (128K × 8) 车规-E 四路 SPI F-RAM

特性

- 1-Mb 铁电随机存取存储器 (F-RAM) 逻辑上组织为 128K × 8
 - 10 万亿 (10^{13}) 读/写周期的几乎无限的耐用性
 - 121 年的数据保留 (参见 102 页“数据保留和耐用性”)
 - 英飞凌即时非易失性写入技术
 - 先进的高可靠性铁电工艺
- 单 I/O 和多 I/O 串行外设接口 (SPI)
 - 串行总线接口 SPI 协议
 - 支持所有 SDR 模式传输的 SPI 模式 0 (0, 0) 和模式 3 (1, 1)
 - 支持所有 DDR 模式传输的 SPI 模式 0 (0, 0)
 - 扩展 I/O SPI 协议
 - 双 SPI (DPI) 协议
 - 四路 SPI (QPI) 协议
- SPI 时钟频率
 - 高达 108 MHz 频率的 SPI 单数据传输速率 (SDR)
 - 高达 54 MHz 频率的 SPI 双数据传输速率 (DDR)
- 立刻执行 (XiP) 进行存储器读/写
- 写保护、数据安全和数据完整性
- 使用写保护 (WP) 引脚进行硬件保护
- 软件功能块保护
- 嵌入式纠错码 (ECC) 和循环冗余校验 (CRC) 以增强数据完整性
 - ECC 可以检测并纠正 1 位错误。如果发生 2 位错误, 则不会纠正, 而是通过 ECC 状态寄存器报告
 - 循环冗余校验 (CRC) 检测原始数据的任何意外更改
- 扩展电子签名
 - 器件 ID 包括制造商 ID 和产品 ID
 - 唯一 ID
 - 用户可编程序列号
- 专用 256 字节特殊扇区 F-RAM
 - 专用特殊扇区写入和读取
 - 内容物可承受最多三次标准回流焊循环
- 高速运行时低功耗
 - 108 MHz SPI SDR 的有效电流为 11 mA (典型值)
 - 108 MHz QSPI SDR 和 54 MHz QSPI DDR 的有效电流为 19 mA (典型值)
 - 200 μ A (典型值) 待机电流
 - 1.3 μ A (典型值) 深度掉电模式电流
 - 0.1 μ A (典型值) 休眠模式电流
- 低电压运行:
 - CY15B201QSN: $V_{DD} = 1.8\text{ V}$ 至 3.6 V

本数据手册的原文使用英文撰写。为方便起见, 英飞凌提供了译文; 由于翻译过程中可能使用了自动化工具, 英飞凌不保证译文的准确性。为确认准确性, 请务必访问 infineon.com 参考最新的英文版本 (控制文档)。

功能描述

- 汽车级温度范围：-40°C 至 +125°C
- 符合 AEC - Q100 1 级标准
- 8 引脚小型封装集成电路（SOIC）封装
- 符合有害物质限制 (RoHS) 标准

功能描述

英飞凌 EXCELON™-Auto CY15B201QSN 是一款采用先进铁电工艺的高性能 1-Mb 非易失存储器。铁电随机存取存储器或 F-RAM 非易丢失并且执行类似于 RAM 的读取和写入。它可提供长达 121 年的可靠数据保存，同时消除了串行闪存和其他非易失性存储器所导致的复杂性、开销和系统级可靠性问题。

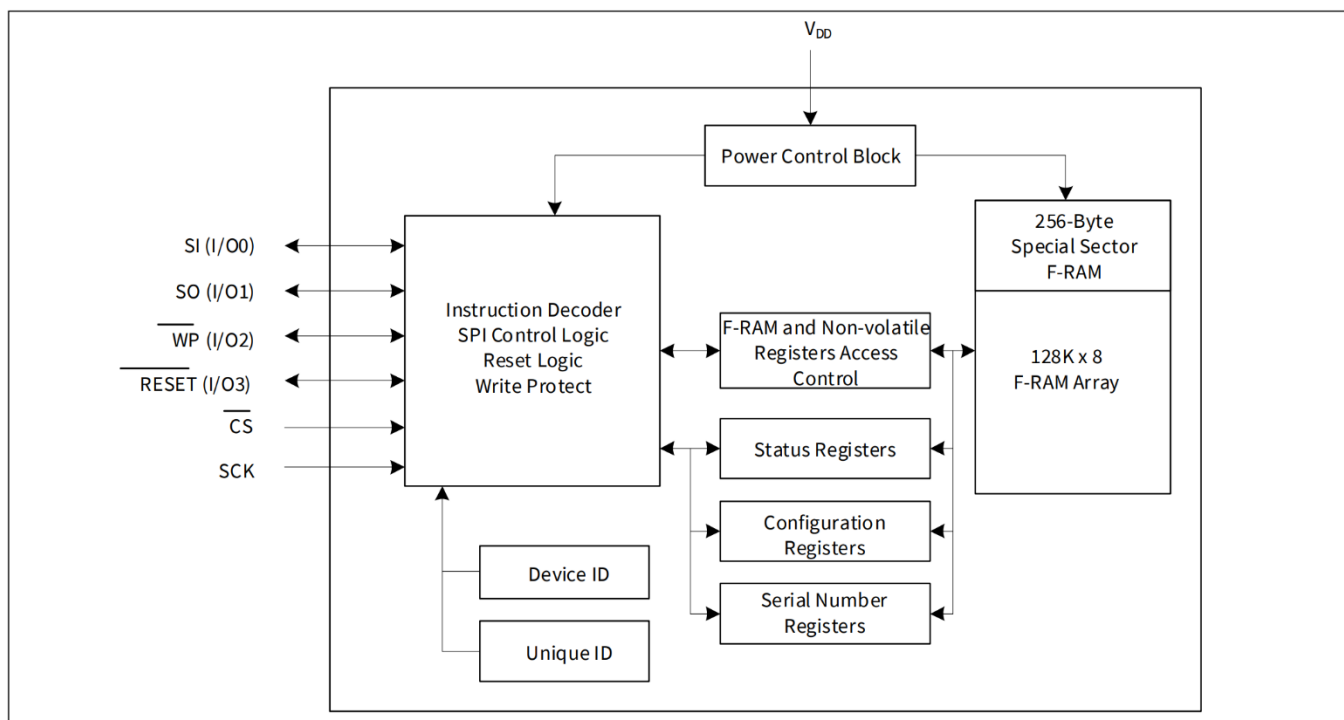
与串行闪存不同，CY15B201QSN 以总线速度执行写入操作。不会产生写入延迟。每个字节成功传输到存储器阵列后，数据会立即写入存储器阵列。下一个写入周期无需数据轮询即可开始。此外，与其他非易失性存储器相比，该产品具有更高的写入耐久性。CY15B201QSN 能够支持 10^{13} 次读/写周期，比 EEPROM 多 1000 万倍的写入周期。这些功能使 CY15B201QSN 成为需要频繁或快速写入的非易失性存储器应用的理想选择。

CY15B201QSN 将 1 Mb F-RAM 与高速四路 SPI (QPI) SDR 和 DDR 接口相结合，增强了 F-RAM 技术的非易失性写入能力。该器件包含一个只读器件 ID 和唯一 ID 功能，允许 SPI 总线主机确定每个器件的制造商、产品密度、产品修订版和唯一 ID。该器件还提供一个唯一的只读序列号，可用于识别电路板或系统。

该器件支持片上 ECC 逻辑，可以检测并纠正每个 8 字节单元数据中的 1 位错误。该器件还扩展了报告 8 字节单元数据中的 2 位错误的功能。CY15B201QSN 还支持循环冗余校验 (CRC) 功能，可用于检查存储器阵列中存储数据的数据完整性。

请点击[这里](#)，了解完整的相关资料。

框图



目录

目录

特性.....	1
功能描述.....	2
框图.....	2
目录.....	3
1 引脚布局.....	5
2 引脚定义.....	6
3 功能概述.....	7
3.1 存储器架构.....	7
3.2 串行外设接口 (SPI) 总线.....	7
3.2.1 单通道 SPI.....	8
3.2.2 扩展 SPI.....	8
3.2.3 双 SPI (DPI).....	8
3.2.4 四路 SPI (QPI).....	9
3.3 SPI协议中使用的术语.....	9
3.3.1 SPI 主机.....	9
3.3.2 SPI 从机.....	9
3.3.3 芯片选择 (CS).....	9
3.3.4 串行时钟 (SCK).....	9
3.3.5 数据传输 (SI/SO).....	10
3.3.6 最高有效位 (MSb).....	10
3.3.7 串行操作码.....	11
3.3.8 无效操作码.....	11
3.3.9 指令.....	11
3.3.10 模式字节.....	11
3.3.11 等待状态或虚拟周期.....	11
3.4 SPI 模式.....	12
3.4.1 SDR.....	12
3.4.2 DDR.....	12
3.5 上电至首次访问.....	13
4 CY15B201QSN 寄存器.....	14
4.1 状态寄存器.....	14
4.1.1 状态寄存器 1 (SR1).....	14
4.1.2 状态寄存器 2 (SR2).....	18
4.2 配置寄存器 1.....	19
4.2.1 配置寄存器 1 (CR1).....	19
4.2.2 配置寄存器 2 (CR2).....	23
4.2.3 配置寄存器 4 (CR4).....	26
4.2.4 配置寄存器 5 (CR5).....	29
5 功能描述.....	31
5.1 指令结构.....	31
5.1.1 写使能控制指令.....	33
5.1.2 寄存器访问指令.....	36
5.1.3 存储器操作.....	48
5.1.4 存储器写操作.....	48
5.1.5 存储器读操作.....	60
5.1.6 特殊扇区存储器.....	72
5.1.7 纠错码 (ECC) 和循环冗余校验.....	75
5.1.8 标识码和序列号.....	85
5.1.9 低功耗模式和复位.....	91
6 最大额定值.....	98
7 运行范围.....	99



目录

8 DC 电气特性 100

9 数据保留和耐用性 102

10 电容 103

11 热阻抗 104

12 AC 测试条件 105

13 SDR AC 开关特性 106

14 DDR AC 开关特性 109

15 写保护 (WP) 时序 111

16 复位 (RESET) 时序 112

17 上电时序 113

18 订购信息 115

18.1 订购代码定义 115

19 封装图 116

20 缩略语 117

21 文档惯例 118

21.1 计量单位 118

修订记录 119

引脚布局

1 引脚布局

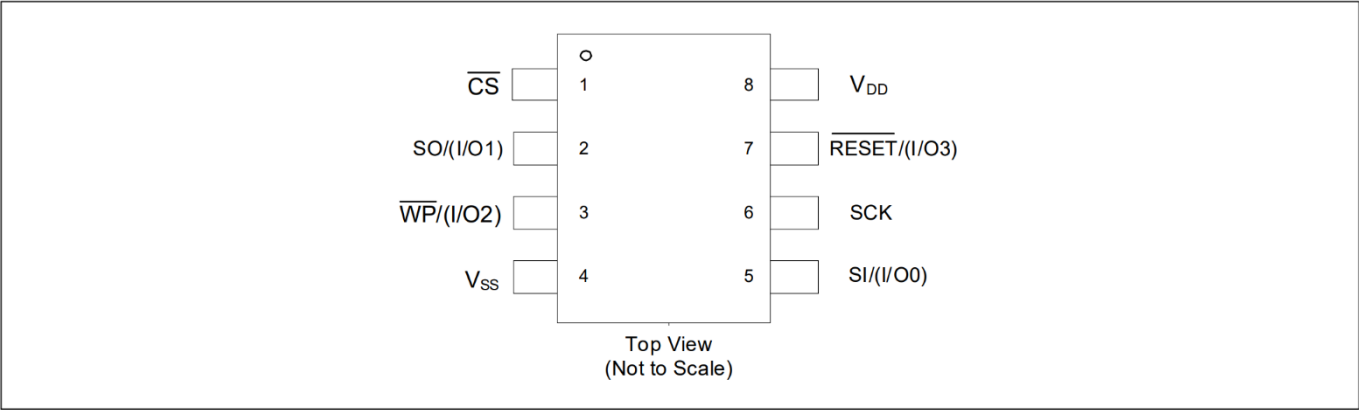


图 1 8 引脚 SOIC 引脚排列

引脚定义

2 引脚定义

表 1 引脚定义

Pin name	I/O type	Description
CS	Input	Chip Select. This active LOW input activates the device. When HIGH, the device enters low-power standby mode, ignores other inputs, and the output is tristated. When LOW, the device internally activates the SCK signal. A falling edge on $\overline{\text{CS}}$ must occur before a new opcode is issued.
SCK	Input	Serial Clock. All I/O activity is synchronized to the serial clock. Inputs are latched on the rising edge and outputs occur on the falling edge. Because the device is synchronous, the clock frequency can vary between 0 MHz and 108 MHz and may be interrupted at any time.
SI / (I/O0)	Input	Serial Input. All data is input to the device on this pin. The pin is sampled on the rising edge of SCK and is ignored at other times.
	Input/output	I/O0: When the part is either in dual mode or quad mode, the SI pin becomes input/output (I/O0) pin and acts as input during command and address cycles and output during the data output cycle.
SO / (I/O1)	Output	Serial Output. This is the data output pin. It is driven during a read and remains tristated at all other times including when RESET is LOW. Data transitions are driven on the falling edge of the serial clock.
	Input/output	I/O1: When the part is either in dual mode or quad mode, the SO pin becomes input/output (I/O1) pin and acts as input during command and address cycles and output during the data output cycle.
$\overline{\text{WP}}$ / (I/O2)	Input	Write Protect. This active LOW pin prevents write operation to the Status and Configuration registers when SRWD bit (SR1[7]) is set to '1'. A complete explanation of write protection is provided in " Status Register 1 (SR1) " on page 14. This pin must be tied to V_{DD} if not used.
	Input/output	I/O2: When the part is in quad mode, the $\overline{\text{WP}}$ pin becomes input/output (I/O2) pin and acts as input during command and address cycles and output during the data output cycle.
$\overline{\text{RESET}}$ / (I/O3)	Input	Hardware Reset Pin. This active LOW pin resets the device. When $\overline{\text{RESET}}$ is LOW, the device will self-initialize and will return to either standby state or active state depending on $\overline{\text{CS}}$ HIGH or LOW status after the $\overline{\text{RESET}}$ input is released to HIGH. This pin must be tied to V_{DD} if not used. $\overline{\text{RESET}}$ / (I/O3) behavior is described in Table 21 .
	Input/output	I/O3: When the part is in quad mode, the $\overline{\text{RESET}}$ pin becomes input/output (I/O3) pin and acts as input during command and address cycles and output during the data output cycle.
V_{SS}	Power supply	Ground for the device. Must be connected to the system ground.
V_{DD}	Power supply	Power supply input to the device.

3 功能概述

CY15B201QSN 是串行 F-RAM 存储器。该存储器阵列在逻辑上组织为 131,072 × 8 位，并使用行业标准串行外设接口 (SPI) 总线进行访问。F-RAM 的功能操作类似于单 SPI EEPROM 或单/双/四 SPI 闪存。CY15B201QSN 和具有相同引脚分配的串行闪存之间的主要区别在于 F-RAM 的卓越写入性能、高耐用性和较低功耗。

3.1 存储器架构

访问 CY15B201QSN 时，用户需要寻址 128K 个位置，每个位置有八个数据位。这八个数据位在单 I/O、双 I/O 或四 I/O 上串行移入或移出。地址使用 SPI 协议访问，该协议包括芯片选择（允许总线上有多个设备）、操作码和三字节（24 位）地址。然而，由于 CY15B201QSN 仅需要 17 位来寻址其整个 128K 字节位置，因此最高有效地址字节的高 7 位是“无关”值。17 位地址唯一标识 128K 阵列中的每个数据字节位置。

存储器操作的访问时间基本上为零，超出了串行协议所需的时间。即以 SPI 总线的速度对存储器进行读写。与串行或 EEPROM 不同，在启动新指令之前，无需轮询器件以获得就绪条件。详细解释见 31 页“[功能描述](#)”。

3.2 串行外设接口 (SPI) 总线

SPI 是一种同步串行接口，使用时钟和数据引脚进行存储器访问，并支持数据总线上的多个设备。SPI 总线上的器件使用 $\overline{CS}$ 引脚激活。片选、时钟和数据之间的关系由 SPI 模式决定。该器件支持 SPI 模式 0 和 3。在这两种模式下，数据都会在 $\overline{CS}$ 激活后的第一个上升沿开始，在 SCK 的上升沿被写入 F-RAM。SPI 协议有操作码控制。操作完成后，在发出新的操作码之前， $\overline{CS}$ 必须变为非活动状态。

CY15B201QSN 是一款 SPI 从机，在单数据传输速率 (SDR) 模式下运行速度高达 108 MHz，在 DDR 模式下运行速度高达 54 MHz。这种高速串行总线为 SPI 主机提供高性能串行通信。CY15B201QSN 支持四种不同的 SPI 接口/协议选项：单通道 SPI、扩展 SPI、双 SPI、四 SPI。

参见 [表 2](#) 有关上述各种 SPI 模式下操作码、地址和数据相期间的 I/O 信号详细信息。

表 2 SPI 模式和信号详情

Interface	Single channel SPI	Extended SPI ^[1]				Multi-channel SPI	
		Dual data	Quad data	Dual I/O	Quad I/O	DPI	QPI
Signals	$\overline{CS}$, SCK, SI, SO	$\overline{CS}$, SCK, I/O0, I/O1	$\overline{CS}$, SCK, I/O0, I/O1, I/O2, I/O3	$\overline{CS}$, SCK, I/O0, I/O1	$\overline{CS}$, SCK, I/O0, I/O1, I/O2, I/O3	$\overline{CS}$, SCK, I/O0, I/O1	$\overline{CS}$, SCK, I/O0, I/O1, I/O2, I/O3
Opcode	SI	I/O0	I/O0	I/O0	I/O0	I/O0, I/O1	I/O0, I/O1, I/O2, I/O3
Address	SI	I/O0	I/O0	I/O0, I/O1	I/O0, I/O1, I/O2, I/O3	I/O0, I/O1	I/O0, I/O1, I/O2, I/O3
Data	SI/SO	I/O0, I/O1	I/O0, I/O1, I/O2, I/O3	I/O0, I/O1	I/O0, I/O1, I/O2, I/O3	I/O0, I/O1	I/O0, I/O1, I/O2, I/O3

注释

1. 扩展 SPI 模式没有用户设置选项。器件总是先以 SPI 模式启动，然后根据接收到的操作码切换到相应的扩展 SPI 模式。

3.2.1 单通道 SPI

单通道 SPI 是一个 4 引脚接口，包含片选 ($\overline{CS}$)、串行输入 (SI)、串行输出 (SO) 和串行时钟 (SCK) 引脚。 $\overline{CS}$ 激活后，从总线主机传输的第一个字节是操作码。操作码之后，所有地址和数据都会被传输。操作完成后，在发出新的操作码之前， $\overline{CS}$ 必须变为高电平（无效）。此模式分别使用 SI 和 SO 引脚进行输入和输出。操作码和地址由主机通过 SI 线传输，而数据由主机通过 SO 线读取。

3.2.2 扩展 SPI

CY15B201QSN 能够将标准 SPI 引脚重新配置为在双通道或四通道 I/O 模式（称为扩展 SPI 模式）下工作。扩展 SPI 提供：双数据模式、双通道输入/输出 (I/O)、四通道数据模式和四通道输入/输出 (I/O) 模式。在扩展 SPI 指令或器件复位（POR 或硬件/软件复位）后， $\overline{CS}$ 变为高电平会使器件恢复到单通道 SPI 模式。扩展 SPI 模式具有以下 I/O 配置：

- 当器件处于双输出或双 I/O 模式时，SI 引脚和 SO 引脚分别变为 I/O0 引脚和 I/O1 引脚。
- 当器件处于四路输出或四路 I/O 模式时，SI 引脚、SO 引脚、 $\overline{WP}$ 引脚和 $\overline{RESET}$ 引脚分别变为 I/O0 引脚、I/O1 引脚、I/O2 引脚、I/O3 引脚。
- 双路或四路数据指令和地址仅通过 SI 信号发送到存储器。数据可以按双比特一组的方式通过 I/O0 和 I/O1 从存储器回送到主机，也可以按四比特（半字节）一组的方式通过 I/O0、I/O1、I/O2 和 I/O3 回送。
- 双路或四路 I/O 指令仅通过 SI 信号发送到存储器，而地址作为 I/O0 和 I/O1 上的位对或分别在 I/O0、I/O1、I/O2 和 I/O3 上的四位（半字节）组从主机发送。数据也可以按照同样的方式按双比特一组的方式通过 I/O0 和 I/O1，或按四比特（半字节）一组的方式通过 I/O0、I/O1、I/O2 和 I/O3 回送给主机。

3.2.3 双 SPI (DPI)

通过 23 页 **配置寄存器 2 (CR2)** 的位 4 处写入“1”来启用 CY15B201QSN DPI 模式，CR2[4] = '1'。由于 23 页 **“配置寄存器 2 (CR2)”** 具有易失性和非易失空间，非易失寄存器中的用户设置将在上电和硬件重置周期中幸存。因此，一旦双 SPI (DPI) 模式在非易失 CR2 中置位，它总是返回到 DPI 模式，直到主机通过非易失 CR2[4] 中写入 '0' 来清除 DPI 位。主机可以通过向易失性寄存器 CR2[4] 写入“1”来将器件接口更改为 DPI 模式；但此易失性设置将无法在上电和硬件复位周期中保留下来，并且易失性 CR2[4] 设置将被上电时或硬件复位周期后关联的非易失位置存储的默认设置覆盖。

当器件处于双 SPI 模式时，SI 引脚和 SO 引脚分别变为 I/O0 引脚和 I/O1 引脚。指令、地址和数据位作为 I/O0 和 I/O1 上的位对从主机发送到存储器。数据位以与 I/O0 和 I/O1 上的位对类似的方式返回到主机。

3.2.4 四路 SPI (QPI)

通过在 23 页“配置寄存器2 (CR2)”的位 6 处写入“1”来启用 CY15B201QSN 多通道 QPI 模式，CR2[6] = '1'。由于 23 页“配置寄存器2 (CR2)”具有易失性和非易失空间，非易失寄存器中的用户设置将在上电和硬件重置周期中保留。因此，一旦四路 SPI (QPI) 模式在非易失 CR2 中设置，它始终返回到 QPI 模式，直到主机通过在非易失 CR2[6] 中写入 '0' 来清除 QPI 位。主机可以通过向易失性寄存器 CR2[6] 写入“1”来将器件接口更改为 QPI 模式；但此易失性设置将无法在上电和硬件复位周期中保留下来，并且易失性 CR2[6] 设置将被上电时或硬件复位周期后关联的非易失位置存储的默认设置覆盖。

当器件处于 Quad SPI 模式时，SI 引脚、SO 引脚、 $\overline{WP}$ 引脚和 $\overline{RESET}$ 引脚分别变为 I/O0 引脚、I/O1 引脚、I/O2 引脚、I/O3 引脚。指令、地址和数据位作为 I/O0、I/O1、I/O2 和 I/O3 上的四位 (半字节) 组从主机发送到存储器。数据位以与 I/O0、I/O1、I/O2 和 I/O3 上的四位 (半字节) 组类似的方式返回到主机。

QPI 模式还通过特殊操作码支持 DDR，其中字节传送发生在地址、模式和数据字节的时钟的两个边沿。操作码传输过程中没有 DDR 模式；也就是说，操作码始终以 SDR 模式传输。在 SDR 模式下，器件在发送特定指令后进入 DDR 模式，由该指令确定 DDR 中的地址、模式和数据周期。没有启用 DDR 模式的设置。Quad SPI DDR 模式仅支持使用特殊操作码的存储器写入和读取操作。

3.3 SPI 协议中使用的术语

SPI 协议中常用的术语如下：

3.3.1 SPI 主机

SPI 主机控制 SPI 总线上的操作。SPI 链路可能只有一个主机和一个或多个从机。所有从机共享相同的 SPI 总线，主机可以使用 $\overline{CS}$ 引脚选择任何从机设备。所有操作必须由主机启动，通过拉低从机的 $\overline{CS}$ 引脚来激活从机。主机还生成 SCK，并且 SI 和 SO 线上的所有数据都与该时钟同步。

3.3.2 SPI 从机

SPI 从机由主机通过片选线激活。从机从 SPI 主机获取 SCK 作为输入，并且所有通信都与该时钟同步。SPI 从机不会在 SPI 总线上发起通信，仅根据主机发出的指令进行操作。

CY15B201QSN 作为 SPI 从机运行，可以与其他 SPI 从机共享 SPI 总线。

3.3.3 芯片选择 ($\overline{CS}$)

要选择任何从机，主机需要下拉相应的 $\overline{CS}$ 引脚。仅当 $\overline{CS}$ 引脚为低电平时，才能向从机发出任何指令。当未选择设备时，通过 SI 引脚的数据将被忽略，串行输出引脚 (SO) 保持高阻状态。

注释：新指令必须以 $\overline{CS}$ 的下降沿开始。因此，对于每个有效的 $\overline{CS}$ 高电平到低电平跳变只能发出一个操作码。

3.3.4 串行时钟 (SCK)

串行时钟由 SPI 主机生成， $\overline{CS}$ 变为低电平后，通信与该时钟同步。

CY15B201QSN 支持 SPI 模式 0 和 3 进行数据通信。在这两种模式下，从机在 SCK 的上升沿锁存输入，并在下降沿发出输出。因此，SCK 的第一个上升沿表示 SPI 指令的第一个最高有效位 (MSb) 到达 SI 引脚。此外，所有数据输入和输出都与 SCK 同步。

3.3.5 数据传输 (SI/SO)

SPI数据总线由两条线组成：SI和SO，用于串行数据通信。SI也称为主出从入(MOSI)，SO被称为主入从出(MISO)。主机通过SI引脚向从机发出指令，从机通过SO引脚做出响应。多个从机可以共享SI和SO线，如前所述。

CY15B201QSN 有两个独立的 SI 和 SO 引脚，可如图 2 连接到主机。在双路或四路 I/O 模式下，这些引脚配置为 I/O 引脚。图 3 显示了这样一个带有 QSPI 端口的系统接口。

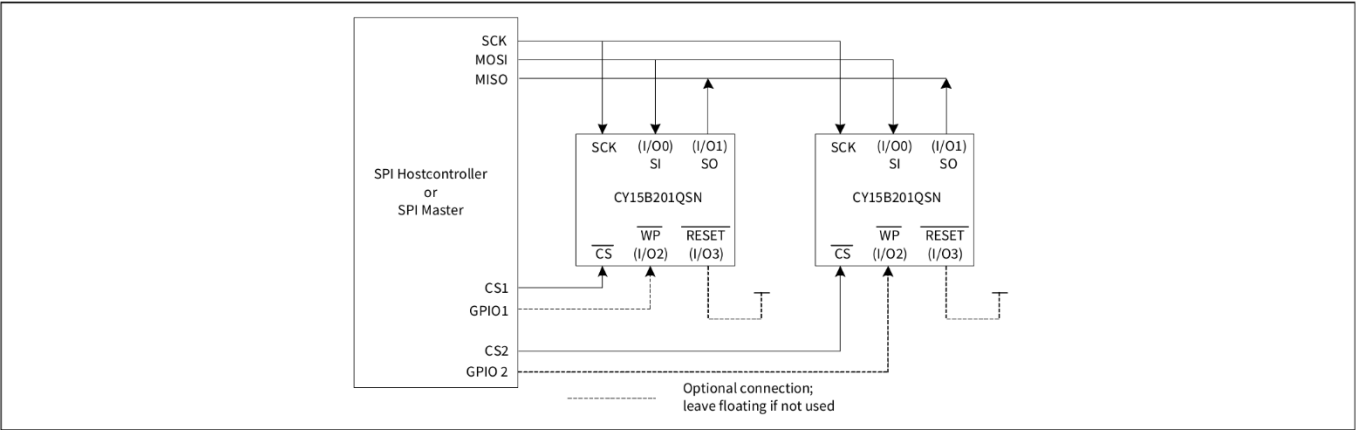


图 2 使用SPI端口的系统配置

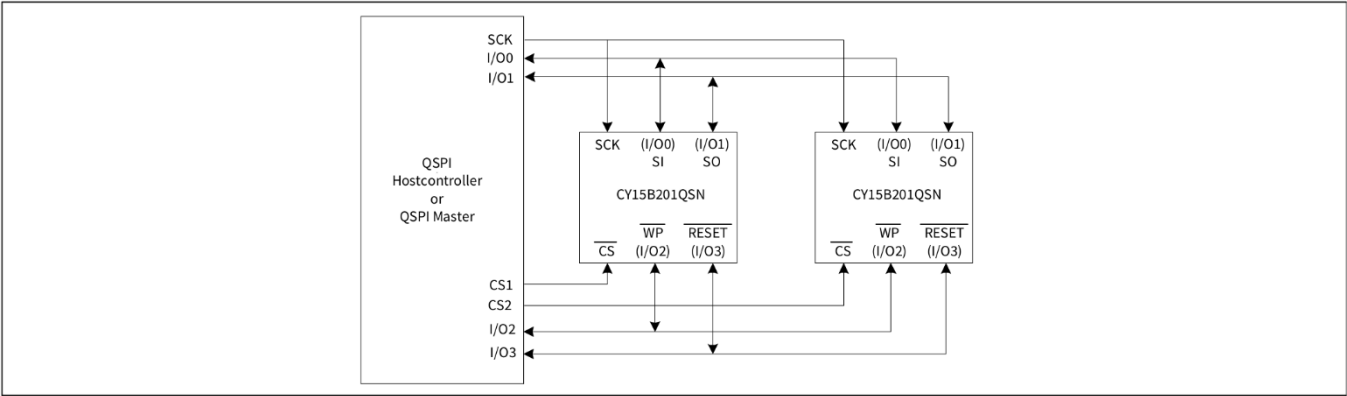


图 3 使用QSPI端口的系统配置

3.3.6 最高有效位 (MSb)

SPI 协议要求传输的第一位是最高有效位 (MSb)。这对于地址和数据都有效。

1 Mb 串行 F-RAM 需要 3 字节地址才能进行任何读取或写入操作。因为地址只需要 17 位，输入的五位被器件忽略。虽然这五个位“无需关注”，但英飞凌建议将这些位设置为 0，以便能够无缝过渡到更高的存储器密度。

3.3.7 串行操作码

在 $\overline{CS}$ 变为低电平的情况下选择从机后，接收到的第一个字节将被视为预期操作的操作码。CY15B201QSN 使用标准操作码（参见表 32）进行存储器访问。

3.3.8 无效操作码

如果接收到保留操作码，该操作码可能会在内部触发意外操作，并开始以非确定性数据输出驱动 I/O 引脚。因此，当 CY15B201QSN 片选 $\overline{CS}$ 为低电平时，应避免所有属于保留类别的操作码通过 SI 引脚进行传输。

3.3.9 指令

指令是用于访问存储器和寄存器的操作码、地址、模式和/或虚拟字节/周期的组合。

3.3.10 模式字节

模式字节适用于所有支持立即执行 (XiP) 的写入和读取指令。XiP 是一种直接从外部存储器执行程序（代码）的方法，而不是将代码复制或映射到 RAM 中。当 XiP 为写入或读取命令设置位置时，指令周期终止后（ $\overline{CS}$ 切换为高电平）器件将保持在 XiP 模式，以便 $\overline{CS}$ 为低电平的后续指令周期直接从地址相开始（跳过操作码）。在 XiP 中时，器件执行与前一个周期相同的操作。要在 XiP 中启动新操作，例如从存储器写入切换到存储器读取或反之亦然，器件应首先退出当前指令周期的 XiP，并使用 Opcode 相启动下一个指令周期。具有模式相的操作码仅支持 XiP。需要模式相的操作码列表见表 32。在操作码和 3 字节地址周期之后，在模式相期间传输的模式字节 0xA5（X 无关位）或 0xA5（取决于操作码）将器件保留在 XiP 中以用于下一个指令周期。XiP 必须在每个指令周期内置位，才能在下一个指令周期中保留在 XiP 中。在模式期间传输的除 0xA5 或 0xA5 之外的任何其他值（!0xA5 或 !0xA5）都将退出 XiP 以进行当前操作。在这种情况下，下一个指令周期必须始终以操作码相开始，以启动相同的操作或新的操作。根据 SPI 模式和接口类型，传输模式字节的时钟数将从一个时钟（Quad、DDR）到八个时钟（SPI、SDR）不等。

3.3.11 等待状态或虚拟周期

等待状态（也称为虚拟周期）附加在地址位和模式位（如果适用）之后。等待状态周期的数量可通过 19 页“配置寄存器 1 (CR1)”和 23 页“配置寄存器 2 (CR2)”进行配置，分别用于存储器和寄存器读取。只有在支持等待状态的存储器和寄存器读取指令之后经过特定数量的虚拟周期后，才会在输出通道上驱动有效数据。虚拟周期是一个完整的时钟周期，与 SPI 模式和数据速率（SDR 或 DDR）无关。在虚拟周期期间，I/O 的状态不受影响。

3.4 SPI 模式

CY15B201QSN 可由微处理器驱动，其SPI外设运行在以下两种模式之一：

- SPI模式0 (CPOL = 0, CPHA = 0)
- SPI模式3 (CPOL = 1, CPHA = 1)

当器件被选中时，通过将 $\overline{\text{CS}}$ 引脚拉低，器件会根据 SCK 引脚的状态检测SPI模式。如果器件被选中时 SCK 引脚为低电平，则假定为SPI模式 0；如果 SCK 引脚为高电平，则器件工作在SPI模式 3。两种SPI 模式如图 4 和图 5 所示。总线主机没有传输数据时，时钟SCK的状态为：

- 模式 0 时 SCK 保持为 0
- 模式 3 时 SCK 保持为 1

所有SDR模式指令均支持SPI模式 0 和SPI模式 3。而所有DDR模式指令仅支持SPI模式0。

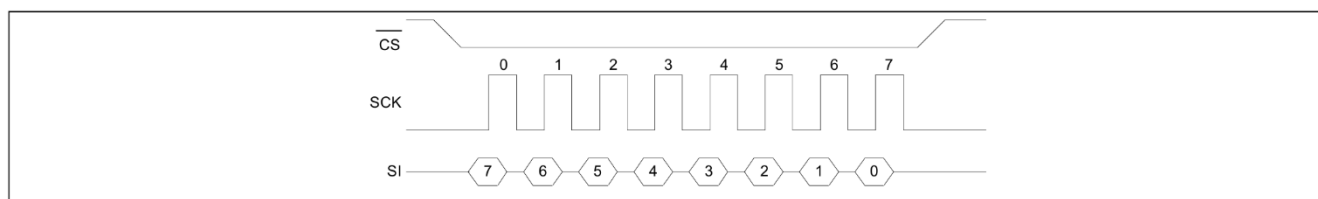


图 4 SPI模式 0

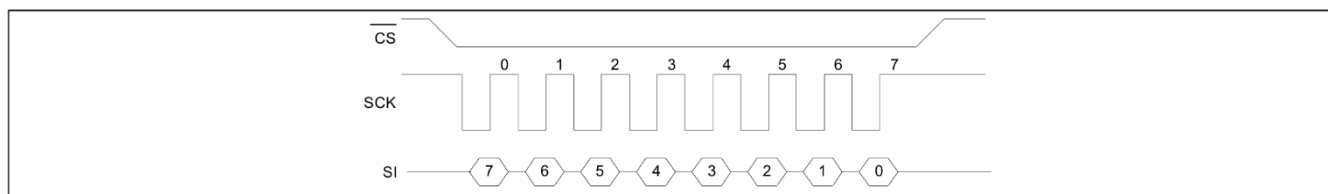


图 5 SPI模式 3

3.4.1 SDR

输入数据位（包括指令，地址和数据）始终在 SCK 的上升沿锁存，从 $\overline{\text{CS}}$ 有效后的第一个上升沿开始。如果时钟从高电平状态启动（模式 3），则考虑时钟切换后的第一个上升沿。输出数据在 SCK 的下降沿可用。

3.4.2 DDR

从 $\overline{\text{CS}}$ 变为有效后的第一个上升沿开始，指令位始终锁存于 SCK 的上升沿。如果时钟从高电平状态开始（在模式 3 中），则考虑时钟切换后的第一个上升沿。但是指令后的地址和输入数据则在 SCK 的双边沿上被锁存。第一个地址位被锁存于最后一个指令位结束后的下降沿之后的第一个 SCK 上升沿。第一个输出数据位则在最后访问延时（虚拟）周期结束后的SCK下降沿上被发送。

功能概述

3.5 上电至首次访问

当 CY15B201QSN 电源 (V_{DD}) 低于 $V_{DD}(\text{low})$ 时，上电周期开始。CY15B201QSN 等待 V_{DD} 电源升至最低 $V_{DD}(\text{min})$ 以上，之后器件启动其内部启动序列。CY15B201QSN 的启动顺序包括内部上电复位 (POR)，然后加载内部器件配置和微调寄存器以及设置用户可访问的寄存器。所有用户可访问的寄存器（状态和配置、模式、ID、ECC和CRC）在成功的启动周期后都置位为其默认值。表 3 显示成功上电（或POR）序列后 CY15B201QSN 每个寄存器的状态。

CY15B201QSN 会忽略所有指令，直到 V_{DD} 升至 $V_{DD}(\text{min})$ 以上的时刻之后并且经过 t_{PU} 的时间延迟。在 t_{PU} 结束之前，不应向器件发送任何指令。 t_{PU} 结束后，如果 CS 为高电平，则器件进入待机模式并消耗待机电流 (ISB)。如果在 26 页"配置寄存器4(CR4)"中设置深度休眠模式比特 (DPDPOR) = "1"，则器件在 t_{PU} 之后进入深度掉电模式，(CR4 [2] = '1')

状态寄存器 1 (SR1[0]) 的 WIP 位不能用于在POR事件后轮询器件准备情况，因为在 t_{PU} 时间结束之前器件仍然无法访问以执行包括 RDSR1 在内的任何指令。然而，如果在 t_{PU} 时间后 WIP 状态仍保持为 HIGH，或者器件仍然无法访问，则表明器件没有正确启动（启动错误）。一旦发生启动错误，器件进入以下默认状态：

- 接口模式设置为 Single SPI (SDR)
- CR2 (CR2[5]) 的 IO3R 位在内部置位"1"，以实现 IO3 上的硬件复位 (RESET)
- 寄存器延迟设置为三个时钟周期（最大值）
- 输出阻抗设置为 45 ohm
- 仅允许使用 RDSR1 和 RDAR 指令（仅在SPI SDR模式下）读取 SR1。所有其他指令将保持禁用状态，并且执行时将返回未定义的数据。
- 读取 SR1 返回 0x61 作为启动错误签名

CY15B201QSN 将需要重新上电或重置硬件才能重新启动。启动成功后，上述默认设置将被实际用户配置所取代。

表 3 POR 后 CY15B201QSN 寄存器状态

Function	Register type	CY15B201QSN registers status after POR
Device status	Status Register 1 (SR1)	Default to corresponding non-volatile bits
	Status Register 2 (SR2)	0x00
Device configuration ^[2]	Configuration Register 1 (CR1)	Default to corresponding non-volatile bits
	Configuration Register 2 (CR2)	Default to corresponding non-volatile bits
	Configuration Register 4 (CR4)	Default to corresponding non-volatile bits
	Configuration Register 5 (CR5)	Default to corresponding non-volatile bits
Identification	Identification Register	Default to corresponding non-volatile bits (factory set)
	Unique Identification Register	Default to corresponding non-volatile bits (factory set)
	Serial Number Register	Default to corresponding non-volatile bits (factory set to 0x0000000000000000)
Error correction	ECC Status Register	0x00
	ECC Count Register	0x0000
	ECC Address Trap Register	0x00000000
Cyclic redundancy check	CRC Register	0x00000000

注释

2. 配置寄存器 3 (CR3) 保留供将来使用。

4 CY15B201QSN 寄存器

CY15B201QSN 支持各种状态和配置寄存器，用于器件状态更新和配置设置。CY15B201QSN 寄存器及其访问细节将在后续章节中讨论。

4.1 状态寄存器

CY15B201QSN 支持两种状态寄存器 - 状态寄存器 1 (SR1) 和状态寄存器 2 (SR2)，以提供器件的写保护设置以及就绪/CRC状态。SR1 寄存器在 F-RAM 中具有易失性和相关联的非易失寄存器空间。非易失性寄存器在掉电期间保留器件配置，然后在上电期间或硬件复位（JEDEC 复位或RESET引脚）之后将其复制到相应的易失性寄存器。CY15B201QSN 状态机仅使用易失性寄存器设置来更改正常访问期间的器件配置。由于CY15B201QSN为易失性和非易失性配置寄存器提供了独立的空间，因此主机对易失性寄存器进行编程，使配置只对当前工作状态有效。非易失性改变了易失性和非易失寄存器的内容。因此，新配置对当前上电周期以及后续上电周期或硬件复位周期立即生效。SR2 是只读寄存器。

从状态寄存器读取可以使用专用状态寄存器读取操作码（RDSR1、RDSR2）或使用状态寄存器后的 RDAR。状态寄存器读取始终返回易失性寄存器内容。各个状态寄存器的详细信息将在后续章节中提供。

4.1.1 状态寄存器 1 (SR1)

状态寄存器1（SR1），如表 4 所示，包含状态和写保护控制位。SR1 可通过 WRSR 和 WRAR 指令进行写入操作，通过 RDSR1 或 RDAR 指令进行读取操作。SR1 访问详细信息见 36 页“寄存器访问指令”。

WRAR 非易失性写入地址 - 0x000000

WRAR 易失性写入地址 - 0x070000

RDAR 读取地址 - 0x000000 或 0x070000

表 4 中每个位置后显示的默认状态是工厂预编程值。

表 4 状态寄存器 1 (SR1)

SR1[7]	SR1[6]	SR1[5]	SR1[4]	SR1[3]	SR1[2]	SR1[1]	SR1[0]
SRWD (0)	RFU (0)	TBPROT (0)	BP2 (0)	BP1 (0)	BP0 (0)	WEL (0)	WIP (0)

表 5 状态寄存器 1 (SR1) - 非易失性

Bit	Bit name	Bit function	Type	Read/Write	Description
SR1[7]	SRWD	Status Register Write Disable	NV	R/W	1 = Locks state of Status and Configuration registers when WP is LOW 0 = No register protection irrespective of the status of WP pin
SR1[6]	RFU	Reserved (0)			Reserved for future use
SR1[5]	TBPROT	Top/Bottom Relative Protection	NV	R/W	1 = Protection starts at memory array bottom 0 = Protection starts at memory array top
SR1[4]	BP2	Block Protect bit	NV	R/W	Protects the selected address range of memory array
SR1[3]	BP1		NV		
SR1[2]	BP0		NV		
SR1[1]	WEL	Write Enable Latch	V	R	WEL indicates if the device is write enabled. This bit defaults to '0' (disabled) on power-up. WEL = '1' --> Write enabled WEL = '0' --> Write disabled
SR1[0]	WIP	Work in Progress	V	R	1 = Device busy 0 = Device ready

NV - 非易失性; V - 易失性

表 6 状态寄存器 1 (SR1) - 易失性

Bit	Bit name	Bit function	Type	Read/Write	Description
SR1[7]	SRWD	Status Register Write Disable	V	R/W	1 = Locks state of Status and Configuration registers when WP is LOW 0 = No register protection irrespective of the status of WP pin
SR1[6]	RFU	Reserved (0)			Reserved for future use
SR1[5]	TBPROT	Top/Bottom Relative Protection	V	R/W	1 = Protection starts at memory array bottom 0 = Protection starts at memory array top
SR1[4]	BP2	Block Protect bit	V	R/W	Protects the selected address range of memory array
SR1[3]	BP1		V		
SR1[2]	BP0		V		
SR1[1]	WEL	Write Enable Latch	V	R	WEL indicates if the device is write enabled. This bit defaults to '0' (disabled) on power-up. WEL = '1' --> Write enabled WEL = '0' --> Write disabled
SR1[0]	WIP	Work in Progress	V	R	1 = Device busy 0 = Device ready

V - 易失性

4.1.1.1 状态寄存器保护 (SRWD) SR1 [7]

当 SRWD 置位为“1”且写保护 ($\overline{WP}$) 引脚驱动为低电平时，此位启用状态和配置寄存器的写保护。在此模式下，任何更改状态寄存器或配置寄存器内容的指令都将被忽略，从而有效地锁定器件的状态。如果 SRWD 置位为“0”，则无论 $\overline{WP}$ 状态如何（低电平或高电平），状态和配置寄存器的写保护都将保持禁用状态。请参阅表 9 对于存储器和状态寄存器保护选项。

4.1.1.2 顶部或底部保护 (TBPROT) SR1 [5]

该位定义了功能块保护位 BP2、BP1 和 BP0 的操作。该位控制受功能块保护位保护的存储器阵列的起点（从顶部或底部）。

表 7 从顶部开始保护 (TBPROT = '0')

Status register content			Protected fraction of memory array	Protected address range
BP2	BP1	BP0		
0	0	0	None	None
0	0	1	Upper 1/64 th of memory array	0x01F800–0x01FFFF
0	1	0	Upper 1/32 nd of memory array	0x01F000–0x01FFFF
0	1	1	Upper 1/16 th of memory array	0x01E000–0x01FFFF
1	0	0	Upper 1/8 th of memory array	0x01C000–0x01FFFF
1	0	1	Upper 1/4 th of memory array	0x018000–0x01FFFF
1	1	0	Upper half of memory array	0x010000–0x01FFFF
1	1	1	Full memory	0x000000–0x01FFFF

表 8 从底部开始保护 (TBPROT = '1')

Status register content			Protected fraction of memory array	Protected address range
BP2	BP1	BP0		
0	0	0	None	None
0	0	1	Lower 1/64 th of memory array	0x000000–0x0007FF
0	1	0	Lower 1/32 nd of memory array	0x000000–0x000FFF
0	1	1	Lower 1/16 th of memory array	0x000000–0x001FFF
1	0	0	Lower 1/8 th of memory array	0x000000–0x003FFF
1	0	1	Lower 1/4 th of memory array	0x000000–0x007FFF
1	1	0	Lower half of memory array	0x000000–0x000FFFF
1	1	1	Full memory	0x000000–0x001FFFF

4.1.1.3 功能块保护 (BP2, BP1 和 BP0) SR1 [4:2]

这些位定义了对存储器写入指令进行写保护的存储器。当一个或多个 BP 位置位为“1”时，相应的存储器地址将受到写保护。功能块保护位 (BP2、BP1 和 BP0) 与 TBPROT 位组合可用于保护存储器的地址范围。范围的大小由 BP 位的值和 TBPROT 选择的范围的上限或下限起点决定。表 7 和表 8 显示 CY15B201QSN BP[2:0] 位设置的受保护地址范围。

4.1.1.4 写使能锁存器 (WEL) SR1 [1]

WEL 位必须设置为 1 才能对存储器进行写入操作，如表 9 所示。仅通过执行写使能 (WREN) 指令才能将此位设置为“1”。在写入操作码后，WEL 位 (SR1[1]) 在 $\overline{CS}$ 的上升沿上自动清零，操作码包括：WRDI (04h)、WRSR (01h)、SSWR (42h)、WRAR (71h) 和 WRSN (C2h)。WEL 位 (SR1[1]) 在存储器写操作码之后的 $\overline{CS}$ 上升沿上不会清除为“0”。WEL 位是易失性的，并且在 POR 和所有复位事件后返回到默认的“0”状态。

表 9 写保护

SRWD	WP	WEL	Protected blocks	Unprotected blocks	Status and Configuration registers ^[3]
X	X	0	Protected	Protected	Protected
0	X	1	Protected	Writable	Writable
1	0	1	Protected	Writable	Protected
1	1	1	Protected	Writable	Writable

注释

3. 除只读和保留位之外的所有位。

4.1.1.5 在运行中 (WIP) SR1 [0]

这是一个只读位，指示正常运行期间器件的就绪或忙碌状态。CY15B201QSN 在执行 CRC (循环冗余校验) 计算时将该位设置为“1”。没有其他指令和事件将 CY15B201QSN 中的 WIP 设置为“1”。当 WIP 为“1”时，CY15B201QSN 只能执行使用 RDSR1/RDSR2 读取状态寄存器或读取任何寄存器 (RDAR 后跟状态寄存器地址)、CRC 挂起 (EPCS) 和软件复位 (RSTEN 后跟 RST) 指令。当 WIP 为“1”时，其他指令将被忽略。WIP 位不能用于在上电或复位周期期间轮询器件就绪状态。该位是易失性的，在 POR 和所有复位事件后返回其默认状态。

4.1.2 状态寄存器 2 (SR2)

状态寄存器2 (SR2) ，如表 10 所示，提供CRC（循环读取校验）操作的设备状态。SR2 是一个只读易失性寄存器，可通过 RDSR2 或 RDAR 指令进行读取操作。SR1 访问详细信息见 36 页“寄存器访问指令”。

RDAR 读取地址 - 0x000001 或 0x070001

表 10 中每个位置后显示的默认状态是工厂预编程值。

表 10 状态寄存器 2 (SR2)

SR2[7]	SR2[6]	SR2[5]	SR2[4]	SR2[3]	SR2[2]	SR2[1]	SR2[0]
RFU (0)	RFU (0)	RFU (0)	CRCS (0)	CRCA (0)	RFU (0)	RFU (0)	RFU (0)

表 11 状态寄存器 2 (SR2) - 仅易失性

Bit	Bit name	Bit function	Type	Read/Write	Description
SR2[7]	RFU	Reserved (0)			Reserved for future use
SR2[6]	RFU	Reserved (0)			Reserved for future use
SR2[5]	RFU	Reserved (0)			Reserved for future use
SR2[4]	CRCS	CRC Suspend	V	R	1 = In CRC Suspend Mode 0 = Not in CRC Suspend Mode
SR2[3]	CRCA	CRC Abort	V	R	1 = CRC Command aborted 0 = CRC Command not aborted
SR2[2]	RFU	Reserved (0)			Reserved for future use
SR2[1]	RFU	Reserved (0)			Reserved for future use
SR2[0]	RFU	Reserved (0)			Reserved for future use

V - 易失性

4.1.2.1 CRC 挂起 (CRCS) SR2 [4]

CRC 挂起 (CRCS) 位用于判断器件是否为 CRC 挂起模式。当进行 CRC 计算时，执行 CRC 挂起指令 (EPCS) 会将该位置为 1，表示 CRC 挂起状态。CRC 恢复 (EPCR) 指令将 CRCS 位清除为“0”，表示器件已退出 CRC 挂起模式。这是一个只读位。复位 (POR、硬件和软件) 后该位也会被清除。

4.1.2.2 CRC 中止/退出 (CRCA) SR2 [3]

该位指示CRC计算 (CRCC) 操作是否被中止。当结束地址和起始地址条件 ($EA < SA + 3$) 不满足时，CRC 计算将中止，即结束地址应比起始地址高至少 32 位对齐字。当后续 CRC 计算成功开始时，该位将被清除。复位 (POR、硬件和软件) 后，该位也会被清零。

4.2 配置寄存器

CY15B201QSN 支持四个用户配置寄存器 - CR1、CR2、CR4 和 CR5，以对器件中的各种控制进行编程。每个配置寄存器在 F-RAM 中具有易失性和相关联的非易失寄存器空间。非易失寄存器在掉电期间保留器件配置，并在上电期间或硬件复位（JEDEC 复位或 RESET 引脚）之后将其复制到各自的易失寄存器。CY15B201QSN 状态机仅使用易失性寄存器设置来更改正常访问期间的器件配置。由于 CY15B201QSN 为易失性和非易失性配置寄存器提供了独立的空间，因此主机对易失性寄存器进行编程，只能使该配置对当前运行周期有效。非易失编程改变了易失性和非易失寄存器的内容。因此，新配置对于当前上电周期以及后续上电周期或硬件复位周期立即生效。

使用专用配置寄存器读取操作码（RDCR1、RDCR2、RDCR3、RDCR4）从配置寄存器读取，或者 RDAR 始终返回易失性寄存器内容。后续章节将提供各个配置寄存器的详细信息。

4.2.1 配置寄存器 1 (CR1)

配置寄存器 1 (CR1)，如表 12 所示，配置存储器和特殊区扇读取的延迟（虚拟）周期，并在扩展访问期间启用四路 I/O。CR1 可通过 WRAR 指令进行写入操作，通过 RDCR1 或 RDAR 指令进行读取操作。CR1 访问详细信息见 36 页“寄存器访问指令”。

WRAR 非易失性写入地址 - 0x000002

WRAR 易失性写入地址 - 0x070002

RDAR 读取地址 - 0x000002 或 0x070002

表 12 中每个位置后显示的默认状态是工厂预编程值。

表 12 配置寄存器 1 (CR1)

CR1[7]	CR1[6]	CR1[5]	CR1[4]	CR1[3]	CR1[2]	CR1[1]	CR1[0]
MLC3 (0)	MLC2 (0)	MLC1 (0)	MLC0 (0)	RFU (0)	RFU (0)	QUAD (0)	RFU (0)

表 13 配置寄存器 1 (CR1) - 非易失性

Bit	Bit name	Bit function	Type	Read/Write	Description
CR1[7]	MLC3	Memory Latency Code	NV	R/W	Configures number of latency (dummy) cycles for the memory as well as special sector read opcodes. Example- 0000 - 0 cycle 0110 - 6 cycles 1111 - 15 cycles
CR1[6]	MLC2		NV		
CR1[5]	MLC1		NV		
CR1[4]	MLC0		NV		
CR1[3]	RFU	Reserved (0)			Reserved for future use
CR1[2]	RFU	Reserved (0)			Reserved for future use
CR1[1]	QUAD	Quad	NV	R/W	1 = Quad 0 = Dual or Serial
CR1[0]	RFU	Reserved (0)			Reserved for future use

NV - 非易失性

表 14 配置寄存器 1 (CR1) - 易失性

Bit	Bit name	Bit function	Type	Read/Write	Description
CR1[7]	MLC3	Memory Latency Code	V	R/W	Configures number of latency (dummy) cycles for the memory as well as special sector read opcodes. Example- 0000 - 0 cycle 0110 - 6 cycles 1111 - 15 cycles
CR1[6]	MLC2		V		
CR1[5]	MLC1		V		
CR1[4]	MLC0		V		
CR1[3]	RFU	Reserved (0)			Reserved for future use
CR1[2]	RFU	Reserved (0)			Reserved for future use
CR1[1]	QUAD	Quad	V	R/W	1 = Quad 0 = Dual or Serial
CR1[0]	RFU	Reserved (0)			Reserved for future use

V - 易失性

4.2.1.1 存储器延迟代码 (MLC) CR1 [7:4]

这四位配置所有可变延迟存储器读指令的延迟（虚拟）周期。它使用户能够在正常运行期间调整读取延迟，以优化不同操作频率下不同指令的延迟。虚拟周期是 SCK 上的完整时钟周期，与 SPI 模式和数据速率（SDR 和 DDR）无关。

一些读取操作码支持地址周期后的虚拟周期。虚拟周期提供了额外的延迟，需要在数据返回主控系统之前完成主闪存存储器阵列的初始读取/访问。随着 SPI 时钟（SCK）频率的增加，虚拟周期的数量需要增加以满足延迟。

表 15至表 17显示了支持虚拟周期的每个操作码的最大SPI时钟频率与时钟延迟的关系。主控控制器可以通过为每个操作码设置单独的延迟周期来优化时序，或者可以设置最坏情况的延迟，以满足所有操作码在所需工作频率下的延迟要求。较高频率的存储器读取延迟设置也适用于所有较低频率。因此，当主机将SPI时钟 (SCK) 从较高频率降低到较低频率时，调整时钟延迟变为可选操作。

表 15中的格式（CMD、ADD、DATA）帧头表示不同SPI模式下多个 I/O 的字节传输。例如：(2, 2, 2) 表示在 DPI 模式下，所有指令 (CMD)、地址 (ADDR) 和数据 (DATA) 字节都在两个 I/O（I/O0 和 I/O1）上传输。类似地，(1, 2, 2) 表示在双 I/O 模式下，CMD 字节在一个 I/O（I/O0）上传输，而 ADDR 和 DATA 字节在两个 I/O（I/O0、I/O1）上传输。(1, 1, 4) 表示在四数据模式下，CMD 和 ADDR 字节在一个 I/O（I/O0）上传输，而 DATA 字节在四个 I/O（I/O0、I/O1、I/O2、I/O3）上传输。

模式表示在各种 SPI 接口模式下，在地址位之后传输模式字节所需的时钟周期数。由于模式位是在地址周期之后传输的，因此传输模式位所需的时钟周期会在内部添加到延迟计算中。

表 15 存储器读取指令的延迟（虚拟）周期 - 使用 XiP 模式 (SDR)

Latency (Dummy) cycles - decimal	SPI (SDR)	DPI (SDR)	QPI (SDR)	Dual data (SDR)	Dual I/O (SDR)	Quad data (SDR)	Quad I/O (SDR)
	FAST_READ	FAST_READ	FAST_READ, QIOR	DOR	DIOR	QOR	QIOR
	(1, 1, 1)	(2, 2, 2)	(4, 4, 4)	(1, 1, 2)	(1, 2, 2)	(1, 1, 4)	(1, 4, 4)
	Mode = 8	Mode = 4	Mode = 2	Mode = 8	Mode = 4	Mode = 8	Mode = 2
0	108 MHz	55 MHz ^[4]	10 MHz ^[4]	108 MHz	55 MHz ^[4]	108 MHz	10 MHz ^[4]
1	108 MHz	70 MHz ^[4]	25 MHz ^[4]	108 MHz	70 MHz ^[4]	108 MHz	25 MHz ^[4]
2	108 MHz	80 MHz ^[4]	40 MHz ^[4]	108 MHz	80 MHz ^[4]	108 MHz	40 MHz ^[4]
3	108 MHz	95 MHz ^[4]	55 MHz ^[4]	108 MHz	95 MHz ^[4]	108 MHz	55 MHz ^[4]
4	108 MHz	108 MHz	70 MHz ^[4]	108 MHz	108 MHz	108 MHz	70 MHz ^[4]
5	108 MHz	108 MHz	80 MHz ^[4]	108 MHz	108 MHz	108 MHz	80 MHz ^[4]
6	108 MHz	108 MHz	95 MHz ^[4]	108 MHz	108 MHz	108 MHz	95 MHz ^[4]
7-15	108 MHz	108 MHz	108 MHz	108 MHz	108 MHz	108 MHz	108 MHz

注释

4. 此参数由特性保证；未经生产测试。

表 16 存储器读取指令的延迟（虚拟）周期 - 使用 XiP 模式 (DDR)

Latency (Dummy) cycles - decimal	QPI (DDR)	Quad I/O (DDR)
	DDRFR, DDRQIOR	DDRQIOR
	(4, 4, 4)	(1, 4, 4)
	Mode = 1	Mode = 1
0	NA	NA
1	NA	NA
2	10 MHz ^[5]	10 MHz ^[5]
3	25 MHz ^[5]	25 MHz ^[5]
4	40 MHz ^[5]	40 MHz ^[5]
5	50 MHz ^[5]	50 MHz ^[5]
6-15	54 MHz	54 MHz

注释

5. 此参数由特性保证；未经生产测试。

表 17 存储器读取指令的延迟（虚拟）周期 - 无 XiP 模式

Latency (Dummy) cycles - decimal	SPI (SDR)	DPI (SDR)	QPI (SDR)
	READ, ECCRD, SSRD		
	(1, 1, 1)	(2, 2, 2)	(4, 4, 4)
	Mode = NA	Mode = NA	Mode = NA
0	40 MHz ^[6]	NA	NA
1	55 MHz ^[6]	NA	NA
2	70 MHz ^[6]	25 MHz ^[6]	10 MHz ^[6]
3	80 MHz ^[6]	40 MHz ^[6]	25 MHz ^[6]
4	95 MHz ^[6]	55 MHz ^[6]	40 MHz ^[6]
5	108 MHz	70 MHz ^[6]	55 MHz ^[6]
6	108 MHz	80 MHz ^[6]	70 MHz ^[6]
7	108 MHz	95 MHz ^[6]	80 MHz ^[6]
8	108 MHz	108 MHz	95 MHz ^[6]
9-15	108 MHz	108 MHz	108 MHz

注释

6. 此参数由特性保证；未经生产测试。

4.2.1.2 四路数据宽度 (QUAD) CR1 [1]

当置位为 '1' 时，此位将器件的数据宽度切换为 4 个 I/O - 四路模式，即 $\overline{WP}$ 变为 I/O2 而 $\overline{RESET}$ / (I/O3) 变为 I/O3。如果通过设置配置寄存器 2 (CR2[5]) 中的 IO3R 位在 I/O3 上启用了替换功能，则 $\overline{RESET}$ / (I/O3) 在为低电平时用作 I/O3，在 $\overline{CS}$ 为高电平时用作 $\overline{RESET}$ 输入。 $\overline{WP}$ 输入被禁用并在内部置位为 '1'。执行扩展 SPI 读取指令时，必须将 QUAD 位置位为 '1'：四路输出读取、四路 I/O 读取和 DDR 四路 I/O 读取。“QUAD”位设置对各种 SPI 接口的影响如表 21 所示。

4.2.2 配置寄存器 2 (CR2)

配置寄存器 2 (CR2)，如表 18 所示，控制串口设置。CR2 可通过 WRAR 指令进行写入操作，通过 RDCR2 或 RDAR 指令进行读取操作。CR2 访问详细信息见 36 页“寄存器访问指令”。

WRAR 非易失性写入地址 - 0x000003

WRAR 易失性写入地址 - 0x070003

RDAR 读取地址 - 0x000003 或 0x070003

表 18 中每个位置后显示的默认状态是工厂预编程值。

表 18 配置寄存器 2 (CR2)

CR2[7]	CR2[6]	CR2[5]	CR2[4]	CR2[3]	CR2[2]	CR2[1]	CR2[0]
RFU (0)	QPI (0)	IO3R (0)	DPI (0)	RFU (0)	RFU (0)	RFU (0)	RFU (0)

表 19 配置寄存器 2 (CR2) - 非易失性

Bit	Bit name	Bit function	Type	Read/Write	Description
CR2[7]	RFU	Reserved (0)			Reserved for future use
CR2[6]	QPI	Quad SPI Enable	NV	R/W	1 = Enable QPI protocol 0 = Enable SPI protocol, if DPI bit is set to '0'
CR2[5]	IO3R	IO3 Reset	NV	R/W	1 = I/O3 is used as RESET input when CS is HIGH 0 = I/O3 has no alternate function
CR2[4]	DPI	Dual SPI Enable	NV	R/W	1 = Enable DPI protocol 0 = Enable SPI protocol, if QPI bit is set to '0'
CR2[3]	RFU	Reserved (0)			Reserved for future use
CR2[2]	RFU	Reserved (0)			Reserved for future use
CR2[1]	RFU	Reserved (0)			Reserved for future use
CR2[0]	RFU	Reserved (0)			Reserved for future use

NV - 非易失性

表 20 配置寄存器 2 (CR2) - 易失性

Bit	Bit name	Bit function	Type	Read/Write	Description
CR2[7]	RFU	Reserved (0)			Reserved for future use
CR2[6]	QPI	Quad SPI Enable	V	R/W	1 = Enable QPI protocol 0 = Enable SPI protocol, if DPI bit is set to '0'
CR2[5]	IO3R	IO3 Reset	V	R/W	1 = I/O3 is used as RESET input when CS is HIGH 0 = I/O3 has no alternate function
CR2[4]	DPI	Dual SPI Enable	V	R/W	1 = Enable DPI protocol 0 = Enable SPI protocol, if QPI bit is set to '0'
CR2[3]	RFU	Reserved (0)			Reserved for future use
CR2[2]	RFU	Reserved (0)			Reserved for future use
CR2[1]	RFU	Reserved (0)			Reserved for future use
CR2[0]	RFU	Reserved (0)			Reserved for future use

NV - 非易失性

4.2.2.1 四路 SPI (QPI) CR2 [6]

此位控制四线SPI模式下的指令和数据宽度。在此模式下，主机和存储器之间的所有传输在 I/O0 至 I/O3 上均为 4 位宽，包括所有指令。CR1 [1] 中的 QUAD 位置位为 '1' 并非必需，因此在 QPI 模式下可忽略。请参阅表 22 了解详情。

4.2.2.2 IO3 复位 (IO3R) CR2 [5]

这控制位RESET/(I/O3)引脚的行为。当该位为置位'1'时，正常工作期间使能复位输入。表 21 显示基于接口模式的 RESET/(I/O3) 功能。

4.2.2.3 双路 (DPI) CR2 [4]

此位控制双 SPI 模式下的指令和数据宽度。在此模式下，主机系统与存储器之间的所有传输（包括所有指令）在 I/O0 至 I/O1 上均为 2 位宽。请参阅表 22 了解详情。

表 21 **RESET / (I/O3) 引脚功能**

Interface mode	Quad Bit (CR1[1] ^[7])	RESET / (I/O3) pin function			
		IO3R (CR2[5]) = '0' (IO3 reset disable)		IO3R (CR2[5]) = '1' (IO3 reset enable)	
		CS = '0'	CS = '1'	CS = '0'	CS = '1'
SPI	QUAD = '0'	No function	No function	RESET	RESET
SPI	QUAD = '1'	I/O3 ^[8]	No function	I/O3 ^[8]	RESET
DPI	QUAD = '0'	No function	No function	RESET	RESET
DPI	QUAD = '1'	No function	No function	No function	RESET
QPI	QUAD = x (Don't care)	I/O3	No function	I/O3	RESET

注释

7. 所有扩展 SPI 均以 SPI 模式启动。
 8. 在 SPI 和 DPI 模式下不起作用。在四路数据或四路 I/O 模式下的 I/O3。

表 22 **SPI 运行模式设置**

QUAD ^[9] CR1[1] ^[10]	DPI CR2[4]	QPI CR2[6]	Operational mode
0	0	0	SPI, Extended SPI (Dual)
1	0	0	SPI, Extended SPI (Dual/Quad)
X	1	0	DPI
X	0	1	QPI
0	1	1	SPI ^[11] , Extended SPI (Dual) – Not a recommended configuration
1	1	1	SPI ^[11] , Extended SPI (Dual/Quad) – Not a recommended configuration

注释

9. 所有扩展 SPI 均以 SPI 模式启动。
 10. QUAD = '1' 将 I/O 重新配置为 QUAD 模式，并影响 $\overline{WP}$ 和 $\overline{RESET}$ 操作，请参阅表 21 了解详情。
 11. 寄存器读取将始终返回写入的内容，尽管这不是推荐的配置。

4.2.3 配置寄存器 4 (CR4)

配置寄存器 4 (CR4)，如表 23 所示，控制输出驱动阻抗和深度掉电 (DPD) 模式设置。CR4 可通过 WRAR 指令进行写入操作，或通过 RDCR4 或 RDAR 指令进行读取操作。CR4 访问详情请参阅 36 页“寄存器访问指令”。

WRAR 非易失性写入地址 - 0x000005

WRAR 易失性写入地址 - 0x070005

RDAR 读取地址 - 0x000005 或 0x070005

表 23 中每个位置后显示的默认状态是工厂预编程值。

表 23 配置寄存器 4 (CR4)

CR4[7]	CR4[6]	CR4[5]	CR4[4]	CR4[3]	CR4[2]	CR4[1]	CR4[0]
OI (0)	OI (0)	OI (0)	RFU (0)	RFU (1)	DPDPOR (0)	RFU (0)	RFU (0)

表 24 配置寄存器 4 (CR4) - 非易失性

Bit	Bit name	Bit function	Type	Read/Write	Description
CR4[7]	OI	Output Impedance	NV	R/W	Output Impedance selection
CR4[6]			NV	R/W	
CR4[5]			NV	R/W	
CR4[4]	RFU	Reserved (0)			Reserved for future use
CR4[3]	RFU	Reserved (1)			Reserved for future use ^[12]
CR4[2]	DPDPOR	Deep Power-Down mode on POR	NV	R/W	1 = Deep Power-Down is entered upon completion of POR or Hardware reset (including JEDEC reset) when CS is HIGH. 0 = Standby mode is entered upon completion of Power-up or POR or Hardware reset (including JEDEC reset) when CS is HIGH
CR4[1]	RFU	Reserved (0)			Reserved for future use
CR4[0]	RFU	Reserved (0)			Reserved for future use

NV - 非易失性

注释

- SPI 总线主机在写入此配置寄存器时必须确保位 CR4 [3] 保持为“1”。向该位置写入“0”可能会影响器件的功能。

表 25 配置寄存器 4 (CR4) - 易失性

Bit	Bit name	Bit function	Type	Read/Write	Description
CR4[7]	OI	Output Impedance	V	R/W	Output Impedance Selection
CR4[6]			V	R/W	
CR4[5]			V	R/W	
CR4[4]	RFU	Reserved (0)			Reserved for future use
CR4[3]	RFU	Reserved (1)			Reserved for future use ^[13]
CR4[2]	DPDPOR	Deep Power-Down mode on POR	V	R/W	1 = Deep Power-Down is entered upon completion of POR or Hardware reset (including JEDEC reset) when CS is HIGH. 0 = Standby mode is entered upon completion of Power-up or POR or Hardware reset (including JEDEC reset) when CS is HIGH.
CR4[1]	RFU	Reserved (0)			Reserved for future use
CR4[0]	RFU	Reserved (0)			Reserved for future use

V - 易失性

注释

13. SPI 总线主机在写入此配置寄存器时必须确保位 CR4 [3] 保持为“1”。向该位置写入“0”可能会影响器件的功能。

4.2.3.1 输出阻抗 (OI) CR4 [7:5]

这三位控制 I/O 引脚的输出阻抗（驱动强度）。输出阻抗配置位使用户能够调整驱动强度，以获得印刷电路板上更好的信号一致性。

表 26 阻抗选择

Impedance selection	Typical impedance (Ω) ^[14]	Comments
000	45	45 Ω is the factory default configuration. Other drive strength can be programmed by writing into impedance selection bits in CR4[7:5].
001	120	
010	90	
011	60	
100	45	
101	30	
110	20	
111		

注释

14. 在 $V_{DD}/2$ 处测量的阻抗典型值。

4.2.3.2 POR 上的深度掉电模式 (DPDPOR) CR4 [2]

该位控制在上电复位（POR）、硬件复位（ $\overline{\text{RESET}}$ 引脚或 JEDEC 复位）后器件是否进入深度掉电模式（DPD）或待机模式，或退出休眠模式。DPDPOR 配置位使器件能够在 $\overline{\text{CS}}$ 为高电平时进入 DPD 模式，在非待机模式。启动 t_{CSCSDPD} 的 $\overline{\text{CS}}$ 脉冲宽度或硬件复位将并且经过 t_{EXTDPD} 时间后将退出 DPD 模式。 $\overline{\text{CS}}$ 脉冲宽度可以通过单独切换来生成，而 SCK 和 I/O 则不关心。软件复位期间，DPDPOR 位状态被忽略，软件复位后器件始终进入待机状态。

4.2.4 配置寄存器 5 (CR5)

配置寄存器 5 (CR5)，如表 27 所示，配置寄存器读取的读取延迟（虚拟）周期。CR5 可通过 WRAR 指令进行写入操作，通过 RDCR5 或 RDAR 指令进行读取操作。CR5 访问详细信息见 36 页“寄存器访问指令”。

WRAR 非易失性写入地址 - 0x000006

WRAR 易失性写入地址 - 0x070006

RDAR 读取地址 - 0x000006 或 0x070006

表 27 中每个位置后显示的默认状态是工厂预编程值。

表 27 配置寄存器 5 (CR5)

CR5[7]	CR5[6]	CR5[5]	CR5[4]	CR5[3]	CR5[2]	CR5[1]	CR5[0]
RLC1 (0)	RLC0 (0)	RFU (0)	RFU (0)	RFU (0)	RFU (0)	RFU (0)	RFU (0)

表 28 配置寄存器 5 (CR5) - 非易失性

Bit	Bit name	Bit function	Type	Read/Write	Description
CR5[7]	RLC1	Register Latency Code	NV	R/W	Selects number of register read latency cycles between 0 to 3 clock cycles for register accesses.
CR5[6]	RLC0			R/W	
CR5[5]	RFU	Reserved (0)			Reserved for future use
CR5[4]	RFU	Reserved (0)			Reserved for future use
CR5[3]	RFU	Reserved (0)			Reserved for future use
CR5[2]	RFU	Reserved (0)			Reserved for future use
CR5[1]	RFU	Reserved (0)			Reserved for future use
CR5[0]	RFU	Reserved (0)			Reserved for future use

NV - 非易失性

表 29 配置寄存器 5 (CR5) - 易失性

Bit	Bit name	Bit function	Type	Read/Write	Description
CR5[7]	RLC1	Register Latency Code	V	R/W	Selects number of register read latency cycles between 0 to 3 clock cycles for register accesses.
CR5[6]	RLC0			R/W	
CR5[5]	RFU	Reserved (0)			Reserved for future use
CR5[4]	RFU	Reserved (0)			Reserved for future use
CR5[3]	RFU	Reserved (0)			Reserved for future use
CR5[2]	RFU	Reserved (0)			Reserved for future use
CR5[1]	RFU	Reserved (0)			Reserved for future use
CR5[0]	RFU	Reserved (0)			Reserved for future use

V - 易失性



4.2.4.1 寄存器延迟代码 (RLC [1:0]) CR5 [7:6]

这两位控制所有可变延迟寄存器读取指令中的读取延迟（虚拟周期）。它允许用户在正常运行期间调整读取延迟，以优化不同工作频率下不同寄存器读取指令的延迟。[表 30](#) 显示寄存器读取命令的延迟周期。

表 30 寄存器读取指令的虚拟周期

Latency (Dummy cycles)	SPI (SDR)	DPI (SDR)	QPI (SDR)
	RDSR1, RDSR2, RDCR1, RDCR2, RDCR4, RDCR5, RDAR, RUID, RDID2, RDSN		
0	50 MHz ^[15]	50 MHz ^[15]	50 MHz ^[15]
1-3	108 MHz	108 MHz	108 MHz

注释

15. 此参数由特性保证；未经生产测试。

功能描述

5 功能描述

CY15B201QSN 有一个 8 位指令寄存器。所有指令及其操作码如下所示。所有指令、地址和数据均通过 $\overline{CS}$ 从高到低的转换进行传输。此外，WP 和 RESET 引脚还提供额外的硬件控制功能。

5.1 指令结构

CY15B201QSN 指令周期包含最多五个不同的指令阶段 - 操作码、地址、模式、虚拟（延迟）和数据。每个指令周期的指令阶段数量从 1 到 5 不等，具体取决于操作码阶段中发送的操作码。操作码、地址、模式和数据阶段可根据在 SPI、DPI 或 QPI 接口中传输它们所需的 1、2 或 4 条线路数进行配置。表 31 显示不同 SPI 接口中每个指令周期的指令阶段。

表 31 不同 SPI 模式下 I/O 的指令传输

Command phases	Command transmission on I/Os						
	Single channel SPI	Extended SPI				Multi-channel SPI	
		Dual data	Quad data	Dual I/O	Quad I/O	DPI	QPI
Opcode	SI	I/O0	I/O0	I/O0	I/O0	I/O0, I/O1	I/O0, I/O1, I/O2, I/O3
Address	SI	I/O0	I/O0	I/O0, I/O1	I/O0, I/O1, I/O2, I/O3	I/O0, I/O1	I/O0, I/O1, I/O2, I/O3
Mode	SI	I/O0	I/O0	I/O0, I/O1	I/O0, I/O1, I/O2, I/O3	I/O0, I/O1	I/O0, I/O1, I/O2, I/O3
Dummy (Latency)	Fixed number of dummy SPI clocks, independent of SPI interface. 0 to 15 clocks for memory access (configurable via CR1[7:4]) 0 to 3 clocks for register access (configurable via CR5[7:6])						
Data	SI/SO	I/O0, I/O1	I/O0, I/O1, I/O2, I/O3	I/O0, I/O1	I/O0, I/O1, I/O2, I/O3	I/O0, I/O1	I/O0, I/O1, I/O2, I/O3

有 44 个指令，称为操作码，可以由主机向 CY15B201QSN 发出，如表 32 所示。这些操作码控制存储器执行的功能。

表 32 操作码指令

Command		SPI bus interface							Data transfer		Latency		XiP
Command	Opcode (Hex)	SPI	Dual data	Quad Data	Dual I/O	Quad I/O	DPI	QPI	SDR	DDR	Register latency	Memory latency	eXecute in Place
Write enable control													
WREN	06	Yes	NA				Yes	Yes	Yes	NA	NA	NA	NA
WRDI	04	Yes	NA				Yes	Yes	Yes	NA	NA	NA	NA
Register access													
WRSR	01	Yes	NA				Yes	Yes	Yes	NA	NA	NA	NA
RDSR1	05	Yes	NA				Yes	Yes	Yes	NA	Yes	NA	NA
RDSR2	07	Yes	NA				Yes	Yes	Yes	NA	Yes	NA	NA
RDCR1	35	Yes	NA				Yes	Yes	Yes	NA	Yes	NA	NA
RDCR2	3F	Yes	NA				Yes	Yes	Yes	NA	Yes	NA	NA
RDCR4	45	Yes	NA				Yes	Yes	Yes	NA	Yes	NA	NA

功能描述

表 32 操作码指令 (续)

Command		SPI bus interface							Data transfer		Latency		XiP
Command	Opcode (Hex)	SPI	Dual data	Quad Data	Dual I/O	Quad I/O	DPI	QPI	SDR	DDR	Register latency	Memory latency	eXecute in Place
RDCR5	5E	Yes	NA				Yes	Yes	Yes	NA	Yes	NA	NA
WRAR	71	Yes	NA				Yes	Yes	Yes	NA	NA	NA	NA
RDAR	65	Yes	NA				Yes	Yes	Yes	NA	Yes	NA	NA
Memory read													
READ	03	Yes	NA				Yes	Yes	Yes	NA	NA	Yes	NA
FAST_READ	0B	Yes	NA				Yes	Yes	Yes	NA	NA	Yes	Yes
DOR	3B	NA	Yes	NA					Yes	NA	NA	Yes	Yes
DIOR	BB	NA			Yes	NA			Yes	NA	NA	Yes	Yes
QOR	6B	NA		Yes	NA				Yes	NA	NA	Yes	Yes
QIOR	EB	NA			Yes	NA	Yes	Yes	Yes	NA	NA	Yes	Yes
DDRFR	0D	NA					Yes	NA	Yes	NA	Yes	Yes	Yes
DDRQIOR	ED	NA			Yes	NA	Yes	NA	Yes	NA	Yes	Yes	Yes
Memory write													
WRITE	02	Yes	NA				Yes	Yes	Yes	NA	NA	NA	NA
FAST_WRITE	DA	Yes	NA				Yes	Yes	Yes	NA	NA	NA	Yes
DIW	A2	NA	Yes	NA					Yes	NA	NA	NA	Yes
DIOW	A1	NA			Yes	NA			Yes	NA	NA	NA	Yes
QIW	32	NA		Yes	NA				Yes	NA	NA	NA	Yes
QIOW	D2	NA			Yes	NA			Yes	NA	NA	NA	Yes
DDR_FAST_WRITE	DD	NA					Yes	NA	Yes	NA	NA	NA	Yes
DDRWRITE	DE	NA					Yes	NA	Yes	NA	NA	NA	NA
DDRQIOW	D1	NA			Yes	NA			NA	Yes	NA	NA	Yes
Special sector memory access													
SSWR	42	Yes	NA				Yes	Yes	Yes	NA	NA	NA	NA
SSRD	4B	Yes	NA				Yes	Yes	Yes	NA	NA	Yes	NA
ECC and CRC													
CLECC	1B	Yes	NA				Yes	Yes	Yes	NA	NA	NA	NA
ECCRD	19	Yes	NA				Yes	Yes	Yes	NA	NA	Yes	NA
CRCC	5B	Yes	NA				Yes	Yes	Yes	NA	NA	NA	NA
EPCS	75	Yes	NA				Yes	Yes	Yes	NA	NA	NA	NA
EPCR	7A	Yes	NA				Yes	Yes	Yes	NA	NA	NA	NA
Identification and serial number													
RUID	4C	Yes	NA				Yes	Yes	Yes	NA	Yes	NA	NA
RDID	9F	Yes	NA				Yes	Yes	Yes	NA	Yes	NA	NA

功能描述

表 32 操作码指令 (续)

Command		SPI bus interface							Data transfer		Latency		XiP
Command	Opcode (Hex)	SPI	Dual data	Quad Data	Dual I/O	Quad I/O	DPI	QPI	SDR	DDR	Register latency	Memory latency	eXecute in Place
WRSN	C2	Yes	NA				Yes	Yes	Yes	NA	Yes	NA	NA
RDSN	C3	Yes	NA				Yes	Yes	Yes	NA	Yes	NA	NA
Power modes and reset													
DPD	B9	Yes	NA				Yes	Yes	Yes	NA	NA	NA	NA
HBN	BA	Yes	NA				Yes	Yes	Yes	NA	NA	NA	NA
RSTEN	66	Yes	NA				Yes	Yes	Yes	NA	NA	NA	NA
RST	99	Yes	NA				Yes	Yes	Yes	NA	NA	NA	NA

5.1.1 写使能控制指令

这些指令设置位或清除寄存器状态 1 (SR1[1]) 中的写入使能锁存位。

表 33 写入使能控制指令

Command	Opcode (Hex)	Command description
WREN	06	Write Enable – sets the WEL bit of Status Register 1 to ‘1’
WRDI	04	Write Disable – clears the WEL bit of Status Register 1 to ‘0’

表 34 写入使能控制指令详细信息

Opcode (Hex)	Address length	SPI bus interface							Data transfer		XiP	Latency	Max clock frequency
		SPI	Dual data	Quad data	Dual I/O	Quad IO	DPI	QPI	SDR	DDR	eXecute in place	Dummy cycles	
06	0	Yes	NA				Yes	Yes	Yes	NA	NA	NA	108 MHz
04	0	Yes	NA				Yes	Yes	Yes	NA	NA	NA	108 MHz

功能描述

5.1.1.1 置位写使能锁存器 (WREN, 06h)

WREN 指令将状态寄存器 1 (SR1[1]) 的 WEL 位设置为“1”。CY15B201QSN 要求在发出任何写入命令之前将 WEL 位设置为“1”。执行前需要将 WEL 置位为“1”的 CY15B201QSN 指令包括 WRSR、WRAR、WRITE、FAST_WRITE、DIW、DIOW、QIW、QIOW、DDR_FAST_WRITE、DDRWRITE、DDRQIOW、SSWR 和 WRSN。指令字节的第八位在 SI 上锁存后，必须将 $\overline{\text{CS}}$ 驱动至逻辑高电平状态。在 8 位 WREN 操作码成功锁存后，并且 $\overline{\text{CS}}$ 被驱动至高电平 CY15B201QSN 执行 WREN 命令，并将 WEL 位 (SR1[1]) 设置为“1”。

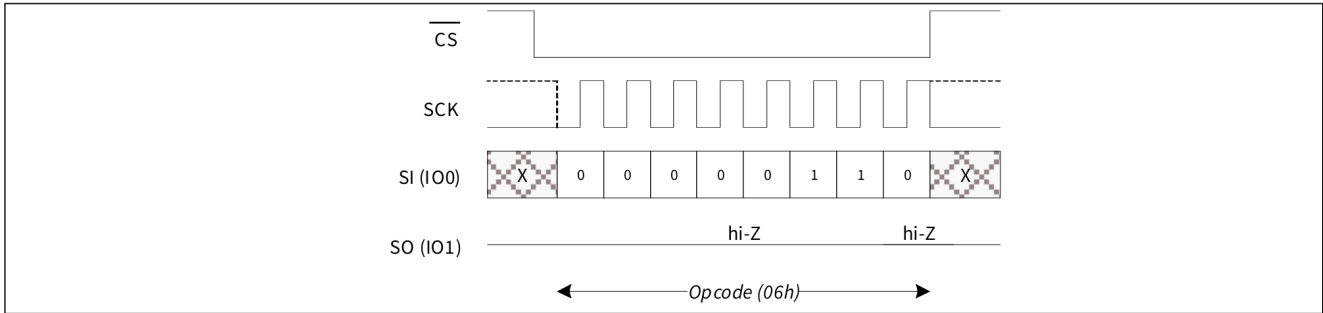


图 6 SPI 模式下 WREN 总线配置

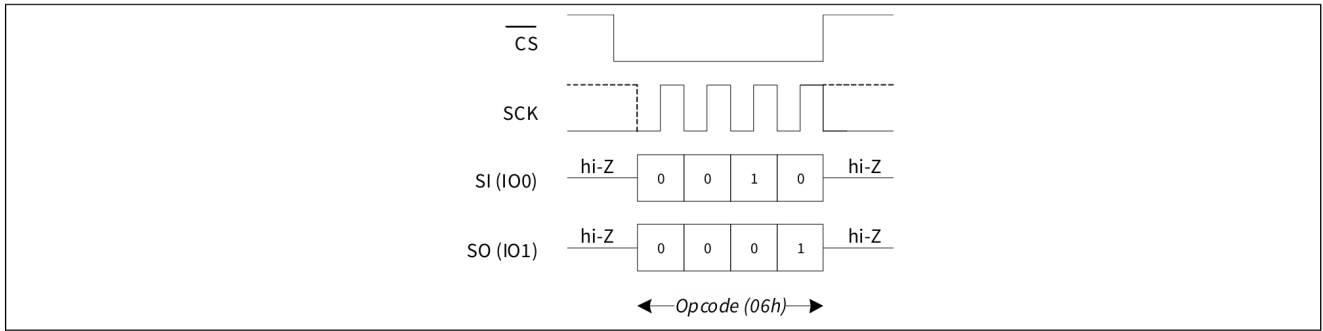


图 7 DPI 模式下 WREN 总线配置

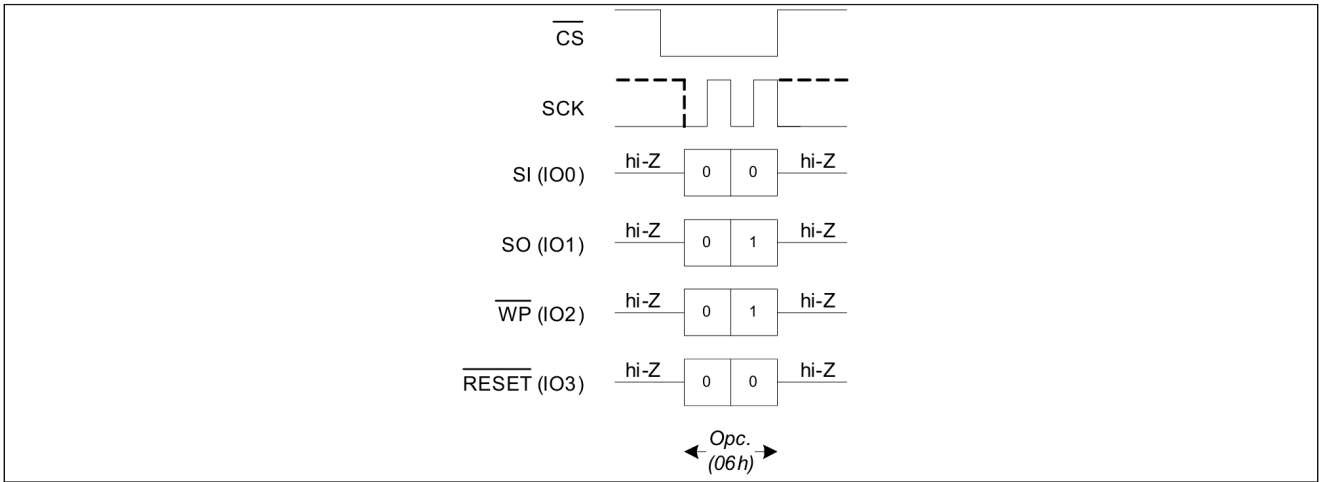


图 8 QPI 模式下 WREN 总线配置

功能描述

5.1.1.2 复位写使能锁存器 (WRDI, 04h)

WRDI 指令将状态寄存器 1 (SR1[1]) 的写使能锁存器 (WEL) 位清除为“0”。这会禁用写入寄存器 (WRSR)、写入任意寄存器 (WRAR)、特殊扇区写入 (SSWR) 以及其他需要在执行之前将 WEL 设置为“1”的指令。WRDI 指令可用于保护存储器和 SPI 寄存器免遭意外写入。当 WIP 位 = 1 时，嵌入式操作期间 WRDI 指令将被忽略。在指令字节的第 8 位被锁存在 SI 上后，必须将 $\overline{\text{CS}}$ 驱动至逻辑高电平状态。在 8 位 WRDI 操作码成功锁存后，并且 $\overline{\text{CS}}$ 被驱动至高电平，CY15B201QSN 将执行 WRDI 命令，并将 WEL 位 (SR1[1]) 清除为“0”。

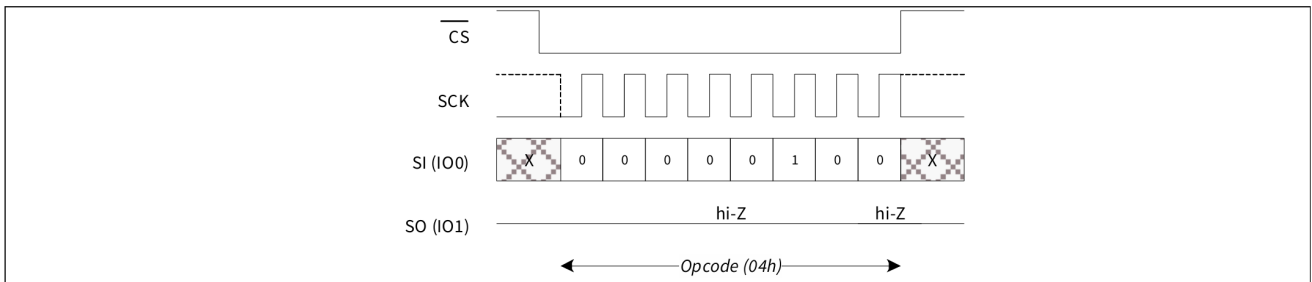


图 9 SPI 模式下 WRDI 总线配置

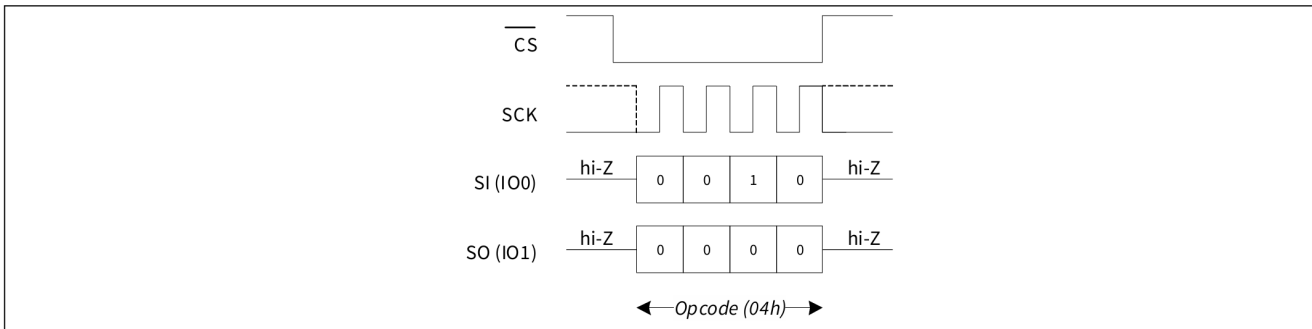


图 10 DPI 模式下 WRDI 总线配置

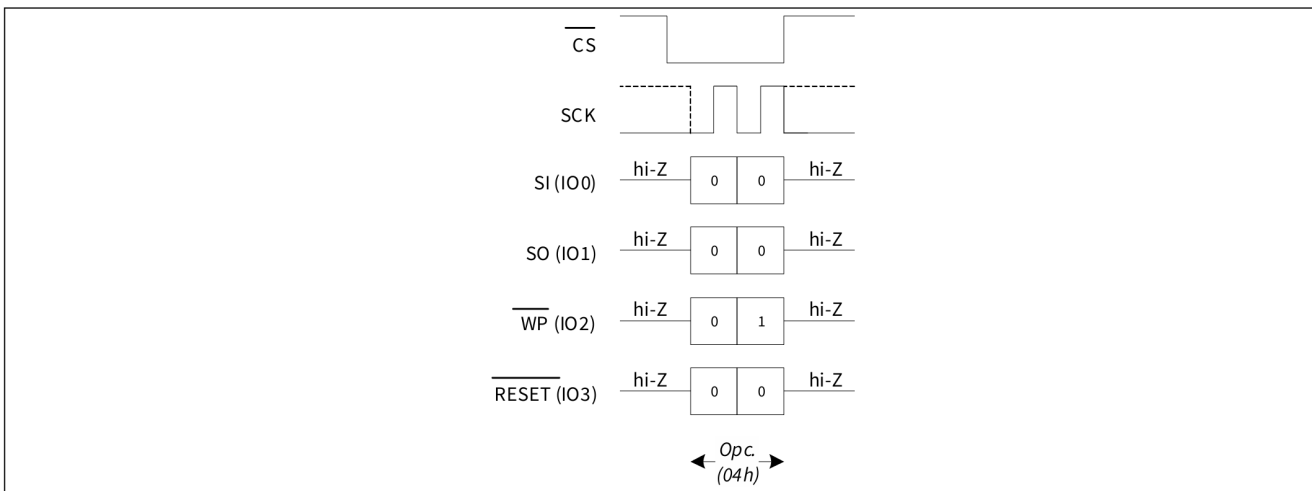


图 11 QPI 模式下 WRDI 总线配置

功能描述

5.1.2 寄存器访问指令

CY15B201QSN 提供各种配置和状态寄存器。这些寄存器是用户可写的，可以通过编程启用或禁用器件中的某些配置/功能，也可以通过轮询来了解器件状态。这些寄存器可以通过称为操作码的特定指令来访问。各个寄存器位可以是多种类型之一：写/读、只读或保留以备将来使用 (RFU)。每个位的具体类型在其各自的寄存器部分中指定。寄存器位本质上可以是易失性的，也可以是非易失性的。所有易失性 (V) 位在上电复位 (POR) 或任何复位事件（通过硬件或软件复位）后均置为其默认值；而所有非易失 (NV) 位在上电复位 (POR) 或任何复位事件（通过硬件或软件复位）后恢复为用户配置的值。

表 35 寄存器访问指令

Command	Opcode (Hex)	Command description
WRSR	01	Write Status Register 1
RDSR1	05	Read Status Register 1
RDSR2	07	Read Status Register 2
RDCR1	35	Read Configuration Register 1
RDCR2	3F	Read Configuration Register 2
RDCR4	45	Read Configuration Register 4
RDCR5	5E	Read Configuration Register 5
WRAR	71	Write any Register - including status registers, configurations registers, Serial number registers
RDAR	65	Read Any Register - including status registers, configurations registers, CRC registers, ECC registers, Serial number registers, and ID registers

表 36 寄存器访问指令详细信息

Opcode (Hex)	Address length	SPI bus interface							Data transfer		Register latency	Max clock frequency	Register latency
		SPI	Dual data	Quad data	Dual I/O	Quad I/O	DPI	QPI	SDR	DDR	Dummy cycle		
01	0	Yes	NA				Yes	Yes	Yes	NA	NA	108 MHz	NA
05	0	Yes	NA				Yes	Yes	Yes	NA	Yes	108 MHz	Yes
07	0	Yes	NA				Yes	Yes	Yes	NA	Yes	108 MHz	Yes
35	0	Yes	NA				Yes	Yes	Yes	NA	Yes	108 MHz	Yes
3F	0	Yes	NA				Yes	Yes	Yes	NA	Yes	108 MHz	Yes
45	0	Yes	NA				Yes	Yes	Yes	NA	Yes	108 MHz	Yes
5E	0	Yes	NA				Yes	Yes	Yes	NA	Yes	108 MHz	Yes
71	3 Bytes	Yes	NA				Yes	Yes	Yes	NA	NA	108 MHz	NA
65	3 Bytes	Yes	NA				Yes	Yes	Yes	NA	Yes	108 MHz	Yes

功能描述

5.1.2.1 写状态寄存器 (WRSR, 01h)

写入状态寄存器 (WRSR) 指令允许在状态寄存器 1 (SR1) 中编程新值。该指令写入非易失 SR1，并且一直保存在整个上电周期。当 SR1 (SR1[7]) 中的 SRWD 位设置为“1”并且 $\overline{WP}$ 引脚被置为低电平时，WRSR 指令将被忽略。

注释：

- 只有当 SR1 中的 WEL 位置位为“1”时，WRSR 指令才会执行；否则，WRSR 指令将被忽略。
- WRSR 指令终止后（在 $\overline{CS}$ 的上升沿），状态寄存器 1 (SR1[1]) 的 WEL 位自动清除为“0”。

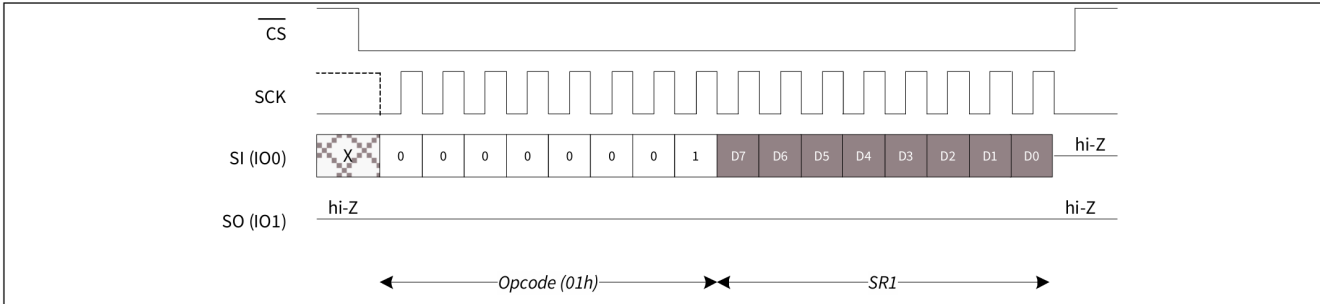


图 12 SPI 模式下的 WRSR（未显示 WREN）

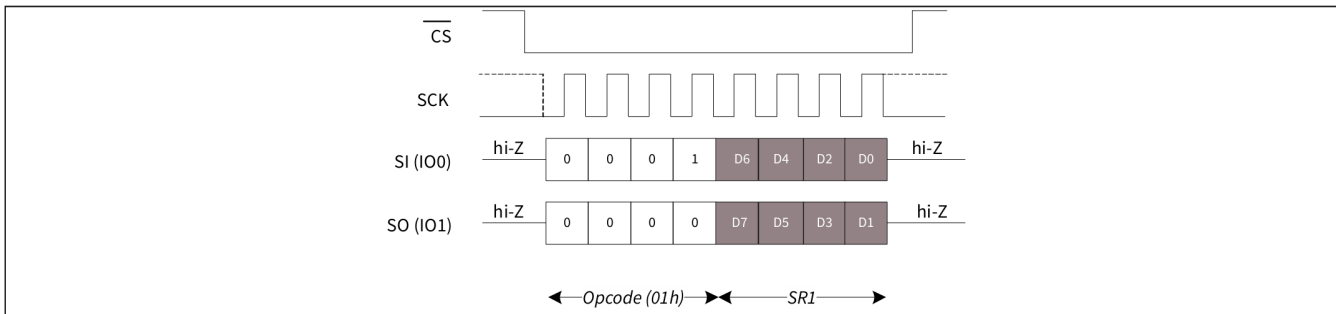


图 13 DPI 模式下的 WRSR（未显示 WREN）

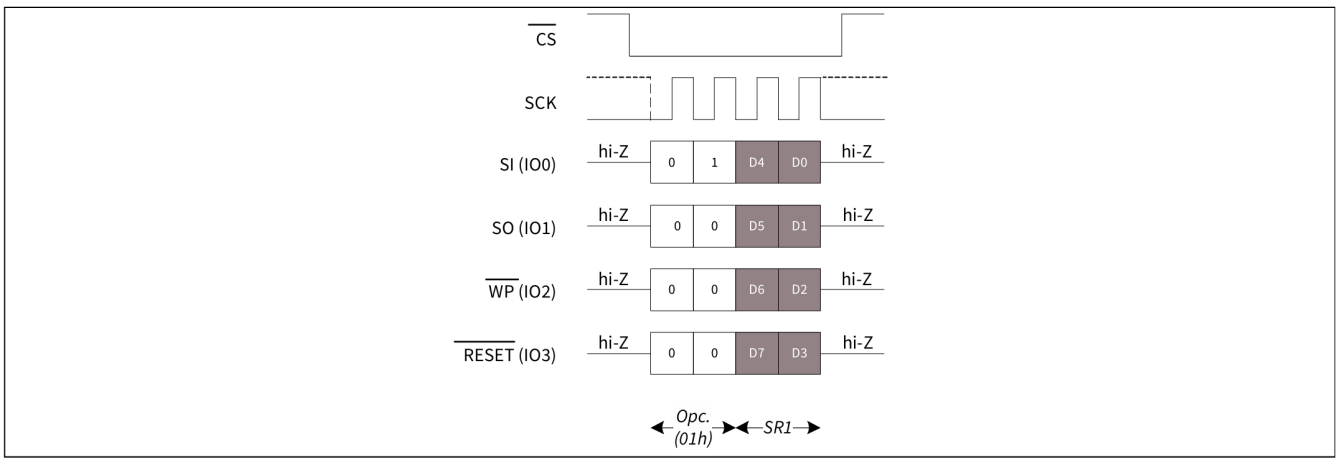


图 14 QPI 模式下的 WRSR（未显示 WREN）

功能描述

5.1.2.2 读取状态寄存器 1 (RDSR1, 05h)

RDSR1 指令允许主机验证状态寄存器 1 (SR1) 的内容。读取 SR1 可提供有关写保护功能、WEL 和 WIP 状态的当前状态的信息。按照 RDSR1 操作码，CY15B201QSN 将返回一个字节的 SR1 内容。

注释：RDSR1 返回 SR1 的易失性内容。

注释：所示的虚拟周期是通过 CR5 中的寄存器延迟代码位 (RLC0、RLC1) 的配置选项。

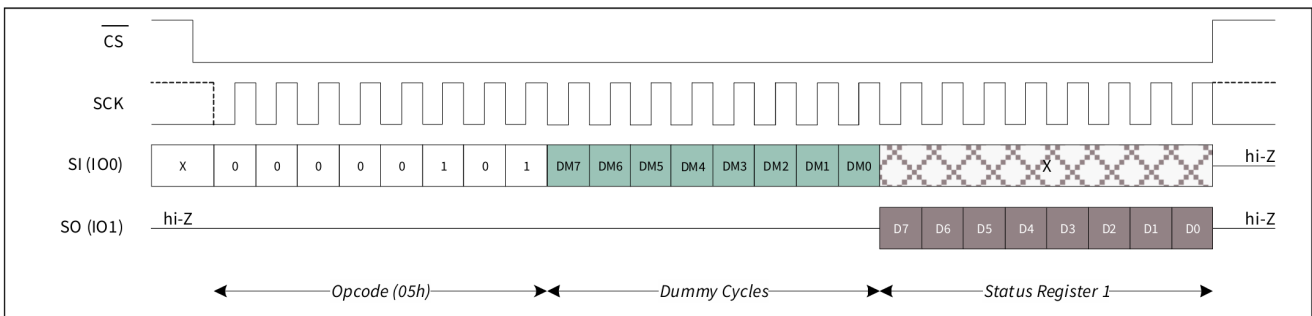


图 15 SPI 模式下读取 SR1 (RDSR1)

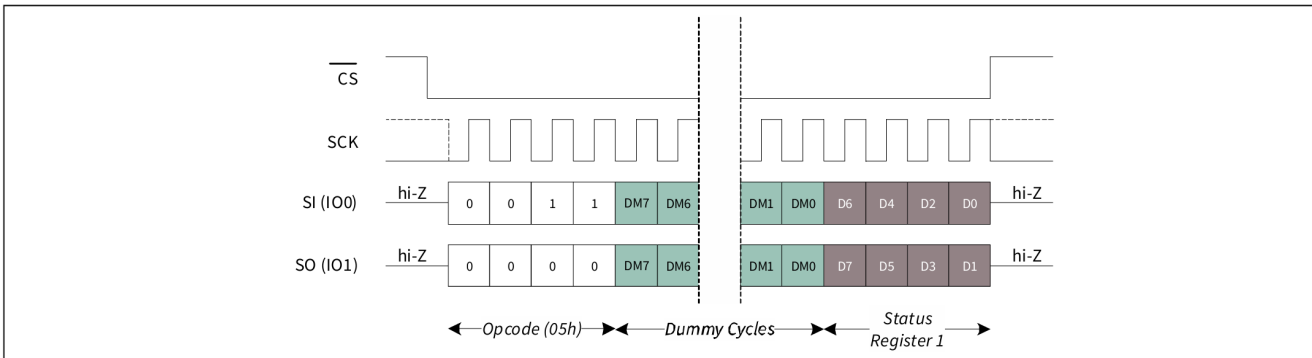


图 16 DPI 模式下读取 SR1 (RDSR1)

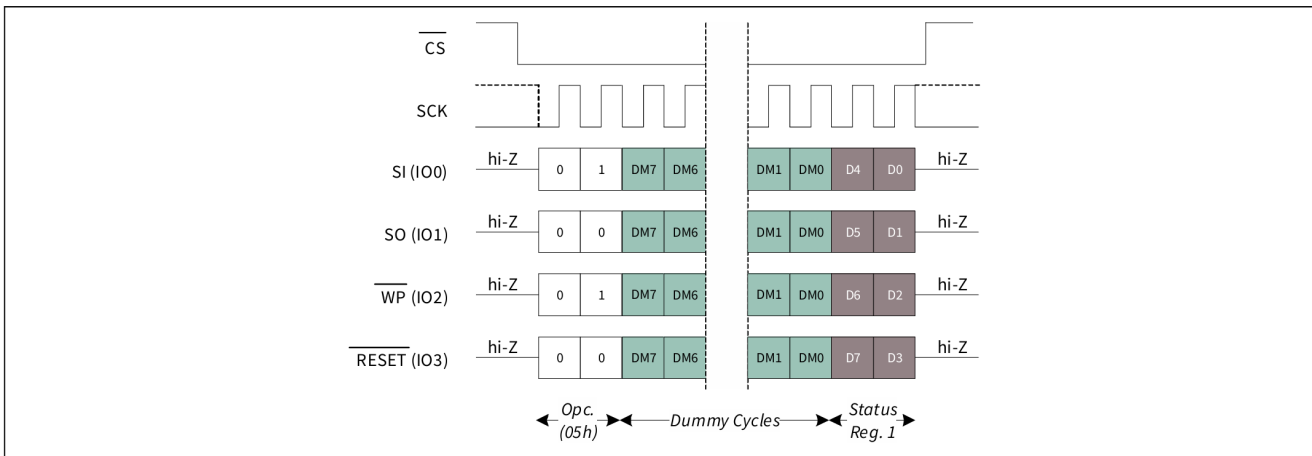


图 17 QPI 模式下读取 SR1 (RDSR1)

功能描述

5.1.2.3 读取状态寄存器 2 (RDSR2, 07h)

RDSR2 指令允许主机验证状态寄存器 2 (SR2) 的内容。这是一个只读寄存器，提供有关 CRC 挂起和 CRC 中止/退出状态的信息。仅当 SR1 的 WIP 位为“0”时，SR2 位才指示正确的状态 (CRCS 和 CRCA)。当 WIP 为 "1" 时读取 SR2 将返回未确定的状态。

注释： RDSR2 返回 SR2 的易失性内容。

注释： 所示的虚拟周期是通过 CR5 中的寄存器延迟代码位 (RLC0、RLC1) 的配置选项。

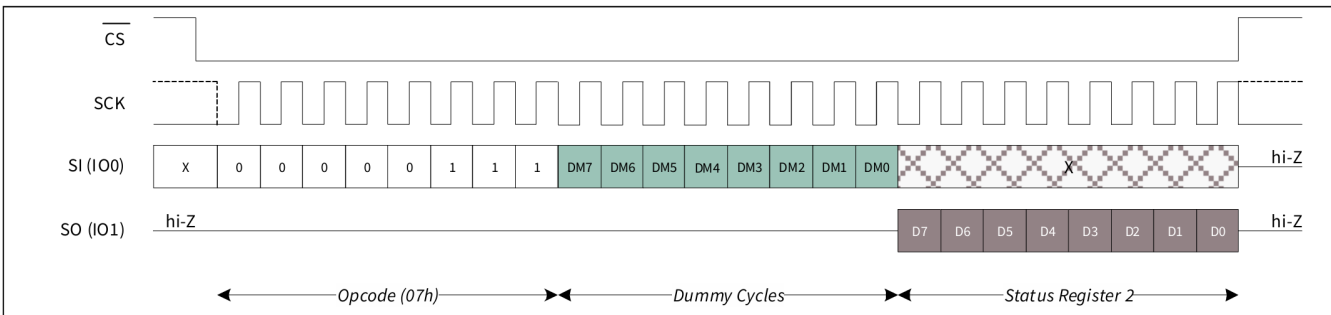


图 18 SPI 模式下读取 SR2 (RDSR2)

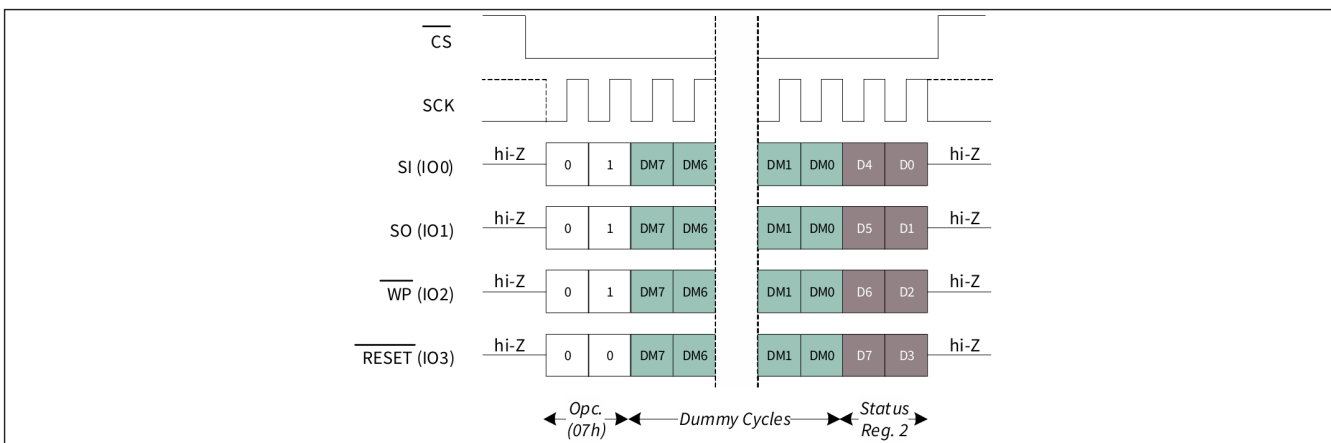


图 19 DPI 模式下读取 SR2 (RDSR2)

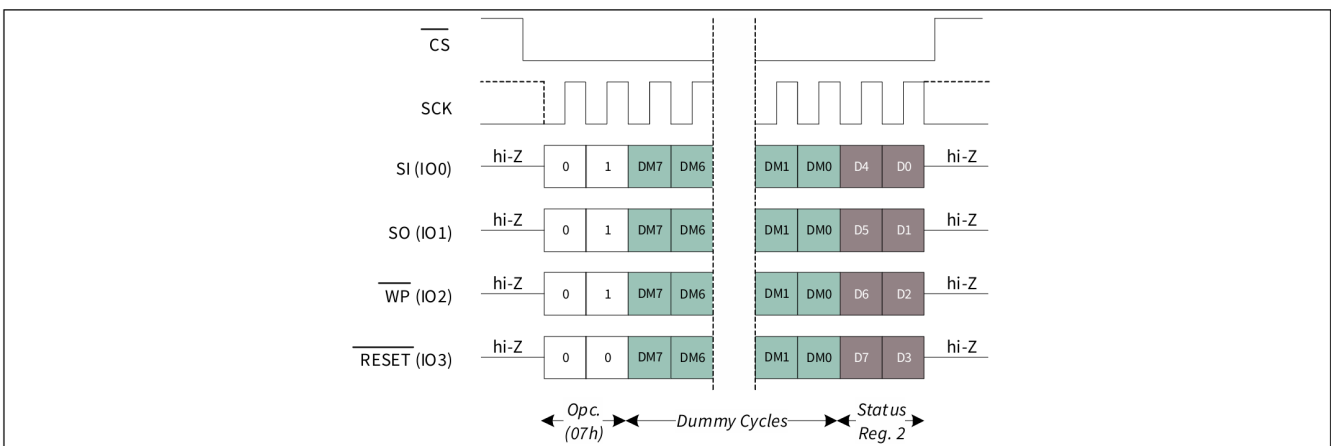


图 20 QPI 模式下读取 SR2 (RDSR2)

功能描述

5.1.2.4 读取配置寄存器 1 (RDCR1, 35h)

RDCR1 指令允许通路主机验证配置寄存器 1 (CR1) 的内容。读取 CR1 可提供有关存储器延迟代码当前状态和 QUAD 位状态的信息。按照 RDCR1 操作码，CY15B201QSN 将返回 CR1 的一个字节内容。

注释：RDCR1 返回 CR1 的易失性内容。

注释：所示的虚拟周期是通过 CR5 中的寄存器延迟代码位（RLC0、RLC1）的配置选项。

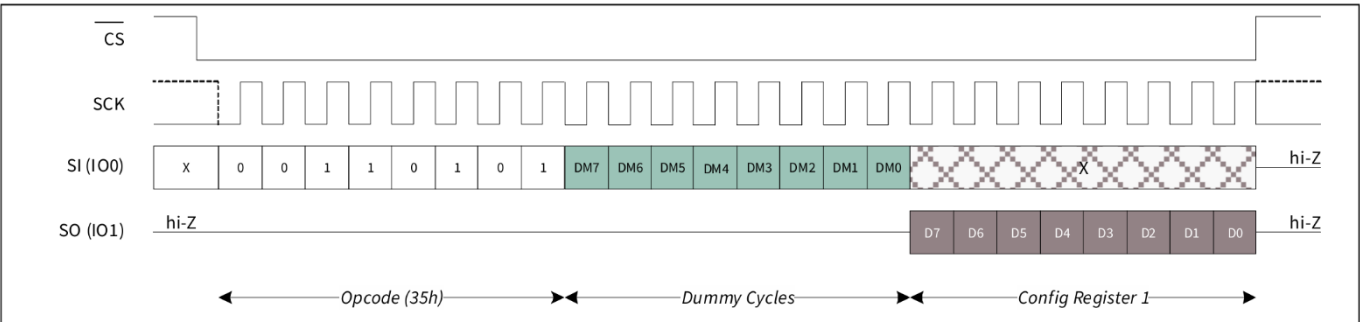


图 21 SPI 模式下读取 CR1 (RDCR1)

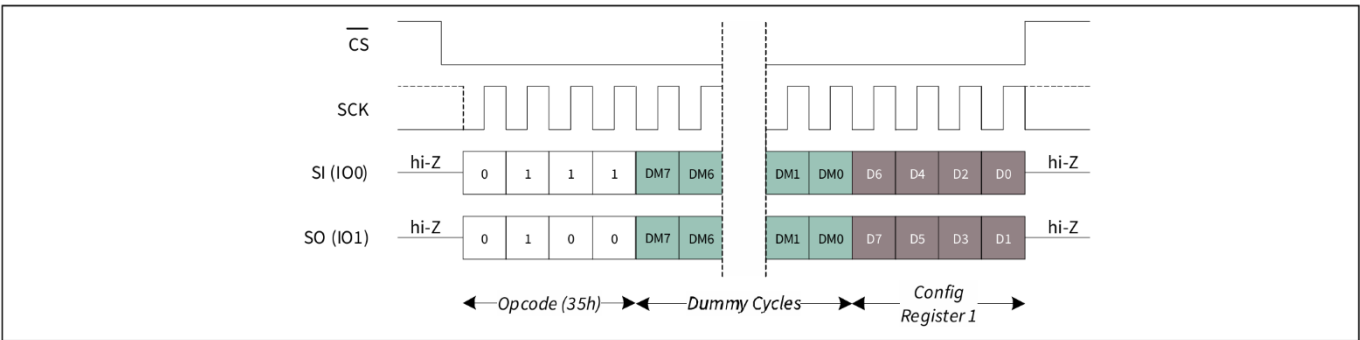


图 22 DPI 模式下读取 CR1 (RDCR1)

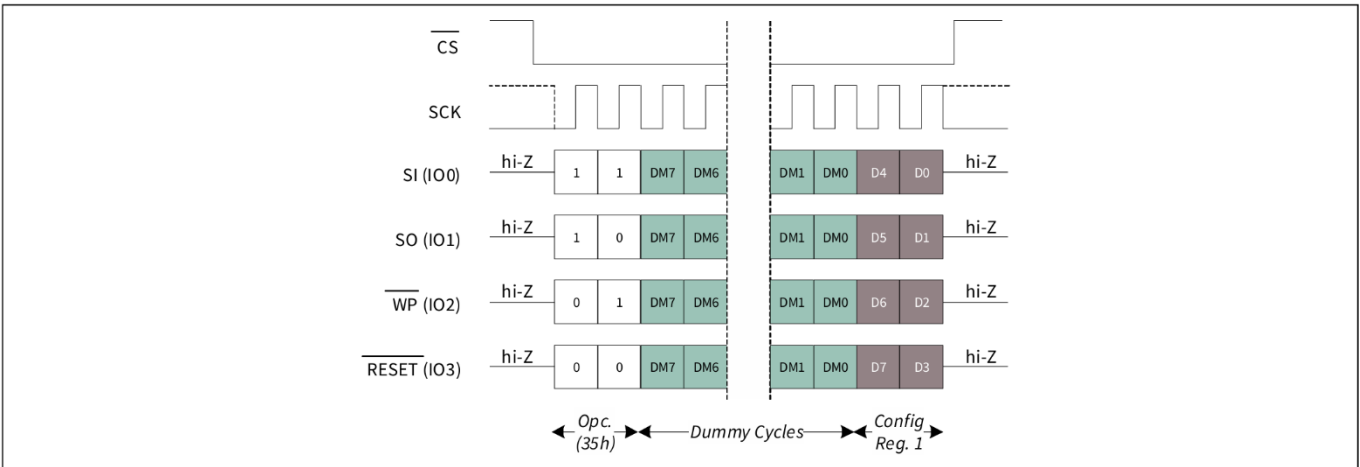


图 23 QPI 模式下读取 CR1 (RDCR1)

功能描述

5.1.2.5 读取配置寄存器 2 (RDCR2, 3Fh)

RDCR2 指令允许主机验证配置寄存器 2 (CR2) 的内容。读取 CR2 提供有关当前 SPI 接口选项 (SPI、DPI、QPI) 和 RESET/(I/O3) 状态的信息。按照 RDCR2 操作码，CY15B201QSN 将返回 CR2 的一个字节内容。

注释： RDCR2 返回 CR2 的易失性内容。

注释： 所示的虚拟周期是通过 CR5 中的寄存器延迟代码位 (RLC0、RLC1) 的配置选项。

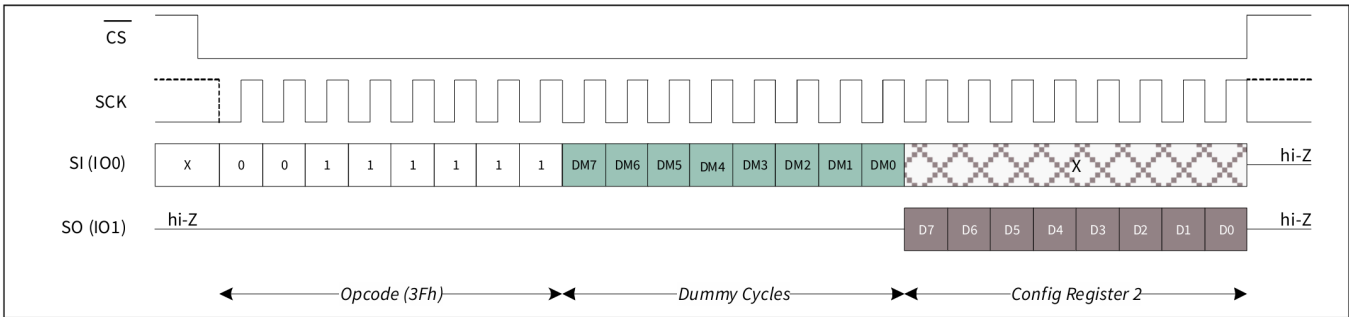


图 24 SPI 模式下读取 CR2 (RDCR2)

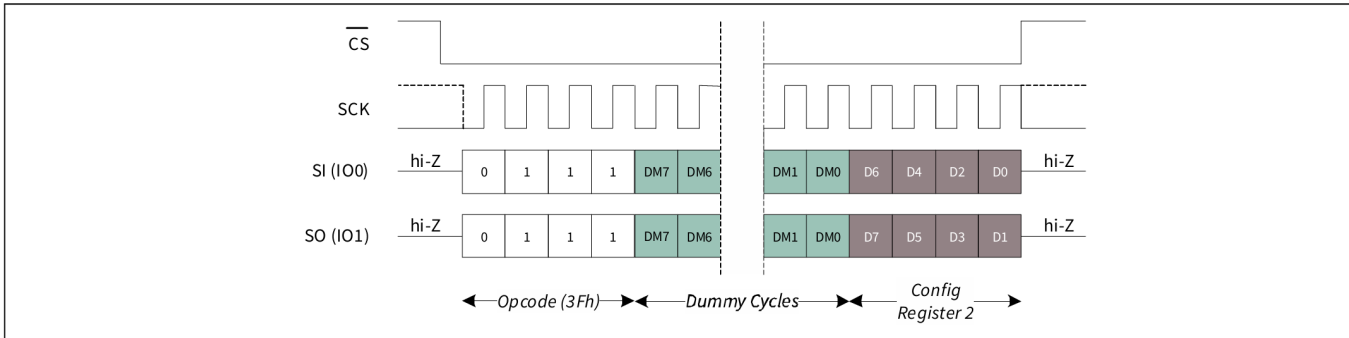


图 25 DPI 模式下读取 CR2 (RDCR2)

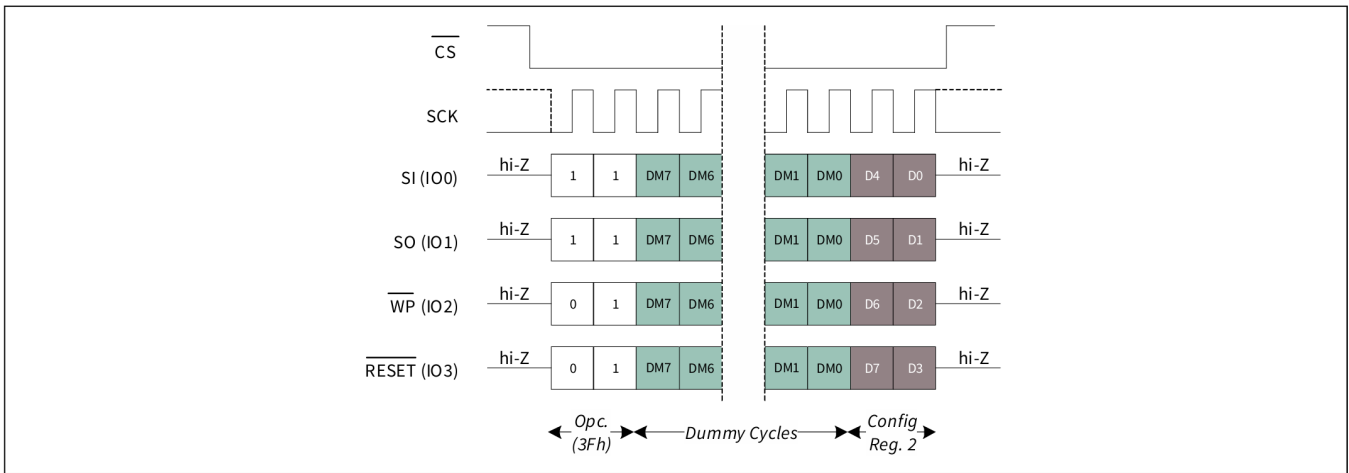


图 26 QPI 模式下读取 CR2 (RDCR2)

功能描述

5.1.2.6 读取配置寄存器 4 (RDCR4, 45h)

RDCR4 指令允许主机验证配置寄存器 4 (CR4) 的内容。读取 CR4 提供 POR (深度掉电与待机) 后输出阻抗设置和器件功率模式状态的信息。按照 RDCR4 操作码，CY15B201QSN 将返回 CR4 的一个字节内容。

注释：RDCR4 返回 CR4 的易失性内容。

注释：所示的虚拟周期是通过 CR5 中的寄存器延迟代码位 (RLC0、RLC1) 的配置选项。

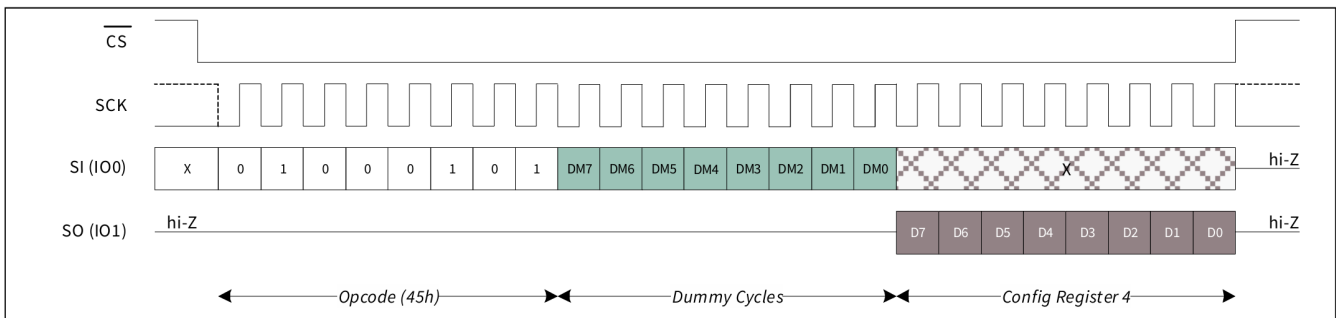


图 27 SPI 模式下读取 CR4 (RDCR4)

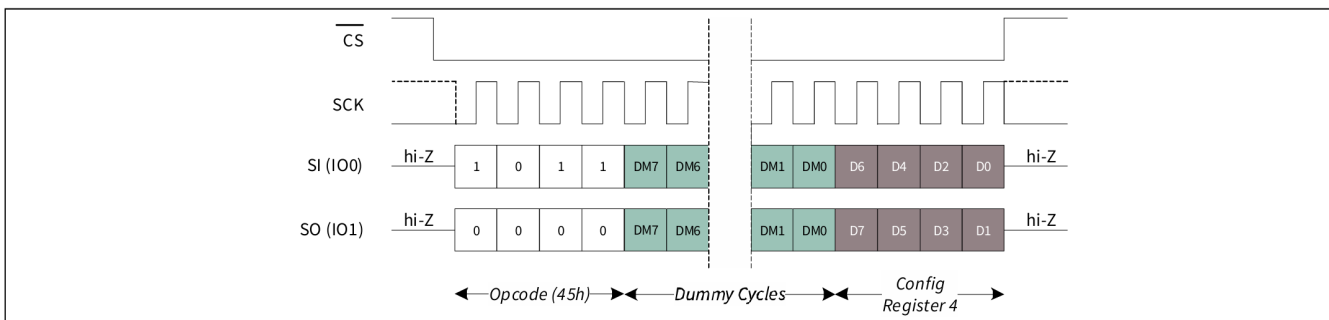


图 28 DPI 模式下读取 CR4 (RDCR4)

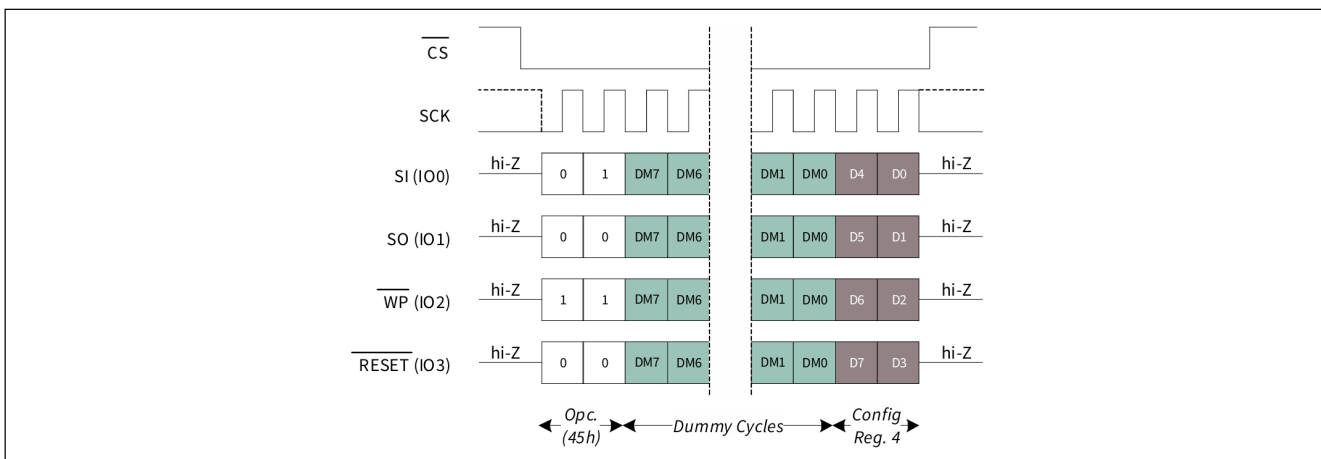


图 29 QPI 模式下读取 CR4 (RDCR4)

功能描述

5.1.2.7 读取配置寄存器 5 (RDCR5, 5Eh)

RDCR5 指令允许主机验证配置寄存器 5 (CR5) 的内容。读取 CR5 可提供有关寄存器读取延迟周期 (RLC0、RLC1) 设置的信息。按照 RDCR5 操作码，CY15B201QSN 将返回 CR5 的一个字节内容。

注释：RDCR5 返回 CR5 的易失性内容。

注释：所示的虚拟周期是通过 CR5 中的寄存器延迟代码位 (RLC0、RLC1) 的配置选项。

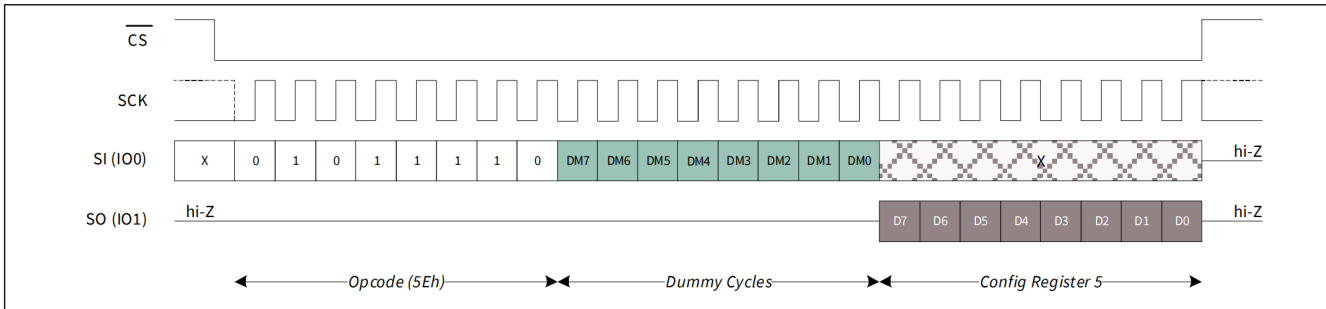


图 30 SPI 模式下读取 CR5 (RDCR5)

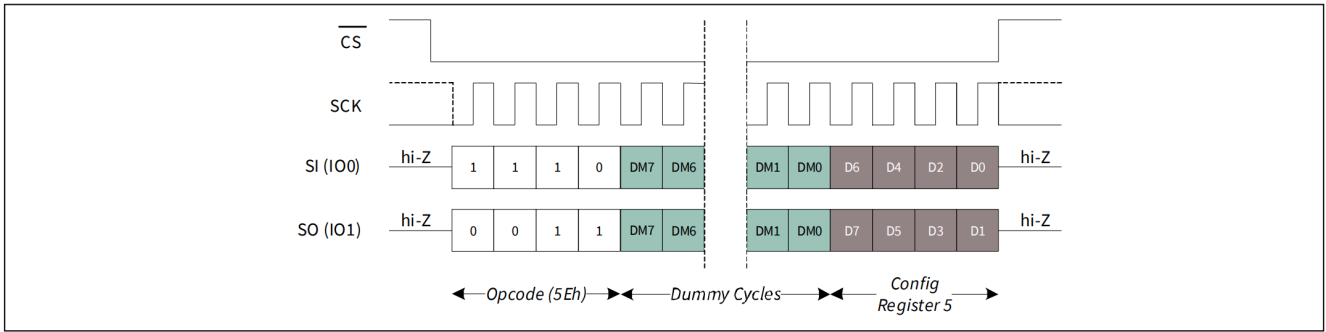


图 31 DPI 模式下读取 CR5 (RDCR5)

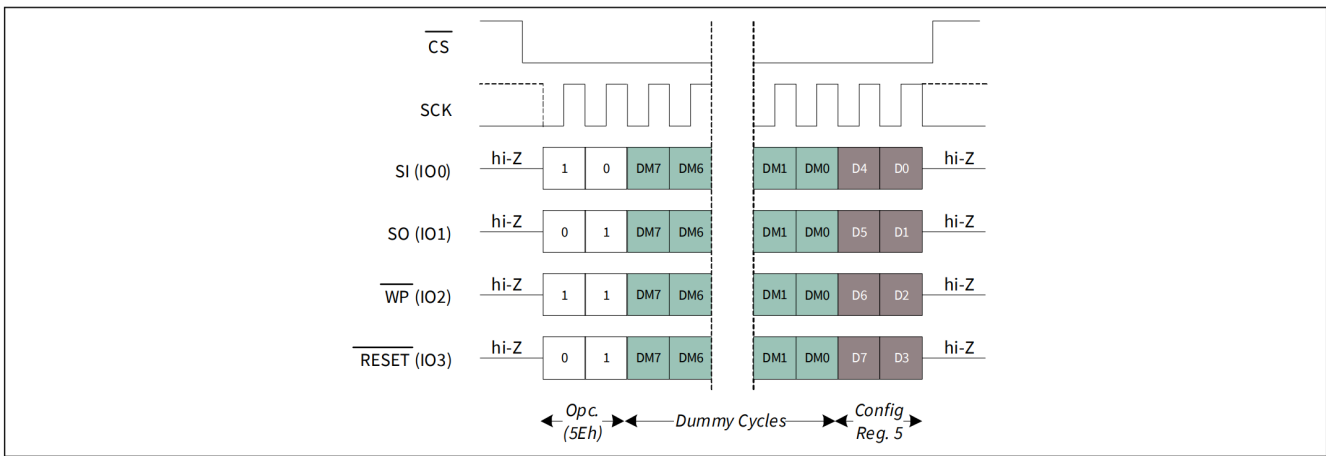


图 32 QPI 模式下读取 CR5 (RDCR5)

功能描述

5.1.2.8 写入任意寄存器 (WRAR, 71h)

WRAR 指令允许写入 CY15B201QSN 寄存器，一次写一个寄存器，可通过其3 字节寻址。WRAR 操作码后面是 3 字节的寄存器地址，如表 38 所示，后面是要写入的 1 字节寄存器数据。WREN 指令先于 WRAR 指令设置为 WEL 位'1'。WRAR 指令终止后（在CS 的上升沿），WEL 位自动清“1”。当 SR1 (SR1[7]) 中的 SRWD 位设置为“1”并且 WP 引脚被驱动为低电平时，WRAR 指令将被忽略。

注释：WRAR 指令在给定的寄存器地址处仅支持每个 WRAR 指令写入一个字节。WRAR 指令格式如表 37 所示。

注释：WRAR 操作码后以 3 字节地址字段发送的寄存器地址决定新配置是否仅被编程到易失性状态/配置寄存器中，或者同时被编程到易失性/非易失性状态/配置寄存器中。表 38 显示易失性和非易失性寄存器的地址。

表 37 具有通用写入指令的寄存器

Instruction name	Instruction description	Opcode	Address bytes	Data bytes
WRAR	Write Any Register	71h	3	1

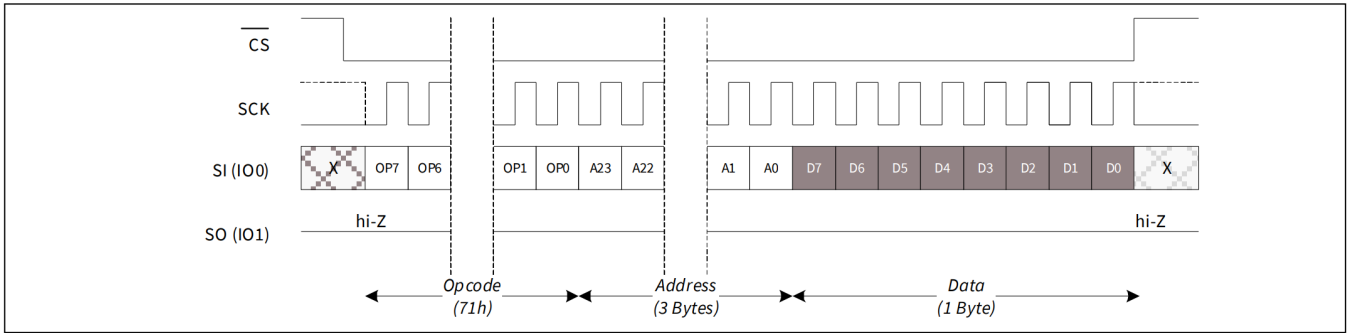


图 33 SPI 模式下写入任意寄存器 (WRAR)

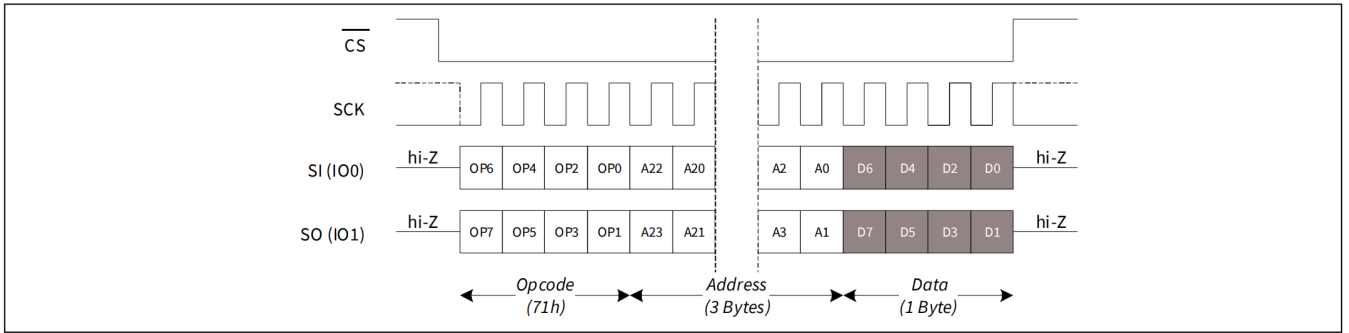


图 34 DPI 模式下写入任意寄存器 (WRAR)

功能描述

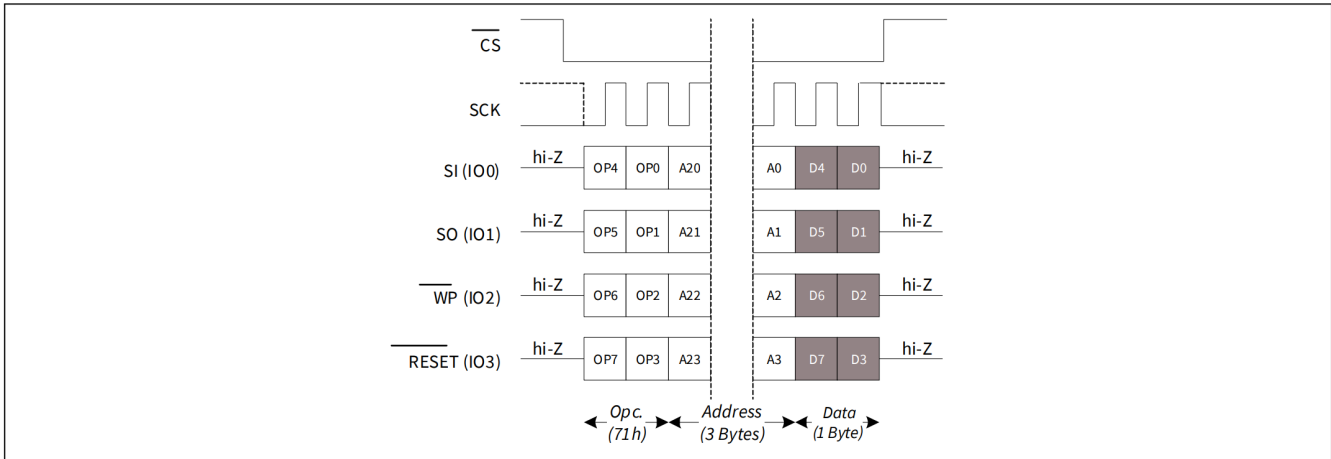


图 35 QPI 模式下写入任意寄存器 (WRAR)

表 38 通用寄存器访问的寄存器地址

Function	Register type	Register content ^[17]	WRAR	RDAR ^[17]	Register address ^[16]	
					Volatile	Non-volatile
Device status	Status Register 1	Volatile and Non-volatile	Yes	Yes	0x070000	0x000000
	Status Register 2	Volatile only	NA	Yes	0x070001 or 0x000001	
Device configuration	Configuration Register 1	Volatile and Non-volatile	Yes	Yes	0x070002	0x000002
	Configuration Register 2	Volatile and Non-volatile	Yes	Yes	0x070003	0x000003
	Configuration Register 4	Volatile and Non-volatile	Yes	Yes	0x070005	0x000005
	Configuration Register 5	Volatile and Non-volatile	Yes	Yes	0x070006	0x000006
Error correction	ECC Status Register	Volatile only	NA	Yes	0x070089 or 0x000089	
	ECC Count Register [7:0]	Volatile only	NA	Yes	0x07008A or 0x00008A	
	ECC Count Register [15:8]	Volatile only	NA	Yes	0x07008B or 0x00008B	
	ECC Address Trap Register [7:0]	Volatile only	NA	Yes	0x07008E or 0x00008E	
	ECC Address Trap Register [15:8]	Volatile only	NA	Yes	0x07008F or 0x00008F	
	ECC Address Trap Register [23:16]	Volatile only	NA	Yes	0x070040 or 0x000040	
	ECC Address Trap Register [31:24]	Volatile only	NA	Yes	0x070041 or 0x000041	

注释

16. POR 或复位硬件后，易失性寄存器返回到默认状态。参见表 59 用于任何 POR 或复位事件后的易失性默认状态。
17. RDAR 指令总是从易失性寄存器返回内容。因此，RDAR 后跟易失性寄存器地址或非易失性寄存器地址将返回相同的值（仅来自各自的易失性寄存器）。仅易失性寄存器没有关联的非易失性寄存器。

功能描述

表 38 通用寄存器访问的寄存器地址 (续)

Function	Register type	Register content ^[17]	WRAR	RDAR ^[17]	Register address ^[16]	
					Volatile	Non-volatile
Cyclic redundancy check	CRC Register [7:0]	Volatile only	NA	Yes	0x070095 or 0x000095	
	CRC Register [15:8]	Volatile only	NA	Yes	0x070096 or 0x000096	
	CRC Register [23:16]	Volatile only	NA	Yes	0x070097 or 0x000097	
	CRC Register [31:24]	Volatile only	NA	Yes	0x070098 or 0x000098	

注释

16. POR 或复位硬件后，易失性寄存器返回到默认状态。参见表 59 用于任何 POR 或复位事件后的易失性默认状态。
17. RDAR 指令总是从易失性寄存器返回内容。因此，RDAR 后跟易失性寄存器地址或非易失性寄存器地址将返回相同的值（仅来自各自的易失性寄存器）。仅易失性寄存器没有关联的非易失性寄存器。

5.1.2.9 读取任何寄存器 (RDAR, 65h)

RDAR 指令允许读取 CY15B201QSN 寄存器，一次读取一个寄存器，可通过 3 字节寻址进行寻址。RDAR 操作码后面是 3 字节地址的寄存器和虚拟周期（CR5 中的每个寄存器延迟置位），之后 CY15B201QSN 在其输出总线上返回 1 字节寄存器内容。主机应在收到一个寄存器字节后将 CS 拉高来终止 RDAR 指令。在收到第一个数据字节后保持 CS 为低电平将返回未定义的数据字节。RDAR 指令流程图如图 36 至图 38 所示。

注释：由于状态和配置寄存器读取总是从其易失性空间返回寄存器内容，因此 WRAR 操作码后面的 3 字节地址可以是易失性寄存器或其关联的非易失性寄存器的寄存器地址。

表 38 显示易失性和非易失寄存器的寄存器地址。

注释：所示的虚拟周期是通过 CR5 中的寄存器延迟代码位（RLC0、RLC1）的配置选项。

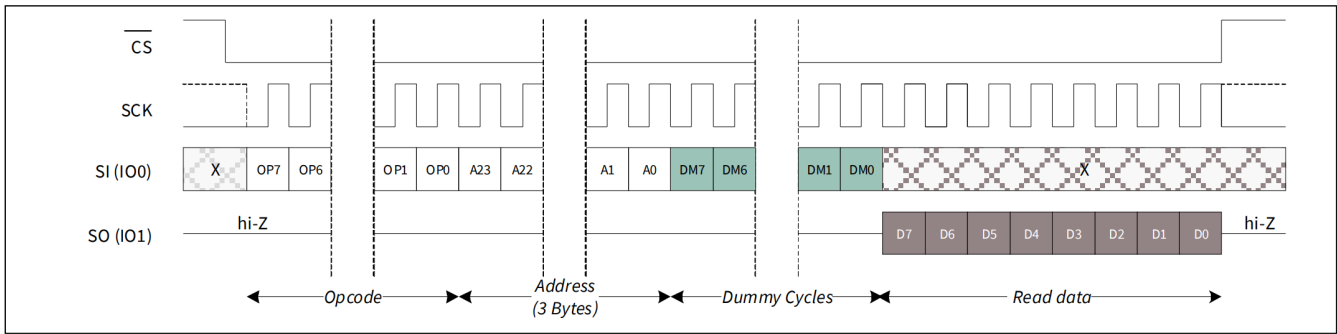


图 36 SPI 模式下读取任意寄存器 (RDAR)

功能描述

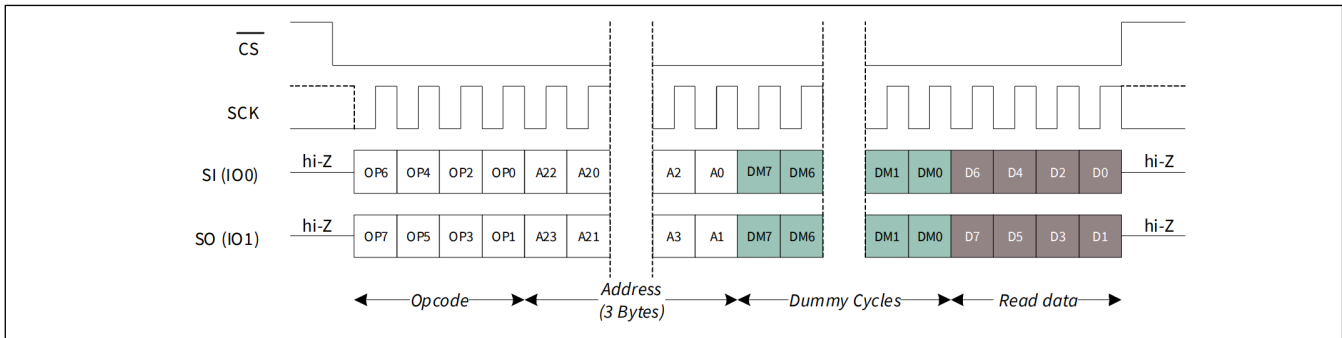


图 37 DPI 模式下读取任意寄存器 (RDAR)

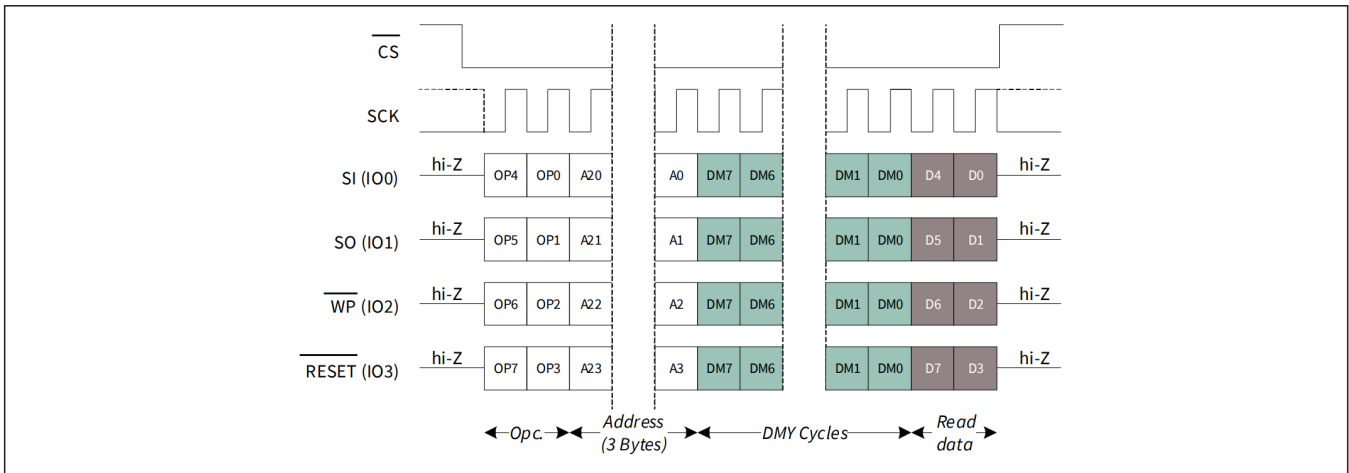


图 38 QPI 模式下读取任意寄存器 (RDAR)

功能描述

5.1.3 存储器操作

能够承受高时钟频率的SPI接口凸显了F-RAM技术的快速写入能力。与串行闪存不同，CY15B201QSN 可以以总线速度执行顺序写入。无需分页寄存器，可执行任意数量的连续写入。

5.1.4 存储器写操作

$\overline{CS}$ 引脚拉低后发送存储器写入指令。写入操作码后跟一个三字节地址和 XiP 模式字节（如果适用）。CY15B201QSN 有一个 1-Mb (128K × 8) 密度的 17 位地址空间。最重要的地址字节包含 A16 活动位，而其余的 A[23:17] 位被认为是“无需关心”。地址位 A16 到 A0 通过SPI总线以三个字节传输，如果支持的话，遵循 (XiP) 模式字节。在传输最后一个地址位或最后一个模式位（如果支持 XiP）后，立即通过输入线传输数据字节 ([D7:0])。存储器写操作允许在SDR和 DDR 接口的SPI、扩展SPI、DPI 或 QPI 模式下进行，其中一些支持重启执行 (XiP)。表 39 显示 CY15B201QSN 在各种SPI接口和数据传输模式下支持的存储器写入指令列表。

注释:

- 当突发写入到达受保护的功能块地址时，它会继续将地址递增到受保护的空間中，但不会将任何数据写入受保护的存储器。如果地址翻转并将突发写入带到不受保护的空間，它会恢复写入。如果在写保护的功塊內启动突发写入，则操作相同。
- 如果在写入操作期间，在字节传送过程中掉电，则仅写入最后完成的字节。

表 39 存储器写入指令

Command	Opcode (Hex)	Command description
WRITE	02	Memory Write - write to F-RAM array
DDRWRITE	DE	DDR Write - memory write in QPI DDR mode
FAST_WRITE	DA	Memory Fast Write - memory write with eXecute in Place
DDR_FAST_WRITE	DD	DDR Fast Write - memory fast write in DDR mode
DIW	A2	Dual Input Write - command, address and mode byte are sent on single SI line, data bytes are sent on dual input lines I/O1 (SO), I/O0 (SI)
DIOW	A1	DDR Dual I/O Write - command is sent on single SI line, address and mode byte and data bytes are sent on dual input lines I/O1 (SO), I/O0 (SI)
QIW	32	Quad Input Write - command, address and mode bytes are sent on single SI line, data bytes are sent on quad input lines I/O3 (RESET), I/O2 (WP), I/O1 (SO), I/O0 (SI)
QIOW	D2	Quad I/O Write - command is sent on single SI line, address and mode byte and data bytes are sent on quad input lines I/O3 (RESET), I/O2 (WP), I/O1 (SO), I/O0 (SI)
DDRQIOW	D1	DDR Quad I/O Write - quad I/O write in DDR mode

功能描述

表 40 存储器写入命令详细信息

Command			SPI bus interface							Data transfer		XiP	Max clock frequency
Command	Opcode (Hex)	Address length	SPI	Dual data	Quad data	Dual I/O	Quad IO	DPI	QPI	SDR	DDR	eXecute in Place (Mode byte)	
WRITE	02	3 Bytes	Yes	NA				Yes	Yes	Yes	NA	NA	108 MHz
DDRWRITE	DE	3 Bytes	NA						Yes	NA	Yes	Yes	54 MHz
FAST_WRITE	DA	3 Bytes	Yes	NA				Yes	Yes	Yes	NA	Yes	108 MHz
DDR_FAST_WRITE	DD	3 Bytes	NA						Yes	NA	Yes	Yes	54 MHz
DIW	A2	3 Bytes	NA	Yes	NA					Yes	NA	Yes	108 MHz
DIOw	A1	3 Bytes	NA			Yes	NA			Yes	NA	Yes	108 MHz
QIW	32	3 Bytes	NA		Yes	NA				Yes	NA	Yes	108 MHz
QIOw	D2	3 Bytes	NA				Yes	NA		Yes	NA	Yes	108 MHz
DDRQIOw	D1	3 Bytes	NA				Yes	NA		NA	Yes	Yes	54 MHz

功能描述

5.1.4.1 写操作 (WRITE, 02h)

当写操作码连同写入数据一起在SPI模式的SI引脚、DPI模式的I/O1和I/O0引脚或QPI模式的I/O3、I/O2、I/O1和I/O0引脚上传输时，即执行写入操作。突发写入可用于写入连续地址，而无需发出新的写入指令。如果仅要写入一个字节，则必须在传输D0（数据的LSb）后将CS引脚驱动为高电平。但是，如果要写入更多字节，则必须将CS引脚保持为低电平，并且地址会自动递增。输入引脚上的数据字节会写入连续的地址。当内部地址计数器达到0x1FFFF时，地址会翻转为0x00000，并且器件继续写入。

注释：

- 仅当WEL位 (SR1[1]) 设置为“1”时，写入指令才会执行。
- 写操作完成后，WEL位 (SR1[1]) 不会清除为“0”。因此，写操作之后的任何写命令不需要将前面的WREN指令设置为WEL位为“1”。

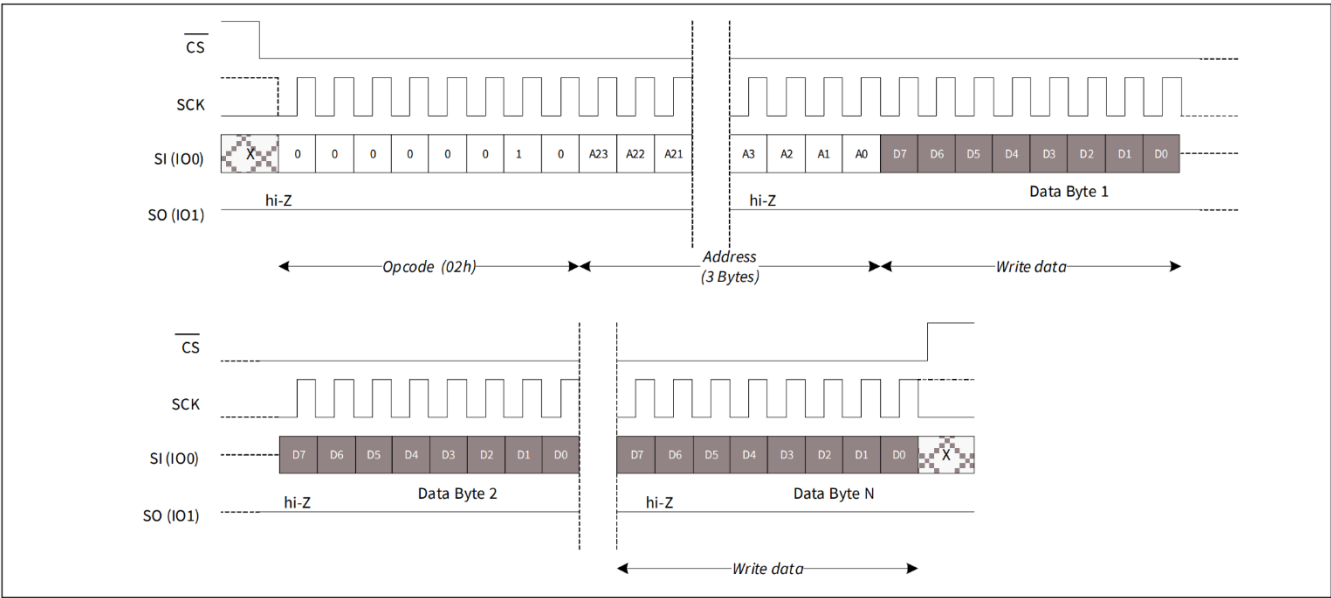


图 39 SPI 模式下存储器写入 (WRITE)

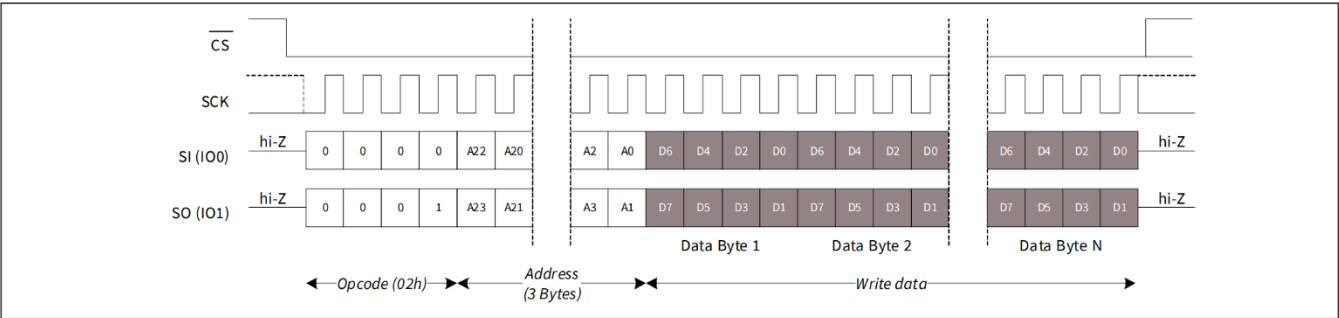


图 40 DPI 模式下存储器写入 (WRITE)

功能描述

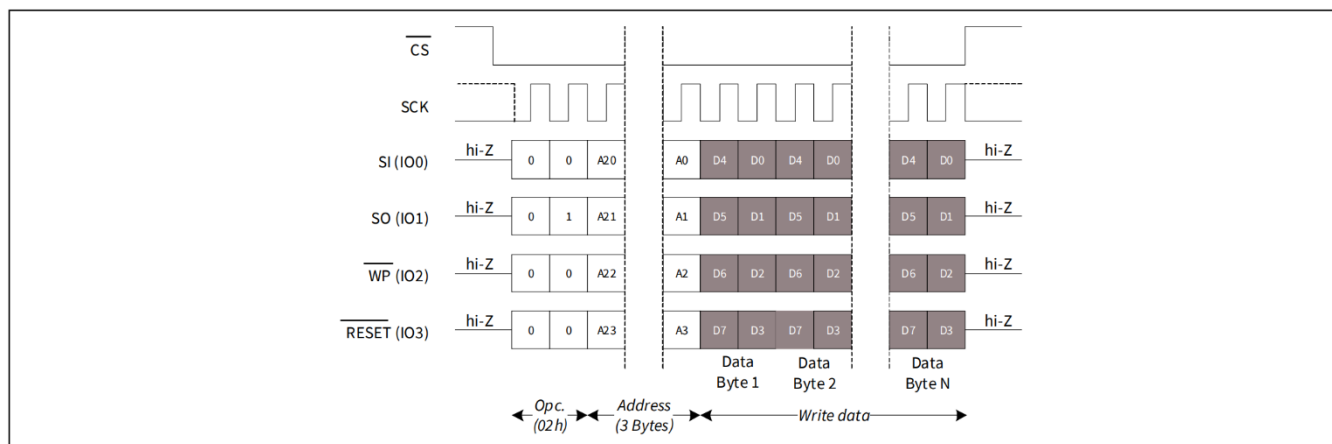


图 41 **QPI 模式下存储器写入 (WRITE)**

功能描述

5.1.4.2 DDR 写操作 (DDRWRITE, DEh)

DDRWRITE 指令通过在 SCK 的两个边沿传输地址和数据位来提高带宽。该地址可以从存储器阵列的任意字节位置开始。每个数据字节移出后，地址会按依次递增到下一个更高的地址。因此，只需一个写入操作码和提供的起始地址即可写入整个存储器。当达到最高地址时，地址计数器将回绕并回滚至 000000h，从而允许读取时序无限期地继续。此操作码不支持 SPI 模式 3。

注释：

- DDRWRITE 指令只能在器件中 WEL 位设置为“1”后才能执行写操作。
- DDRWRITE 操作完成后，WEL 位不会重置为“0”。

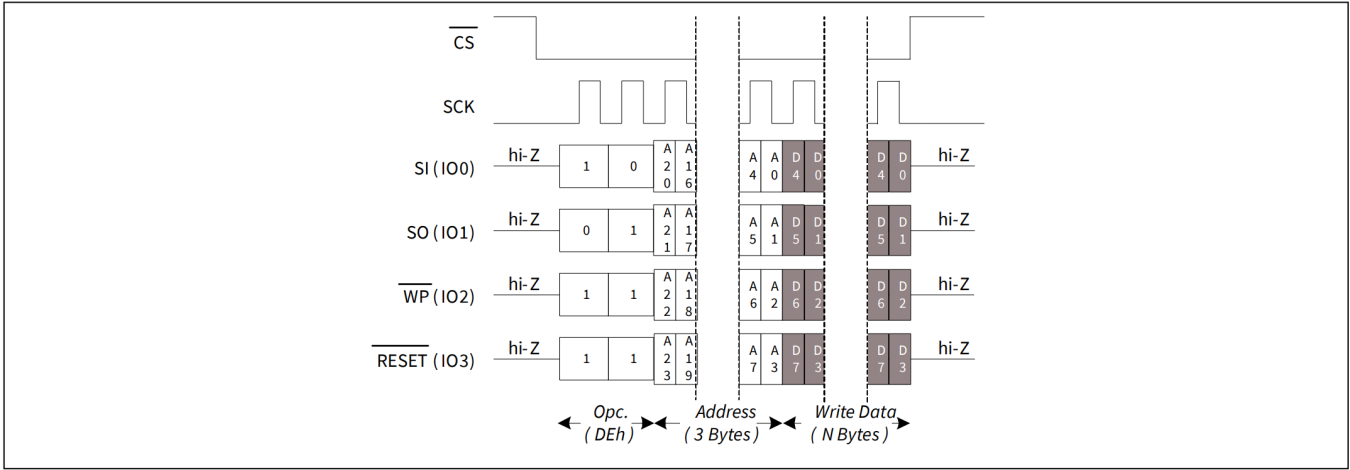


图 42 QPI 模式下的 DDR 写入 (DDRWRITE)

功能描述

5.1.4.3 快速写入 (FAST_WRITE, DAh)

FAST_WRITE 指令类似于写入指令，不同之处在于它允许通过模式位执行 XiP 操作。模式位允许一系列快速写入指令的串联，以便在第一条指令发送 Axh 模式位 (“1010XXXX”) 后消除 8 位操作码。这种特性称为立刻执行 (XiP)，可减少初始读取时间（提高性能）。模式位通过包含或排除第一个字节指令操作码来控制下一个快速写入操作的长度。如果模式位为 Axh，则器件将转换为连续快速写入模式，并且可以输入下一个地址（在 CS 升高到高电平然后断言为低电平之后），而无需 DAh 操作码，从而从指令序列中消除 8 个周期。否则，一旦 CS 从高电平转换为低电平，就需要操作码。

注释：

- 带有 !Axh (Axh 字节的逻辑非) 的模式位将退出 FAST_WRITE XiP 模式。
- 仅当状态寄存器中的写使能锁存器 (WEL) 设置为“1”以进行写操作时，FAST_WRITE 指令才能由器件执行。
- FAST_WRITE 操作完成后，WEL 位不会重置为“0”。

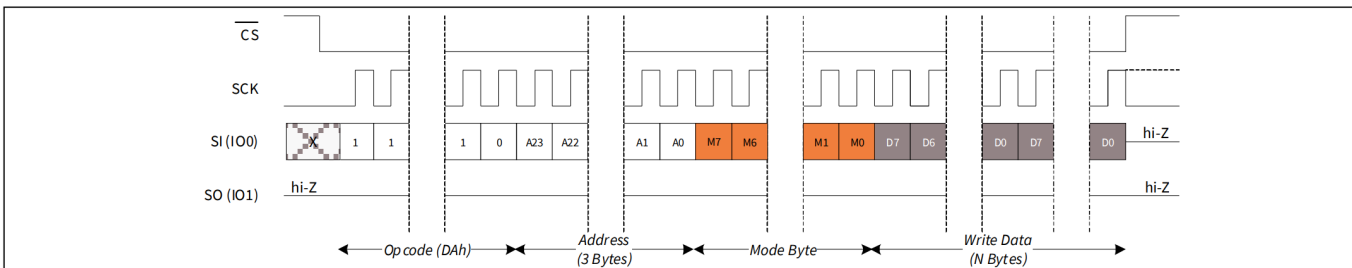


图 43 SPI 模式下的快速写入 (FAST_WRITE)

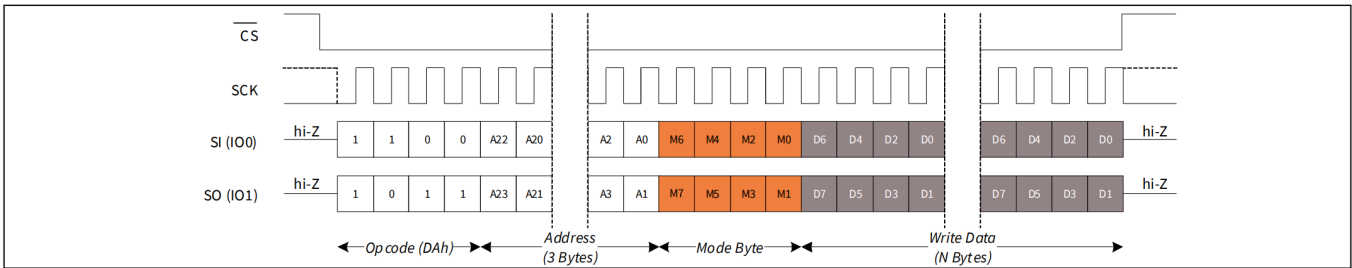


图 44 DPI 模式下的快速写入 (FAST_WRITE)

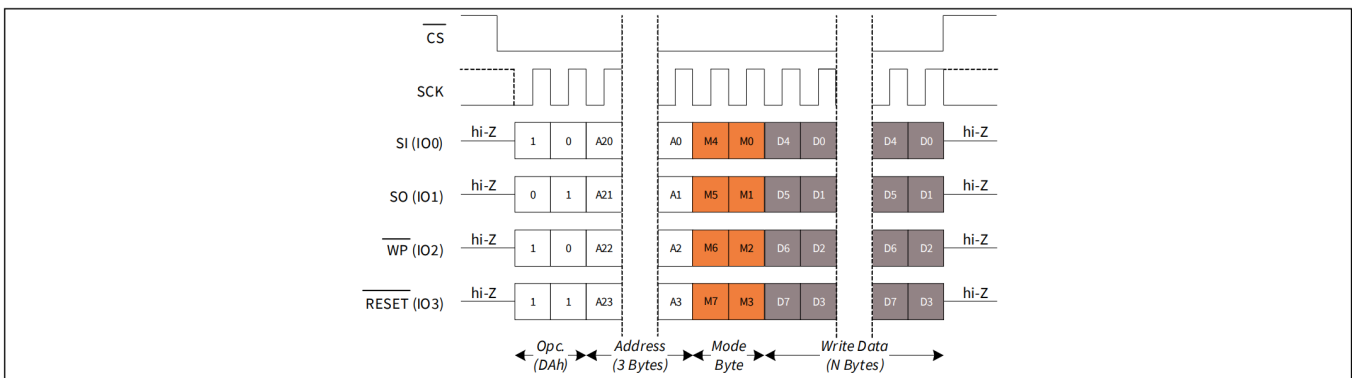


图 45 QPI 模式下的快速写入 (FAST_WRITE)

功能描述

5.1.4.4 DDR 快速写入 (DDR_FAST_WRITE, DDh)

DDR_FAST_WRITE 指令与 DDRWRITE 指令类似，只是它允许 XIP 操作。

模式位允许一系列 DDR_FAST_WRITE 指令在第一条指令发送 A5h 模式位 (“10100101”) 后消除 8 位操作码。这种特性称为立刻执行 (XIP)，可显著减少初始读取时间 (提高性能)。模式位通过包含或排除第一个字节指令操作码来控制下一个 DDR_FAST_WRITE 操作的长度。如果模式位为 A5h，则器件将转换为连续 DDR_FAST_WRITE 模式，并且可以输入下一个地址 (在 $\overline{CS}$ 升高到高电平然后断言为低电平之后)，而无需 DDh 操作码，从而从指令序列中消除 8 个周期。否则，一旦 $\overline{CS}$ 从高电平转换为低电平，就需要操作码。此操作码不支持 SPI 模式 3。

注释：

- 带有 !A5h (A5h 字节的逻辑非) 的模式位将退出 DDR_FAST_WRITE XIP 模式。
- DDR_FAST_WRITE 指令只能由器件执行，前提是 WEL 位置位为 '1' 以启用写操作。
- DDR_FAST_WRITE 操作完成后，WEL 位不会重置为“0”。

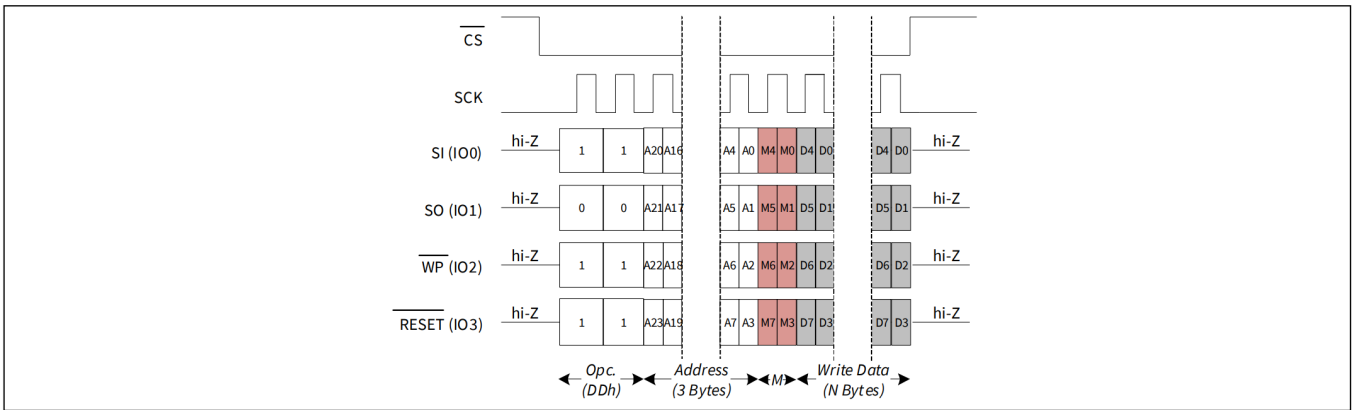


图 46 QPI 模式下 DDR 快速写入 (DDR_FAST_WRITE)

功能描述

5.1.4.5 双输入写入 (DIW, A2h)

DIW 指令可用于双数据模式，它是扩展 SPI 写入指令的一部分。在双数据模式下，操作码、地址和模式字节通过 SI 引脚传输，每个时钟周期传输一位。传输最后一个地址位后，立即将引脚重新配置为 SO 变为 I/O1，SI 变为 I/O0，并且数据 (D[7:0]) 被传输到 I/O1 和 I/O0 引脚，每个时钟周期 2 位，从 I/O1 上的 D7 开始，到 I/O0 上的 D6。

模式位允许一系列 DIW 指令在第一条指令发送 Axh 模式位 (“1010XXXX”) 后消除 8 位操作码。这具有称为立刻执行 (XiP) 的特点，并减少了初始读取时间 (提高了性能)。模式位通过包含或排除第一个字节指令操作码来控制下一个 DIW 操作的长度。如果模式位为 Axh，则器件将转换为连续 DIW 模式，并且可以输入下一个地址 (在 CS 升高到高电平然后断言为低电平之后)，而无需 A2h 操作码，从而从指令序列中消除了 8 个周期。否则，一旦 CS 从高电平转换为低电平，就需要操作码。

注释:

- 带有 !Axh (Axh 字节的逻辑非) 的模式位将退出 DIW XiP 模式。
- DIW 指令只能在 WEL 位置位为 '1' 时才能由器件执行，以启用写操作。
- DIW 操作完成后，WEL 位不会重置为“0”。

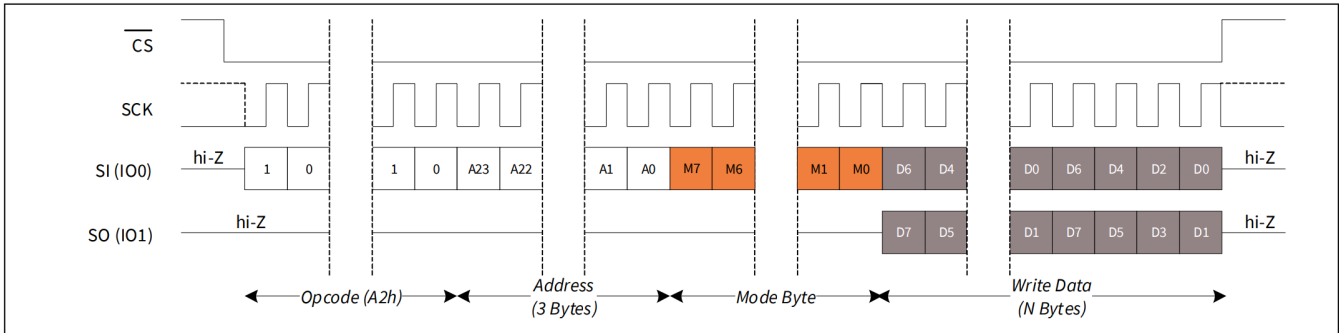


图 47 双输入写入 (DIW)

功能描述

5.1.4.6 双路 I/O 写入 (DIOW, A1h)

DIOW 指令可用于双地址/数据模式，它是扩展 SPI 写入指令的一部分。在双地址/数据模式下，操作码通过 SI 引脚传输，每个时钟周期一位。在传输最后一个操作码位之后，立即将引脚重新配置为 SO 变为 I/O1，SI 变为 I/O0，并且地址连同模式字节通过 I/O1 和 I/O0 引脚传输到部件中，每个时钟周期 2 位，从 I/O1 上的地址 A23 开始，I/O0 上的地址 A22，直到输入三字节地址。传输完最后的地址位后，数据（D[7:0]）将通过 I/O1 和 I/O0 以每时钟周期两位的速度传输到部件中，首先从 I/O1 上的 D7 和 I/O0 上的 D6 开始。

模式位允许一系列 DIOW 指令在第一条指令发送 Axx 模式位（“1010XXXX”）后消除 8 位操作码。这种特性称为立刻执行（XiP），可显著减少初始读取时间（提高性能）。模式位通过包含或排除第一个字节指令操作码来控制下一个 DIOW 操作的长度。如果模式位为 Axx，则器件将转换为连续 DIOW 模式，并且可以输入下一个地址（在 CS 升高到高电平然后断言为低电平之后），而无需 A1h 操作码，从而从指令序列中消除 8 个周期。否则，一旦 CS 从高电平转换为低电平，就需要操作码。

注释：

- 带有 !Axx（Axx 字节的逻辑非）的模式位将退出 DIOW XiP 模式。
- DIOW 指令只能在 WEL 位置位为 '1' 时才能由器件执行，以启用写操作。
- DIOW 操作完成时，WEL 位不会复位为“0”。

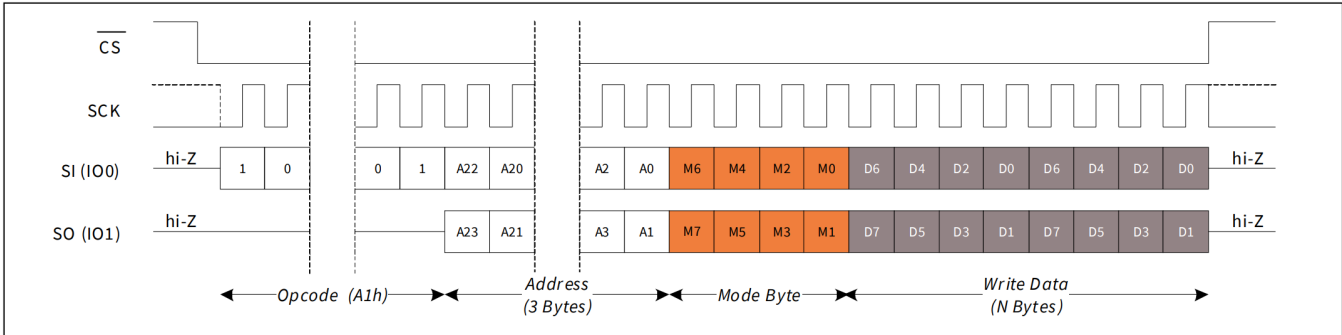


图 48 双 I/O 写入 (DIOW)

功能描述

5.1.4.7 四路输入写入 (QIW, 32h)

QIW 指令用于四路数据模式，该模式是扩展SPI写入指令的一部分。在四路数据模式下，操作码、地址和模式字节通过SI引脚传输，每个时钟周期一个位。在传输最后一个地址位后，引脚立即重新配置为：
RESET 变为 I/O3， $\overline{WP}$ 变为 I/O2，SO 变为 I/O1，SI 变为 I/O0，数据 (D7-D0) 以每个时钟周期 4 位的方式传输到 I/O3、I/O2、I/O1 和 I/O0 引脚，首先是 I/O3 上的 D7，然后是 I/O2 上的 D6，I/O1 上的 D5，以及 I/O0 上的 D4。

模式位允许一系列 QIW 指令在第一条指令发送 Axh 模式位 (“1010XXXX”) 后消除 8 位操作码。这种特性称为立刻执行 (XiP)，可显著减少初始读取时间 (提高性能)。模式位通过包含或排除第一个字节指令操作码来控制下一个 QIW 操作的长度。如果模式位为 Axh，则器件转换为连续 QIW 模式，并且可以输入下一个地址 (在 $\overline{CS}$ 升高到高电平然后断言为低电平之后)，而无需 32h 操作码，从而从指令序列中消除 8 个周期。否则，一旦 $\overline{CS}$ 从高电平转换为低电平，就需要操作码。

注释：

- 带有 !Axh (Axh 字节的逻辑非) 的模式位将退出 QIW XiP 模式。
- 如果状态寄存器中的写使能锁存器 (WEL) 置位为“1”以进行写操作，则 QIW 指令只能由器件执行。
- QIW 操作完成后，WEL 位不会复位为“0”。

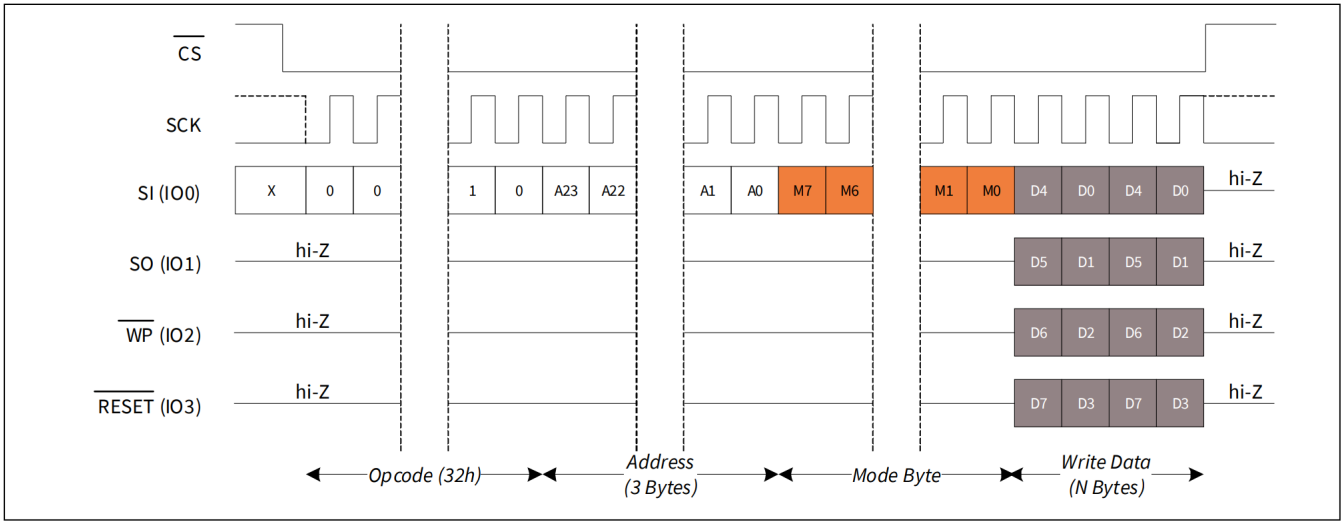


图 49 四路输入写入 (QIW)

功能描述

5.1.4.8 四路 I/O 写入 (QIOW, D2h)

QIOW 指令可用于四地址/数据模式，该模式是扩展SPI写指令的一部分。在四地址/数据模式下，操作码通过SI引脚传输，每个时钟周期一个地址。在传输最后一个操作码地址后，引脚立即重新配置为： $\overline{\text{RESET}}$ 变为 I/O3，WP 变为 I/O2，SO 变为 I/O1，SI 变为 I/O0，地址通过 I/O3、I/O2、I/O1 和 I/O0 引脚传输到器件中，每个时钟周期 4 位，地址从 I/O3 上的地址 A23 开始，到 I/O2 上的地址 A22，到 I/O1 上的地址 A21，到 I/O0 上的地址 A20，直到输入三字节地址。传输完最后的位后，数据 (D7-D0) 将通过 I/O3、I/O2、I/O1 和 I/O0 每时钟周期传输四位，首先是 I/O3 上的 D7，I/O2 上的 D6，I/O1 上的 D5 和 I/O0 上的 D4。

模式位允许一系列 QIOW 指令在第一条指令发送 Axx 模式位 (“1010XXXX”) 后消除 8 位操作码。这种特性称为立刻执行 (XiP)，可显著减少初始读取时间 (提高性能)。模式位通过包含或排除第一个字节指令操作码来控制下一个 QIOW 操作的长度。如果模式位为 Axx，则器件将转换为连续 DIOW 模式，并且可以输入下一个地址 (在CS升高到高电平然后断言为低电平之后)，而无需D2h操作码，从而从指令序列中消除 8 个周期。否则，一旦CS从高电平转换为低电平，就需要操作码。

注释：

- 带有 !Axx (Axx 字节的逻辑非) 的模式位将退出 QIOW XiP 模式。
- 如果状态寄存器中的写使能锁存器 (WEL) 置位为“1”以进行写操作，则 QIOW 指令只能由器件执行。
- QIOW 操作完成后，WEL 位不会重置为“0”。

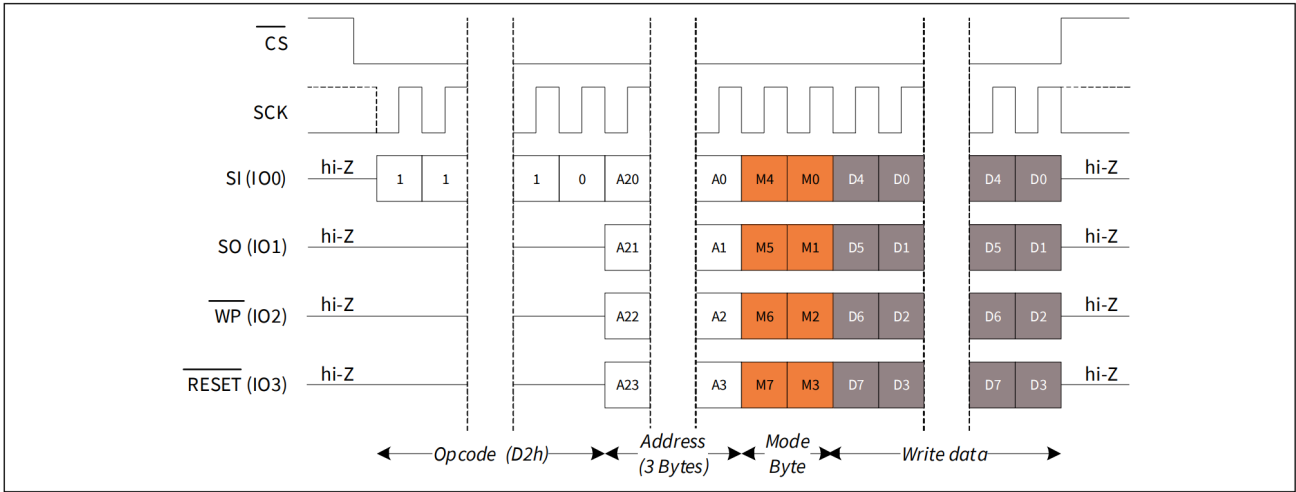


图 50 四路 I/O 写入 (QIOW)

功能描述

5.1.4.9 DDR 四路 I/O 写入 (DDRQIOW, D1h)

双倍数据传输速率四路 I/O 写入与四路 I/O 类似，不同之处在于地址和数据在时钟的每个边沿发送，并且 DDRQIOW 中的模式位模式为 A5h (“10100101”)。此操作码不支持 SPI 模式 3。

注释：带有 !A5h (A5h 字节的逻辑非) 的模式位将退出 DDRQIOW XiP 模式。

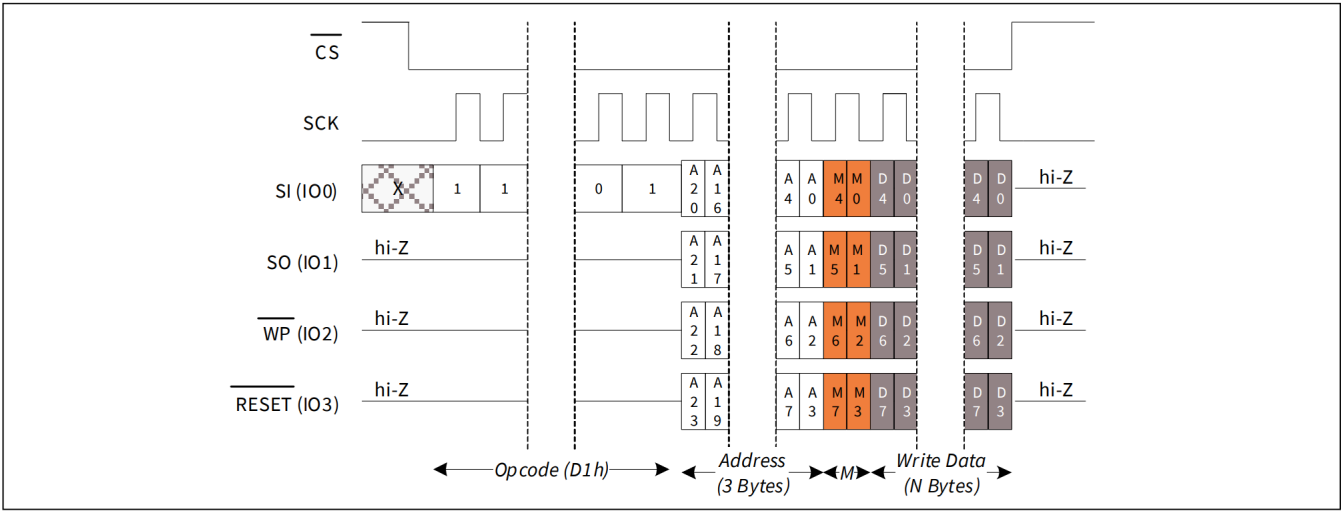


图 51 四路 I/O 写入 (QIOW)

功能描述

5.1.5 存储器读操作

CS引脚拉低以选择器件后，发送存储器读取指令。读取操作码后面是 XiP 的三字节地址和模式字节（如适用）。CY15B201QSN 具有 17 位地址空间，密度为 1 Mb (128K × 8)。最重要的地址字节包含 A16 个有效位，而其余位被视为“无关”。地址位 A16 至 A0 通过 SPI 总线以三个字节的形式传输，随后是模式字节和虚拟周期（如适用）。

存储器读取支持 SDR 和 DDR 通道接口中的 SPI、扩展 SPI、DPI 或 QPI 模式，并包括立即执行 (XiP) 支持。表 41 显示 CY15B201QSN 在各种 SPI 总线接口和数据传输模式下支持的总结读取指令列表。

表 41 存储器读取指令

Command	Opcode (Hex)	Command description
READ	03	Memory Read - reads up to 50 MHz without memory latency cycle in SPI SDR mode and up to 108 MHz with memory latency cycles in SPI, DPI, QPI SDR modes
FAST_READ	0B	Memory Fast Read - reads up to 108 MHz with memory latency cycles in SPI, DPI, QPI SDR modes
DDRFR	0D	DDR Fast Read - fast read instruction in QPI DDR mode
DOR	3B	Dual Output Read - command and address bytes are sent on single SI line and data on dual output lines I/O1 (SO), I/O0 (SI)
DIOR	BB	Dual I/O Read - command sent on single SI line, address input and data output on dual output lines I/O1 (SO), I/O0 (SI)
QOR	6B	Quad output read - command and address sent on single SI line, data on quad output lines I/O3 (RESET), I/O2 (WP), I/O1 (SO), I/O0 (SI)
QIOR	EB	Quad I/O Read - command sent on single SI line, address input and data output on quad output lines I/O3 (RESET), I/O2 (WP), I/O1 (SO), I/O0 (SI). This opcode executes in Extended SPI (Quad I/O) SDR and in QPI SDR mode
DDRQIOR	ED	Quad I/O Read in SDR and DDR modes. This opcode executes in Extended SPI (Quad I/O) SDR and in QPI DDR mode.

表 42 存储器读取命令详细信息

Opcode (Hex)	Address length	SPI bus interface							Data transfer		XiP eXecute in Place	Memory latency Dummy cycles	Max clock frequency
		SPI	Dual data	Quad data	Dual I/O	Quad I/O	DPI	QPI	SDR	DDR			
03	3 Bytes	Yes	NA				Yes	Yes	Yes	NA	NA	Yes	108 MHz
0B	3 Bytes	Yes	NA				Yes	Yes	Yes	NA	Yes	Yes	108 MHz
0D	3 Bytes	NA						Yes	NA	Yes	Yes	Yes	54 MHz
3B	3 Bytes	NA	Yes	NA					Yes	NA	Yes	Yes	108 MHz
BB	3 Bytes	NA			Yes	NA			Yes	NA	Yes	Yes	108 MHz
6B	3 Bytes	NA		Yes	NA				Yes	NA	Yes	Yes	108 MHz
EB	3 Bytes	NA			Yes	NA	Yes	Yes	Yes	NA	Yes	Yes	108 MHz
ED	3 Bytes	NA			Yes	NA	Yes	NA	Yes	Yes	Yes	Yes	54 MHz

功能描述

5.1.5.1 存储器读取 (READ, 03h)

读指令读出给定地址处的存储器内容。地址可以从三字节地址确定的 1 Mb 存储器阵列的任意字节位置开始。每个数据字节移出后，地址会按依次递增到下一个更高的地址。因此，可以使用提供的单个读取操作码和地址来读取整个 1 Mb 存储器。当达到最高地址 0x1FFFF 时，地址计数器将回滚并回卷到 0x000000，从而允许读取序列无限继续。该指令在 SPI、DPI 或 QPI 模式下执行。

注释：虚拟周期是通过 CR1 中的存储器延迟代码位（MLC0 至 MLC3）配置的选项。

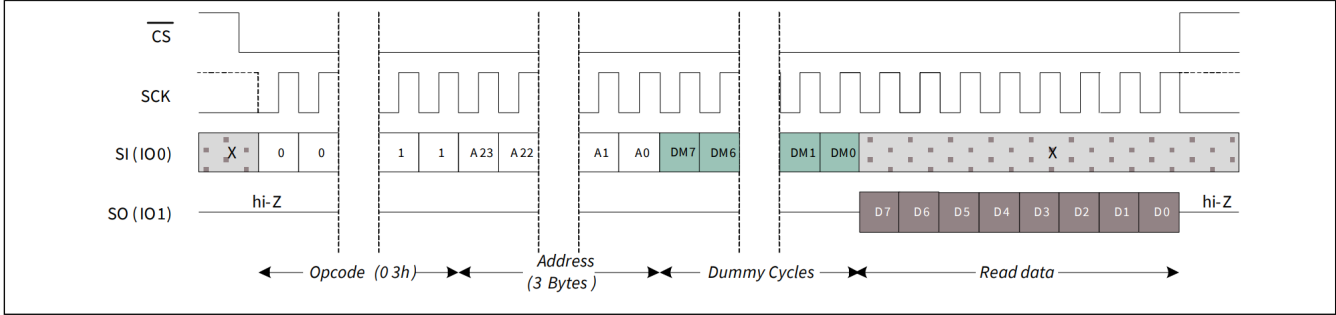


图 52 SPI 模式下的读取

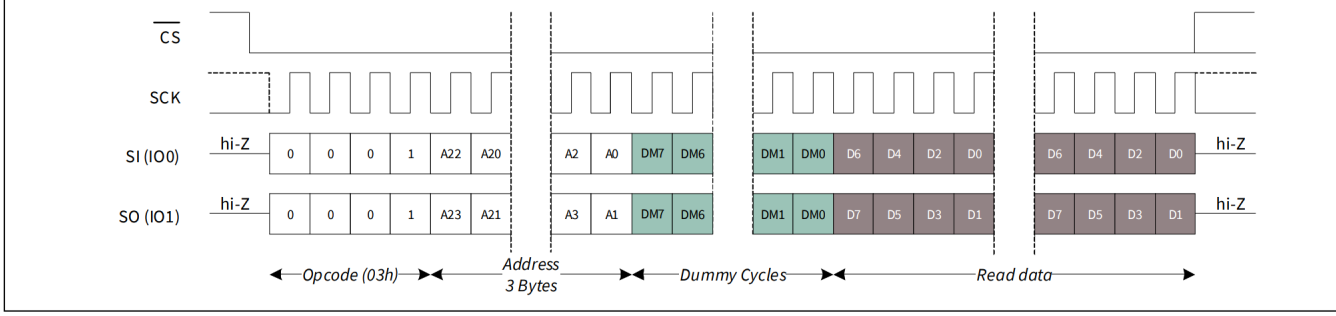


图 53 DPI 模式下的读取

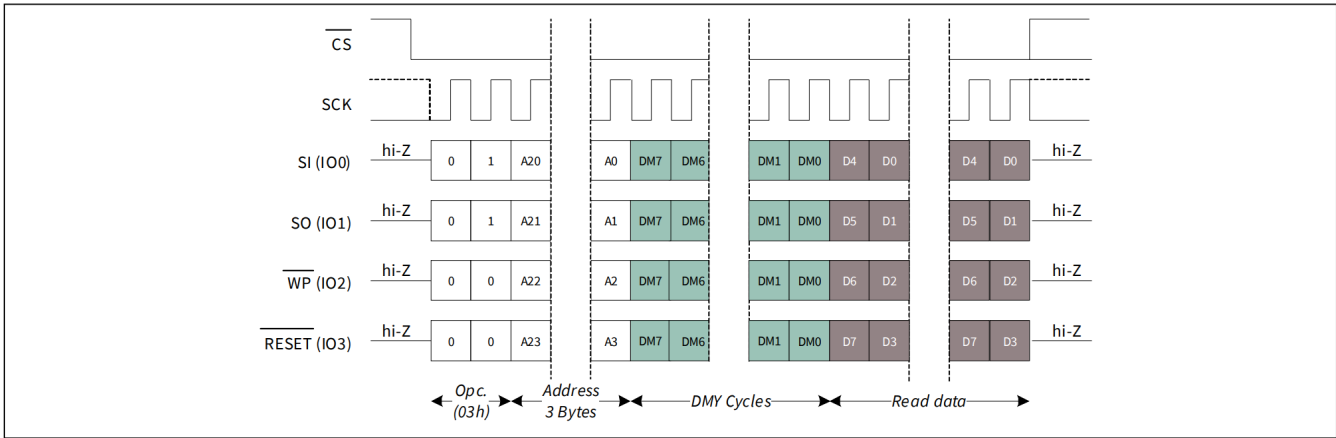


图 54 QPI 模式下的读取

功能描述

5.1.5.2 快速读取 (FAST_READ, 0Bh)

FAST_READ 指令读出给定地址处的存储器内容。地址可以从三字节地址确定的 1 Mb 存储器阵列的任意字节位置开始。每个数据字节移出后，地址会按依次递增到下一个更高的地址。因此，可以使用提供的单个读取操作码和地址来读取整个存储器。当达到最高地址 0x1FFFF 时，地址计数器将回滚并回卷到 0x000000，从而允许读取序列无限继续。该指令在 SPI、DPI 或 QPI 模式下执行。

模式位允许一系列快速读取指令在第一条指令发送 Axh 模式位 (“1010XXXX”) 后消除 8 位操作码。这种特性称为立刻执行 (XiP)，可显著减少初始读取时间 (提高性能)。模式位通过包含或排除第一个字节指令操作码来控制下一个 FAST_READ 操作的长度。如果模式位为 Axh，则器件将转换为连续 FAST_READ 模式，并且可以输入下一个地址 (在 CS 升高到高电平然后断言为低电平之后)，而无需 0Bh 操作码，从而从指令序列中消除 8 个周期。否则，一旦 CS 从高电平转换为低电平，就需要操作码。

注释:

- 带有 !Axh (Axh 字节的逻辑非) 的模式位将退出 FAST_READ XiP 模式。
- 虚拟周期是通过 CR1 中的存储器延迟代码位 (MLC0 至 MLC3) 配置的选项。

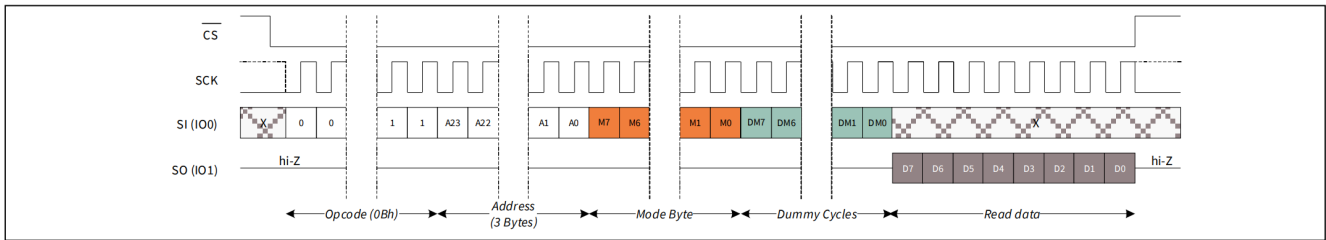


图 55 SPI 模式下的 FAST_READ

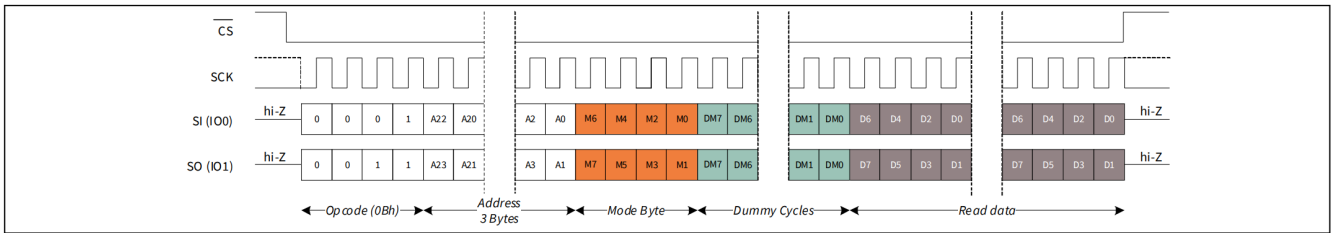


图 56 DPI 模式下的 FAST_READ

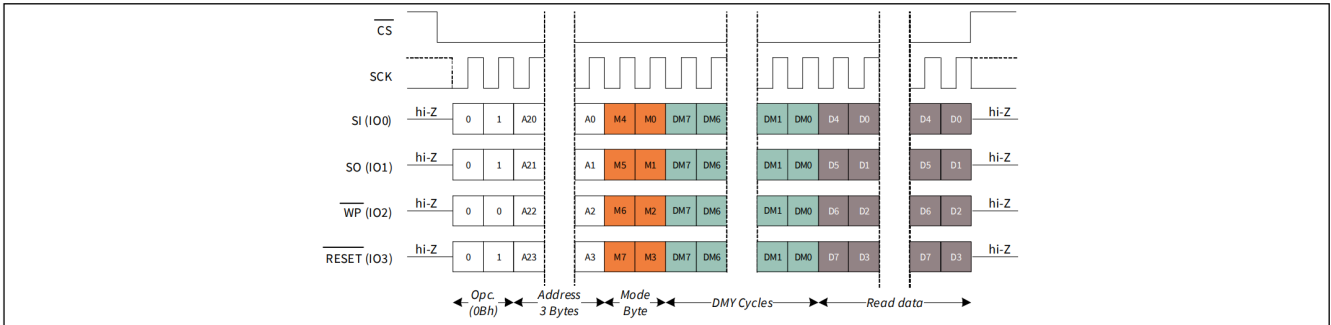


图 57 QPI 模式下的 FAST_READ

功能描述

5.1.5.3 DDR 快速读取 (DDRFR, 0Dh)

DDRFR 指令通过在时钟的每个边沿传输地址、虚拟位和数据位来提高带宽。地址可以从由三字节地址确定的 1 Mb 存储器阵列的任意字节位置开始。每个数据字节移出后，地址会自动按顺序递增到下一个地址。因此，只需一个读取操作码和提供的起始地址即可读取整个存储器。当达到最高地址 0x1FFFF 时，地址计数器将回滚并回卷至 0x000000，从而允许读取序列无限期地继续。在虚拟周期内， $\overline{\text{CS}}$ 应保持低电平。此命令在 QPI 模式下执行。

模式位允许一系列快速读取 DDR 指令在第一条指令发送 A5h 模式位 (“10100101”) 后消除 8 位操作码。这种特性称为立刻执行 (XiP)，可显著减少初始读取时间 (提高 XiP 性能)。模式位通过包含或排除第一个字节指令操作码来控制下一个 DDRFR 操作的长度。如果模式位为 A5h，则器件将转换为连续 DDR 快速读取模式，并且可以输入下一个地址 (在 $\overline{\text{CS}}$ 升高到高电平然后断言为低电平之后)，而无需 0Dh 操作码，从而从指令序列中消除 8 个周期。否则，一旦 $\overline{\text{CS}}$ 高电平转换为低电平，就需要操作码。此操作码不支持 SPI 模式 3。

注释:

- 带有 !A5h (A5h 字节的逻辑非) 的模式位将退出 DDRFR XiP 模式。
- 虚拟周期是通过 CR1 中的存储器延迟代码位 (MLC0 至 MLC3) 配置的选项。

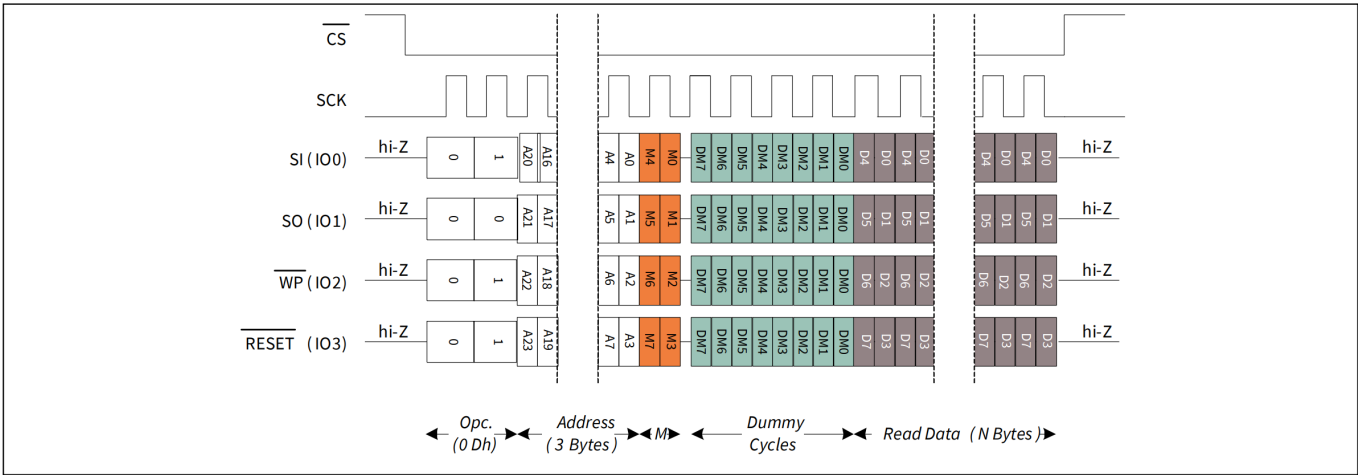


图 58 QPI 模式下的 DDRFR

功能描述

5.1.5.4 双输出读取 (DOR, 3Bh)

DOR指令用于双数据模式，它是扩展SPI读取指令的一部分。在双数据模式下，操作码、地址和模式字节 (A_{xh}) 和虚拟周期通过 SI 引脚传输，每个时钟周期一位。在最后一个虚拟周期的 SCK 下降沿，引脚重新配置为 SO 变为 I/O1，SI 变为 I/O0。来自指定地址的数据 (D₇-D₀) 在 I/O1 和 I/O0 引脚上移出，每个时钟周期移出两位，从 I/O1 上的 D₇ 开始，然后是 I/O 上的 D₆。该地址可以从存储器阵列的任意字节位置开始。每个数据字节移出后，地址会按依次递增到下一个更高的地址。因此可以读取整个存储器。当达到最高地址 0x1FFFF 时，地址计数器将回滚并回卷到 0x000000，从而允许读取序列无限继续。

模式位允许在第一条指令发送 A_{xh} 模式位 (“1010XXXX”) 模式后，连续 DOR 指令消除 8 位操作码。这种特性称为立刻执行 (XiP)，可显著减少初始读取时间 (提高 XiP 性能)。模式位通过包含或排除第一个字节指令操作码来控制下一个 DOR 操作的长度。如果模式位为 A_{xh}，则器件转换为连续 DOR 模式，并且可以输入下一个地址 (在 CS 升高到高电平然后断言为低电平之后)，而无需 3Bh 操作码，从而从指令序列中消除 8 个周期。否则，一旦 CS 从高电平转换为低电平，就需要操作码。

注释:

- 带有 !A_{xh} (A_{xh} 字节的逻辑非) 的模式位将退出 DOR XiP 模式。
- 虚拟周期是通过 CR1 中的存储器延迟代码位 (MLC0 至 MLC3) 配置的选项。

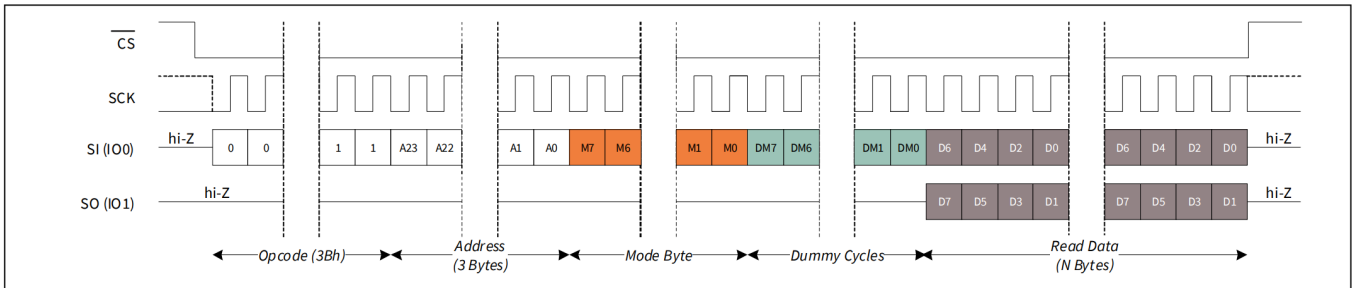


图 59 双输出读取 (DOR)

功能描述

5.1.5.5 双 I/O 读取 (DIOR, BBh)

DIOR 指令用于双地址/数据模式，它是扩展 SPI 读取指令的一部分。在双地址/数据模式下，操作码通过 SI 引脚传输，每个时钟周期一位。在操作码的最后一位之后，引脚被重新配置为 SO 变为 I/O1，SI 变为 I/O0。然后通过 I/O1 和 I/O0 引脚将地址传输到部件中，每个时钟周期 2 位，从 I/O1 上的地址 A23 和 I/O0 上的地址 A22 开始，直到输入三字节地址。特定地址处的数据 (D7-D0) 在 I/O1 上移出，并且 I/O0 引脚每个时钟周期移出两位，从 I/O1 上的 D7 和 I/O0 上的 D6 开始。每个数据字节移出后，地址会按依次递增到下一个更高的地址。因此，整个存储器可以被读取。当达到最高地址 0x1FFFF 时，地址计数器将回滚并回卷到 0x000000，从而允许读取序列无限继续。

模式位允许在第一条指令发送 Axh 模式 (“1010XXXX”) 模式后，连续 DIOR 指令消除 8 位操作码。这种特性称为立刻执行 (XiP)，可显著减少初始读取时间 (提高 XiP 性能)。模式位通过包含或排除第一个字节指令操作码来控制下一个 DIOR 操作的长度。如果模式位为 Axh，则器件将转换为连续 DIOR 模式，并且可以输入下一个地址 (在 $\overline{CS}$ 升高到高电平然后断言为低电平之后)，而无需 BBh 操作码，从而从指令序列中消除 8 个周期。否则，一旦 $\overline{CS}$ 从高电平转换为低电平，就需要操作码。

注释：

- 带有 !Axh (Axh 字节的逻辑非) 的模式位将退出 FAST_READ XiP 模式。
- 虚拟周期是通过 CR1 中的存储器延迟代码位 (MLC0 至 MLC3) 配置的选项。

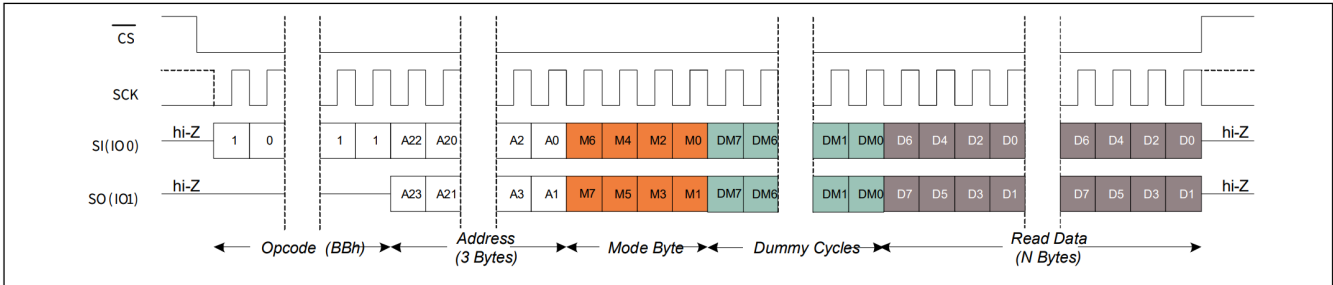


图 60 双路 I/O 读取 (DIOR)

功能描述

5.1.5.6 四路输出读取 (QOR, 6Bh)

QOR 指令用于四路数据模式，该模式是扩展SPI读指令的一部分。在四路数据模式下，操作码、地址、模式字节 (A_{xh}) 和虚拟周期通过SI引脚传输，每个时钟周期传输一个位。在最后一个模式周期的 SCK 下降沿，引脚重新配置为RESET变为 I/O3，WP 变为 I/O2，SO 变为 I/O1，SI变为 I/O0。指定地址的数据 (D7-D0) 以每时钟周期四位的方式从 I/O3、I/O2、I/O1 和 I/O0 引脚移出，首先从 I/O3 上的 D7 开始，I/O2 上的 D6，I/O1 上的 D5 和 I/O0 上的 D4。在移出每个字节数据后，地址将按顺序自动递增到下一个更高的地址。因此，整个存储器都可以读取。当达到最高地址0x1FFFF时，地址计数器将回滚并回卷到0x000000，允许读取序列继续无限期。

模式位允许在第一条指令发送 A_{xh} 模式位 (“1010XXXX”) 模式后，连续 DOR 指令消除 8 位操作码。这种特性称为立刻执行 (XiP)，可显著减少初始读取时间（提高 XiP 性能）。模式位通过包含或排除第一个字节指令操作码来控制下一个 QOR 操作的长度。如果模式位为 A_{xh}，则器件将转换为连续 QOR 模式，并且可以输入下一个地址（在CS升高到高电平然后断言为低电平之后），而无需 6Bh位操作码，从而从指令序列中消除了 8 个周期。否则，一旦CS从高电平转换为低电平，就需要操作码。

注释：

- QUAD 位 CR1[1] 必须设置为配置寄存器 1 中的“1”。
- 带有 !A_{xh} (A_{xh} 字节的逻辑非) 的模式位将退出 DOR XiP 模式。
- 虚拟周期是通过 CR1 中的存储器延迟代码位 (MLC0 至 MLC3) 配置的选项。

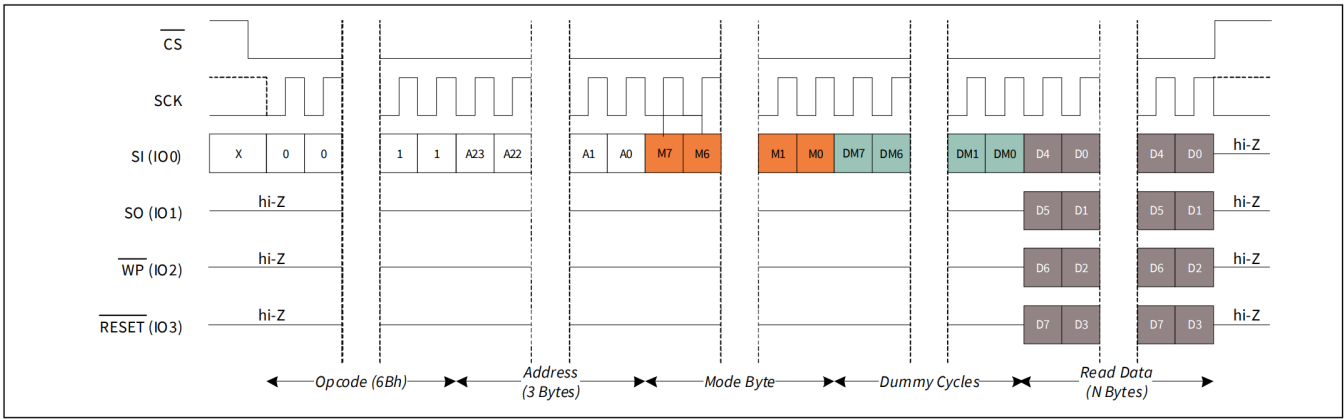


图 61 四路输出读取 (QOR)

功能描述

5.1.5.7 四路 I/O 读取 (QIOR, EBh) - 扩展 SPI 模式下

QIOR 指令用于四地址/数据模式，该模式是扩展 SPI 读取指令的一部分。在四地址/数据模式下，操作码通过 SI 引脚传输，每个时钟周期传输一个位。在操作码的最后一个位之后，引脚被重新配置为： $\overline{\text{RESET}}$ 变为 I/O3， $\overline{\text{WP}}$ 变为 I/O2，SO 变为 I/O1，SI 变为 I/O0。然后，地址通过 I/O3、I/O2、I/O1 和 I/O0 引脚传输到器件中，每个时钟周期 4 位，首先是 I/O3 上的地址 A23，然后是 I/O2 上的地址 A22，然后是 I/O1 上的地址 A21，最后是 I/O0 上的地址 A20，直到输入三字节地址。每个时钟周期，特定地址处的数据 (D7-D0) 在 I/O3、I/O2、I/O1 和 I/O0 引脚上移出四位，从 I/O3 上的 D7 和 I/O2 上的 D6、I/O1 上的 D5 和 I/O0 上的 D4 开始。因此可以读取整个存储器。当达到最高地址 0x1FFFF 时，地址计数器将回滚并回卷到 0x000000，允许读取序列继续无限期。

模式位允许 QIOR 指令在第一条指令发送 Axh 模式位 (“1010XXXX”) 后消除 8 位操作码。这种特性称为立刻执行 (XiP)，可显著减少初始读取时间 (提高 XiP 性能)。模式位通过包含或排除第一个字节指令操作码来控制下一个 QIOR 操作的长度。如果模式位为 Axh，则器件将转换为连续 QIOR 模式，并且可以输入下一个地址 (在 CS 升高到高电平然后断言为低电平之后)，而无需 EBh 操作码，从而从指令序列中消除 8 个周期。否则，一旦 CS 升高到高电平然后断言为低电平，就需要 EBh 操作码。

注释：

- QUAD 位 CR1[1] 必须设置为配置寄存器 1 中的“1”。
- 带有 !Axh (Axh 字节的逻辑非) 的模式位将退出 QIOR XiP 模式。
- 虚拟周期是通过 CR1 中的存储器延迟代码位 (MLC0 至 MLC3) 配置的选项。

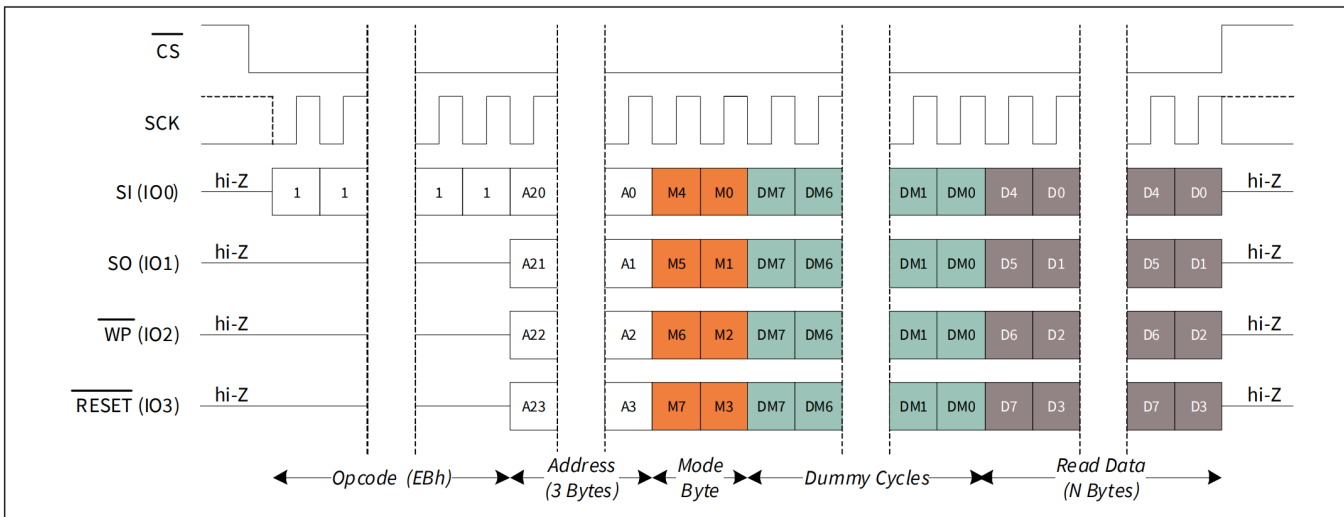


图 62 扩展 SPI 模式下的四路 I/O 读取 (QIOR)

功能描述

5.1.5.8 四路 I/O 读取 (QIOR, EBh) - QPI 模式下

QIOR 的操作码也可以在 QSPI 模式下执行。由于器件处于 QSPI 模式，操作码、地址和模式字节通过所有四个 I/O 传输。特定地址的数据 (D7-D0) 在 I/O3、I/O2、I/O1 和 I/O0 引脚上每时钟周期移出四位，首先是 I/O3 上的 D7、I/O2 上的 D6、I/O1 上的 D5 和 I/O0 上的 D4。

注释：

- 带有 !Axh (Axh 字节的逻辑非) 的模式位将退出 QIOR 模式。
- 虚拟周期是通过 CR1 中的存储器延迟代码位 (MLC0 至 MLC3) 配置的选项。

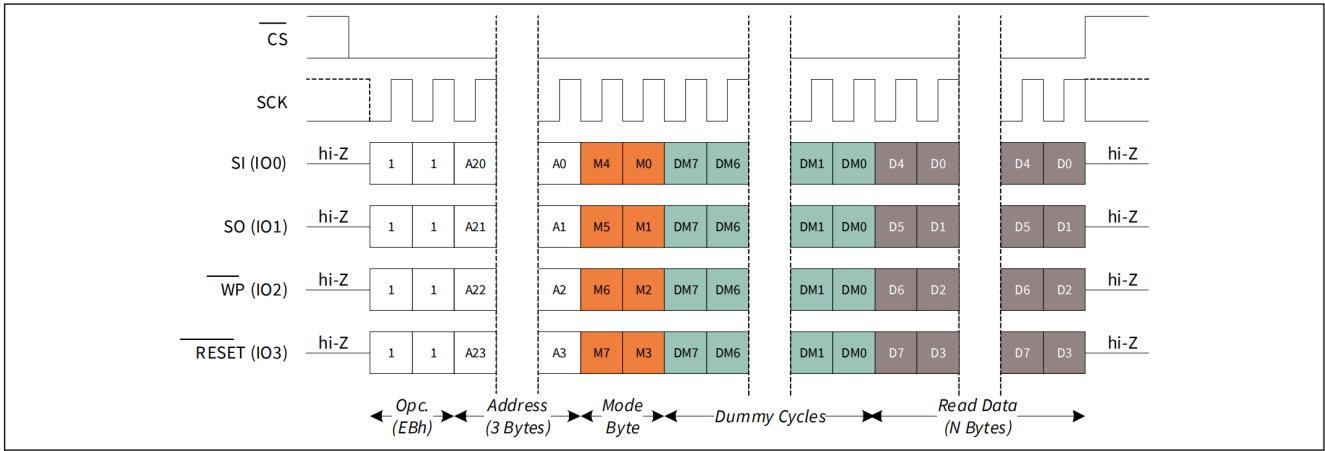


图 63 QPI 模式下的四路 I/O 读取 (QIOR)

功能描述

5.1.5.9 四路 I/O 读取 (QIOR, EBh) - 扩展 SPI 模式下

QIOR 指令用于四地址/数据模式，该模式是扩展 SPI 读取指令的一部分。在四地址/数据模式下，操作码通过 SI 引脚传输，每个时钟周期传输一个位。在操作码的最后一个位之后，引脚被重新配置为： $\overline{\text{RESET}}$ 变为 I/O3， $\overline{\text{WP}}$ 变为 I/O2，SO 变为 I/O1，SI 变为 I/O0。然后，地址通过 I/O3、I/O2、I/O1 和 I/O0 引脚传输到器件中，每个时钟周期 4 位，首先是 I/O3 上的地址 A23，然后是 I/O2 上的地址 A22，然后是 I/O1 上的地址 A21，最后是 I/O0 上的地址 A20，直到输入三字节地址。每个时钟周期，特定地址处的数据 (D7-D0) 在 I/O3、I/O2、I/O1 和 I/O0 引脚上移出四位，从 I/O3 上的 D7 和 I/O2 上的 D6、I/O1 上的 D5 和 I/O0 上的 D4 开始。因此可以读取整个存储器。当达到最高地址 0x1FFFF 时，地址计数器将回滚并回卷到 0x000000，允许读取序列继续无限期。

模式位允许 QIOR 指令在第一条指令发送 Axh 模式位 (“1010XXXX”) 后消除 8 位操作码。这种特性称为立刻执行 (XiP)，可显著减少初始读取时间 (提高 XiP 性能)。模式位通过包含或排除第一个字节指令操作码来控制下一个 QIOR 操作的长度。如果模式位为 Axh，则器件将转换为连续 QIOR 模式，并且可以输入下一个地址 (在 $\overline{\text{CS}}$ 升高到高电平然后断言为低电平之后)，而无需 EBh 操作码，从而从指令序列中消除 8 个周期。否则，一旦 $\overline{\text{CS}}$ 升高到高电平然后断言为低电平，就需要 EBh 操作码。

注释：

- QUAD 位 CR1[1] 必须设置为配置寄存器 1 中的“1”。
- 带有 !Axh (Axh 字节的逻辑非) 的模式位将退出 QIOR XiP 模式。
- 虚拟周期是通过 CR1 中的存储器延迟代码位 (MLC0 至 MLC3) 配置的选项。

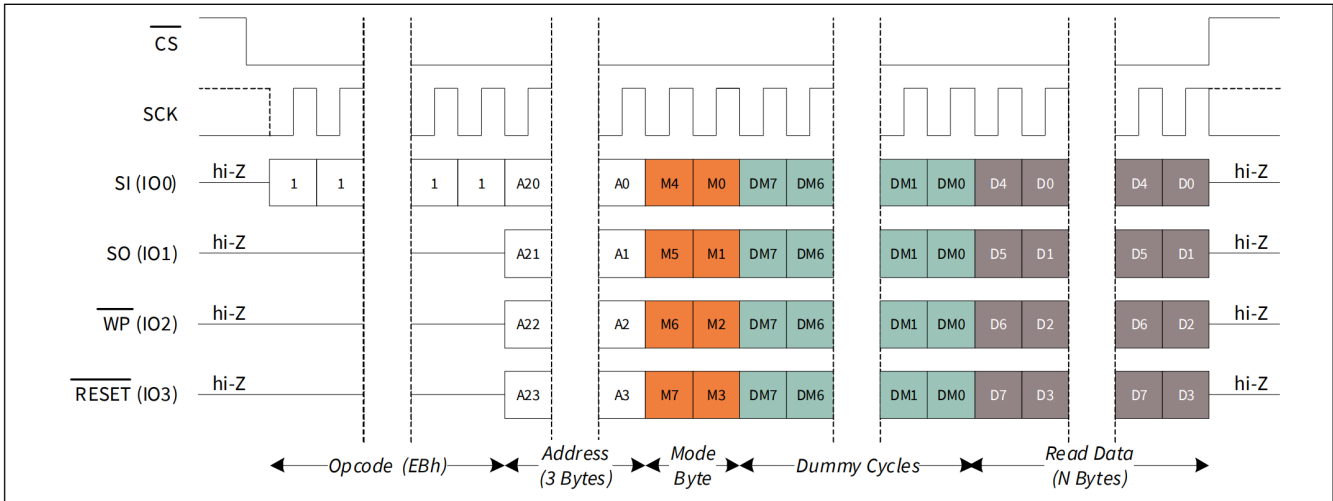


图 64 扩展 SPI 模式下的四路 I/O 读取 (QIOR)

功能描述

5.1.5.10 DDR 四路 I/O 读取 (DDRQIOR EDh) - 扩展 SPI 模式下

DDRQIOR 指令通过四个 I/O 信号 SI (I/O0)、SO (I/O1)、 $\overline{\text{WP}}$ (I/O2) 和 $\overline{\text{RESET}}$ (I/O3) 改进了带宽。它类似于四路 I/O 读取指令，但在时钟的每个边沿传输地址、模式、虚拟位或数据位。地址可以从存储器阵列中的任何字节位置开始。在数据的每个字节移出后，地址将按顺序自动递增到下一个更高的地址。因此，只需提供单个读取操作码和地址即可读取整个存储器。当达到最高地址 0x1FFFF 时，地址计数器将回滚并回卷到 0x000000，从而允许读取序列无限期地继续。在虚拟位期间不应将 CS 驱动为高电平，因为这可能会使位不确定。

模式位允许一系列 QIOR DDR 指令在第一条指令发送 A5h 模式位模式后消除 8 位操作码。这种特性称为立刻执行 (XiP)，可显著减少初始读取时间（提高 XiP 性能）。模式位通过包含或排除第一个字节指令操作码来控制下一个 DDR QIOR 操作的长度。如果模式位为 Axh，则器件将转换为连续 QIOR DDR 模式，并且可以输入下一个地址（在 $\overline{\text{CS}}$ 升高到高电平然后断言为低电平之后），而无需 EDh 操作码，从而从指令序列中消除了 8 个周期。否则，一旦 $\overline{\text{CS}}$ 升高到高电平然后断言为低电平，就需要操作码。此操作码不支持 SPI 模式 3。

注释：

- QUAD 位 CR1[1] 必须设置为配置寄存器 1 中的“1”。
- 带有 !A5h (A5h 字节的逻辑非) 的模式位将退出 DDRQIOR XiP 模式。
- 虚拟周期是通过 CR1 中的存储器延迟代码位 (MLC0 至 MLC3) 配置的选项。

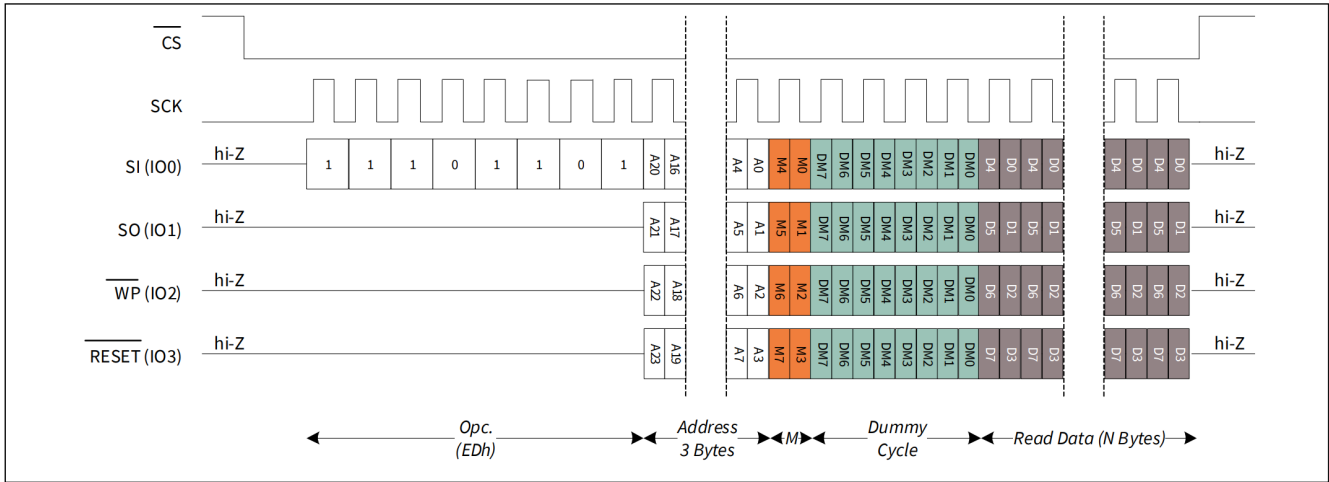


图 65 DDR 中的四路 I/O 读取 (DDRQIOR) - 扩展 SPI 模式下

功能描述

5.1.5.11 DDR 四路 I/O 读取 (DDRQIOR EDh) - QPI 模式下

DDRQIOR 的操作码也可以在 QSPI 模式下执行。对于 QPI 模式下的 DDR 四路输入/输出读取 (DDRQIOR)，数据通过 DDR 中的 (I/O0、I/O1、I/O2、I/O3) 读取，地址和模式位也通过 DDR 中的 (I/O0、I/O1、I/O2、I/O3) 发送，而操作码通过 SDR 中的 (I/O0、I/O1、I/O2、I/O3) 发送。

注释：

- 带有 !A5h (A5h 字节的逻辑非) 的模式位将退出 DDRQIOR XiP 模式。
- 虚拟周期是通过 CR1 中的存储器延迟代码位 (MLC0 至 MLC3) 配置的选项。

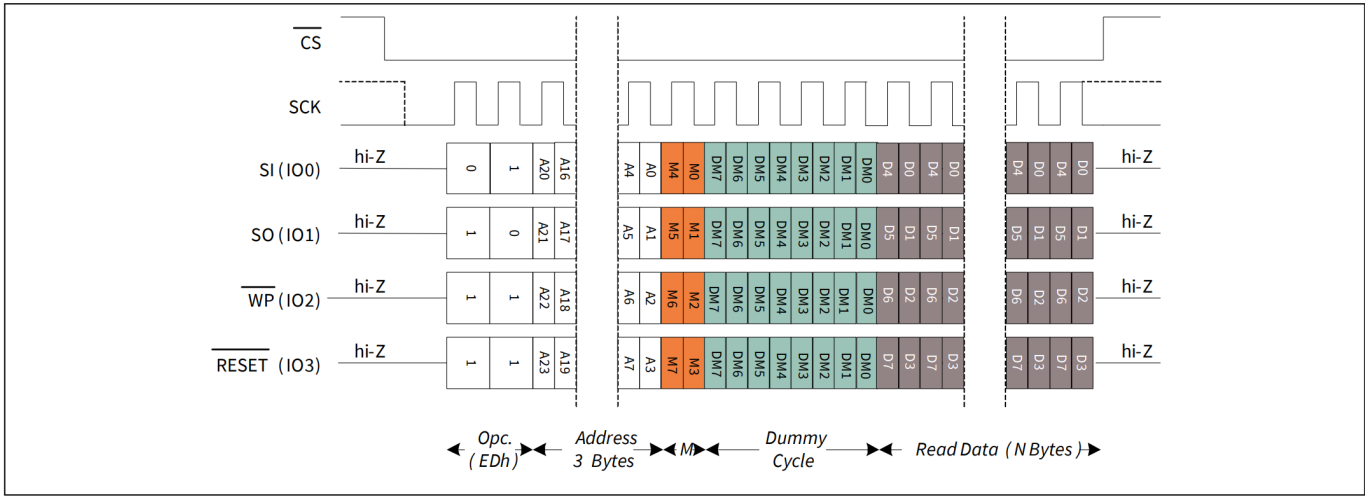


图 66 DDR 中的四路 I/O 读取 (DDRQIOR) - QPI 模式下

功能描述

5.1.6 特别扇区存储器

CY15B201QSN 还提供了一个额外的特殊扇区存储器区域，长度为 256 字节。这种特殊的扇区设计可以为存储内容提供更高的热可靠性。存储到这个特殊扇区的数据最多可以保存三个标准回流焊接周期。这个特殊的扇区位置可用于存储PCB模块详细信息、序列号详细信息等。特殊的扇区存储器访问指令支持SPI、DPI 和 QPI 操作模式。

表 43 特殊扇区存储器访问指令

Command	Opcode (Hex)	Command description
SSWR	42	Special Sector Write - Dedicated command to write 256 bytes special sector memory
SSRD	4B	Special Sector Read - Dedicated command to read 256 bytes from the special sector memory

表 44 特殊扇区存储器访问指令详细信息

Opcode (Hex)	Address length	SPI bus interface							Data transfer		Memory latency	XiP	Max clock frequency
		SPI	Dual data	Quad data	Dual I/O	Quad I/O	DPI	QPI	SDR	DDR	Dummy cycles	eXecute in Place	
42		Yes	NA				Yes	Yes	Yes	NA	NA	NA	108 MHz
4B		Yes	NA				Yes	Yes	Yes	NA	Yes	NA	108 MHz

功能描述

5.1.6.1 特殊扇区写入 (SSWR, 42h)

当 SSWR 操作码连同写入数据一起提供给 SPI 模式的 SI 引脚、双通道模式 (DPI) 的 I/O1 和 I/O0 引脚或四通道模式 (QPI) 的 I/O3、I/O2、I/O1 和 I/O0 引脚时，将执行特殊扇区写入操作。突发写入可用于写入连续地址，而无需发出新的 SSWR 指令。如果仅需写入一个字节，则必须在传输 D0（数据的最低有效位）后将 $\overline{\text{CS}}$ 引脚驱动为高电平。但是，如果要写入更多字节，则可以将 $\overline{\text{CS}}$ 引脚保持为低电平，地址将自动递增。输入引脚上的数据字节将写入连续的地址。内部地址计数器自动递增至 0xFF 后， $\overline{\text{CS}}$ 应切换为高电平以终止正在进行的 SSWR 操作。数据先写入最高有效位 (MSb)。 $\overline{\text{CS}}$ 的上升沿终止写入操作。

注释：

- 三字节地址包含扇区地址的低 8 位 (A7-A0)。而三字节地址的其余 16 个最高有效位应置位为‘0’。
- 仅当 SR1 中的写使能锁存器 (WEL) 设置为“1”以进行写操作时，SSWR 指令才能由器件执行。
- SSWR 指令终止后（在 $\overline{\text{CS}}$ 的上升沿），SR1 (SR1[1]) 的 WEL 位自动清“0”。

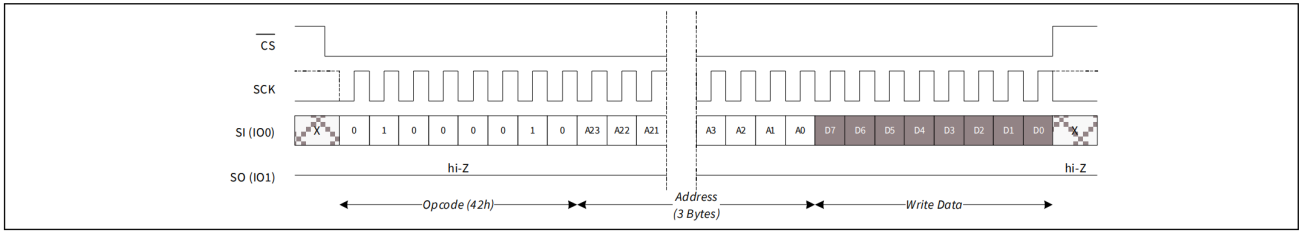


图 67 SPI 模式下的特殊扇区写入 (SSWR) (未显示 WREN)

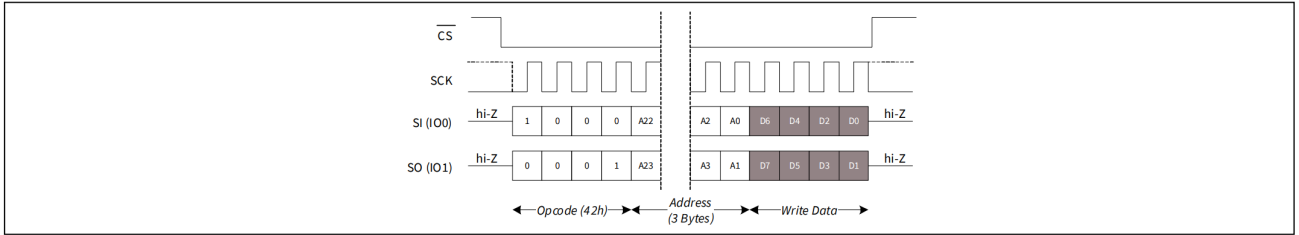


图 68 DPI 模式下的特殊扇区写入 (SSWR) (未显示 WREN)

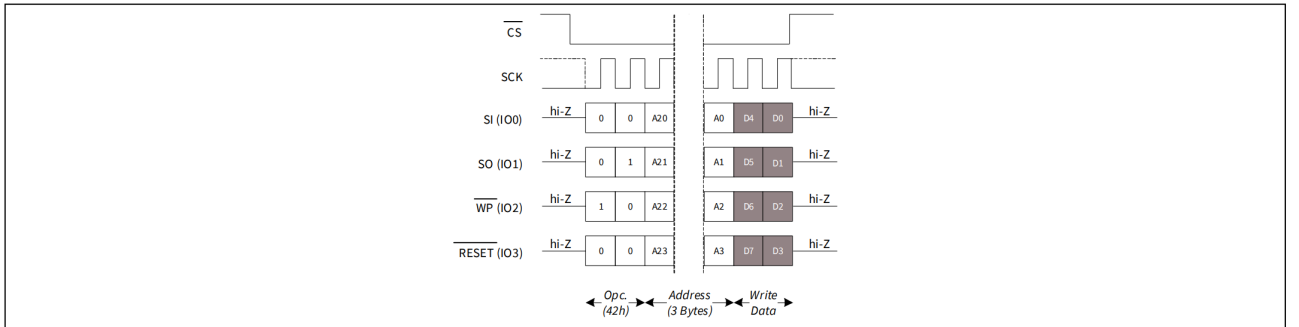


图 69 QPI 模式下的特殊扇区写入 (SSWR) (未显示 WREN)

功能描述

5.1.6.2 特殊扇区读取 (SSWR, 42h)

SSRD 指令读出给定地址处的存储器内容。该地址可以从3字节地址确定的256字节特殊扇区存储器的任意字节位置开始。每个数据字节移出后，地址会按依次递增到下一个更高的地址。因此，只需提供一个特殊扇区读取操作码和地址即可读出整个 256 字节的特殊扇区。内部地址计数自动递增到 0xFF 后，如果主机继续在 SCK 上计时，器件将返回未定义的数据字节。

注释：

- 三字节地址包含扇区地址的低 8 位（A7-A0）。而三字节地址的其余16个最高有效位应置位为‘0’。
- 虚拟周期是通过 CR1 中的存储器延迟代码位（MLC0 至 MLC3）配置的选项。
- 特殊扇区 F-RAM 保证保留用户数据最多三个标准回流焊接周期。

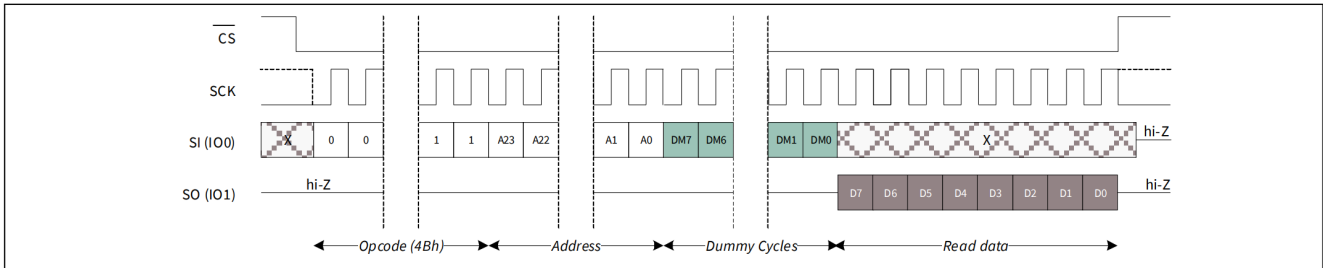


图 70 SPI 模式下的特殊扇区读取 (SSRD)

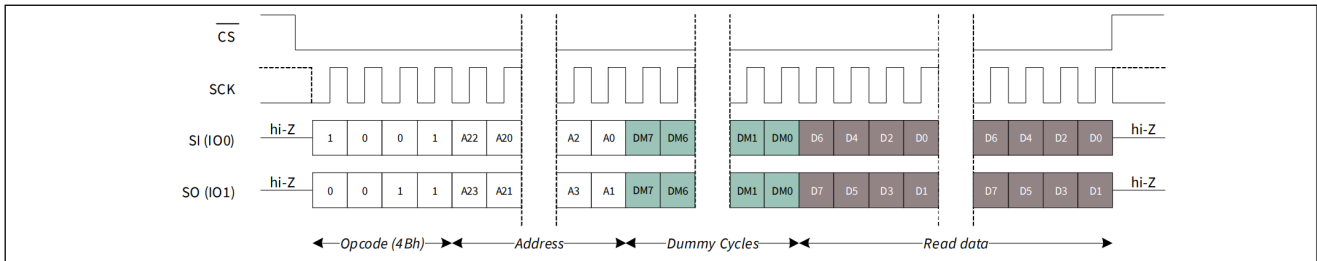


图 71 DPI 模式下的特殊扇区读取 (SSRD)

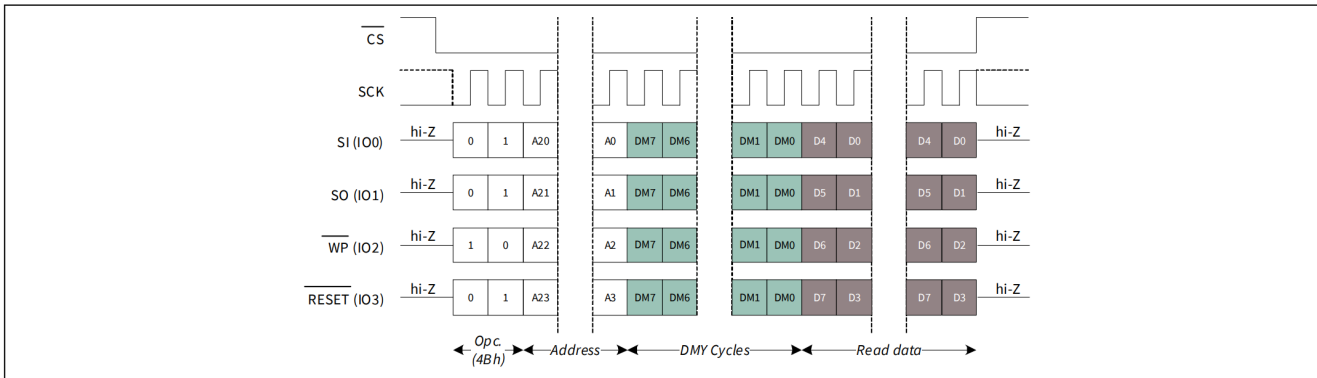


图 72 QPI 模式下的特殊扇区读取 (SSRD)

功能描述

5.1.7 纠错码 (ECC) 和循环冗余校验

5.1.7.1 纠错码 (ECC)

CY15B201QSN 提供内置硬件纠错码 (ECC)，具有 2 位错误检测功能，并可报告 8 字节 (64 位) 单元数据进行 2 位错误检测和报告。由于每次 F-RAM 读取都遵循一个写入周期 (刷新周期)，因此在刷新周期内，检测到的 1 位错误会自动纠正并写回 F-RAM 阵列。因此，CY15B201QSN 不会报告 1 位错误检测，因为对同一数据单元的后续 ECC 检查不会重现相同的 1 位错误。CY15B201QSN ECC 始终处于启用状态，并在运行时观察到以下行为：

- 每当读取 F-RAM 期间检测到 2 位错误时，CY15B201QSN 会将 ECC 状态寄存器 (ECCSR) '2BD' 标志位置为 '1' (ECCSR 在 POR、复位或 CLECC 后被清除)，并获取 4 字节 ADDRTRAP 寄存器中相应单元数据地址。
- ADDRTRAP 寄存器的前三个最低有效字节将保留 POR、复位或 CLECC 之后在 8 字节单元数据中检测到的第一个 2 位错误的 3 字节单元数据地址。任何后续发生的 2 位错误都不会用最新的数据单元地址覆盖 ADDRTRAP 寄存器。
- CY15B201QSN 提供一个 2 字节 ECC 检测计数 (ECCDC) 寄存器，每次检测到 2 位错误时，该寄存器就会加“1”。ECCDC 寄存器在 POR、任何复位事件或 CLECC 指令执行后被清除。
- 用户可以读取 ADDRTRAP 寄存器的非零值 (在地址 0x00000 处检测到 2 位错误的情况除外) 或读取 ECCSR 寄存器的“2BD”标志位，或读取 ECCDC 寄存器中的非零值来确定是否发生了 2 位错误检测。
- 此外，CY15B201QSN 还支持 ECCRD (19h) 指令，通过将 ECCSR 中与 ECCRD 指令一起发送的单元地址处的“2BD”错误标志设置为“1”，返回 8 字节单元数据中的 2 位错误检测状态。

256 字节特殊扇区存储器、状态和配置寄存器不支持 ECC。

5.1.7.2 ECC 状态寄存器

ECC 状态记录在 ECC 状态寄存器 (ECCSR) 中。ECCSR 详细信息如表 46 所示。ECCSR 内容只能通过使用 RDAR 指令来读取，如 46 页“[读取任何寄存器 \(RDAR, 65h\)](#)”。ECCRD 指令返回单元数据的 ECCSR 状态。单元数据定义为计算 ECC 的字节数。CY15B201QSN 具有 8 字节单元数据。

表 45 ECC 状态寄存器

ECCSR[7]	ECCSR[6]	ECCSR[5]	ECCSR[4]	ECCSR[3]	ECCSR[2]	ECCSR[1]	ECCSR[0]
RFU (0)	RFU (0)	RFU (0)	2BD (0)	RFU (0)	RFU (0)	RFU (0)	RFU (0)

表 46 ECC 状态寄存器 - 仅易失性

Bit	Bit name	Bit function	Type	Read/Write	Description
ECCSR[7]	RFU	Reserved (0)			Reserved for future use
ECCSR[6]	RFU	Reserved (0)			Reserved for future use
ECCSR[5]	RFU	Reserved (0)			Reserved for future use
ECCSR[4]	2BD	2-Bit ECC Detection	V	R	1 = 2-bit error detection occurred since last ECCSR clear command (CLECC) 0 = 2-bit Error detection has not occurred since last ECCSR clear command (CLECC)
ECCSR[3]	RFU	Reserved (0)			Reserved for future use
ECCSR[2]	RFU	Reserved (0)			Reserved for future use

功能描述

表 46 ECC 状态寄存器 - 仅易失性 (续)

Bit	Bit name	Bit function	Type	Read/Write	Description
ECCSR[1]	RFU	Reserved (0)			Reserved for future use
ECCSR[0]	RFU	Reserved (0)			Reserved for future use

V - 易失性

5.1.7.3 2 位 ECC 检测 (2BD) ECCSR [4]

该位表示自上次清除 ECC 状态寄存器以来，读取的数据上发生了 2 位 ECC 检测发生。CLECC 指令将 2BD 位重置为“0”。

5.1.7.4 ECC 检测计数器 (ECCDC)

ECC检测计数器 (ECCDC) 寄存器是一个 2 字节易失性寄存器，它存储自上次POR、任何复位事件或 CLECC 指令之后在存储器读操作期间发生 2 位错误检测的次数。ECCDC 寄存器内容可以使用 RDAR 指令读取，见 46 页“[读取任何寄存器 \(RDAR, 65h\)](#)”。

注释：

- 一旦 ECCDC 计数达到 0xFFFF，ECCDC 将停止递增。
- ECCDC 在深度掉电 (DPD) 模式下会丢失其内容，并在退出 DPD 时返回 0x0000。

表 47 ECC 检测计数器寄存器 (ECCDC)

Bits	Name	Function	Type	Read/Write	Default state	Description
15:0	ECCDC	ECC 2-bit Error Detection Count	V	R	0x0000	Total count of 2-bit ECC detections since the last POR or any reset event. CLECC command does not clear this register.

V - 易失性

5.1.7.5 地址捕获寄存器 (ADDTRAP)

地址捕获寄存器 (ADDTRAP) 是一个 4 字节易失性寄存器，它存储在读取操作期间发生 2 位错误检测的 ECC 单元数据地址。ADDTRAP 寄存器存储自最后一个清除 ECC 指令 (CLECC)、POR 或任何复位事件以来检测到的 2 位错误的第一个 ECC 数据单元的地址。检测到 2 位错误的后续数据单元的地址将不会被捕获到 ADDTRAP 中。在这种情况下，只有 ECCDC 计数会递增。ADDTRAP 寄存器内容可以使用 RDAR 指令读取，参见 46 页“[读取任何寄存器 \(RDAR, 65h\)](#)”。

注释：ADDTRAP 寄存器在深度掉电 (DPD) 模式下会丢失其内容，并在 DPD 退出时返回 0x00000000。

表 48 地址捕获寄存器

Bits	Name	Function	Type	Read/Write	Default state	Description
31:0	ADDTRAP	Stores ECC Address	V	R	0x00000000	Store address of unit data where 2-bit ECC detection occurred.

V - 易失性

功能描述

5.1.7.6 ECC指令

CY15B201QSN ECC指令在下一节中描述。

表 49 ECC 指令

Command (Hex)	Opcode	Command description
ECCRD	19	ECC Status Read - Determines the ECC status of the addressed unit data
CLECC	1B	Clear ECC Register (s) - ECC Flags and Address Trap Registers

表 50 ECC 指令详细信息

Opcode (Hex)	Address length	SPI bus interface							Data transfer		Memory latency	XiP	Max clock frequency
		SPI	Dual data	Quad data	Dual I/O	Quad I/O	DPI	QPI	SDR	DDR	Dummy cycles	eXecute in Place	
19	3 Bytes	Yes	NA				Yes	Yes	Yes	NA	Yes	NA	108 MHz
1B	NA	Yes	NA				Yes	Yes	Yes	NA	NA	NA	108 MHz

5.1.7.7 ECC 状态读取 (ECCRD, 19h)

ECCRD 指令用于确定所寻址数据单元的 2 位错误检测状态。为此，将CS拉低，ECCRD 指令后跟ECC数据单元地址，其中地址的三个最低有效位 (LSb) 应设置为零。即使地址的最低有效位 (LSb) 未设置为零，它们也会在内部被忽略，数据单元的起始地址由其余 MS 位决定。

地址字节之后是存储器读取延迟值所选择的虚拟周期数。8 位 ECC 状态通过输出线移出。读取 8 位 ECC 状态后，必须将 $\overline{CS}$ 拉高。

注释：

- 如果读取 8 位ECC状态后 $\overline{CS}$ 保持低电平，则后续的ECC状态数据将不确定。需要将新的 ECCRD 指令与下一个单元地址一起发送，以读取下一个数据单元的ECC状态。
- 虚拟周期是通过 CR1 中的存储器延迟代码位（MLC0 至 MLC3）配置的选项。

表 51 单元数据 ECC 状态字节详情

Bits	Name	Function	Read/Write	Default state	Description
7	RFU	Reserved		0	Reserved for future use
6	RFU	Reserved		0	Reserved for future use
5	RFU	Reserved		0	Reserved for future use
4	RFU	Reserved		0	Reserved for future use
3	EECC2D	2-Bit Error in ECC Unit	R	0	1 = 2 Bit Error detected in ECC unit 0 = No error
2	RFU	Reserved		0	Reserved for future use
1	RFU	Reserved		0	Reserved for future use
0	RFU	Reserved		0	Reserved for future use

功能描述

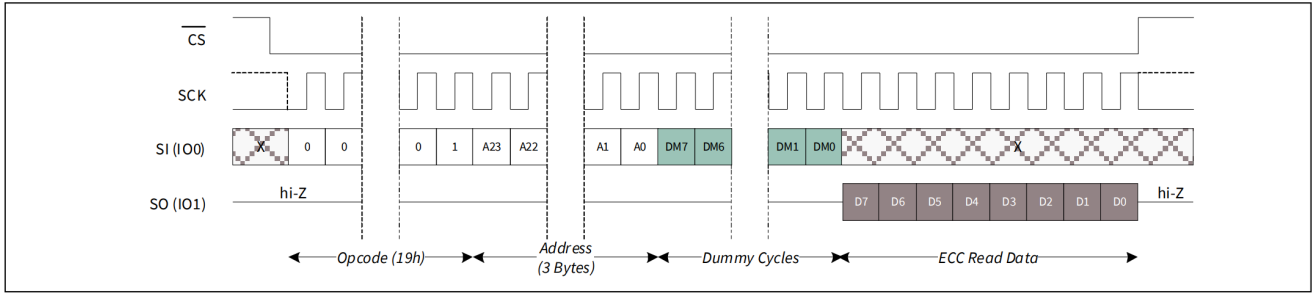


图 73 SPI 模式下的 ECC 读取 (ECCRD)

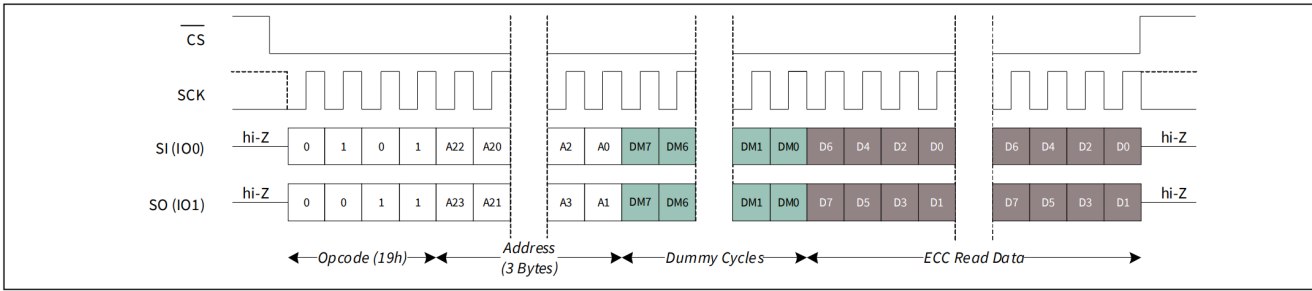


图 74 DPI 模式下的 ECC 读取 (ECCRD)

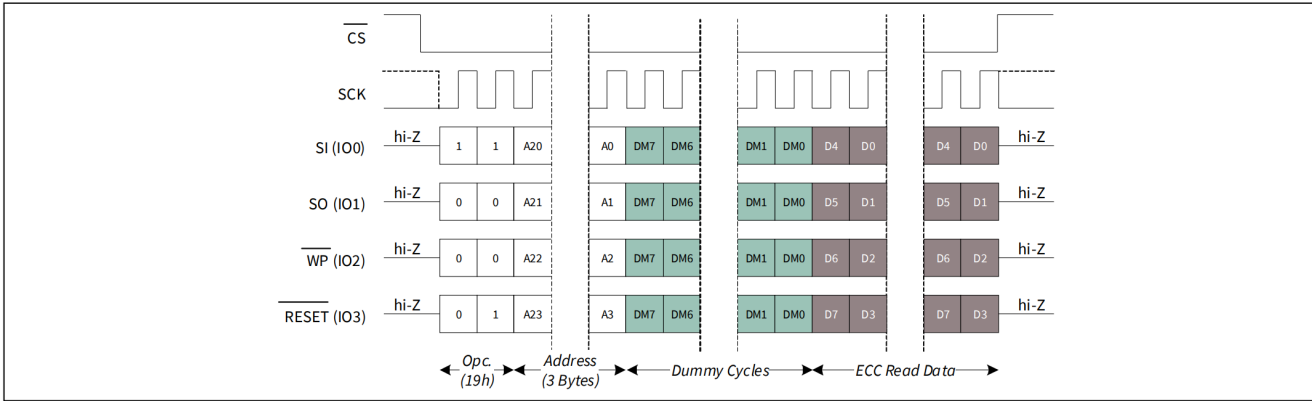


图 75 QPI 模式下的 ECC 读取 (ECCRD)

功能描述

5.1.7.8 清除 ECC (CLECC, 1Bh)

CLECC 指令清除所有 ECC 标志、ADDTRAP 和 ECCDC 寄存器。在执行 CLECC 指令之前，无需设置 WEL 位。

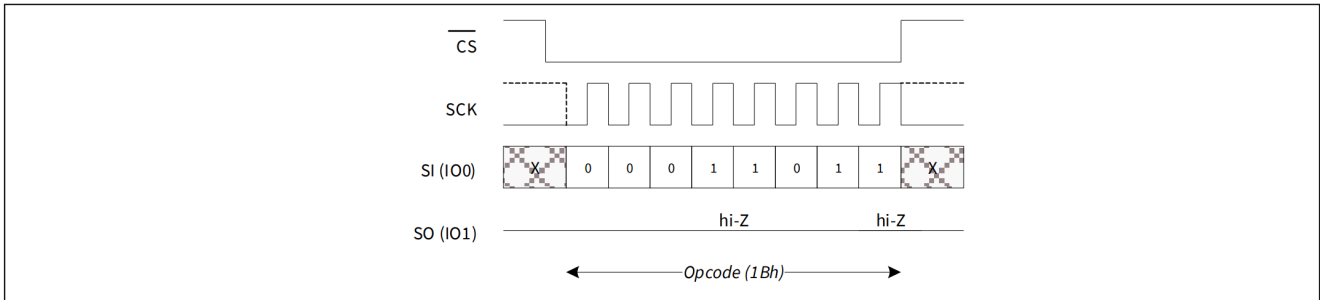


图 76 SPI 模式下清除 ECC (CLECC)

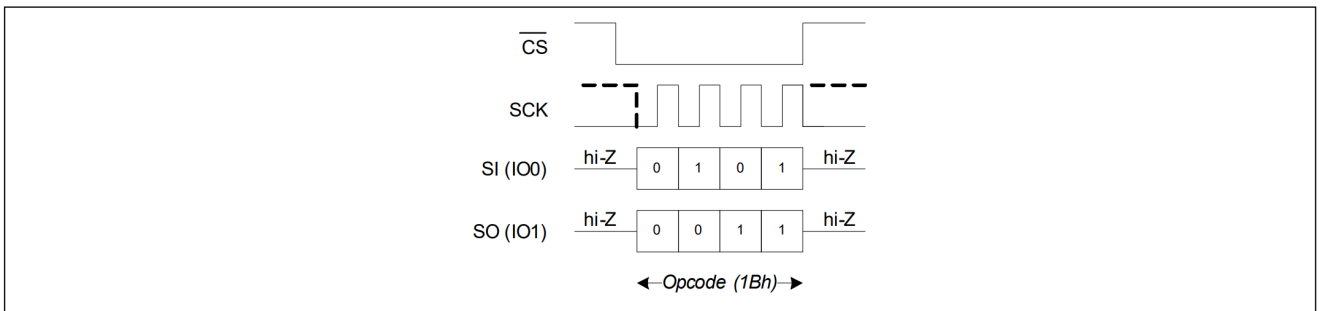


图 77 DPI 模式下清除 ECC (CLECC)

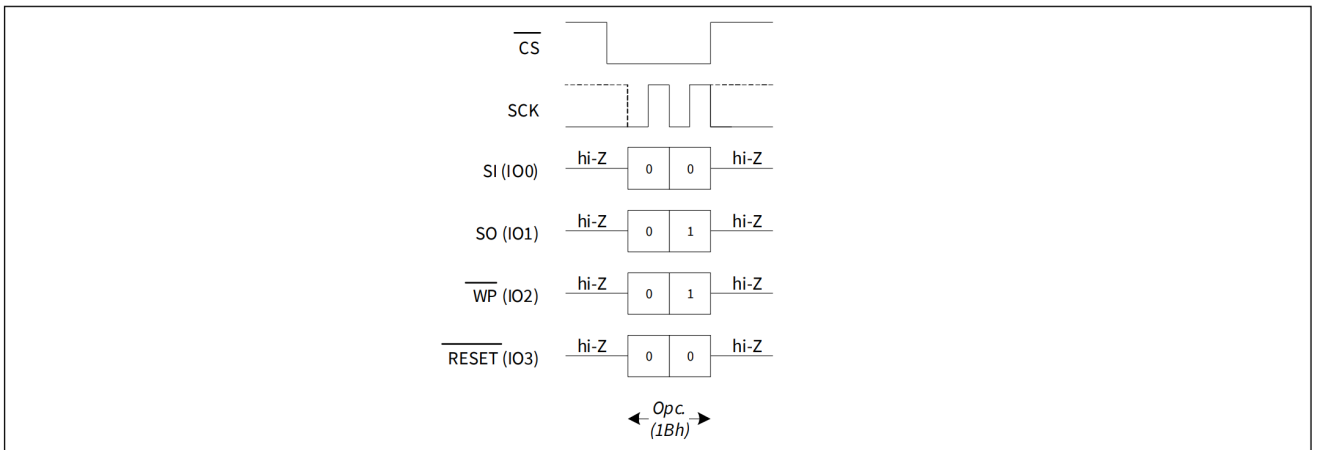


图 78 QPI 模式下清除 ECC (CLECC)

功能描述

5.1.7.9 循环冗余校验 (CRC)

CY15B201QSN 提供内置CRC（循环冗余校验）引擎，用于计算阵列中存储数据的校验序列。256 字节特殊扇区存储器、状态和配置寄存器不支持 CRC。

CY15B201QSN 支持具有以下操作码的 CRC。

表 52 CRC 访问指令

Command	Opcode (Hex)	Command description
CRCC	5B	CRC Calculation - Performs a CRC calculation over a user defined address range
EPCS	75	CRC Suspend - Interrupts the CRCC operation and allow other accesses
EPCR1	7A	CRC Resume - Resumes suspended CRCC operation

表 53 CRC 访问指令描述

Opcode (Hex)	Address length	SPI bus interface							Data transfer		Memory latency	XiP	Max clock frequency
		SPI	Dual data	Quad data	Dual I/O	Quad I/O	DPI	QPI	SDR	DDR	Dummy cycle	eXecute in Place	
5B	NA	Yes	NA				Yes	Yes	Yes	NA	NA	NA	108 MHz
75	NA	Yes	NA				Yes	Yes	Yes	NA	NA	NA	108 MHz
7A	NA	Yes	NA				Yes	Yes	Yes	NA	NA	NA	108 MHz

功能描述

5.1.7.10 数据 CRC 计算 (CRCC, 5Bh)

CRCC 指令序列使 CY15B201QSN 在用户定义的地址范围内执行循环冗余校验计算 (CRCC)。支持数据 CRC 的 CY15B201QSN 器件为每个数据功能块计算固定长度的二进制序列，称为 CRC 校验和，并将它们一起发送到主机。当主机接收到数据功能块时，它会重新计算CRC校验和。如果新的CRC校验和与数据一起发送的原始校验和不匹配，则该功能块包含数据错误，主机装置可能会采取纠正措施，例如请求重新发送数据功能块。CRCC 过程计算起始地址到结束地址中包含的数据的校验值。

CRC 计算指令首先输入操作码，然后输入起始地址和结束地址。在结束地址被锁存后，CS必须被驱动为高电平。这将启动内部 CRC 过程的开始，该过程计算从起始地址到结束地址包含的数据的校验值。如果在地址的最后一位之后CS没有被驱动为高电平，则 CRC 计算操作将不会被执行。CRCC 指令不检查 WEL 状态。但是，如果 WEL 在 CRC 指令之前置位“1”，则在 CRC 操作完成后，WEL 将被清除为“0”。结束地址 (EA) 应至少比起始地址 (SA) 高 32 位对齐字。如果 $EA < SA + 3$ ，CRC 计算将中止，器件将返回到循环模式。CRC 中止 (CRCA) 位 (SR2[3] = '1') 是置位，表示中止条件，CRC 寄存器 (CRCR) 将保留不确定的数据。

当进行 CRC 计算时，CY15B201QSN 将 SR1 (SR1[0]) 的 WIP 位设置为“1”。用户可以轮询 WIP 状态，以确定正在进行的 CRCC 操作何时完成以及器件何时准备好进行访问。当 CRC 计算正在进行时，WIP 位将为“1”；当计算完成时，WIP 位将为“0”。CRC 寄存器 (CRCR) 存储 CRC 过程的结果，该过程计算起始地址到结束地址中包含的数据的校验值。CRC 寄存器的细节见表 54。CRC 校验值位 0-31 可以通过使用“读取任何寄存器 (RDAR)”指令读取 CRC 寄存器来读取，见 46 页“[读取任何寄存器 \(RDAR, 65h\)](#)”。

每次启动 CRC 计算时，CRC 寄存器位都会初始化为全 0 (0x00000000)。POR或任何重置事件也会将 CRC 重置值初始化为全 1s。

可以使用CRC挂起指令 (EPCS, B0h) 暂停校验值计算，以从存储器或寄存器读取数据。在挂起状态期间，Status 寄存器-2 中的CRC挂起 (CRCS) 状态位将为置位 (SR2[4] = '1')。一旦暂停，主机可以读取状态寄存器，从格式化中读取数据，并可以使用CRC 恢复指令 (EPCR, 30h) 恢复CRC计算。CY15B201QSN 需要用 t_{CRCC} 计算 SA 和EA之间数据（包括 SA 和EA处的数据）的CRC校验和。

32位CRC (CRC-32C) 校验式 (0x1EDC6F41) 定义如下：

$$32X + 28X + 27X + 26X + 25X + 23X + 22X + 20X + 19X + 18X + 14X + 13X + 11X + 10X + 9X + 8X + 6X + 1X$$

注释： 4字节存储器数据在内部读取为{data[7:0], data[15:8], data[23:16], data[31:24]}，并分配给CRC[31:0]进行CRC计算。

表 54 CRC 寄存器描述

Bits	Name	Function	Default state	Description
31:0	CRCR	Check CRC Value	0x00000000	Volatile register to store the CRC checksum value resulted after the CRC Calculation (CRCC command).

功能描述

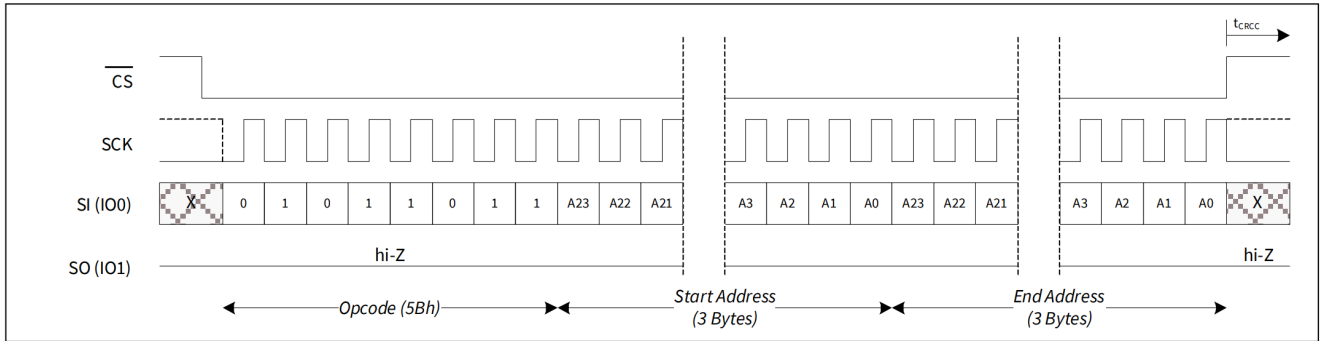


图 79 SPI 模式下 CRC 计算 (CRCC)

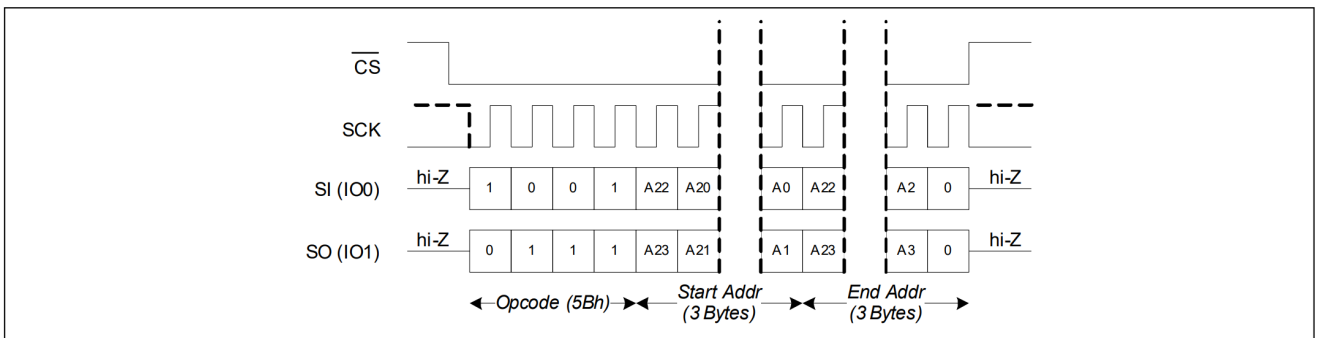


图 80 DPI 模式下 CRC 计算 (CRCC)

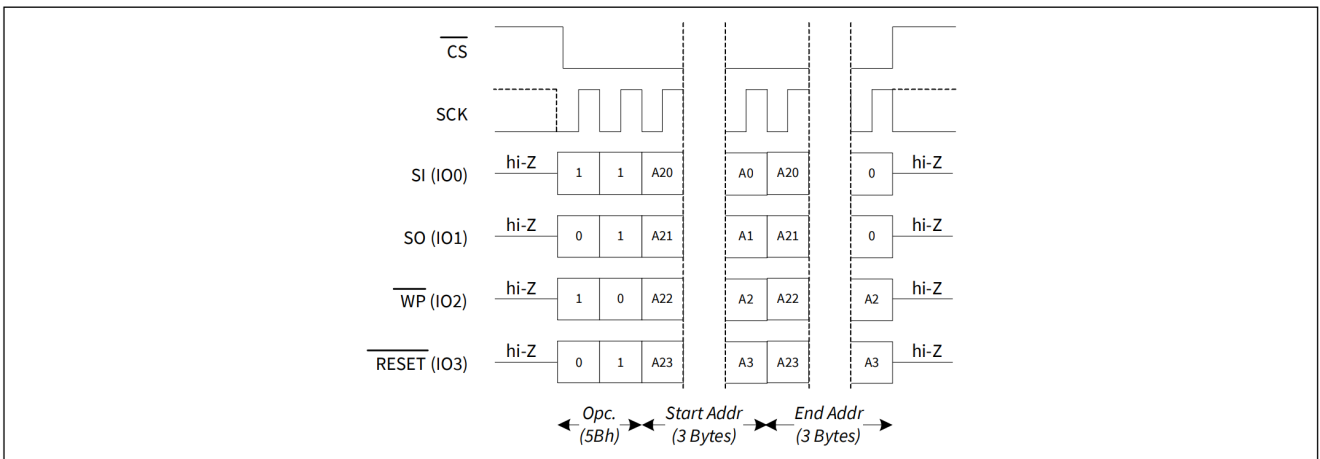


图 81 QPI 模式下 CRC 计算 (CRCC)

功能描述

5.1.7.11 CRC 挂起 (EPCS, 75h)

EPCS允许系统中断正在进行的CRCC操作，并在当前CRC操作暂停时允许其他访问。CRC暂停时可以执行的指令有：READ, RDSR1, RDSR2, FAST_READ, DDRFR, ECRRD, CLECC, RDCR1, DOR, RDCR2, RDCR4, SSRD, RDCR5, RDAR, RSTEN, QOR, EPCR, RST, RDID, DIOR, RDSN, QIOR, DDRQIOR。

CRC挂起仅在CRC计算过程中有效。可以检查状态寄存器2(SR2)以确定CRCC操作是否已被暂停或完成。CRC状态位显示在状态寄存器 1 中的 WIP 状态位更改为“0”时，CRCC 操作是否已暂停或已完成。EPCS 需要 t_{CRCS} 时间来处理 CRC 挂起操作，并保持 WIP 位状态“1”。如果 CRCC 计算在 EPCS 指令完全处理之前完成，SR2 (SR2[4]) 中的 CRCS 位不会置位为‘1’，表示 EPCS 没有执行。

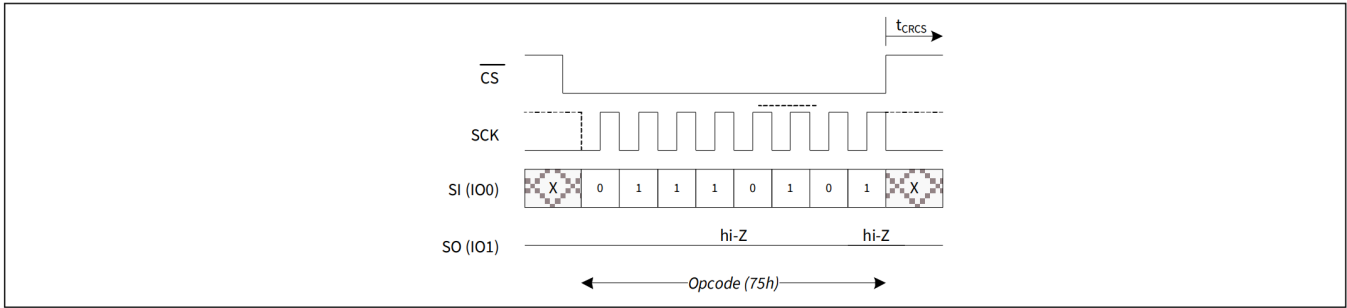


图 82 SPI 模式下 CRC 挂起 (EPCS)

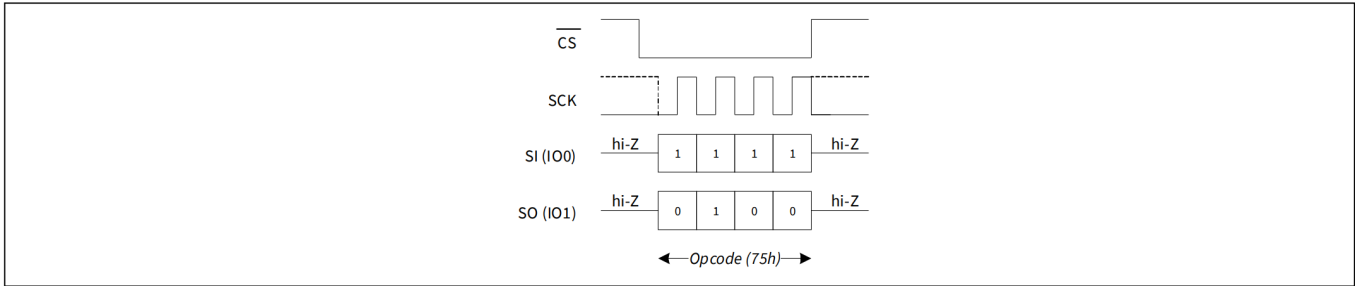


图 83 DPI 模式下 CRC 挂起 (EPCS)

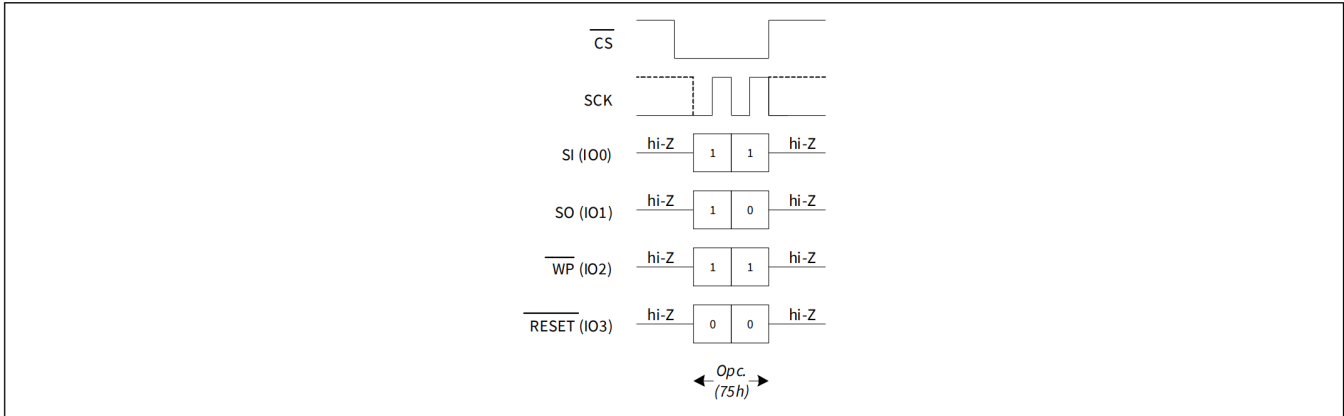


图 84 QPI 模式下挂起 (EPCS)

功能描述

5.1.7.12 CRC 恢复 (EPCR, 7Ah)

EPCR 恢复暂停的 CRCC 运行。CRC 恢复指令发出后，WIP位置位为“1”。可以根据需要随时中断 CRCC 运行。仅当 SR2 (SR2[4]) 的 CRCS 位为置位‘1’时，EPCR 才会恢复暂停的 CRCC 操作，否则 EPCR 指令将被忽略。发出EPCR指令后，WIP位置位为‘1’。CRCC 运行可以根据需要随时中断和恢复。

EPCR 需要 t_{CRCC} 时间来处理指令，并对剩余数据字节恢复 CRC(循环冗余校验)计算，直到结束地址 (EA) 到达。

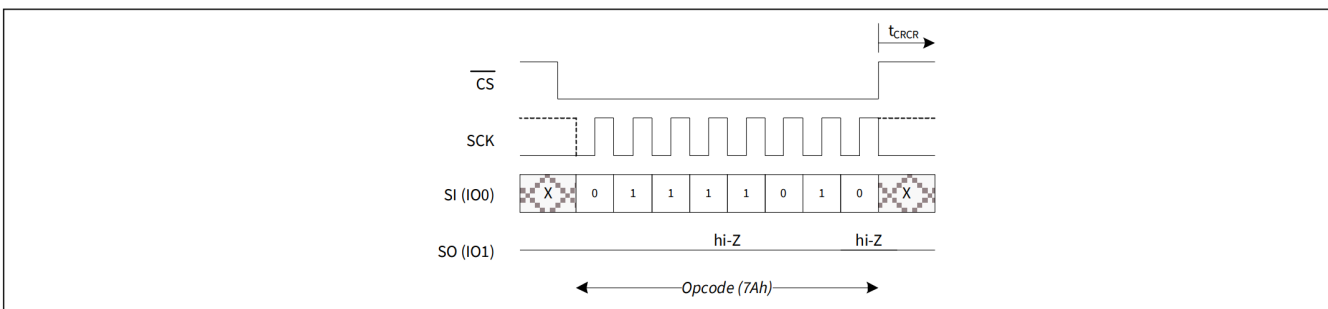


图 85 SPI 模式下 CRC 恢复 (EPCR)

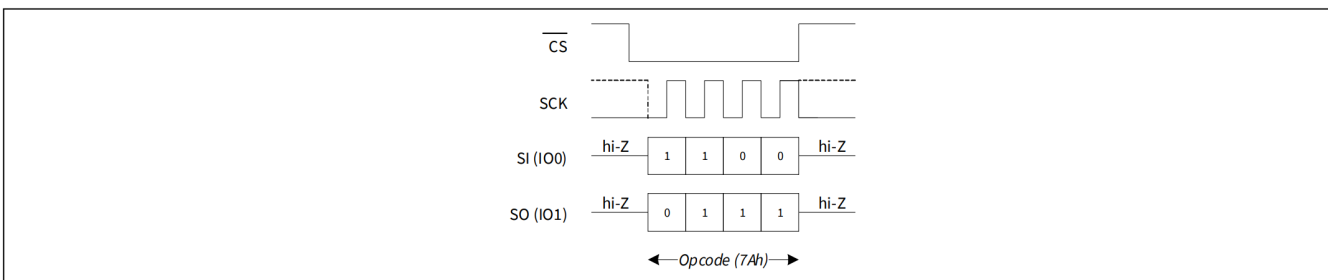


图 86 DPI 模式下 CRC 恢复 (EPCR)

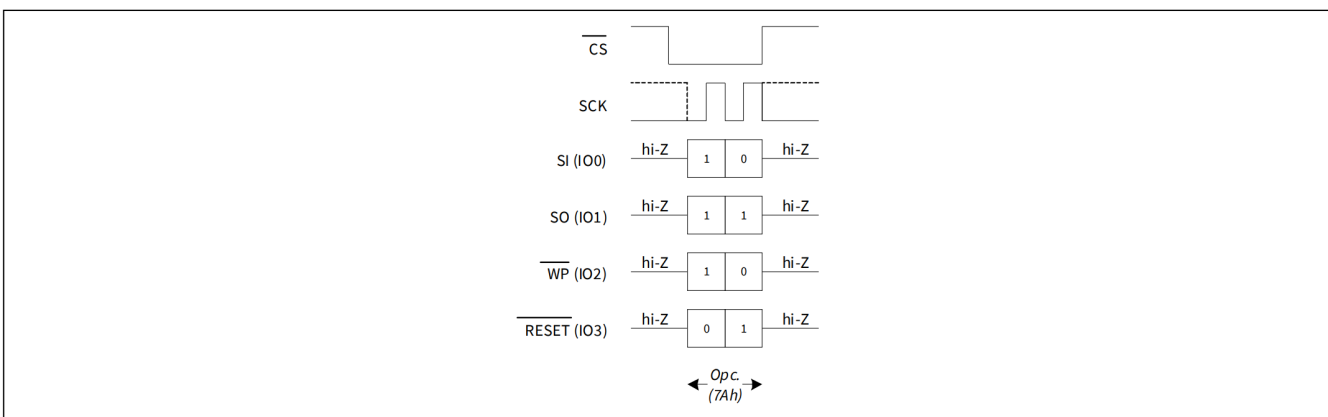


图 87 QPI 模式下 CRC 恢复 (EPCR)

功能描述

5.1.8 识别码和序列号

CY15B201QSN 器件提供三种不同类型的识别功能，包括器件 ID 和唯一 ID，分别为 8 字节只读寄存器和 8 字节可写序列号寄存器。下一节将详细介绍每种方法。

5.1.8.1 读取设备 ID (RDID, 9Fh)

CY15B201QSN 器件可查询其制造商、产品标识和芯片版本。RDID 操作码 9Fh 允许用户读取 8 字节制造商 ID 和产品 ID，这两个字节均为只读字节。器件 ID 字段在器件 ID 字段寄存器表中描述。相应器件编号的器件 ID 见115 页“订购信息”。

注释：

- 所示的虚拟周期是通过 CR5 中的寄存器延迟代码位（RLC0、RLC1）的配置选项。
- RDID 数据优先级 - LSb 先移出，MSb 后移出。RDID 指令不允许换行。在第 8 个字节之后，如果主机继续计时，器件将返回未定义的数据字节。

表 55 器件 ID 字段

Bits (Number of bits)	63–32 (32-bits)	31–21 (11-bits)	20–8 (13-bits)	7–3 (5-bits)	2–0 (3-bits)
Description	00000000000000000000000000000000 (Reserved)	00000110100 (Manufacturer ID)	Product ID	Density ID	Die Rev

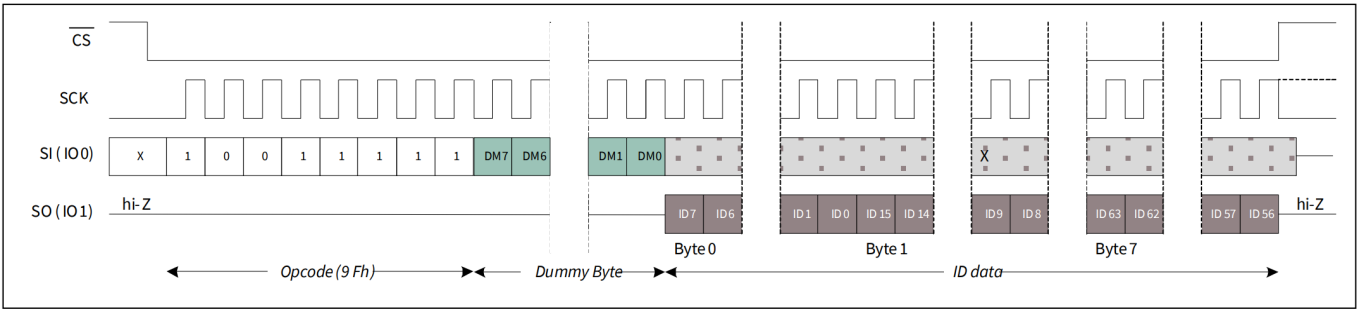


图 88 SPI 模式下读取器件 ID (RDID)

功能描述

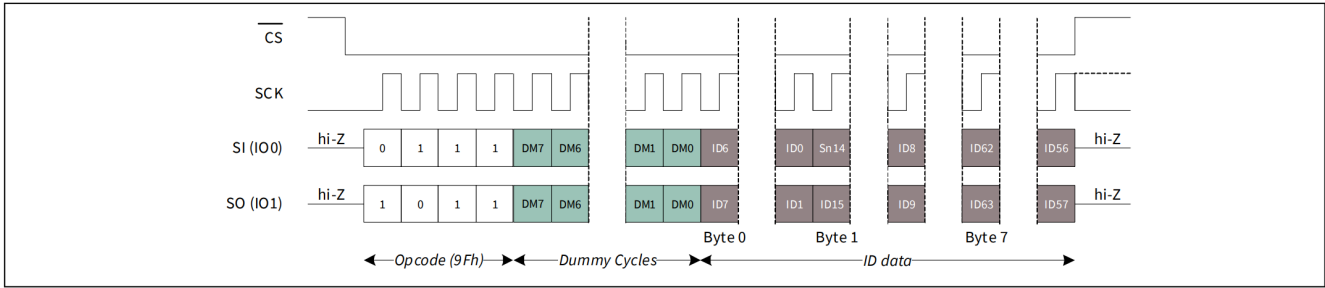


图 89 DPI 模式下读取器件 ID (RDID)

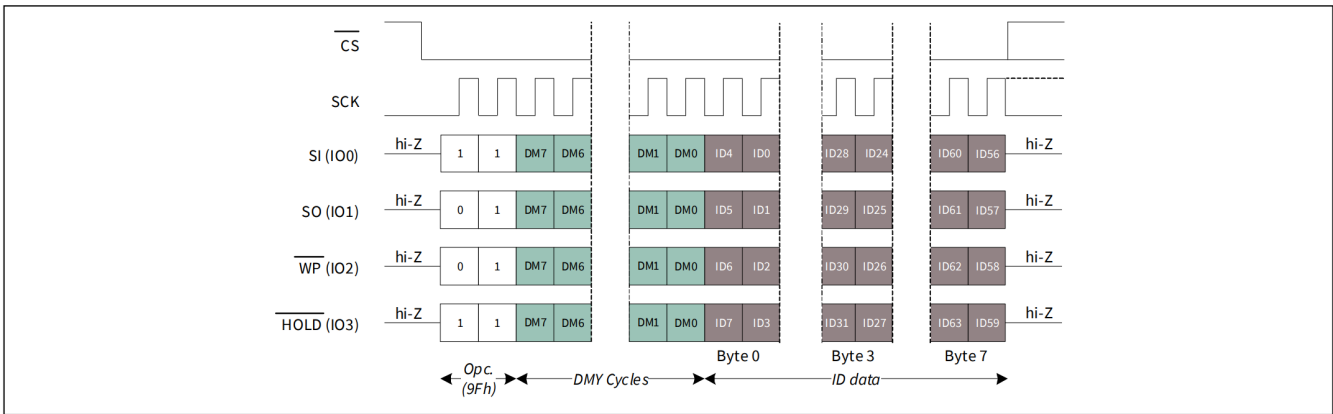


图 90 QPI 模式下读取器件 ID (RDID)

功能描述

5.1.8.2 读取唯一 ID (RUID 4Ch)

可以询问 CY15B201QSN 器件的唯一 ID，这是一个工厂预编程，每个器件唯一的 64 位数字。RUID 操作码 4Ch 允许读取 8 字节、只读唯一 ID。

注释：

所示的虚拟周期是通过 CR5 中的寄存器延迟代码位 (RLC0、RLC1) 的配置选项。

RUID 数据优先级 - LSb 先移出，MSb 后移出。RDID 指令不允许换行。在第 8 个字节之后，如果主机继续计时，器件将返回未定义的数据字节。

唯一的 ID 寄存器保证保留用户数据最多三个标准回流焊接周期。

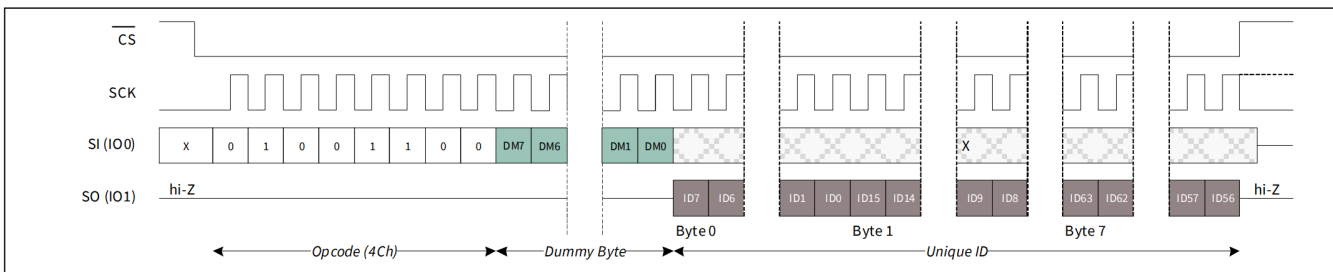


图 91 SPI 模式下读取唯一 ID

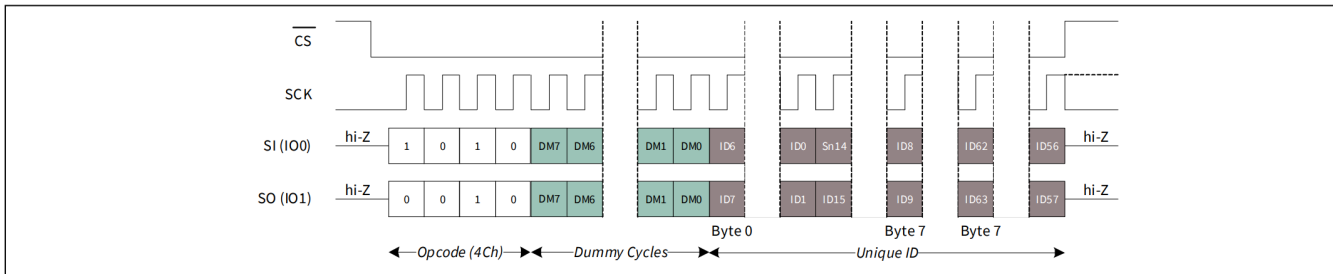


图 92 DPI 模式下读取唯一 ID

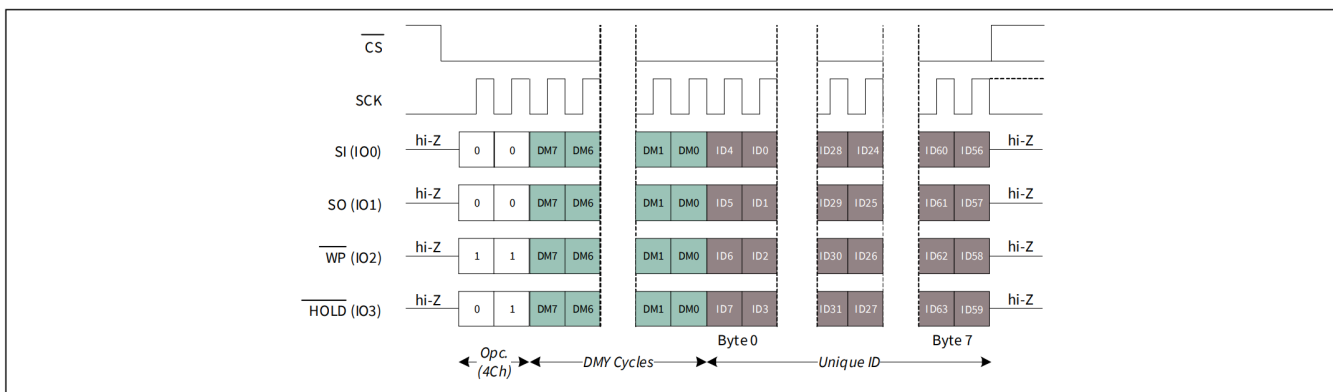


图 93 QPI 模式下读取唯一 ID

功能描述

5.1.8.3 写入序列号 (WRSN, C2h)

序列号是一个8字节的可编程寄存器，提供给用户唯一标识一块印刷电路板或一个系统。序列号通常由两个字节的客户ID、五个字节的唯一序列号和一个字节的CRC校验组成。然而，终端应用程序可以定义自己的8字节序列号格式。所有对序列号寄存器的写入都以WREN操作码开始，其中 $\overline{CS}$ 置位且置低。下一个操作码是WRSN。WRSN指令可以在突发模式下使用，写入所有8个字节的序列号。移入序列号的最后一个字节后，必须将 $\overline{CS}$ 驱动为高电平才能完成WRSN操作。

注释：

- 只有状态寄存器中的写使能锁存器 (WEL) 置位为“1”以进行写操作，WRSN 指令才能由器件执行。当WRSN操作完成后，写能锁存器 (WEL) 被置位为‘0’。
- WRSN 数据优先级 - LSB 排序在前，MSb 排序在后。
- 7 字节 ID 上的 CRC 校验和不是由器件计算的。系统固件必须计算 CRC 校验和，并将校验和附加到 7 字节用户定义的序列号中，然后将整个 8 字节序列号编程到序列号注册中。8 字节序列号的出厂参数值/默认值为“0x0000000000000000”。
- WRSN 指令终止后（在 $\overline{CS}$ 的上升沿），WEL 位自动清零。
- 必须准确输入 8 个字节，否则将无法执行序列号写入 (WRSN)。

表 56 8 字节序列号

16-bit customer identifier		40-bit unique number					8-bit CRC
SN[63:56]	SN[55:48]	SN[47:40]	SN[39:32]	SN[31:24]	SN[23:16]	SN[15:8]	SN[7:0]

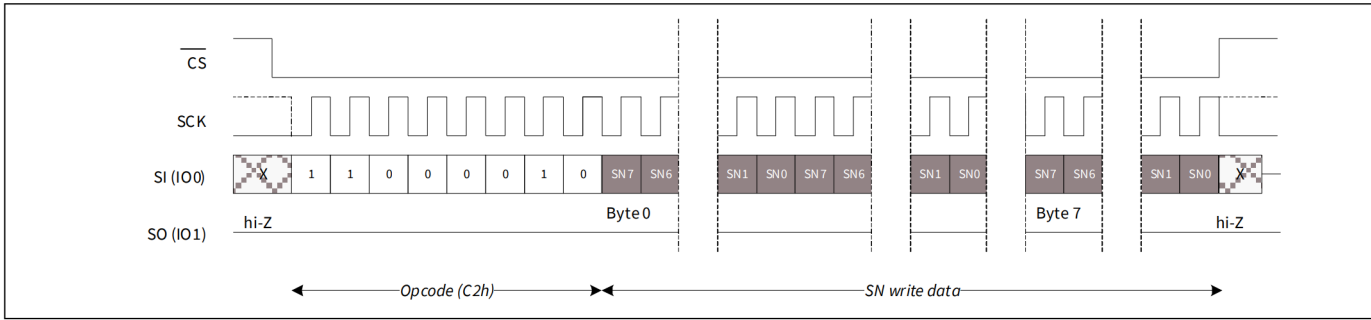


图 94 SPI 模式下写入序列号（未显示 WREN）

功能描述

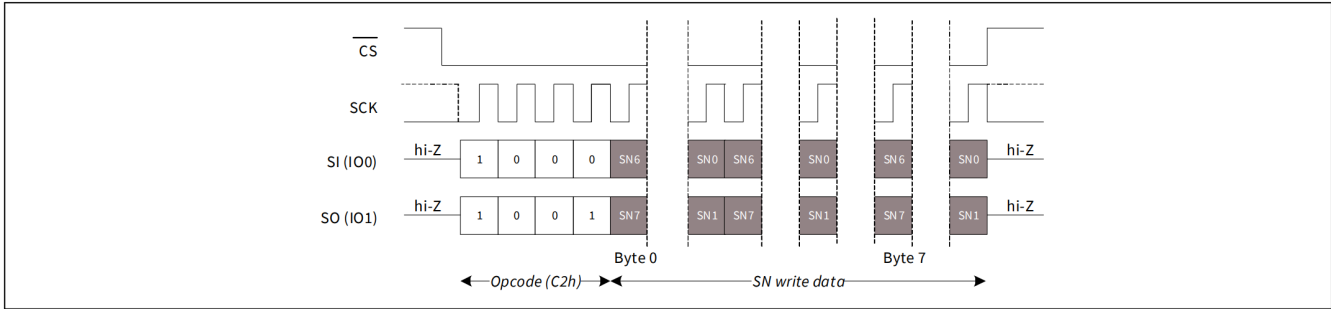


图 95 DPI 模式下写入序列号（未显示 WREN）

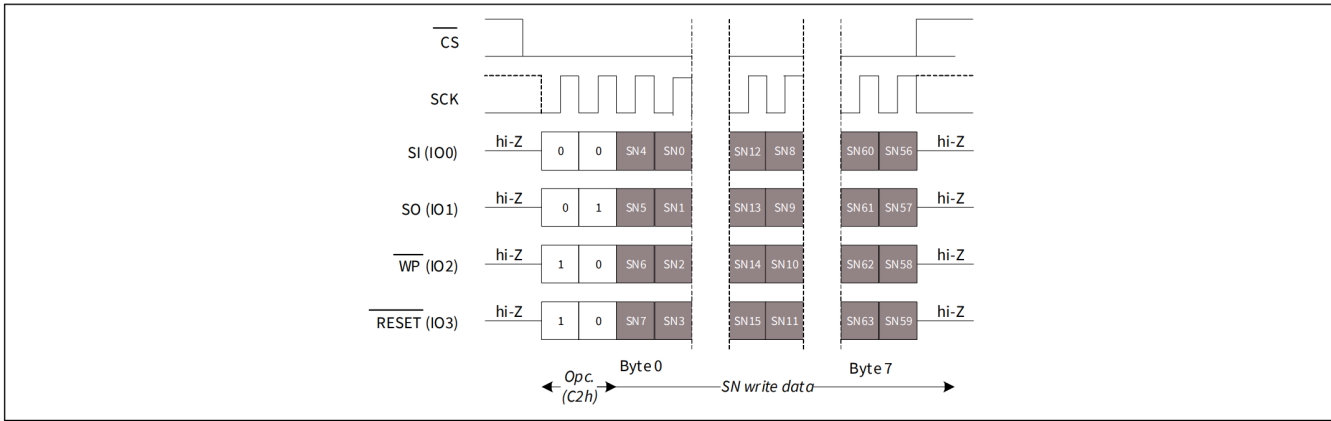


图 96 QPI 模式下写入序列号（未显示 WREN）

功能描述

5.1.8.4 读取序列号 (RDSN, C3h)

CY15B201QSN 器件包含一个 8 字节串行空间，供用户唯一标识该器件。序列号使用 RDSN 指令读取。序列号读取可以以突发模式执行，即一次性读取所有八个字节。读取最后一个字节序列号后，主机必须停止时钟并驱动 $\overline{CS}$ 引脚至高电平以终止 RDSN 指令。在 $\overline{CS}$ 变为低电平后，可以通过移位 RDSN 的操作码来发出 RDSN 指令。

注释：

- 所示的虚拟周期是通过 CR5 中的寄存器延迟代码位（RLC0、RLC1）的配置选项。
- Lsb 先移出，MSb 后移出。如果主机在第 8 个字节后继续计时，器件可能会返回未定义的数据字节。

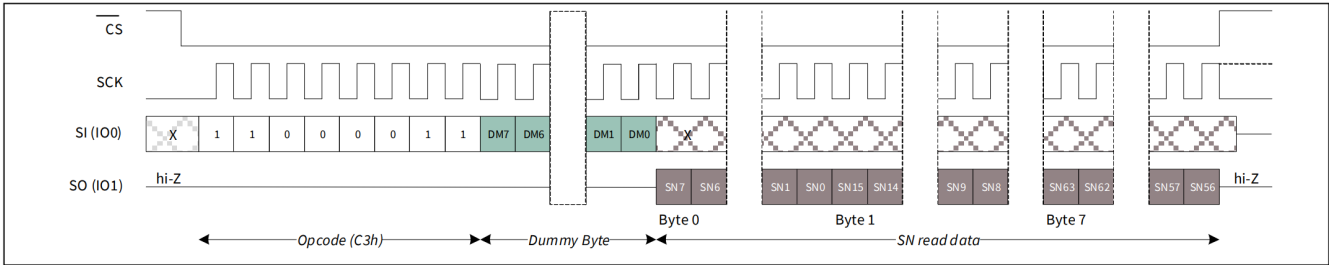


图 97 SPI 模式下读取序列号 (RDSN)

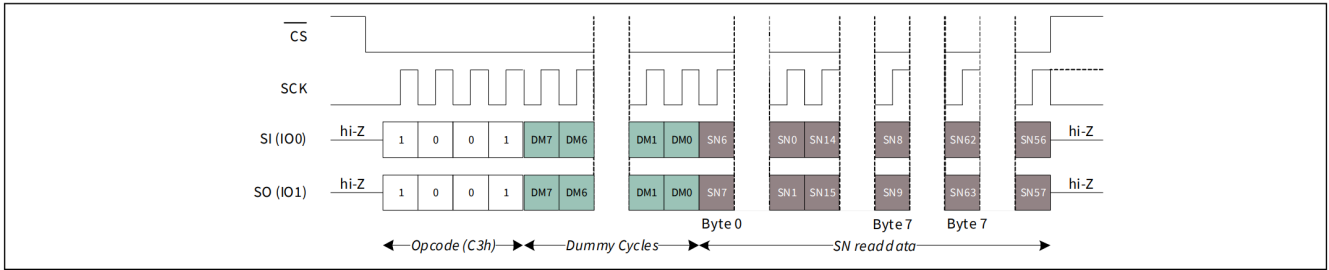


图 98 DPI 模式下读取序列号 (RDSN)

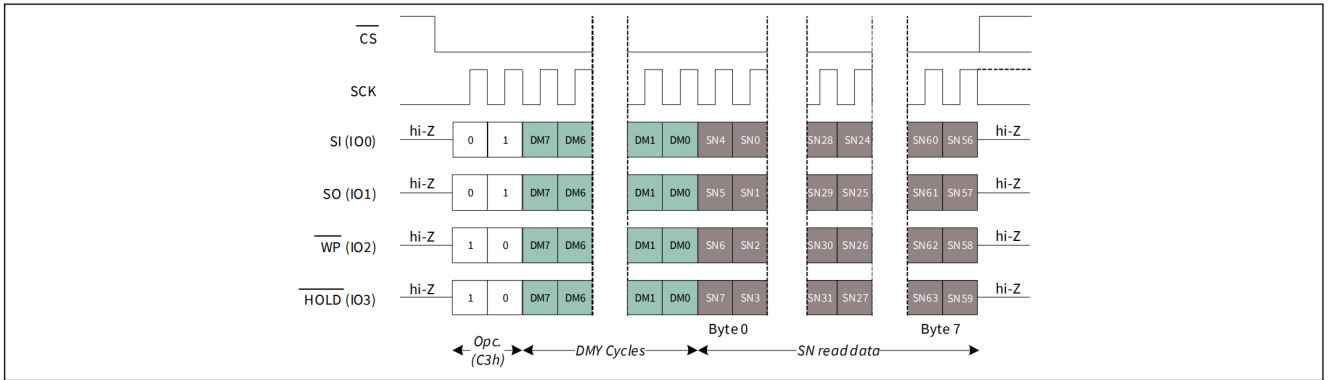


图 99 QPI 模式下读取序列号 (RDSN)

功能描述

5.1.9 低功耗模式和复位

表 57 低功耗模式和复位指令

Command	Opcode (Hex)	Command description
DPD	B9	Deep Power Down - Enters Deep-Power-Down power mode
HBN	BA	Hibernate Mode - Enters Hibernate power mode
RSTEN	66	Reset Enable - Pre command to enable software reset
RST	99	Software Reset - Command to initiate software reset

表 58 低功耗模式和复位指令描述

Opcode (Hex)	Address length	SPI bus interface							Data transfer		Latency (None)	XiP	Max clock frequency
		SPI	Dual data	Quad data	Dual I/O	Quad I/O	DPI	QPI	SDR	DDR	Dummy cycles	eXecute in Place	
B9	NA	Yes	NA				Yes	Yes	Yes	NA	NA	NA	108 MHz
BA	NA	Yes	NA				Yes	Yes	Yes	NA	NA	NA	108 MHz
66	NA	Yes	NA				Yes	Yes	Yes	NA	NA	NA	108 MHz
99	NA	Yes	NA				Yes	Yes	Yes	NA	NA	NA	108 MHz

5.1.9.1 深度掉电模式 (DPD, B9h)

当 DPD 操作码 B9 被输入并施加CS的上升沿时，器件进入深度掉电模式。当处于深度掉电模式时，SCK 和SI引脚被忽略，SO 进入高阻态，但器件继续监测CS引脚。

经过CS一个宽度为 t_{CSDPD} 的脉冲或硬件复位会在 t_{EXTDPD} 时间后退出DPD 模式。CS 脉冲宽度可以通过发送一个虚拟指令周期或单独切换来生成，此时 SCK 和 I/O 处于无关状态。从深度掉电模式唤醒期间，I/O 保持高阻状态。参见图 100 DPD 进入和图 103 DPD 退出时序。

注释：

- 图 100中显示的时序细节在 DPI 和 QPI 模式下均适用。
- CRC寄存器（CRCR）和ECC寄存器（ECCDC和ADDRTRAP）在DPD模式下将丢失其内容并返回到默认值 0x00。
- WEL 位 (SR0[1]) 状态在 DPD 模式下不保留。如果 WEL 状态在进入 DPD 前为 "1"，则在 DPD 模式退出后将清零为 "0"。

功能描述

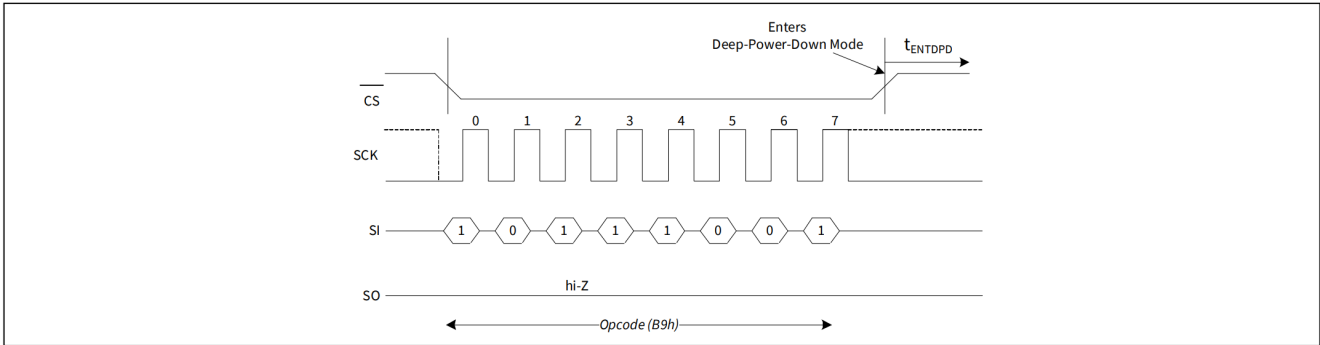


图 100 SPI 模式下进入DPD时序

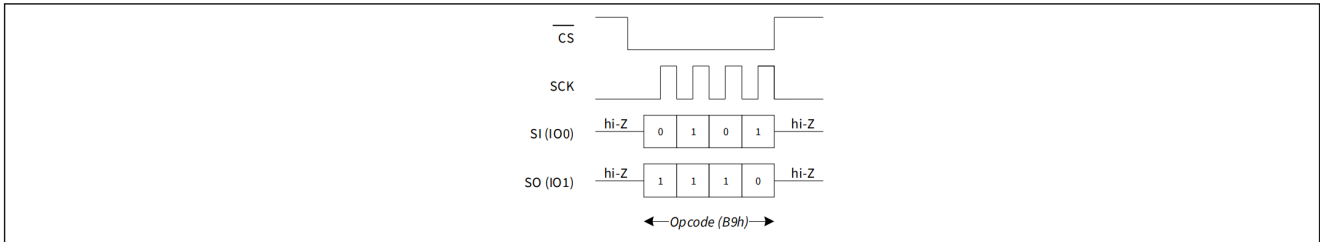


图 101 DPI 模式下的深度掉电模式操作

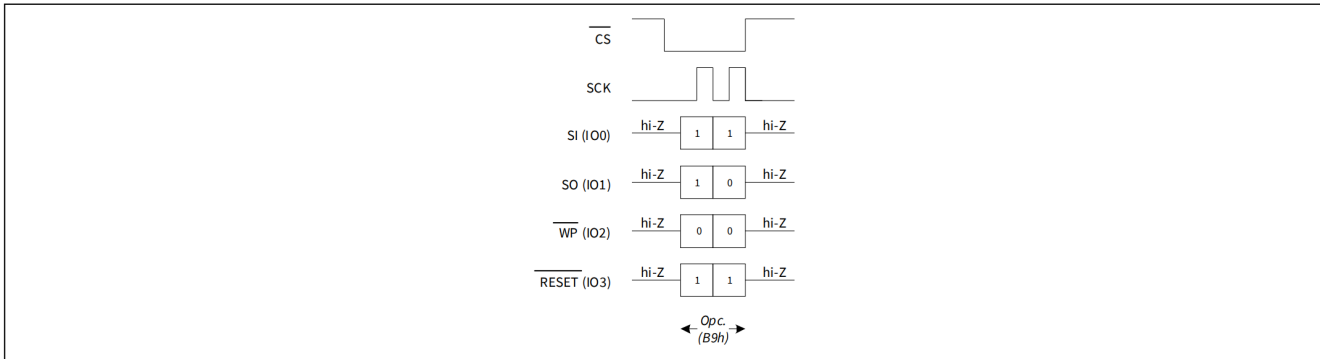


图 102 QPI 模式下的深度掉电模式操作

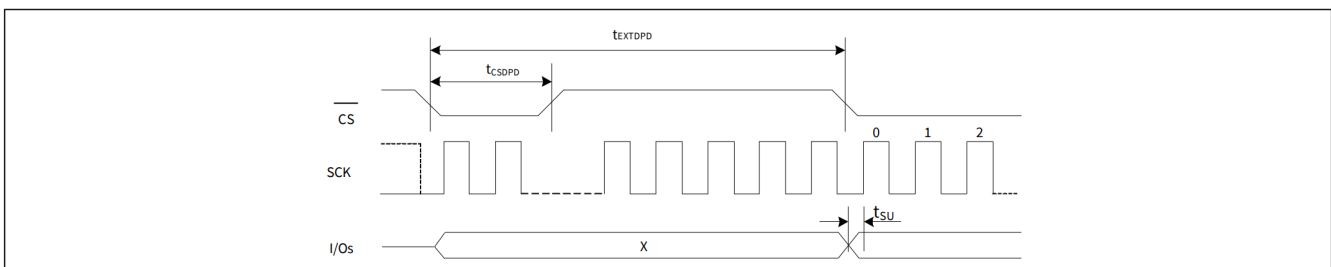


图 103 SPI 模式下 DPD 退出

功能描述

5.1.9.2 休眠模式 (HBN, BAh)

当 HBN 操作码 BAh 被时钟输入且 $\overline{\text{CS}}$ 上升沿施加时，器件进入休眠模式。在休眠模式下，SCK 和 SI 引脚被忽略，SO 引脚将处于高阻态，但器件仍会继续监测 $\overline{\text{CS}}$ 引脚。在下一个 $\overline{\text{CS}}$ 下降沿到来时，器件将在 t_{EXTHIB} 时间内恢复正常工作。在从休眠模式唤醒期间，SO 引脚保持高阻态。器件不一定会在唤醒期间响应操作码。为了退出休眠模式，控制器可以发送一个“虚拟”读取信号，例如，并等待剩余的 t_{EXTHIB} 时间。

注释：

- SPI 模式时序图中显示的时序细节同样适用于 DPI 和 QPI 模式。
- 退出休眠模式后，所有寄存器将重新加载到其默认 POR 值。有关 POR 后寄存器默认值的详细信息，请参阅表 3。

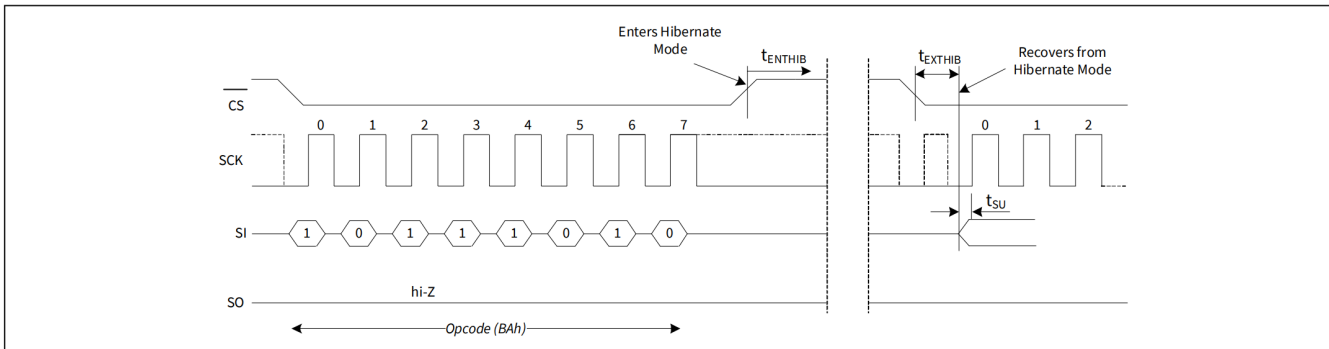


图 104 SPI 模式下的休眠模式操作

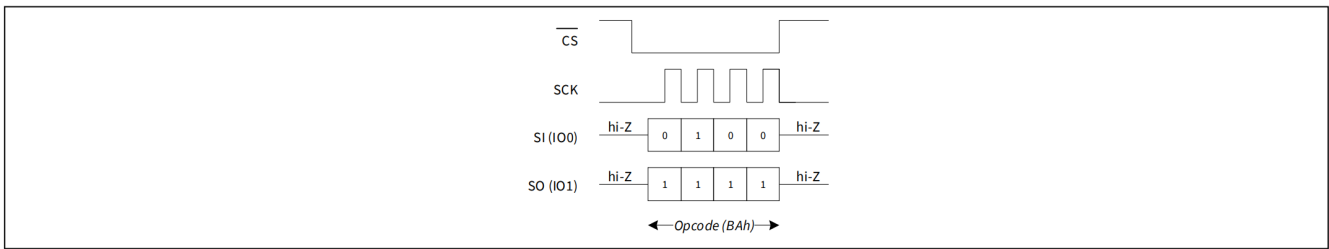


图 105 DPI 模式下的休眠模式操作

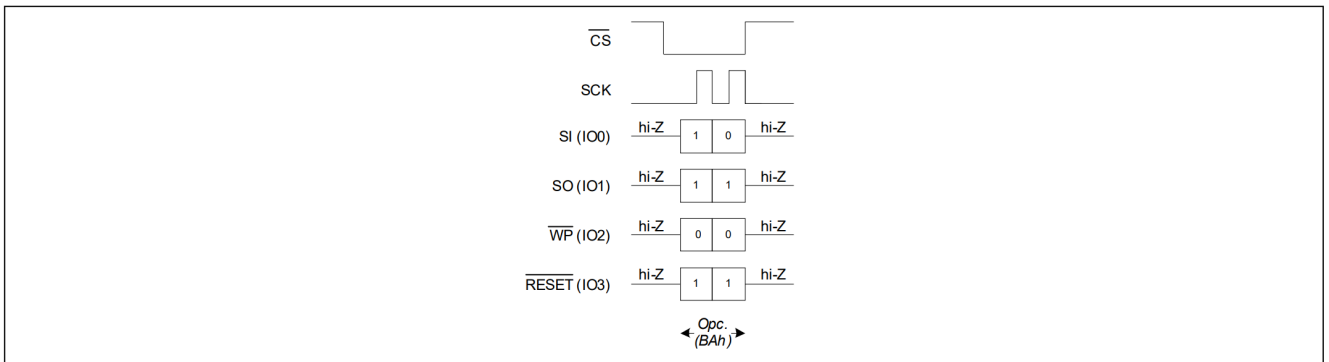


图 106 QPI 模式下的休眠模式操作

功能描述

5.1.9.3 软件复位

软件复位操作包含两条指令：复位使能指令 (RSTEN) 和复位指令 (RST)。该指令复位整个器件，并使其仅在 t_{SRESET} 时间后才可接收指令。

注释：

- RSTEN 指令之后的任何除 RST 之外的指令都将清除复位使能条件并阻止识别后续的 RST 指令。
- 在软件复位期间，仅支持 RDSR1 和 RDAR（访问 RDSR1）指令。其他指令将被忽略。
- SPI 模式时序图中显示的时序细节同样适用于 DPI 和 QPI 模式。

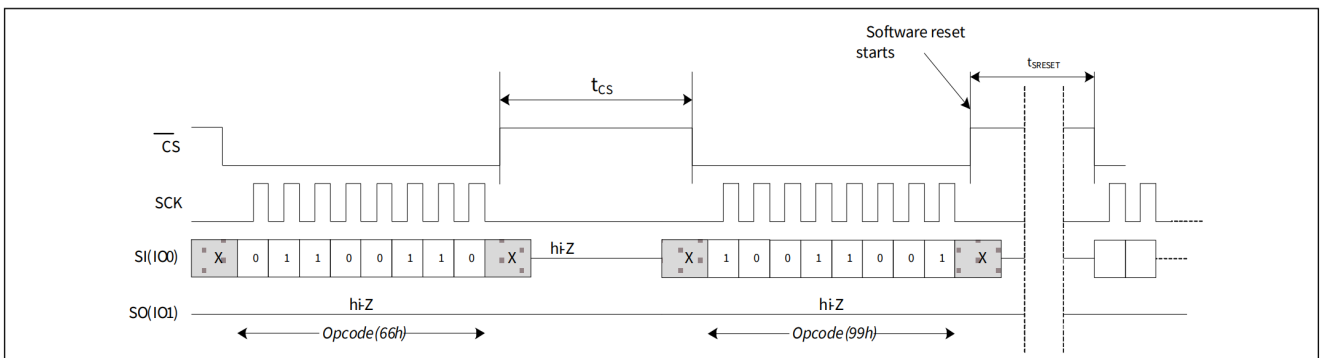


图 107 SPI 模式下的软件复位时序

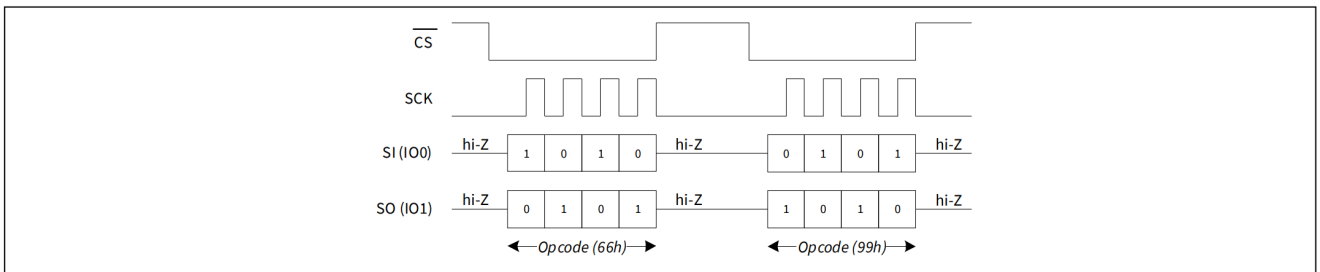


图 108 DPI 模式下的软件复位时序

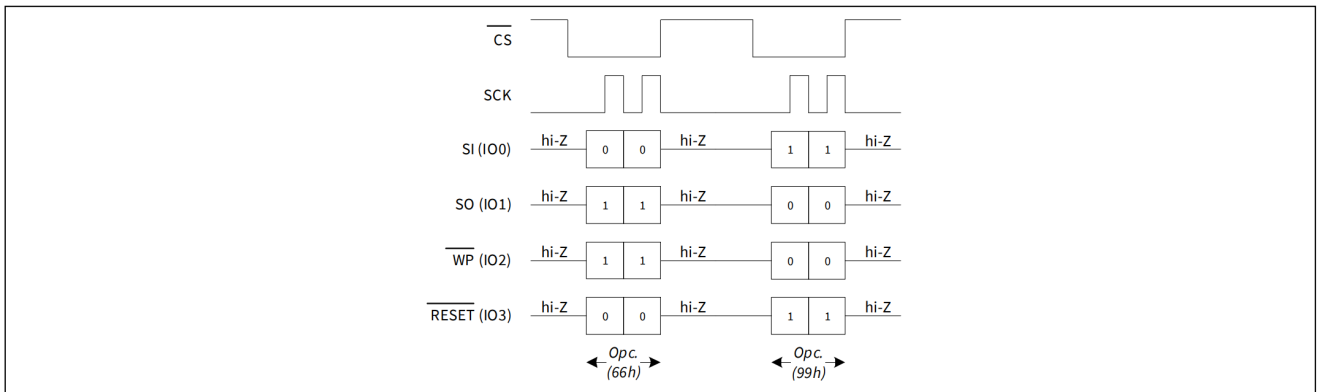


图 109 QPI 模式下的软件复位时序

功能描述

5.1.9.4 硬件复位 (RESET)

硬件复位输入 ($\overline{\text{RESET}}$) 被复用 ($\overline{\text{RESET}} / (\text{I/O3})$), 在 CY15B201QSN 器件中为低电平有效信号。用于各种接口的硬件复位 ($\overline{\text{RESET}}$) SPI 引脚配置请参阅表 21。当 $\overline{\text{RESET}}$ 拉低时, CY15B201QSN 自初始化并将其配置恢复到上电状态。不同寄存器 RESET 周期后配置参见表 59。发出 RESET 信号后, CY15B201QSN 从 $\overline{\text{RESET}}$ 上升沿开始需要 $t_{\text{RPH}}/t_{\text{HRESET}}$ 时间来完成复位周期。在 t_{RPH} 时间内, CY15B201QSN 将无法访问。图 110 到图 112 显示了不同复位模式下的 $\overline{\text{RESET}}$ 时序。

注释:

- 在 QPI 模式下, $\overline{\text{RESET}}$ 引脚复用在 I/O3 上。当在 QPI 模式下使用硬件 ($\overline{\text{RESET}}$) 时, CR2[5] 位必须置位为“1”, 才能在 $\overline{\text{CS}}$ 为高电平时使用 I/O3 作为 RESET 输入。图 110 显示 QPI 模式下的 $\overline{\text{RESET}} / (\text{I/O3})$ 时序
- 配置寄存器 1 中的 QUAD 位 CR1[1] 必须置位为“0”, 才能实现 $\overline{\text{RESET}}$ 引脚上的硬件复位特性。
- 在 QPI 模式下的共享总线配置中, 如果 $\overline{\text{RESET}}$ 功能启用, 则由于主机与同一链路上的另一个 QSPI 从机之间正在进行的通信, 每次 ($\overline{\text{RESET}} / (\text{I/O3})$) 切换时, 器件都会复位。因此, 建议在共享总线中配置禁用 $\overline{\text{RESET}}$ 引脚功能。

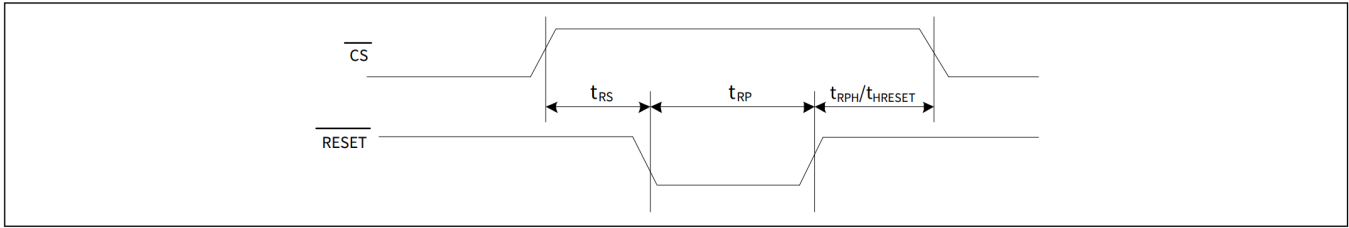


图 110 复位时序- QUAD 置位 (CR1[1] = '1') 或 QPI 启用 (CR2[6] = '1')

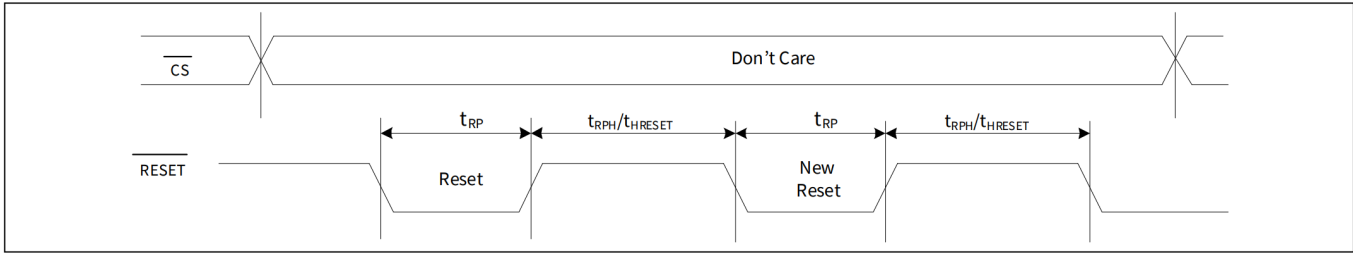


图 111 复位时序 - QUAD 清除 (CR1[1] = '0') 且 QPI 禁用 (CR2[6] = '0')

功能描述

5.1.9.5 JEDEC SPI 复位

JEDEC SPI复位是一种信令协议，启动独立于器件操作 I/O 模式的复位硬件。它将器件带入状态和配置寄存器中选择的默认模式。[表 59](#) 显示启动默认恢复后的器件状态。

默认恢复步骤如下：

1. $\overline{\text{CS}}$ 切换低电平有效以选择 SPI 从机。
2. SCK 在高电平或低电平状态下均保持稳定。
3. $\overline{\text{CS}}$ 和 SI (I/O0) 均被驱动为低电平。其他 I/O (I/O1、I/O2 和 I/O3) 仍然无关紧要。
4. $\overline{\text{CS}}$ 被驱动为高电平，而 I/O0 保持为低电平。
5. 重复上述步骤 1 至 4，每次在 $\overline{\text{CS}}$ 的下降沿交替改变 SI (I/O0) 的状态，共四次。
6. 复位发生在第4个 $\overline{\text{CS}}$ 变为高电平（无效）后。

参考[图 112](#)了解详细信息。

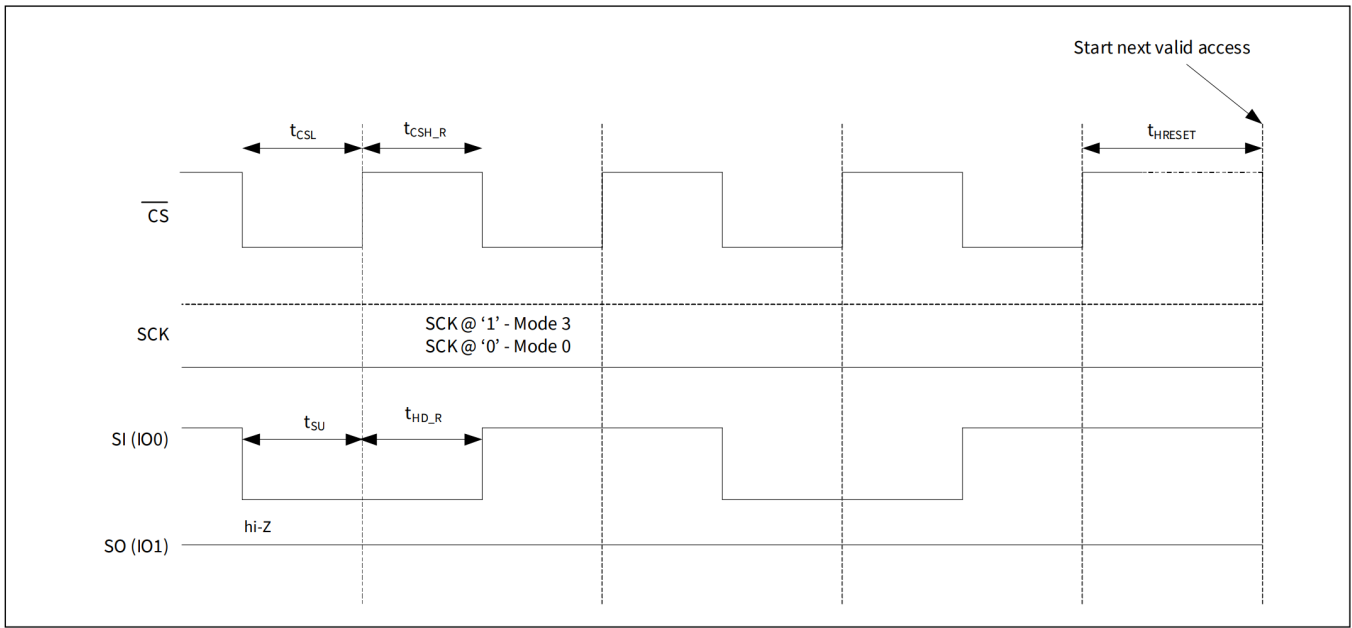


图 112 JEDEC SPI 复位

功能描述

表 59 各类复位后寄存器的状态

Reset function	I/O requirements	Status registers (SRx)	Configuration registers (CRx)	ECC status	CRC registers	ECC Count registers (ECCDC)	ADDR Trap registers (ADDTRAP)	I/O modes
Power-on reset	$\overline{CS}$ = '1' Other Inputs - Ignored All outputs - Tristated	SR1 - Load default values SR2 - 0x00	CR1, CR2, CR4, CR5 Load default values	Load - 0x00	Load - 0x00	Load - 0x00	Load - 0x00	No change
Hardware reset	$\overline{CS}$ = '1' Other Inputs - Ignored All outputs - Tristated	SR1 - Load default values SR2 - 0x00	CR1, CR2, CR4, CR5 Load default values	Load - 0x00	Load - 0x00	Load - 0x00	Load - 0x00	No change
Software reset	Instruction (RSTEN, RST)	SR1 - No change except the WEL bit which will clear to '0' if set '1'. SR2 - 0x00	CR1, CR2, CR4, CR5 - No change	Load - 0x00	Load - 0x00	Load - 0x00	Load - 0x00	No change
JEDEC reset (Default recovery)	$\overline{CS}$ and SI (IO0) = Toggle Other Inputs - Ignored All outputs - Tristated	SR1 - Load default values SR2 - 0x00	CR1, CR2, CR4, CR5 Load default values	Load - 0x00	Load - 0x00	Load - 0x00	Load - 0x00	No change

如果 CY15B201QSN 进入未定义状态并停止响应任何 SPI 指令，SPI 主机可以发出硬件 RESET 或 JEDEC SPI 复位。CY15B201QSN 进入内部测试模式或任何未定义模式，可能是由于操作码错误、SPI 信号出现任何故障（可能在内部导致错误操作码的锁存），或者器件未成功启动（ t_{PU} 后一直显示繁忙状态 WIP = '1'）。

注释：ECC（ECCDC 和 ADDRTRAP）寄存器在 DPD 中会丢失其内容，并返回寄存器的默认值 0x00。退出休眠模式时，将所有寄存器重新加载到上电的默认值，如表 3 所示。

最大额定值

6 最大额定值

超过最大额定值可能缩短设备的使用寿命。用户指南尚未经过测试。

表 60 最大额定值

Parameter	Max ratings
Storage temperature	−65°C to +150°C
Maximum accumulated storage time	
At 150°C ambient temperature	1000 h
At 125°C ambient temperature	11000 h
At 85°C ambient temperature	121 years
Maximum junction temperature	135°C
Supply voltage on V_{DD} relative to V_{SS} : CY15B201QSN:	−0.5 V to +4.1 V
Input voltage	$V_{IN} \leq V_{DD} + 0.5 \text{ V}$
DC voltage applied to outputs in High-Z state	−0.5 V to $V_{DD} + 0.5 \text{ V}$
Transient voltage (< 20 ns) on any pin to ground potential	−2.0 V to $V_{DD} + 2.0 \text{ V}$
Package power dissipation capability ($T_A = 25^\circ\text{C}$)	1.0 W
Surface mount lead soldering temperature (3 seconds)	+260°C
DC output current (1 output at a time, 1 s duration)	15 mA
Electrostatic discharge voltage	
Human Body Model (JEDEC Std JESD22-A114-B)	2 kV
Charged Device Model (JEDEC Std JESD22-C101-A)	500 V
Latch-up current	> 140 mA

工作范围

7 工作范围

表 61 工作范围

Device	Ambient temperature	V _{DD}
CY15B201QSN	Automotive-E, -40°C to +125°C	1.8 V to 3.6 V

8 DC 电气特性

表 62 DC 电气特性

在工作范围内

Parameter	Description	Test conditions		Min	Typ ^[18]	Max	Unit
V _{DD}	Power supply	CY15B201QSN		1.8	3.0	3.6	V
I _{DD1}	V _{DD} supply current in SPI SDR mode	V _{DD} = 1.8 V to 3.6 V; SCK toggling between V _{DD} – 0.2 V and V _{SS} , other inputs V _{SS} or V _{DD} – 0.2 V. No output loads.	f _{SCK} = 50 MHz	–	6.0	8.0	mA
			f _{SCK} = 108 MHz	–	11	16	mA
I _{DD2}	VDD supply current in DPI SDR mode	V _{DD} = 1.8 V to 3.6 V; SCK toggling between V _{DD} – 0.2 V and V _{SS} , other inputs V _{SS} or V _{DD} – 0.2 V. No output loads.	f _{SCK} = 108 MHz	–	14	18	mA
I _{DD3}	V _{DD} supply current in QPI SDR mode	V _{DD} = 1.8 V to 3.6 V; SCK toggling between V _{DD} – 0.2 V and V _{SS} , other inputs V _{SS} or V _{DD} – 0.2 V. No output loads.	f _{SCK} = 108 MHz	–	19	24	mA
	V _{DD} supply current in QPI SDR mode	V _{DD} = 1.8 V to 3.6 V; SCK toggling between V _{DD} – 0.2 V and V _{SS} , other inputs V _{SS} or V _{DD} – 0.2 V. No output loads.	f _{SCK} = 54 MHz	–	19	24	mA
I _{SB}	V _{DD} standby current	V _{DD} = 1.8 V to 3.6 V; CS = V _{DD} . All other inputs V _{SS} or V _{DD} .	T _A = 25°C	–	200	–	μA
			T _A = 125°C	–	–	640	μA
I _{DPD}	Deep power-down current	V _{DD} = 1.8 V to 3.6 V; CS = V _{DD} . All other inputs V _{SS} or V _{DD} .	T _A = 25°C	–	1.3	–	μA
			T _A = 125°C	–	–	80	μA
I _{HBN}	Hibernate mode current	V _{DD} = 1.8 V to 3.6 V; CS = V _{DD} . All other inputs V _{SS} or V _{DD} .	T _A = 25°C	–	0.1	–	μA
			T _A = 125°C	–	–	14	μA

注释

18. 典型值为25°C, $V_{DD} = V_{DD}$ (典型值)。此参数由特性保证, 未经生产测试。

DC electrical characteristics

表 62 DC 电气特性 (续)

在工作范围内

Parameter	Description	Test conditions	Min	Typ ^[18]	Max	Unit
I_{LI}	Input leakage current on I/O pins	$V_{SS} < V_{IN} < V_{DD}$	-5	-	5	μA
	Input leakage current on WP and RESET (when I/O2 and I/O3 functions disabled)		-100	-	5	μA
I_{LO}	Output leakage current	$V_{SS} < V_{OUT} < V_{DD}$	-5	-	5	μA
V_{IH}	Input HIGH voltage		$0.7 \times V_{DD}$	-	$V_{DD} + 0.3$	V
V_{IL}	Input LOW voltage		-0.3	-	$0.3 \times V_{DD}$	V
V_{OH1}	Output HIGH voltage	$I_{OH} = -1 \text{ mA}, V_{DD} = 2.7 \text{ V}$	2.4	-	-	V
V_{OH2}	Output HIGH voltage	$I_{OH} = -100 \mu A$	$V_{DD} - 0.2$	-	-	V
V_{OL1}	Output LOW voltage	$I_{OL} = 2 \text{ mA}, V_{DD} = 2.7 \text{ V}$	-	-	0.4	V
V_{OL2}	Output LOW voltage	$I_{OL} = 150 \mu A$	-	-	0.2	V

注释

18. 典型值为25°C, $V_{DD} = V_{DD}$ (典型值)。此参数由特性保证, 未经生产测试。



9 数据保留和耐用性

表 63 数据保留和耐用性

Parameter	Description	Test conditions	Min	Max	Unit
T _{DR}	Data retention	T _A = 125°C	11000	–	Hours
		T _A = 105°C	11	–	Years
		T _A = 85°C	121	–	
NV _C	Endurance	Over operating temperature	10 ¹³	–	Cycles



电容

10 电容

表 64 电容

Parameter ^[19]	Description	Test conditions	Max	Unit
C _O	Output pin capacitance (SO)	T _A = 25°C, f = 1 MHz, V _{DD} = V _{DD} (Typ)	6	pF
C _I	Input pin capacitance		5	pF

注释

19. 此参数由特性保证；未经生产测试。



热阻抗

11 热阻抗

表 65 热阻抗

Parameter ^[20]	Description	Test conditions	8-pin SOIC package	Unit
Θ_{JA}	Thermal resistance (Junction to ambient)	Test conditions follow standard test methods and procedures for measuring thermal impedance, per EIA/JESD51.	44.9	°C/W
Θ_{JC}	Thermal resistance (Junction to case)		20.2	°C/W

注释

20. 此参数由特性保证；未经生产测试。

AC 测试条件

12 AC 测试条件

表 66 AC 测试条件

Parameter	Value
Input pulse levels (0 V to V_{DD})	0 V to V_{DD}
Input rise and fall times (10% to 90%)	≤ 2.0 ns
Input timing reference voltages	$0.3 \times V_{DD}$ to $0.7 \times V_{DD}$
Output timing reference voltages (V_T)	$V_{DD}/2$
Load Capacitance (C_L)	30 pF

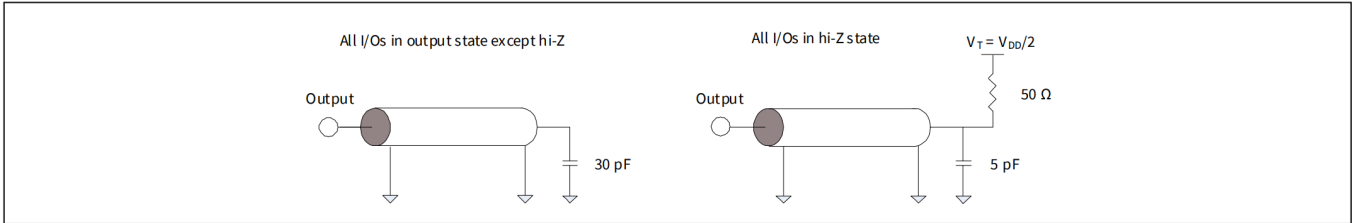


图 113 AC 测试负载

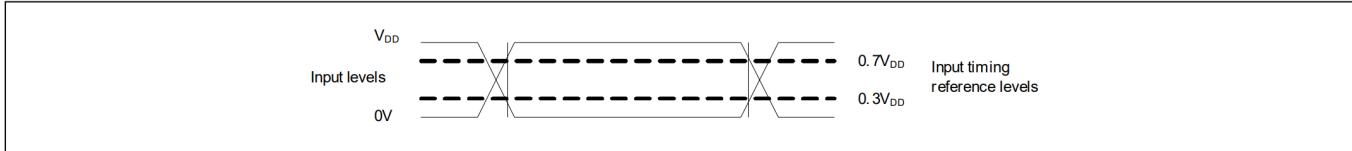


图 114 AC 时序输入参考电平

13 SDR AC 开关特性

表 67 SDR AC 开关特性

Parameters ^[21]		Description	Min	Max	Unit
Infineon parameter	Alt. parameter				
f_{SCK}	–	SCK clock frequency	0	108	MHz
t_{CH}	–	Clock HIGH time	$0.45 \times 1/f_{\text{SCK}}$	–	ns
t_{CL}	–	Clock LOW time	$0.45 \times 1/f_{\text{SCK}}$	–	ns
t_{CSS}	t_{CSU}	Chip select ($\overline{\text{CS}}$) setup time	5	–	ns
t_{CSH}	t_{CSH}	Chip select ($\overline{\text{CS}}$) hold time	4	–	ns
t_{HZCS}	$t_{\text{OD}}^{[22, 23]}$	Output disable time	–	6.5	ns
t_{CO}	–	Output data valid time with 15-pF load (Output driver set to 45 Ω . Over the “Operating range” on page 99)	–	7	ns
		Clock low to output valid – 15-pF load (Output driver set to 45 Ω . For $V_{\text{DD}} = 2.7 \text{ V}$ to 3.6 V; over the “Operating range” on page 99)	–	6.7	ns
		Clock low to output valid – 30-pF load (Output driver set to 45 Ω . For $V_{\text{DD}} = 2.7 \text{ V}$ to 3.6 V; over the “Operating range” on page 99)	–	7	ns
		Clock low to output valid – 30-pF load (Output driver set to default 30 Ω . Over the “Operating range” on page 99)	–	7	ns
t_{OH}	–	Output hold time	1	–	ns

注释

21. 这些参数根据105页“AC测试条件”测试。
22. t_{OD} 和 t_{HZ} 的额定负载电容为 5 pF。当输出进入高阻态时测量转换。
23. 此参数由特性保证；未经生产测试。
24. t_{CS} 是在特定SPI模式（SPI、DPI 或 QPI）下，新指令周期开始前芯片取消选择（ $\overline{\text{CS}}$ 高电平）的最小时间。此参数确保在主机启动新指令周期之前，先前的操作已成功完成。请参阅图 117。
25. 由设计保证。

SDR AC 开关特性

表 67 SDR AC 开关特性 (续)

Parameters ^[21]		Description	Min	Max	Unit
Infineon parameter	Alt. parameter				
t _{CS} ^[24]	t _D	Chip deselect ($\overline{\text{CS}}$ HIGH) time before the command cycle in SPI mode; all accesses (memory array and registers)	40	–	ns
		Chip deselect ($\overline{\text{CS}}$ HIGH) time before the command cycle in DPI mode; all accesses except memory array access	75	–	ns
		Chip deselect ($\overline{\text{CS}}$ HIGH) time before the command cycle in DPI mode (including dual mode in extended SPI); memory array access (non XiP mode)	40	–	ns
		Chip deselect ($\overline{\text{CS}}$ HIGH) time before the command cycle in DPI mode (including dual mode in extended SPI); memory array access (XiP mode)	55	–	ns
		Chip deselect ($\overline{\text{CS}}$ HIGH) time before the command cycle in QPI mode; all accesses except memory array access	110	–	ns
		Chip deselect ($\overline{\text{CS}}$ HIGH) time before the command cycle in QPI mode (including quad mode in extended SPI); memory array access (non XiP mode)	90	–	ns
		Chip deselect ($\overline{\text{CS}}$ HIGH) time before the command cycle in QPI mode (including quad mode in extended SPI); memory array access (XiP mode)	110	–	ns
t _{SD}	t _{SU}	Data in setup time (with respect to SCK)	2	–	ns
t _{HD}	t _H	Data in hold time (with respect to SCK)	3	–	ns
t _{CLZ} ^[25]	–	Clock Low to Output low-Z	0	–	ns
t _{CRCC}	–	CRC calculation time (100 μ s + (0.8 μ s/Byte of data))	0.10	440	ms
t _{CRCS}	–	$\overline{\text{CS}}$ high to CRC calculation suspends	–	100	μ s
t _{CRCR}	–	$\overline{\text{CS}}$ high to CRC calculation resumes	–	100	μ s

注释

21. 这些参数根据105 页“AC测试条件”测试。
22. t_{OD} 和 t_{HZ} 的额定负载电容为 5 pF。当输出进入高阻态时测量转换。
23. 此参数由特性保证；未经生产测试。
24. t_{CS}是在特定SPI模式（SPI 、 DPI 或 QPI）下，新指令周期开始前芯片取消选择（ $\overline{\text{CS}}$ 高电平）的最小时间。此参数确保在主机启动新指令周期之前，先前的操作已成功完成。请参阅图 117。
25. 由设计保证。

SDR AC 开关特性

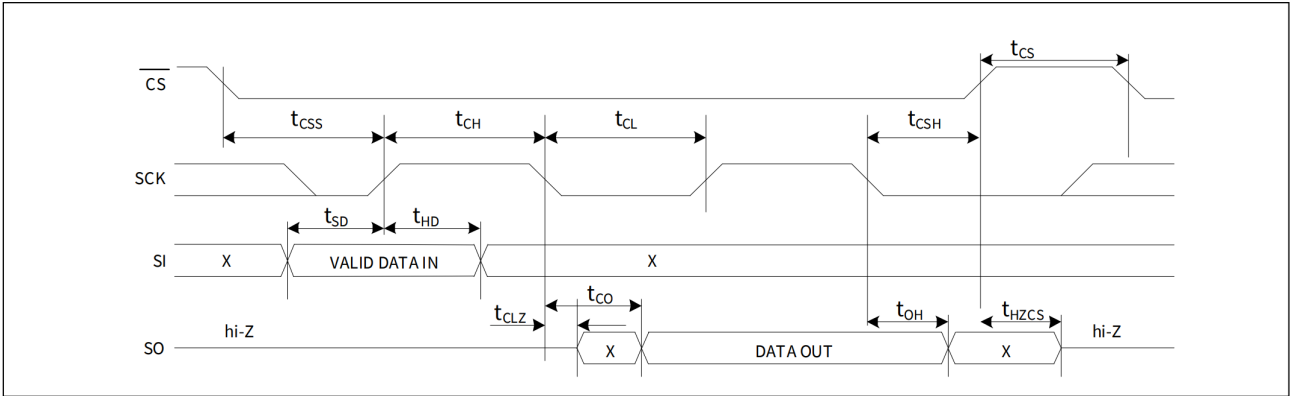


图 115 SPI 开关时序 - 单 I/O，SDR

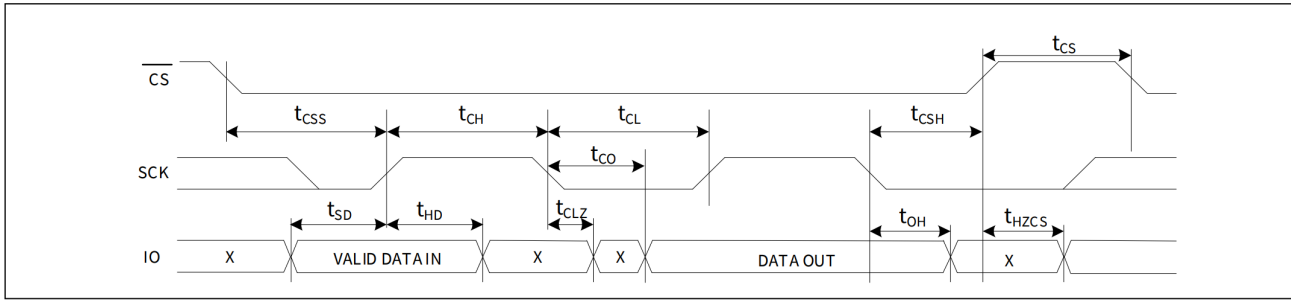


图 116 SPI 开关时序 - 多 I/O，SDR

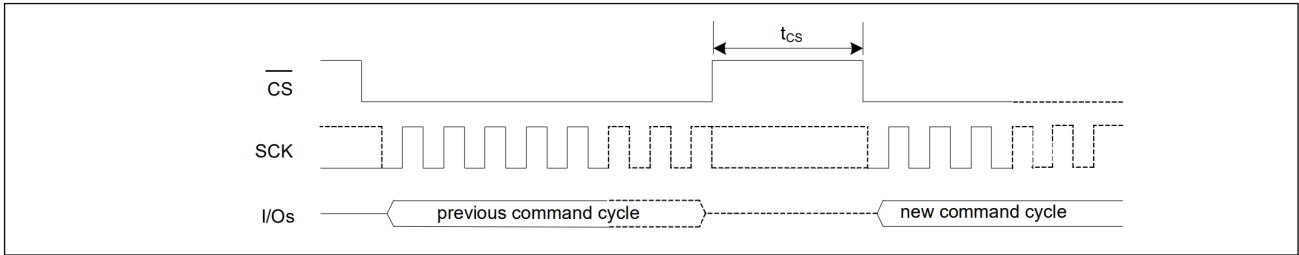


图 117 芯片取消选择 (CS HIGH) - t_{CS} 时序

DDR AC 开关特性

14 DDR AC 开关特性

表 68 DDR AC 开关特性

在工作范围内

Parameters ^[26]		Description	Min	Max	Unit
Infineon parameter	Alt. parameter				
f_{SCK}	–	SCK clock frequency	0	54	MHz
t_{CH}	–	Clock HIGH time	$0.45 \times 1/f_{\text{SCK}}$	–	ns
t_{CL}	–	Clock LOW time	$0.45 \times 1/f_{\text{SCK}}$	–	ns
t_{CSS}	t_{CSU}	Chip select ($\overline{\text{CS}}$) setup time	5	–	ns
t_{CSH}	t_{CSH}	Chip select ($\overline{\text{CS}}$) hold time	5	–	ns
t_{HZCS}	$t_{\text{OD}}^{[27, 28]}$	Output disable time	–	6.5	ns
t_{CO}	–	Output data valid time with 15-pF load (Output driver set to 45 Ω . Over the “Operating range” on page 99)	–	7	ns
		Clock low to output valid – 15-pF load (Output driver set to 45 Ω . For $V_{\text{DD}} = 2.7 \text{ V}$ to 3.6 V; over the “Operating range” on page 99)	–	6.7	ns
		Clock low to output valid – 30-pF load (Output driver set to 45 Ω . For $V_{\text{DD}} = 2.7 \text{ V}$ to 3.6 V; over the “Operating range” on page 99)	–	7	ns
		Clock low to output valid – 30-pF load (Output driver set to default 30 Ω . Over the “Operating range” on page 99)	–	7	ns
t_{OH}	–	Output hold time	1	–	ns
$t_{\text{CS}}^{[29]}$	t_{D}	Chip deselect ($\overline{\text{CS}}$ HIGH) time before the command cycle in SPI mode; all accesses (memory array and registers)	40	–	ns
		Chip deselect ($\overline{\text{CS}}$ HIGH) time before the command cycle in QPI mode; all accesses except memory array access	110	–	ns
		Chip deselect ($\overline{\text{CS}}$ HIGH) time before the command cycle in QPI mode (including quad mode in extended SPI); memory array access (non XiP mode)	90	–	ns
		Chip deselect ($\overline{\text{CS}}$ HIGH) time before the command cycle in QPI mode (including quad mode in extended SPI); memory array access (XiP mode)	110	–	ns

注释:

26. 这些参数根据105 页“AC测试条件”测试。

27. t_{OD} 和 t_{Hz} 的额定负载电容为 5 pF。当输出进入高阻态时测量转换。

28. 此参数由特性保证；未经生产测试。

29. t_{CS} 是在特定SPI模式（SPI 或 QPI）下，新指令周期开始前芯片取消选择（ $\overline{\text{CS}}$ 高电平）的最小时间。此参数确保在主机启动新指令周期之前，先前的操作已成功完成。请参阅图 117。

30. 由设计保证。

DDR AC 开关特性

表 68 DDR AC 开关特性 (续)

在工作范围内

Parameters ^[26]		Description	Min	Max	Unit
Infineon parameter	Alt. parameter				
t_{SD}	t_{SU}	Data in setup time (with respect to SCK)	4	–	ns
t_{HD}	t_H	Data in hold time (with respect to SCK)	4	–	ns
t_{CLZ} ^[30]	–	Clock Low to Output Low-Z	0	–	ns

注释

26. 这些参数根据105 页“AC测试条件”测试。
27. t_{OD} 和 t_{HZ} 的额定负载电容为 5 pF。当输出进入高阻态时测量转换。
28. 此参数由特性保证；未经生产测试。
29. t_{CS} 是在特定SPI模式（SPI 或 QPI）下，新指令周期开始前芯片取消选择（ $\overline{CS}$ 高电平）的最小时间。此参数确保在主机启动新指令周期之前，先前的操作已成功完成。请参阅图 117。
30. 由设计保证。

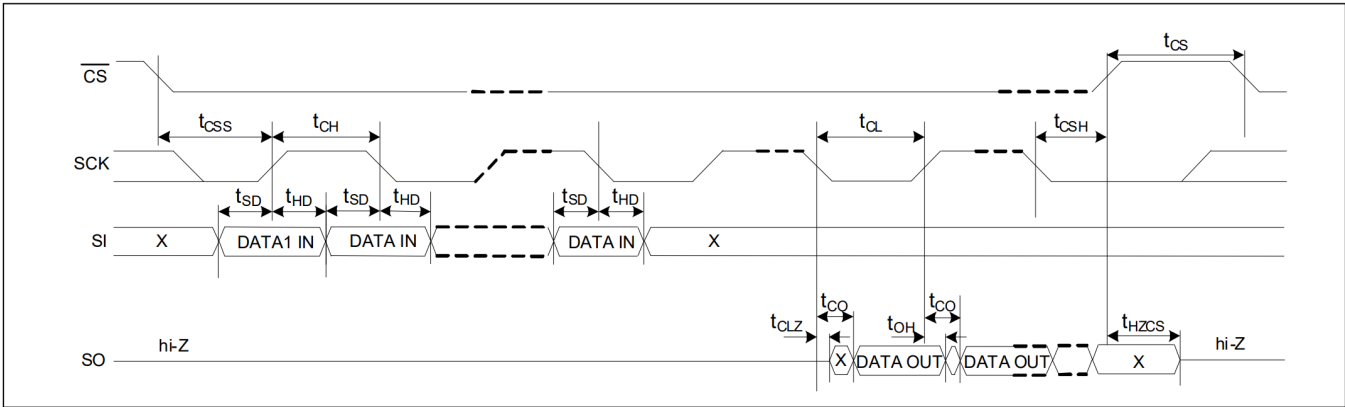


图 118 SPI 开关时序 - 单 I/O，DDR

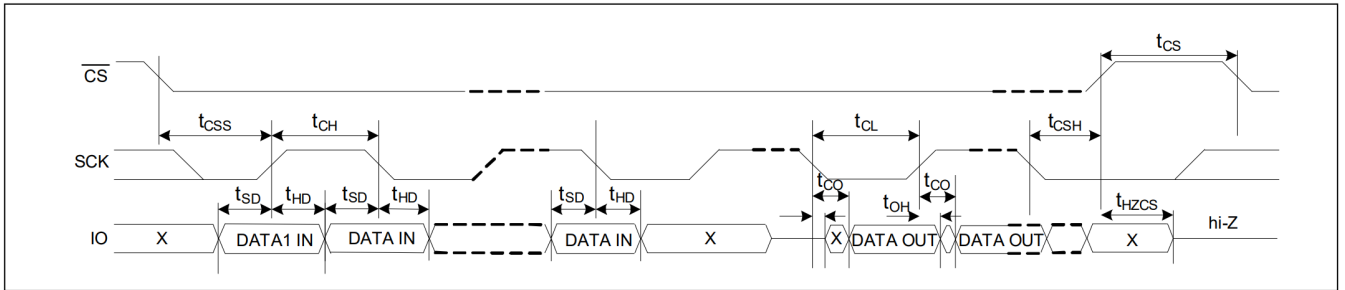


图 119 SPI 开关时序 - 多 I/O，DDR^[31]

注释

31. DDR 模式输入时序，捕获时钟边沿上的数据输入，仅适用于地址和数据输入周期。DDR 操作码在操作码周期内始终以 SDR 模式传输。

写保护 (WP) 时序

15 写保护 ($\overline{\text{WP}}$) 时序

表 69 写保护 ($\overline{\text{WP}}$) 时序

在工作范围内

Parameters ^[32]		Description	Min	Max	Unit
Infineon parameter	Alt. parameter				
t_{WPS}	t_{SW}	WP setup time (with respect to $\overline{\text{CS}}$)	20	–	ns
t_{WPH}	t_{HW}	WP hold time (with respect to $\overline{\text{CS}}$)	20	–	ns

注释

32. 这些参数根据105 页“AC测试条件”测试。

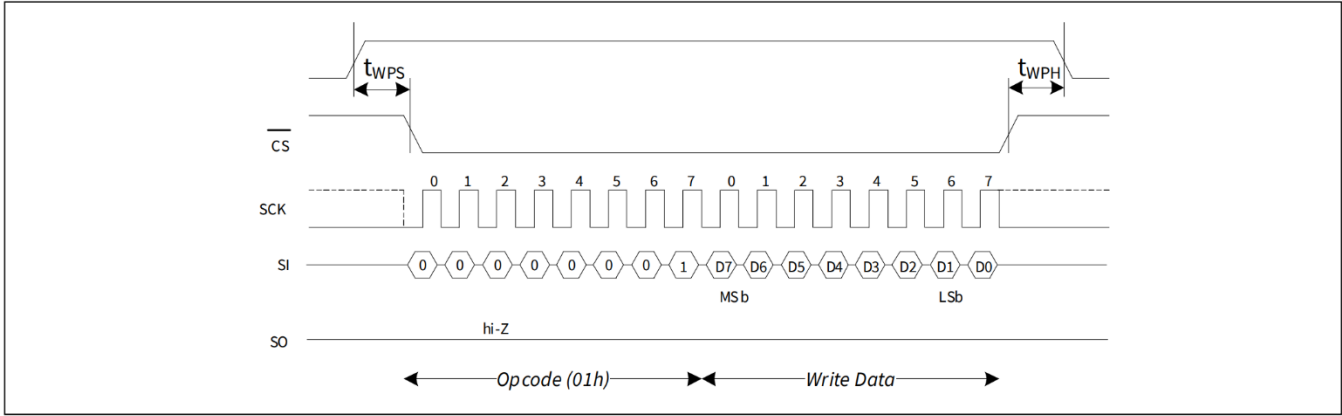


图 120 写保护设置和保持时序

复位 (RESET) 时序

16 复位 (RESET) 时序

表 70 复位 (RESET) 时序

在工作范围内

Parameters ^[33]		Description	Min	Max	Unit
Infineon parameter	Alt. parameter				
t _{RS}	–	Hardware RESET setup time	50	–	ns
t _{RPH}	t _{RHSL} , t _{RH}	Hardware RESET hold time	450	–	μs
t _{RP}	t _{RLRH}	Hardware RESET pulse width	200	–	ns
t _{HRESET}	–	Hardware RESET time	–	450	μs
t _{SRESET}	–	Software RESET time	–	100	μs
t _{CSL}	–	Chip Select (CS) LOW time for JEDEC Reset	500	–	ns
t _{CSH_R}	–	Chip Select (CS) HIGH time for JEDEC Reset	500	–	ns
t _{SU}	–	SI (I/O) setup time (with respect to CS HIGH) for JEDEC Reset	5	–	ns
t _{HD_R}	–	SI (I/O) hold time (with respect to CS HIGH) for JEDEC Reset	5	–	ns

注释

33. 这些参数根据105 页“AC测试条件”测试。

上电时序

17 上电时序

表 71 上电时序

在工作范围内

Parameter ^[34]		Description	Min	Max	Unit
Infineon parameter	Alt. parameter				
t _{PU}	–	Power-up V _{DD} (min) to first access ($\overline{\text{CS}}$ LOW)	450	–	μs
t _{VR} ^[35]	–	V _{DD} power-up ramp rate	30	–	μs/V
t _{VF} ^[35, 38]	–	V _{DD} power-down ramp rate	20	–	μs/V
t _{ENTDPD} ^[36]	t _{DP}	$\overline{\text{CS}}$ HIGH to enter deep power-down ($\overline{\text{CS}}$ HIGH to hibernate mode current)	–	3	μs
t _{CSDPD}	–	$\overline{\text{CS}}$ pulse width to wake up from deep power-down mode	0.015	4 × 1/f _{SCK}	μs
t _{EXTDPD}	t _{RDP}	Recovery time from deep power-down mode ($\overline{\text{CS}}$ LOW to ready for access)	–	10	μs
t _{ENTHIB} ^[37]	t _{HBN}	Time to enter hibernate ($\overline{\text{CS}}$ HIGH to hibernate mode current)	–	3	μs
t _{EXITHIB}	t _{REC}	Recovery time from hibernate mode ($\overline{\text{CS}}$ LOW to ready for access)	–	450	μs
V _{DD} (low) ^[38]	–	Low V _{DD} where initialization must occur	0.6	–	V
t _{PD} ^[38]	–	V _{DD} (low) time when V _{DD} (low) at 0.6 V	130	–	μs
		V _{DD} (low) time when V _{DD} (low) at V _{SS}	70	–	

注释：

34. 这些参数根据105 页“AC测试条件”测试。
35. 在 V_{DD} 波形上任意一点测量的斜率。
36. 由设计保证。深度睡眠模式时序详见图 100和图 103。
37. 由设计保证。休眠模式时序详见图 104。
38. 此参数由特性保证；未经生产测试。

上电时序

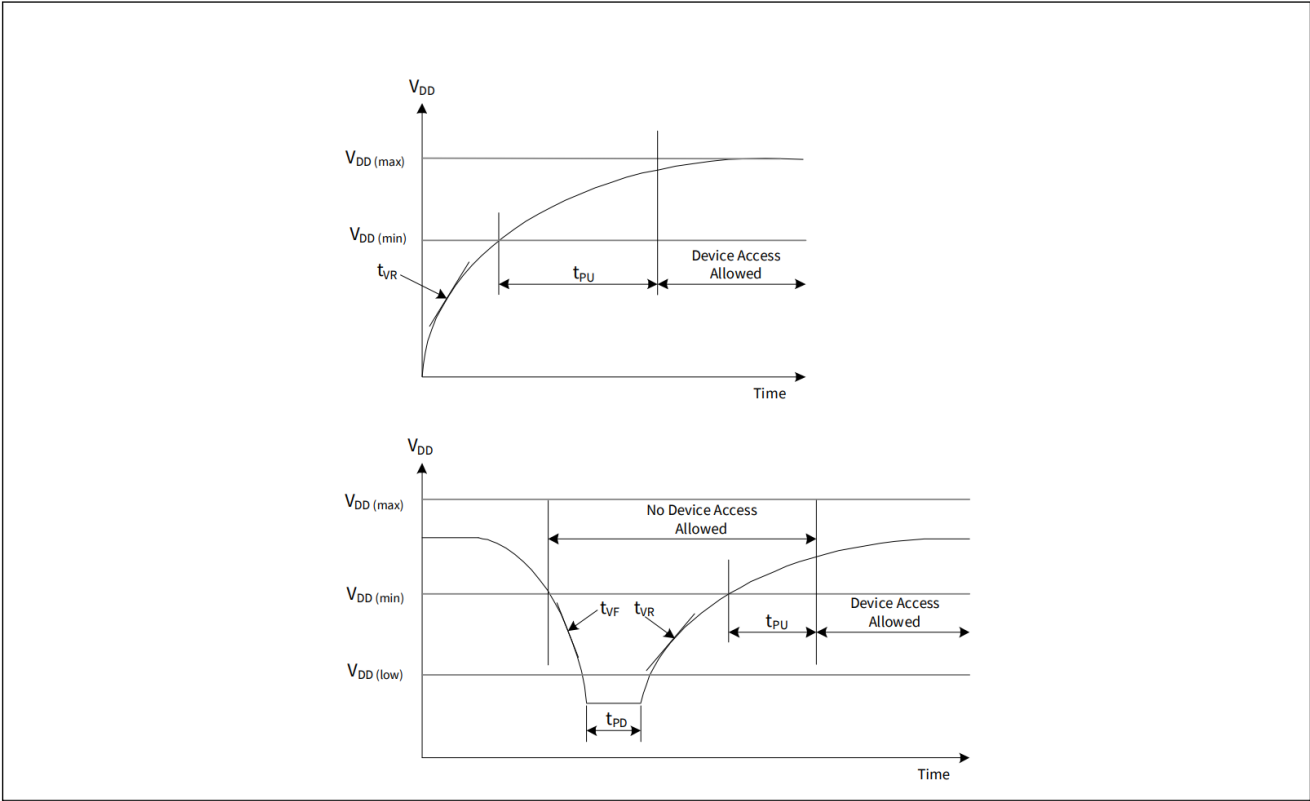


图 121 上电时序

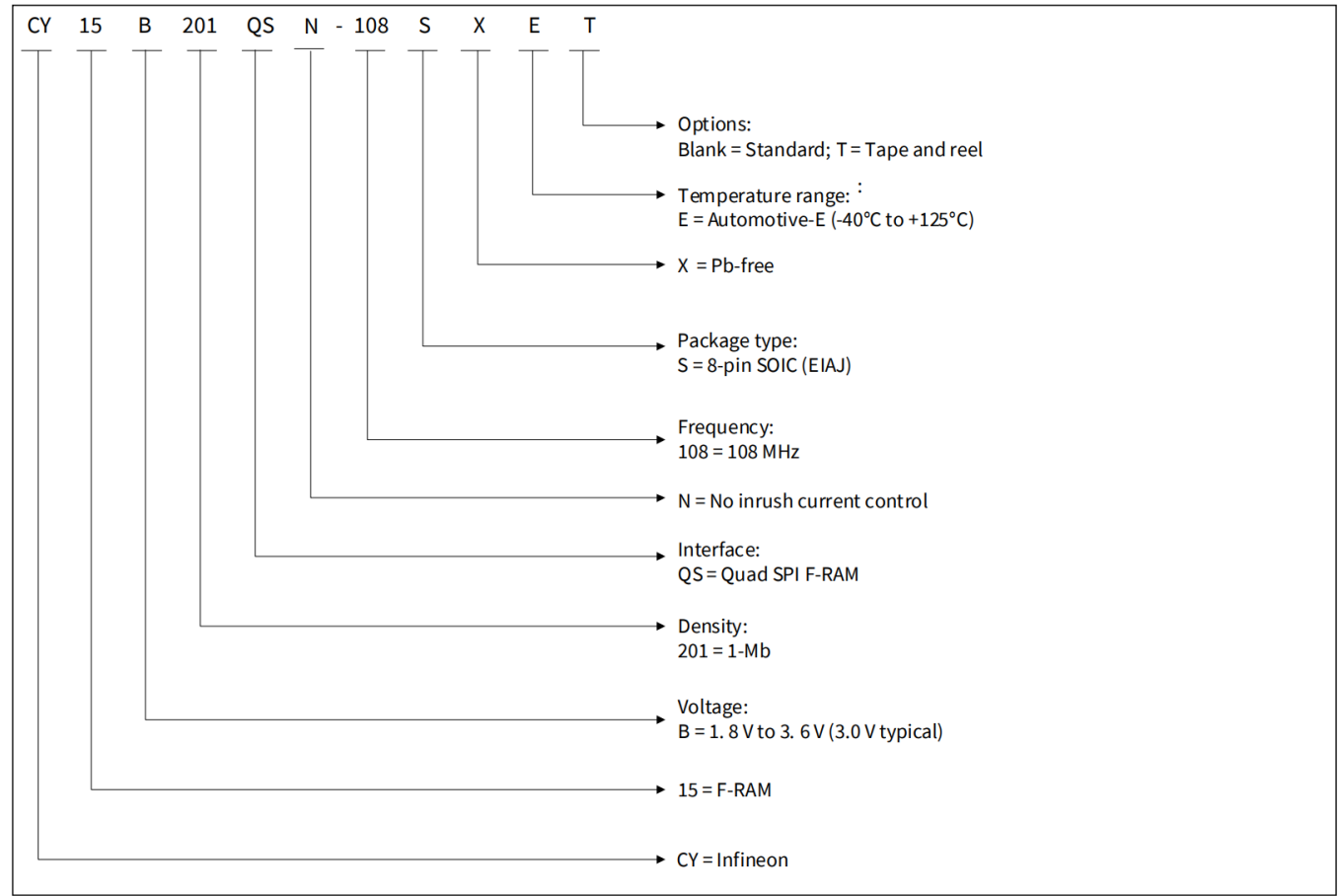
18 订购信息

表 72 订购信息

Product	Device ID	Package diagram	Package type	Operating range
CY15B201QSN-108SXE	0x0000000006825440	001-85261	8-pin SOIC (EIAJ)	Automotive-E

所有这些部件都不含铅。请联系您当地的英飞凌销售代表以了解这些零件的可用性。

18.1 订购代码定义



封装图

19 封装图

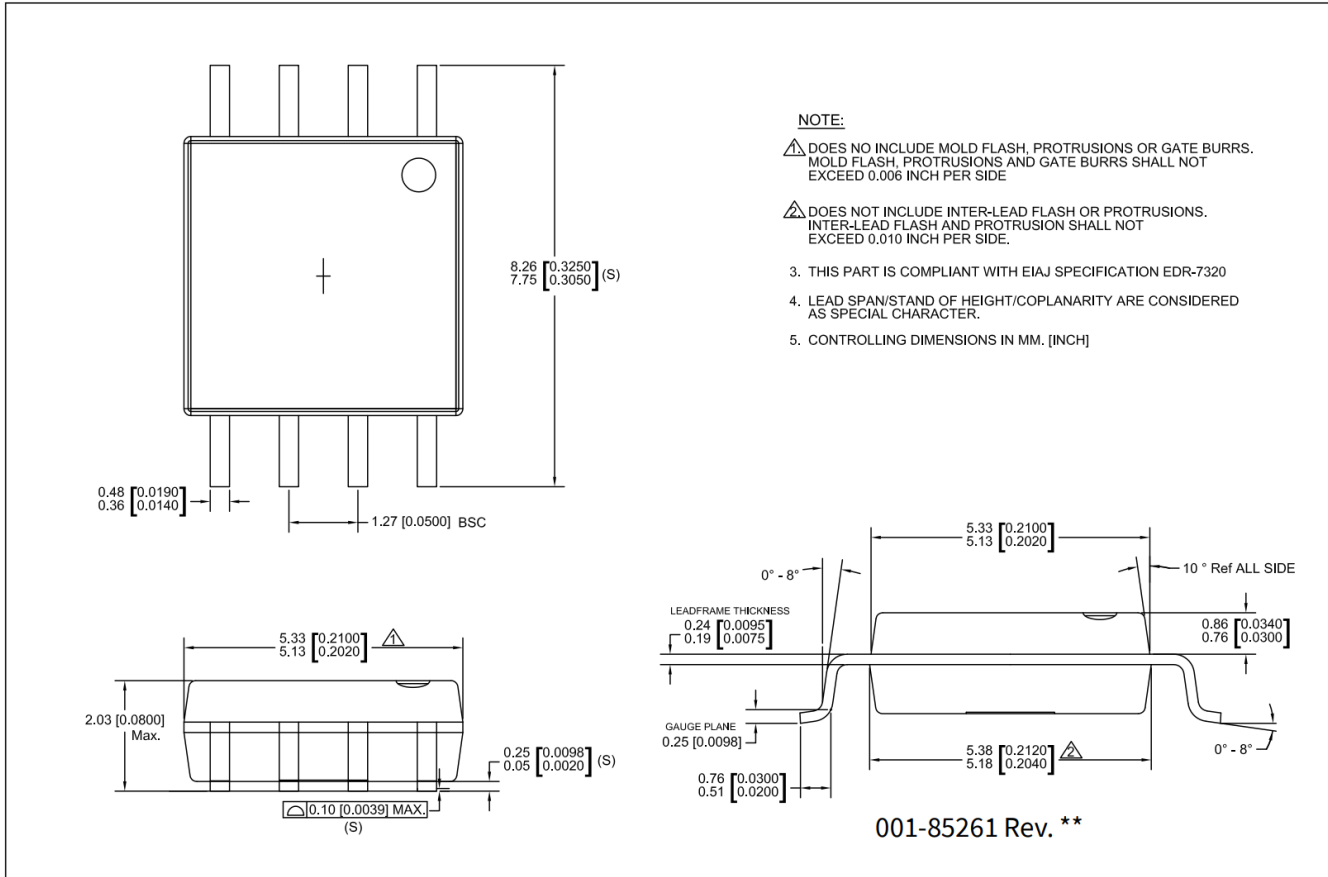


图 122 8 引脚SOIC (208 Mils) SZ820 封装 (PG-DSO-8), 001-85261



缩略语

20 缩略语

表 73 本文档中使用的缩略语

Acronym	Description
CPHA	clock phase
CPOL	clock polarity
CRC	cyclic redundancy check
DPI	dual SPI
ECC	error correction code
EEPROM	electrically erasable programmable read-only memory
EIA	Electronic Industries Alliance
F-RAM	ferroelectric random access memory
I/O	input/output
JEDEC	Joint Electron Devices Engineering Council
JESD	JEDEC standards
LSb	least significant bit
MSb	most significant bit
RoHS	Restriction of Hazardous Substances
SOIC	small outline integrated circuit
SPI	serial peripheral interface

21 文档惯例

21.1 计量单位

表 74 计量单位

Symbol	Unit of measure
°C	degree Celsius
Hz	hertz
kHz	kilohertz
kΩ	kilohm
Mbit	megabit
MHz	megahertz
μA	microampere
μF	microfarad
μs	microsecond
mA	milliampere
ms	millisecond
ns	nanosecond
Ω	ohm
%	percent
pF	picofarad
V	volt
W	watt



修订记录

修订记录

Document revision	Date	Description of changes
**	2024-02-23	Initial release.
*A	2025-12-03	Updated JEDEC SPI reset . Updated disclaimer.

Trademarks

All referenced product or service names and trademarks are the property of their respective owners.

Edition 2025-12-03

Published by

**Infiniteon Technologies AG
81726 Munich, Germany**

**© 2025 Infiniteon Technologies
AG. All Rights Reserved.**

**Do you have a question about
this document?**

Email:

erratum@infineon.com

**Document
reference 002-
35975 Rev. *A**

IMPORTANT NOTICE

Products which may also include samples and may be comprised of hardware or software or both ("Product(s)") are sold or provided and delivered by Infiniteon Technologies AG and its affiliates ("Infiniteon") subject to the terms and conditions of the frame supply contract or other written agreement(s) executed by a customer and Infiniteon or, in the absence of the foregoing, the applicable Sales Conditions of Infiniteon. General terms and conditions of a customer or deviations from applicable Sales Conditions of Infiniteon shall only be binding for Infiniteon if and to the extent Infiniteon has given its express written consent.

For the avoidance of doubt, Infiniteon disclaims all warranties of non-infringement of third-party rights and implied warranties such as warranties of fitness for a specific use/purpose or merchantability.

Infiniteon shall not be responsible for any information with respect to samples, the application or customer's specific use of any Product or for any examples or typical values given in this document.

The data contained in this document is exclusively intended for technically qualified and skilled customer representatives. It is the responsibility of the customer to evaluate the suitability of the Product for the intended application and the customer's specific use and to verify all relevant technical data contained in this document in the intended application and the customer's specific use. The customer is responsible for properly designing, programming, and testing the functionality and safety of the intended application, as well as complying with any legal requirements related to its use.

Unless otherwise explicitly approved by Infiniteon, Products may not be used in any application where a failure of the Products or any consequences of the use thereof can reasonably be expected to result in personal



免责声明

请注意，本文件的原文使用英文撰写，为方便客户浏览英飞凌提供了中文译文。该中文译文仅供参考，并不可作为任何论点之依据。

由于翻译过程中可能使用了自动化程序，以及语言翻译和转换过程中的差异，最后的中文译文与最新的英文版本原文含义可能存在不尽相同之处。

因此，我们同时提供该中文译文版本的最新英文原文供您阅读，请参见 <http://www.infineon.com>

英文原文和中文译文版本之间若存有任何歧异，以最新的英文版本为准，并且仅认可英文版本为正式文件。

您如果使用本文件，即表示您同意并理解上述说明。英飞凌不对因翻译过程中可能存在的任何不完整或不准确信息而产生的任何直接或间接损失或损害负责。英飞凌不承担中文译文版本的完整性和准确性责任。如果您不同意上述说明，请不要使用本文件。

Trademarks

All referenced product or service names and trademarks are the property of their respective owners.

重要通知

版本 2026-08-26

Infineon Technologies AG 出版，
德国 Neubiberg 85579

版权 © 2026 Infineon Technologies AG
及其关联公司。
保留所有权利。

**Do you have a question about this
document?**

Email:

erratum@infineon.com

Infineon Technologies AG 及其关联公司（以下简称“英飞凌”）销售或提供和交付的产品（可能也包括样品，且可能由硬件或软件或两者组成）（以下简称“产品”），应遵守客户与英飞凌签订的框架供应合同或其他书面协议的条款和条件，如无上述合同或其他书面协议，则应遵守适用的英飞凌销售条件。只有在英飞凌明确书面同意的情况下，客户的一般条款和条件或对适用的英飞凌销售条件的偏离才对英飞凌具有约束力。

为避免疑义，英飞凌不承担侵犯第三方权利的所有保证和默示保证，例如对特定用途/目的的适用性或适销性的保证。

英飞凌对与样品、应用或客户对任何产品的具体使用有关的任何信息或本文件中给出的任何示例或典型值概不负责。

本文件中包含的数据仅供具有技术资格和技能的客户代表使用。客户有责任评估产品对预期应用和客户特定用途的适用性，并在预期应用和客户特定用途中验证本文件中包含的所有相关技术数据。客户有责任正确设计、编程和测试预期应用的功能性和安全性，并遵守与其使用相关的法律要求。

除非英飞凌另行明确批准，否则产品不得用于任何因产品故障或使用产品的任何后果可合理预期会导致人身伤害的应用。但是，上述规定并不妨碍客户在英飞凌明确设计和销售的使用领域中使用任何产品，但是客户对应用负有全部责任。

英飞凌明确保留根据适用法律，如《德国版权法》（UrhG）第 44b 条，将其内容用于商业资料和数据勘探（TDM）的权利。

如果产品包含安全功能：

由于任何计算设备都不可能绝对安全，尽管产品采取了安全措施，但英飞凌不保证产品不会被入侵、数据不会被盗或遗失，或不会发生其他漏洞（以下简称“安全漏洞”），英飞凌对任何安全漏洞不承担任何责任。

如果本文件包含或引用软件：

根据美国、德国和世界其他国家的知识产权法律和条约，该软件归英飞凌所有。英飞凌保留所有权利。因此，您只能按照软件附带的软件授权协议的规定使用本软件。

如果没有适用的软件授权协议，英飞凌特此授予您个人的、非排他性的、不可转让的软件知识产权授权（无权转授权）：(a) 对于以源代码形式提供的软件，仅在贵组织内部修改和复制该软件用于英飞凌硬件产品；及 (b) 对于以二进制代码 (binary code) 形式对外向终端用户分发该软件，仅得用于英飞凌硬件产品。禁止对本软件进行任何其他使用、复制、修改、翻译或编译。有关产品、技术、交货条款和条件以及价格的详细信息，请联系离您最近的英飞凌办公室或访问 <https://www.infineon.com>。