

16Mb EXCELON™ Ultra 強誘電体 RAM (F-RAM)

シリアル (クアッド SPI)、2048K×8、108MHz、産業用

特長

- 2048K×8 論理構成として設計された 16Mb 強誘電体 RAM (F-RAM)
 - 100 兆回 (10^{14}) の読み出し / 書き込みサイクルの事実上無制限の書換回数
 - 151 年間のデータ保持 (99 ページの **データ保持期間およびアクセス可能回数** を参照してください)
 - インフィニオンのインスタント不揮発性書き込み技術
 - 高信頼性強誘電体プロセス
- シングルおよびマルチ I/O シリアル ペリフェラル インターフェース (SPI)
 - シリアル バス インターフェース SPI プロトコル
 - すべての SDR モード転送で SPI モード 0 (0、 0) およびモード 3 (1、 1) に対応
 - すべての DDR モード転送で SPI モード 0 (0、 0) に対応
 - 拡張 I/O SPI プロトコル
 - デュアル SPI (DPI) プロトコル
 - クアッド SPI (QPI) プロトコル
- SPI クロック周波数
 - SPI シングル データ レート (SDR): 最大 108 MHz
 - SPI ダブル データ レート (DDR): 最大 46 MHz
- メモリ読み出し / 書き込み用の直接実行 (XIP)
- 書き込み保護、データ セキュリティ、およびデータ整合性
- 書き込み保護 (\overline{WP}) ピンを使用したハードウェアによる保護
- ソフトウェア ブロック保護
- データ整合性の強化のための組込みエラー訂正コード (ECC) および巡回冗長検査 (CRC)
 - ECC は 2 ビットエラーを検出および訂正します。3 ビットエラーが発生した場合、ECC は訂正できませんが、ECC ステータス レジスタを通して報告します
 - CRC は raw データへの偶発的変化を検出します
- 拡張電子署名
 - メーカー ID および製品 ID を含むデバイス ID
 - 固有 ID
 - ユーザー プログラマブルなシリアル番号
- 専用 256 バイト特殊セクタ F-RAM
 - 専用特殊セクタの書き込みと読み出し
 - コンテンツは最大 3 回の標準リフロー サイクルに耐え得ます
- 高速で低消費電力
 - 108MHz SPI SDR では 14mA (Typ) のアクティブ電流
 - 108MHz QSPI SDR では 22mA (Typ) のアクティブ電流
 - 46MHz QSPI DDR では 16.5mA (Typ) のアクティブ電流
 - 115μA (Typ) のスタンバイ電流
 - 1.1μA (Typ) のディープ パワーダウン モード電流
 - 0.1μA (Typ) のハイバネート モード電流
- 低電圧動作
 - CY15V116QSN: $V_{DD} = 1.71\text{ V} \sim 1.89\text{ V}$
 - CY15B116QSN: $V_{DD} = 1.8\text{ V} \sim 3.6\text{ V}$
- 動作温度
 - $-40\text{ }^{\circ}\text{C} \sim +85\text{ }^{\circ}\text{C}$

機能説明

- パッケージ
 - 24 ボール ファイン ピッチ ボール グリッド アレイ (FBGA)
- RoHS 準拠

機能説明

EXCELON™ Ultra CY15x116QSN は高度な強誘電体プロセスを採用した高性能の 16Mb 不揮発性メモリです。強誘電体ランダム アクセス メモリ (F-RAM) は不揮発性であり、RAM 同様に読み書きを実行します。またシリアルフラッシュやその他の不揮発性メモリによる複雑さ、オーバーヘッド、システムレベルの信頼性関連問題を回避し、151 年間にわたって信頼できるデータ保持ができます。

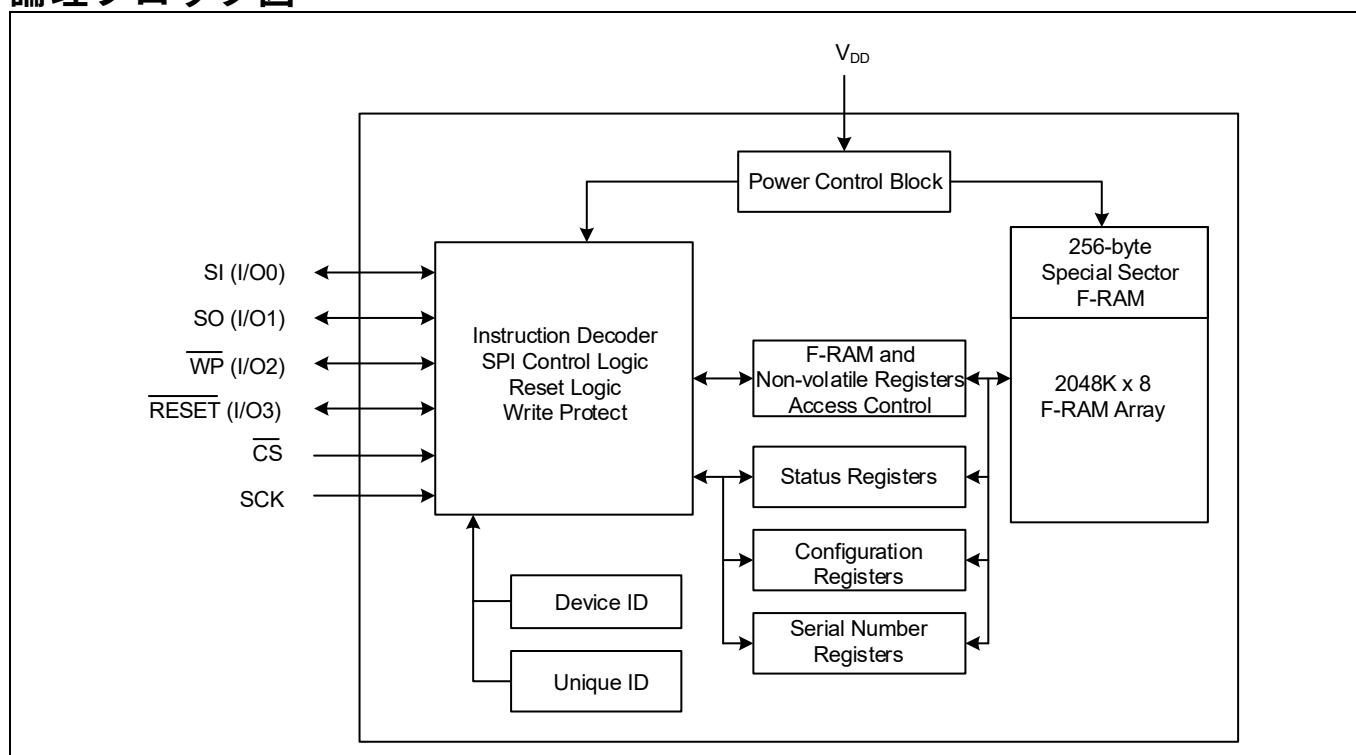
シリアルフラッシュと異なり、CY15x116QSN はバス速度で書き込み動作を実行します。書き込み遅延は発生しません。データは各バイトがデバイスに正常に転送された直後にメモリアレイに書き込まれます。次のバスサイクルはデータポーリングを必要とせず開始できます。また、本製品は他の不揮発性メモリと比べて多くの書き換え可能回数を提供しています。CY15x116QSN は 10^{14} 回の読み出し / 書き込みサイクル、すなわち EEPROM に比べ 1 億倍の書き込みサイクルに対応できます。これらの能力により、CY15x116QSN は頻繁な高速書き込みを必要とする不揮発性メモリの用途に理想的です。これらの用途例は、書き込み回数を重視するデータ収集から、シリアルフラッシュを使った場合にその長い書き込み時間に起因してデータを損失する可能性がある厳しい工業用制御まで及びます。

CY15x116QSN は 16Mb F-RAM を高速クアド SPI (QPI) SDR および DDR インターフェースと組み合わせ、F-RAM 技術の不揮発性書き込み能力を強化します。本デバイスは読み出し専用のデバイス ID と固有 ID 機能を組み込み、SPI バスマスターがメーカー、メモリ容量、製品レビジョンおよび固有 ID を確定できます。また、基板またはシステムを識別できる読み出し専用の固有シリアル番号を含みます。

本デバイスは、8 バイトユニットデータごとに 2 ビットエラーの検出および訂正ができる ECC ロジックを搭載しています。8 バイトユニットデータでの 3 ビットエラーの報告機能にも対応しています。CY15x116QSN はまた、メモリアレイに格納されているデータの整合性をチェックできる巡回冗長検査 (CRC) 機能をサポートしています。

すべての関連資料の一覧については、[ここ](#)をクリックしてください。

論理ブロック図



目次

特長	1
機能説明	2
論理ブロック図	2
目次	3
1 ピン配置	5
2 ピン機能	6
3 機能概要	7
3.1 メモリ アーキテクチャ	7
3.2 シリアル ペリフェラル インターフェース (SPI) バス	7
3.2.1 シングル チャネル SPI	8
3.2.2 拡張 SPI	8
3.2.3 デュアル SPI (DPI)	8
3.2.4 クアッド SPI (QPI)	8
3.3 SPI プロトコルで使用される用語	9
3.3.1 SPI マスター	9
3.3.2 SPI スレーブ	9
3.3.3 チップセレクト ($\overline{\text{CS}}$)	9
3.3.4 シリアル クロック (SCK)	9
3.3.5 データ転送 (SI / SO)	9
3.3.6 最上位ビット (MSb)	11
3.3.7 シリアル オペコード	11
3.3.8 無効なオペコード	11
3.3.9 命令	11
3.3.10 モード バイト	12
3.3.11 ウェイト ステート (ダミー サイクル)	12
3.4 SPI モード	12
3.4.1 SDR	13
3.4.2 DDR	13
3.5 電源投入から最初のアクセスまでの時間	13
4 CY15x116QSN レジスタ	15
4.1 ステータス レジスタ	15
4.1.1 ステータス レジスタ 1 (SR1)	15
4.1.2 ステータス レジスタ 2 (SR2)	19
4.2 コンフィギュレーション レジスタ	20
4.2.1 コンフィギュレーション レジスタ 1 (CR1)	20
4.2.2 コンフィギュレーション レジスタ 2 (CR2)	23
4.2.3 コンフィギュレーション レジスタ 4 (CR4)	26
4.2.4 コンフィギュレーション レジスタ 5 (CR5)	28
5 機能説明	30
5.1 コマンドの構成	30
5.1.1 書き込みイネーブル制御コマンド	32
5.1.2 レジスタ アクセス コマンド	34
5.1.3 メモリ動作	47
5.1.4 メモリ書き込みコマンド	47
5.1.5 メモリ読み出しコマンド	58
5.1.6 特殊セクタ メモリ アクセス コマンド	69
5.1.7 エラー訂正コード (ECC) および巡回冗長検査のコマンド	72
5.1.8 ID およびシリアル番号コマンド	82
5.1.9 低消費電力モードおよびリセット	87
6 最大定格	95

目次

7 動作範囲	96
8 DC 電気的特性	97
9 データ保持期間およびアクセス可能回数	99
10 静電容量	100
11 熱抵抗	101
12 AC テスト条件	102
13 SDR AC スイッチング特性	103
14 DDR AC スイッチング特性	106
15 書き込み保護 (WP) タイミング パラメーター	108
16 リセット (RESET) タイミング パラメーター	109
17 パワー サイクル タイミング	110
18 注文情報	112
18.1 注文コードの定義	112
19 パッケージ図	113
20 略語	114
21 本書の表記法	115
21.1 測定単位	115
改訂履歴	116
免責事項	117

ピン配置

1 ピン配置

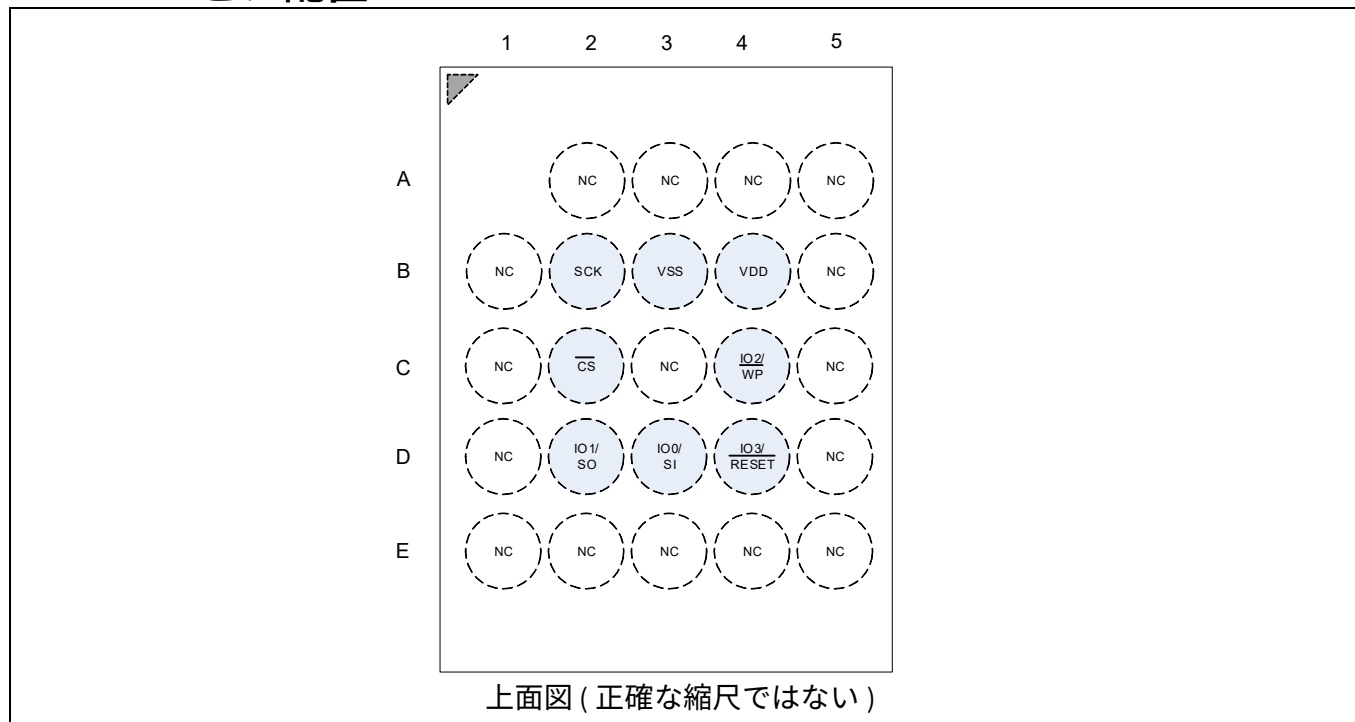


図 1 24 ボール BGA ピン配置

ピン機能

2 ピン機能

表 1 ピン機能

ピン名	I/Oタイプ	説明
CS	入力	チップセレクト : このアクティブ LOW 入力で、デバイスを起動させる。HIGH になった場合、デバイスは低消費電力のスタンバイ モードに移行し、他の入力を無視し、出力はトライステートになる。LOW の場合、デバイスは SCK 信号を内部でアクティブにする。CS の立ち下りエッジは、すべてのオペコードの発行前に発生しなければならない
SCK	入力	シリアルクロック : I/O の動作はシリアルクロックに同期される。入力は立ち上りエッジでラッチされ、出力は立ち下りエッジで駆動される。同期デバイスであるため、クロック周波数は 0 ~ 108MHz の範囲であり、いつでも割り込まれる可能性がある
SI / (I/O0)	入力	シリアル入力 : このピンからデバイスにデータを入力。ピンは SCK の立ち上りエッジでサンプリングされ、そのとき以外では無視される
	入出力	I/O0 : デバイスがデュアル モードまたはクアッド モードのとき、SI ピンは入出力 (I/O0) ピンになり、コマンドとアドレスサイクル中は入力、データ出力サイクル中は出力として機能
SO / (I/O1)	出力	シリアル出力 : これはデータ出力ピン。読み出し中に駆動され、そのとき以外 (RESET が LOW のときも含む) トライステートを保持。データ遷移はシリアルクロックの立ち下りエッジで駆動される
	入出力	I/O1 : デバイスがデュアル モードまたはクアッド モードのとき、SO ピンは入出力 (I/O1) ピンになり、コマンドとアドレスサイクル中は入力、データ出力サイクル中は出力として機能
WP / (I/O2)	入力	書き込み保護 : このアクティブ LOW ピンで、SRWD ビット (SR1[7]) が「1」にセットされているとき、ステータスレジスタとコンフィギュレーションレジスタへの書き込み動作を防ぐ。書き込み保護の詳細は 15 ページの ステータスレジスタ 1 (SR1) を参照してください。このピンを使用しない場合、V _{DD} に接続する必要がある
	入出力	I/O2 : デバイスがクアッド モードのとき、WP ピンは入出力 (I/O2) ピンになり、コマンドとアドレスサイクル中は入力、データ出力サイクル中は出力として機能
RESET / (I/O3)	入力	ハードウェアリセットピン : このアクティブ LOW ピンで、デバイスをリセット。RESET が LOW のとき、デバイスは自己初期化し、RESET 入力が HIGH に解放された後の CS の状態が HIGH または LOW に応じて、スタンバイ状態またはアクティブ状態に戻る。このピンを使用しない場合、V _{DD} に接続する必要がある RESET / (I/O3) の動作は 表 21 に説明されている
	入出力	I/O3 : デバイスがクアッド モードのとき、RESET ピンは入出力 (I/O3) ピンになり、コマンドとアドレスサイクル中は入力、データ出力サイクル中は出力として機能。
V _{SS}	電源	デバイス グランド: システムのグランドに接続する必要がある
V _{DD}	電源	デバイスの電源入力

3 機能概要

CY15x116QSN はシリアル F-RAM メモリです。メモリアレイは 2,097,152 × 8 ビットに論理構成され、業界標準のシリアルペリフェラルインターフェース (SPI) バスを使用してアクセスされます。F-RAM の機能動作はシングル SPI EEPROM またはシングル / デュアル / クアッドの SPI フラッシュに似ています。CY15x116QSN と同一のピン配置であるシリアルフラッシュ間の重要な違いは、F-RAM の優れた書き込み性能、書換回数、および低消費電力です。

3.1 メモリアーキテクチャ

CY15x116QSN のアクセスには、それぞれが 8 データビットの 2,048K 個の位置をアドレス指定します。8 データビットはシングル、デュアルまたはクアッド I/O 上で順次シフトイン / シフトアウトされます。アドレスは、チップセレクト (バス上で複数デバイスを可能にする) とオペコード、3 バイト (24 ビット) のアドレスを含む SPI プロトコルを使ってアクセスされます。ただし、CY15x116QSN はすべての 2,048K 個のバイト位置をアドレス指定するために 21 ビットのみを必要とするため、アドレスの最上位バイトの上位 3 ビットは「ドントケア」値です。21 ビットアドレスは 2,048K メモリアレイ内の各データバイト位置を一義的に識別します。

メモリ動作に要するアクセス時間は、シリアルプロトコルに必要な時間以外は基本的に 0 です。すなわち、メモリは SPI バスの速度で読み書きされます。シリアルフラッシュや EEPROM と異なり、新しいコマンドを開始する前にデバイスの書き込み準備を知るためにポーリングする必要はありません。これは 30 ページの [機能説明](#) で詳しく説明されています。

3.2 シリアルペリフェラルインターフェース (SPI) バス

SPI は、メモリアクセスにクロックとデータピンを使用し、データバス上の複数デバイスをサポートする同期シリアルインターフェースです。SPI バス上のデバイスは、CS ピンを使用してアクティブにされます。チップセレクト、クロック、およびデータの相互関係は SPI モードによります。本デバイスは、SPI モード 0 と 3 に対応しています。両方のモードで、CS がアクティブになった後の最初の立ち上がりエッジから始まる SCK の立ち上がりエッジで、データが F-RAM にクロック入力されます。SPI プロトコルはオペコードで制御されます。動作が完了した後、新しいオペコードが発行される前に、CS を非アクティブにする必要があります。

CY15x116QSN は、シングルデータレート (SDR) モードでは最大 108MHz、DDR モードでは最大 46MHz の周波数で動作する SPI スレーブデバイスです。高速シリアルバスにより、SPI マスターとの間で高性能なシリアル通信が可能です。CY15x116QSN は 4 つの異なる SPI インターフェース / プロトコルオプションをサポートしています (シングルチャネル SPI、拡張 SPI、デュアル SPI、クアッド SPI)。

上記の SPI モードでのオペコード、アドレス、およびデータフェーズ中の I/O 信号方式の詳細は、[表 2](#) を参照してください。

表 2 SPI モードと信号の詳細

インターフェース	シングルチャネル SPI	拡張 SPI ^[1]				マルチチャネル SPI	
		デュアルデータ	クアッドデータ	デュアル I/O	クアッド I/O	DPI	QPI
信号	CS、SCK、SI、SO	CS、SCK、I/O0、I/O1	CS、SCK、I/O0、I/O1、I/O2、I/O3	CS、SCK、I/O0、I/O1	CS、SCK、I/O0、I/O1、I/O2、I/O3	CS、SCK、I/O0、I/O1	CS、SCK、I/O0、I/O1、I/O2、I/O3
オペコード	SI	I/O0	I/O0	I/O0	I/O0	I/O0、I/O1	I/O0、I/O1、I/O2、I/O3
アドレス	SI	I/O0	I/O0	I/O0、I/O1	I/O0、I/O1、I/O2、I/O3	I/O0、I/O1	I/O0、I/O1、I/O2、I/O3
データ	SI / SO	I/O0、I/O1	I/O0、I/O1、I/O2、I/O3	I/O0、I/O1	I/O0、I/O1、I/O2、I/O3	I/O0、I/O1	I/O0、I/O1、I/O2、I/O3

注:

1. 拡張 SPI モードのためのユーザー設定はありません。デバイスは常に SPI モードで起動してから、受信したオペコードに応じて対応する拡張 SPI モードに移行します。

3.2.1 シングル チャネル SPI

シングル チャネル SPI は、チップセレクト (\overline{CS})、シリアル入力 (SI)、シリアル出力 (SO)、およびシリアルクロック (SCK) ピンからなる 4 ピン インターフェースです。 \overline{CS} がアクティブにされた後、バス マスターから最初に転送されるバイトがオペコードです。オペコードに続いて、アドレスとデータが転送されます。動作が完了した後、新しいオペコードが発行される前に、 \overline{CS} を HIGH (非アクティブ) にする必要があります。このモードでは、SI と SO ピンがそれぞれ入力と出力に使用されます。オペコードとアドレスは SI ライン上でマスターによって転送され、データは SO 上でマスターによって読み出されます。

3.2.2 拡張 SPI

CY15x116QSN は、拡張 SPI モードと呼ばれるデュアルまたはクアッド I/O モードで動作するように標準 SPI ピンを再設定する機能があります。拡張 SPI モードには、デュアル データ、デュアル入出力 (I/O)、クアッド データ、およびクアッド入出力 (I/O) モードがあります。拡張 SPI コマンドまたはデバイス リセット (POR またはハードウェア / ソフトウェア リセット) の後に \overline{CS} が HIGH になると、デバイスはシングル チャネル SPI モードに戻ります。拡張 SPI モードは次の I/O コンフィギュレーションを備えます。

- デバイスがデュアル出力またはデュアル I/O モードのとき、SI ピンと SO ピンはそれぞれ I/O0 ピンと I/O1 ピンになります。
- デバイスがクアッド出力またはクアッド I/O モードのとき、SI ピン、SO ピン、 \overline{WP} ピン、 \overline{RESET} ピンはそれぞれ I/O0 ピン、I/O1 ピン、I/O2 ピン、I/O3 ピンになります。
- デュアルまたはクアッド データのコマンドとアドレスは SI 信号でのみメモリに送信されます。データは I/O0 と I/O1 で一連のビット ペア、または I/O0、I/O1、I/O2、I/O3 で 4 ビット (ニブル) グループとしてホストへ戻されます。
- デュアルまたはクアッド入出力 (I/O) のコマンドは SI 信号でのみメモリに送信され、アドレスは I/O0 と I/O1 でビット ペア、またはそれぞれ I/O0、I/O1、I/O2、I/O3 で 4 ビット (ニブル) グループとしてホストから送信されます。データは同様に I/O0 と I/O1 でビット ペア、または I/O0、I/O1、I/O2、I/O3 で 4 ビット (ニブル) グループとしてホストへ戻されます。

3.2.3 デュアル SPI (DPI)

CY15x116QSN の DPI モードは、コンフィギュレーションレジスタ 2 (CR2) のビット 4 に「1」を書き込む (CR2[4] = 1) ことで有効にします。コンフィギュレーションレジスタ 2 (CR2) には揮発性と不揮発性の両方の空間があるため、不揮発性レジスタ内のユーザー設定はパワー サイクルおよびハードウェア リセット サイクルに耐えられます。したがって、不揮発性 CR2 でデュアル SPI (DPI) モードがセットされた場合、ホストが不揮発性の CR2[4] に「0」を書き込んで DPI ビットをクリアするまで常に DPI モードに戻ります。ホストは揮発性レジスタの CR2[4] に「1」を書き込むことでデバイス インターフェースを DPI モードに変更できますが、この揮発性の設定はパワー サイクルおよびハードウェア リセット サイクルに耐えられません。揮発性の CR2[4] 設定は、電源投入時またはハードウェア リセット サイクル後の対応する不揮発性の位置に格納されているデフォルト設定で上書きされます。

デバイスがデュアル SPI モードのとき、SI ピンと SO ピンはそれぞれ I/O0 ピンと I/O1 ピンになります。コマンド、アドレスおよびデータ ビットは I/O0 と I/O1 でビット ペアとしてホストからメモリに送信されます。データ ビットは同様に I/O0 と I/O1 でビット ペアとしてホストに戻されます。

3.2.4 クアッド SPI (QPI)

CY15x116QSN のマルチチャネル QPI モードは、コンフィギュレーションレジスタ 2 (CR2) のビット 6 に「1」を書き込む (CR2[6] = 「1」) ことで有効にします。コンフィギュレーションレジスタ 2 (CR2) には揮発性と不揮発性の両方の空間があるため、不揮発性レジスタ内のユーザー設定はパワー サイクルおよびハードウェア リセット サイクルに耐えられます。したがって、不揮発性 CR2 でクアッド SPI (QPI) モードがセットされた場合、ホストが不揮発性の CR2[6] に「0」を書き込んで QPI ビットをクリアするまで常に QPI モードに戻ります。ホストは揮発性レジスタの CR2[6] に「1」を書き込むことでデバイス インターフェースを QPI モードに変更できますが、この揮発性の設定はパワー サイクルおよびハードウェア

機能概要

リセットサイクルに耐えられません。揮発性の CR2[6] 設定は、電源投入時またはハードウェア リセットサイクル後の対応する不揮発性の位置に格納されているデフォルト設定で上書きされます。

デバイスがクアッド SPI モードのとき、SI ピン、SO ピン、 $\overline{\text{WP}}$ ピン、 $\overline{\text{RESET}}$ ピンはそれぞれ I/O0 ピン、I/O1 ピン、I/O2 ピン、I/O3 ピンになります。コマンド、アドレスおよびデータビットは I/O0、I/O1、I/O2、I/O3 で 4 ビット (ニブル) グループとしてホストからメモリに送信されます。データビットは同様に I/O0、I/O1、I/O2、I/O3 で 4 ビット (ニブル) グループでホストに戻されます。

また QPI モードは、アドレス、モード、およびデータ バイト転送がクロックの両エッジで行われる DDR を特別なオペコードによりサポートしています。オペコード フェーズ中は DDR モードはありません。すなわち、オペコードは常に SDR モードで送信されます。特定のコマンドが SDR モードで送信された後、デバイスは DDR モードに入り、このモードでアドレス、モードおよびデータ サイクルが決定されます。DDR モードを有効にする設定はありません。クアッド SPI DDR モードは、特別なオペコードを含むメモリの書き込みと読み出しの動作に対してのみ対応します。

3.3 SPI プロトコルで使用される用語

SPI プロトコルで一般的に使用される用語は以下のとおりです。

3.3.1 SPI マスター

SPI マスター デバイスは SPI バス上の動作を制御します。SPI バスは、複数のスレーブ デバイスを制御する 1 つのマスターを持っている場合があります。すべてのスレーブが同じ SPI バス ラインを共有し、マスターは $\overline{\text{CS}}$ ピンを使用してスレーブ デバイスのいずれかを選択します。あらゆる動作を開始するためには、マスターがスレーブの $\overline{\text{CS}}$ ピンを LOW にプルしてスレーブ デバイスをアクティブにする必要があります。また、マスターは SCK を生成し、SI と SO ライン上のすべてのデータ転送はこのクロックに同期されます。

3.3.2 SPI スレーブ

SPI スレーブ デバイスは、チップセレクト ラインを介してマスターによってアクティブにされます。スレーブ デバイスは SPI マスターからの SCK を入力とし、すべての通信はこのクロックに同期されます。SPI スレーブは SPI バス上で通信を開始することなく、マスターからの命令に従ってのみ動作します。CY15x116QSN は SPI スレーブとして動作し、他の SPI スレーブ デバイスと SPI バスを共有する場合があります。

3.3.3 チップセレクト ($\overline{\text{CS}}$)

スレーブ デバイスを選択するためには、マスターは該当する $\overline{\text{CS}}$ ピンを立ち下げる必要があります。 $\overline{\text{CS}}$ ピンが LOW になっているときのみ、命令をスレーブ デバイスに発行できます。デバイスが選択されていない場合、SI ピン経由のデータは無視され、シリアル出力ピン (SO) は高インピーダンス状態が保持されます。

注: 新しい命令は $\overline{\text{CS}}$ の立ち下りエッジで開始する必要があります。したがって、 $\overline{\text{CS}}$ が HIGH から LOW に遷移するたびに 1 つのオペコードのみが発行できます。

3.3.4 シリアル クロック (SCK)

シリアル クロックは SPI マスターによって生成され、 $\overline{\text{CS}}$ が LOW になった後、通信はこのクロックと同期されます。

CY15x116QSN は、データ通信のために SPI モード 0 と 3 を有効にします。両方のモードでは、入力は SCK の立ち上りエッジでスレーブ デバイスによってラッチされ、出力は立ち下りエッジで発行されます。そのため、SCK の最初の立ち上りエッジが、SPI 命令の最初の最上位ビット (MSb) が SI ピンに到着したことを意味します。さらに、すべてのデータの入力と出力は SCK と同期されます。

3.3.5 データ転送 (SI / SO)

SPI データバスは、シリアル データ通信用に SI と SO の 2 ラインで構成されます。SI はマスター アウト スレーブ イン (MOSI)、SO はマスター イン スレーブ アウト (MISO) とも呼ばれています。マスターは SI

機能概要

ピンを介してスレーブに命令を発行し、スレーブは SO ピンを介して応答します。複数のスレーブ デバイスは、前述のように SI と SO ラインを共有する場合があります。

CY15x116QSN は、図 2 に示すようにマスターと接続できる SI と SO 用の 2 本の独立したピンを備えています。デュアルまたはクアッド I/O モードのとき、これらのピンは I/O ピンに設定されます。図 3 に、QSPI ポートを備えたシステムインターフェースを示します。

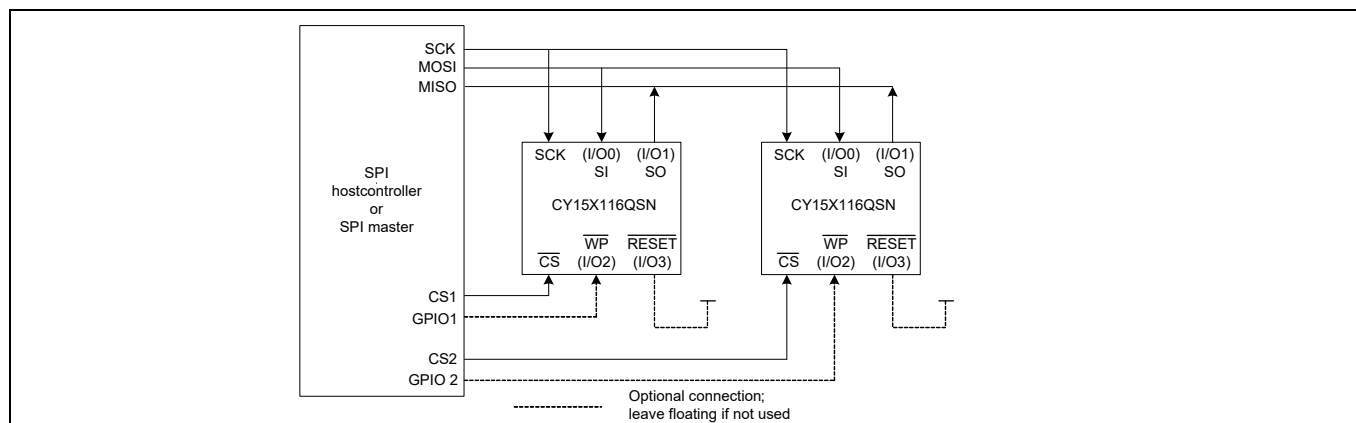


図 2 SPI ポートを使用するシステム構成

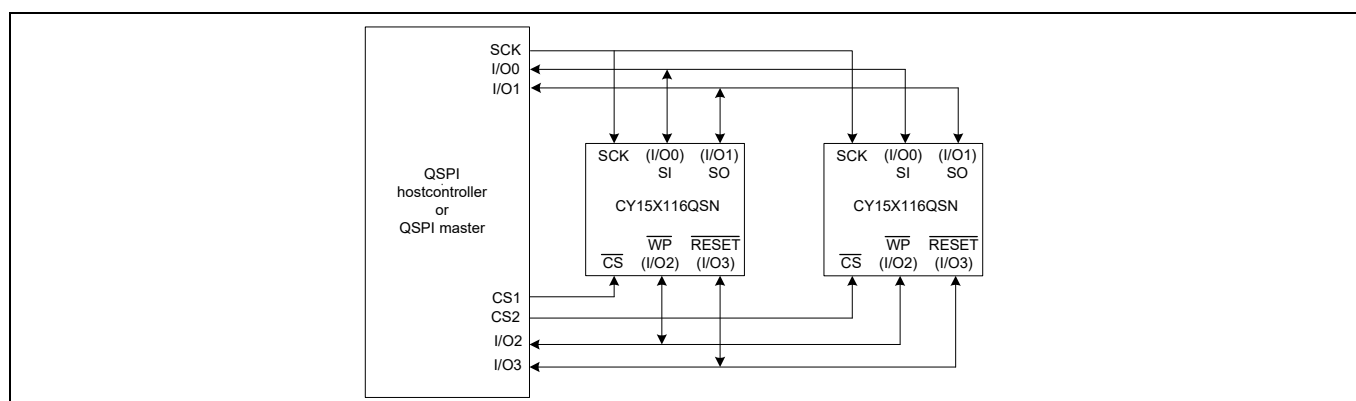


図 3 QSPI ポートを使用するシステム構成

3.3.6 最上位ビット (MSb)

SPI プロトコルでは、最初に送信されるビットが最上位ビット (MSb) でなければなりません。この方式はアドレスとデータ転送ともに適用されます。

16Mb シリアル F-RAM は、あらゆる読み書き動作のために 3 バイトのアドレスを必要とします。アドレスが 19 ビットであるため、入力された 5 ビットはデバイスによって無視されます。これらの 5 ビットは「ドントケア」ですが、より高容量メモリへの円滑な移行を可能にするために、これらを「0」に設定することをインフィニオンは推奨します。

3.3.7 シリアル オペコード

\overline{CS} が LOW の状態でスレーブ デバイスが選択された後、最初に受信されたバイトは、意図されている動作のオペコードとして扱われます。CY15x116QSN はメモリ アクセスに標準オペコードを使用します (表 32 を参照してください)。

3.3.8 無効なオペコード

予約されたオペコードが受信された場合、オペコードは内部的に意図しない動作をトリガーし、不定なデータ出力で I/O ピンを駆動する場合があります。そのため、CY15x116QSN のチップセレクト \overline{CS} が LOW のとき、予約済みのオペコードを SI ピンで送信することを回避する必要があります。

3.3.9 命令

命令は、メモリおよびレジスタへのアクセスに使用されるオペコード、アドレス、モードまたはダミーバイト / サイクルの組合せです。

3.3.10 モード バイト

モード バイトは直接実行 (XIP) をサポートするすべての書き込みおよび読み出しコマンドに適用されます。XIP は、コードを RAM にコピーまたはシャドウイングするのではなく、外付けメモリからプログラム (コード) を直接実行する方法です。XIP が書き込みまたは読み出しコマンドにセットされた場合、続くコマンドサイクル (\overline{CS} LOW) がアドレス フェーズ (オペコード フェーズはスキップされる) から直接開始されるように、コマンドサイクルが終了した後 (\overline{CS} HIGH) にデバイスは XIP モードのままです。XIP では、デバイスは前のサイクルと同じ動作を実行します。XIP の間に新しい動作を開始するには (例えば、メモリ書き込みからメモリ読み出しに変わり、またはその逆)、デバイスはまず現行のコマンドサイクルを XIP モードから終了し、次のコマンドサイクルをオペコード フェーズから開始する必要があります。モード フェーズを必要とするオペコードは XIP のみをサポートします。モード フェーズを必要とするオペコードの一覧は表 32 を参照してください。

オペコードおよび 3 バイト アドレス サイクルに続き、モード フェーズ中に送信されたモード バイト 0xAX (X はドントケアビット) または 0xA5 (オペコードに依存) は、次のコマンドサイクルの間デバイスを XIP のままにします。次のコマンドサイクルで XIP のままにするためには、XIP を各コマンドサイクルでセットする必要があります。0xAX または 0xA5 以外 (!0xAX または !0xA5) の値をモード フェーズ中に送信すると、現行の動作に対して XIP は終了されます。この場合、次のコマンドサイクルは同じ動作または新しい動作を行うために常にオペコード フェーズから開始する必要があります。SPI モードとインターフェース タイプに応じて、モード バイトを送信するクロック数は 1 クロック (クアッド、DDR) から 8 クロック (SPI、SDR) まで異なります。

3.3.11 ウェイト ステート (ダミー サイクル)

ウェイト ステート (ダミー サイクルとも呼ばれる) は該当する場合、アドレス ビットとモード ビットの後に付け加えられます。ウェイト ステート サイクルの数は、メモリ読み出しとレジスタ読み出しに対してそれぞれコンフィギュレーションレジスタ 1 (CR1) とコンフィギュレーションレジスタ 2 (CR2) でプログラミングできます。ウェイト ステートをサポートするメモリおよびレジスタの読み出しコマンドに続いて特定のダミー サイクル数が経過した後にのみ、有効なデータが出力バス上で駆動されます。ダミー サイクルは SPI モードおよびデータレート (SDR または DDR) に関係なく、フルクロック サイクルです。I/O のステータスは、ダミー サイクル中にドント ケアです。

機能概要

3.4 SPI モード

CY15x116QSN は、SPI ペリフェラルが次の 2 つのモードのいずれかで動作するマイクロコントローラーによって駆動できます。

- SPI モード 0 (CPOL = 0、CPHA = 0)
- SPI モード 3 (CPOL = 1、CPHA = 1)

$\overline{\text{CS}}$ ピンを LOW にすることによりデバイスが選択されたとき、デバイスは SCK ピンの状態から SPI モードを検出します。デバイス選択時に、SCK ピンが LOW ならデバイスは SPI モード 0 で動作し、SCK ピンが HIGH ならデバイスは SPI モード 3 で動作します。2 つの SPI モードは図 4 と図 5 に示します。バスマスターがデータを転送していないときの SCK クロックの状態は以下のとおりです。

- モード 0 では、SCK が 0 のまま
- モード 3 では、SCK が 1 のまま

SPI モード 0 と SPI モード 3 はすべての SDR モード コマンドに対してサポートされます。一方、すべての DDR モード コマンドは SPI モード 0 のみをサポートします。

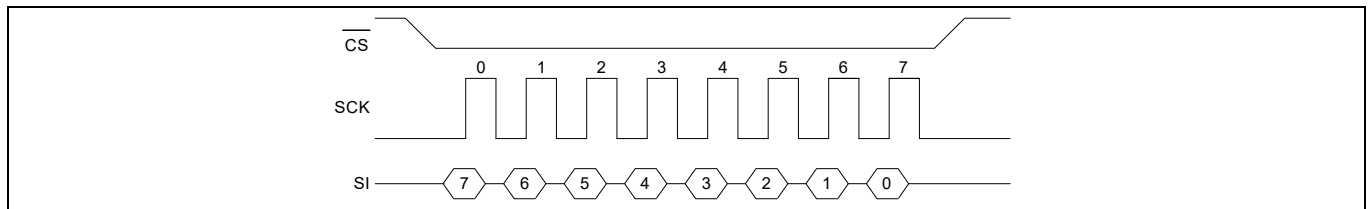


図 4 SPI モード 0

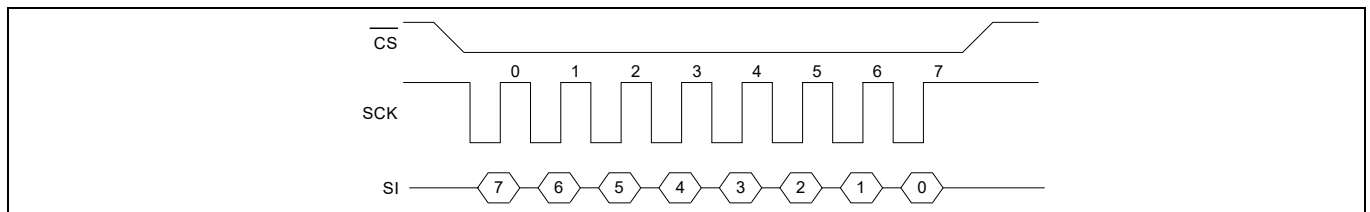


図 5 SPI モード 3

3.4.1 SDR

入力データビット (命令、アドレス、データを含む) は、 $\overline{\text{CS}}$ がアクティブにされた後の最初の立ち上がりエッジから始まる SCK の立ち上がりエッジでラッチされます。クロックが HIGH 状態から起動される場合 (モード 3) では、入力データはクロックトグル後の最初の立ち上がりエッジでラッチされます。データは SCK の立ち下りエッジで出力されます。

3.4.2 DDR

命令ビットは、CS がアクティブにされた後の最初の立ち上がりエッジから始まる SCK の立ち上がりエッジでラッチされます。クロックが HIGH 状態から起動される場合 (モード 3) では、入力データはクロックトグル後の最初の立ち上がりエッジでラッチされます。ただし、命令の後に続くアドレスおよび入力データは SCK の立ち上がりエッジと立ち下りエッジの両方でラッチされます。最初のアドレスビットは、最後の命令ビットの終わりの立ち下りエッジの後に続く SCK の最初の立ち上がりエッジでラッチされます。出力データの最初のビットは、最後のアクセスレイテンシ (ダミー) サイクルの終わりの立ち下りエッジで駆動されます。

3.5 電源投入から最初のアクセスまでの時間

CY15x116QSN の電源 (V_{DD}) が $V_{DD}(\text{low})$ を下回ると、電源投入サイクルが始まります。CY15x116QSN は V_{DD} 電源が最小の $V_{DD}(\text{min})$ を上回るまで待機してから、内部起動シーケンスを開始します。

機能概要

CY15x116QSN の起動シーケンスは、内部パワーオンリセット (POR) とその後続くデバイス内部コンフィギュレーション / トリムレジスタのロードおよびユーザー アクセス可能なレジスタの設定を含みます。起動サイクルが正常に完了した後、すべてのユーザー アクセス可能なレジスタ (ステータスおよびコンフィギュレーション、モード、ID、ECC および CRC) は初期設定値にセットされます。表 3 に、起動 (または POR) シーケンスが正常に完了した後の CY15x116QSN の各レジスタのステータスを示します。

CY15x116QSN は、 V_{DD} が $V_{DD}(\min)$ を超えてから t_{PU} の遅延時間が経過するまで、すべての命令を無視します。 t_{PU} が経過するまで、命令をデバイスに送信しないようにしてください。 t_{PU} が経過した後、 \overline{CS} が HIGH になる場合、デバイスはスタンバイモードになり、スタンバイ電流 (I_{SB}) を消費します。コンフィギュレーションレジスタ 4 (CR4) の POR 時ディープパワーダウンモード (DPDPOR) ビットが「1」にセットされた (CR4[2] = 「1」) 場合、デバイスは t_{PU} の後ディープパワーダウンモードに入ります。

ステータスレジスタ 1 の WIP ビット (SR1[0]) は、POR イベントの後にデバイスのレディ状態をポーリングするために使用できません。理由は、 t_{PU} 時間が経過するまで、デバイスはすべてのコマンド (RDSR1 を含む) の実行用のアクセスができないためです。ただし、 t_{PU} 時間の後も WIP が HIGH のままであるか、またはデバイスがアクセスできない状態であれば、これはデバイスが正しく起動しなかったこと (ブートエラー) を示します。ブートエラーが発生すると、デバイスは次のデフォルト状態になります。

- ・インターフェースモードがシングル SPI (SDR) に設定されます。
- ・CR2 の IO3R ビット (CR2[5]) が内部的に「1」にセットされ、IO3 上のハードウェアリセット (\overline{RESET}) が有効になります。
- ・レジスタレイテンシは 3 クロックサイクル (最大値) に設定されます。
- ・出力インピーダンスが 45Ω に設定されます。
- ・SR1 を読み出すために、RDSR1 および RDAR コマンドのみ実行可能です (SPI SDR モードのみ)。他のすべてのコマンドが無効のままであり、実行された場合、未定義のデータが返されます。
- ・SR1 を読み出すと、0x61 (ブートエラーシグネチャ) が返されます。

CY15x116QSN を再起動するためには、パワーサイクルまたはハードウェアリセットが必要です。上記の初期設定は、正常な起動の後に実際のユーザーコンフィギュレーションに置き換えられます。

表 3 POR 後の CY15x116QSN レジスタステータス

機能	レジスタタイプ	POR後のCY15x116QSNレジスタステータス
デバイスステータス	ステータスレジスタ1 (SR1)	デフォルトは対応する不揮発性ビット
	ステータスレジスタ2 (SR2)	0x00
デバイスコンフィギュレーション ^[2]	コンフィギュレーションレジスタ1 (CR1)	デフォルトは対応する不揮発性ビット
	コンフィギュレーションレジスタ2 (CR2)	デフォルトは対応する不揮発性ビット
	コンフィギュレーションレジスタ4 (CR4)	デフォルトは対応する不揮発性ビット
	コンフィギュレーションレジスタ5 (CR5)	デフォルトは対応する不揮発性ビット
識別	IDレジスタ	デフォルトは対応する不揮発性ビット (工場出荷時設定)
	固有IDレジスタ	デフォルトは対応する不揮発性ビット (工場出荷時設定)
	シリアル番号レジスタ	デフォルトは対応する不揮発性ビット (工場出荷時設定が0x0000000000000000)

注:

2. コンフィギュレーションレジスタ 3 (CR3) は将来使用のために予約されています。

機能概要

表 3 POR 後の CY15x116QSN レジスタ ステータス

機能	レジスタ タイプ	POR後のCY15x116QSNレジスタ ステータス
エラー訂正	ECCステータス レジスタ	0x00
	ECCカウント レジスタ	0x0000
	ECCアドレストラップ レジスタ	0x00000000
巡回冗長検査	CRCレジスタ	0x00000000

4 CY15x116QSN レジスタ

CY15x116QSN はデバイスの状態更新やコンフィギュレーション設定のために各種のステータスおよびコンフィギュレーションのレジスタをサポートします。CY15x116QSN のレジスタとアクセス方法の詳細については、次の節で説明します。

4.1 ステータス レジスタ

CY15x116QSN は、デバイスの書き込み保護設定とレディ /CRC 状態を提供するステータス レジスタ 1 (SR1) とステータス レジスタ 2 (SR2) の 2 つのレジスタをサポートします。本 F-RAM の SR1 レジスタには揮発性レジスタとそれに対応する不揮発性レジスタがあります。不揮発性レジスタは電源切断の間デバイス コンフィギュレーションを保持してから、電源投入時またはハードウェア リセット (JEDEC リセットまたは RESET ピン) 後、デバイス コンフィギュレーションは対応する揮発性レジスタにコピーされます。CY15x116QSN のステートマシンは、通常アクセス時にデバイス コンフィギュレーションを変更するために揮発性レジスタ設定のみを使用します。CY15x116QSN が揮発性と不揮発性のコンフィギュレーション レジスタに独立した空間を提供するため、ホストは現行のパワー サイクルでコンフィギュレーションを有効にするために揮発性レジスタのみをプログラミングできます。不揮発性の書き込みは揮発性と不揮発性の両レジスタの内容を変更します。そのため、新しいコンフィギュレーションは現行のパワー サイクルおよび後続のパワー サイクルまたはハードウェア リセットサイクルに対してすぐに有効になります。SR2 は読み出し専用のレジスタです。

ステータス レジスタの読み出しには、専用のステータス レジスタ読み出しオペコード (RDSR1、RDSR2) またはステータス レジスタ アドレスの後に続く RDAR を使用します。ステータス レジスタの読み出しは常に揮発性レジスタの内容を返します。各々のステータス レジスタの詳細は次の節で説明します。

4.1.1 ステータス レジスタ 1 (SR1)

ステータス レジスタ 1 (SR1) は表 4 に示すように、ステータスおよび書き込み保護制御ビットを含みます。SR1 は、書き込みのために WRSR または WRAR コマンド、読み出しのために RDSR1 または RDAR コマンドでアクセスします。SR1 アクセスの詳細は 34 ページの [レジスタ アクセス コマンド](#) で説明します。

WRAR の不揮発性書き込みアドレス : 0x000000

WRAR の揮発性書き込みアドレス : 0x070000

RDAR の読み出しアドレス : 0x000000 または 0x070000

表 4 内の各ビットの後に示される初期設定状態は工場出荷時にプログラミングされた値です。

表 4 ステータス レジスタ 1 (SR1)

SR1[7]	SR1[6]	SR1[5]	SR1[4]	SR1[3]	SR1[2]	SR1[1]	SR1[0]
SRWD (0)	RFU (0)	TBPROT (0)	BP2 (0)	BP1 (0)	BP0 (0)	WEL (0)	WIP (0)

表 5 ステータス レジスタ 1 (SR1) – 不揮発性

ビット	ビット名	ビット機能	タイプ	読み出し/ 書き込み (R/W)	説明
SR1[7]	SRWD	ステータス レジスタ書き込みディセーブル	NV	R/W	1 = \overline{WP} が LOW のとき、ステータスおよびコンフィギュレーション レジスタの状態をロック 0 = \overline{WP} ピンの状態にかかわらず、レジスタは保護されない
SR1[6]	RFU	予約済み (0)			将来使用するために予約済み
SR1[5]	TBPROT	最上部/最下部関連保護	NV	R/W	1 = 保護はメモリ アレイの最下部から始まる 0 = 保護はメモリ アレイの最上部から始まる

表 5 ステータスレジスタ 1 (SR1) – 不揮発性 (続き)

ビット	ビット名	ビット機能	タイプ	読み出し/ 書き込み (R/W)	説明
SR1[4]	BP2	ブロック保護ビット	NV	R / W	メモリアレイの選択されたアドレス範囲を保護
SR1[3]	BP1		NV		
SR1[2]	BP0		NV		
SR1[1]	WEL	書き込みイネーブルラッチ	V	R	WELはデバイスの書き込みが有効かどうかを示す。電源投入時、このビットの初期値は「0」(無効) WEL = 「1」 --> 書き込みが有効 WEL = 「0」 --> 書き込みが無効
SR1[0]	WIP	動作中	V	R	1 = デバイスはビジー 0 = デバイスはレディ

NV - 不揮発性。V - 揮発性

表 6 ステータスレジスタ 1 (SR1) – 揮発性

ビット	ビット名	ビット機能	タイプ	読み出し/ 書き込み (R/W)	説明
SR1[7]	SRWD	ステータスレジスタ書き込みディセーブル	V	R / W	1 = \overline{WP} がLOWのとき、ステータスおよびコンフィギュレーションレジスタの状態をロック 0 = \overline{WP} ピンの状態にかかわらず、レジスタは保護されない
SR1[6]	RFU	予約済み (0)			将来使用するために予約済み
SR1[5]	TBPROT	最上部/最下部関連保護	V	R / W	1 = 保護はメモリアレイの最下部から始まる 0 = 保護はメモリアレイの最上部から始まる
SR1[4]	BP2	ブロック保護ビット	V	R / W	メモリアレイの選択されたアドレス範囲を保護
SR1[3]	BP1		V		
SR1[2]	BP0		V		
SR1[1]	WEL	書き込みイネーブルラッチ	V	R	WELはデバイスの書き込みが有効かどうかを示す。電源投入時、このビットの初期値は「0」(無効) WEL = 「1」 --> 書き込みが有効 WEL = 「0」 --> 書き込みが無効
SR1[0]	WIP	動作中	V	R	1 = デバイスはビジー 0 = デバイスはレディ

V - 揮発性

4.1.1.1 ステータスレジスタ保護 (SRWD) SR1[7]

このビットが「1」にセットされ、かつ書き込み保護 (\overline{WP}) ピンが LOW に駆動されているとき、ステータスおよびコンフィギュレーションレジスタの書き込み保護が有効になります。このモードでは、ステータスレジスタまたはコンフィギュレーションレジスタの内容を変更するあらゆる命令が無視され、デバイスの状態は効果的にロックされます。SRWD が「0」にセットされた場合、 \overline{WP} の状態 (LOW か HIGH)にかかわらず、ステータスおよびコンフィギュレーションレジスタの書き込み保護は無効のままです。メモリおよびステータスレジスタの保護オプションは表 9 を参照してください。

4.1.1.2 最上部 / 最下部保護 (TBPROT) SR1[5]

このビットは BP2、BP1、および BP0 のブロック保護ビットの動作を定義します。このビットはブロック保護ビットによって保護されるメモリ アレイのスタート ポイント (最上部または最下部) を制御します。

表 7 最上部からの保護開始 (TBPROT = 「0」)

ステータス レジスタの内容			メモリ アレイの保護部分	保護されるアドレス範囲
BP2	BP1	BP0		
0	0	0	無	無
0	0	1	メモリ アレイの上位1/64	0x1F8000～0x1FFFFFF
0	1	0	メモリ アレイの上位1/32	0x1F0000～0x1FFFFFF
0	1	1	メモリ アレイの上位1/16	0x1E0000～0x1FFFFFF
1	0	0	メモリ アレイの上位1/8	0x1C0000～0x1FFFFFF
1	0	1	メモリ アレイの上位1/4	0x180000～0x1FFFFFF
1	1	0	メモリ アレイの上位1/2	0x100000～0x1FFFFFF
1	1	1	メモリ 全体	0x000000～0x1FFFFFF

表 8 最下部からの保護開始 (TBPROT = 「1」)

ステータス レジスタの内容			メモリ アレイの保護部分	保護されるアドレス範囲
BP2	BP1	BP0		
0	0	0	無	無
0	0	1	メモリ アレイの下位1/64	0x000000～0x007FFF
0	1	0	メモリ アレイの下位1/32	0x000000～0x00FFFF
0	1	1	メモリ アレイの下位1/16	0x000000～0x01FFFF
1	0	0	メモリ アレイの下位1/8	0x000000～0x03FFFF
1	0	1	メモリ アレイの下位1/4	0x000000～0x07FFFF
1	1	0	メモリ アレイの下位1/2	0x000000～0x0FFFFFF
1	1	1	メモリ 全体	0x000000～0x1FFFFFF

4.1.1.3 ブロック保護 (BP2、BP1、BP0) SR1[4:2]

これらのビットはメモリ書き込みのコマンドから保護されるメモリ アレイを定義します。1 つ以上の BP ビットが「1」にセットされたとき、対応するメモリ アドレスが書き込みから保護されます。ブロック保護ビット (BP2、BP1、BP0) と TBPROT ビットを併用すると、メモリ アレイのアドレス範囲を保護できます。範囲のサイズは BP ビットの値および TBPROT ビットで選択された上位 / 下位のスタート ポイントで決まります。表 7 と表 8 に、BP[2:0] ビット設定に対応する CY15x116QSN の保護アドレス範囲を示します。

4.1.1.4 書き込みイネーブル ラッチ (WEL) SR1[1]

表 9 に示すように、メモリ アレイまたはレジスタに対する書き込み動作を有効するために、WEL ビットを「1」にセットする必要があります。このビットは、書き込みイネーブル (WREN) コマンドの実行のみによって「1」にセットされます。WEL ビット (SR1[1]) は WRDI (04h)、WRSR (01h)、SSWR (42h)、WRAR (71h) および WRSN (C2h) のオペコードに続く CS の立ち上りエッジで自動的に「0」にクリアされます。WEL ビット (SR1[1]) はメモリ書き込みオペコードに続く CS の立ち上りエッジで「0」にクリアされません。WEL ビットは揮発性で、POR およびすべてのリセット イベントの後に「0」の初期設定状態に戻ります。

表 9 書き込み保護

SRWD	WP	WEL	保護ブロック	非保護ブロック	ステータスおよびコンフィギュレーションレジスタ ^[3]
X	X	0	保護	保護	保護
0	X	1	保護	書き込み可能	書き込み可能
1	0	1	保護	書き込み可能	保護
1	1	1	保護	書き込み可能	書き込み可能

4.1.1.5 実行中 (WIP) SR1[0]

これは読み出し専用ビットであり、通常動作でデバイスのレディまたはビジーの状態を示します。CY15x116QSN は CRC 計算を実行中にこのビットを「1」にセットします。CY15x116QSN で他のコマンドやイベントは WIP ビットを「1」にセットしません。WIP ビットが「1」にセットされたとき、CY15x116QSN は RDSR1 / RDSR2 または任意レジスタ読み出し (RDAR に続いてステータスレジスタ アドレスが続く)、CRC 中断 (EPCS) およびソフトウェアリセット (RSTEN に続いて RST が続く) のコマンドを使用して、ステータスレジスタ読み出しのみを実行できます。WIP = 「1」のとき、他のコマンドは無視されます。WIP ビットは電源投入またはリセットサイクル中にデバイスのレディ状態をポーリングするために使用できません。このビットは揮発性で、POR およびすべてのリセット イベントの後に初期設定状態に戻ります。

注:

- 読み出し専用および予約済みのビットを除くすべてのビット。

4.1.2 ステータス レジスタ 2 (SR2)

表 10 に示すように、ステータス レジスタ 2 (SR2) は CRC 動作中のデバイス状態を提供します。SR2 は読み出し専用揮発性レジスタであり、読み出しのために RDSR2 または RDAR コマンドでアクセスします。SR2 アクセスの詳細は 34 ページの [レジスタ アクセス コマンド](#) で説明します。

RDAR の読み出しアドレス : 0x000001 または 0x070001

表 9 内の各ビットの後に示される初期設定状態は工場出荷時にプログラミングされた値です。

表 10 ステータス レジスタ 2 (SR2)

SR2[7]	SR2[6]	SR2[5]	SR2[4]	SR2[3]	SR2[2]	SR2[1]	SR2[0]
RFU (0)	RFU (0)	RFU (0)	CRCS (0)	CRCA (0)	RFU (0)	RFU (0)	RFU (0)

表 11 ステータス レジスタ 2 (SR2) – 揮発性専用

ビット	ビット名	ビット機能	タイプ	読み出し/書き込み (R/W)	説明
SR2[7]	RFU				予約済み (0)
SR2[6]	RFU				将来使用するために予約済み
SR2[5]	RFU				将来使用するために予約済み
SR2[4]	CRCS	CRC 中断	V	R	1 = デバイスが CRC 中断モードに移行 0 = デバイスが CRC 中断モードを終了
SR2[3]	CRCA	CRC 中止	V	R	1 = CRC コマンドが中止される 0 = CRC コマンドが中止されない
SR2[2]	RFU				予約済み (0)
SR2[1]	RFU				将来使用するために予約済み
SR2[0]	RFU				将来使用するために予約済み

V - 揮発性

4.1.2.1 CRC 中断 (CRCS) SR2[4]

CRC 中断 (CRCS) ビットはデバイスが CRC 中断モードであるかどうかを判定するために使用されます。デバイスの CRC 計算中に CRC 中断コマンド (EPCS) を実行すると、このビットは「1」にセットされ、CRC 中断状態を示します。CRC 再開 (EPCR) コマンドは CRCS ビットを「0」にクリアし、デバイスが CRC 中断モードを終了したことを示します。これは読み出し専用ビットです。このビットはリセット (POR、ハードウェア、およびソフトウェア) 後にもクリアされます。

4.1.2.2 CRC 中止 (CRCA) SR2[3]

このビットは CRC 計算 (CRCC) 動作が中止されたかどうかを示します。CRC 計算は、[EA < SA + 3] という終了アドレスと開始アドレスの基準 (すなわち、終了アドレスが開始アドレスより少なくとも 32 ビット整列ワード上位) が満たされないときに中止されます。このビットは次の CRC 計算が正常に開始するときにクリアされます。また、リセット (POR、ハードウェア、およびソフトウェア) の後にもクリアされます。

4.2 コンフィギュレーションレジスタ

CY15x116QSN はデバイスでさまざまな制御をプログラミングするために CR1、CR2、CR4、および CR5 の 4 つのユーザー コンフィギュレーションレジスタをサポートします。本 F-RAM に内蔵されているコンフィギュレーションレジスタには、揮発性およびそれに対応する不揮発性レジスタがあります。不揮発性レジスタは電源切断の間デバイス コンフィギュレーションを保持してから、電源投入時またはハードウェアリセット (JEDEC リセットまたは RESET ピン) 後、デバイス コンフィギュレーションは対応する揮発性レジスタにコピーされます。CY15x116QSN のステートマシンは、通常アクセス時にデバイス コンフィギュレーションを変更するために揮発性レジスタ設定のみを使用します。CY15x116QSN が揮発性と不揮発性のコンフィギュレーションレジスタに独立した空間を提供するため、ホストは現行のパワーサイクルでコンフィギュレーションを有効にするために揮発性レジスタのみをプログラムできます。不揮発性の書き込みは揮発性と不揮発性の両レジスタの内容を変更します。そのため、新しいコンフィギュレーションは現行のパワーサイクルおよび後続のパワーサイクルまたはハードウェアリセットサイクルに対してすぐに有効になります。

専用コンフィギュレーションレジスタ読み出しオペコード (RDCR1、RDCR2、RDCR3、RDCR4) または RDAR を使用するコンフィギュレーションレジスタからの読み出しはいつも揮発性レジスタの内容を返します。各々のコンフィギュレーションレジスタの詳細は次の節で説明します。

4.2.1 コンフィギュレーションレジスタ 1 (CR1)

表 12 に示すように、コンフィギュレーションレジスタ 1 (CR1) はメモリと特殊セクタ読み出しのためにレイテンシ (ダミー) サイクルを設定し、拡張 SPI アクセス時にクアッド I/O を有効にします。CR1 は、書き込みのために WRAR コマンド、読み出しのために RDCR1 または RDAR コマンドでアクセスします。CR1 アクセスの詳細は 34 ページの **レジスタアクセスコマンド** で説明します。

WRAR の不揮発性書き込みアドレス: 0x000002

WRAR の揮発性書き込みアドレス: 0x070002

RDAR の読み出しアドレス: 0x000002 または 0x070002

表 12 内の各ビットの後に示される初期設定状態は工場出荷時にプログラミングされた値です。

表 12 コンフィギュレーションレジスタ 1 (CR1)

CR1[7]	CR1[6]	CR1[5]	CR1[4]	CR1[3]	CR1[2]	CR1[1]	CR1[0]
MLC3 (0)	MLC2 (0)	MLC1 (0)	MLC0 (0)	RFU (0)	RFU (0)	QUAD (0)	RFU (0)

表 13 コンフィギュレーションレジスタ 1 (CR1) – 不揮発性

ビット	ビット名	ビット機能	タイプ	読み出し / 書き込み (R/W)	説明
CR1[7]	MLC3	メモリ レイテンシ コード	NV	R/W	メモリおよび特殊セクタ読み出しオペコード用のレイテンシ (ダミー) サイクルの数を設定 例: 0000 = 0 サイクル 0110 = 6 サイクル 1111 = 15 サイクル
CR1[6]	MLC2		NV		
CR1[5]	MLC1		NV		
CR1[4]	MLC0		NV		
CR1[3]	RFU	予約済み (0)			将来使用するために予約済み
CR1[2]	RFU	予約済み (0)			将来使用するために予約済み
CR1[1]	QUAD	クアッド	NV	R/W	1 = クアッド 0 = デュアルまたはシリアル
CR1[0]	RFU	予約済み (0)			将来使用するために予約済み

NV - 不揮発性

表 14 コンフィギュレーションレジスタ 1 (CR1) – 揮発性

ビット	ビット名	ビット機能	タイプ	読み出し/ 書き込み (R/W)	説明
CR1[7]	MLC3	メモリ レイテン シ コード	V	R/W	メモリおよび特殊セクタ読み出しオ ペコード用のレイテンシ (ダミー) サ イクルの数を設定 例： 0000 = 0 サイクル 0110 = 6 サイクル 1111 = 15 サイクル
CR1[6]	MLC2		V		
CR1[5]	MLC1		V		
CR1[4]	MLC0		V		
CR1[3]	RFU	予約済み (0)			将来使用するために予約済み
CR1[2]	RFU	予約済み (0)			将来使用するために予約済み
CR1[1]	QUAD	クアッド	V	R/W	1 = クアッド 0 = デュアルまたはシリアル
CR1[0]	RFU	予約済み (0)			将来使用するために予約済み

V - 揮発性

4.2.1.1 メモリ レイテンシ コード (MLC) CR1[7:4]

本 4 ビットは多岐にわたるメモリ読み出しに関わるレイテンシ (ダミー) サイクルを設定します。これにより、ユーザーは異なる動作周波数で異なる命令用のレイテンシを最適化するために、通常動作でメモリ読み出しレイテンシを調整できます。ダミーサイクルは SPI モードおよびデータレート (SDR/DDR) に関係なく、SCK でのフルクロックサイクルです。

一部の読み出しオペコードはアドレスサイクルに続くダミーサイクルをサポートします。ダミーサイクルは、データがホストシステムに返される前にメモリアレイの初期読み出しアクセスを終了するために必要な追加レイテンシを提供します。SPI クロック (SCK) 周波数の増加に伴い、ダミーサイクルの数はレイテンシを満たすように増加する必要があります。

表 15 ~ **表 17** に、ダミーサイクルをサポートする各オペコード用のクロックレイテンシに対する最大 SPI クロック周波数を示します。ホストコントローラーは、各オペコード用に各々のレイテンシサイクルを設定してタイミングを最適化できるか、または所望の動作周波数ですべてのオペコードのレイテンシ要件を満たす最悪の場合のレイテンシを設定できます。高い周波数用に設定されたメモリ読み出しはすべてのより低い周波数に適用できます。したがって、ホストが SPI クロック (SCK) を高い周波数からより低い周波数に下げるとき、クロックレイテンシの調整は任意になります。

表 15 のヘッダに (CMD、ADD、DATA) のフォーマットは異なる SPI モードで複数の I/O でのこれらのバイトの送信を示します。例えば、(2、2、2) は DPI モードでコマンド (CMD)、アドレス (ADDR) およびデータ (DATA) のすべてのバイトが 2 本の I/O (I/O0 と I/O1) で送信されることを示します。同様に、(1、2、2) はデュアル I/O モードで CMD バイトが 1 本の I/O (I/O0) で、ADDR と DATA バイトが 2 本の I/O (I/O0 と I/O1) で送信されることを示します。(1、1、4) はクアッドデータモードで CMD と ADDR バイトが 1 本の I/O (I/O0) で、DATA バイトが 4 本の I/O (I/O0、I/O1、I/O2、I/O3) で送信されることを示します。

「モード」は、さまざまな SPI インターフェースモードでアドレスビットに続いてモードバイトを送信するために必要なクロックサイクルの数を表します。モードビットがアドレスサイクルの後に送信されるため、モードビットを送信するために必要なクロックサイクルはレイテンシ計算に内部的に追加されます。

表 15 メモリ読み出しコマンド用のレイテンシ (ダミー) サイクル – XIP モードあり (SDR)

レイテンシ (ダミー サイクル) ^[4]	SPI (SDR)	DPI (SDR)	QPI (SDR)	デュアルデー タ (SDR)	デュアル I/O (SDR)	クアッド データ (SDR)	クアッド I/O (SDR)
	FAST_READ	FAST_READ	FAST_READ 、 QIOR	DOR	DIOR	QOR	QIOR
	(1、1、1、1、1)	(2、2、2、2、2)	(4、4、4、4、4)	(1、1、1、1、2)	(1、2、2、2、2)	(1、1、1、1、4)	(1、4、4、4、4)
	モード = 8	モード = 4	モード = 2	モード = 8	モード = 4	モード = 8	モード = 2
0	108MHz	45MHz ^[4]	10MHz ^[4]	108MHz	45MHz ^[4]	108MHz	10MHz ^[4]
1	108MHz	55MHz ^[4]	20MHz ^[4]	108MHz	55MHz ^[4]	108MHz	20MHz ^[4]
2	108MHz	70MHz ^[4]	35MHz ^[4]	108MHz	70MHz ^[4]	108MHz	35MHz ^[4]
3	108MHz	80MHz ^[4]	45MHz ^[4]	108MHz	80MHz ^[4]	108MHz	45MHz ^[4]
4	108MHz	90MHz ^[4]	55MHz ^[4]	108MHz	90MHz ^[4]	108MHz	55MHz ^[4]
5	108MHz	105MHz ^[4]	70MHz ^[4]	108MHz	105MHz ^[4]	108MHz	70MHz ^[4]
6	108MHz	108MHz	80MHz ^[4]	108MHz	108MHz	108MHz	80MHz ^[4]
7	108MHz	108MHz	90MHz ^[4]	108MHz	108MHz	108MHz	90MHz ^[4]
8	108MHz	105MHz	105MHz ^[4]	108MHz	108MHz	108MHz	105MHz ^[4]
9～15	108MHz	108MHz	108MHz	108MHz	108MHz	108MHz	108MHz

表 16 メモリ読み出しコマンド用のレイテンシ (ダミー) サイクル – XIP モードあり (DDR)

レイテンシ (ダミー サイクル)	QPI (DDR)	クアッド I/O (DDR)
	DDRF、DDRQIOR	DDRQIOR
	(4、4、4、4、4)	(1、4、4、4、4)
	モード = 1	モード = 1
0	NA	
1	NA	
2	10MHz ^[4]	10MHz ^[4]
3	15MHz ^[4]	15MHz ^[4]
4	25MHz ^[4]	25MHz ^[4]
5	33MHz ^[4]	33MHz ^[4]
6	40MHz ^[4]	40MHz ^[4]
7～15	46MHz ^[4]	46MHz ^[4]

注:

4. このパラメーターは特性評価で保証され、量産ではテストされません。

表 17 メモリ読み出しコマンド用のレイテンシ (ダミー) サイクル – XIP モードなし

レイテンシ (ダミー サイクル)	SPI (SDR)	DPI (SDR)	QPI (SDR)
	READ、ECCRD、SSRD		
	(1、1、1、1、1)	(2、2、2、2、2)	(4、4、4、4、4)
	モード = NA	モード = NA	モード = NA
0	35MHz ^[5]	NA	NA
1	45MHz ^[5]	NA	NA
2	55MHz ^[5]	20MHz ^[5]	10MHz ^[5]
3	70MHz ^[5]	35MHz ^[5]	20MHz ^[5]
4	80MHz ^[5]	45MHz ^[5]	35MHz ^[5]
5	90MHz ^[5]	55MHz ^[5]	45MHz ^[5]
6	105MHz ^[5]	70MHz ^[5]	55MHz ^[5]
7	108MHz	80MHz ^[5]	70MHz ^[5]
8	108MHz	90MHz ^[5]	80MHz ^[5]
9	108MHz	105MHz ^[5]	90MHz ^[5]
10	108MHz	108MHz	105MHz ^[5]
11~15	108MHz	108MHz	108MHz

4.2.1.2 クアッド データ幅 (QUAD) CR1[1]

このビットが「1」にセットされると、 \overline{WP} が I/O2 に、 \overline{RESET} / (I/O3) が I/O3 になり、デバイスのデータ幅は 4 本の I/O (クアッド モード) に切り替わります。コンフィギュレーションレジスタ 2 の IO3R ビット (CR2[5]) をセットすることによって I/O3 の代替機能を有効にした場合、 \overline{RESET} / (I/O3) は CS が LOW 時に I/O3 として、CS が HIGH 時に \overline{RESET} 入力として動作します。WP 入力は無効され、内部的に「1」にセットされます。クアッド出力読み出し、クアッド I/O 読み出しおよび DDR クアッド I/O 読み出しの拡張 SPI コマンドを実行する際、QUAD ビットを「1」にセットする必要があります。QUAD ビット設定のさまざまな SPI インターフェースに対する影響は表 21 に示します。

4.2.2 コンフィギュレーションレジスタ 2 (CR2)

表 18 に示すように、コンフィギュレーションレジスタ 2 (CR2) はシリアル インターフェースの設定を制御します。CR2 は、書き込みのために WRAR コマンド、読み出しのために RDAR または RDAR コマンドでアクセスします。CR2 アクセスの詳細は 34 ページの [レジスタ アクセス コマンド](#) で説明します。

WRAR の不揮発性書き込みアドレス : 0x000003

WRAR の揮発性書き込みアドレス : 0x070003

RDAR の読み出しアドレス : 0x000003 または 0x070003

表 18 内の各ビットの後に示される初期設定状態は工場出荷時にプログラミングされた値です。

表 18 コンフィギュレーションレジスタ 2 (CR2)

CR2[7]	CR2[6]	CR2[5]	CR2[4]	CR2[3]	CR2[2]	CR2[1]	CR2[0]
RFU (0)	QPI (0)	IO3R (0)	DPI (0)	RFU (0)	RFU (0)	RFU (0)	RFU (0)

注:

- このパラメーターは特性評価で保証され、量産ではテストされません。

表 19 コンフィギュレーションレジスタ 2 (CR2) – 不揮発性

ビット	ビット名	ビット機能	タイプ	読み出し/ 書き込み (R / W)	説明
CR2[7]	RFU	予約済み (0)			将来使用するために予約済み
CR2[6]	QPI	クアッド SPIイネー ブル	NV	R / W	1 = QPI プロトコルが有効 0 = DPI ビットが「0」にセットされた場合、SPI プロ トコルが有効
CR2[5]	IO3R	IO3リセッ ト	NV	R / W	1 = \overline{CS} が HIGH の場合、I/O3 は \overline{RESET} 入力として使用 0 = I/O3 は代替機能を持っていない
CR2[4]	DPI	デュアル SPIイネー ブル	NV	R / W	1 = DPI プロトコルが有効 0 = QPI ビットが「0」にセットされた場合、SPI プロ トコルが有効
CR2[3]	RFU	予約済み (0)			将来使用するために予約済み
CR2[2]	RFU	予約済み (0)			将来使用するために予約済み
CR2[1]	RFU	予約済み (0)			将来使用するために予約済み
CR2[0]	RFU	予約済み (0)			将来使用するために予約済み

NV - 不揮発性

表 20 コンフィギュレーションレジスタ 2 (CR2) – 揮発性

ビット	ビット名	ビット機能	タイプ	読み出し/ 書き込み (R / W)	説明
CR2[7]	RFU	予約済み (0)			将来使用するために予約済み
CR2[6]	QPI	クアッド SPIイネー ブル	V	R / W	1 = QPI プロトコルが有効 0 = DPI ビットが「0」にセットされた場合、SPI プロ トコルが有効
CR2[5]	IO3R	IO3リセッ ト	V	R / W	1 = \overline{CS} が HIGH の場合、I/O3 は \overline{RESET} 入力として使用 0 = I/O3 は代替機能を持っていない
CR2[4]	DPI	デュアル SPIイネー ブル	V	R / W	1 = DPI プロトコルが有効 0 = QPI ビットが「0」にセットされた場合、SPI プロ トコルが有効
CR2[3]	RFU	予約済み (0)			将来使用するために予約済み
CR2[2]	RFU	予約済み (0)			将来使用するために予約済み
CR2[1]	RFU	予約済み (0)			将来使用するために予約済み
CR2[0]	RFU	予約済み (0)			将来使用するために予約済み

NV - 不揮発性

4.2.2.1 クアッド SPI (QPI) CR2[6]

このビットはクアッド SPI モードでの命令とデータ幅を制御します。このモードでは、ホストシステムとメモリ間のすべての転送 (すべての命令転送を含む) が 4 ビット幅で、I/O0 ~ I/O3 上で実行されます。CR1[1] で「1」にセットされる QUAD ビットは必要ないため、QPI モードでは無視されます。詳細は表 22 参照してください。

4.2.2.2 IO3 リセット (IO3R) CR2[5]

このビットは $\overline{\text{RESET}}$ / (I/O3) ピンの動作を制御します。「1」にセットされると、通常動作で $\overline{\text{RESET}}$ 入力
が有効になります。表 21 に、インターフェースモードに対する $\overline{\text{RESET}}$ / (I/O3) の機能を示します。

4.2.2.3 デュアル (DPI) CR2[4]

このビットはデュアル SPI モードでの命令とデータ幅を制御します。このモードでは、ホストシステム
とメモリ間のすべての転送 (すべての命令転送を含む) が 2 ビット幅で、I/O0 と I/O1 上で実行されます。
詳細は表 22 を参照してください。

表 21 $\overline{\text{RESET}}$ / (I/O3) ピン機能

インターフェース モード	QUAD ビット (CR1[1] ^[6])	$\overline{\text{RESET}}$ / (I/O3) ピン機能			
		IO3R (CR2[5]) = 0 (IO3 リセットが無効)		IO3R (CR2[5]) = 1 (IO3 リセットが有効)	
		$\overline{\text{CS}} = 0$	$\overline{\text{CS}} = 1$	$\overline{\text{CS}} = 0$	$\overline{\text{CS}} = 1$
SPI	QUAD = 0	機能なし	機能なし	リセット	リセット
SPI	QUAD = 1	I/O3 ^[7]	機能なし	I/O3 ^[7]	リセット
DPI	QUAD = 0	機能なし	機能なし	リセット	リセット
DPI	QUAD = 1	機能なし	機能なし	機能なし	リセット
QPI	QUAD = x (ドントケア)	I/O3	機能なし	I/O3	リセット

表 22 SPI 動作モードの設定

QUAD ^[8] CR1[1]	DPI CR2[4]	QPI CR2[6]	動作モード
0	0	0	SPI、拡張 SPI (デュアル)
1	0	0	SPI、拡張 SPI (デュアル / クアッド)
X	1	0	DPI
X	0	1	QPI
0	1	1	SPI ^[9] 、拡張 SPI (デュアル) – 推奨コンフィギュレーションではない
1	1	1	SPI ^[9] 、拡張 SPI (デュアル / クアッド) – 推奨コンフィギュレーション ではない

注:

- すべての拡張 SPI は SPI モードで開始します。
- SPI および DPI モードでは機能なしで、クアッド データまたはクアッド I/O モードでは I/O3 です。
- QUAD = 「1」 のとき、I/O はクアッド モードに再設定され、WP と RESET の動作が影響されます。詳細は表 21 を参照してください。
- レジスタの読み出しは常に、推奨されるコンフィギュレーションでなくても、レジスタに書き込まれた内容を返します。

4.2.3 コンフィギュレーションレジスタ 4 (CR4)

表 23 に示すように、コンフィギュレーションレジスタ 4 (CR4) は出力駆動インピーダンスおよびディープパワーダウン (DPD) モードの設定を制御します。CR4 は、書き込みのために WRAR コマンド、読み出しのために RDCR4 または RDAR コマンドでアクセスします。CR4 アクセスの詳細は 34 ページの [レジスタアクセスコマンド](#) で説明します。

WRAR の不揮発性書き込みアドレス : 0x000005

WRAR の揮発性書き込みアドレス : 0x070005

RDAR の読み出しアドレス : 0x000005 または 0x070005

表 23 内の各ビットの後に示される初期設定状態は工場出荷時にプログラミングされた値です。

表 23 コンフィギュレーションレジスタ 4 (CR4)

CR4[7]	CR4[6]	CR4[5]	CR4[4]	CR4[3]	CR4[2]	CR4[1]	CR4[0]
OI (0)	OI (0)	OI (0)	RFU (0)	RFU (1)	DPDPOR (0)	RFU (0)	RFU (0)

表 24 コンフィギュレーションレジスタ 4 (CR4) – 不揮発性

ビット	ビット名	ビット機能	タイプ	読み出し / 書き込み (R/W)	説明
CR4[7]	OI	出力インピーダンス	NV	R/W	出力インピーダンス選択
CR4[6]			NV	R/W	
CR4[5]			NV	R/W	
CR4[4]	RFU	予約済み (0)			将来使用するために予約済み
CR4[3]	RFU	予約済み (1)			将来使用するために予約済み
CR4[2]	DPDPOR	POR 時ディープパワーダウンモード	NV	R/W	1 = \overline{CS} が HIGH の場合、POR またはハードウェアリセット (JEDEC リセットを含む) の完了時にディープパワーダウンモードに移行 0 = \overline{CS} が HIGH の場合、電源投入または POR またはハードウェアリセット (JEDEC リセットを含む) の完了時にスタンバイモードに移行
CR4[1]	RFU	予約済み (0)			将来使用するために予約済み
CR4[0]	RFU	予約済み (0)			将来使用するために予約済み

NV - 不揮発性

表 25 コンフィギュレーションレジスタ 4 (CR4) – 揮発性

ビット	ビット名	ビット機能	タイプ	読み出し/ 書き込み (R/W)	説明
CR4[7]	OI	出力インピーダンス	V	R / W	出力インピーダンス選択
CR4[6]			V	R / W	
CR4[5]			V	R / W	
CR4[4]	RFU	予約済み (0)			将来使用するために予約済み
CR4[3]	RFU	予約済み (1)			将来使用するために予約済み ^[10]
CR4[2]	DPDPOR	POR 時 ディープ パワーダウン モード	V	R / W	1 = \overline{CS} が HIGH の場合、POR またはハードウェアリセット (JEDEC リセットを含む) の完了時にディープパワーダウンモードに移行 0 = \overline{CS} が HIGH の場合、電源投入または POR またはハードウェアリセット (JEDEC リセットを含む) の完了時にスタンバイモードに移行
CR4[1]	RFU	予約済み (0)			将来使用するために予約済み
CR4[0]	RFU	予約済み (0)			将来使用するために予約済み

V - 揮発性

4.2.3.1 出力インピーダンス (OI) CR4[7:5]

これらの 3 ビットは I/O ピンの出力インピーダンス (駆動強度) を制御します。出力インピーダンス コンフィギュレーションビットを使用すると、ユーザーはプリント回路基板上のより良い信号品質のために駆動強度を調整できます。

表 26 インピーダンス選択

インピーダンス選択	標準インピーダンス (Ω) ^[10]	備考
000	45	45Ω は工場出荷時のデフォルト コンフィギュレーション。CR4[7:5] でのインピーダンス選択ビットに書き込むことでその他の駆動強度をプログラミングできる
001	120	
010	90	
011	60	
100	45	
101	30	
110	20	
111		

4.2.3.2 POR 時ディープパワーダウンモード (DPDPOR) CR4[2]

このビットはデバイスがパワーオンリセット (POR)、ハードウェアリセット (\overline{RESET} ピンまたは JEDEC リセット) またはハイバネートモードの終了後にディープパワーダウン (DPD) モードかスタンバイモードに入るかを制御します。DPDPOR コンフィギュレーションビットを使用すると、 \overline{CS} が HIGH のとき、デバイスはスタンバイモードの代わりに DPD モードで起動できます。 t_{EXTDPD} 時間の後、 t_{CSDPD} の \overline{CS} パルス幅またはハードウェアリセットによって DPD モードを終了します。 \overline{CS} パルス幅は、SCK と I/O がドントケアの間に \overline{CS} のみをトグルすることで生成されます。ソフトウェアリセットのときには DPDPOR ビットの状態は無視され、ソフトウェアリセットの後、デバイスは常にスタンバイモードに入ります。

注:

10. コンフィギュレーションレジスタ 4 に書き込むとき、SPI バス マスターは CR4[3] ビットが「1」のままであることを保証する必要があります。このビットに「0」を書き込もうとすると、デバイスの機能が影響される可能性があります。
11. 標準インピーダンスは $V_{DD}/2$ で測定されます。

4.2.4 コンフィギュレーションレジスタ 5 (CR5)

表 27 に示すように、コンフィギュレーションレジスタ 5 (CR5) はレジスタ読み出し用の読み出しレイテンシ (ダミー) サイクルを設定します。CR5 は、書き込みのために WRAR コマンド、読み出しのために RDCR5 または RDAR コマンドでアクセスします。CR5 アクセスの詳細は 34 ページの [レジスタ アクセス コマンド](#) で説明します。

WRAR の不揮発性書き込みアドレス : 0x000006

WRAR の揮発性書き込みアドレス : 0x070006

RDAR の読み出しアドレス : 0x000006 または 0x070006

表 27 内の各ビットの後に示される初期設定状態は工場出荷時にプログラミングされた値です。

表 27 コンフィギュレーションレジスタ 5 (CR5)

CR5[7]	CR5[6]	CR5[5]	CR5[4]	CR5[3]	CR5[2]	CR5[1]	CR5[0]
RLC1 (0)	RLC0 (0)	RFU (0)	RFU (0)	RFU (0)	RFU (0)	RFU (0)	RFU (0)

表 28 コンフィギュレーションレジスタ 5 (CR5) – 不揮発性

ビット	ビット名	ビット機能	タイプ	読み出し/ 書き込み (R/W)	説明
CR5[7]	RLC1	レジスタ レイテンシ コード	NV	R / W	レジスタ アクセスのためにレジスタ読み出し レイテンシ サイクルの数を 0 ~ 3 クロック サ イクルから選択
CR5[6]	RLC0			R / W	
CR5[5]	RFU			予約済み (0)	将来使用するために予約済み
CR5[4]	RFU			予約済み (0)	将来使用するために予約済み
CR5[3]	RFU			予約済み (0)	将来使用するために予約済み
CR5[2]	RFU			予約済み (0)	将来使用するために予約済み
CR5[1]	RFU			予約済み (0)	将来使用するために予約済み
CR5[0]	RFU			予約済み (0)	将来使用するために予約済み

NV - 不揮発性

表 29 コンフィギュレーションレジスタ 5 (CR5) – 揮発性

ビット	ビット名	ビット機能	タイプ	読み出し/ 書き込み (R/W)	説明
CR5[7]	RLC1	レジスタ レイテンシ コード	V	R / W	レジスタ アクセスのためにレジスタ読み出し レイテンシ サイクルの数を 0 ~ 3 クロック サ イクルから選択
CR5[6]	RLC0			R / W	
CR5[5]	RFU			予約済み (0)	将来使用するために予約済み
CR5[4]	RFU			予約済み (0)	将来使用するために予約済み
CR5[3]	RFU			予約済み (0)	将来使用するために予約済み
CR5[2]	RFU			予約済み (0)	将来使用するために予約済み
CR5[1]	RFU			予約済み (0)	将来使用するために予約済み
CR5[0]	RFU			予約済み (0)	将来使用するために予約済み

V - 揮発性

4.2.4.1 レジスタ レイテンシ コード (RLC[1:0]) CR5[7:6]

これらの2ビットは、すべての可変レイテンシレジスタ読み出し命令での読み出しレイテンシ (ダミーサイクル) を制御します。これにより、ユーザーは異なる動作周波数で異なるレジスタ読み出し命令用のレイテンシを最適化するために、通常動作で読み出しレイテンシを調整できます。表 30 にレジスタ読み出しコマンドのレイテンシサイクルを示します。

表 30 レジスタ読み出しコマンド用ダミーサイクル

レイテンシ (ダミーサイクル)	SPI (SDR)	DPI (SDR)	QPI (SDR)
	RDSR1、RDSR2、RDCR1、RDCR2、RDCR4、RDCR5、RDAR、RUID、RDID2、RDSN		
0	50MHz ^[12]	50MHz ^[12]	50MHz ^[12]
1~3	108MHz	108MHz	108MHz

注:

12.このパラメーターは特性評価で保証され、量産ではテストされません。

5 機能説明

CY15x116QSN は 8 ビットの命令レジスタを備えています。すべての命令とそのオペコードの一覧は表 32 に示されています。すべての命令、アドレス、およびデータは CS が HIGH から LOW に遷移するとき転送されます。また、WP および RESET ピンは追加のハードウェア制御機能を提供します。

5.1 コマンドの構成

CY15x116QSN のコマンド サイクルは最大 5 つの異なるコマンド フェーズから成ります (オペコード、アドレス、モード、ダミー (レイテンシ)、およびデータ)。コマンド サイクルごとのコマンド フェーズの数は、オペコード フェーズで送信されたオペコードに応じて 1 から 5 まで異なります。オペコード、アドレス、モード、およびデータのフェーズは、SPI、DPI、または QPI インターフェースで送信するために必要なライン数が、それぞれ 1、2、または 4 に設定できます。表 31 に、異なる SPI インターフェースでの各コマンド サイクルのコマンド フェーズを示します。

表 31 異なる SPI モードでの I/O 上のコマンド送信

コマンド フェーズ	I/O 上のコマンド送信						
	シングル チャネル SPI	拡張 SPI				マルチチャネル SPI	
		デュアルデー タ	クアッドデー タ	デュアル I/O	クアッド I/O	DPI	QPI
オペコード	SI	I/O0	I/O0	I/O0	I/O0	I/O0、I/O1	I/O0、I/O1、 I/O2、I/O3
アドレス	SI	I/O0	I/O0	I/O0、I/O1	I/O0、I/O1、 I/O2、I/O3	I/O0、I/O1	I/O0、I/O1、 I/O2、I/O3
モード	SI	I/O0	I/O0	I/O0、I/O1	I/O0、I/O1、 I/O2、I/O3	I/O0、I/O1	I/O0、I/O1、 I/O2、I/O3
ダミー (レイテンシ)	SPI インターフェースにかかわらず、ダミー SPI クロックの数は一定。 メモリ アクセスごとに 0~15 クロック (CR1[7:4] で設定可能) レジスタ アクセスごとに 0~3 クロック (CR5[7:6] で設定可能)						
データ	SI / SO	I/O0、I/O1	I/O0、I/O1、 I/O2、I/O3	I/O0、I/O1	I/O0、I/O1、 I/O2、I/O3	I/O0、I/O1	I/O0、I/O1、 I/O2、I/O3

表 32 に示すように、バス マスターが CY15x116QSN に発行できるオペコードと呼ばれる 44 個のコマンドがあります。オペコードはメモリが実行する機能を制御します。

表 32 オペコード コマンド

コマンド		SPI バス インターフェース							データ転送		レイテンシ		XIP
コマンド	オペコード (16進)	SPI	デュアル データ	クアッド データ	デュアル I/O	クアッド I/O	DPI	QPI	SDR	DDR	レジスタ レイテンシ	メモリ レイテンシ	直接実行
書き込みイネーブル制御													
WREN	06	有		NA			有	有	有	NA	NA	NA	NA
WRDI	04	有		NA			有	有	有	NA	NA	NA	NA
レジスタ アクセス													
WRSR	01	有		NA			有	有	有	NA	NA	NA	NA
RDSR1	05	有		NA			有	有	有	NA	有	NA	NA
RDSR2	07	有		NA			有	有	有	NA	有	NA	NA
RDCR1	35	有		NA			有	有	有	NA	有	NA	NA
RDCR2	3F	有		NA			有	有	有	NA	有	NA	NA
RDCR4	45	有		NA			有	有	有	NA	有	NA	NA
RDCR5	5E	有		NA			有	有	有	NA	有	NA	NA
WRAR	71	有		NA			有	有	有	NA	NA	NA	NA

機能説明

表 32 オペコード コマンド (続き)

コマンド		SPIバス インターフェース							データ転送		レイテンシ		XIP
コマンド	オペコード (16進)	SPI	デュアル データ	クアッド データ	デュアル I/O	クアッド I/O	DPI	QPI	SDR	DDR	レジスタ レイテンシ	メモリ レイテンシ	直接実行
RDAR	65	有	NA				有	有	有	NA	有	NA	NA
メモリ読み出し													
READ	03	有	NA				有	有	有	NA	NA	有	NA
FAST_READ	0B	有	NA				有	有	有	NA	NA	有	有
DOR	3B	NA	有	NA					有	NA	NA	有	有
DIOR	BB		NA		有	NA			有	NA	NA	有	有
QOR	6B		NA	有	NA				有	NA	NA	有	有
QIOR	EB		NA			有	NA	有	有	NA	NA	有	有
DDRFR	0D		NA					有	NA	有	NA	有	有
DDRQIOR	ED		NA			有	NA	有	NA	有	NA	有	有
メモリ書き込み													
WRITE	02	有	NA				有	有	有	NA	NA	NA	NA
FAST_WRITE	DA	有	NA				有	有	有	NA	NA	NA	有
DIW	A2	NA	有	NA					有	NA	NA	NA	有
DIOW	A1		NA		有	NA			有	NA	NA	NA	有
QIW	32		NA	有	NA				有	NA	NA	NA	有
QIOW	D2		NA			有	NA		有	NA	NA	NA	有
DDR_FAST_WRITE	DD		NA					有	NA	有	NA	NA	有
DDRWRITE	DE		NA					有	NA	有	NA	NA	NA
DDRQIOW	D1		NA			有	NA		NA	有	NA	NA	有
特殊セクタ メモリアクセス													
SSWR	42	有	NA				有	有	有	NA	NA	NA	NA
SSRD	4B	有	NA				有	有	有	NA	NA	有	NA
ECCおよびCRC													
CLECC	1B	有	NA				有	有	有	NA	NA	NA	NA
ECCRD	19	有	NA				有	有	有	NA	NA	有	NA
CRCC	5B	有	NA				有	有	有	NA	NA	NA	NA
EPCS	75	有	NA				有	有	有	NA	NA	NA	NA
EPCR	7A	有	NA				有	有	有	NA	NA	NA	NA
IDおよびシリアル番号													
RUID	4C	有	NA				有	有	有	NA	有	NA	NA
RDID	9F	有	NA				有	有	有	NA	有	NA	NA
WRSN	C2	有	NA				有	有	有	NA	有	NA	NA
RDSN	C3	有	NA				有	有	有	NA	有	NA	NA
電力モードおよびリセット													
DPD	B9	有	NA				有	有	有	NA	NA	NA	NA
HBN	BA	有	NA				有	有	有	NA	NA	NA	NA

表 32 オペコード コマンド (続き)

コマンド		SPIバス インターフェース							データ転送		レイテンシ		XIP
コマンド	オペコード (16進)	SPI	デュアル データ	クアッド データ	デュアル I/O	クアッド I/O	DPI	QPI	SDR	DDR	レジスタ レイテンシ	メモリ レイテンシ	直接実行
RSTEN	66	有	NA				有	有	有	NA	NA	NA	NA
RST	99	有	NA				有	有	有	NA	NA	NA	NA

5.1.1 書き込みイネーブル制御コマンド

これらのコマンドはステータス レジスタ 1 の書き込みイネーブル ラッチ ビット (SR1[1]) をセットまたはクリアします。

表 33 書き込みイネーブル制御コマンド

コマンド	オペコード (16進)	コマンド説明
WREN	06	書き込みイネーブル: ステータス レジスタ1のWELビットを「1」にセット
WRDI	04	書き込みディセーブル: ステータス レジスタ1のWELビットを「0」にクリア

表 34 書き込みイネーブル制御コマンド詳細

オペコード (16進)	アドレス長	SPIバス インターフェース							データ転送		XIP	レイテンシ	最大クロック周波数
		SPI	デュアル データ	クアッド データ	デュアル I/O	クアッド I/O	DPI	QPI	SDR	DDR	直接実行	ダミー サイクル	
06	0	有	NA				有	有	有	NA	NA	NA	108MHz
04	0	有	NA				有	有	有	NA	NA	NA	108MHz

5.1.1.1 書き込みイネーブル ラッチ セット (WREN、06h)

WREN コマンドはステータス レジスタ 1 の WEL ビット (SR1[1]) を「1」にセットします。CY15x116QSN では、書き込みコマンドを発行する前に、WEL ビットを「1」にセットする必要があります。CY15x116QSN では、実行前に WEL ビットを「1」にセットする必要があるコマンドは WRSR、WRAR、WRITE、FAST_WRITE、DIW、DIOW、QIW、QIOW、DDR_FAST_WRITE、DDRWRITE、DDRQIOW、SSWR、および WRSN です。

命令バイトの 8 番目のビットが SI 上でラッチされた後、CS を論理 HIGH に駆動する必要があります。CY15x116QSN は、8 ビットの WREN オペコードが正常にラッチされてから CS が HIGH に駆動された後、WREN コマンドを実行し、WEL ビット (SR1[1]) を「1」にセットします。

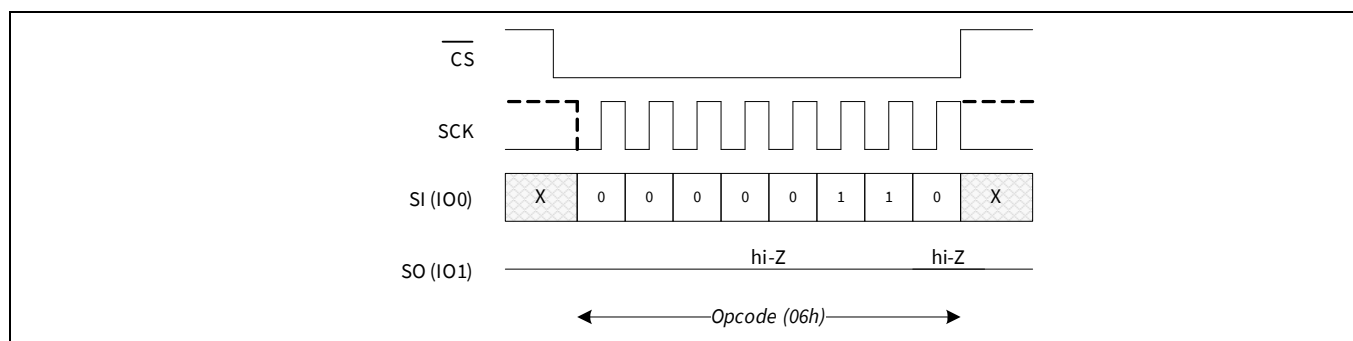


図 6 WREN バス コンフィギュレーション - SPI モード

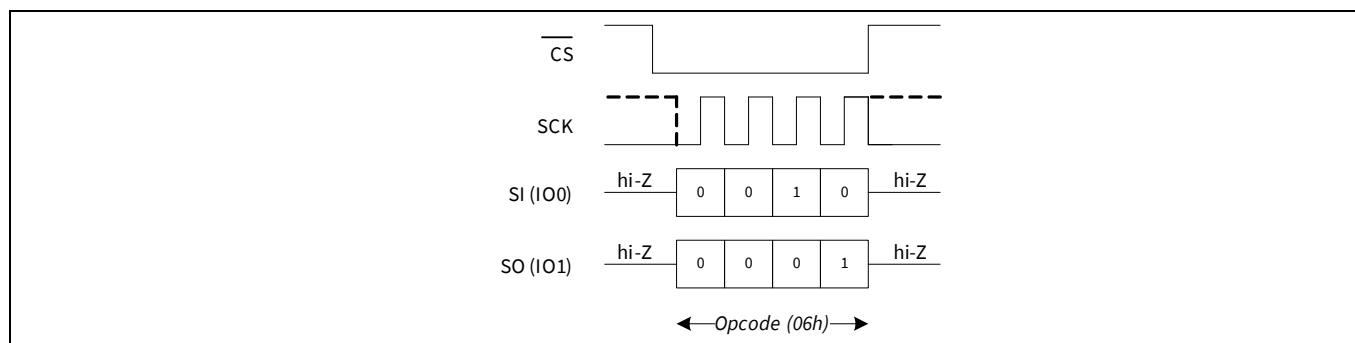


図 7 WREN バス コンフィギュレーション – DPI モード

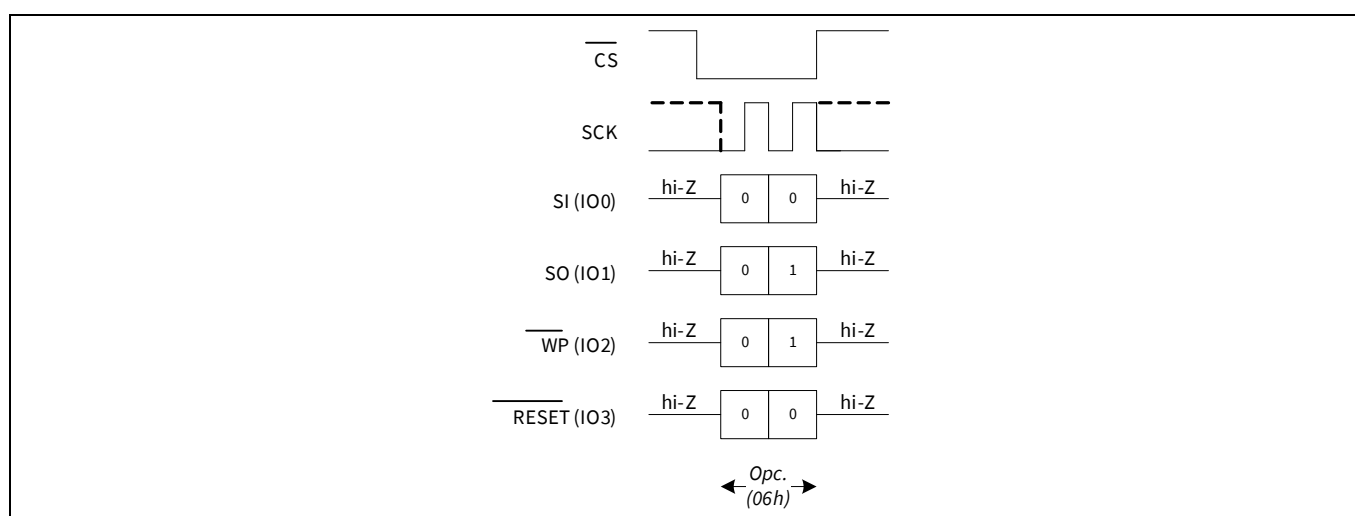


図 8 WREN バス コンフィギュレーション – QPI モード

5.1.1.2 書き込みイネーブル ラッチ リセット (WRDI、04h)

WRDI 命令はステータスレジスタ 1 の書き込みイネーブル ラッチ (WEL) ビット (SR1[1]) を「0」にクリアします。これにより、ステータスレジスタ書き込み (WRSR)、任意レジスタ書き込み (WRAR)、特殊セクタ書き込み (SSWR)、および実行前に WEL を「1」にセットする必要があるその他の命令が無効になります。WRDI 命令を使用すると、不注意による書き込みからメモリと SPI レジスタを保護できます。WIP ビット = 「1」 のとき、組み込み動作中に WRDI コマンドが無視されます。

命令バイトの 8 番目のビットが SI 上でラッチされた後、CS を論理 HIGH に駆動する必要があります。CY15x116QSN は、8 ビットの WRDI オペコードが正常にラッチされてから CS が HIGH に駆動された後、WRDI コマンドを実行し、WEL ビット (SR1[1]) を「0」にクリアします。

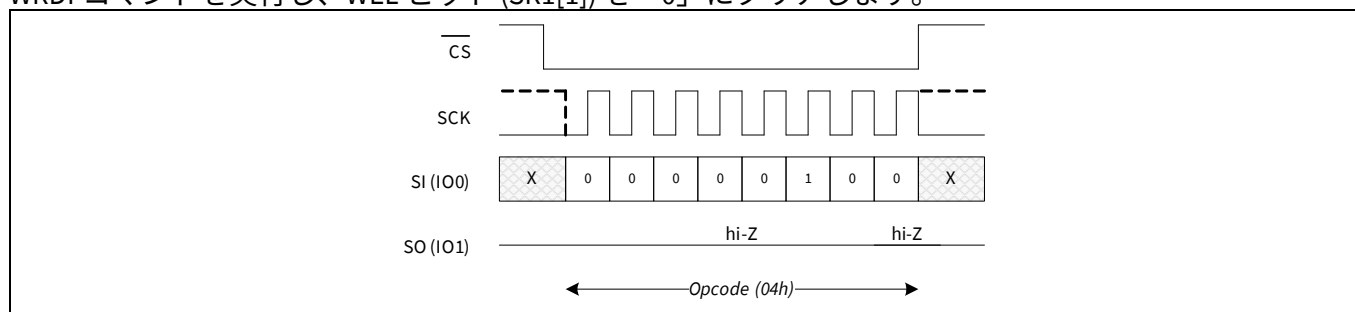


図 9 WRDI バス コンフィギュレーション – SPI モード

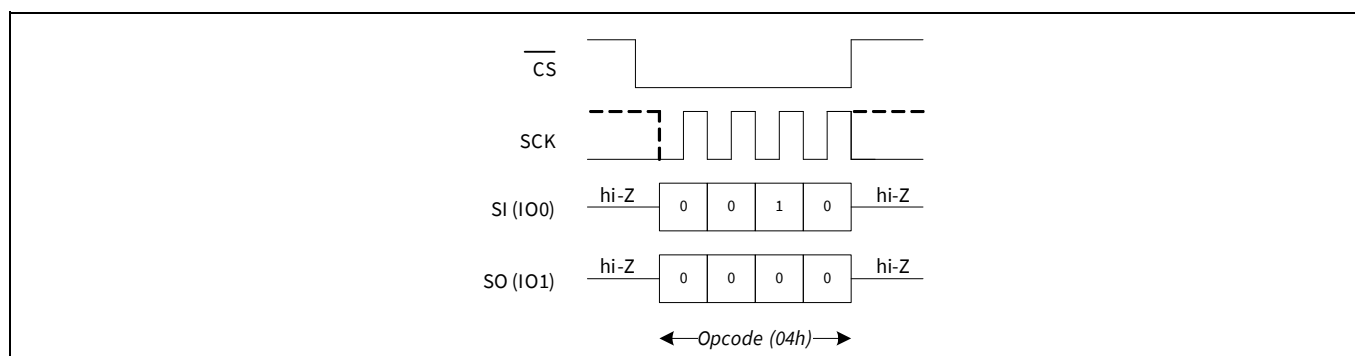


図 10 WRDI バス コンフィギュレーション – DPI モード

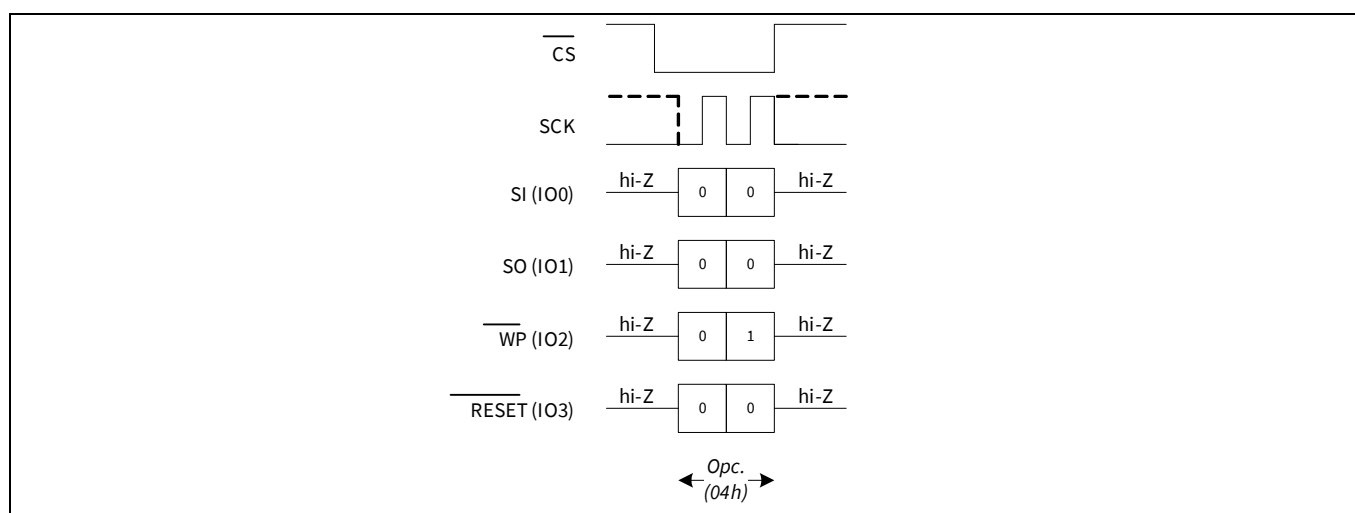


図 11 WRDI バス コンフィギュレーション – QPI モード

5.1.2 レジスタ アクセス コマンド

CY15x116QSN は各種のコンフィギュレーションとステータスのレジスタを提供します。これらのレジスタはユーザー書き込みが可能であり、デバイスの状態を知るためにポーリングできるだけでなく、デバイスの特定のコンフィギュレーションや機能を有効または無効にするようプログラミングできます。これらは、オペコードと呼ばれる特定のコマンドによってアクセスされます。

各々のレジスタビットは、書き込み / 読み出し、読み出し専用、または将来使用のために予約済み (RFU) の複数の種類のどれかになります。各ビットの特定種類は、それぞれのレジスタセクションで指定されます。レジスタビットは、実質的には揮発性または不揮発性のどちらかです。パワーオンリセット (POR) または任意のリセットイベント (ハードウェアまたはソフトウェアのリセット) の後、すべての揮発性 (V) ビットはデフォルト値にセットされ、すべての不揮発性 (NV) ビットはユーザー設定値に復帰します。

表 35 レジスタ アクセス コマンド

コマンド	オペコード (16進)	コマンド説明
WRSR	01	ステータス レジスタ1書き込み
RDSR1	05	ステータス レジスタ1読み出し
RDSR2	07	ステータス レジスタ2読み出し
RDCR1	35	コンフィギュレーション レジスタ1読み出し
RDCR2	3F	コンフィギュレーション レジスタ2読み出し
RDCR4	45	コンフィギュレーション レジスタ4読み出し

機能説明

表 35 レジスタ アクセス コマンド

コマンド	オペコード (16進)	コマンド説明
RDCR5	5E	コンフィギュレーションレジスタ5読み出し
WRAR	71	任意レジスタ書き込み (ステータスレジスタ、コンフィギュレーションレジスタ、シリアル番号レジスタを含む)
RDAR	65	任意レジスタ読み出し (ステータスレジスタ、コンフィギュレーションレジスタ、CRC レジスタ、ECC レジスタ、シリアル番号レジスタ、ID レジスタを含む)

表 36 レジスタ アクセス コマンド詳細

オペコード (16進)	アドレス 長	SPIバス インターフェース							データ転送		レジスタ レイテンシ	最大クロック 周波数	レジスタ レイテンシ
		SPI	デュアル データ	クアッド データ	デュアル I/O	クアッド I/O	DPI	QPI	SDR	DDR	ダミー サイクル		
01	0	有	NA				有	有	有	NA	NA	108MHz	NA
05	0	有	NA				有	有	有	NA	有	108MHz	有
07	0	有	NA				有	有	有	NA	有	108MHz	有
35	0	有	NA				有	有	有	NA	有	108MHz	有
3F	0	有	NA				有	有	有	NA	有	108MHz	有
45	0	有	NA				有	有	有	NA	有	108MHz	有
5E	0	有	NA				有	有	有	NA	有	108MHz	有
71	3バイト	有	NA				有	有	有	NA	NA	108MHz	NA
65	3バイト	有	NA				有	有	有	NA	有	108MHz	有

ステータス レジスタ書き込み (WRSR、01h)

ステータス レジスタ書き込み (WRSR) 命令では、ステータス レジスタ 1 (SR1) に新しい値をプログラミングできます。この命令は不揮発性 SR1 に書き込むため、パワー サイクルに耐えます。WRSR コマンドは、SR1 の SRWD ビット (SR1[7]) が「1」にセットされ、WP ピンが LOW にアサートされると、無視されます。

注:

- WRSR 命令は、SR1 の WEL ビットが「1」にセットされた場合にのみ実行され、そうでない場合は無視されます。
- ステータスレジスタ1のWELビット (SR1[1]) はWRSRコマンドが($\overline{\text{CS}}$ の立ち上りエッジで)終了した後、自動的に「0」にクリアされます。

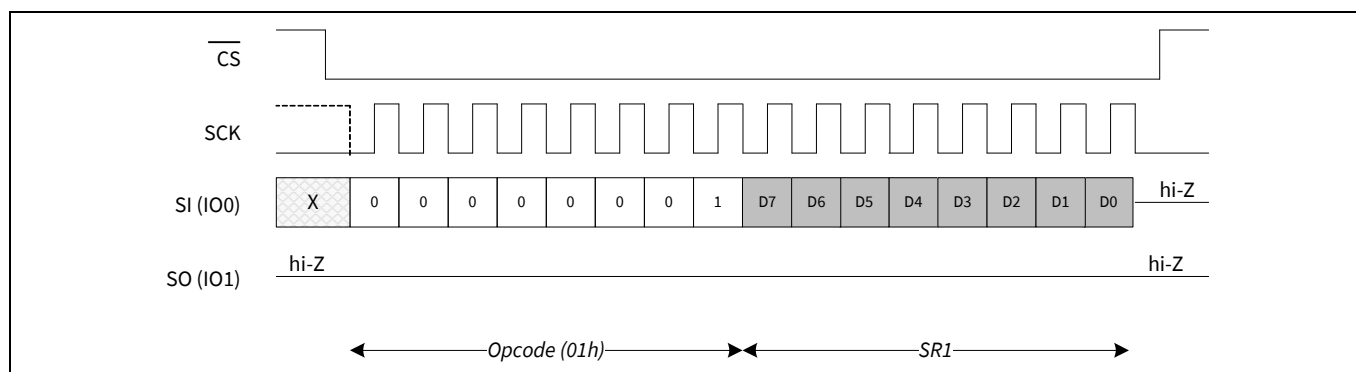


図 12 WRSR – SPI モード (WREN が非表示)

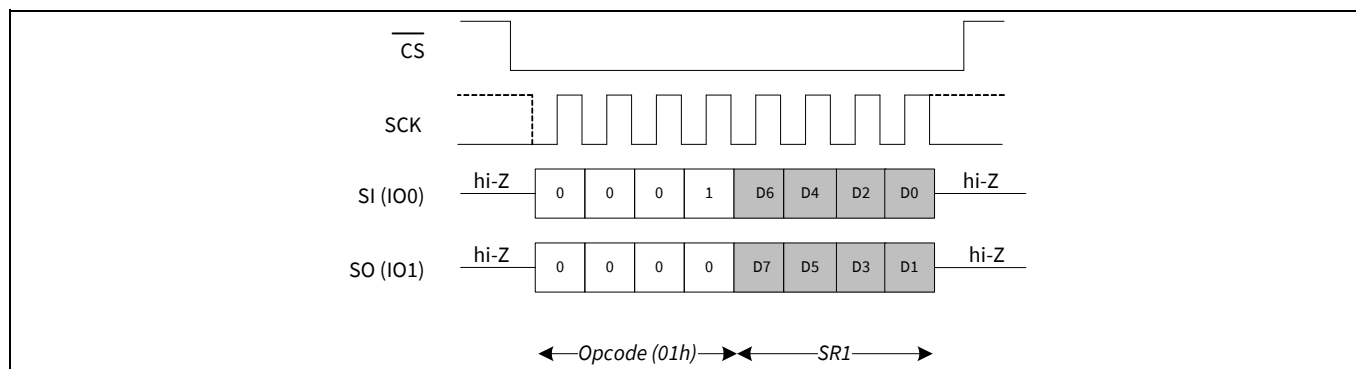


図 13 WRSR - DPI モード (WREN が非表示)

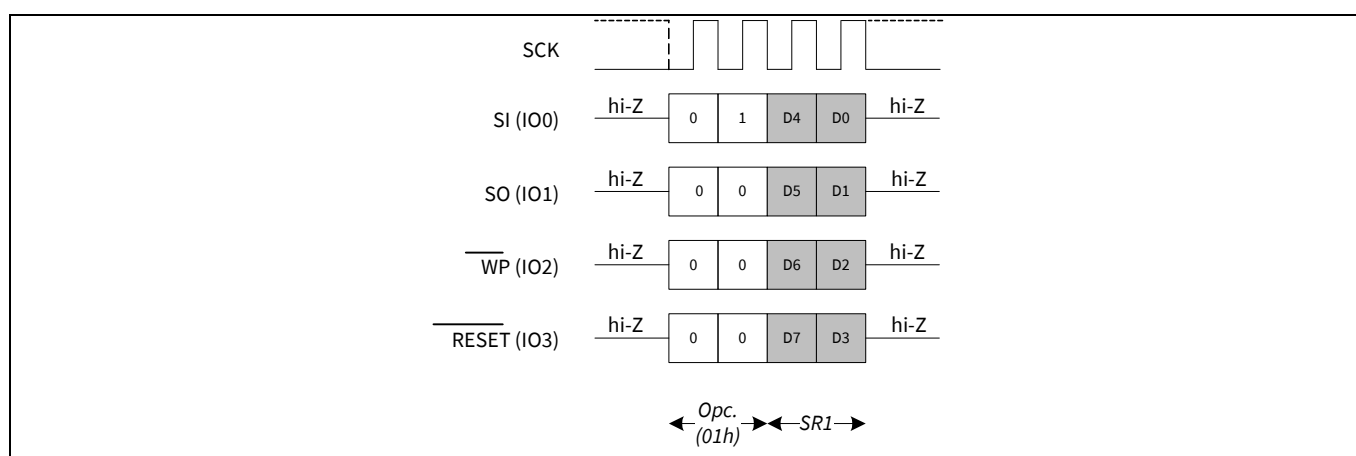


図 14 WRSR - QPI モード (WREN が非表示)

5.1.2.1 ステータスレジスタ 1 読み出し (RDSR1、05h)

RDSR1 コマンドを使用すると、バス マスターはステータス レジスタ 1 (SR1) の内容を確認できます。SR1 読み出しは、書き込み保護機能や WEL、WIP の現時点の状態を示します。RDSR1 オペコードに続いて、CY15x116QSN は 1 バイトの SR1 の内容を返します。

注:

- RDSR1 は SR1 の揮発性の内容を返します。
- 示されているダミー サイクルは CR5 のレジスタ レイテンシ コード ビット (RLC0、RLC1) で設定できるオプションです。

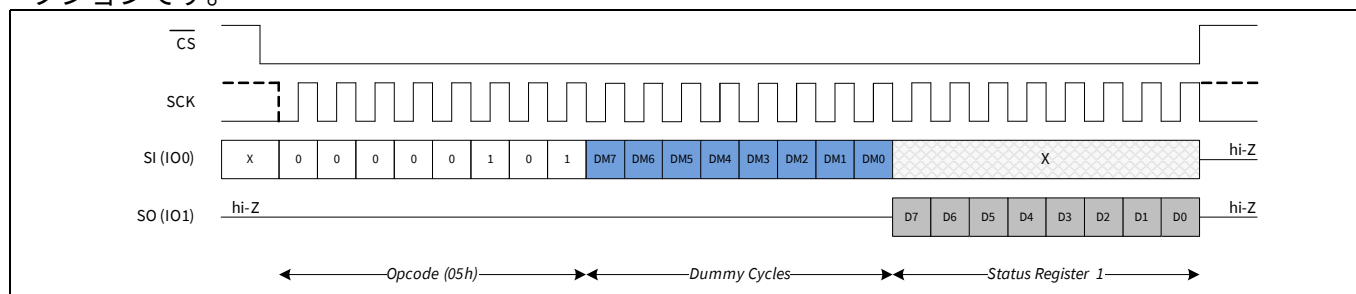


図 15 SR1 読み出し (RDSR1) – SPI モード

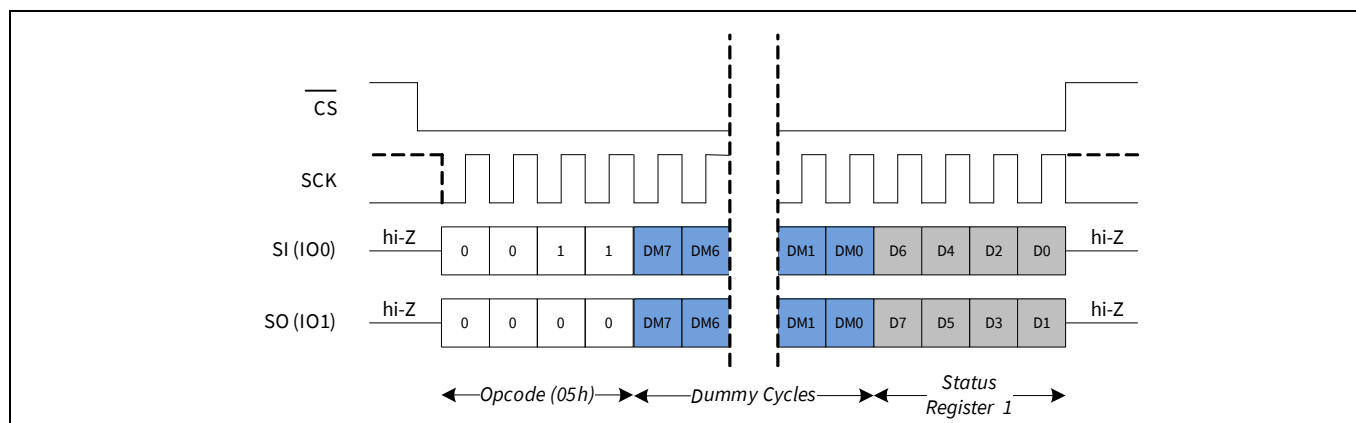


図 16 SR1 読み出し (RDSR1) – DPI モード

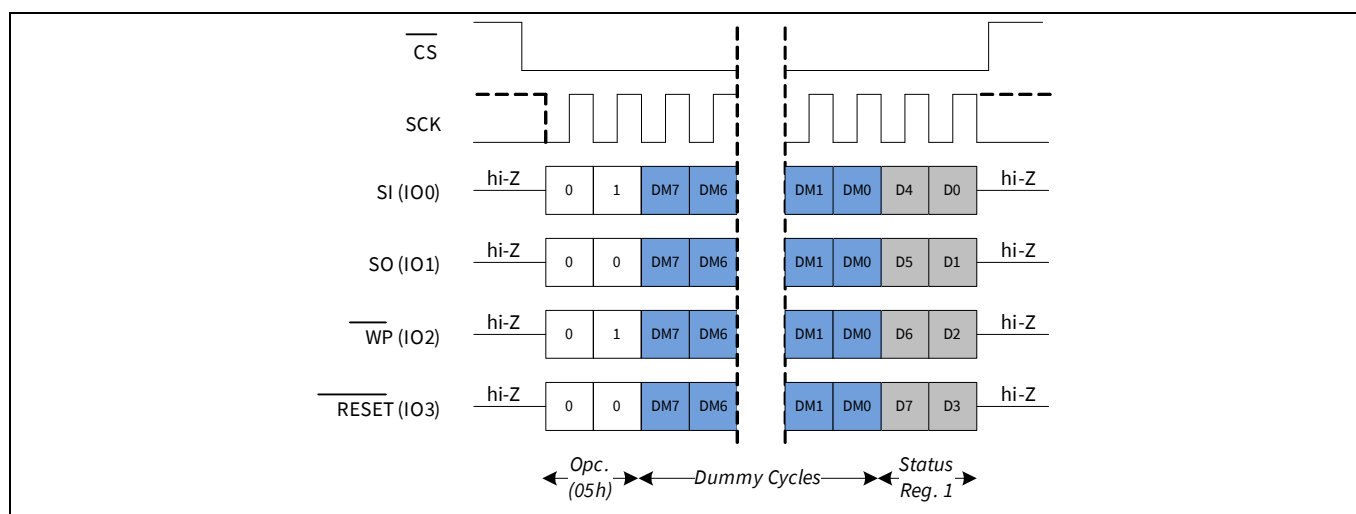


図 17 SR1 読み出し (RDSR1) – QPI モード

5.1.2.2 ステータスレジスタ 2 読み出し (RDSR2、07h)

RDSR2 コマンドを使用すると、バス マスターはステータス レジスタ 2 (SR2) の内容を確認できます。これは読み出し専用レジスタであり、CRC 中断と CRC 中止の状態を示します。SR2 のビットは、SR1 の WIP が「0」のときにのみ正しい状態 (CRCS および CRCA) を示します。WIP が「1」のときに SR2 を読み出すと、未定義の状態が返されます。

注:

- RDSR2 は SR2 の揮発性の内容を返します。
- 示されているダミーサイクルは CR5 のレジスタレイテンシコードビット (RLC0、RLC1) で設定できるオプションです。

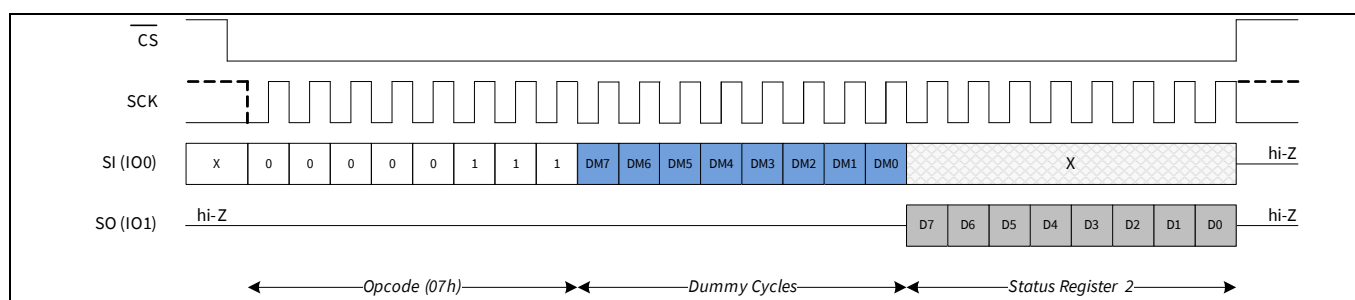


図 18 SR2 読み出し (RDSR2) – SPI モード

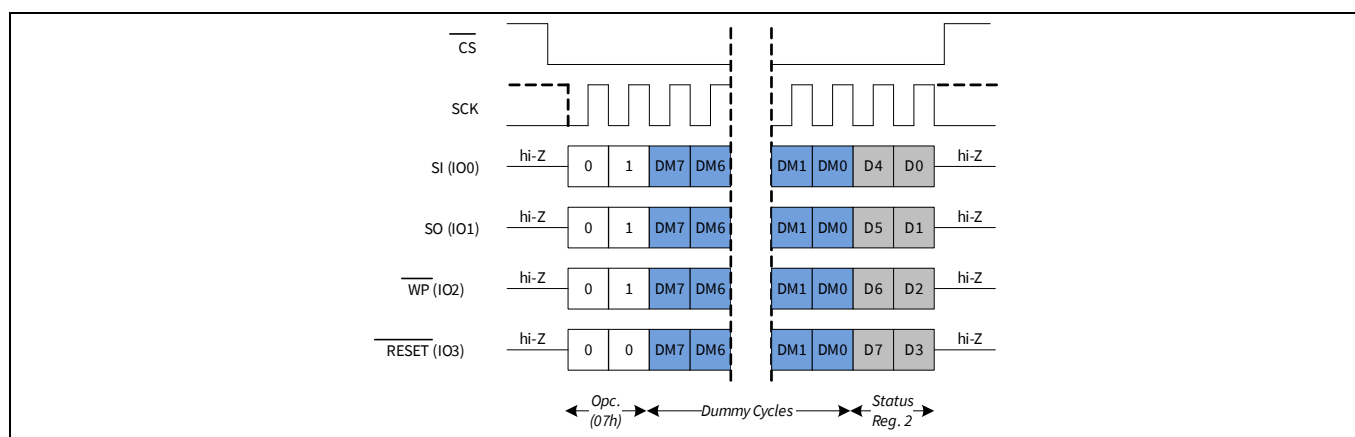


図 19 SR2 読み出し (RDSR2) – DPI モード

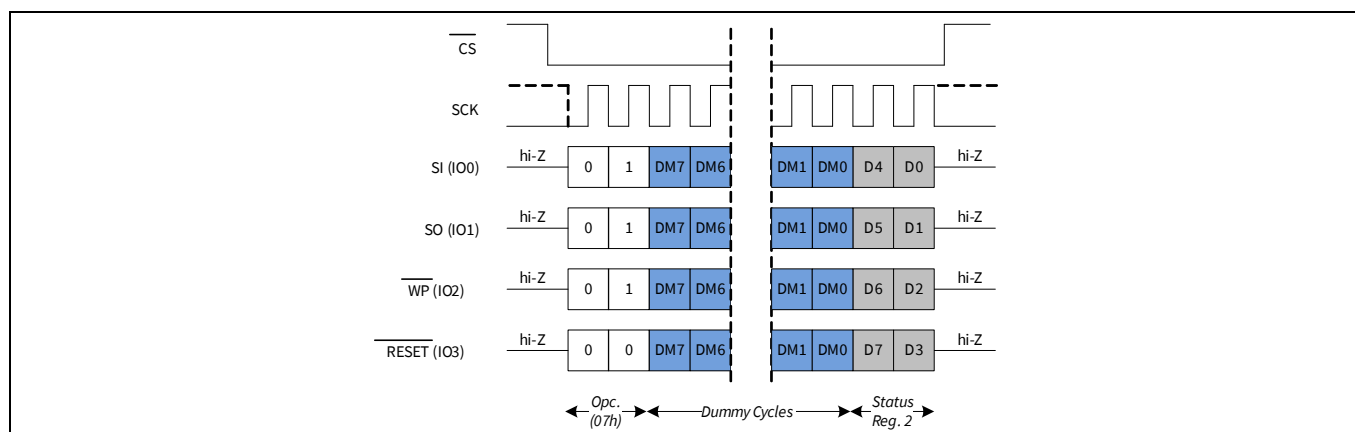


図 20 SR2 読み出し (RDSR2) – QPI モード

5.1.2.3 コンフィギュレーションレジスタ 1 読み出し (RDCR1、35h)

RDCR1 コマンドを使用すると、バス マスターはコンフィギュレーション レジスタ 1 (CR1) の内容を確認できます。CR1 読み出しは、メモリ レイテンシ コードと QUAD ビットの現時点の状態を示します。RDCR1 オペコードに続いて、CY15x116QSN は 1 バイトの CR1 の内容を返します。

注:

- RDCR1 は CR1 の揮発性の内容を返します。
- 示されているダミー サイクルは CR5 のレジスタ レイテンシ コード ビット (RLC0、RLC1) で設定できるオプションです。

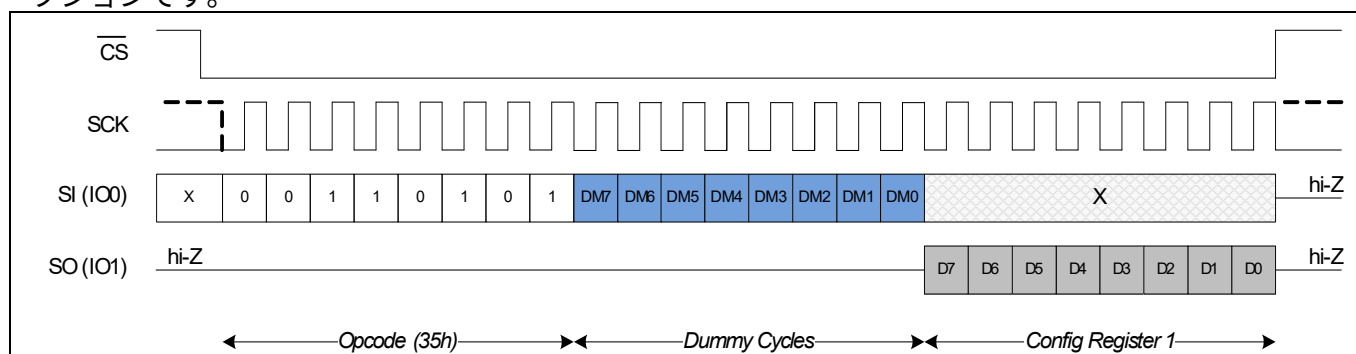


図 21 CR1 読み出し (RDCR1) – SPI モード

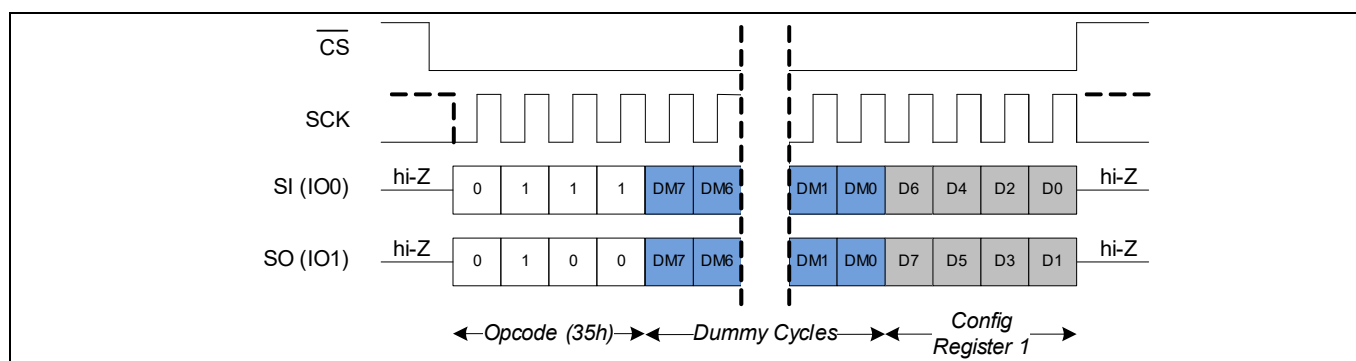


図 22 CR1 読み出し (RDCR1) – DPI モード

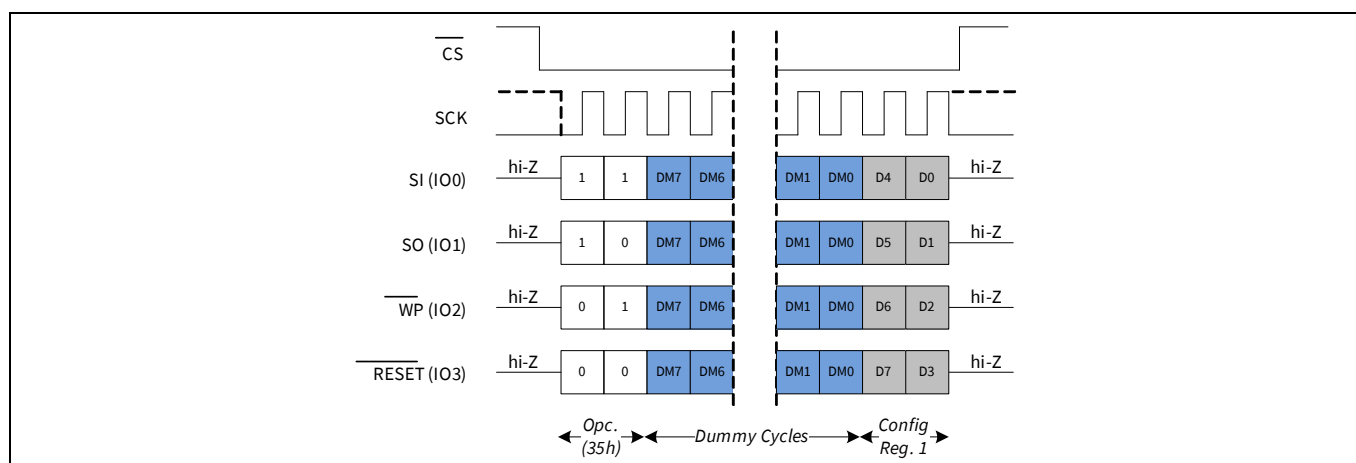


図 23 CR1 読み出し (RDCR1) – QPI モード

5.1.2.4 コンフィギュレーションレジスタ 2 読み出し (RDCR2、3Fh)

RDCR2 コマンドを使用すると、バス マスターはコンフィギュレーション レジスタ 2 (CR2) の内容を確認できます。CR2 読み出しは、現時点の SPI インターフェース オプション (SPI、DPI、QPI のいずれか) および RESET / (I/O3) の状態を示します。RDCR2 オペコードに続いて、CY15x116QSN は 1 バイトの CR2 内容を返します。

注:

- RDCR2 は CR2 の揮発性の内容を返します。
- 示されているダミーサイクルは CR5 のレジスタレイテンシコードビット (RLC0、RLC1) で設定できるオプションです。

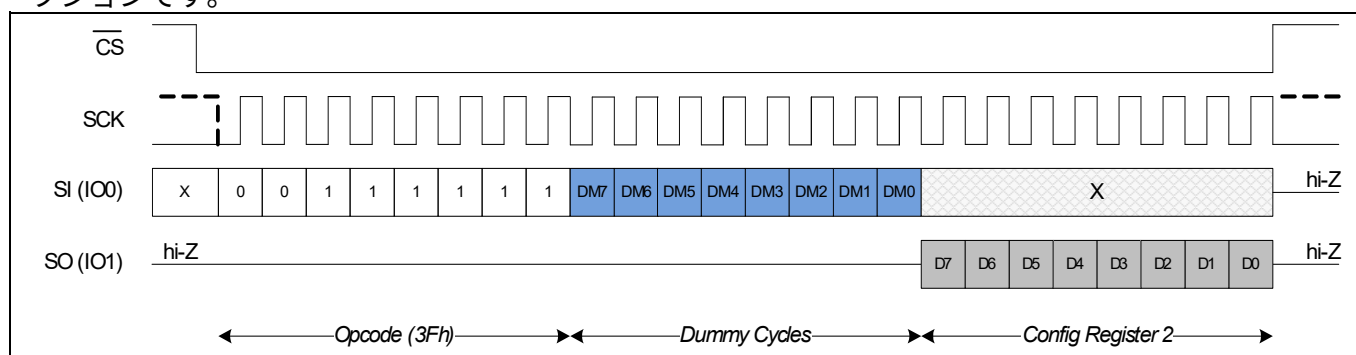


図 24 CR2 読み出し (RDCR2) – SPI モード

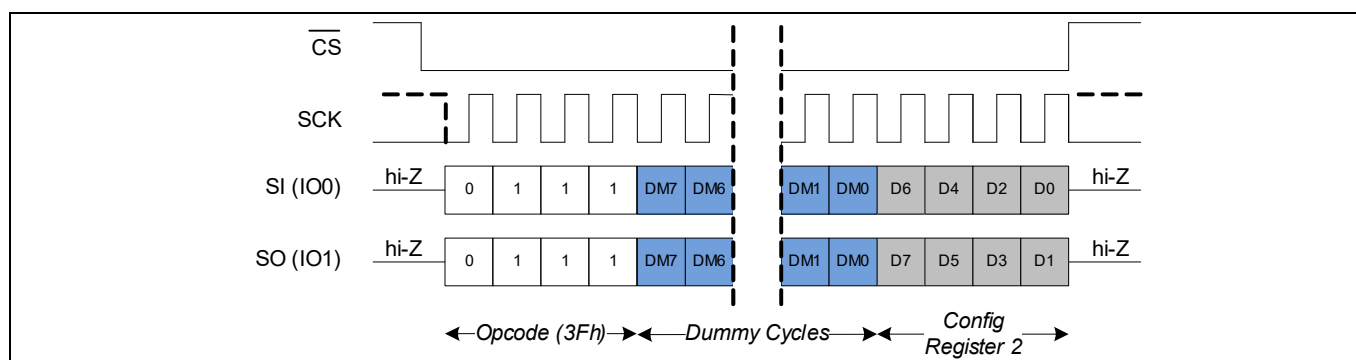


図 25 CR2 読み出し (RDCR2) – DPI モード

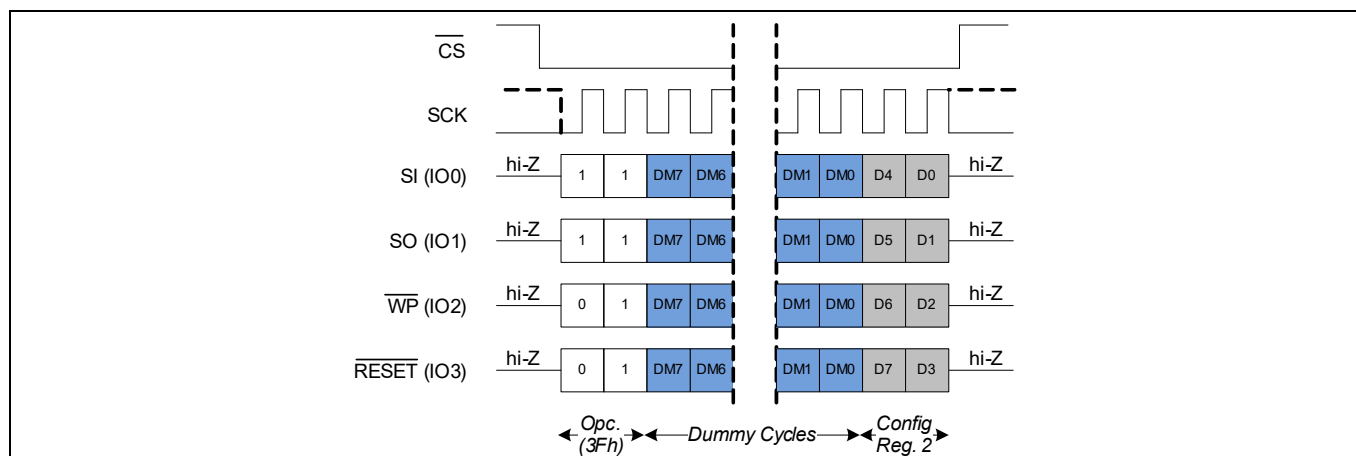


図 26 CR2 読み出し (RDCR2) – QPI モード

5.1.2.5 コンフィギュレーションレジスタ 4 読み出し (RDCR4、45h)

RDCR4 コマンドを使用すると、バス マスターはコンフィギュレーション レジスタ 4 (CR4) の内容を確認できます。CR4 読み出しは、出力インピーダンス設定およびデバイスの POR 後の電力モード (ディープ パワーダウン / スタンバイ) の状態を示します。RDCR4 オペコードに続いて、CY15x116QSN は 1 バイトの CR4 内容を返します。

注:

- RDCR4 は CR4 の揮発性の内容を返します。
- 示されているダミー サイクルは CR5 のレジスタ レイテンシ コード ビット (RLC0、RLC1) で設定できるオプションです。

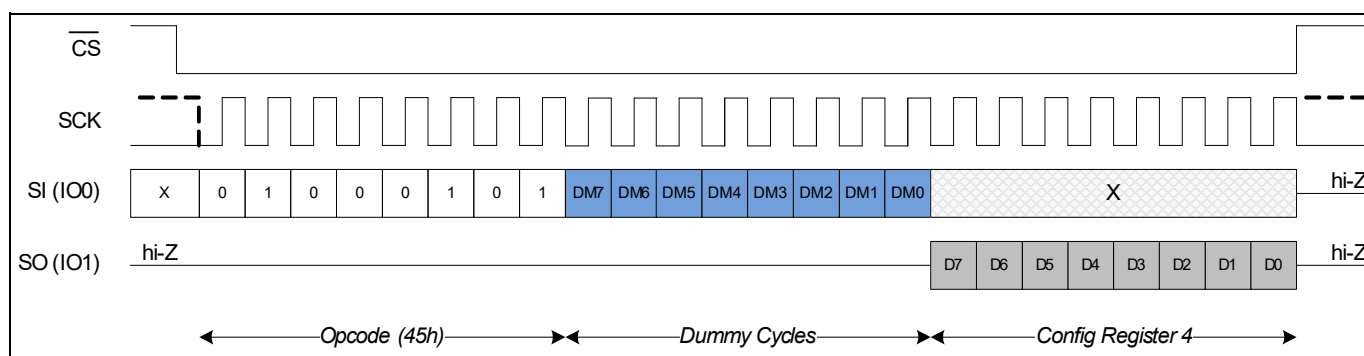


図 27 CR4 読み出し (RDCR4) – SPI モード

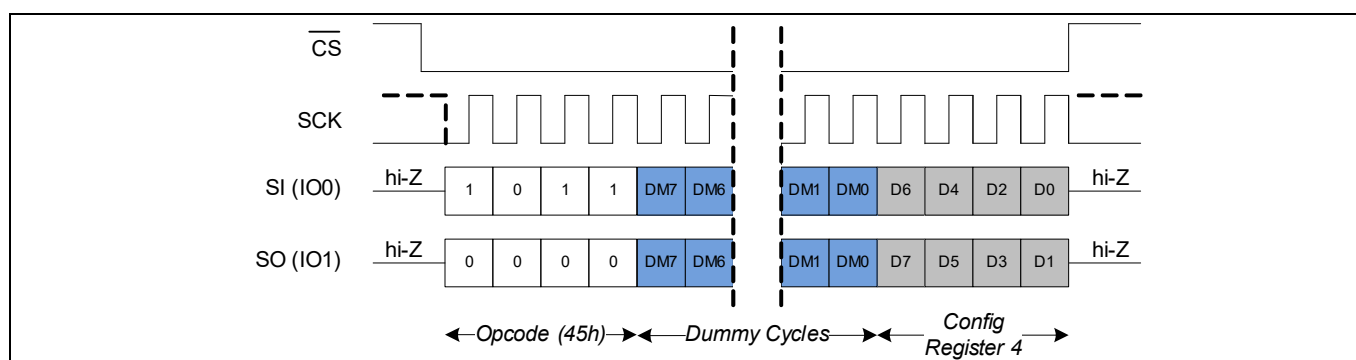


図 28 CR4 読み出し (RDCR4) – DPI モード

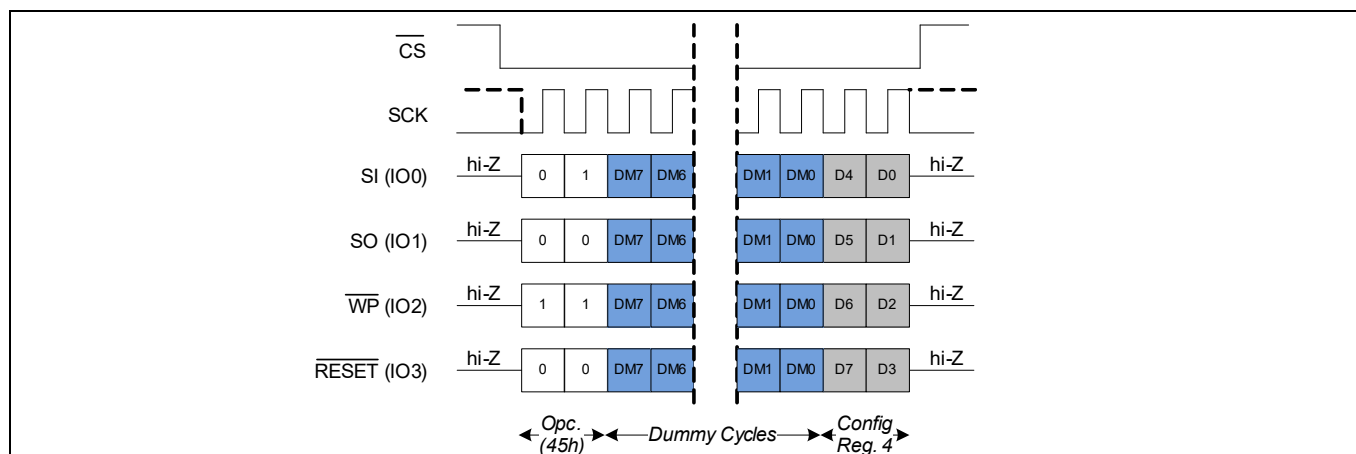


図 29 CR4 読み出し (RDCR4) – QPI モード

5.1.2.6 コンフィギュレーションレジスタ 5 読み出し (RDCR5、5Eh)

RDCR5 コマンドを使用すると、バス マスターはコンフィギュレーション レジスタ 5 (CR5) の内容を確認できます。CR5 読み出しは、レジスタ読み出しレイテンシサイクル (RLC0、RLC1) の設定を示します。RDCR5 オペコードに続いて、CY15x116QSN は 1 バイトの CR5 内容を返します。

注:

- RDCR5 は CR5 の揮発性の内容を返します。
- 示されているダミー サイクルは CR5 のレジスタ レイテンシ コード ビット (RLC0、RLC1) で設定できるオプションです。

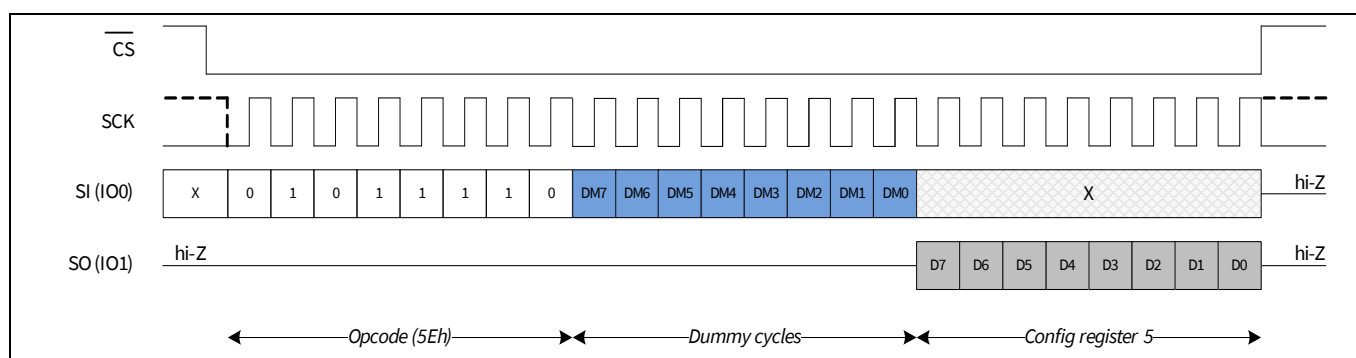


図 30 CR5 読み出し (RDCR5) – SPI モード

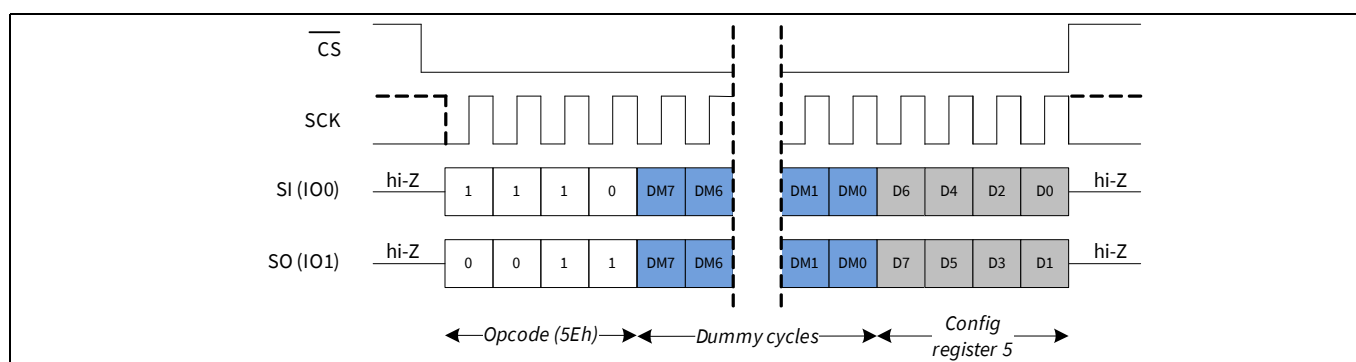


図 31 CR5 読み出し (RDCR5) – DPI モード

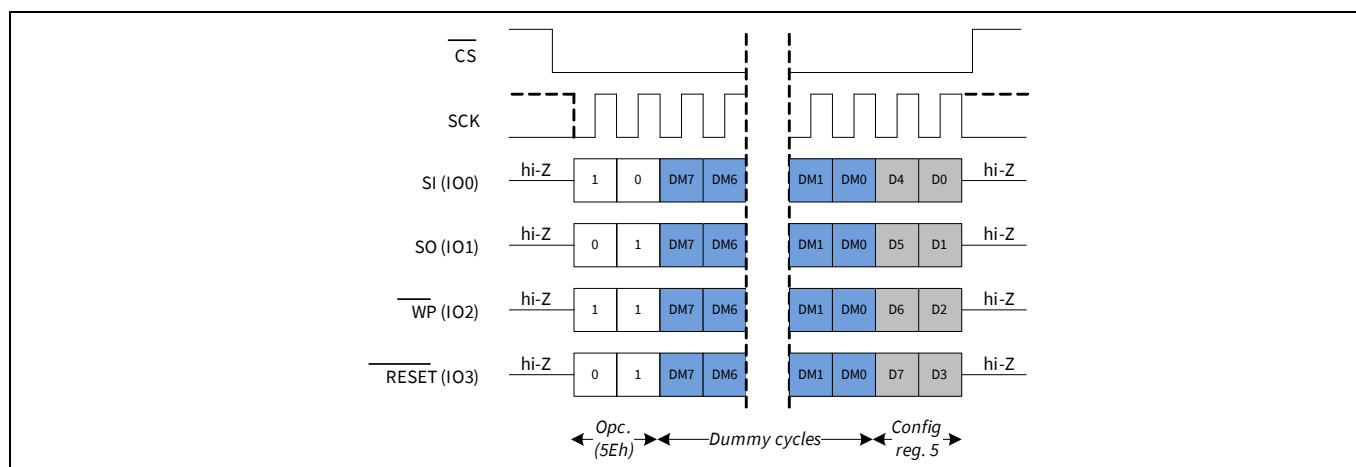


図 32 CR5 読み出し (RDCR5) – QPI モード

5.1.2.7 任意レジスタ書き込み (WRAR、71h)

WRAR 命令により、CY15x116QSN のレジスタに対し、3 バイト アドレッシングで 1 度に 1 つのレジスタに書き込みます。表 38 に示すように、WRAR 命令オペコードの後、レジスタの 3 バイト アドレスおよび書き込まれる 1 バイトのレジスタ データが続きます。WREN コマンドは WRAR コマンドに先行して、WRAR の実行前に WEL ビットを「1」にセットします。WEL ビットは WRAR コマンドが (CS の立ち上りエッジで) 終了した後、自動的に「1」にクリアされます。WRAR コマンドは、SR1 の SRWD ビット (SR1[7]) が「1」にセットされ、WP ピンが LOW に駆動されると、無視されます。

注：

- WRAR コマンドは、指定されたレジスタアドレスで WRAR コマンドごとに 1 バイトのみの書き込みをサポートします。WRAR コマンド フォーマットを表 37 に示します。
- WRAR オペコードの後に 3 バイトのアドレス フィールドで送信されるレジスタアドレスは、新しいコンフィギュレーションを揮発性のステータス / コンフィギュレーションのレジスタのみにプログラミングするのか、揮発性と不揮発性のステータス / コンフィギュレーション両方のレジスタにプログラミングするのかを決定します。表 38 に、揮発性と不揮発性両方のレジスタのアドレスを示します。

表 37 レジスタの汎用書き込み命令

命令名	命令説明	オペコード	アドレス バイト	データ バイト
WRAR	任意レジスタ書き込み	71h	3	1

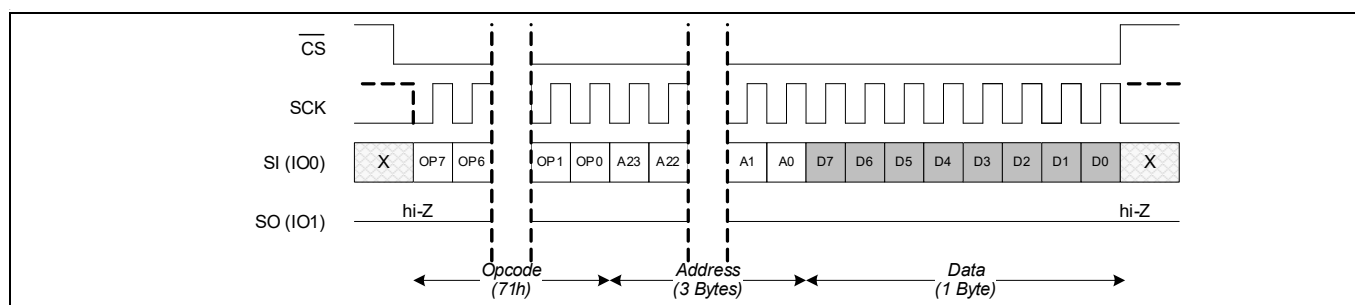


図 33 任意レジスタ書き込み (WRAR) – SPI モード

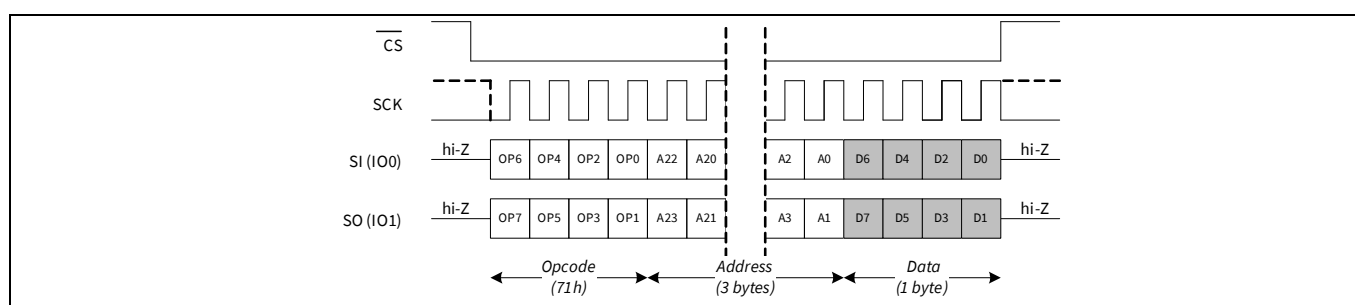


図 34 任意レジスタ書き込み (WRAR) – DPI モード

機能説明

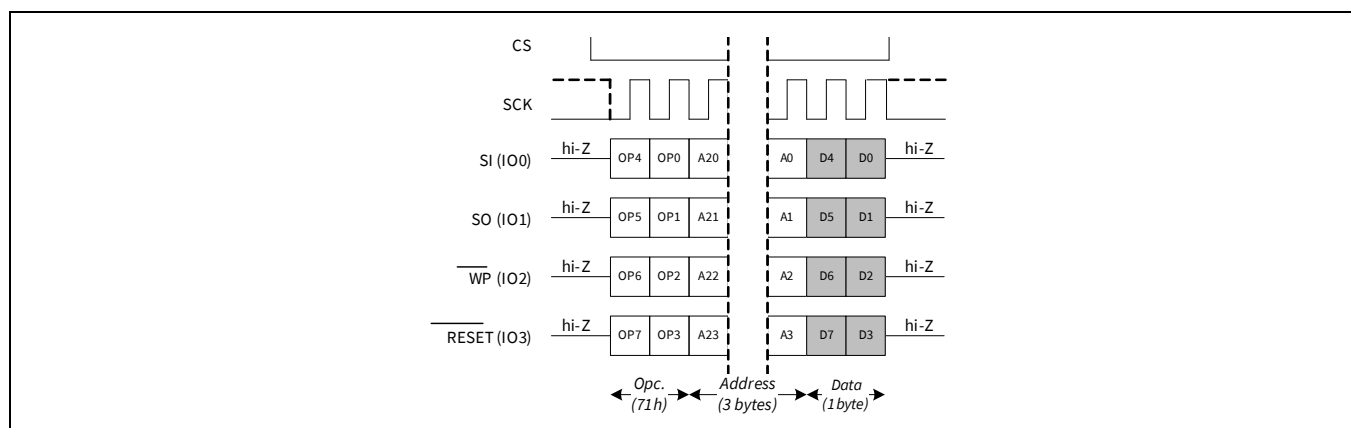


図 35 任意レジスタ書き込み (WRAR) – QPI モード

表 38 一般レジスタ アクセス用のレジスタ アドレス

機能	レジスタ タイプ	レジスタ内容 ^[14]	WRAR	RDAR ^[14]	レジスタ アドレス ^[13]	
					揮発性	不揮発性
デバイス ステータス	ステータス レジスタ 1	揮発性 / 不揮発性	有	有	0x070000	0x000000
	ステータス レジスタ 2	揮発性専用	NA	有	0x070001 または 0x000001	
デバイス コンフィギュ レーション	コンフィギュレーション レジスタ 1	揮発性 / 不揮発性	有	有	0x070002	0x000002
	コンフィギュレーション レジスタ 2	揮発性 / 不揮発性	有	有	0x070003	0x000003
	コンフィギュレーション レジスタ 4	揮発性 / 不揮発性	有	有	0x070005	0x000005
	コンフィギュレーション レジスタ 5	揮発性 / 不揮発性	有	有	0x070006	0x000006

注:

13. 揮発性レジスタは、POR またはハードウェアリセット後にデフォルト状態に戻ります。POR またはリセット イベントの後の揮発性レジスタの状態については、表 58 を参照してください。
14. RDAR コマンドは常に揮発性レジスタの内容を返します。したがって、RDAR の後に揮発性レジスタアドレスまたは不揮発性レジスタアドレスが続くと、(それぞれの揮発性レジスタからのみ) 同じ値が返されます。揮発性専用レジスタは、対応する不揮発性レジスタがありません。

表 38 一般レジスタ アクセス用のレジスタ アドレス (続き)

機能	レジスタ タイプ	レジスタ 内容 ^[14]	WRAR	RDAR ^[14]	レジスタ アドレス ^[13]	
					揮発性	不揮発性
エラー訂正	ECC ステータス レジスタ	揮発性専用	NA	有	0x070089 または 0x000089	
	ECC カウント レジスタ [7:0]	揮発性専用	NA	有	0x07008A または 0x00008A	
	ECC カウント レジスタ [15:8]	揮発性専用	NA	有	0x07008B または 0x00008B	
	ECC アドレストラップレ ジスタ [7:0]	揮発性専用	NA	有	0x07008E または 0x00008E	
	ECC アドレストラップレ ジスタ [15:8]	揮発性専用	NA	有	0x07008F または 0x00008F	
	ECC アドレストラップレ ジスタ [23:16]	揮発性専用	NA	有	0x070040 または 0x000040	
	ECC アドレストラップレ ジスタ [31:24]	揮発性専用	NA	有	0x070041 または 0x000041	
巡回冗長検査	CRC レジスタ [7:0]	揮発性専用	NA	有	0x070095 または 0x000095	
	CRC レジスタ [15:8]	揮発性専用	NA	有	0x070096 または 0x000096	
	CRC レジスタ [23:16]	揮発性専用	NA	有	0x070097 または 0x000097	
	CRC レジスタ [31:24]	揮発性専用	NA	有	0x070098 または 0x000098	

5.1.2.8 任意レジスタ読み出し (RDAR、65h)

RDAR 命令により、CY15x116QSN のレジスタに対し、3 バイト アドレッシングで 1 度に 1 つのレジスタを読み出せます。RDAR オペコードに続いて、レジスタの 3 バイト アドレスとダミー サイクル (CR5 に設定されたレジスタレイテンシによる) が続き、その後 CY15x116QSN は出力バスを介して 1 バイトのレジスタ内容を返します。1 レジスタ バイトを受信した後、ホストは \overline{CS} を HIGH にすることで RDAR コマンドを終了させる必要があります。最初のデータ バイトの受信後に \overline{CS} を LOW に保つと、未定義のデータ バイトが返されます。RDAR 命令のタイミング図を図 36 ~ 図 38 に示します。

注:

- ステータスおよびコンフィギュレーションのレジスタ読み出しは常に揮発性空間からレジスタの内容を返すため、WRAR オペコードに続く 3 バイトのアドレスは、揮発性レジスタまたはそれに対応する不揮発性レジスタのいずれかのレジスタ アドレスになります。

表 38 に揮発性レジスタと不揮発性レジスタの両方のレジスタ アドレスを示します。

- 示されているダミー サイクルは CR5 のレジスタレイテンシ コード ビット (RLC0、RLC1) で設定できるオプションです。

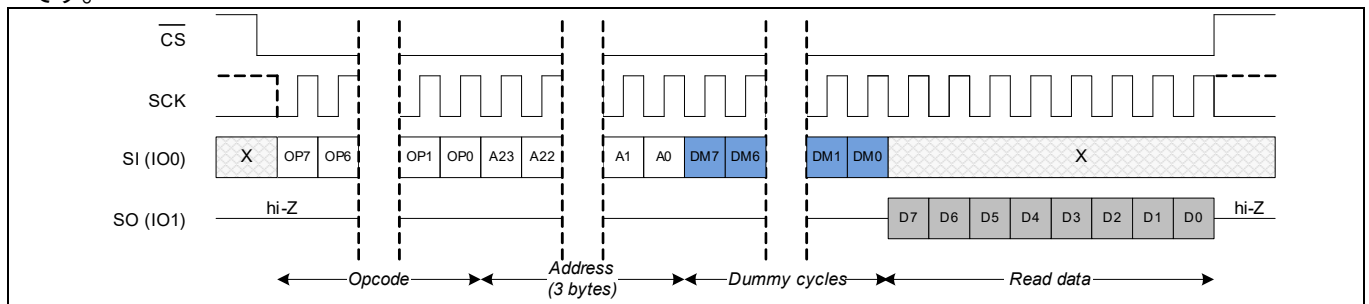


図 36 任意レジスタ読み出し (RDAR) – SPI モード

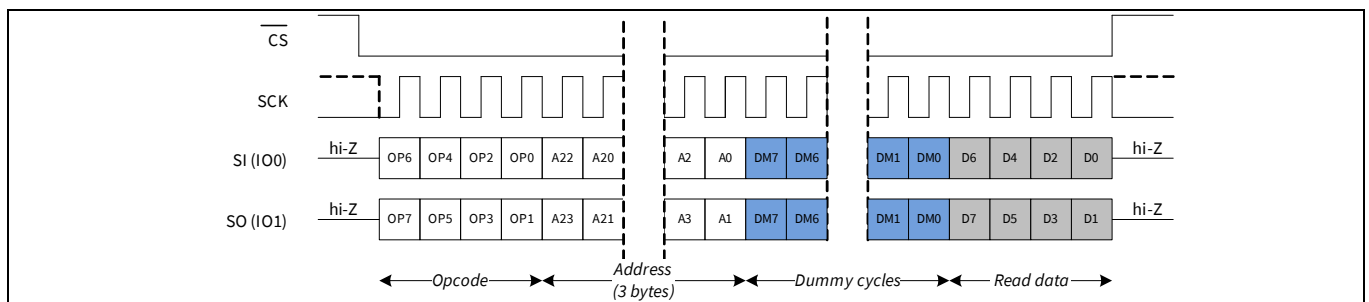


図 37 任意レジスタ読み出し (RDAR) – DPI モード

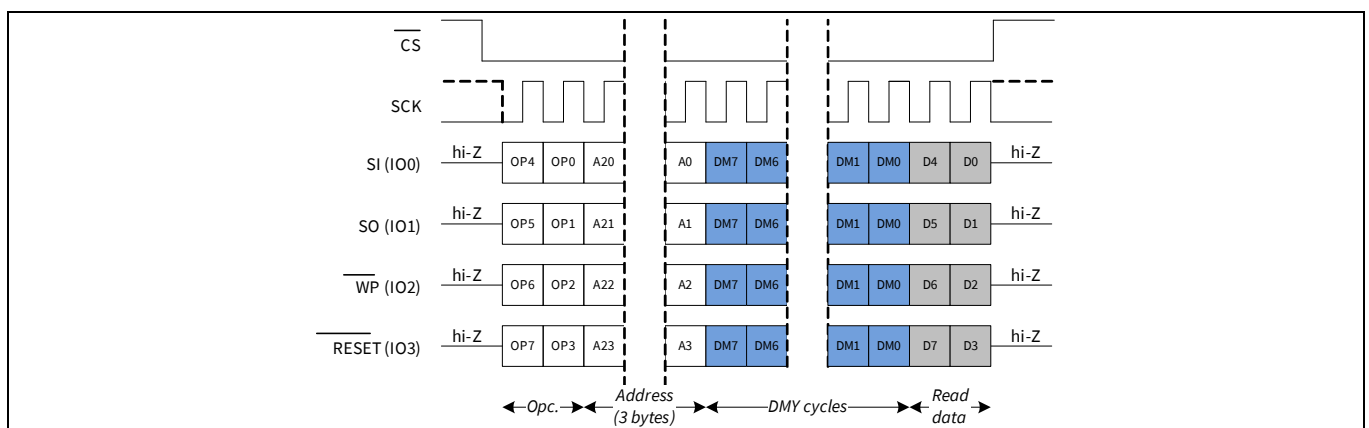


図 38 任意レジスタ読み出し (RDAR) – QPI モード

5.1.3 メモリ動作

高いクロック周波数で動作可能な SPI インターフェースは、F-RAM 技術の高速書き込み機能を際立たせます。シリアルフラッシュと異なり、CY15x116QSN はバス速度でシーケンシャル書き込みができます。ページレジスタは不要であり、シーケンシャル書き込みは何回でも実行できます。

5.1.4 メモリ書き込みコマンド

メモリ書き込み命令は、 \overline{CS} ピンが LOW に遷移後に送られます。書き込みオペコードの後、3 バイトアドレスと XIP モード バイト (該当する場合) が続きます。CY15x116QSN は 16Mb (2048K×8) メモリ容量用の 21 ビット アドレス空間を備えます。最上位アドレス バイトでは、A16、A17、A18、A19 および A20 はアクティブビットであり、残りの A[23:21] ビットは「ドントケア」です。アドレスビット A20 ~ A0 は、(サポートされる場合) SPI バスを介して (XIP) モード バイトに続いて 3 バイトで送信されます。最後のアドレスビットまたは最後のモードビット (XIP がサポートされる場合) が送信された直後、データバイト ([D7:0]) は入力ラインを介して送信されます。メモリ書き込み動作は、SPI、拡張 SPI、DPI、または QPI モードで SDR および DDR バス インターフェースを介して実行でき、一部は直接実行 (XIP) に対応します。表 39 に、各種 SPI バス インターフェースとデータ転送モードで CY15x116QSN がサポートするメモリ書き込みコマンドの一覧を示します。

注:

- ・バースト書き込みが保護されたブロックアドレスに到達すると、保護された空間へのアドレスのインクリメントを継続しますが、保護されたメモリにデータを書き込みません。アドレスがロールオーバーし、保護されていない空間に対してバースト書き込みを実行する場合、書き込みが再開されます。バースト書き込みが書き込み保護されたブロック内で開始された場合、同じ動作が行われます。
- ・書き込み中、バイト転送の途中で電源を喪失すると、最後に完了したバイトのみが書き込まれます。

表 39 メモリ書き込みコマンド

コマンド	オペコード (16進)	コマンド説明
WRITE	02	メモリ書き込み: F-RAMアレイへの書き込み
DDRWRITE	DE	DDR書き込み: QPI DDRモードでのメモリ書き込み
FAST_WRITE	DA	メモリ高速書き込み: 直接実行対応のメモリ書き込み
DDR_FAST_WRITE	DD	DDR高速書き込み: DDRモードでのメモリ高速書き込み
DIW	A2	デュアル入力書き込み: コマンド、アドレスおよびモード バイトはシングルライン SI で、データバイトは I/O1 (SO) と I/O0 (SI) のデュアル入力ラインで送信される
DIOW	A1	DDR デュアル I/O 書き込み: コマンドはシングルライン SI で、アドレス、モード バイトおよびデータバイトは I/O1 (SO) と I/O0 (SI) のデュアル入力ラインで送信される
QIW	32	クアッド入力書き込み: コマンド、アドレスおよびモード バイトはシングルライン SI で、データバイトは I/O3 (RESET)、I/O2 (WP)、I/O1 (SO) および I/O0 (SI) のクアッド入力ラインで送信される
QIOW	D2	クアッド I/O 書き込み: コマンドはシングルライン SI で、アドレス、モード バイトおよびデータバイトは I/O3 (RESET)、I/O2 (WP)、I/O1 (SO) および I/O0 (SI) のクアッド入力ラインで送信される
DDRQIOW	D1	DDRクアッド I/O書き込み: DDRモードでのクアッド I/O書き込み

表 40 メモリ書き込みコマンド詳細

コマンド			SPIバス インターフェース							データ転送		XIP	最大 クロック 周波数
コマンド	オペ コード (16進)	アドレス 長	SPI	デュアル データ	クアッド データ	デュアル I/O	クアッド I/O	DPI	QPI	SDR	DDR	直接実行 (モード バイト)	
WRITE	02	3バイト	有	NA				有	有	有	NA	NA	108MHz
DDWRITE	DE	3バイト	NA						有	NA	有	NA	46MHz
FAST_WRITE	DA	3バイト	有	NA				有	有	有	NA	有	108MHz
DDR_FAST_WRITE	DD	3バイト	NA						有	NA	有	有	46MHz
DIW	A2	3バイト	NA	有	NA					有	NA	有	108MHz
DIOW	A1	3バイト	NA			有	NA		有	NA	有	有	108MHz
QIW	32	3バイト	NA		有	NA			有	NA	有	108MHz	
QIOW	D2	3バイト	NA				有	NA	有	NA	有	108MHz	
DDRQIOW	D1	3バイト	NA				有	NA	NA	有	有	46MHz	

5.1.4.1 書き込み (WRITE、02h)

書き込みデータとともに WRITE オペコードが SPI モードでは SI ピン、DPI モードでは I/O1 と I/O0 のピン、QPI モードでは I/O3、I/O2、I/O1、および I/O0 のピンで送信されると、書き込み動作は実行されます。バースト書き込みは、新しい WRITE 命令を発行せずに連続したアドレスに書き込みます。1 バイトだけを書き込む場合、D0 (データの LSB) が送信された後、CS ピンを HIGH に駆動する必要があります。しかし 2 バイト以上を書き込む場合は、CS ピンを LOW に維持しなければいけません。このとき、アドレスは自動的にインクリメントします。入力ピン上のデータ バイトが連続したアドレスに書き込まれます。内部アドレス カウンターが 0x1FFFFFF に到達すると、アドレスは 0x00000 にロールオーバーし、デバイスは書き込みを続けます。

注:

- WRITE 命令は、WEL ビット (SR1[1]) が「1」にセットされた場合にのみ実行されます。
- WRITE 動作が完了しても WEL ビット (SR1[1]) は「0」にクリアされません。したがって、WRITE 動作に続くいかなる書き込みコマンドも、WEL ビットを「1」にセットする WREN コマンドを先行させる必要はありません。

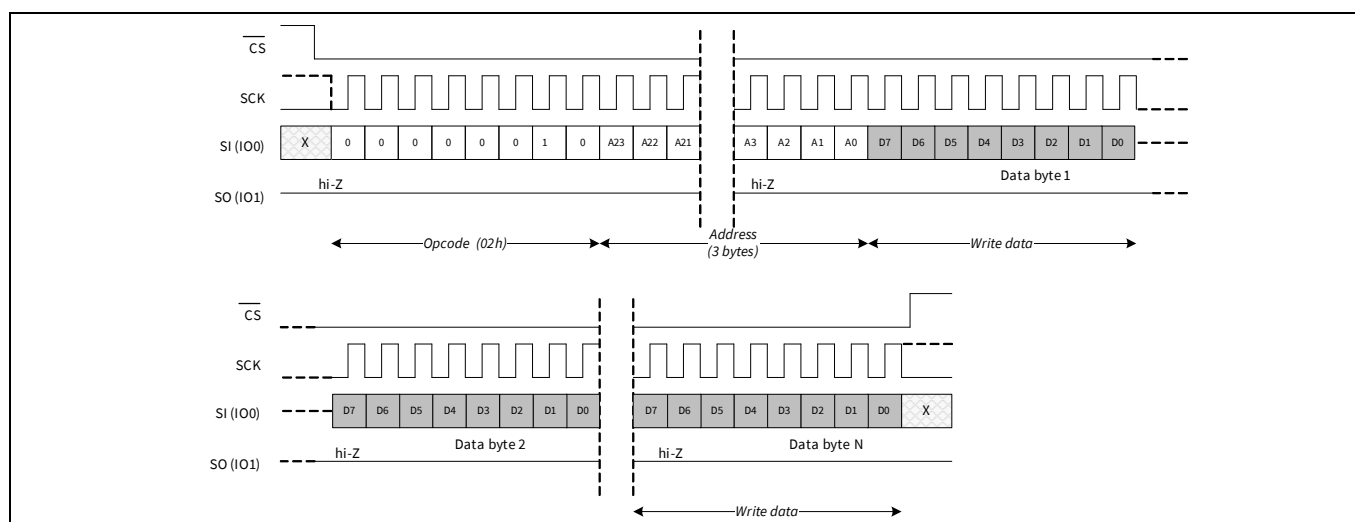


図 39 メモリ書き込み (WRITE) – SPI モード

機能説明

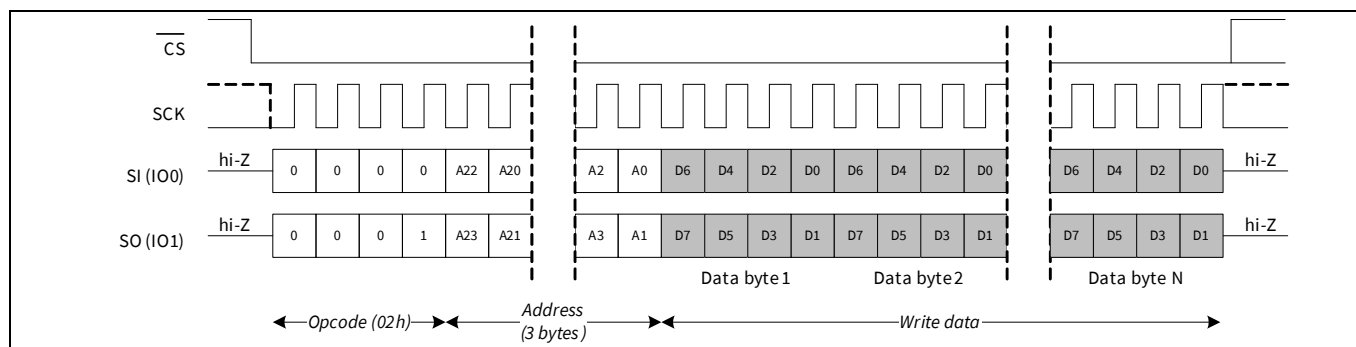


図 40 メモリ書き込み (WRITE) – DPI モード

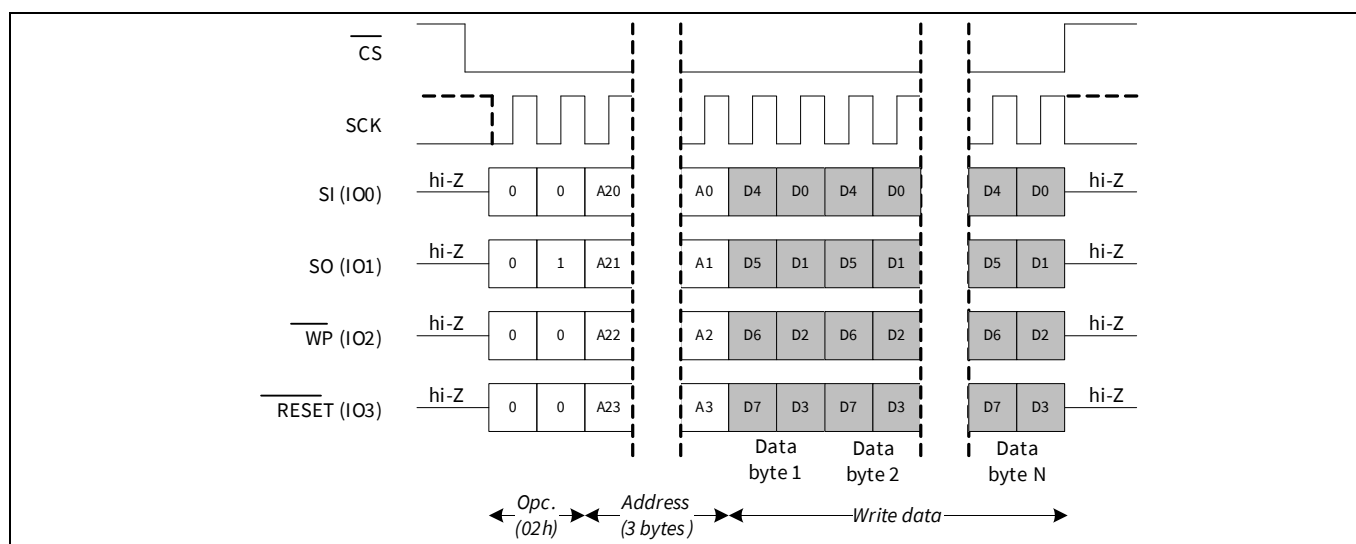


図 41 メモリ書き込み (WRITE) – QPI モード

5.1.4.2 DDR 書き込み (DDRWRITE、DEh)

DDRWRITE 命令は SCK の両エッジでアドレスとデータビットを転送することによって帯域幅を向上させます。アドレスはメモリ アレイの任意のバイト位置から開始できます。各データバイトがシフトアウトされた後、アドレスは次の上位アドレスに自動的にインクリメントします。したがって、単一の書き込みオペコードと与えられた開始アドレスでメモリ全体に書き込めます。最高位アドレス 0x1FFFFFF に到達すると、アドレス カウンターはラップアラウンドして 0x000000 に戻り、読み出しシーケンスは無制限に継続できます。このオペコードは SPI モード 3 に対応しません。

注:

- 書き込み動作を有効にするために WEL ビットが「1」にセットされた場合にのみ、DDRWRITE 命令はデバイスによって実行されます。
- DDRWRITE 動作が完了しても、WEL ビットは「0」にリセットされません。

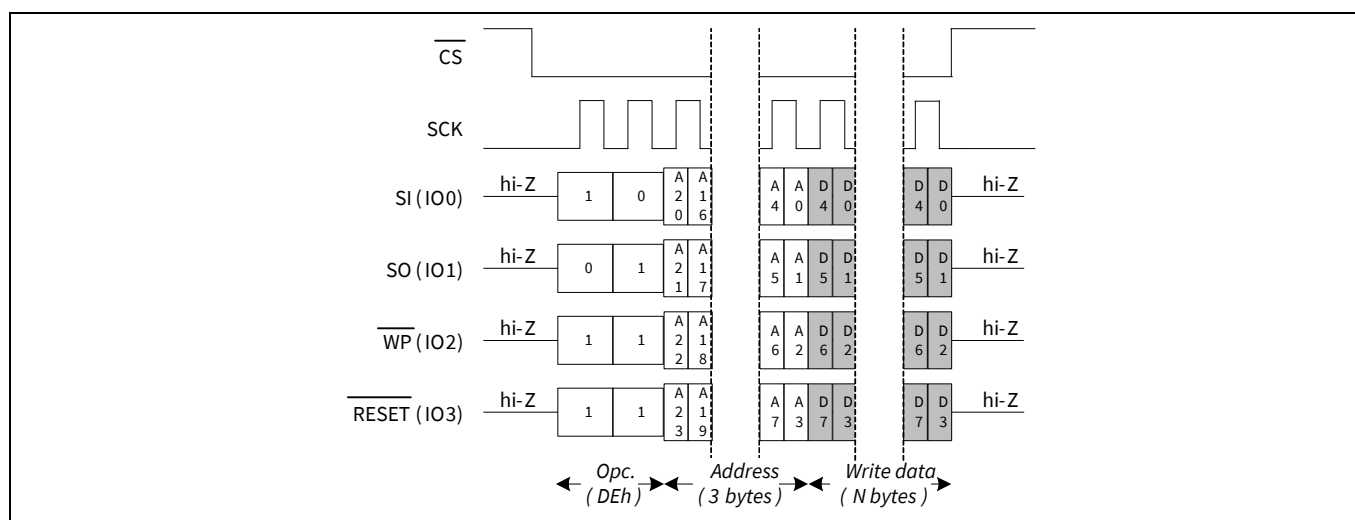


図 42 DDR 書き込み (DDRWRITE) — QPI モード

5.1.4.3 高速書き込み (FAST_WRITE、DAh)

FAST_WRITE 命令は、モード バイトを通して設定する XIP 動作を可能にすることを除いて、WRITE 命令に似ています。モード ビットは、最初の命令が Axh モード ビット (「1010XXXX」) パターンを送信した後、一連の高速書き込み命令を可能にし、8 ビット オペコードを省略します。直接実行 (XIP) と呼ばれるこの機能は初期アクセス時間を短縮させます (パフォーマンスが向上します)。モード ビットは、最初のバイト命令オペコードを含めるか除外するかによって、次の高速書き込み動作の長さを制御します。モード ビットが Axh の場合、デバイスは連続高速書き込みモードに移行し、DAh オペコードを必要とせず次のアドレスに書き込みます (CS が HIGH になってから LOW にアサートされた後)。そのため、命令シーケンスから 8 サイクルが省かれます。そうでない場合、CS が HIGH から LOW に遷移するとオペコードは必要となります。

注:

- モード ビットが !Axh (Axh バイトの論理否定) の場合、FAST_WRITE XIP モードが終了します。
- 書き込み動作を有効にするためにステータス レジスタの書き込みイネーブル ラッチ (WEL) が「1」にセットされた場合にのみ、FAST_WRITE 命令はデバイスによって実行されます。
- FAST_WRITE 動作が完了しても、WEL ビットは「0」にリセットされません。

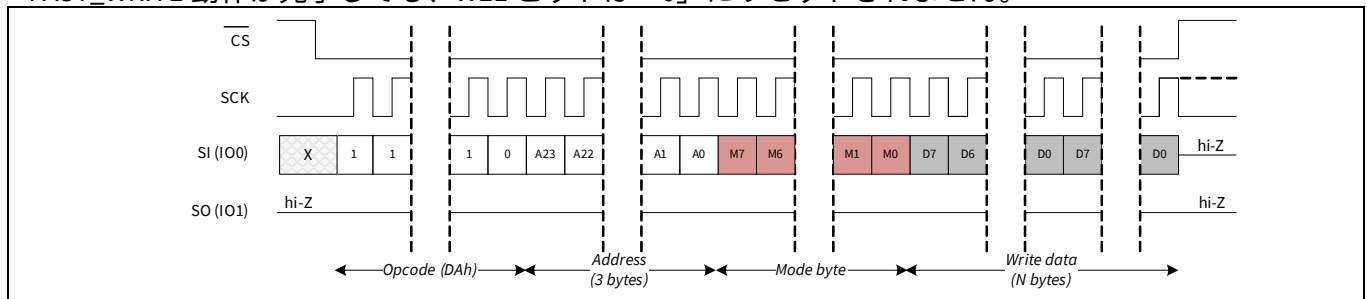


図 43 高速書き込み (FAST_WRITE) – SPI モード

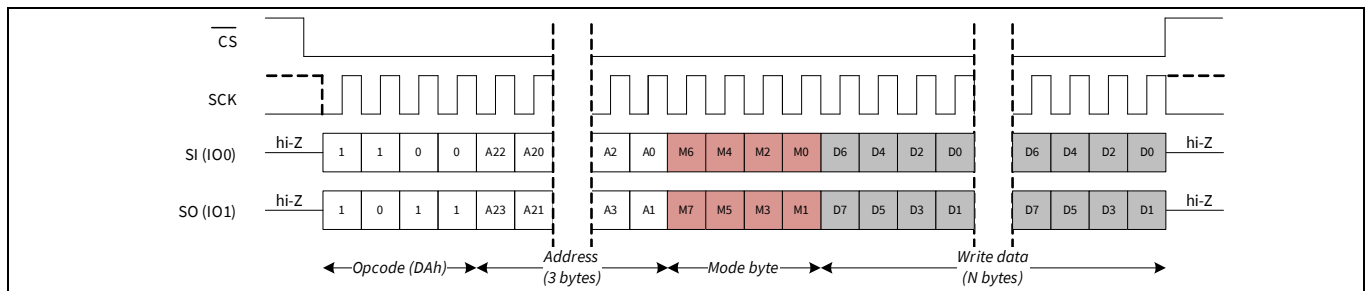


図 44 高速書き込み (FAST_WRITE) – DPI モード

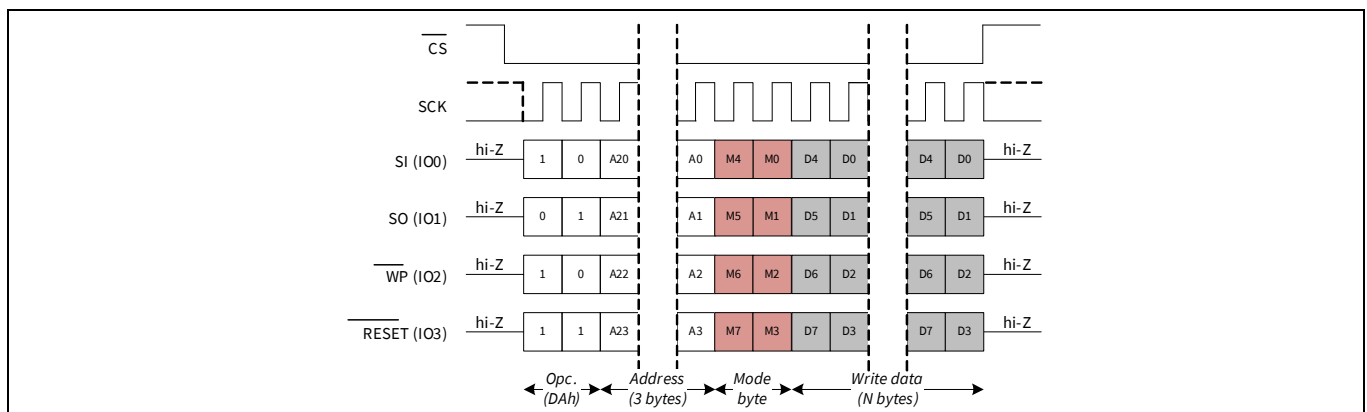


図 45 高速書き込み (FAST_WRITE) – QPI モード

5.1.4.4 DDR 高速書き込み (DDR_FAST_WRITE、DDh)

DDR_FAST_WRITE 命令は XIP 動作を可能にするのを除いて、DDRWRITE 命令に似ています。

モードビットは、最初の命令が A5h モードビット (「10100101」) パターンを送信した後、一連の DDR_FAST_WRITE 命令を可能にし、8 ビット オペコードを省略します。直接実行 (XIP) と呼ばれるこの機能は初期アクセス時間を大幅に短縮させます (パフォーマンスが向上します)。モードビットは、最初のバイト命令オペコードを含めるか除外するかによって、次の DDR_FAST_WRITE 動作の長さを制御します。モードビットが A5h の場合、デバイスは連続 DDR_FAST_WRITE モードに移行し、DDh オペコードを必要とせずに次のアドレスに書き込みます (CS が HIGH になってから LOW にアサートされた後)。そのため、命令シーケンスから 8 サイクルが省かれます。そうでない場合、CS が HIGH から LOW に遷移するとオペコードは必要となります。このオペコードは SPI モード 3 に対応しません。

注:

- モードビットが !A5h (A5h バイトの論理否定) の場合、DDR_FAST_WRITE XIP モードが終了します。
- 書き込み動作を有効にするために WEL ビットが「1」にセットされた場合にのみ、DDR_FAST_WRITE 命令はデバイスによって実行されます。
- DDR_FAST_WRITE 動作が完了しても、WEL ビットは「0」にリセットされません。

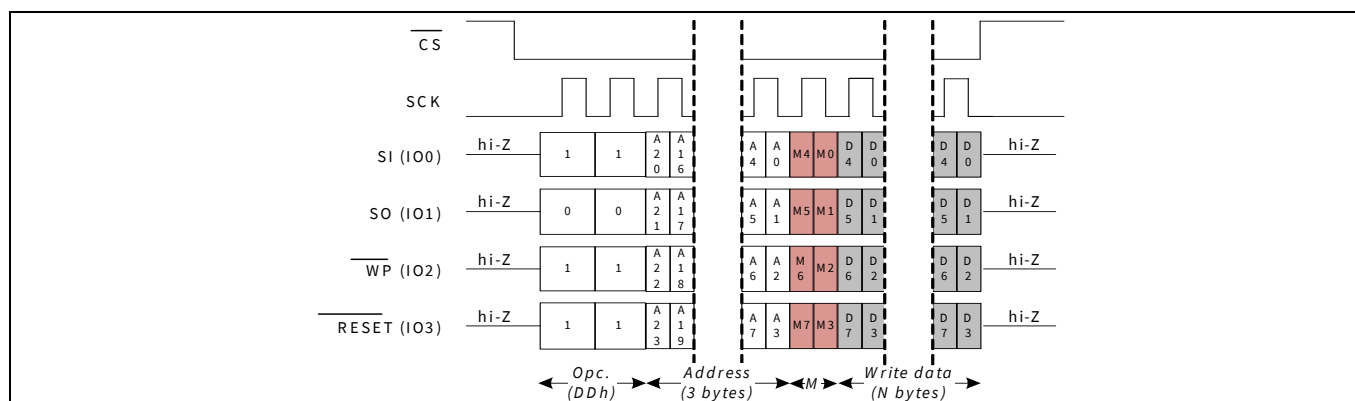


図 46 DDR 高速書き込み (DDR_FAST_WRITE) – QPI モード

5.1.4.5 デュアル入力書き込み (DIW、A2h)

DIW 命令は拡張 SPI 書き込み命令の一部で、デュアルデータモードで使用できます。デュアルデータモードでは、オペコード、アドレスおよびモードバイトは SI ピン上でクロックサイクルごとに 1 ビット送信されます。最後のアドレスビットが送信された直後、SO ピンが I/O1 ピン、SI ピンが I/O0 ピンに再構成されます。このとき、データ (D[7:0]) は I/O1 上で D7 から始まり、I/O0 上で D6 から始まりクロックサイクルごとに 2 ビット送信されます。

モードビットは、最初の命令が Axx モードビット (「1010XXXX」) パターンを送信した後、一連の DIW 命令を可能にし、8 ビットオペコードを省略します。直接実行 (XIP) と呼ばれるこの機能は初期アクセス時間を短縮させます (パフォーマンスが向上します)。モードビットは、最初のバイト命令オペコードを含めるか除外するかによって、次の DIW 動作の長さを制御します。モードビットが Axx の場合、デバイスは連続 DIW モードに移行し、A2h オペコードを必要とせずに次のアドレスに書き込みます (\overline{CS} が HIGH になってから LOW にアサートされた後)。そのため、命令シーケンスから 8 サイクルが省かれます。そうでない場合、 \overline{CS} が HIGH から LOW に遷移するとオペコードは必要となります。

注:

- モードビットが !Axx (Axx バイトの論理否定) の場合、DIW XIP モードが終了します。
- 書き込み動作を有効にするために WEL ビットが「1」にセットされた場合にのみ、DIW 命令はデバイスによって実行されます。
- DIW 動作が完了しても、WEL ビットは「0」にリセットされません。

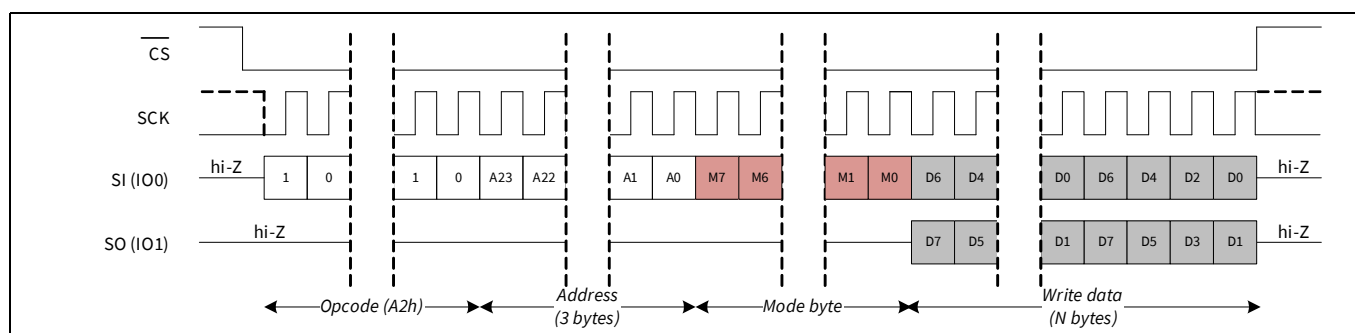


図 47 デュアル入力書き込み (DIW)

5.1.4.6 デュアル I/O 書き込み (DIOW、A1h)

DIOW 命令は拡張 SPI 書き込み命令の一部で、デュアル アドレス / データ モードで使用できます。デュアル アドレス / データ モードでは、オペコードは SI ピン上でクロック サイクルごとに 1 ビット送信されます。最後のオペコード ビットが送信された直後、SO ピンが I/O1 ピン、SI ピンが I/O0 ピンに再構成されます。このとき、3 バイト アドレスが入力されるまで、アドレスおよびモード バイトはデバイスに I/O1 上でアドレス A23 から始まり、I/O0 上で A22 から始まりクロック サイクルごとに 2 ビット送信されます。最後のアドレス ビットが送信された後、データ (D[7:0]) はデバイスに I/O1 上で D7 から始まり、I/O0 上で D6 から始まりクロック サイクルごとに 2 ビット送信されます。

モード ビットは、最初の命令が Axxh モード ビット (「1010XXXX」) パターンを送信した後、一連の DIOW 命令を可能にし、8 ビット オペコードを省略します。直接実行 (XIP) と呼ばれるこの機能は初期アクセス時間を大幅に短縮させます (パフォーマンスが向上します)。モード ビットは、最初のバイト命令オペコードを含めるか除外するかによって、次の DIOW 動作の長さを制御します。モード ビットが Axxh の場合、デバイスは連続 DIOW モードに移行し、A1h オペコードを必要とせずに次のアドレスに書き込みます (\overline{CS} が HIGH になってから LOW にアサートされた後)。そのため、命令シーケンスから 8 サイクルが省かれます。そうでない場合、 \overline{CS} が HIGH から LOW に遷移するとオペコードは必要となります。

注:

- モード ビットが !Axxh (Axxh バイトの論理否定) の場合、DIOW XIP モードが終了します。
- 書き込み動作を有効にするために WEL ビットが「1」にセットされた場合にのみ、DIOW 命令はデバイスによって実行されます。
- DIOW 動作が完了しても、WEL ビットは「0」にリセットされません。

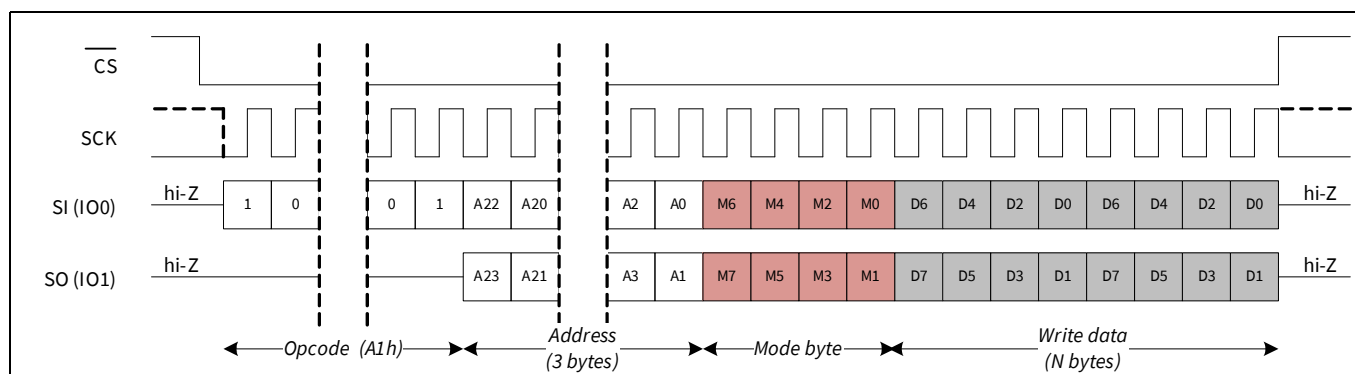


図 48 デュアル I/O 書き込み (DIOW)

5.1.4.7 クアッド入力書き込み (QIW、32h)

QIW 命令は拡張 SPI 書き込み命令の一部で、クアッド データ モードで使用できます。クアッド データ モードでは、オペコード、アドレスおよびモード バイトは SI ピン上でクロック サイクルごとに 1 ビット送信されます。最後のアドレス ビットが送信された直後、RESET ピンが I/O3 ピン、WP ピンが I/O2 ピン、SO ピンが I/O1 ピン、SI ピンが I/O0 ピンに再構成されます。このとき、データ (D7 ~ D0) は I/O3 上で D7 から始まり、I/O2 上で D6 から始まり、I/O1 上で D5 から始まり、I/O0 上で D4 から始まりクロック サイクルごとに 4 ビット送信されます。

モード ビットは、最初の命令が Axh モード ビット (「1010XXXX」) パターンを送信した後、一連の QIW 命令を可能にし、8 ビット オペコードを省略します。直接実行 (XIP) と呼ばれるこの機能は初期アクセス時間を大幅に短縮させます (パフォーマンスが向上します)。モード ビットは、最初のバイト命令オペコードを含めるか除外するかによって、次の QIW 動作の長さを制御します。モード ビットが Axh の場合、デバイスは連続 QIW モードに移行し、32h オペコードを必要とせずに次のアドレスに書き込みます (CS が HIGH になってから LOW にアサートされた後)。そのため、命令シーケンスから 8 サイクルが省かれます。そうでない場合、CS が HIGH から LOW に遷移するとオペコードは必要となります。

注:

- モード ビットが !Axh (Axh バイトの論理否定) の場合、QIW XIP モードが終了します。
- 書き込み動作を有効にするためにステータス レジスタの書き込みイネーブル ラッチ (WEL) が「1」にセットされた場合にのみ、QIW 命令はデバイスによって実行されます。
- QIW 動作が完了しても、WEL ビットは「0」にリセットされません。

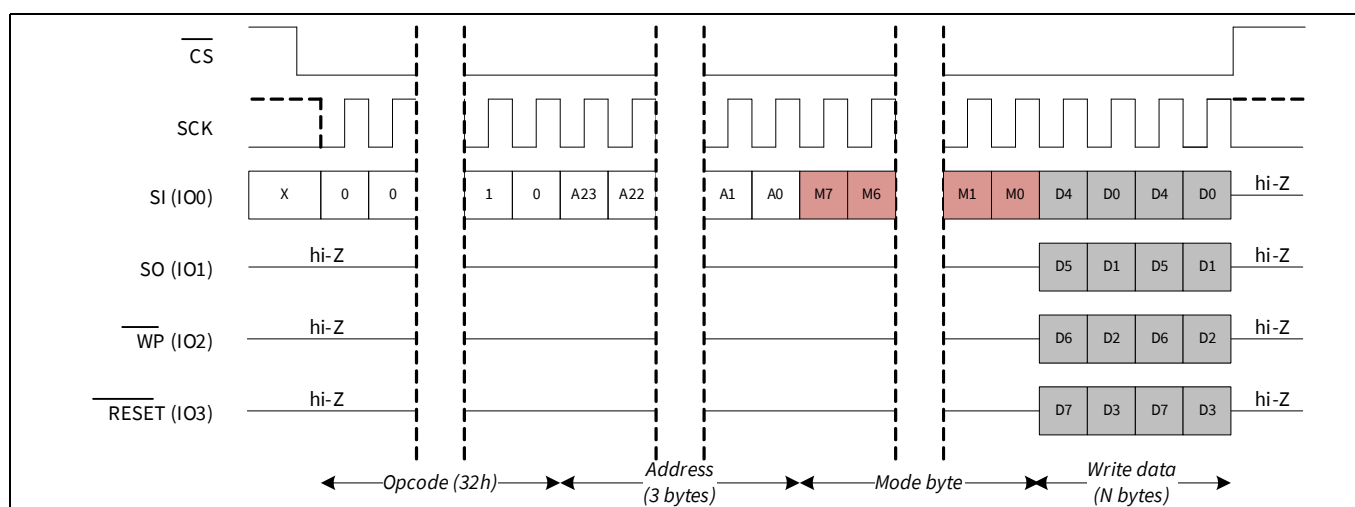


図 49 クアッド入力書き込み (QIW)

5.1.4.8 クアッド I/O 書き込み (QIOW、D2h)

QIOW 命令は拡張 SPI 書き込み命令の一部で、クアッド アドレス / データ モードで使用できます。クアッド アドレス / データ モードでは、オペコードは SI ピン上でクロックサイクルごとに 1 ビット送信されます。最後のオペコード ビットが送信された直後、RESET ピンが I/O3 ピン、WP ピンが I/O2 ピン、SO ピンが I/O1 ピン、SI ピンが I/O0 ピンに再構成されます。このとき、3 バイト アドレスが入力されるまで、アドレスはデバイスに I/O3 上でアドレス A23 から始まり、I/O2 上で A22 から始まり、I/O1 上で A21 から始まり、I/O0 上で A20 から始まりクロックサイクルごとに 4 ビット送信されます。最後のアドレス ビットが送信された後、データ (D7 ~ D0) はデバイスに I/O3 上で D7 から始まり、I/O2 上で D6 から始まり、I/O1 上で D5 から始まり、I/O0 上で D4 から始まりクロックサイクルごとに 4 ビット送信されます。

モード ビットは、最初の命令が Axh モード ビット (「1010XXXX」) パターンを送信した後、一連の QIOW 命令を可能にし、8 ビット オペコードを省略します。直接実行 (XIP) と呼ばれるこの機能は初期アクセス時間を大幅に短縮させます (パフォーマンスが向上します)。モード ビットは、最初のバイト命令オペコードを含めるか除外するかによって、次の QIOW 動作の長さを制御します。モード ビットが Axh の場合、デバイスは連続 D1OW モードに移行し、D2h オペコードを必要とせずに次のアドレスに書き込みます (CS が HIGH になってから LOW にアサートされた後)。そのため、命令シーケンスから 8 サイクルが省かれます。そうでない場合、CS が HIGH から LOW に遷移するとオペコードは必要となります。

注:

- モード ビットが !Axh (Axh バイトの論理否定) の場合、QIOW XIP モードが終了します。
- 書き込み動作を有効にするためにステータス レジスタの書き込みイネーブル ラッチ (WEL) が「1」にセットされた場合にのみ、QIOW 命令はデバイスによって実行されます。
- QIOW 動作が完了しても、WEL ビットは「0」にリセットされません。

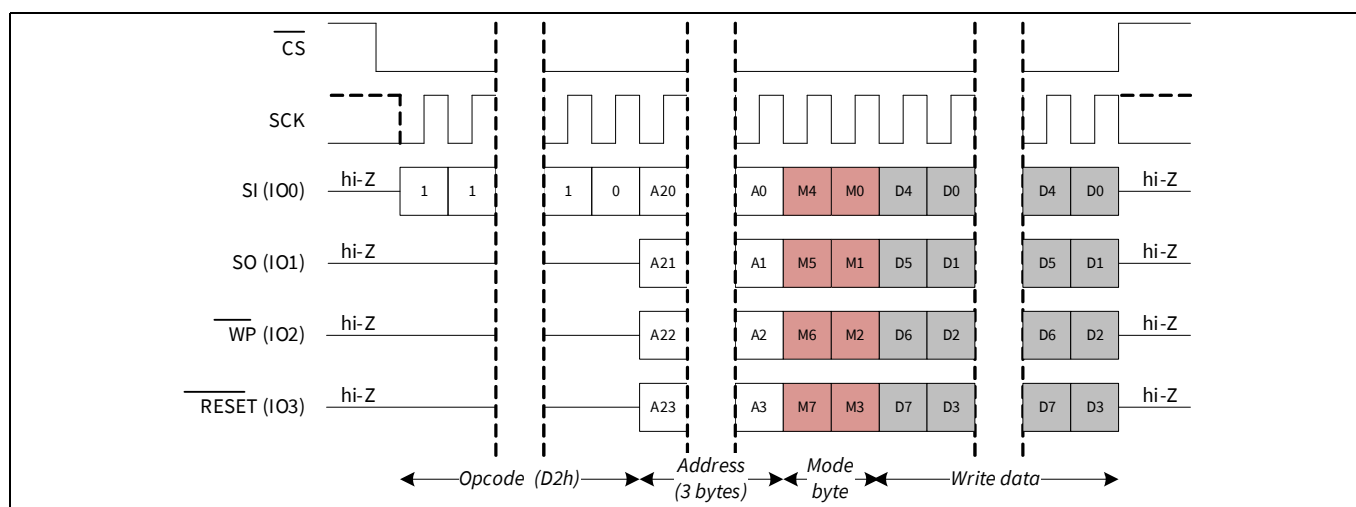


図 50 クアッド I/O 書き込み (QIOW)

5.1.4.9 DDR クアッド I/O 書き込み (DDRQIOW、D1h)

ダブルデータレート クアッド I/O 書き込みはクアッド I/O に似ていますが、アドレスとデータはクロックのすべてのエッジで送信され、DDRQIOW のモード ビット パターンは A5h (「10100101」) です。このオペコードは SPI モード 3 に対応しません。

注: モード ビットが !A5h (A5h バイトの論理否定) の場合、DDRQIOW XIP モードが終了します。

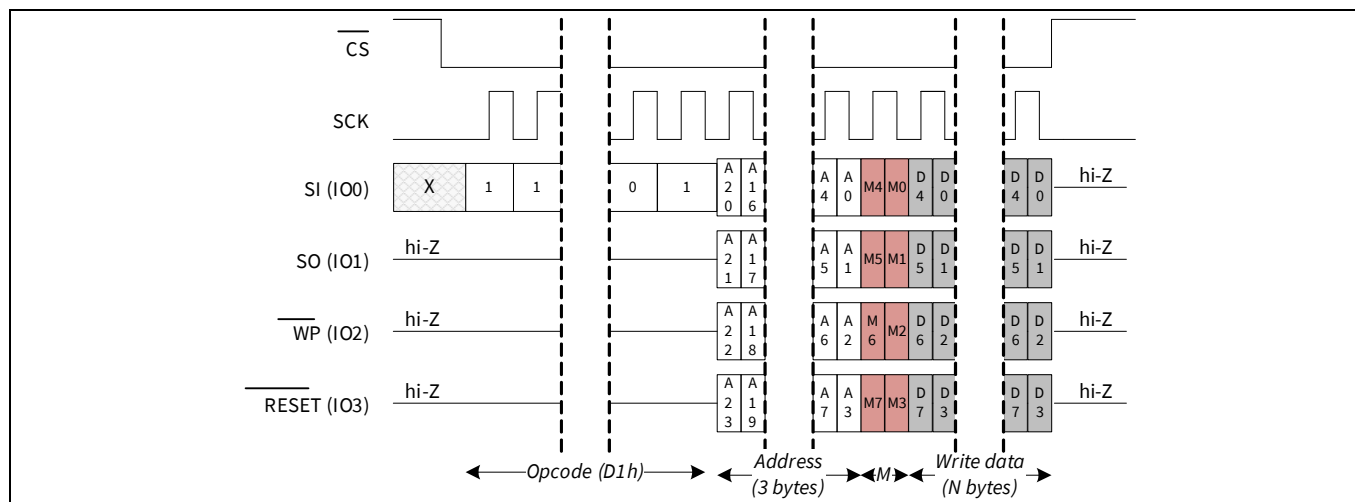


図 51 クアッド I/O 書き込み (QIOW)

5.1.5 メモリ読み出しコマンド

メモリ読み出し命令は、デバイスを選択するために \overline{CS} ピンが LOW に遷移後に送られます。読み出しオペコードの後、3 バイト アドレスおよび XIP モード バイト (該当する場合) が続きます。CY15x116QSN は 16Mb (2048K×8) メモリ容量用の 21 ビット アドレス空間を備えます。最上位アドレス バイトでは、A16、A17、A18、A19 および A20 はアクティブビットであり、残りのビットは「ドントケア」です。アドレス ビット A20 ~ A0 は SPI バスを介して 3 バイト送信され、その後モード バイトとダミー サイクルが続きます (該当する場合)。

メモリ読み出しは、SPI、拡張 SPI、DPI、または QPI モードで SDR および DDR バス インターフェースを介して実行でき、直接実行 (XIP) にも対応します。表 41 に、各種 SPI バス インターフェースとデータ転送モードで CY15x116QSN がサポートするメモリ書き込みコマンドの一覧を示します。

表 41 メモリ読み出しコマンド

コマンド	オペコード (16進)	コマンド説明
READ	03	メモリ読み出し: メモリ レイテンシ サイクルがない場合、SPI SDR モードで最大 50MHz の周波数で読み出す。メモリ レイテンシ サイクルがある場合、SPI、DPI、QPI の SDR モードで最大 108MHz の周波数で読み出す
FAST_READ	0B	メモリ高速読み出し: メモリ レイテンシ サイクルがあり、SPI、DPI、QPI の SDR モードで最大 108MHz の周波数で読み出す
DDRFR	0D	DDR 高速読み出し: QPI DDR モードでの高速読み出し命令
DOR	3B	デュアル出力読み出し: コマンドおよびアドレス バイトはシングル ライン SI で、データは I/O1 (SO) と I/O0 (SI) のデュアル出力ラインで送信される
DIOR	BB	デュアル I/O 読み出し: コマンドはシングル ライン SI で送信され、アドレス 入力およびデータ出力は I/O1 (SO) と I/O0 (SI) のデュアル出力ラインで行われる
QOR	6B	クアッド出力読み出し: コマンドおよびアドレスはシングル ライン SI で、データは I/O3 (RESET)、I/O2 (WP)、I/O1 (SO) および I/O0 (SI) のクアッド出力ラインで送信される
QIOR	EB	クアッド I/O 読み出し: コマンドはシングル ライン SI で送信され、アドレス 入力およびデータ出力は I/O3 (RESET)、I/O2 (WP)、I/O1 (SO) および I/O0 (SI) のクアッド出力ラインで行われる。このオペコードは拡張 SPI (クアッド I/O) SDR および QPI SDR モードで実行
DDRQIOR	ED	SDR および DDR モードでのクアッド I/O 読み出し。このオペコードは拡張 SPI (クアッド I/O) SDR および QPI DDR モードで実行

表 42 メモリ読み出しコマンド詳細

オペ コード (16進)	アドレ ス長	SPIバス インターフェース							データ 転送		XIP	メモリ レイテンシ	最大ク ロック 周波数		
		SPI	デュアル データ	クアッド データ	デュアル I/O	クアッド I/O	DPI	QPI	SDR	DDR	直接 実行	ダミー サイクル			
03	3バイト	有	NA					有	有	有	NA	NA	有	108MHz	
0B	3バイト	有	NA					有	有	有	NA	有	有	108MHz	
0D	3バイト	NA							有	NA	有	有	有	有	46MHz
3B	3バイト	NA	有	NA					有	NA	有	有	有	108MHz	
BB	3バイト	NA			有	NA			有	NA	有	有	有	108MHz	
6B	3バイト	NA		有	NA				有	NA	有	有	有	108MHz	
EB	3バイト	NA				有	NA	有	有	NA	有	有	有	108MHz	
ED	3バイト	NA				有	NA	有	NA	有	有	有	有	46MHz	

5.1.5.1 メモリ読み出し (READ、03h)

READ 命令は指定されたアドレスでメモリ内容を読み出します。アドレスは、3 バイト アドレスで決まる 16Mb メモリ アレイの任意バイト位置から開始できます。各データ バイトがシフトアウトされた後、アドレスは次の上位アドレスに自動的にインクリメントします。したがって、単一の読み出しオペコードと与えられたアドレスで 16Mb メモリ全体を読み出せます。最高位アドレス 0x1FFFFFF に到達すると、アドレス カウンターはラップアラウンドして 0x000000 に戻り、読み出しシーケンスは無制限に継続できます。このコマンドは SPI、DPI、または QPI のモードで実行します。

注: ダミー サイクルは CR1 のメモリ レイテンシ コード ビット (MLC0 ~ MLC3) で設定できるオプションです。

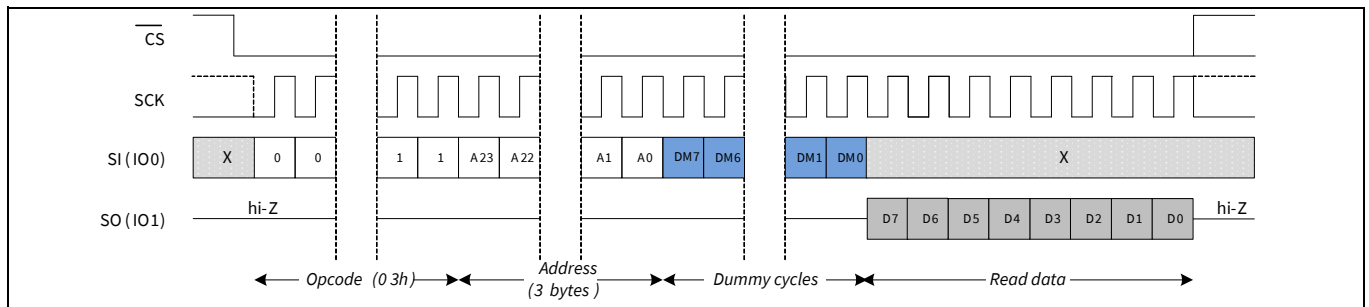


図 52 READ – SPI モード

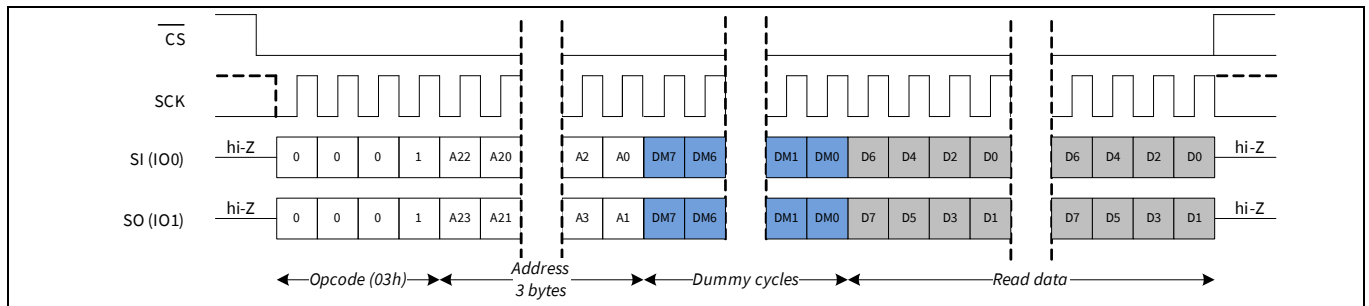


図 53 READ – DPI モード

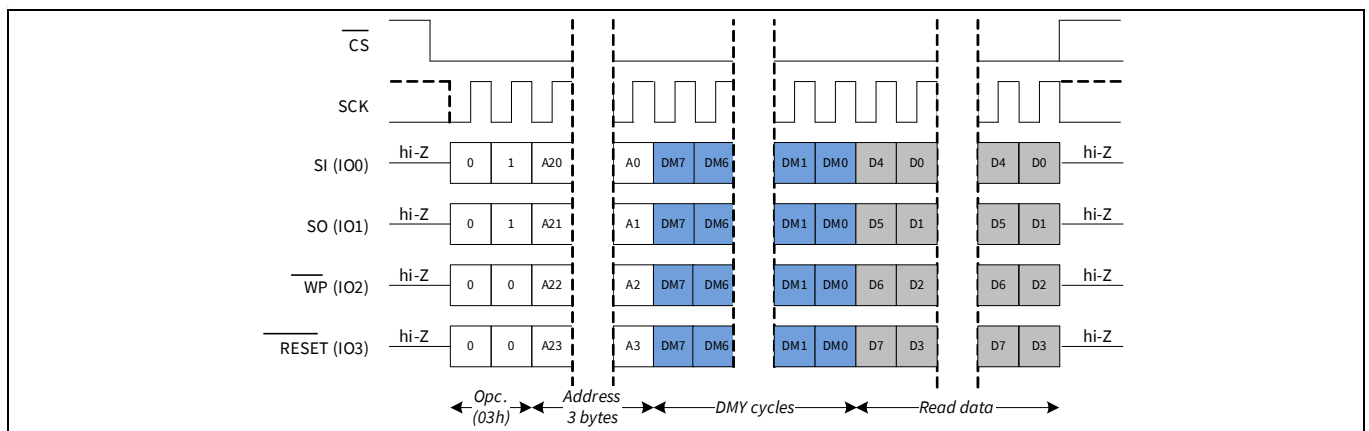


図 54 READ – QPI モード

5.1.5.2 高速読み出し (FAST_READ、0Bh)

FAST_READ 命令は指定されたアドレスでメモリ内容を読み出します。アドレスは、3 バイトアドレスで決まる 16Mb メモリ アレイの任意バイト位置から開始できます。各データバイトがシフトアウトされた後、アドレスは次の上位アドレスに自動的にインクリメントします。したがって、単一の読み出しオペコードと与えられたアドレスでメモリ全体を読み出せます。最高位アドレス 0x1FFFFFF に到達すると、アドレス カウンターはラップアラウンドして 0x000000 に戻り、読み出しシーケンスは無制限に継続できます。このコマンドは SPI、DPI、または QPI のモードで実行します。

モード ビットは、最初の命令が Axx モード ビット (「1010XXXX」) パターンを送信した後、一連の高速読み出し命令を可能にし、8 ビット オペコードを省略します。直接実行 (XIP) と呼ばれるこの機能は初期アクセス時間を大幅に短縮させます (パフォーマンスが向上します)。モード ビットは、最初のバイト命令オペコードを含めるか除外するかによって、次の FAST_READ 動作の長さを制御します。モード ビットが Axx の場合、デバイスは連続 FAST_READ モードに移行し、0Bh オペコードを必要とせず次のアドレスに書き込みます (CS が HIGH になってから LOW にアサートされた後)。そのため、命令シーケンスから 8 サイクルが省かれます。そうでない場合、CS が HIGH から LOW に遷移するとオペコードは必要となります。

注:

- ・モード ビットが !Axx (Axx バイトの論理否定) の場合、FAST_READ XIP モードが終了します。
- ・ダミーサイクルは CR1 のメモリレイテンシコードビット (MLC0～MLC3) で設定できるオプションです。

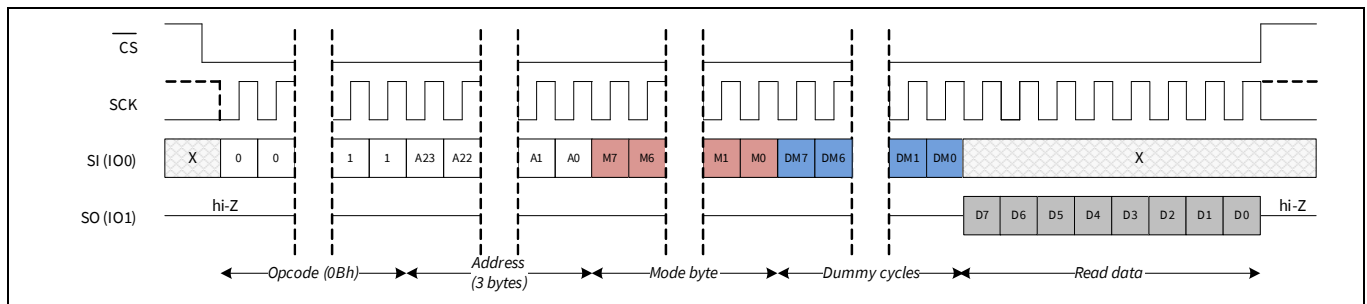


図 55 FAST_READ – SPI モード

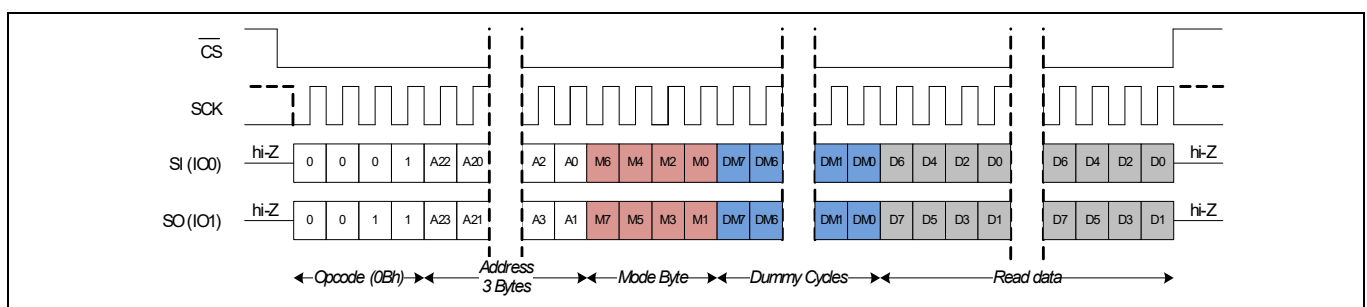
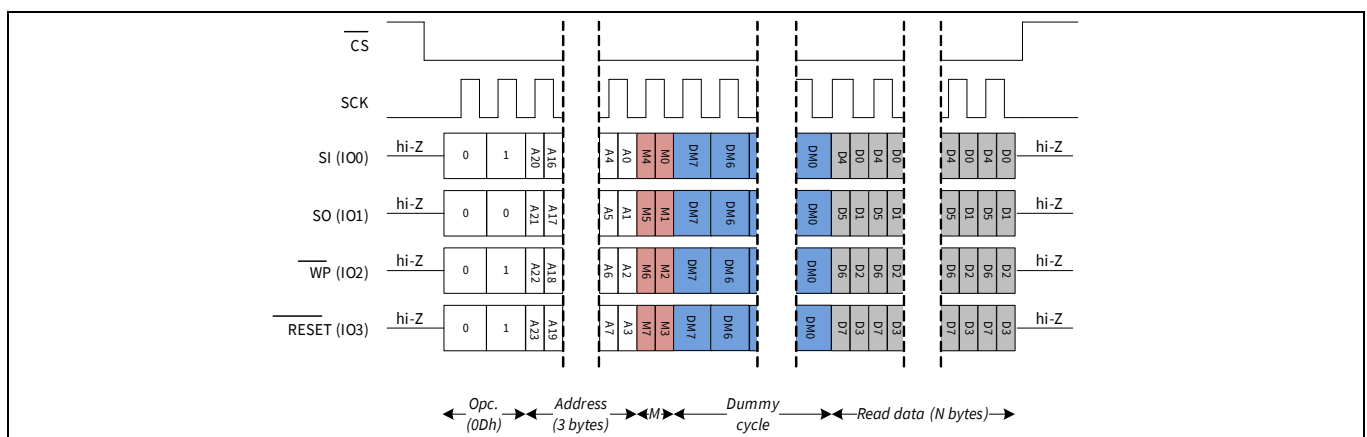


図 56 FAST_READ – DPI モード



5.1.5.4 デュアル出力読み出し (DOR、3Bh)

DOR 命令は拡張 SPI 読み出し命令の一部で、デュアル データ モードで使用されます。デュアル データ モードでは、オペコード、アドレス、モード バイト (A_{xh})、およびダミー サイクルは SI ピンを通じてクロック サイクルごとに 1 ビット送信されます。最後のダミー サイクルの SCK の立ち下りエッジでは、SO ピンが I/O1 ピン、SI ピンが I/O0 ピンに再構成されます。特定のアドレス位置のデータ (D7 ~ D0) は、I/O1 上で D7 から始まり、I/O0 上で D6 から始まりクロック サイクルごとに 2 ビット シフトアウトされます。アドレスはメモリ アレイの任意バイト位置から開始できます。各データ バイトがシフトアウトされた後、アドレスは次の上位アドレスに自動的にインクリメントします。したがって、メモリ全体を読み出せます。最高位アドレス 0x1FFFFFF に到達すると、アドレス カウンターはラップアラウンドして 0x000000 に戻り、読み出しシーケンスは無制限に継続できます。

モード ビットは、最初の命令が A_{xh} モード ビット (「1010XXXX」) パターンを送信した後、一連の DOR 命令を可能にし、8 ビット オペコードを省略します。直接実行 (XIP) と呼ばれるこの機能は初期アクセス時間を大幅に短縮させます (パフォーマンスが向上します)。モード ビットは、最初のバイト命令オペコードを含めるか除外するかによって、次の DOR 動作の長さを制御します。モード ビットが A_{xh} の場合、デバイスは連続 DOR モードに移行し、3Bh オペコードを必要とせず次のアドレスに書き込みます (CS が HIGH になってから LOW にアサートされた後)。そのため、命令シーケンスから 8 サイクルが省かれます。そうでない場合、CS が HIGH から LOW に遷移するとオペコードは必要となります。

注:

- モード ビットが !A_{xh} (A_{xh} バイトの論理否定) の場合、DOR XIP モードが終了します。
- ダミー サイクルは CR1 のメモリ レイテンシ コード ビット (MLC0 ~ MLC3) で設定できるオプションです。

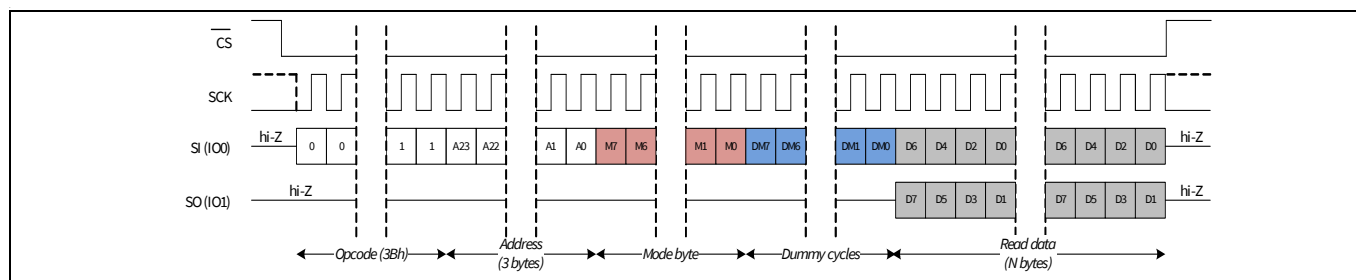


図 59 デュアル出力読み出し (DOR)

5.1.5.5 デュアル I/O 読み出し (DIOR、BBh)

DIOR 命令は拡張 SPI 読み出し命令の一部で、デュアル アドレス / データ モードで使用されます。デュアル アドレス / データ モードでは、オペコードは SI ピン上でクロックサイクルごとに 1 ビット送信されます。オペコードの最後のビットが送信された後、SO ピンが I/O1 ピン、SI ピンが I/O0 ピンに再構成されます。その後、3 バイト アドレスが入力されるまで、アドレスはデバイスに I/O1 上でアドレス A23 から始まり、I/O0 上で A22 から始まりクロックサイクルごとに 2 ビット送信されます。特定のアドレス位置のデータ (D7 ~ D0) は、I/O1 上で D7 から始まり、I/O0 上で D6 から始まりクロックサイクルごとに 2 ビットシフトアウトされます。各データバイトがシフトアウトされた後、アドレスは次の上位アドレスに自動的にインクリメントします。したがって、メモリ全体を読み出せます。最高位アドレス 0x1FFFFFF に到達すると、アドレス カウンターはラップアラウンドして 0x000000 に戻り、読み出しシーケンスは無制限に継続できます。

モード ビットは、最初の命令が Axxh モード ビット (「1010XXXX」) パターンを送信した後、一連の DIOR 命令を可能にし、8 ビット オペコードを省略します。直接実行 (XIP) と呼ばれるこの機能は初期アクセス時間を大幅に短縮させます (パフォーマンスが向上します)。モード ビットは、最初のバイト命令オペコードを含めるか除外するかによって、次の DIOR 動作の長さを制御します。モード ビットが Axxh の場合、デバイスは連続 DIOR モードに移行し、BBh オペコードを必要とせずに次のアドレスに書き込みます (CS が HIGH になってから LOW にアサートされた後)。そのため、命令シーケンスから 8 サイクルが省かれます。そうでない場合、CS が HIGH から LOW に遷移するとオペコードは必要となります。

注:

- モード ビットが !Axxh (Axxh バイトの論理否定) の場合、FAST_READ XIP モードが終了します。
- ダミーサイクルは CR1 のメモリレイテンシコードビット (MLC0 ~ MLC3) で設定できるオプションです。

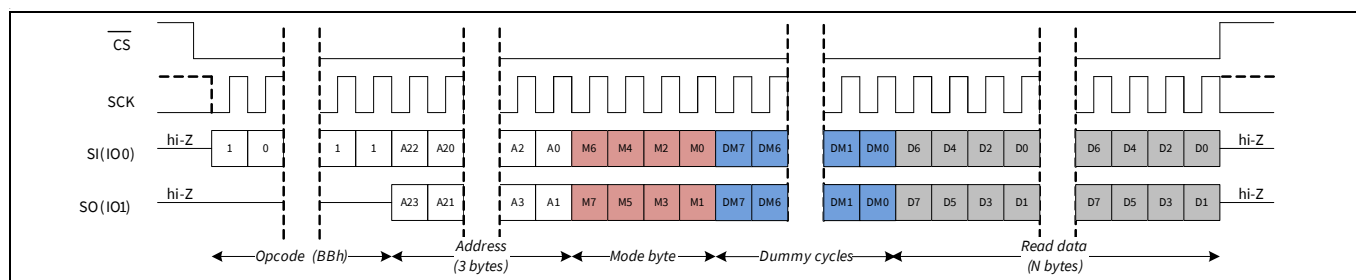


図 60 デュアル I/O 読み出し (DIOR)

5.1.5.6 クアッド出力読み出し (QOR、6Bh)

QOR 命令は拡張 SPI 読み出し命令の一部で、クアッド データ モードで使用されます。クアッド データ モードでは、オペコード、アドレス、モード バイト (A_{xh}) およびダミー サイクルは SI ピン上でクロック サイクルごとに 1 ビット送信されます。最後のモード サイクルの SCK の立ち下りエッジでは、RESET ピンが I/O3 ピン、WP ピンが I/O2 ピン、SO ピンが I/O1 ピン、SI ピンが I/O0 ピンに再構成されます。特定のアドレス位置のデータ (D7 ~ D0) は、I/O3 上で D7 から始まり、I/O2 上で D6 から始まり、I/O1 上で D5 から始まり、I/O0 上で D4 から始まりクロック サイクルごとに 4 ビットシフトアウトされます。各データ バイトがシフトアウトされた後、アドレスは次の上位アドレスに自動的にインクリメントします。したがって、メモリ全体を読み出せます。最高位アドレス 0x1FFFFFF に到達すると、アドレス カウンターはラップアラウンドして 0x000000 に戻り、読み出しシーケンスは無制限に継続できます。

モード ビットは、最初の命令が A_{xh} モード ビット (「1010XXXX」) パターンを送信した後、一連の DOR 命令を可能にし、8 ビット オペコードを省略します。直接実行 (XIP) と呼ばれるこの機能は初期アクセス 時間を大幅に短縮させます (パフォーマンスが向上します)。モード ビットは、最初のバイト命令オペコードを含めるか除外するかによって、次の QOR 動作の長さを制御します。モード ビットが A_{xh} の場合、デバイスは連続 QOR モードに移行し、6Bh オペコードを必要とせず次のアドレスに書き込みます (\overline{CS} が HIGH になってから LOW にアサートされた後)。そのため、命令シーケンスから 8 サイクルが省かれます。そうでない場合、 \overline{CS} が HIGH から LOW に遷移するとオペコードは必要となります。

注:

- QUAD ビット CR1[1] はコンフィギュレーションレジスタ 1 で「1」にセットする必要があります。
- モード ビットが !A_{xh} (A_{xh} バイトの論理否定) の場合、DOR XIP モードが終了します。
- ダミー サイクルは CR1 のメモリレイテンシコードビット (MLC0 ~ MLC3) で設定できるオプションです。

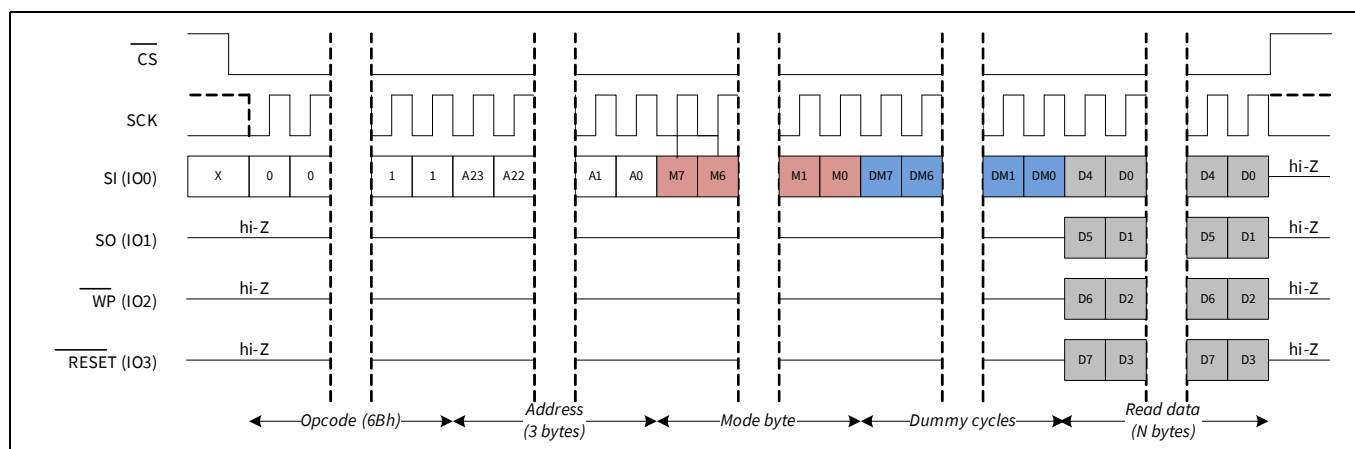


図 61 クアッド出力読み出し (QOR)

5.1.5.7 クアッド I/O 読み出し (QIOR、EBh) - 拡張 SPI モード

QIOR 命令は拡張 SPI 読み出し命令の一部で、クアッド アドレス / データ モードで使用されます。クアッド アドレス / データ モードでは、オペコードは SI ピン上でクロックサイクルごとに 1 ビット送信されます。オペコードの最後のビットが送信された後、RESET ピンが I/O3 ピン、WP ピンが I/O2 ピン、SO ピンが I/O1 ピン、SI ピンが I/O0 ピンに再構成されます。その後、3 バイト アドレスが入力されるまで、アドレスはデバイスに I/O3 上でアドレス A23 から始まり、I/O2 上で A22 から始まり、I/O1 上で A21 から始まり、I/O0 上で A20 から始まりクロックサイクルごとに 4 ビット送信されます。特定のアドレス位置のデータ (D7 ~ D0) は、I/O3 上で D7 から始まり、I/O2 上で D6 から始まり、I/O1 上で D5 から始まり、I/O0 上で D4 から始まりクロックサイクルごとに 4 ビットシフトアウトされます。したがって、メモリ全体を読み出せます。最高位アドレス 0x1FFFFFFF に到達すると、アドレス カウンターはラップアラウンドして 0x000000 に戻り、読み出しシーケンスは無制限に継続できます。

モード ビットは、最初の命令が Axh モード ビット (「1010XXXX」) パターンを送信した後、一連の QIOR 命令を可能にし、8 ビット オペコードを省略します。直接実行 (XIP) と呼ばれるこの機能は初期アクセス時間を大幅に短縮させます (パフォーマンスが向上します)。モード ビットは、最初のバイト命令オペコードを含めるか除外するかによって、次の QIOR 動作の長さを制御します。モード ビットが Axh の場合、デバイスは連続 QIOR モードに移行し、EBh オペコードを必要とせずに次のアドレスに書き込みます (CS が HIGH になってから LOW にアサートされた後)。そのため、命令シーケンスから 8 サイクルが省かれます。そうでない場合、CS が HIGH になってから LOW にアサートされると、オペコードは必要となります。

注:

- クアッド ビット CR1[1] はコンフィギュレーションレジスタ 1 で「1」にセットする必要があります。
- モード ビットが !Axh (Axh バイトの論理否定) の場合、QIOR XIP モードが終了します。
- ダミーサイクルは CR1 のメモリレイテンシコードビット (MLC0 ~ MLC3) で設定できるオプションです。

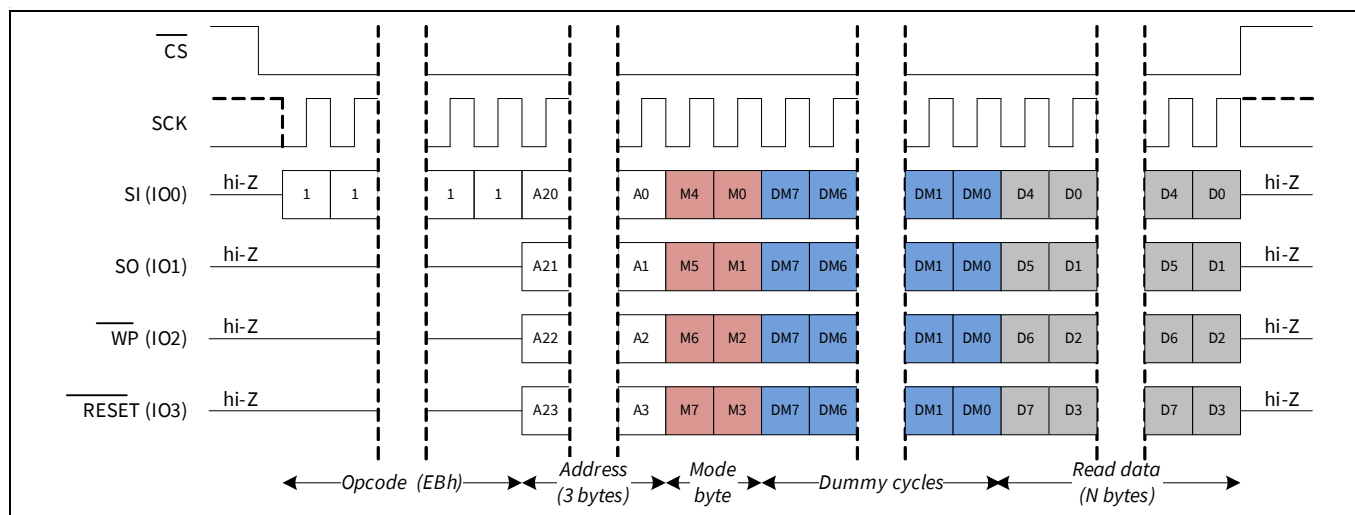


図 62 クアッド I/O 読み出し (QIOR) - 拡張 SPI モード

5.1.5.8 クアッド I/O 読み出し (QIOR、EBh) – QPI モード

QIOR のオペコードは QSPI モードでも実行できます。デバイスが QSPI モードである場合、オペコード、アドレス、およびモード バイトはすべての 4 本の I/O 上で送信されます。特定のアドレス位置のデータ (D7 ~ D0) は、I/O3 上で D7 から始まり、I/O2 上で D6 から始まり、I/O1 上で D5 から始まり、I/O0 上で D4 から始まりクロック サイクルごとに 4 ビットシフトアウトされます。

注:

- モード ビットが !A_{xh} (A_{xh} バイトの論理否定) の場合、QIOR モードが終了します。
- ダミーサイクルは CR1 のメモリレイテンシコードビット (MLC0 ~ MLC3) で設定できるオプションです。

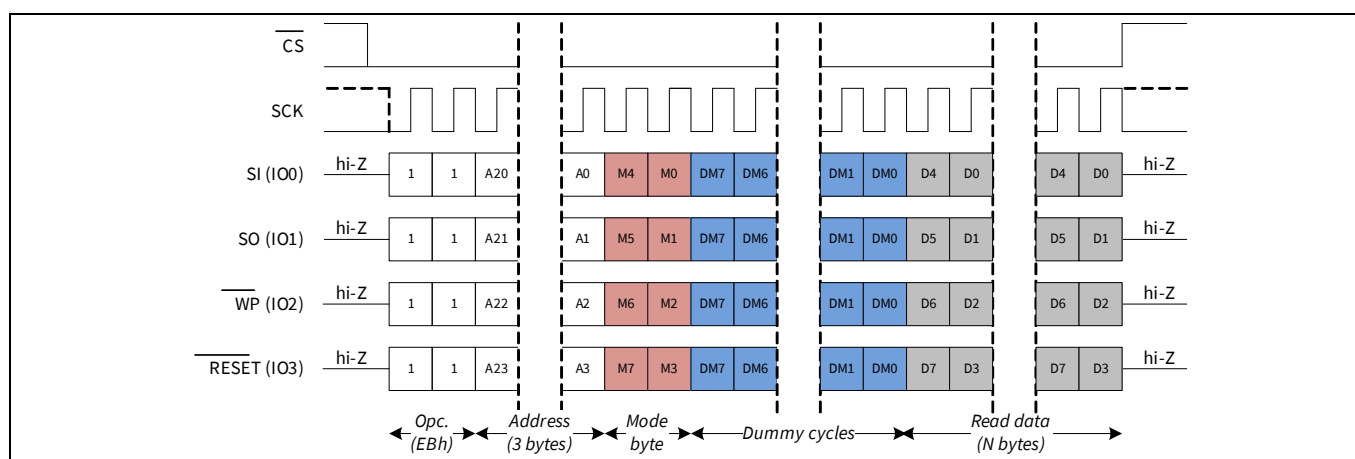


図 63 クアッド I/O 読み出し (QIOR) – QPI モード

5.1.5.9 DDR クアッド I/O 読み出し (DDRQIOR、EDh) – 拡張 SPI モード

DDRQIOR 命令は SI (I/O0)、SO (I/O1)、 $\overline{\text{WP}}$ (I/O2)、および $\overline{\text{RESET}}$ (I/O3) の 4 本の I/O 信号により帯域幅を向上させます。クアッド I/O 読み出し命令に似ていますが、アドレス、モード、ダミー、またはデータのビットをクロックのすべてのエッジで転送します。アドレスはメモリアレイの任意のバイト位置から開始できます。各データバイトがシフトアウトされた後、アドレスは次の上位アドレスに自動的にインクリメントします。したがって、単一の読み出しオペコードと与えられたアドレスでメモリ全体を読み出せます。最高位アドレス 0x1FFFFFF に到達すると、アドレスカウンタはラップアラウンドして 0x000000 に戻り、読み出しシーケンスは無制限に継続できます。ビットが不定にならないように、ダミービットの間に $\overline{\text{CS}}$ を HIGH に駆動しないでください。

モードビットは、最初の命令が A5h モードビットパターンを送信した後、一連の DDRQIOR 命令を可能にし、8 ビット オペコードを省略します。直接実行 (XIP) と呼ばれるこの機能は初期アクセス時間を大幅に短縮させます (パフォーマンスが向上します)。モードビットは、最初のバイト命令オペコードを含めるか除外するかによって、次の DDRQIOR 動作の長さを制御します。モードビットが Axh の場合、デバイスは連続 DDRQIOR モードに移行し、EDh オペコードを必要とせずに次のアドレスに書き込みます ($\overline{\text{CS}}$ が HIGH になってから LOW にアサートされた後)。そのため、命令シーケンスから 8 サイクルが省かれます。そうでない場合、 $\overline{\text{CS}}$ が HIGH になってから LOW にアサートされると、オペコードは必要となります。このオペコードは SPI モード 3 に対応しません。

注:

- クアッド ビット CR1[1] はコンフィギュレーションレジスタ 1 で「1」にセットする必要があります。
- モードビットが !A5h (A5h バイトの論理否定) の場合、DDRQIOR XIP モードが終了します。
- ダミーサイクルは CR1 のメモリレイテンシコードビット (MLC0 ~ MLC3) で設定できるオプションです。

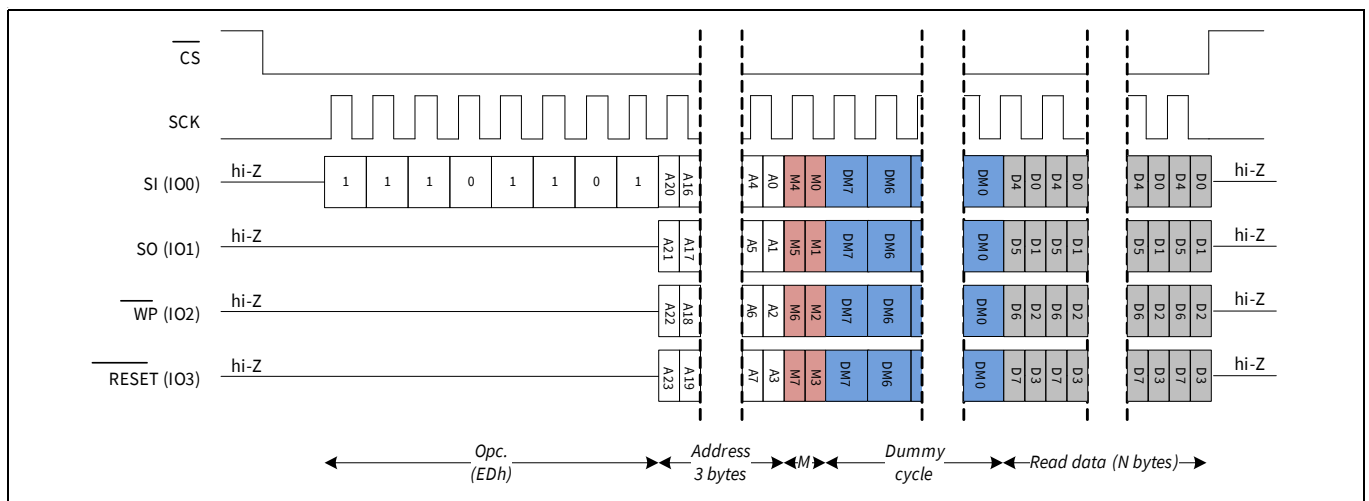


図 64 DDR クアッド I/O 読み出し (DDRQIOR) – 拡張 SPI モード

5.1.6 特殊セクタ メモリ アクセス コマンド

CY15x116QSN には、長さ 256 バイトの追加特殊セクタ メモリ領域もあります。特殊セクタ領域は、保存されたコンテンツのより高い熱的信頼性を得るように設計されています。特殊セクタに保存されたデータは、最大 3 回の標準リフロー サイクルに耐えます。特殊セクタ位置には、PCB モジュール詳細、シリアル番号詳細などを保存するために使用できます。特殊セクタ メモリ アクセスのコマンドは SPI、DPI、および QPI の動作モードに対応します。

表 43 特殊セクタ メモリ アクセス コマンド

コマンド	オペコード (16進)	コマンド説明
SSWR	42	特殊セクタ書き込み: 256バイトの特殊セクタ メモリに書き込む専用コマンド
SSRD	4B	特殊セクタ読み出し: 256バイトの特殊セクタ メモリを読み出す専用コマンド

表 44 特殊セクタ メモリ アクセス コマンド詳細

オペコード (16進)	アドレス長	SPIバス インターフェース							データ転送		メモリレイテンシ	XIP	最大クロック周波数	
		SPI	デュアルデータ	クアッドデータ	デュアルI/O	クアッドI/O	DPI	QPI	SDR	DDR	ダミーサイクル	直接実行		
42	3バイト	有	NA					有	有	有	NA	NA	NA	108MHz
4B	3バイト	有	NA					有	有	有	NA	有	NA	108MHz

5.1.6.1 特殊セクタ書き込み (SSWR、42h)

書き込みデータとともに SSWR オペコードが SPI モードでは SI ピン、デュアルモード (DPI) では I/O1 と I/O0 ピン、クアドモード (QPI) では I/O3、I/O2、I/O1、I/O0 ピンで送信されると、特殊セクタ書き込み動作は実行されます。バースト書き込みは、新しい SSWR 命令を発行せずに連続したアドレスに書き込みます。1 バイトだけを書き込む場合、D0 (データの LSB) が送信された後、CS ピンを HIGH に駆動する必要があります。しかし 2 バイト以上を書き込む場合は、CS ピンを LOW に維持し、アドレスを自動的にインクリメントさせます。入力ピン上のデータ バイトが連続したアドレスに書き込まれます。内部アドレス カウンターが自動的に 0xFF にインクリメントすると、CS は進行中の SSWR 動作を終了させるために HIGH にトグルする必要があります。データは MSb から先に書き込まれます。CS の立ち上りエッジで書き込み動作が終了します。

注:

- 3 バイトアドレスの最下位 8 ビット (A7～A0) にはセクタアドレスが含まれます。残りの 16 最上位ビットは「0」に設定されます。
- 書き込み動作を有効にするために SR1 の書き込みイネーブル ラッチ (WEL) が「1」にセットされた場合にのみ、SSWR 命令はデバイスによって実行されます。
- SR1 の WEL ビット (SR1[1]) は、SSWR コマンドが (CS の立ち上りエッジで) 終了した後、自動的に「0」にクリアされます。

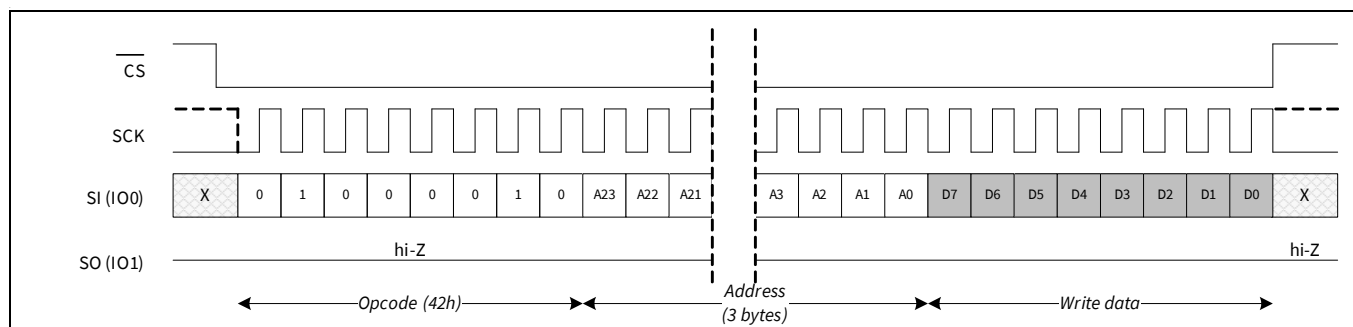


図 66 特殊セクタ書き込み (SSWR) – SPI モード (WREN が非表示)

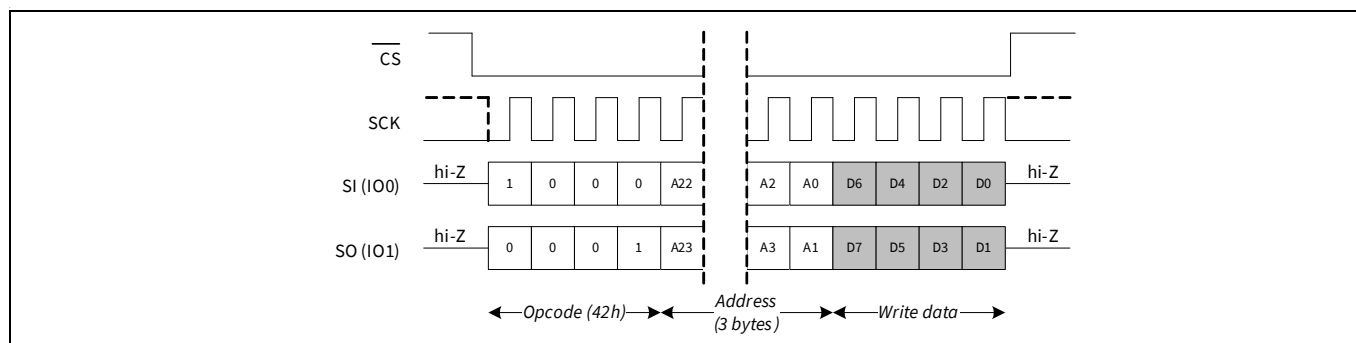


図 67 特殊セクタ書き込み (SSWR) – DPI モード (WREN が非表示)

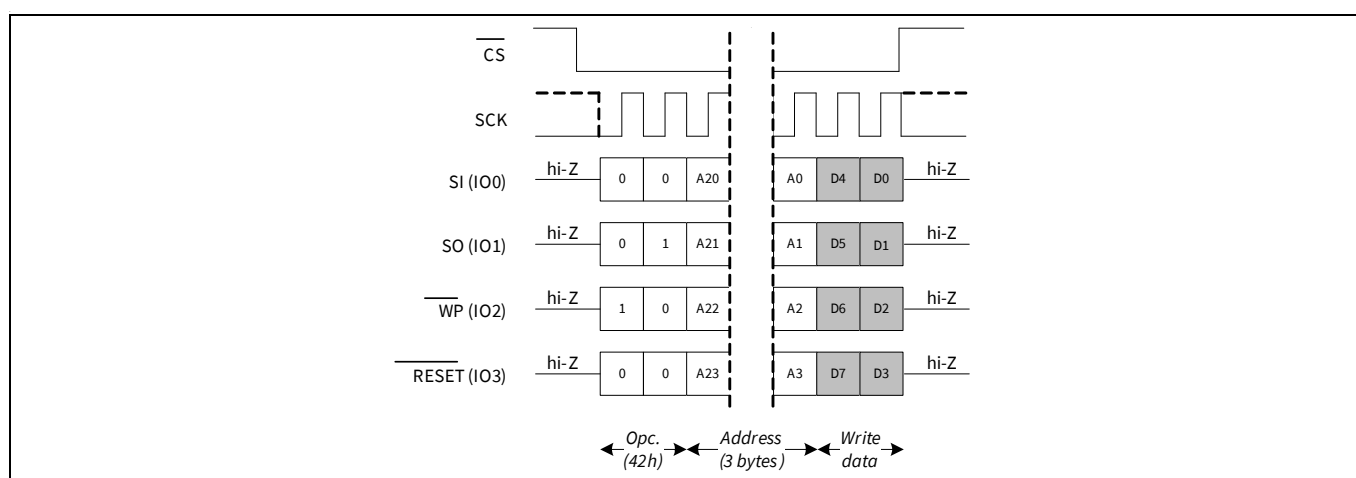


図 68 特殊セクタ書き込み (SSWR) – QPI モード (WREN が非表示)

5.1.6.2 特殊セクタ読み出し (SSRD、4Bh)

SSRD 命令は指定されたアドレスでメモリ内容を読み出します。アドレスは、3 バイト アドレスで決まる 256 バイト特殊セクタ メモリの任意バイト位置から開始できます。各データバイトがシフトアウトされた後、アドレスは次の上位アドレスに自動的にインクリメントします。したがって、単一の特殊セクタ読み出しオペコードと与えられたアドレスで 256 バイト特殊セクタ全体を読み出せます。内部アドレス カウンターが自動で 0xFF にインクリメントすると、ホストが SCK 上でクロック供給を続けたら、デバイスは未定義データ バイトを返します。

注:

- 3 バイト アドレスの最下位 8 ビット (A7 ~ A0) にはセクタ アドレスが含まれます。残りの 16 最上位ビットは「0」に設定されます。
- ダミーサイクルは CR1 のメモリ レイテンシ コード ビット (MLC0 ~ MLC3) で設定できるオプションです。
- 特殊セクタ F-RAM は、最大 3 回の標準はんだリフロー サイクルにわたってユーザー データを保持することを保証しています。

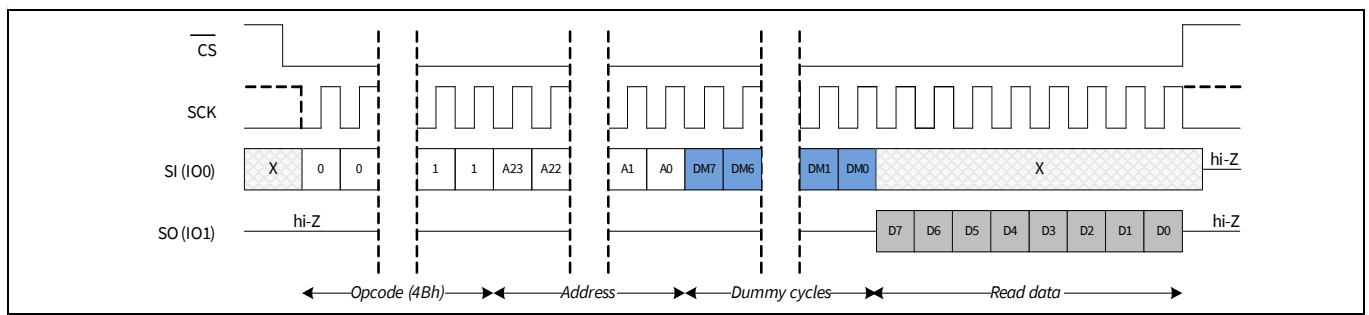


図 69 特殊セクタ読み出し (SSRD) – SPI モード

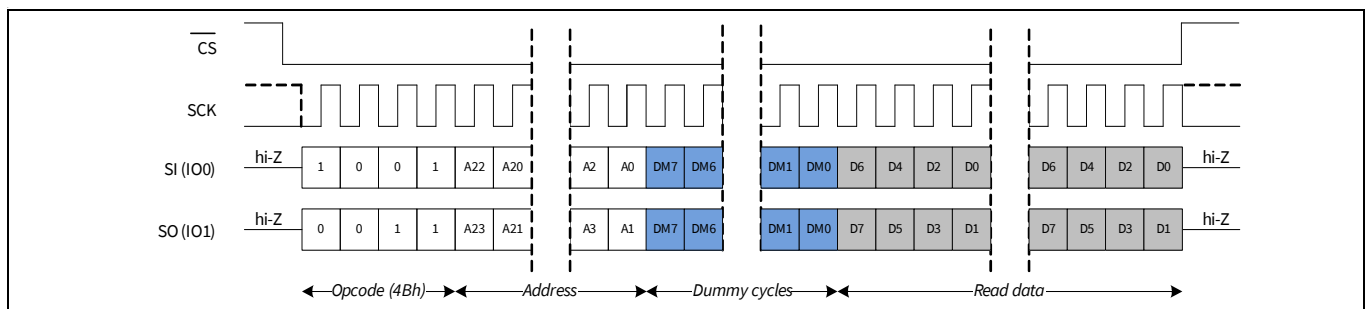


図 70 特殊セクタ読み出し (SSRD) – DPI モード

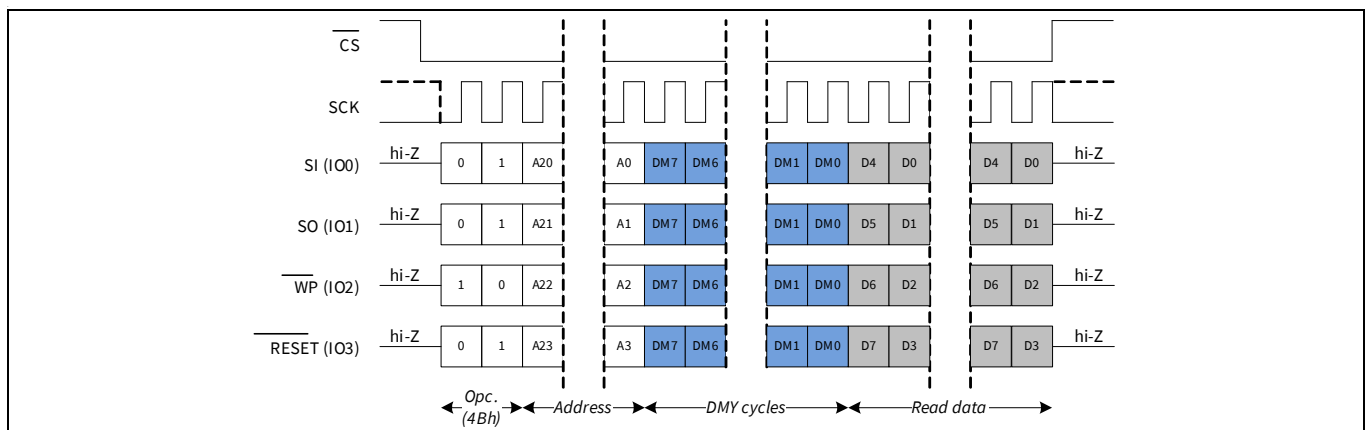


図 71 特殊セクタ読み出し (SSRD) – QPI モード

5.1.7 エラー訂正コード (ECC) および巡回冗長検査のコマンド

5.1.7.1 エラー訂正コード (ECC)

CY15x116QSN は、8 バイト (64 ビット) のユニット データに対する 3 ビット エラー検出および報告機能を備えた内蔵ハードウェア エラー訂正コード (ECC) を提供します。すべての F-RAM 読み出しが書き込みサイクル (リフレッシュ サイクル) の後に続くため、1 ビット エラーは検出時に自動的に訂正され、リフレッシュ サイクル中に F-RAM アレイに書き戻されます。したがって、CY15x116QSN は 1 ビット エラーの検出を報告しません。これは同一のデータ ユニットに対する後続の ECC チェックは同じ 1 ビット エラーを再現しないからです。CY15x116QSN の ECC は常に有効で、実行時に次の動作を監視します：

- F-RAM 読み出し中に 3 ビット エラーが検出されると、CY15x116QSN は ECC ステータス レジスタ (ECCSR) の 3BD フラグ ビットを「1」にセットし (ECCSR は POR / リセット / CLECC の後にクリアされる)、対応するユニット データ アドレスを 4 バイトの ADDRTRAP レジスタに取り込みます。
- ADDRTRAP レジスタの最初の最下位 3 バイトは、POR / リセット / CLECC の後に 8 バイト ユニット データで検出された最初の 3 ビット エラーの 3 バイト ユニット データ アドレスを保持します。後続の 3 ビット エラーの発生時に、ADDRTRAP レジスタは最新のデータ ユニット アドレスで上書きされません。
- CY15x116QSN は、3 ビット エラーが検出されるたびに「1」ずつインクリメントする 2 バイト ECC 検出カウンタ (ECCDC) レジスタを提供します。ECCDC レジスタは POR、任意のリセット イベント、または CLECC コマンド実行後にクリアされます。
- ユーザーは、ADDRTRAP レジスタの 0 以外の値 (アドレス 0x00000 で 3 ビット エラーが検出された場合を除く)、または ECCSR レジスタの 3BD フラグ ビットまたは ECCDC レジスタの 0 以外の値を読み出すことで、3 ビット エラー検出の発生を判断できます。
- また CY15x116QSN は、8 バイト ユニット データの 3 ビット エラー検出ステータスを返す ECCRD (19h) コマンドもサポートします。このためには、デバイスは ECCRD コマンドにより送信されたユニット アドレスで ECCSR の 3BD エラー フラグを「1」にセットします。

ECC は 256 バイト特殊セクタ メモリ、ステータス、およびコンフィギュレーションのレジスタに対応しません。

5.1.7.2 ECC ステータス レジスタ

ECC ステータスは ECC ステータス レジスタ (ECCSR) で表します。ECCSR の詳細を表 46 に示します。46 ページの[任意レジスタ読み出し \(RDAR、65h\)](#) に示すとおり、ECCSR の内容は RDAR コマンドの使用でのみ読み出せます。ECCRD コマンドはユニット データの ECCSR ステータスを返します。ユニット データは ECC が計算されるバイト数として定義されます。CY15x116QSN は 8 バイトのユニット データがあります。

表 45 ECC ステータス レジスタ

ECCSR[7]	ECCSR[6]	ECCSR[5]	ECCSR[4]	ECCSR[3]	ECCSR[2]	ECCSR[1]	ECCSR[0]
RFU (0)	RFU (0)	RFU (0)	3BD (0)	RFU (0)	RFU (0)	RFU (0)	RFU (0)

表 46 ECC ステータス レジスタ - 揮発性専用

ビット	ビット名	ビット機能	タイプ	読み出し / 書き込み (R/W)	説明
ECCSR[7]	RFU			予約済み (0)	将来使用するために予約済み
ECCSR[6]	RFU			予約済み (0)	将来使用するために予約済み
ECCSR[5]	RFU			予約済み (0)	将来使用するために予約済み
ECCSR[4]	3BD	3ビット ECC検出	V	R	1 = 直前のECCSRクリア コマンド (CLECC) 以降に3ビット エラーが検出された 0 = 直前のECCSRクリア コマンド (CLECC) 以降に3ビット エラーが検出されなかった
ECCSR[3]	RFU			予約済み (0)	将来使用するために予約済み

機能説明

表 46 ECC ステータス レジスタ - 揮発性専用 (続き)

ビット	ビット名	ビット機能	タイプ	読み出し / 書き込み (R/W)	説明
ECCSR[2]	RFU			予約済み (0)	将来使用するために予約済み
ECCSR[1]	RFU			予約済み (0)	将来使用するために予約済み
ECCSR[0]	RFU			予約済み (0)	将来使用するために予約済み

V - 揮発性

5.1.7.2.1 3 ビット ECC 検出 (3BD) ECCSR[4]

このビットは最後の ECC ステータス レジスタ クリア以来、読み出しデータで 3 ビット ECC 検出が発生したことを示します。CLECC 命令は 3BD ビットを「0」にリセットします。

5.1.7.3 ECC 検出カウンタ (ECCDC)

ECC 検出カウンタ (ECCDC) レジスタは 2 バイトの揮発性レジスタであり、最後の POR / リセット イベント / CLECC コマンドの後のメモリ読み出し動作中に 3 ビット エラー検出が発生した回数を格納します。46 ページの[任意レジスタ読み出し \(RDAR、65h\)](#) に示すとおり、ECCDC レジスタの内容は RDAR コマンドの使用で読み出せます。

注:

- ECCDC カウントが 0xFFFF に到達すると、ECCDC はインクリメントを停止します。
- ECCDC はディープ パワーダウン (DPD) モードのときにその内容を失い、DPD 終了時に 0x0000 を返します。

表 47 ECC 検出カウンタ レジスタ (ECCDC)

ビット	名称	機能	タイプ	読み出し / 書き込み (R / W)	デフォルト 状態	説明
15:0	ECCDC	ECC 3ビット エラー検出 カウント	V	R	0x0000	直前の POR または任意のリセット イベント以降の 3 ビット ECC 検出の総発生回数。CLECC コマンドはこのレジスタをクリアしない

V - 揮発性

5.1.7.4 アドレストラップ レジスタ (ADDTRAP)

アドレストラップレジスタ (ADDTRAP) は 4 バイトの揮発性レジスタであり、読み出し動作中に 3 ビット エラーの検出が発生した ECC ユニットデータのアドレスを格納します。ADDTRAP レジスタは、最後の ECC クリア命令 (CLECC)、POR または任意のリセット イベントの後に 3 ビット エラーが検出された最初の ECC データユニットのアドレスを格納します。3 ビット エラーが検出された後続のデータユニットのアドレスは、ADDTRAP に取り込まれません。この場合、ECCDC カウントのみインクリメントします。46 ページの[任意レジスタ読み出し \(RDAR、65h\)](#) に示すとおり、ADDTRAP レジスタの内容は RDAR コマンドの使用で読み出せます。

注: ADDTRAP レジスタはディープ パワーダウン (DPD) モードのときに内容を失い、DPD 終了時に 0x00000000 を返します。

表 48 アドレストラップ レジスタ

ビット	名称	機能	タイプ	読み出し / 書き込み (R / W)	デフォルト 状態	説明
31:0	ADDTRAP	ECC アドレス格納	V	R	0x00000000	3 ビット ECC 検出の発生したユニットデータのアドレスを格納

V - 揮発性

5.1.7.5 ECC コマンド

以下の節では、CY15x116QSN の ECC コマンドについて説明します。

表 49 ECC コマンド

コマンド (16進)	オペコード	コマンド説明
ECCRD	19	ECC ステータス読み出し: アドレス指定されたユニットデータの ECC ステータスを判定
CLECC	1B	ECC レジスタ クリア: ECC フラグおよびアドレストラップレジスタをクリア

表 50 ECC コマンド詳細

オペ コード (16進)	アドレ ス長	SPIバス インターフェース							データ 転送		メモリ レイテン シ	XIP	最大クロッ ク周波数
		SPI	デュアル データ	クアッド データ	デュアル I/O	クアッド I/O	DPI	QPI	SDR	DDR	ダミー サイクル	直接 実行	
19	3バイト	有	NA				有	有	有	NA	有	NA	108MHz
1B	NA	有	NA				有	有	有	NA	NA	NA	108MHz

5.1.7.6 ECC ステータス読み出し (ECCRD、19h)

ECCRD 命令は、アドレス指定されたユニットデータの 3 ビット エラー検出ステータスを判断するために使用されます。このためには、 \overline{CS} を LOW にプルし、ECCRD 命令の後に続いて、最下位 3 ビット (LSb) をゼロにする ECC データ ユニットのアドレスを送信します。アドレスの最下位 3 ビット (LSb) がゼロに設定されない場合でも内部的に無視され、データ ユニットの開始アドレスは残りの最上位ビットにより決まります。

アドレス バイトの後は、メモリ読み出し用の読み出しレイテンシ値により選択されたダミー サイクル数が続きます。8 ビット ECC ステータスは出力ライン上でシフトアウトされます。 \overline{CS} は 8 ビット ECC ステータスが読み出された後、HIGH にしなければなりません。

注:

- 8 ビット ECC ステータスが読み出された後、 \overline{CS} が LOW のままであれば、後続の ECC ステータスデータは不定になります。次のデータ ユニットの ECC ステータスを読み出すためには、次のユニット アドレスとともに新しい ECCRD コマンドを送信する必要があります。
- ダミー サイクルは CR1 のメモリ レイテンシ コード ビット (MLC0 ~ MLC3) で設定できるオプションです。

表 51 ユニット データ ECC ステータス バイト詳細

ビット	名称	機能	読み出し / 書き込み (R/W)	デフォルト状態	説明
7	RFU	予約済み		0	将来使用するために予約済み
6	RFU	予約済み		0	将来使用するために予約済み
5	RFU	予約済み		0	将来使用するために予約済み
4	RFU	予約済み		0	将来使用するために予約済み
3	EECC3D	ECC ユニット内の 3 ビットエラー	R	0	1=ECC ユニット内で 2 ビット エラーが検出された 0=エラーが発生しない
2	RFU	予約済み		0	将来使用するために予約済み
1	RFU	予約済み		0	将来使用するために予約済み
0	RFU	予約済み		0	将来使用するために予約済み

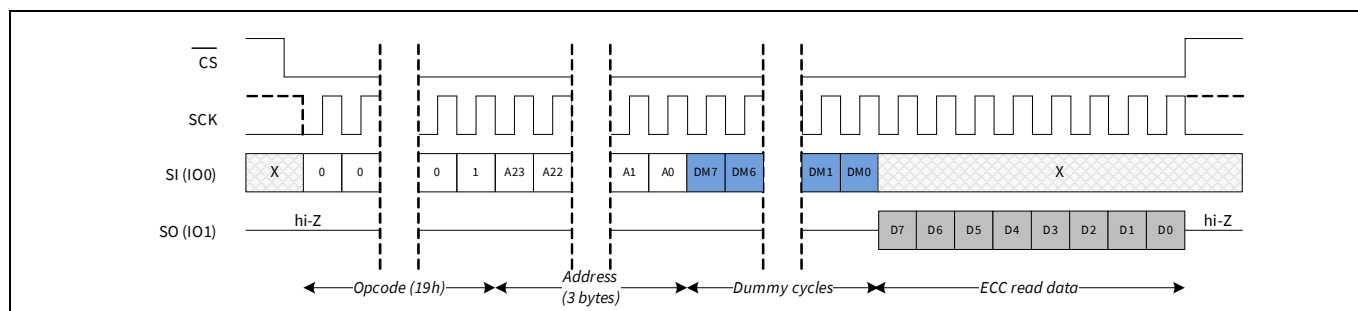


図 72 ECC 読み出し (ECCRD) – SPI モード

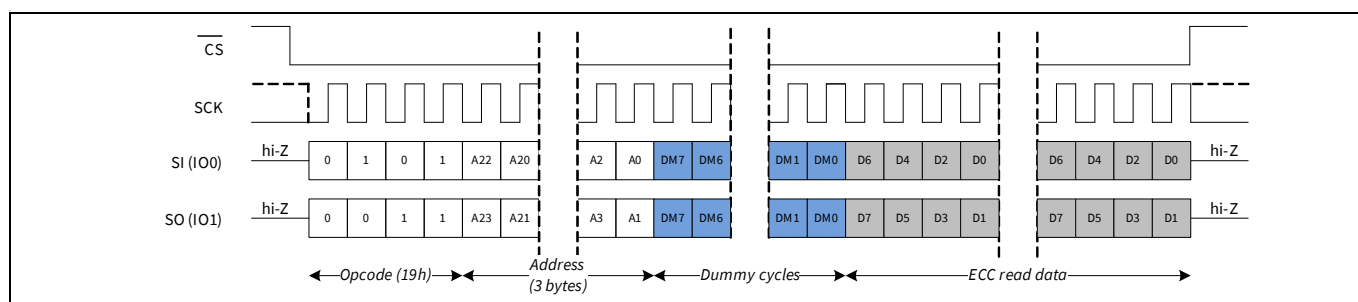


図 73 ECC 読み出し (ECCRD) – DPI モード

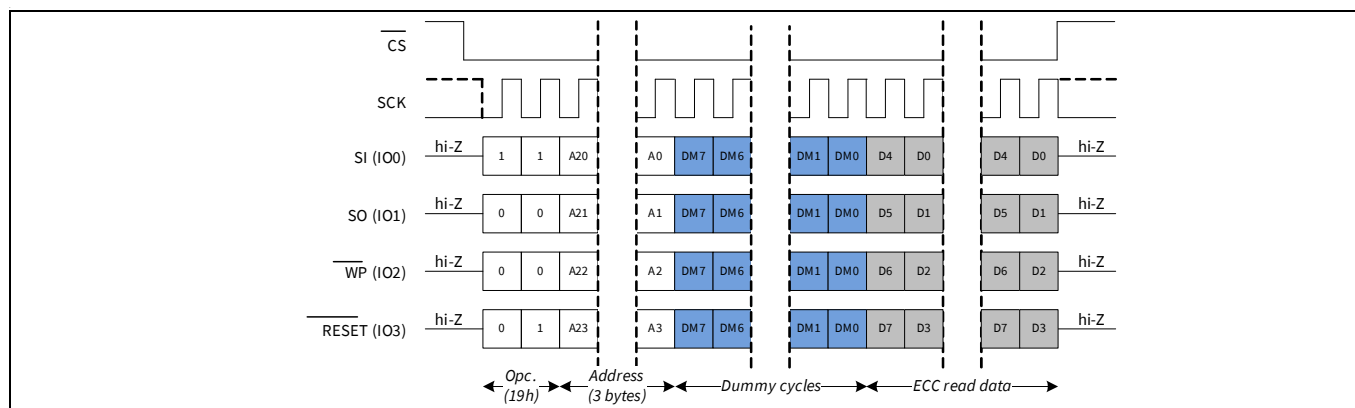


図 74 ECC 読み出し (ECCRD) – QPI モード

5.1.7.7 ECC クリア (CLECC、1Bh)

CLECC 命令はすべての ECC フラグ、ADDTRAP および ECCDC レジスタをクリアします。CLECC 命令を実行する前に WEL ビットをセットする必要はありません。

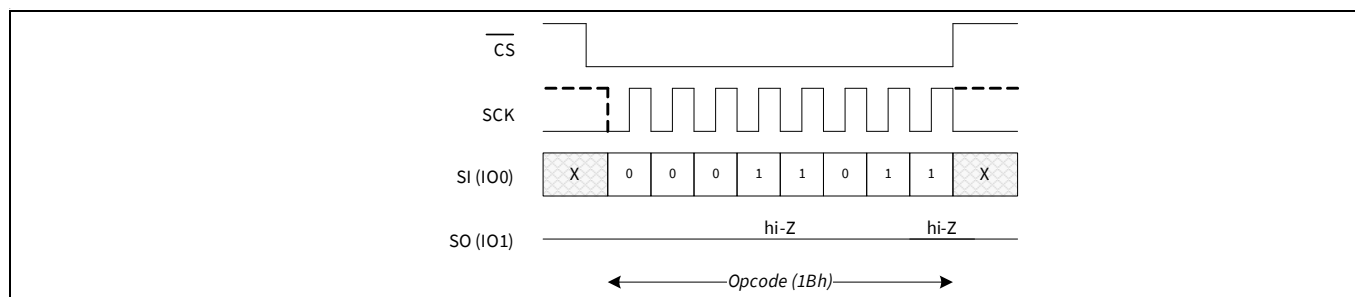


図 75 ECC クリア (CLECC) – SPI モード

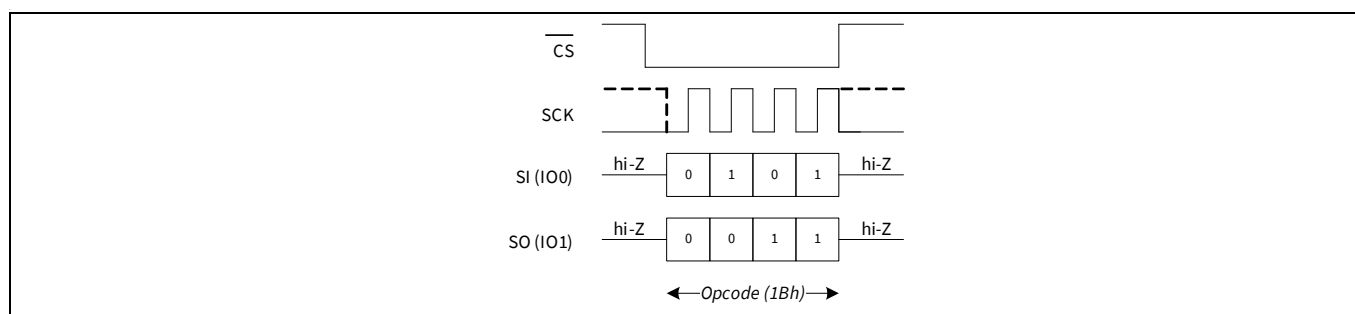


図 76 ECC クリア (CLECC) – DPI モード

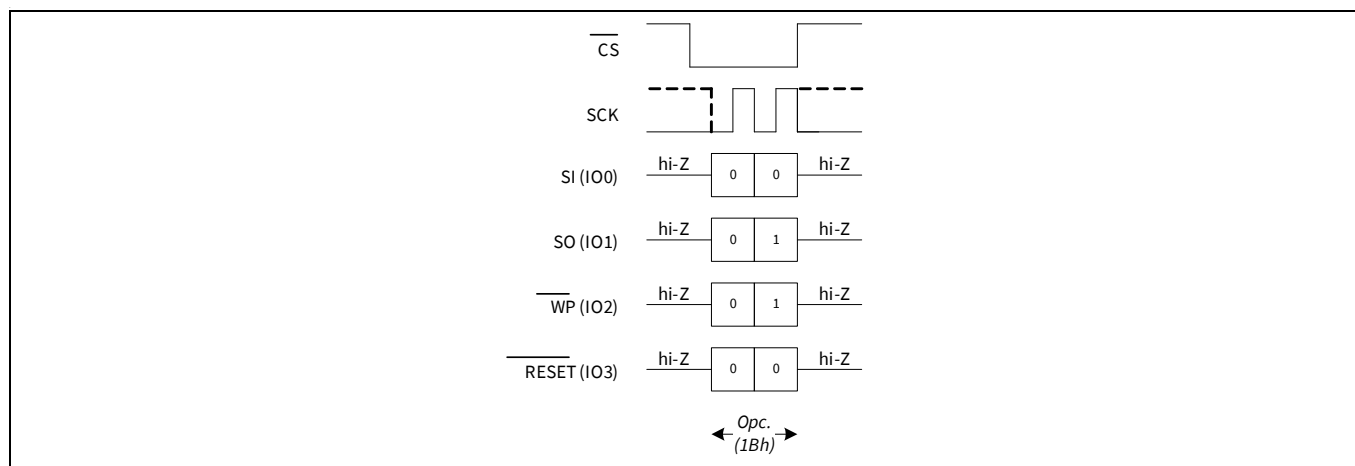


図 77 ECC クリア (CLECC) – QPI モード

5.1.7.8 巡回冗長検査 (CRC)

CY15x116QSN はメモリ アレイ内に記憶されたデータのチェックシーケンスを計算する内蔵の巡回冗長検査 (CRC) エンジンを持っています。CRC は 256 バイト特殊セクタメモリ、ステータスおよびコンフィギュレーションレジスタに対応しません。

CY15x116QSN は次のオペコードで CRC をサポートします。

表 52 CRC アクセス コマンド

コマンド	オペコード (16進)	コマンド説明
CRCC	5B	CRC計算: ユーザー定義のアドレス範囲に対するCRC計算を行う
EPCS	75	CRC中断: CRCC動作を中断し、その他のアクセスを許可
EPCR1	7A	CRC再開: 中断されたCRCC動作を再開

表 53 CRC アクセス コマンド説明

オペコード (16進)	アドレス長	SPIバス インターフェース							データ転送		メモリレイテンシ	XIP	最大クロック周波数
		SPI	デュアルデータ	クアドデータ	デュアルI/O	クアドI/O	DPI	QPI	SDR	DDR	ダミーサイクル	直接実行	
5B	NA	有	NA				有	有	有	NA	NA	NA	108MHz
75	NA	有	NA				有	有	有	NA	NA	NA	108MHz
7A	NA	有	NA				有	有	有	NA	NA	NA	108MHz

5.1.7.9 データ CRC 計算 (CRCC、5Bh)

CRCC 命令シーケンスでは、CY15x116QSN にユーザーが定義したアドレス範囲に対して巡回冗長検査計算 (CRCC) を実行します。データ CRC 対応の CY15x116QSN デバイスは、各データ ブロックに対して CRC チェックサムと呼ばれる固定長のバイナリ シーケンスを計算し、それらをホストに送信します。ホスト デバイスはデータ ブロックを受信すると、CRC チェックサムを再計算します。新しい CRC チェックサムがデータとともに送られた元のチェックサムと一致しない場合、そのブロックはデータ エラーを含み、ホスト デバイスはデータ ブロックを再送するように要求するなどの修正措置を行うことがあります。

CRCC プロセスは、開始アドレスと終了アドレスの間に格納されているデータのチェック値を計算します。

CRC 計算命令は、オペコードに続いて開始アドレスと終了アドレスを入力することによって開始されます。CS は終了アドレスがラッチされた後に HIGH にする必要があります。これにより、開始アドレスと終了アドレスの間に格納されているデータのチェック値を計算する内部 CRC プロセスが開始されます。最後のアドレス ビットの後に \overline{CS} を HIGH に駆動しない場合、CRC 計算は実行されません。CRCC コマンドは WEL の状態をチェックしません。しかし、CRC コマンドの実行前に WEL が「1」にセットされた場合、CRC 動作が完了した後に WEL は「0」にクリアされます。

終了アドレス (EA) は開始アドレス (SA) より高位置 (少なくとも 32 ビットのワード) でなければなりません。[EA < SA + 3] の場合、CRC 計算は中止され、デバイスはスタンバイ モードに戻ります。CRC 中断 (CRCA) ビット (SR2[3] = 「1」) はセットされて、中断されたことを示します。CRC レジスタ (CRCR) は不定のデータを格納します。

CRC 計算実行中の場合、CY15x116QSN は SR1 の WIP ビット (SR1[0]) を「1」にセットします。進行中の CRCC 動作がいつ完了し、デバイスのアクセス準備ができるかを判断するために、ユーザーは WIP ステータスをポーリングできます。WIP ビットは CRC 計算が進行中に「1」であり、完了したときに「0」になります。CRC レジスタ (CRCR) には、開始アドレスと終了アドレスの間にあるデータのチェック値を計算する CRC プロセスの結果が格納されます。CRC レジスタの詳細を表 54 に示します。46 ページの**任意レジスタ読み出し (RDAR、65h)**に示すとおり、任意レジスタ読み出し (RDAR) コマンドを使って CRC レジスタを読み出すことにより CRC チェック値ビット 0 ~ 31 を読み出せます。

CRC レジスタ ビットは CRC 計算が開始するたびに、全 0 (0x00000000) に初期化されます。POR または任意のリセット イベントのときにも、CRC レジスタ値が全 0 に初期化されます。

チェック値の計算はメモリ アレイまたはレジスタからデータを読み出すために CRC 中断コマンド (EPCS、B0h) で中断できます。この中断状態中にステータス レジスタ 2 の CRC 中断 (CRCS) 状態ビットはセットされます (SR2[4] = 「1」)。中断すると、ホストはステータス レジスタの読み出し、アレイからのデータ読み出しができ、また CRC 再開コマンド (EPCR、30h) を使用して CRC 計算を再開できます。CY15x116QSN は SA から EA までのデータに対して (SA と EA でのデータも含む) CRC チェックサムを計算するために t_{CRCC} がかります。

32 ビット CRC (CRC-32C) 多項式 (0x1EDC6F41) は以下に定義されます：

$$32X + 28X + 27X + 26X + 25X + 23X + 22X + 20X + 19X + 18X + 14X + 13X + 11X + 10X + 9X + 8X + 6X + 1X$$

注：4 バイト メモリ データは CRC 計算用に、内部で { データ [7:0]、データ [15:8]、データ [23:16]、データ [31:24] } として読み出され、CRC[31:0] に割り当てられます。

表 54 CRC レジスタ説明

ビット	名称	機能	デフォルト状態	説明
31:0	CRCR	CRC チェック値	0x00000000	揮発性レジスタであり、CRC 計算 (CRCC コマンド) の結果である CRC チェックサム値を保存

機能説明

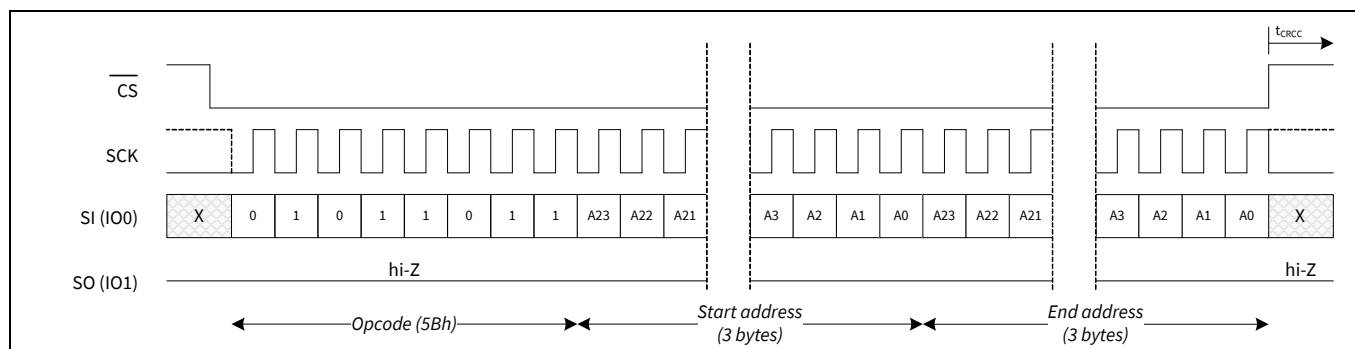


図 78 CRC 計算 (CRCC) – SPI モード

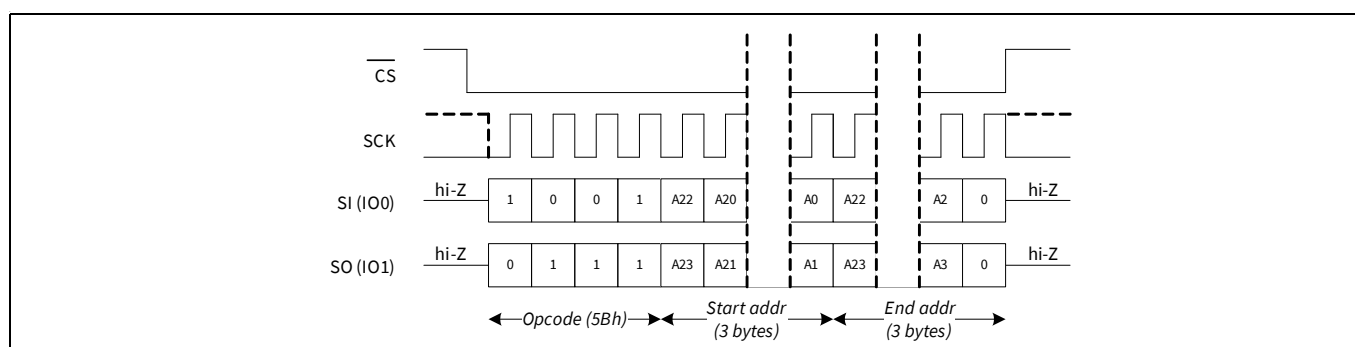


図 79 CRC 計算 (CRCC) – DPI モード

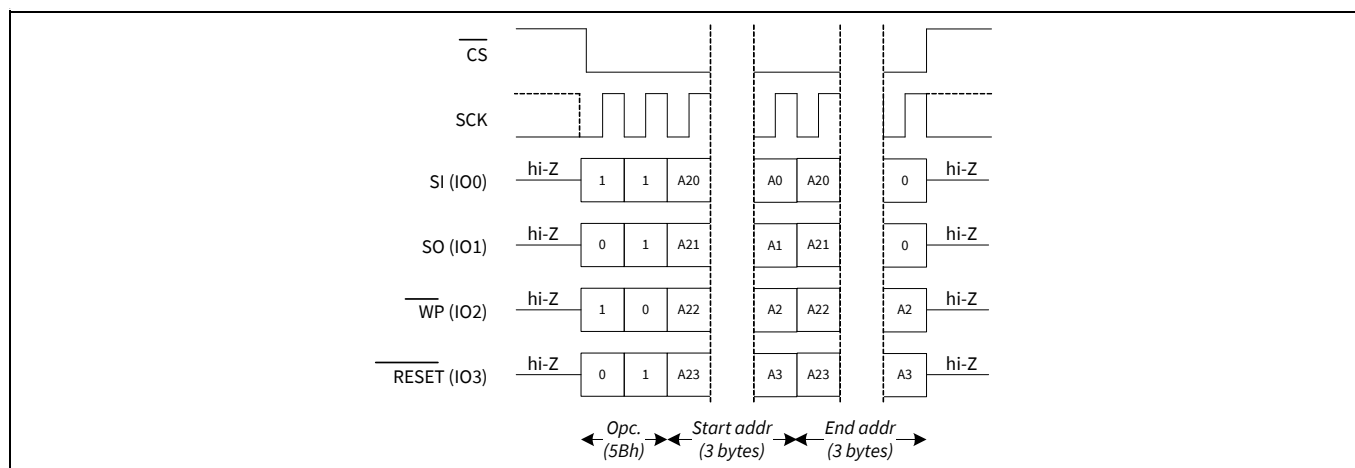


図 80 CRC 計算 (CRCC) – QPI モード

5.1.7.10 CRC 中断 (EPCS、75h)

EPCS はシステムが進行中の CRCC 動作を中断し、現在の CRC 動作が中断している間に他のアクセスを許可します。CRC が中断されている間に実行できるコマンドは次のとおりです : READ、RDSR1、RDSR2、FAST_READ、DDRFR、ECCRD、CLECC、RDCR1、DOR、RDCR2、RDCR4、SSRD、RDCR5、RDAR、RSTEN、QOR、EPCR、RST、RDID、DIOR、RDSN、QIOR、DDRQIOR。

CRC 中断は、CRC 計算動作中にのみ有効です。CRCC 動作が中断されたか完了したかを判断するためにステータスレジスタ 2 (SR2) を確認できます。CRC ステータスビットはステータスレジスタ 1 の WIP ステータスビットが「0」に変化した時点で、CRCC 動作が中断されたか完了したかを示します。EPCS は CRC 中断動作を実行するために t_{CRCS} 時間がかかり、WIP ビットを「1」のままにします。EPCS コマンドが完全に実行される前に CRCC 計算が完了した場合、SR2 での CRCS ビット (SR2[4]) は「1」にセットされず、EPCS が実行されないことを示します。

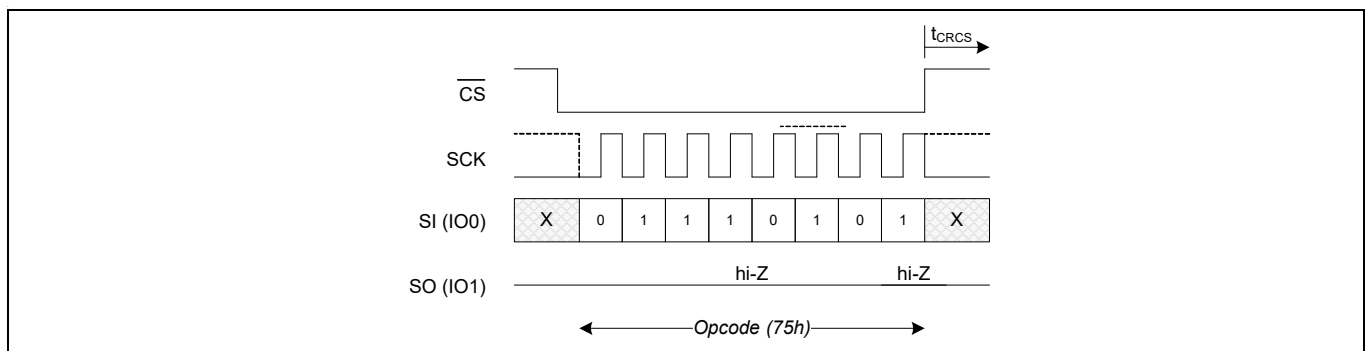


図 81 CRC 中断 (EPCS) – SPI モード

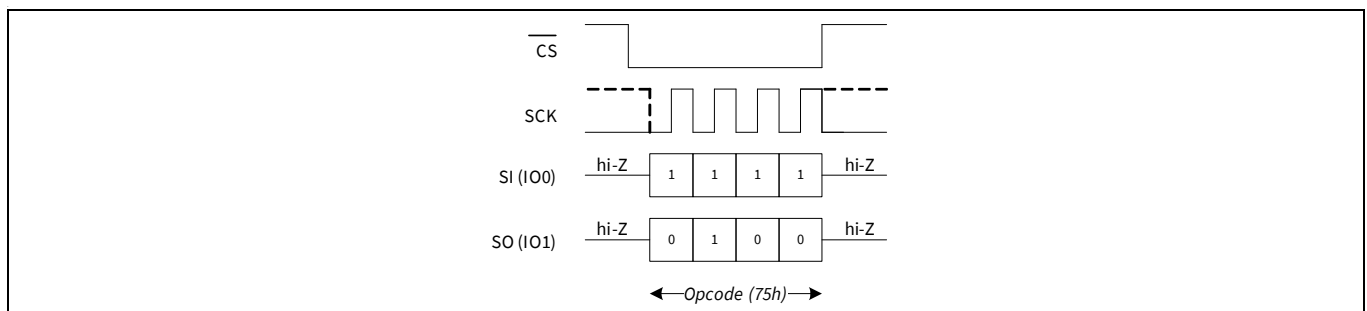


図 82 CRC 中断 (EPCS) – DPI モード

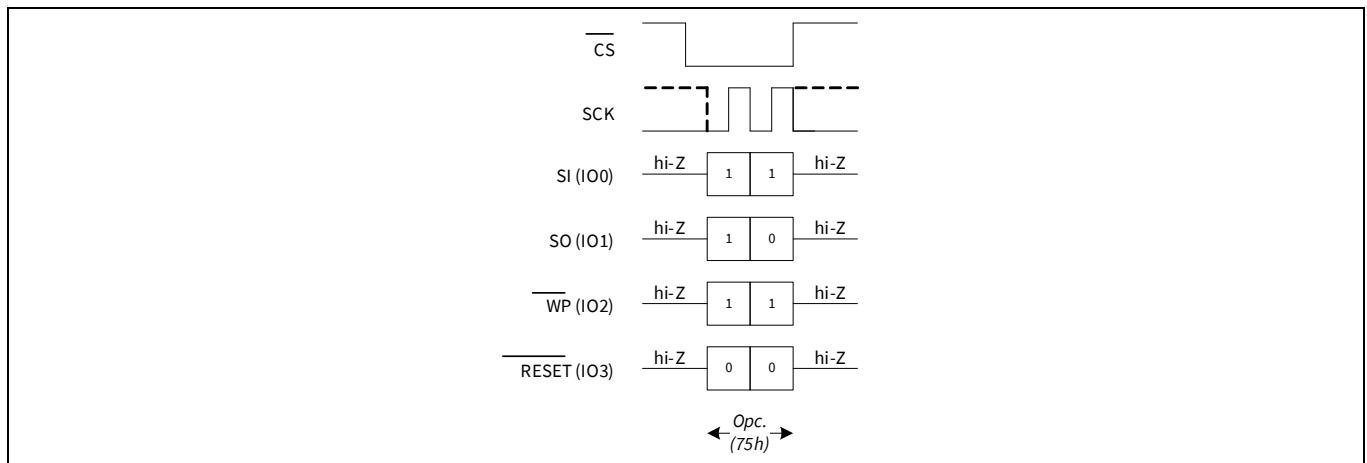


図 83 CRC 中断 (EPCS) – QPI モード

5.1.7.11 CRC 再開 (EPCR、7Ah)

EPCR は中断した CRCC 動作を再開します。CRC 再開命令を発行した後、WIP ビットは「1」にセットされます。CRCC 動作は必要に応じて中断できます。SR2 の CRCS ビット (SR2[4]) が「1」にセットされたときのみ、EPCR は中断した CRCC 動作を再開します。そうしない場合、EPCR コマンドは無視されます。EPCR 命令を発行した後、WIP ビットは「1」にセットされます。CRCC 動作は必要に応じて中断と再開ができます。

EPCR はコマンド処理のために t_{CRCC} 時間がかかり、終了アドレス (EA) まで残りのデータバイトに対して CRC 計算を再開します。

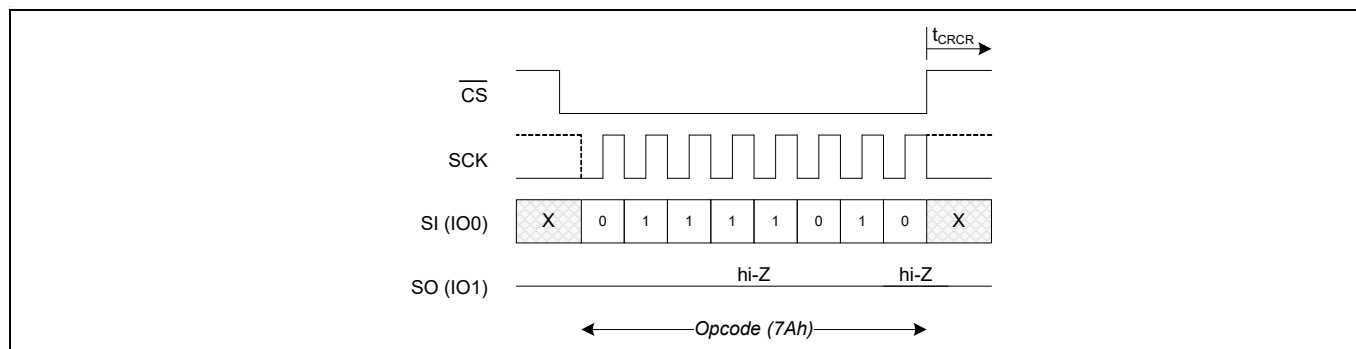


図 84 CRC 再開 (EPCR) – SPI モード

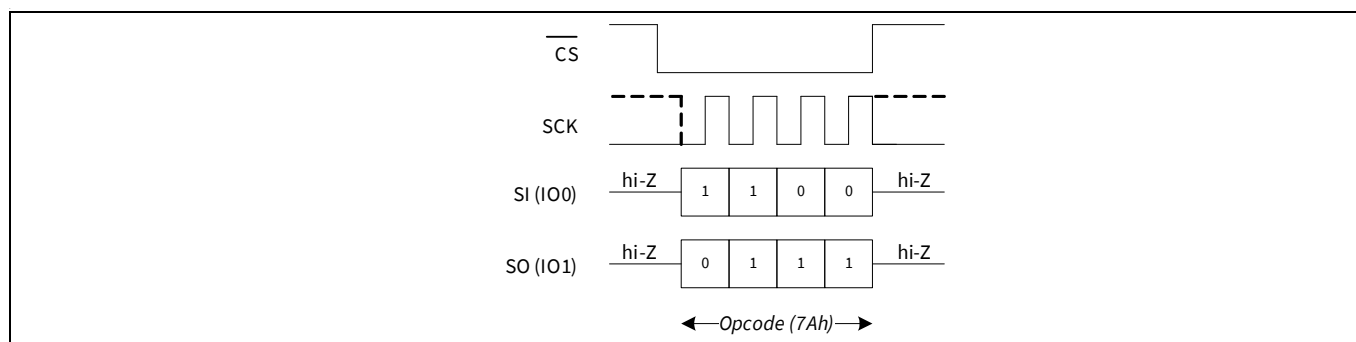


図 85 CRC 再開 (EPCR) – DPI モード

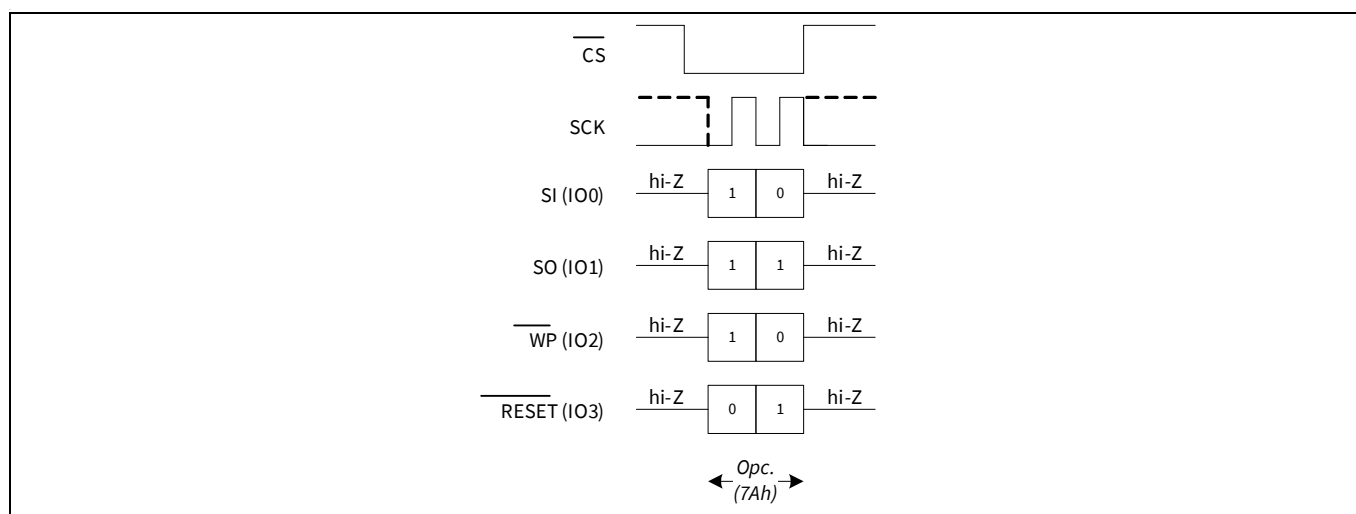


図 86 CRC 再開 (EPCR) – QPI モード

5.1.8 ID およびシリアル番号コマンド

CY15x116QSN デバイスは、それぞれ 8 バイト読み出し専用レジスタと 8 バイト書き込み可能なシリアル番号レジスタであるデバイス ID と固有 ID を含む 3 つの異なるタイプの識別機能を提供します。それぞれの詳細は次の節で説明します。

5.1.8.1 デバイス ID 読み出し (RDID、9Fh)

CY15x116QSN デバイスは、メーカー、製品 ID、およびダイ レビジョンについて問い合わせを行えます。RDID オペコード 9Fh を使用すると、両方とも読み出し専用バイトである 8 バイトのメーカー ID と製品 ID を読めます。デバイス ID フィールドはデバイス ID フィールド表に記載されています。対応する製品番号のデバイス ID を 112 ページの[注文情報](#)に示します。

注:

- 示されているダミーサイクルは CR5 のレジスタレイテンシコードビット (RLC0、RLC1) で設定できるオプションです。
- RDID データ優先順番として、LSb が先にシフトアウトし、MSb が最後にシフトアウトします。RDID コマンドはラップに対応しません。8 バイト目の後、ホストがクロック供給を継続したら、デバイスは未定義のデータバイトを返します。

デバイス ID のフィールド

ビット (ビット数)	63~32 (32ビット)	31~21 (11 ビット)	20~8 (13 ビット)	7~3 (5ビット)	2~0 (3 ビット)
説明	000000000000000000000000 000000000000 (予約済み)	00000110100 (メーカーID)	製品ID	容量ID	ダイレ ビジョン

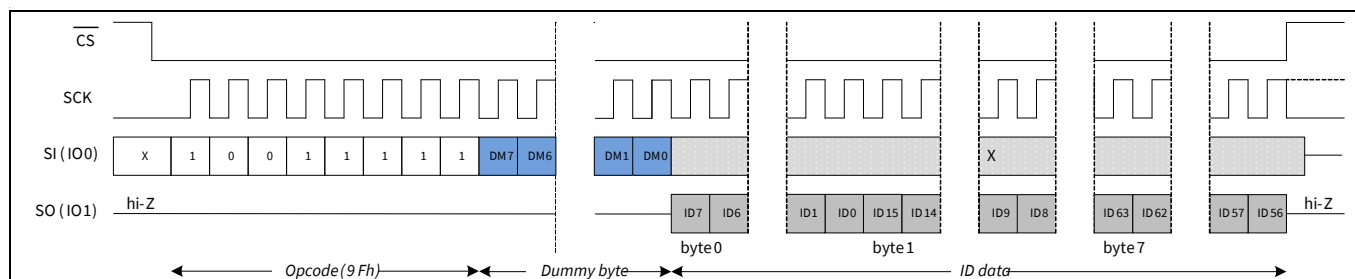


図 87 デバイス ID 読み出し (RDID) – SPI モード

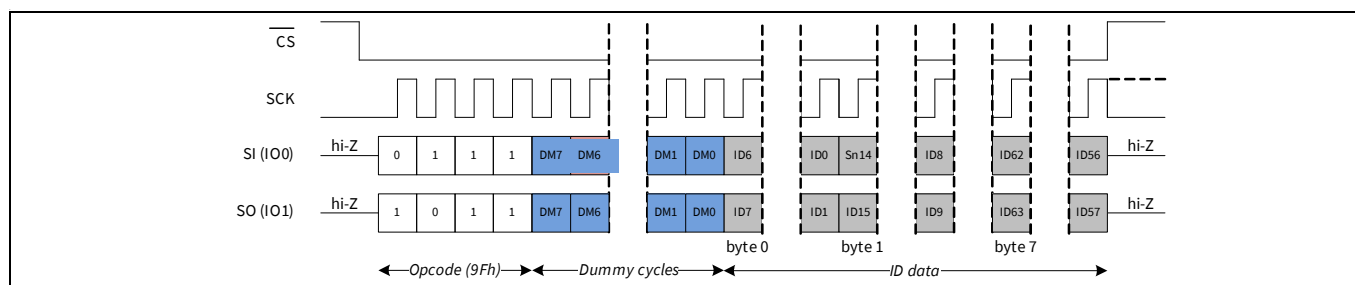


図 88 デバイス ID 読み出し (RDID) – DPI モード

機能説明

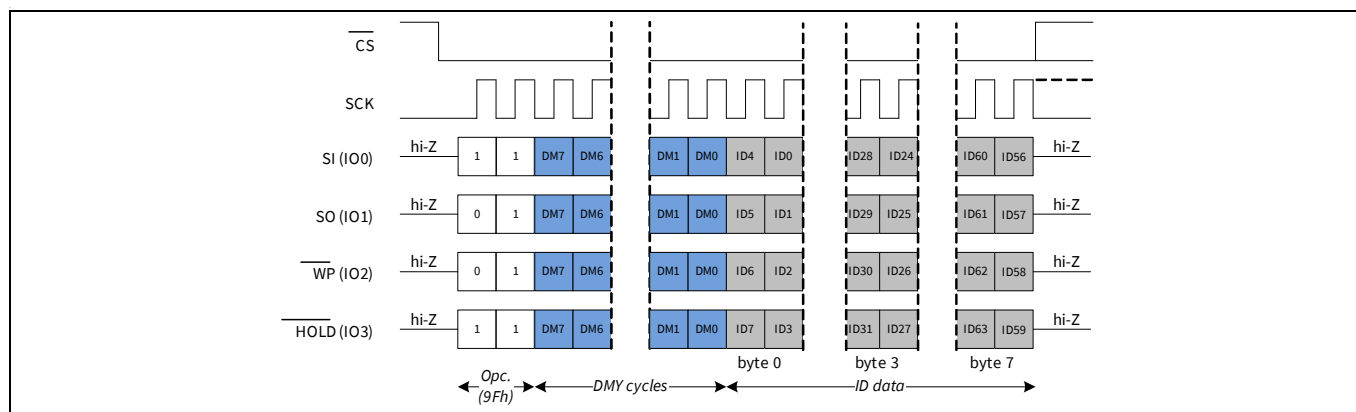


図 89 デバイス ID 読み出し (RDID) – QPI モード

5.1.8.2 固有 ID 読み出し (RUID、4Ch)

CY15x116QSN デバイスは、工場出荷時にプログラミングされたデバイスに固有の 64 ビット番号である固有 ID について問い合わせを行えます。RUID オペコード 4Ch を使用すると、8 バイトの読み出し専用固有 ID を読み出せます。

注：

- 示されているダミー サイクルは CR5 のレジスタ レイテンシ コード ビット (RLC0、RLC1) で設定できるオプションです。
- RUID データ優先順番として、LSb が先にシフトアウトし、MSb が最後にシフトアウトします。RDID コマンドはラップに対応しません。8 バイト目の後、ホストがクロック供給を継続したら、デバイスは未定義のデータ バイトを返します。
- 固有 ID レジスタは、最大 3 回の標準はんだリフロー サイクルにわたってユーザー データを保持することを保証しています。

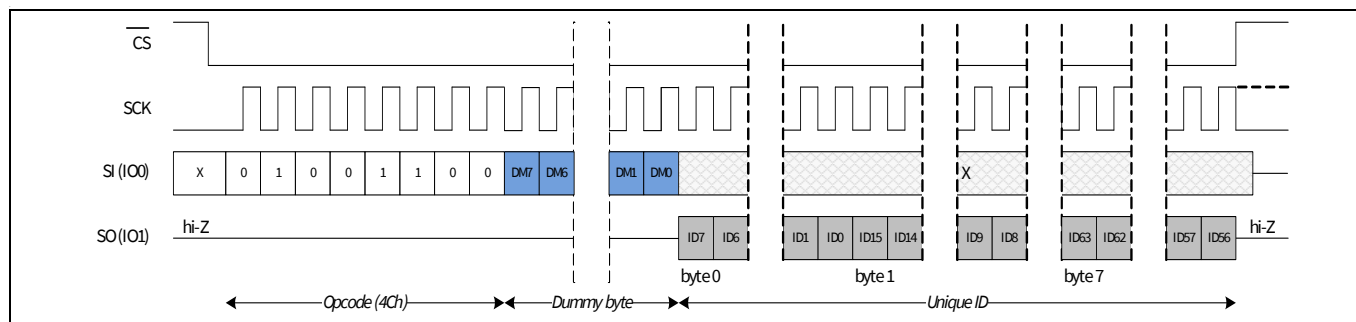


図 90 固有 ID 読み出し – SPI モード

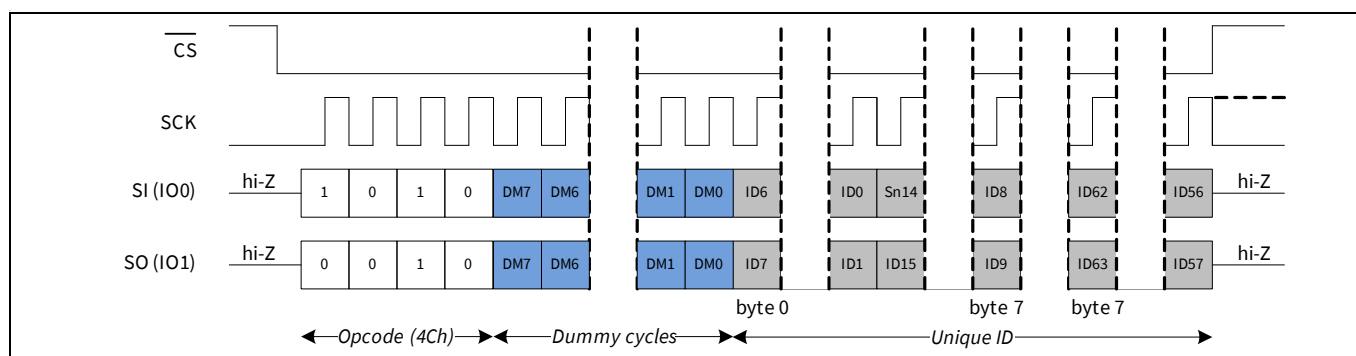


図 91 固有 ID 読み出し – DPI モード

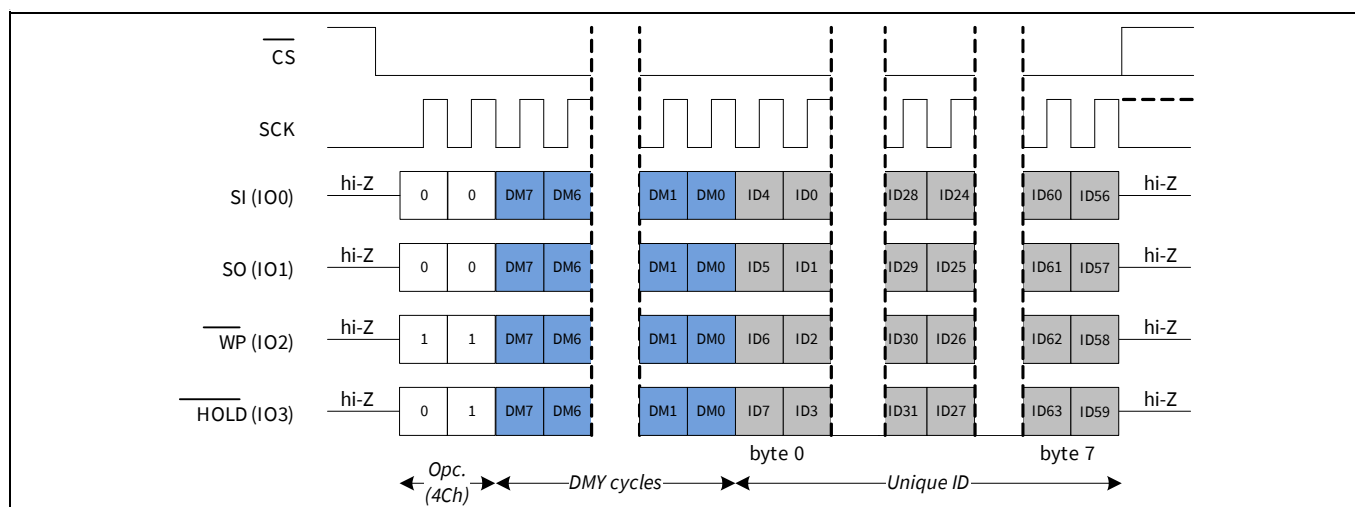


図 92 固有 ID 読み出し - QPI モード

5.1.8.3 シリアル番号書き込み (WRSN、C2h)

シリアル番号は、PC 基板またはシステムを一義的に識別するためにユーザーに提供される 8 バイトのプログラマブルメモリ空間です。通常、シリアル番号は 2 バイトのカスタム ID、その後に続く 5 バイトの一義的なシリアル番号および 1 バイトの CRC チェックで構成されています。ただし、エンドアプリケーションでは、8 バイトのシリアル番号に独自フォーマットで定義ができます。シリアル番号レジスタへのすべての書き込みは、 $\overline{\text{CS}}$ がアサートおよびデアサートされた状態で WREN オペコードで始まります。次のオペコードは WRSN です。WRSN 命令は、シリアル番号の全 8 バイトを書き込むためにバーストモードで使用できます。シリアル番号の最後のバイトがシフトインされた後、WRSN 動作を完了するために $\overline{\text{CS}}$ を HIGH に駆動する必要があります。

注:

- 書き込み動作を有効にするためにステータスレジスタの書き込みイネーブルラッチ (WEL) が「1」にセットされた場合にのみ、WRSN 命令はデバイスによって実行されます。WRSN 動作が終了すると、書き込みイネーブルラッチ (WEL) は「0」にセットされます。
- WRSN データ優先順番として、LSb が先にシフトインし、MSb が最後にシフトインします。
- 7 バイト ID に対する CRC チェックサムはデバイスによって計算されません。システムファームウェアは CRC チェックサムを計算し、チェックサムを 7 バイトのユーザー定義のシリアル番号に付け加えてから、8 バイトシリアル番号をシリアル番号レジスタにプログラミングする必要があります。8 バイトシリアル番号の工場出荷時の初期値は「0x0000000000000000」です。
- WEL ビットは WRSN コマンドが完了した後 ($\overline{\text{CS}}$ の立ち上がりエッジ)、自動的に「0」にクリアされます。
- 正確に 8 バイトを入力する必要があります。そうしないと、シリアル番号書き込み (WRSN) は実行されません。

表 55 8 バイト シリアル番号

16ビット カスタムID		40ビット固有番号					8ビット CRC
SN[63:56]	SN[55:48]	SN[47:40]	SN[39:32]	SN[31:24]	SN[23:16]	SN[15:8]	SN[7:0]

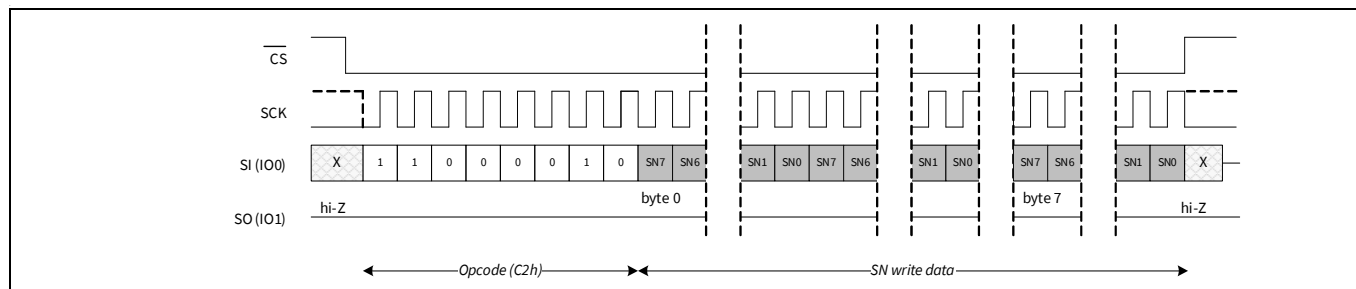


図 93 シリアル番号書き込み – SPI モード (WREN が非表示)

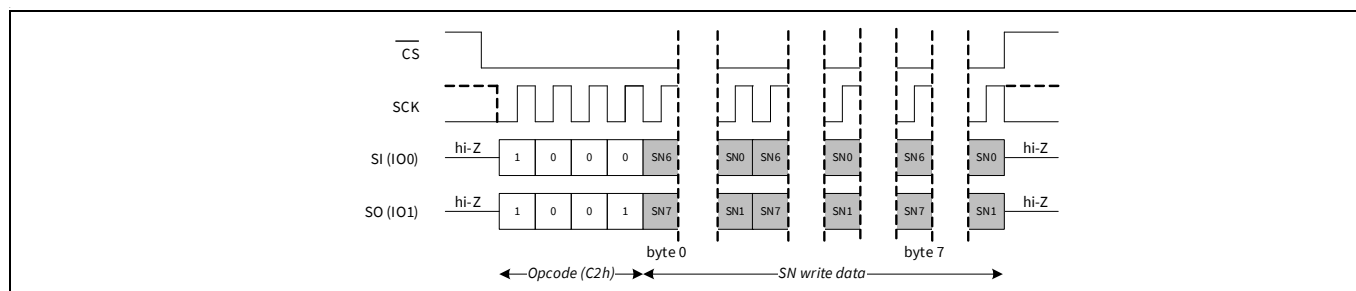


図 94 シリアル番号書き込み – DPI モード (WREN が非表示)

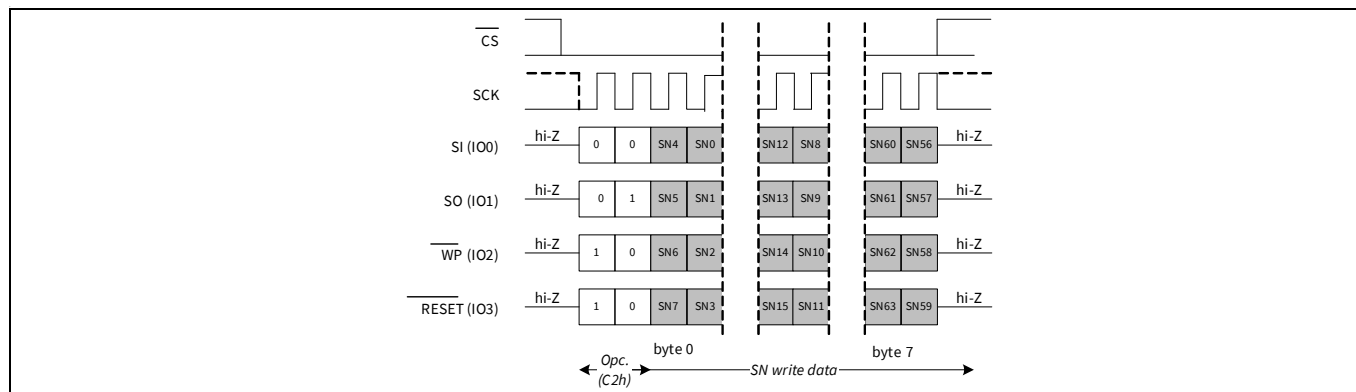


図 95 シリアル番号書き込み – QPI モード (WREN が非表示)

5.1.8.4 シリアル番号読み出し (RDSN、C3h)

CY15x116QSN デバイスは、デバイスを一義的に識別するためにユーザーに提供される 8 バイトのシリアル番号の空間を組み込んでいます。シリアル番号は RDSN 命令で読み出されます。シリアル番号読み出しは、一度に全 8 バイトを読み出すためにバーストモードで実行できます。シリアル番号の最後のバイトが読み出された後、ホストは RDSN コマンドを終了させるために、クロック供給を停止し、CS を HIGH に駆動する必要があります。CS が LOW になった後、RDSN のオペコードをシフトすることで RDSN 命令を発行できます。

注:

- 示されているダミーサイクルは CR5 のレジスタレイテンシコードビット (RLC0、RLC1) で設定できるオプションです。
- LSb が先にシフトアウトし、MSb が最後にシフトアウトします。ホストが 8 バイト目の後もクロック供給を継続したら、デバイスは未定義データバイトを返すことがあります。

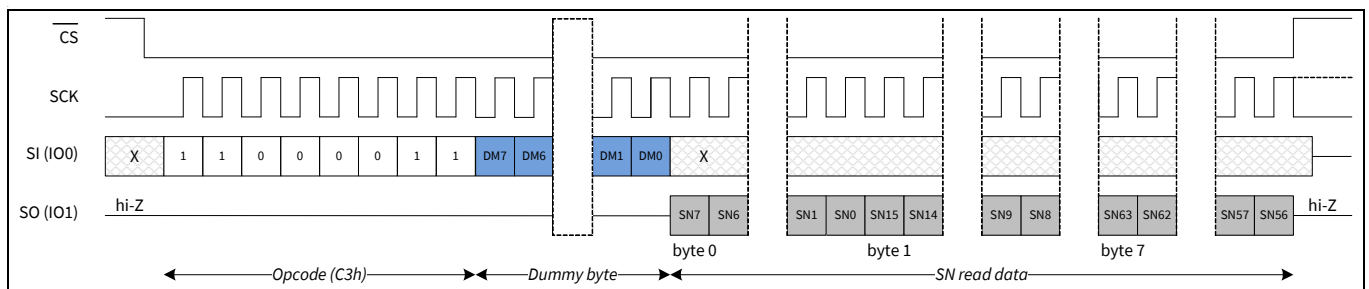


図 96 シリアル番号読み出し (RDSN) – SPI モード

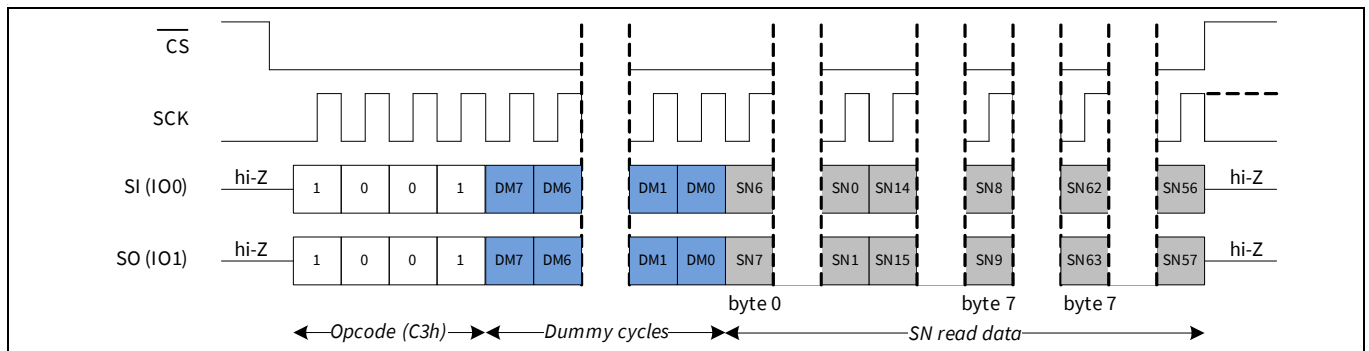


図 97 シリアル番号読み出し (RDSN) – DPI モード

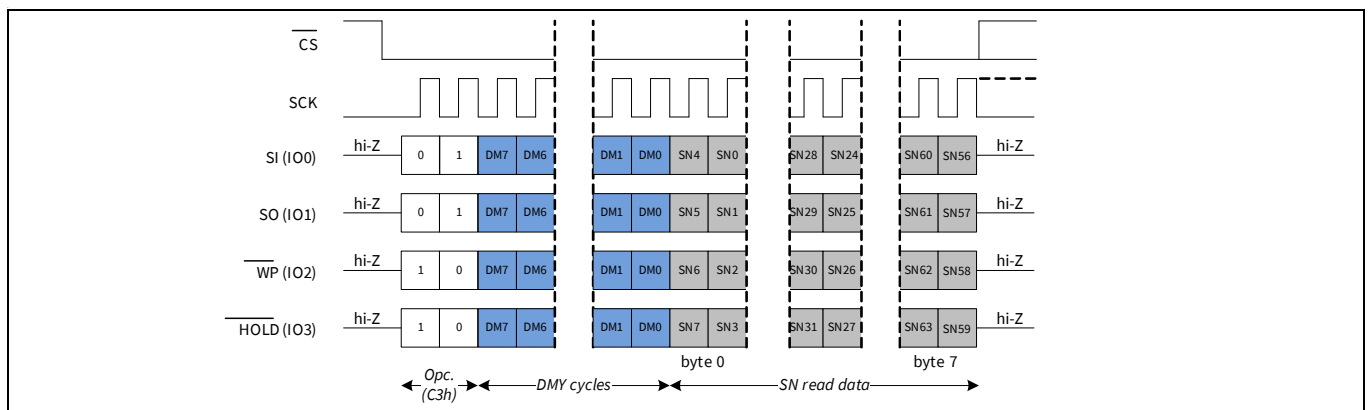


図 98 シリアル番号読み出し (RDSN) – QPI モード

5.1.9 低消費電力モードおよびリセット

表 56 低消費電力モードおよびリセット コマンド

コマンド	オペコード (16進)	コマンド説明
DPD	B9	ディープ パワーダウン: ディープ パワーダウン モードに移行
HBN	BA	ハイバネート モード: ハイバネート モードに移行
RSTEN	66	リセット イネーブル: ソフトウェアリセットを有効にするプリコマンド
RST	99	ソフトウェアリセット: ソフトウェアリセットを開始するコマンド

表 57 低消費電力モードおよびリセット コマンド説明

オペコード (16進)	アドレス長	SPIバス インターフェース							データ転送		レイテンシ(なし)	XIP	最大クロック周波数
		SPI	デュアルデータ	クアッドデータ	デュアルI/O	クアッドI/O	DPI	QPI	SDR	DDR	ダミーサイクル	直接実行	
B9	NA	有	NA				有	有	有	NA	NA	NA	108MHz
BA	NA	有	NA				有	有	有	NA	NA	NA	108MHz
66	NA	有	NA				有	有	有	NA	NA	NA	108MHz
99	NA	有	NA				有	有	有	NA	NA	NA	108MHz

5.1.9.1 ディープ パワーダウン モード (DPD、B9h)

DPD オペコード B9 がクロック入力され、 \overline{CS} の立ち上りエッジが適用されると、デバイスはディープ パワーダウン モードに入ります。ディープ パワーダウン モードでは、SCK と SI ピンが無視され、SO ピンが Hi-Z になりますが、デバイスは \overline{CS} ピンの監視を継続します。

t_{CSDPD} の \overline{CS} パルス幅またはハードウェアリセットは t_{EXTDPD} 時間後に DPD モードを終了します。 \overline{CS} パルス幅は、ダミー コマンド サイクルを送信するか、または SCK と I/O がドント ケアになっている間に \overline{CS} のみをトグルすることによって生成できます。ディープ パワーダウン モードからの復帰中は、I/O は Hi-Z 状態のままです。DPD の開始と終了タイミングについては、それぞれ図 99 と図 102 を参照してください。

注:

- 図 99 に示されているタイミング詳細は、DPI および QPI モードでそのまま適用できます。
- CRC レジスタ (CRCR) および ECC レジスタ (ECCDC および ADDRTRAP) は DPD モードで内容を失い、0x00 のデフォルト値に戻ります。
- WEL ビット (SR0[1]) の状態は DPD モードで維持されません。DPD 開始前に WEL の状態は「1」の場合、DPD モードが終了すると「0」にクリアされます。

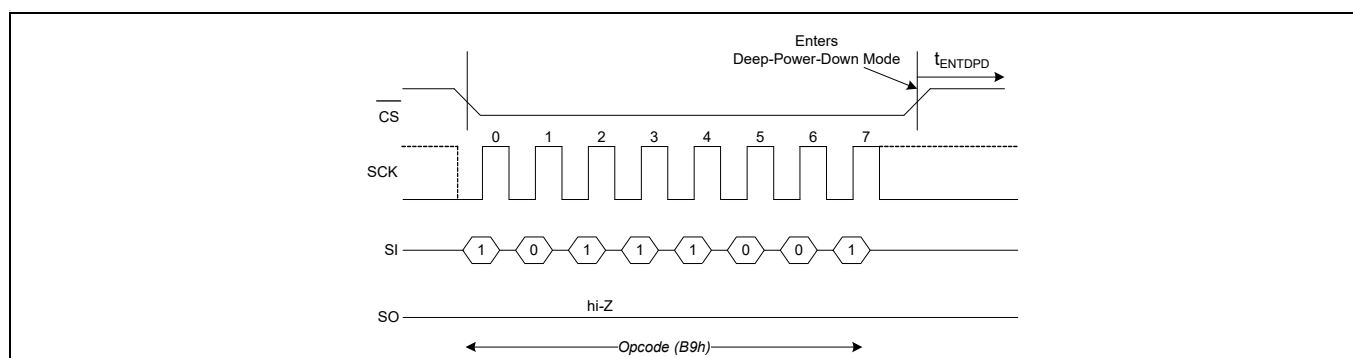


図 99 DPD 開始 – SPI モード

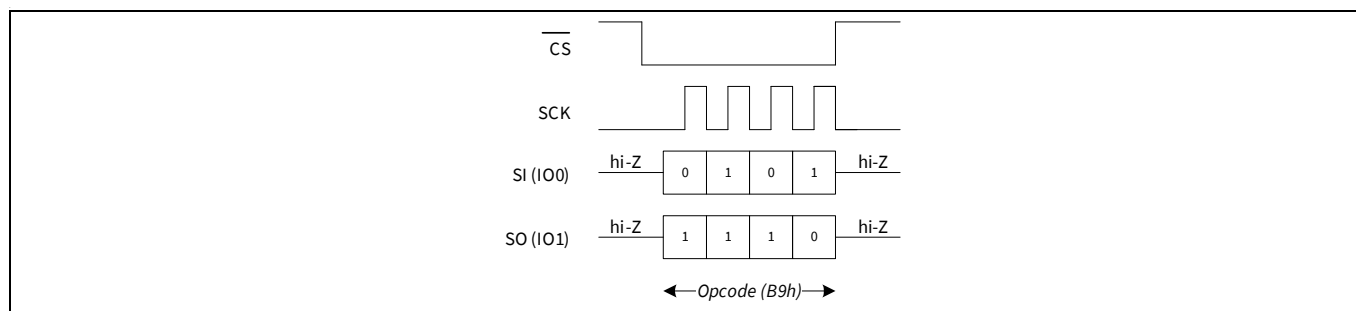


図 100 ディープ パワーダウン モード動作 – DPI モード

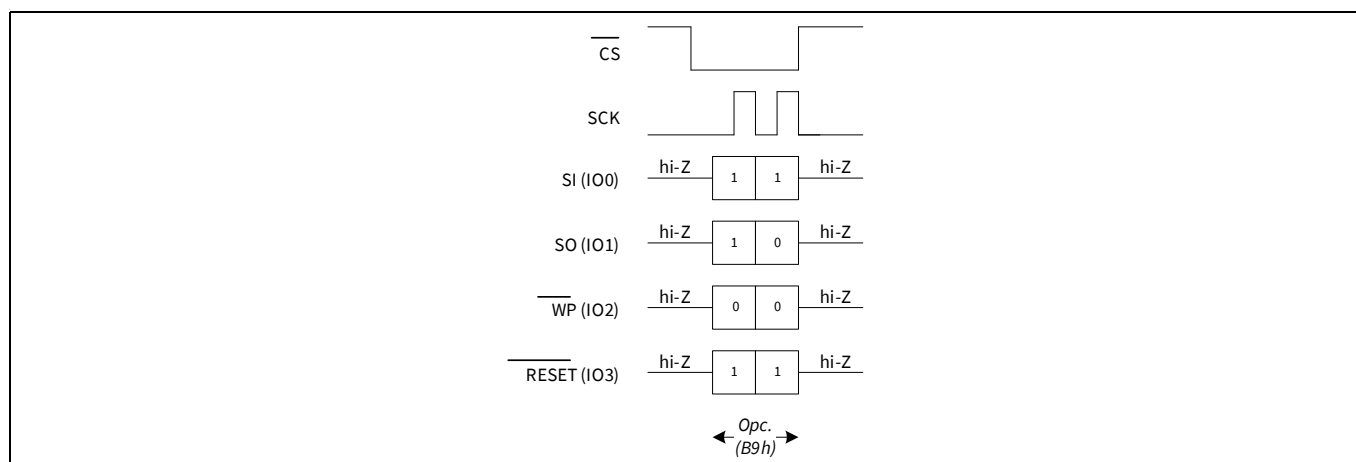


図 101 ディープ パワーダウン モード動作 – QPI モード

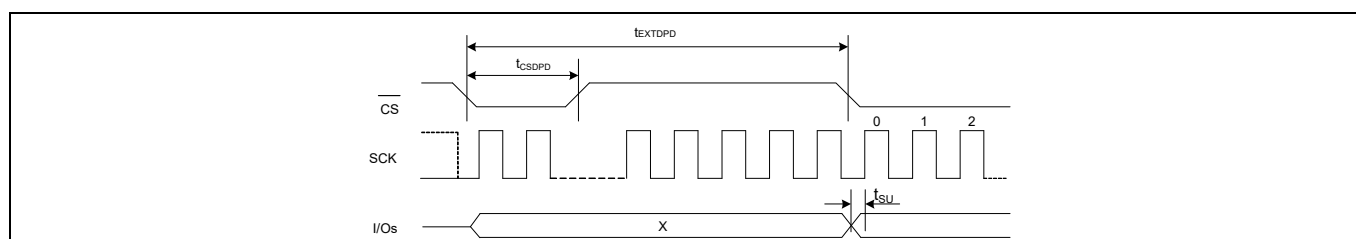


図 102 DPD 終了 – SPI モード

5.1.9.2 ハイバネート モード (HBN、BAh)

HBN オペコード BAh がクロック入力され、 \overline{CS} の立ち上がりエッジが適用されると、デバイスはハイバネートモードに入ります。ハイバネートモードでは、SCK と SI ピンが無視され、SO ピンが Hi-Z になりますが、デバイスは \overline{CS} ピンの監視を続けます。 \overline{CS} の次の立ち下りエッジで、デバイスは t_{EXTHIB} 時間内で通常の動作に復帰します。ハイバネートモードからの復帰中、SO ピンは Hi-Z 状態のままです。デバイスは、復帰期間内でオペコードに応答するとは限りません。ハイバネートモードを終了するために、コントローラーは、例えば「ダミー」読み出しを送信し、残りの t_{EXTHIB} 時間待機することがあります。

注:

- SPI モードのタイミング図に示されているタイミング詳細は、DPI および QPI モードでそのまま適用できます。
- ハイバネートモードを終了すると、すべてのレジスタはデフォルトの POR 値でリロードされます。レジスタの POR 後デフォルト値の詳細は表 3 を参照してください。

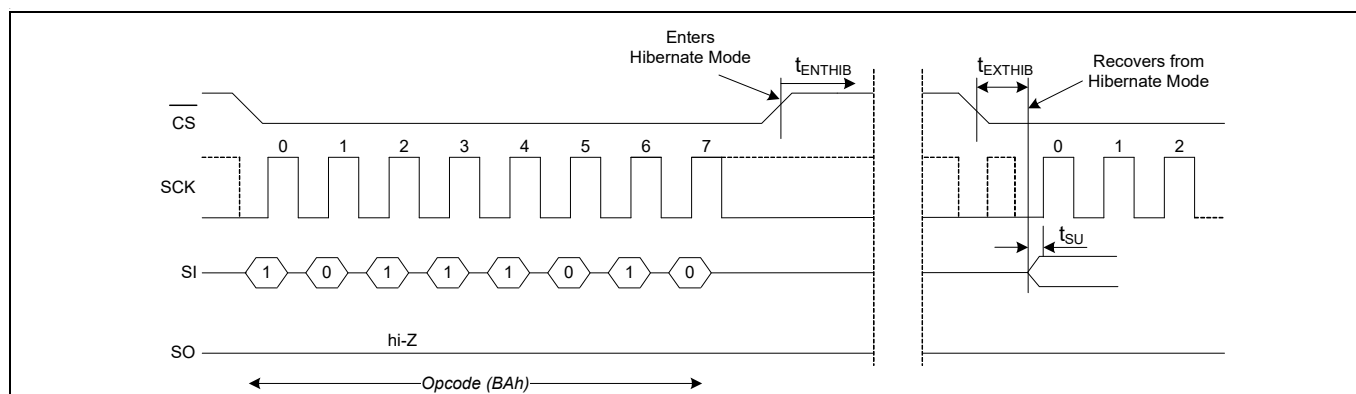


図 103 ハイバネート モード動作 – SPI モード

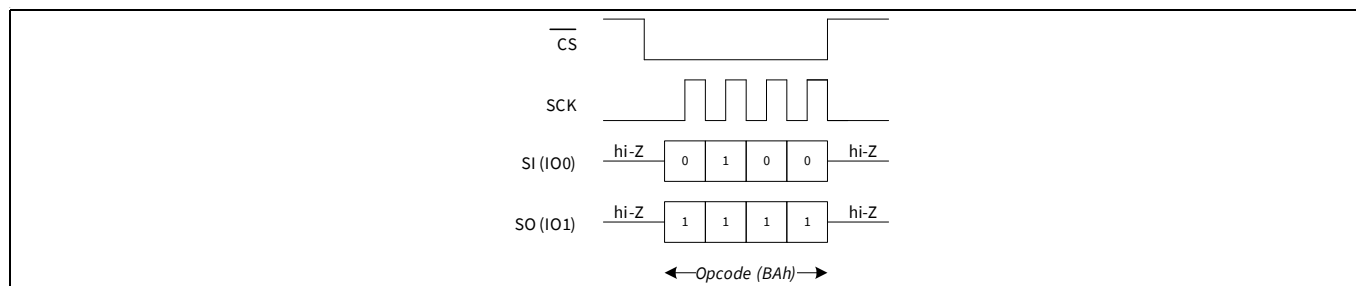


図 104 ハイバネート モード動作 – DPI モード

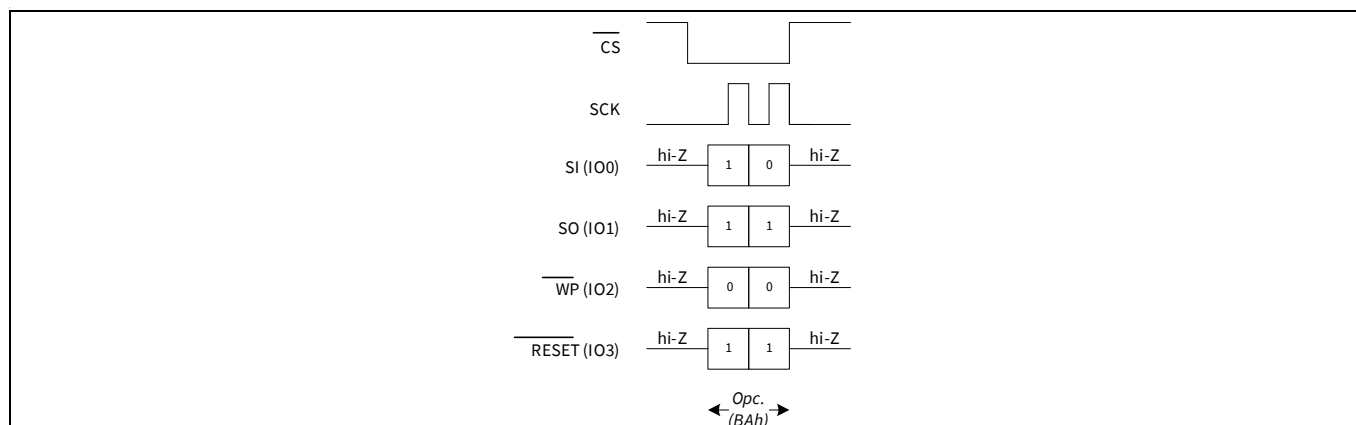


図 105 ハイバネート モード動作 – QPI モード

5.1.9.3 ソフトウェアリセット

ソフトウェアリセット動作は2つの命令を組み合わせたものです。リセットイネーブル (RSTEN) 命令に続くリセット (RST) 命令。デバイス全体をリセットし、 t_{SRESET} 時間後にのみ命令を受信できるようにします。

注:

- RST を除き、RSTEN 命令に続くすべての命令はリセットイネーブル状態をクリアし、後続の RST 命令が認識されないようにします。
- ソフトウェアリセット中、RDSR1 と RDAR コマンド (RDSR1 へのアクセス) のみサポートされます。他のコマンドは無視されます。
- SPI モードのタイミング図に示されているタイミング詳細は、DPI および QPI モードでそのまま適用できます。

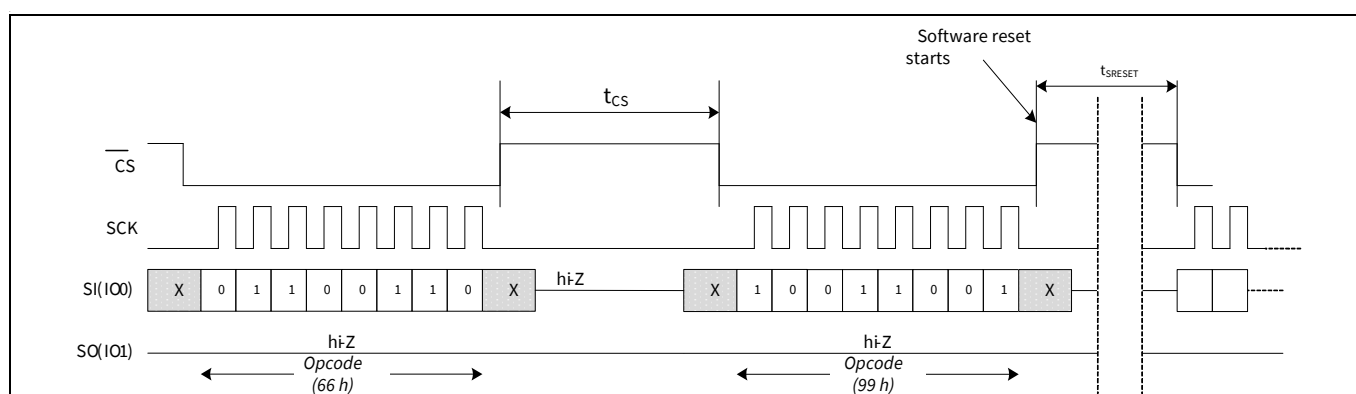


図 106 ソフトウェアリセット タイミング – SPI モード

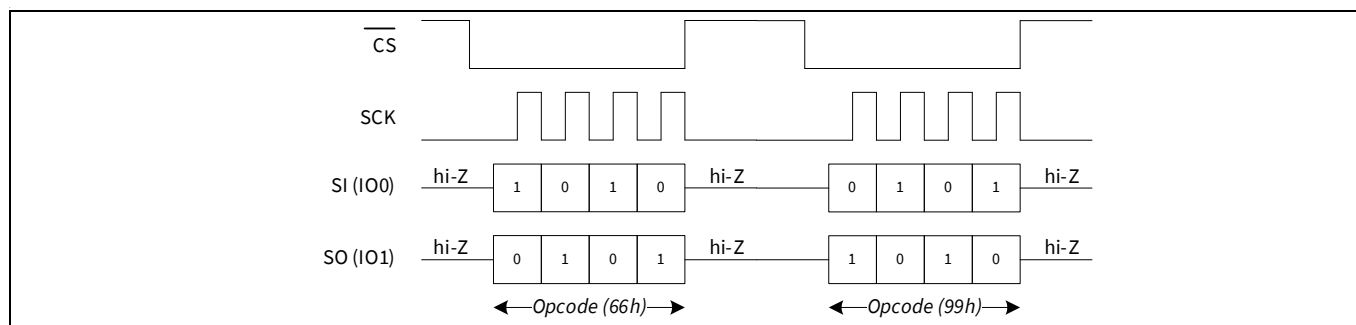


図 107 ソフトウェアリセット タイミング – DPI モード

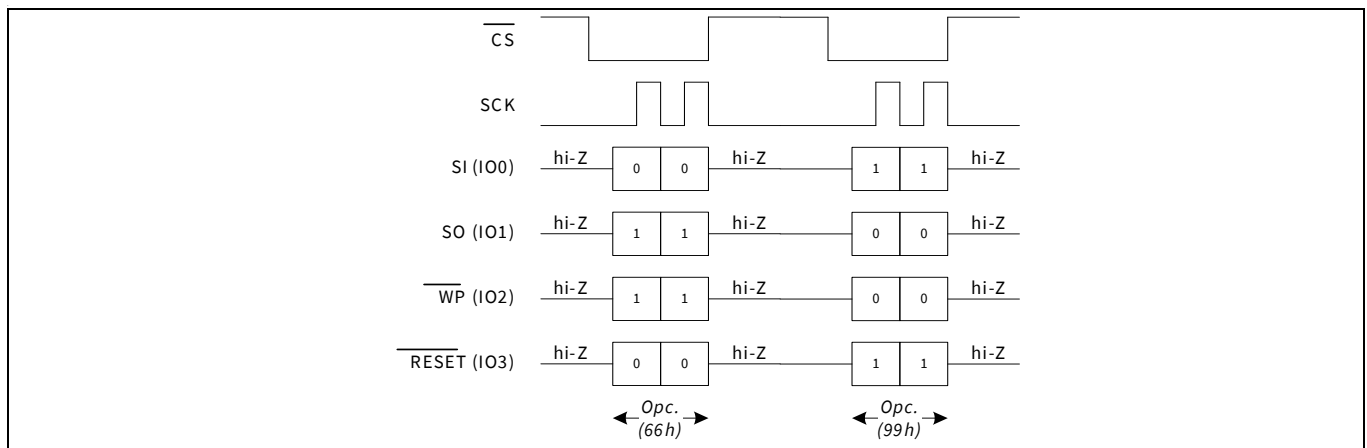


図 108 ソフトウェアリセット タイミング – QPI モード

5.1.9.4 ハードウェアリセット (RESET)

ハードウェアリセット入力 (RESET) は RESET / (I/O3) で多重化され、CY15x116QSN デバイスではアクティブ LOW 信号です。さまざまな SPI インターフェースでのハードウェアリセット (RESET) ピンのコンフィギュレーションは表 21 を参照してください。RESET ピンが LOW にされると、CY15x116QSN は自己初期化し、それ自体のコンフィギュレーションを電源投入時の状態に戻します。RESET サイクル後の異なるレジスタコンフィギュレーションは表 58 を参照してください。RESET が発行されると、CY15x116QSN はリセットサイクルを完了するために RESET の立ち上がりエッジから t_{RPH} / t_{HRESET} 時間がかかります。 t_{RPH} 時間中は CY15x116QSN にアクセスできなくなります。図 109 ~ 図 111 は異なるリセットモードでの RESET タイミングを示します。

注:

- RESET ピンは QPI モードで I/O3 に多重化されます。QPI モードでハードウェア (RESET) を使用する場合、CS が HIGH のときに RESET 入力として I/O3 を使用するには、CR2[5] ビットを「1」にセットする必要があります。図 109 に QPI モードでの RESET / (I/O3) のタイミングを示します。
- RESET ピンでのハードウェアリセット機能を有効にするため、コンフィギュレーションレジスタ 1 の QUAD ビット CR1[1] を「0」にセットする必要があります。
- QPI モードでの共有バスコンフィギュレーションでは、RESET 機能が有効にされた場合、同じバス上のマスターと他の QSPI スレーブ間の通信が継続すると、デバイスは RESET / (I/O3) がトグルするたびにリセットされます。したがって、共有バスコンフィギュレーションでは RESET ピン機能を無効にすることが推奨されます。

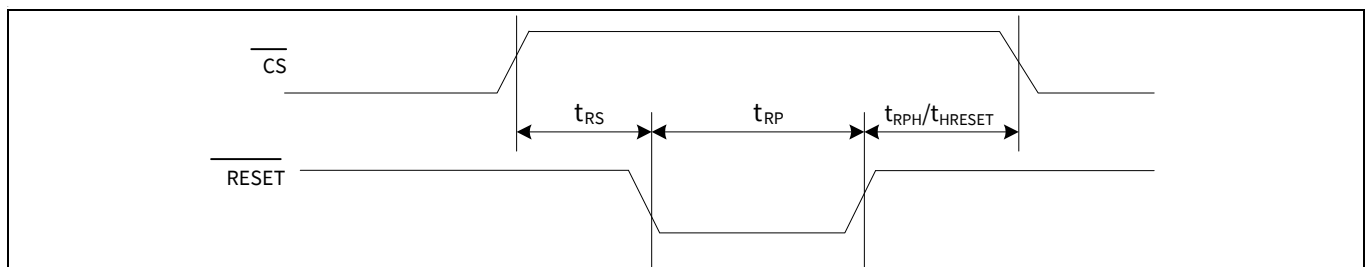


図 109 RESET タイミング – SPI モード; QUAD セット (CR1[1] = 「1」) または QPI 有効 (CR2[6] = 「1」)

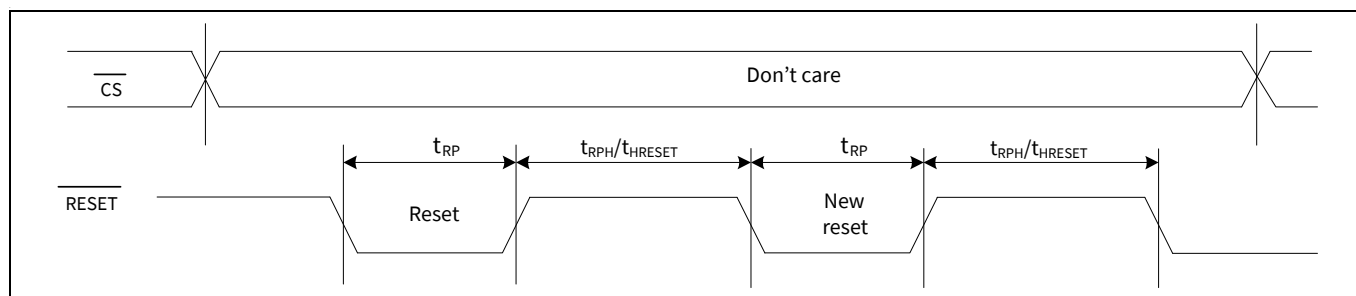


図 110 **RESET タイミング – SPI モード ; QUAD クリア (CR1[1] = 「0」) および QPI 無効 (CR2[6] = 「0」)**

5.1.9.5 JEDEC SPI リセット

JEDEC SPI リセットは、デバイスの動作 I/O モードとは独立したハードウェアリセットを開始するシグナリング プロトコルです。デバイスは、ステータスおよびコンフィギュレーションのレジスタで選択されたデフォルト モードになります。表 58 にデフォルト回復が開始された後のデバイス状態を示します。

デフォルト モード回復手順は以下のとおりです。

1. \overline{CS} はアクティブ LOW にトグルし、SPI スレーブを選択します。
2. SCK は HIGH または LOW 状態のいずれでも安定したままになります。
3. \overline{CS} が LOW になると同時に SI (I/O0) は HIGH から LOW にトグルします。他の I/O (I/O1、I/O2、および I/O3) はドントケアのままになります。
4. \overline{CS} は I/O0 が LOW の間、HIGH に駆動されます。
5. 上記のステップ 1 ~ 4 を合計 4 回繰り返します (SI (I/O0) の状態が \overline{CS} の立ち下りエッジで 4 回変化します)。
6. リセットは 4 番目の \overline{CS} が HIGH (非アクティブ) になった後に起きます。

タイミング詳細は図 111 を参照してください。

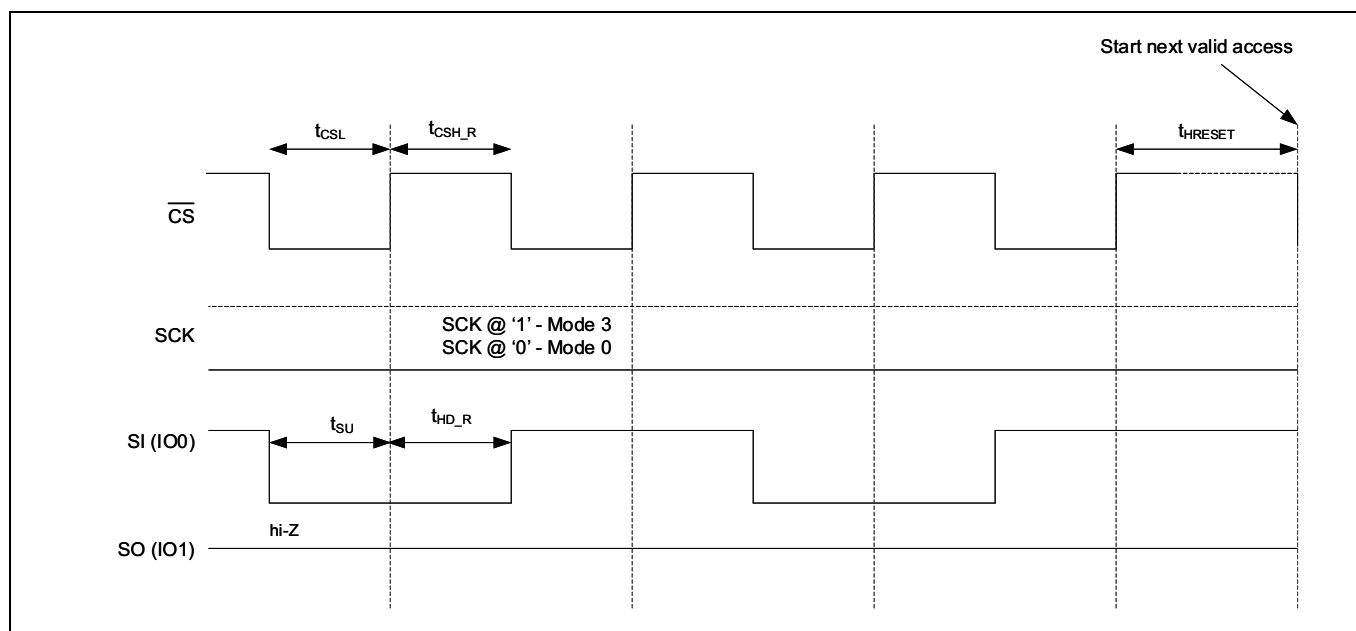


図 111 JEDEC SPI リセット

表 58 各種リセット後のレジスタ ステータス

リセット機能	I/O要件	ステータスレジスタ (SRx)	コンフィギュレーションレジスタ (CRx)	ECCステータス	CRCレジスタ	ECCカウントレジスタ (ECCDC)	ADDRトラップレジスタ (ADDTRAP)	I/Oモード
パワーオンリセット	$\overline{CS} = 1$ 他の入力: 無視 全出力: トライステート	SR1: デフォルト値ロード SR2: 0x00	CR1、CR2、CR4、CR5: デフォルト値ロード	0x00 ロード	0x00 ロード	0x00 ロード	0x00 ロード	変更なし
ハードウェアリセット	$\overline{CS} = 1$ 他の入力: 無視 全出力: トライステート	SR1: デフォルト値ロード SR2: 0x00	CR1、CR2、CR4、CR5: デフォルト値ロード	0x00 ロード	0x00 ロード	0x00 ロード	0x00 ロード	変更なし
ソフトウェアリセット	命令 (RSTEN、RST)	SR1: 変化なし (ただし、WEL ビットが「1」にセットされた場合、「0」にクリアされる) SR2: 0x00	CR1、CR2、CR4、CR5: 変化なし	0x00 ロード	0x00 ロード	0x00 ロード	0x00 ロード	変更なし
JEDEC リセット (デフォルト回復)	\overline{CS} と SI (I00) = トグル 他の入力: 無視 全出力: トライステート	SR1: デフォルト値ロード SR2: 0x00	CR1、CR2、CR4、CR5: デフォルト値ロード	0x00 ロード	0x00 ロード	0x00 ロード	0x00 ロード	変更なし

CY15x116QSN が未定義の状態になり、すべての SPI コマンドへの応答を停止した場合、SPI ホストはハードウェア RESET または JEDEC SPI リセットを発行できます。誤ったオペコードか、誤ったオペコードのラッチを内部で発生させる可能性がある SPI 信号上のグリッチか、またはデバイスが正常に起動しなかった (t_{PU} 後にもビジー状態 $WIP = \text{「1」}$ を示し続ける) ことによって、CY15x116QSN は内部テストモードまたは未定義のモードに入ります。

注: ECC (ECCDC および ADDRTRAP) レジスタは DPD で内容を失い、0x00 のデフォルト値に戻ります。ハイバネート モードを終了すると、すべてのレジスタは表 3 に示す電源投入時のデフォルト値でリロードされます。

最大定格

6 最大定格

最大定格を超えると、デバイスの寿命が短くなる可能性があります。ユーザー ガイドラインはテストされていません。

保管温度	-65 °C ~ +125 °C
最大累積保存時間 周囲温度 125 °C	1000 時間
周囲温度 85 °C	10 年
最大接合部温度	125 °C
V_{SS} を基準にした V_{DD} 電源電圧 : CY15V116QSN CY15B116QSN	-0.5 V ~ +2.4 V -0.5 V ~ +4.1 V
入力電圧	$V_{IN} \leq V_{DD} + 0.5 \text{ V}$
High-Z 状態の出力に印加される DC 電圧	-0.5 V ~ $V_{DD} + 0.5 \text{ V}$
グランド電位を基準にした任意のピンの過渡電圧 (< 20 ns)	-2.0 V ~ $V_{DD} + 2.0 \text{ V}$
パッケージ許容電力損失 ($T_A = 25 \text{ °C}$)	1.0 W
表面実装はんだ付け温度 (3 秒)	+260 °C
DC 出力電流 (一度に 1 出力、1 秒間)	15 mA
静電気の放電電圧 人体モデル (JEDEC 規格 JESD22-A114-B)	2 kV
デバイス帯電モデル (JEDEC 規格 JESD22-C101-A)	500 V
ラッチアップ電流	> 140 mA

7 動作範囲

表 59 動作範囲

デバイス	周囲温度	V _{DD}
CY15V116QSN	産業用、-40 °C ~ +85 °C	1.71 V ~ 1.89 V
CY15B116QSN		1.8 V ~ 3.6 V

8 DC 電気的特性

動作範囲 内

パラメータ	説明	テスト条件		Min	Typ ^[15]	Max	単位
V _{DD}	電源	CY15V116QSN		1.71	1.8	1.89	V
		CY15B116QSN		1.8	3.0	3.6	V
I _{DD1}	V _{DD} 供給電流 — SPI SDR モード	V _{DD} = 1.71V ~ 1.89V。SCK は V _{DD} - 0.2V と V _{SS} の間でトグル。他の入力 は V _{SS} または V _{DD} - 0.2V。出力負荷なし	f _{SCK} = 50MHz	–	7	9.5	mA
			f _{SCK} = 108MHz	–	14	17.5	mA
		V _{DD} = 1.8V ~ 3.6V。SCK は V _{DD} - 0.2V と V _{SS} の間でトグル。他の入力 は V _{SS} または V _{DD} - 0.2V。出力負荷なし	f _{SCK} = 50MHz	–	8.0	10.5	mA
			f _{SCK} = 108MHz	–	15	18.5	mA
I _{DD2}	V _{DD} 供給電流 — DPI SDR モード	V _{DD} = 1.71V ~ 1.89V。SCK は V _{DD} - 0.2V と V _{SS} の間でトグル。他の入力 は V _{SS} または V _{DD} - 0.2V。出力負荷なし	f _{SCK} = 108MHz	–	16.5	21	mA
		V _{DD} = 1.8V ~ 3.6V。SCK は V _{DD} - 0.2V と V _{SS} の間でトグル。他の入力 は V _{SS} または V _{DD} - 0.2V。出力負荷なし	f _{SCK} = 108MHz	–	18	22.5	mA
I _{DD3}	V _{DD} 供給電流 — QPI SDR モード	V _{DD} = 1.71V ~ 1.89V。SCK は V _{DD} - 0.2V と V _{SS} の間でトグル。他の入力 は V _{SS} または V _{DD} - 0.2V。出力負荷なし	f _{SCK} = 108MHz	–	22	27.5	mA
		V _{DD} = 1.8V ~ 3.6V。SCK は V _{DD} - 0.2V と V _{SS} の間でトグル。他の入力 は V _{SS} または V _{DD} - 0.2V。出力負荷なし	f _{SCK} = 108MHz	–	23.5	30	mA
	V _{DD} 供給電流 — QPI DDR モード	V _{DD} = 1.71V ~ 1.89V。SCK は V _{DD} - 0.2V と V _{SS} の間でトグル。他の入力 は V _{SS} または V _{DD} - 0.2V。出力負荷なし	f _{SCK} = 46MHz	–	16.5	21	mA
		V _{DD} = 1.8V ~ 3.6V。SCK は V _{DD} - 0.2V と V _{SS} の間でトグル。他の入力 は V _{SS} または V _{DD} - 0.2V。出力負荷なし	f _{SCK} = 46MHz	–	17.5	23	mA
I _{SB}	V _{DD} スタンバイ電流	V _{DD} = 1.71V ~ 1.89V。CS = V _{DD} 。他の入力 は V _{SS} または V _{DD}	T _A = 25°C	–	115	–	μA
			T _A = 85°C	–	–	420	μA
		V _{DD} = 1.8V ~ 3.6V。CS = V _{DD} 。他の入力 は V _{SS} または V _{DD}	T _A = 25°C	–	200	–	μA
			T _A = 85°C	–	–	560	μA

注:

15. Typ 値は $25^\circ C$ 、 $V_{DD} = V_{DD}(typ)$ で測定されます。完全にテストされていません。

8 DC 電気的特性 (続き)

動作範囲 内

パラメーター	説明	テスト条件		Min	Typ ^[15]	Max	単位
I _{DPD}	ディープパワーダウン電流	V _{DD} = 1.71V ~ 1.89V。 \overline{CS} = V _{DD} 。 他の入力は V _{SS} または V _{DD}	T _A = 25°C	–	1.1	–	μA
			T _A = 85°C	–	–	28.1	μA
		V _{DD} = 1.8V ~ 3.6V。 \overline{CS} = V _{DD} 。 他の入力は V _{SS} または V _{DD}	T _A = 25°C	–	1.3	–	μA
			T _A = 85°C	–	–	29.4	μA
I _{HBN}	ハイバネート モード電流	V _{DD} = 1.71V ~ 1.89V。 CS = V _{DD} 。 他の入力は V _{SS} または V _{DD}	T _A = 25°C	–	0.1	–	μA
			T _A = 85°C	–	–	0.9	μA
		V _{DD} = 1.8V ~ 3.6V。 CS = V _{DD} 。 他の入力は V _{SS} または V _{DD}	T _A = 25°C	–	0.1	–	μA
			T _A = 85°C	–	–	1.6	μA
I _{LI}	I/O ピンの入力リーク電流	V _{SS} < V _{IN} < V _{DD}	–1	–	1	μA	
	WP と RESET の入力リーク電流 (I/O2 と I/O3 機能が無効のとき)		–100	–	1	μA	
I _{LO}	出力リーク電流	V _{SS} < V _{OUT} < V _{DD}	–1	–	1	μA	
V _{IH}	入力 HIGH 電圧		0.7 × V _{DD}	–	V _{DD} + 0.3	V	
V _{IL}	入力 LOW 電圧		–0.3	–	0.3 × V _{DD}	V	
V _{OH1}	出力 HIGH 電圧	I _{OH} = –1mA、V _{DD} = 2.7V	2.4	–	–	V	
V _{OH2}	出力 HIGH 電圧	I _{OH} = –100μA	V _{DD} – 0.2	–	–	V	
V _{OL1}	出力 LOW 電圧	I _{OL} = 2mA、V _{DD} = 2.7V	–	–	0.4	V	
V _{OL2}	出力 LOW 電圧	I _{OL} = 150μA	–	–	0.2	V	

注:

15.Typ 値は $25^\circ C$ 、 $V_{DD} = V_{DD}(typ)$ で測定されます。完全にテストされていません。

データ保持期間およびアクセス可能回数

9 データ保持期間およびアクセス可能回数

表 60 データ保持期間およびアクセス可能回数

パラメーター	説明	テスト条件	Min	Max	単位
T _{DR}	データ保持期間	T _A = 85°C	10	–	年
		T _A = 75°C	38	–	
		T _A = 65°C	151	–	
NV _C	アクセス可能回数	動作温度範囲内	10 ¹⁴	–	回

10 静電容量

表 61 静電容量

パラメーター ^[16]	説明	テスト条件	Max	単位
C _O	出力ピン静電容量 (SO)	T _A = 25°C、f = 1MHz、V _{DD} = V _{DD} (typ)	6	pF
C _I	入力ピン静電容量		5	pF

注:

16. このパラメーターは定期的にサンプリングされているもので、完全なテストは行われません。

熱抵抗

11 熱抵抗

表 62 熱抵抗

パラメーター ^[17]	説明	テスト条件	24 ボール FBGA	単位
Θ_{JA}	熱抵抗 (接合部から周囲)	テスト条件は、EIA / JESD51 による、熱インピーダンスを測定するための標準的なテスト方法と手順に従う	46.4	°C/W
Θ_{JC}	熱抵抗 (接合部からケース)		22.8	°C/W

注:

17. このパラメーターは定期的にサンプリングされているもので、完全なテストは行われません。

12 AC テスト条件

表 63 AC テスト条件

パラメーター	値	
	CY15V116QSN	CY15B116QSN
入力パルス レベル (0V ~ V_{DD})	0V ~ V_{DD}	0V ~ V_{DD}
入力立ち上り / 立ち下り時間 (10% ~ 90%)	$\leq 1.8\text{ns}$	$\leq 2.0\text{ns}$
入力タイミング参照電圧	$0.3 \times V_{DD} \sim 0.7 \times V_{DD}$	$0.3 \times V_{DD} \sim 0.7 \times V_{DD}$
出力タイミング参照電圧 (V_T)	$V_{DD}/2$	$V_{DD}/2$
負荷静電容量 (C_L)	30pF	30pF

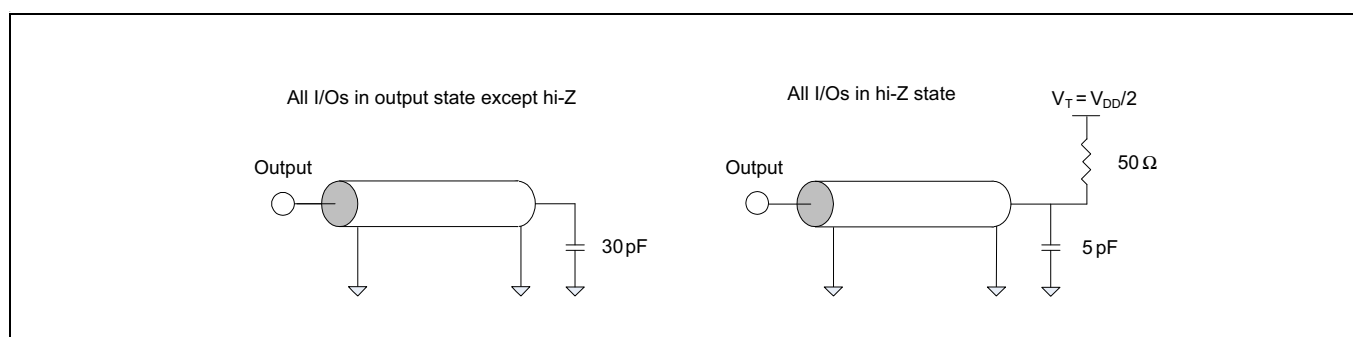


図 112 AC テスト負荷

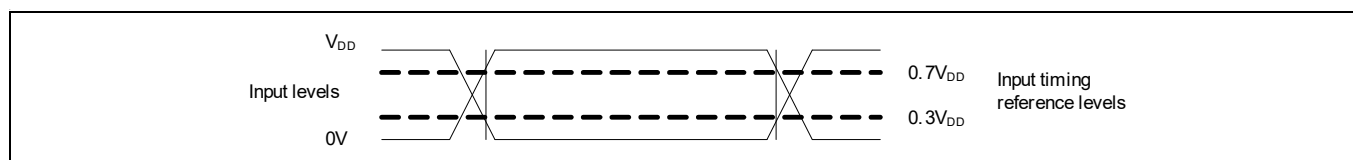


図 113 AC タイミング入力電圧参照レベル

13 SDR AC スイッチング特性

表 64 SDR AC スイッチング特性

パラメーター ^[18]		説明	Min	Max	単位
パラメーター	代替 パラメーター				
f _{SCK}	–	SCKクロック周波数	0	108	MHz
t _{CH}	–	クロックHIGH時間	$0.45 \times 1/f_{SCK}$	–	ns
t _{CL}	–	クロックLOW時間	$0.45 \times 1/f_{SCK}$	–	ns
t _{CSS}	t _{CSU}	チップセレクト (\overline{CS}) セットアップ時間	5	–	ns
t _{CSH}	t _{CSH}	チップセレクト (\overline{CS}) ホールド時間 – SPIモード0	4	–	ns
t _{CSH1}	–	チップセレクト (\overline{CS}) ホールド時間 – SPIモード3	9	–	ns
t _{HZCS}	t _{OD} ^[19, 20]	出力無効時間 – CY15B116QSN	–	10	ns
		出力無効時間 – CY15V116QSN	–	11	ns
t _{CO}	–	出力データ有効時間; 15pF負荷 (出力ドライバが45Ω設定。動作範囲内)	–	7	ns
		クロックLOWから出力有効までの時間; 15pF負荷 (出力ドライバが45Ω設定。V _{DD} = 2.7V～ 3.6V。動作範囲内)	–	6.7	ns
		クロックLOWから出力有効までの時間; 30pF負荷 (出力ドライバが45Ω設定。V _{DD} = 2.7V～ 3.6V。動作範囲内)	–	7	ns
		クロックLOWから出力有効までの時間; 30pF負荷 (出力ドライバがデフォルトの30Ω設定。動作範囲内)	–	7	ns
t _{OH}	–	出力ホールド時間	1	–	ns

注:

- 18.これらのパラメーターは 102 ページの **AC テスト条件**の下でテストされます。
- 19.t_{OD} および t_{HZ} は、5pF の負荷容量が付いている状態で測定されます。遷移の測定は、出力が高インピーダンス状態に入っているときに行われます。
- 20.特性評価はされていますが、量産では完全にテストされません。
- 21.t_{CS} は、新しいコマンドサイクルが特定の SPI モード (SPI、DPI または QPI) で開始するまでの最短のチップ選択解除 (CS HIGH) 時間です。このパラメーターはホストが新しいコマンドサイクルを開始する前に以前の動作が正常に完了したことを示します。図 116 を参照してください。

13 SDR AC スイッチング特性 (続き)

表 64 SDR AC スイッチング特性

パラメーター ^[18]		説明	Min	Max	単位
パラメーター	代替 パラメーター				
$t_{CS}^{[21]}$	t_D	コマンド サイクル前のチップ選択解除 (\overline{CS} HIGH) 時間 – SPIモード。すべてのメモリ アレイおよびレジスタのアクセス	40	–	ns
		コマンド サイクル前のチップ選択解除 (\overline{CS} HIGH) 時間 – DPIモード。メモリ アレイ アクセスを除くすべてのアクセス	105	–	ns
		コマンド サイクル前のチップ選択解除 (\overline{CS} HIGH) 時間 – DPIモード (拡張SPIでのデュアル モードを含む)。メモリ アレイ アクセス (非XIPモード)	70	–	ns
		コマンド サイクル前のチップ選択解除 (\overline{CS} HIGH) 時間 – DPIモード (拡張SPIでのデュアル モードを含む)。メモリ アレイ アクセス (XIPモード)	105	–	ns
		コマンド サイクル前のチップ選択解除 (\overline{CS} HIGH) 時間 – QPIモード。メモリ アレイ アクセスを除くすべてのアクセス	145	–	ns
		コマンド サイクル前のチップ選択解除 (\overline{CS} HIGH) 時間 – QPIモード (拡張SPIでのクアド モードを含む)。メモリ アレイ アクセス (非XIPモード)	125	–	ns
$t_{CS}^{[21]}$	t_D	コマンド サイクル前のチップ選択解除 (\overline{CS} HIGH) 時間 – QPIモード (拡張SPIでのクアド モードを含む)。メモリ アレイ アクセス (XIPモード)	145	–	ns
t_{SD}	t_{SU}	データ入力セットアップ時間 (SCKに対する)	2	–	ns
t_{HD}	t_H	データ入力ホールド時間 (SCKに対する)	3	–	ns
t_{CLZ}		クロックLOWから出力Low-Zまでの時間	0	–	ns
t_{CRCC}	–	CRC計算時間 (100 μ s + (0.8 μ s/データ バイト数))	0.10	440	ms
t_{CRCS}	–	\overline{CS} HIGHからCRC計算中断までの時間	–	100	μ s
t_{CRCR}	–	\overline{CS} HIGHからCRC計算再開までの時間	–	100	μ s

注:

- 18.これらのパラメーターは 102 ページの **AC テスト条件**の下でテストされます。
19. t_{OD} および t_{HZ} は、5pF の負荷容量が付いている状態で測定されます。遷移の測定は、出力が高インピーダンス状態に入っているときに行われます。
- 20.特性評価はされていますが、量産では完全にテストされません。
21. t_{CS} は、新しいコマンドサイクルが特定の SPI モード (SPI、DPI または QPI) で開始するまでの最短のチップ選択解除 (\overline{CS} HIGH) 時間です。このパラメーターはホストが新しいコマンドサイクルを開始する前に以前の動作が正常に完了したことを示します。図 116 を参照してください。

目次

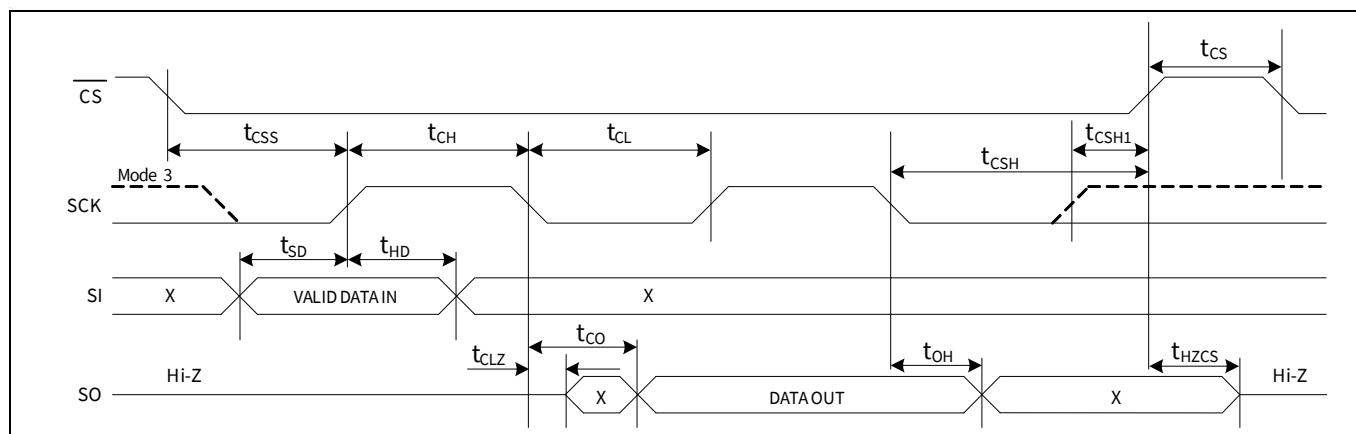


図 114 SPI スイッチング タイミング – シングル I/O、SDR (モード 0 とモード 3)

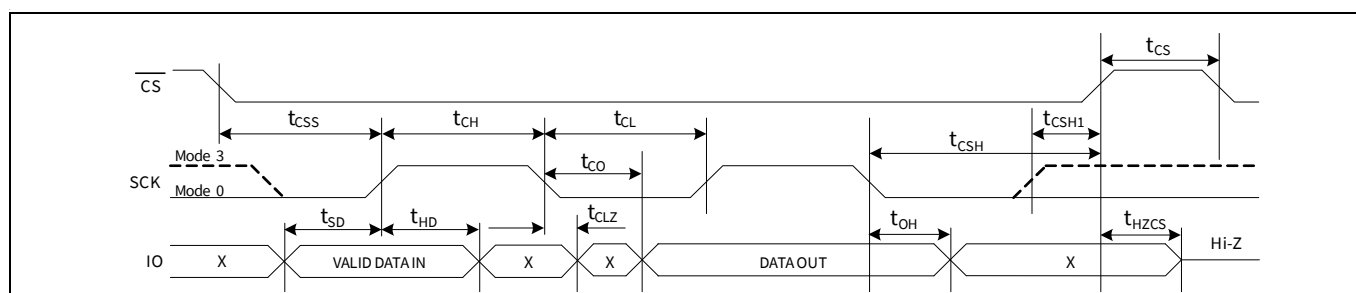


図 115 SPI スイッチング タイミング – マルチ I/O、SDR (モード 0 とモード 3)

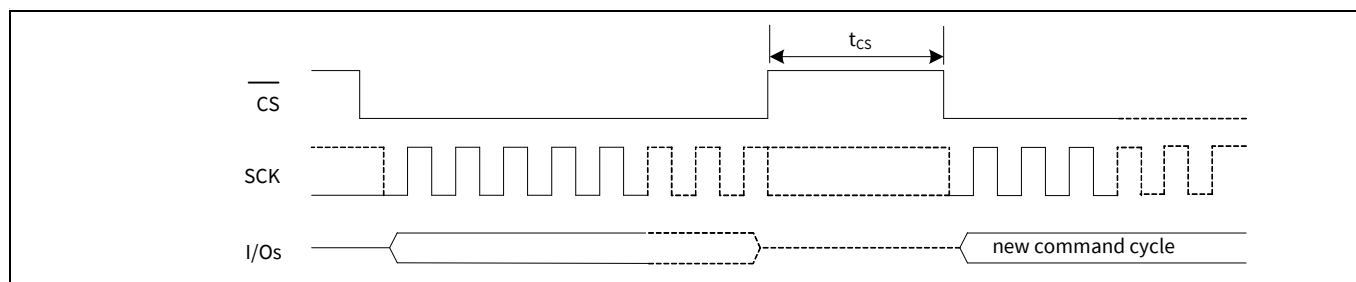


図 116 チップ選択解除 (\overline{CS} HIGH) – t_{CS} タイミング

14 DDR AC スイッチング特性

動作範囲内

表 65 DDR AC スイッチング特性

パラメーター [22]		説明	Min	Max	単位
パラメーター	代替パラメーター				
f_{SCK}	–	SCK クロック周波数	0	46	MHz
t_{CH}	–	クロック HIGH 時間	$0.45 \times 1/f_{SCK}$	–	ns
t_{CL}	–	クロック LOW 時間	$0.45 \times 1/f_{SCK}$	–	ns
t_{CSS}	t_{CSU}	チップセレクト (\overline{CS}) セットアップ時間	5	–	ns
t_{CSH}	t_{CSH}	チップセレクト (\overline{CS}) ホールド時間	5	–	ns
t_{HZCS}	t_{OD} [23、24]	出力無効時間 – CY15B116QSN	–	10	ns
		出力無効時間 – CY15V116QSN	–	11	ns
t_{CO}	–	出力データ有効時間 ; 15pF 負荷 (出力ドライバが 45Ω 設定。動作範囲内)	1	7	ns
		クロック LOW から出力有効までの時間 ; 15pF 負荷 (出力ドライバが 45Ω 設定。V _{DD} = 2.7V ~ 3.6V。動作範囲内)	1	6.7	ns
		クロック LOW から出力有効までの時間 ; 30pF 負荷 (出力ドライバが 45Ω 設定。V _{DD} = 2.7V ~ 3.6V。動作範囲内)	1	7	ns
		クロック LOW から出力有効までの時間 ; 30pF 負荷 (出力ドライバがデフォルトの 30Ω 設定。動作範囲内)	1	7	ns
t_{OH}	–	出力ホールド時間	1	–	ns
t_{CS} [25]	t_D	コマンドサイクル前のチップ選択解除 (\overline{CS} HIGH) 時間 – SPI モード。すべてのメモリ アレイおよびレジスタのアクセス	105	–	ns
		コマンドサイクル前のチップ選択解除 (\overline{CS} HIGH) 時間 – QPI モード。メモリアレイアクセスを除くすべてのアクセス	145	–	ns
		コマンドサイクル前のチップ選択解除 (\overline{CS} HIGH) 時間 – QPI モード (拡張 SPI でのクアド モードを含む)。メモリア レイアクセス (非 XIP モード)	125	–	ns
		コマンドサイクル前のチップ選択解除 (\overline{CS} HIGH) 時間 – QPI モード (拡張 SPI でのクアド モードを含む)。メモリア レイアクセス (XIP モード)	145	–	ns
t_{SD}	t_{SU}	データ入力セットアップ時間 (SCK に対する)	4	–	ns
t_{HD}	t_H	データ入力ホールド時間 (SCK に対する)	4	–	ns
t_{CLZ}		クロック LOW から出力 Low-Z までの時間	0	–	ns

注:

- 22.これらのパラメーターは 102 ページの **AC テスト条件** の下でテストされます。
23. t_{OD} および t_{HZ} は、5pF の負荷容量が付いている状態で測定されます。遷移の測定は、出力が高インピーダンス状態に入っているときに行われます。
- 24.特性評価はされていますが、量産では完全にテストされません。
25. t_{CS} は、新しいコマンドサイクルが特定の SPI モード (SPI または QPI) で開始するまでの最短のチップ選択解除 (\overline{CS} HIGH) 時間です。このパラメーターはホストが新しいコマンドサイクルを開始する前に以前の動作が正常に完了したことを保証します。図 116 を参照してください。

DDR AC スイッチング特性

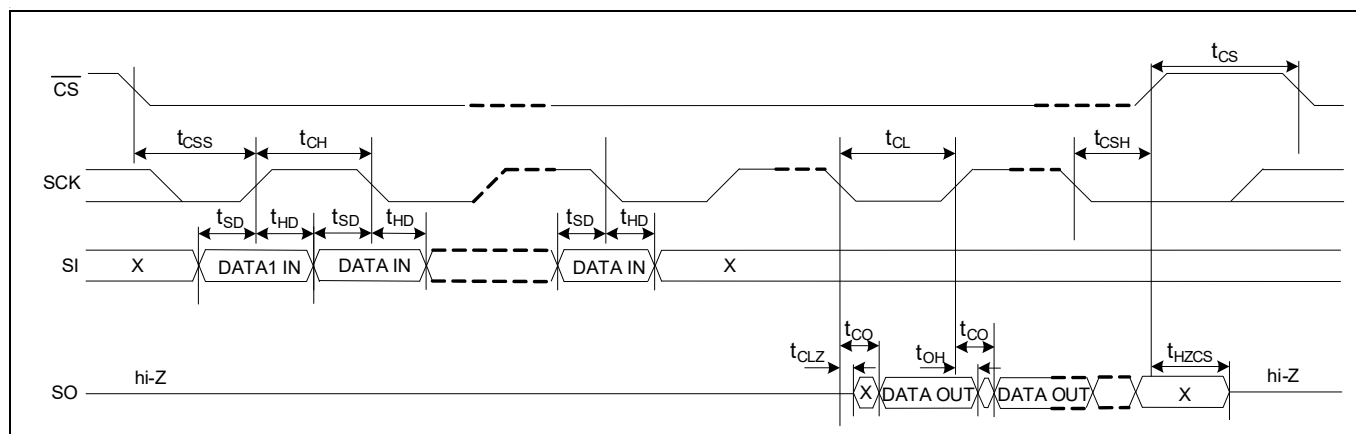


図 117 SPI スイッチング タイミング – シングル I/O、DDR

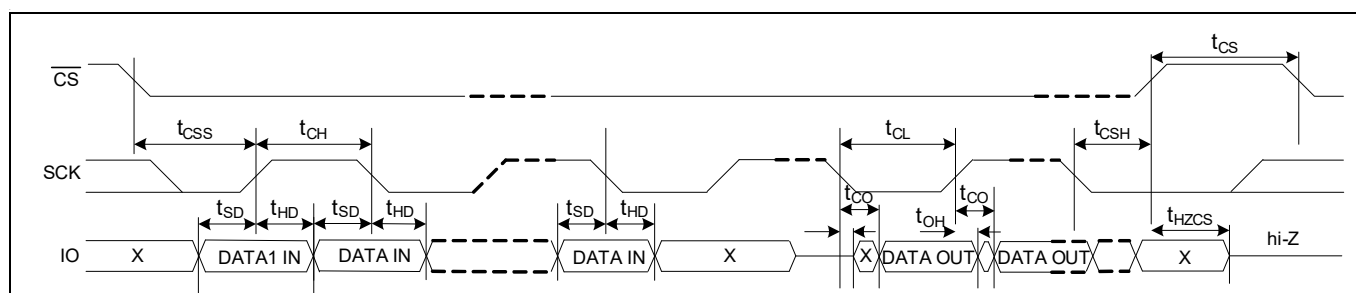


図 118 SPI スイッチング タイミング – マルチ I/O、DDR^[26]

注：

26. 両クロック エッジでデータ入力を取り込む DDR モード入力タイミングは、アドレスおよびデータ入力サイクルのみに適用されます。DDR オペコードは常にオペコード サイクル中に SDR モードで送信されます。

15 書き込み保護 (\overline{WP}) タイミング パラメーター

動作範囲内

パラメーター ^[27]		説明	Min	Max	単位
パラメーター	代替 パラメーター				
t_{WPS}	t_{SW}	\overline{WP} セットアップ時間 (\overline{CS} に対する)	20	–	ns
t_{WPH}	t_{HW}	\overline{WP} ホールド時間 (\overline{CS} に対する)	20	–	ns

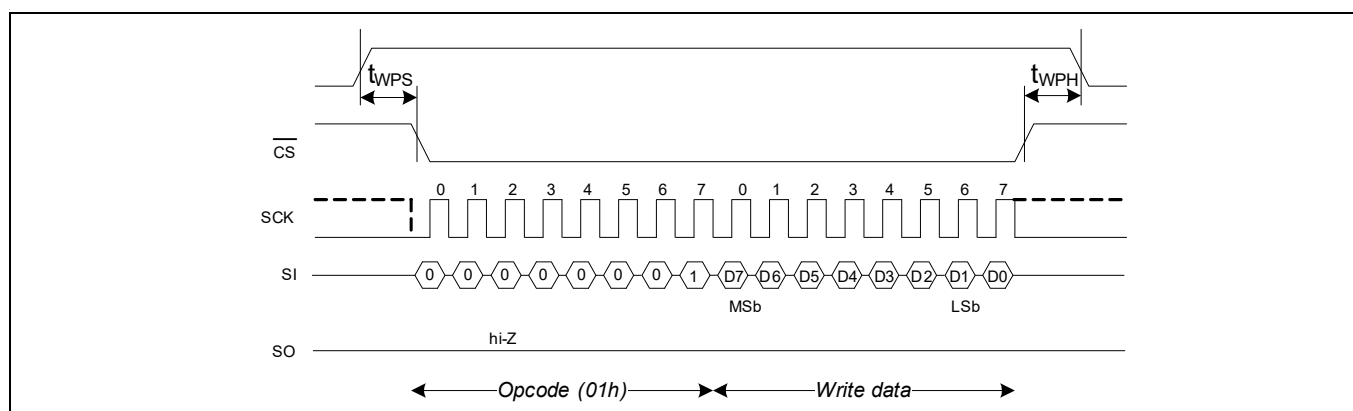


図 119 書き込み保護のセットアップとホールド タイミング

注:

27. これらのパラメーターは 102 ページの **AC テスト条件** の下でテストされます。

16 リセット ($\overline{\text{RESET}}$) タイミング パラメーター

動作範囲内

パラメーター ^[28]		説明	Min	Max	単位
パラメーター	代替 パラメーター				
t_{RS}	–	ハードウェア $\overline{\text{RESET}}$ セットアップ時間	50	–	ns
t_{RPH}	t_{RHSL} 、 t_{RH}	ハードウェア $\overline{\text{RESET}}$ ホールド時間	450	–	μs
t_{RP}	t_{RLRH}	ハードウェア $\overline{\text{RESET}}$ パルス幅	200	–	ns
t_{HRESET}		ハードウェア $\overline{\text{RESET}}$ 時間	–	450	μs
t_{SRESET}		ソフトウェア $\overline{\text{RESET}}$ 時間	–	100	μs
t_{CSL}		JEDEC リセット用チップセレクト ($\overline{\text{CS}}$) LOW 時間	500	–	ns
$t_{\text{CSH_R}}$		JEDEC リセット用チップセレクト ($\overline{\text{CS}}$) HIGH 時間	500	–	ns
t_{SU}		JEDEC リセット用 SI (I/O0) セットアップ時間 ($\overline{\text{CS}}$ HIGH に対する)	5	–	ns
$t_{\text{HD_R}}$		JEDEC リセット用 SI (I/O0) ホールド時間 ($\overline{\text{CS}}$ HIGH に対する)	5	–	ns

注:

28.これらのパラメーターは 102 ページの **AC テスト条件**の下でテストされます。

17 パワー サイクル タイミング

動作範囲内

パラメーター ^[29]		説明	Min	Max	単位
パラメーター	代替パラメーター				
t_{PU}		電源投入時 ($V_{DD(min)}$) から最初のアクセス ($\overline{CS LOW}$) までの時間	450	–	μs
$t_{VR}^{[30]}$		V_{DD} 電源投入時ランプレート	30	–	$\mu s/V$
$t_{VF}^{[30]}$		V_{DD} 電源切断時ランプレート	20	–	$\mu s/V$
$t_{ENTDPD}^{[31]}$	t_{DP}	$\overline{CS HIGH}$ からディープパワーダウンモード開始までの時間 ($\overline{CS HIGH}$ からハイバネートモード開始までの時間)	–	3	μs
$t_{CSDPD}^{[31]}$		ディープパワーダウンモードから復帰するための \overline{CS} パルス幅	0.015	$4 \times 1/f_{SCK}$	μs
$t_{EXTDPD}^{[32]}$	t_{RDP}	ディープパワーダウンモードからの回復時間 ($\overline{CS LOW}$ からアクセス準備完了までの時間)	–	13	μs
t_{ENTHIB}	t_{HBN}	ハイバネートモードへの移行時間 ($\overline{CS HIGH}$ からハイバネートモード開始までの時間)	–	3	μs
$t_{EXITHIB}^{[33]}$	t_{REC}	ハイバネートモードからの回復時間 ($\overline{CS LOW}$ からアクセス準備完了までの時間)	–	450	μs
$V_{DD(low)}$		初期化が必要となる低 V_{DD}	0.6	–	V
t_{PD}		$V_{DD(low)} = 0.6V$ 時の $V_{DD(low)}$ 時間	130	–	μs
		$V_{DD(low)} = V_{SS}$ 時の $V_{DD(low)}$ 時間	70	–	

注:

29.これらのパラメーターは 102 ページの **AC テスト条件** の下でテストされます。

30. V_{DD} 波形上の任意の点で測定した傾きです。

31.設計で保証されています。ディープスリープモード タイミングは図 99 と図 102 を参照してください。

32.設計で保証されています。ハイバネートモード タイミングは図 106 を参照してください。

33.特性評価はされていますが、量産では完全にテストされません。

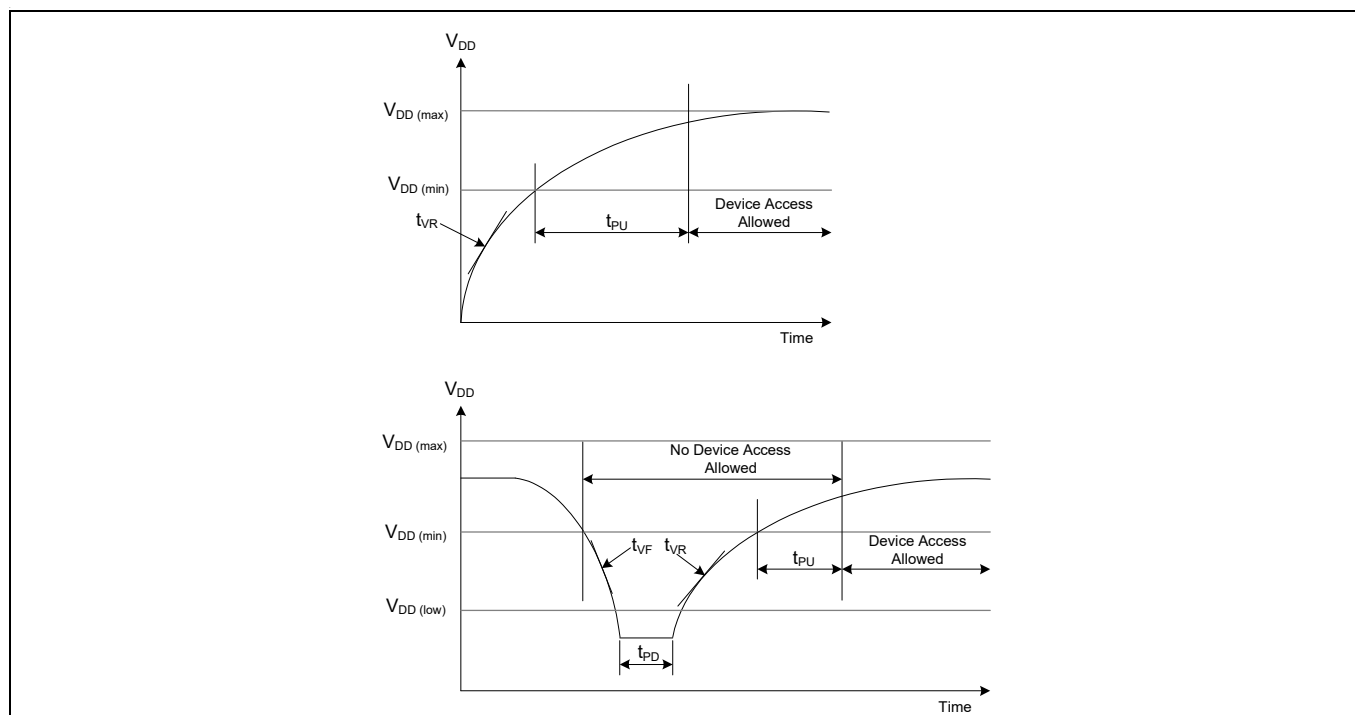


図 120 パワー サイクル タイミング

18 注文情報

注文コード	デバイスID	パッケージ図	パッケージタイプ	動作範囲
CY15B116QSN-108BKXI	0000000006825160	001-97209	24ボールFBGA	産業用
CY15V116QSN-108BKXI	0000000006805160	001-97209	24ボールFBGA	産業用

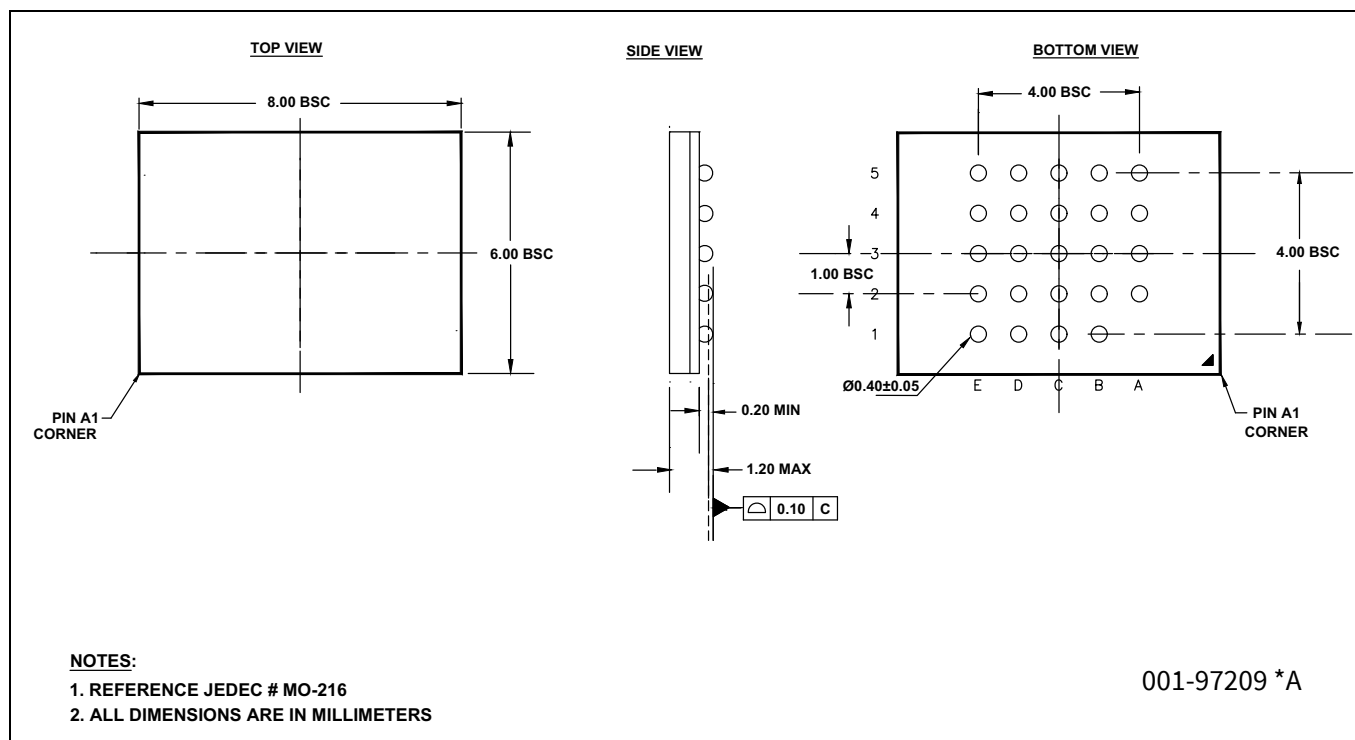
これらすべての製品は鉛フリーです。在庫状況については、最寄りの販売代理店にお問い合わせください。

18.1 注文コードの定義

CY	15	B	116	QS	N	-	108	BK	X	I	T	
												Options:
												Blank = Standard; T = Tape and reel
												Temperature range:
												I = Industrial (-40 °C TO +85 °C)
												X = Pb-free
												Package type:
												BK = 24-ball FBGA
												Frequency:
												108 = 108 MHz
												N = No Inrush current control
												Interface:
												QS = Quad SPI F-RAM
												Density:
												116 = 16 Mbit
												Voltage:
												V = 1.71 V to 1.89 V (1.8 V typical)
												B = 1.8 V to 3.6 V (3.0 V typical)
												15 = F-RAM
												CY = CYPRESSB (An Infineon company)

パッケージ図

19 パッケージ図



121 24L FBGA 8 × 6 × 1.2mm BK24A、001-97209

略語

20 略語

表 66 本書で使用する略語

略語	説明
CPHA	clock phase (クロック位相)
CPOL	clock polarity (クロック極性)
CRC	cyclic redundancy check (巡回冗長検査)
DPI	dual SPI (デュアルSPI)
ECC	error correction code (エラー訂正コード)
EEPROM	electrically erasable programmable read-only memory (電氣的消去書き込み可能読み出し専用メモリ)
EIA	electronic industries alliance (米国電子工業会)
F-RAM	ferroelectric random access memory (強誘電体ランダム アクセス メモリ)
I/O	input/output (入力/出力)
JEDEC	joint electron devices engineering council (半導体技術協会)
JESD	JEDEC standards (JEDEC規格)
LSb	least significant bit (最下位ビット)
MSb	most significant bit (最上位ビット)
RoHS	restriction of hazardous substances (特定有害物質使用制限指令)
SPI	serial peripheral interface (シリアル ペリフェラル インターフェース)
SOIC	small outline integrated circuit (小型外形集積回路)

21 本書の表記法

21.1 測定単位

表 67 測定単位

記号	測定単位
°C	摂氏温度
Hz	ヘルツ
kHz	キロヘルツ
kΩ	キロオーム
Mb	メガビット
MHz	メガヘルツ
μA	マイクロアンペア
μF	マイクロファラド
μs	マイクロ秒
mA	ミリアンペア
ms	ミリ秒
ns	ナノ秒
Ω	オーム
%	パーセント
pF	ピコファラド
V	ボルト
W	ワット

16Mb EXCELON™ Ultra 強誘電体 RAM (F-RAM)
シリアル (クアッド SPI)、2048K × 8、108MHz、産業用



改訂履歴

改訂履歴

版	発行日	変更内容
**	2022-11-18	これは英語版002-26981 Rev. *Fを翻訳した日本語版002-36628 Rev. **です。

Trademarks

All referenced product or service names and trademarks are the property of their respective owners.

Edition 2022-11-18
Published by
Infineon Technologies AG
81726 Munich, Germany

© 2022 Infineon Technologies AG.
All Rights Reserved.

Do you have a question about this document?

Go to www.infineon.com/support

Document reference
002-36628 Rev. **

重要事項

本文書に記載された情報は、いかなる場合も、条件または特性の保証とみなされるものではありません（「品質の保証」）。

本文に記された一切の事例、手引き、もしくは一般的な価値、および／または本製品の用途に関する一切の情報に関し、インフィニオンテクノロジーズ（以下、「インフィニオン」）はここに、第三者の知的所有権の不侵害の保証を含むがこれに限らず、あらゆる種類の一切の保証および責任を否定いたします。

さらに、本文書に記載された一切の情報は、お客様の用途におけるお客様の製品およびインフィニオン製品の一切の使用に関し、本文書に記載された義務ならびに一切の関連する法的要件、規範、および基準をお客様が遵守することを条件としています。

本文書に含まれるデータは、技術的訓練を受けた従業員のみを対象としています。本製品の対象用途への適合性、およびこれら用途に関連して本文書に記載された製品情報の完全性についての評価は、お客様の技術部門の責任にて実施してください。

警告事項

技術的要件に伴い、製品には危険物質が含まれる可能性があります。当該種別の詳細については、インフィニオンの最寄りの営業所までお問い合わせください。

インフィニオンの正式代表者が署名した書面を通じ、インフィニオンによる明示の承認が存在する場合を除き、インフィニオンの製品は、当該製品の障害またはその使用に関する一切の結果が、合理的に人的傷害を招く恐れのある一切の用途に使用することはできないこと予めご了承ください。