

# 16Mb EXCELON™ LP 強誘電体 RAM (F-RAM)

シリアル (SPI)、2048K × 8、20MHz、突入電流制御、民生用

## 特長

- 2048K × 8 論理構成として設計された 16Mb 強誘電体 RAM (F-RAM)
  - 1000 兆 ( $10^{15}$ ) 回の読み出し / 書き込みの事実上無制限の書換回数
  - 151 年間のデータ保持 (27 ページの「データ保持期間およびアクセス可能回数」を参照してください)
  - インフィニオンのインスタート不揮発性書き込み技術
  - 高信頼性強誘電体プロセス
- 高速シリアルペリフェラルインターフェース (SPI)
  - 最高周波数は 20MHz
  - SPI モード 0 (0, 0) およびモード 3 (1, 1) に対応
- 洗練された書き込み保護スキーム
  - 書き込み保護 ( $\overline{WP}$ ) ピンを使用したハードウェアによる保護
  - 書き込みディセーブル (WRDI) 命令を使用したソフトウェアによる保護
  - アレイの 1/4、1/2 または全体を対象としたソフトウェアブロック保護
- デバイス ID およびシリアル番号
  - メーカー ID および製品 ID
  - 固有デバイス ID
  - シリアル番号
- 専用 256 バイト特殊セクタ F-RAM
  - 専用特殊セクタの書き込みと読み出し
  - 保存コンテンツは最大 3 回の標準はんだリフロー サイクルに耐え得る
- 低消費電力
  - 20MHz で 1.50mA (Typ) のアクティブ電流
  - 14 $\mu$ A (Typ) のスタンバイ電流
  - 1.10 $\mu$ A (Typ) のディープパワーダウンモード電流
  - 0.1 $\mu$ A (Typ) のハイバネートモード電流
  - 1.90mA (Typ) の電源投入時の突入電流
- 低電圧動作
  - CY15V116QI:  $V_{DD} = 1.71V \sim 1.89V$
  - CY15B116QI:  $V_{DD} = 1.8V \sim 3.6V$
- 民生用動作温度範囲: 0°C ~ +70°C
- 24 ボール ファインピッチ ボールグリッドアレイ (24 ボール FBGA)
- RoHS 準拠

機能説明

## 機能説明

EXCELON™ LP CY15X116QI は高度な強誘電体プロセスを採用した低消費電力の 16Mb 不揮発性メモリです。強誘電体ランダム アクセス メモリ (F-RAM) は不揮発性であり、RAM 同様に読み書きを実行します。またシリアル フラッシュや EEPROM、その他の不揮発性メモリによる複雑さ、オーバーヘッド、システム レベルの信頼性関連問題を回避し、151 年間にわたって信頼できるデータ保持ができます。

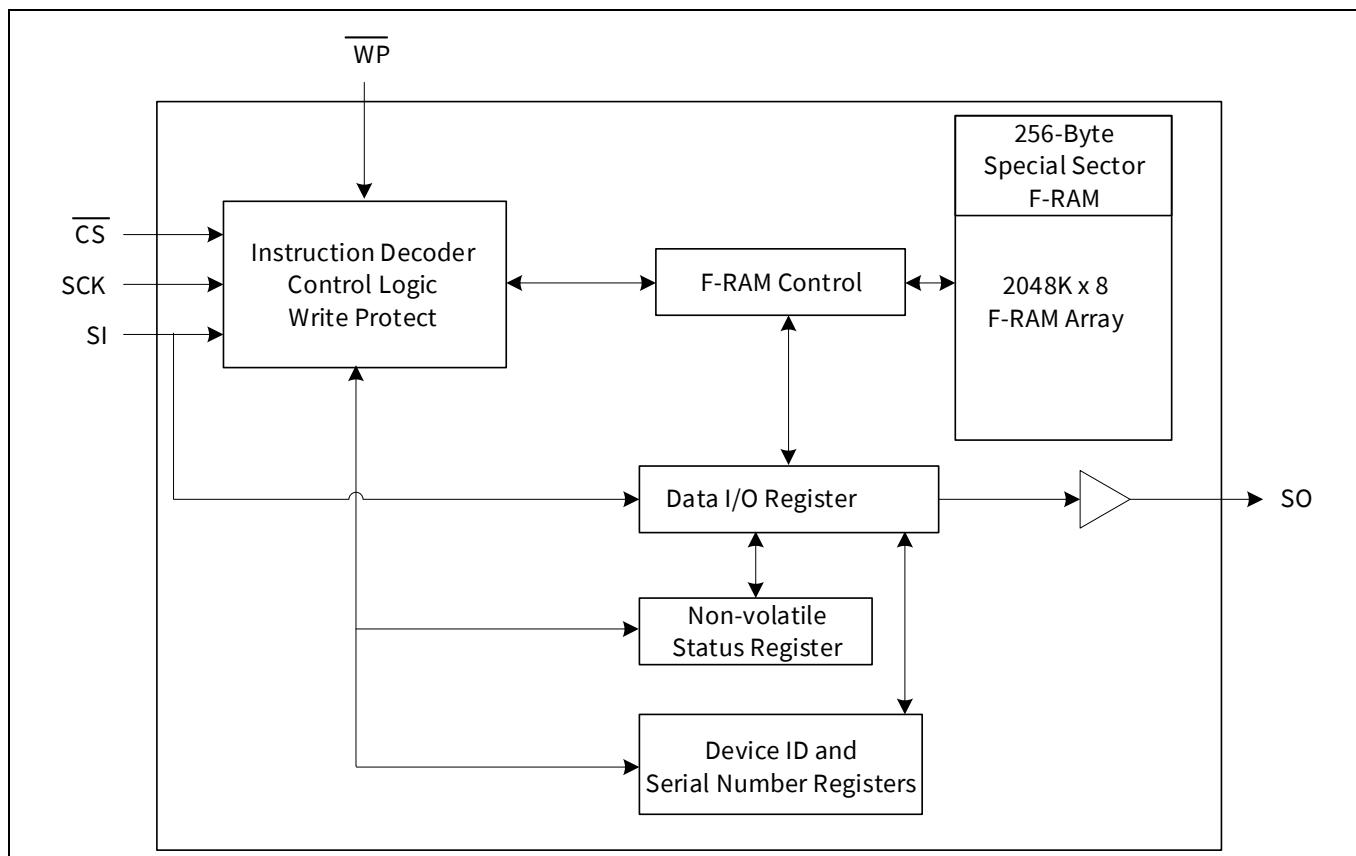
シリアル フラッシュや EEPROM と異なり、CY15X116QI はバス速度で書き込み動作を実行します。書き込み遅延は発生しません。データは各バイトがデバイスに正常に転送された直後にメモリアレイに書き込まれます。次のバスサイクルはデータポーリングなしに開始できます。また、本製品は他の不揮発性メモリと比べて多くの書き換え回数を提供しています。CY15X116QI は  $10^{15}$  回の読み出し / 書き込みサイクル、すなわち EEPROM に比べ 10 億倍の書き込みサイクルに対応できます。

これらの能力により、CY15X116QI は頻繁な高速書き込みを必要とする不揮発性メモリの用途に理想的です。これらの用途例は、書き込み回数を重視するデータ収集から、シリアル フラッシュや EEPROM を使った場合にその長い書き込み時間に起因してデータを損失する可能性がある厳しい工業用制御まで及びます。

CY15X116QI はハードウェア置き換えができるため、シリアル EEPROM やフラッシュを使用するユーザーに大幅な利点を提供します。CY15X116QI は、F-RAM 技術の高速書き込み機能を強化する高速 SPI バスを使用します。本デバイスは、読み出し専用のデバイス ID と固有 ID 機能を組み込み、ホストがメーカー、メモリ容量、製品リビジョンおよび固有 ID を確定できます。また、特定の基板またはシステムを識別できる書き込み可能な 8 バイトシリアル番号レジスタを備えています。

すべての関連資料の一覧については、[ここ](#)をクリックしてください。

## 論理ブロック図



## 目次

特長 .....	1
機能説明.....	2
論理ブロック図.....	2
目次 .....	3
1 ピン配置 .....	4
2 ピン機能 .....	5
3 機能概要 .....	6
4 メモリアーキテクチャ .....	7
5 SPI バス .....	8
5.1 SPI 概要 .....	8
5.2 SPI プロトコルで使用される用語.....	8
5.2.1 SPI マスター .....	8
5.2.2 SPI スレーブ .....	8
5.2.3 チップセレクト (CS) .....	8
5.2.4 シリアルクロック (SCK) .....	8
5.2.5 データ転送 (SI / SO) .....	9
5.2.6 最上位ビット (MSb) .....	10
5.2.7 シリアルオペコード .....	10
5.2.8 無効なオペコード .....	10
5.2.9 ステータスレジスタ .....	10
5.3 SPI モード .....	10
5.4 電源投入から最初のアクセスまでの時間 .....	11
6 機能説明 .....	12
6.1 コマンドの構成 .....	12
6.1.1 書き込みイネーブル制御コマンド .....	13
6.1.2 レジスタアクセスコマンド .....	14
6.1.3 メモリ動作 .....	15
6.1.4 メモリ書き込みコマンド .....	16
6.1.5 メモリ読み出しコマンド .....	17
6.1.6 特殊セクタメモリアクセスコマンド .....	18
6.1.7 ID およびシリアル番号のコマンド .....	19
6.1.8 低消費電力モードコマンド .....	21
7 最大定格 .....	23
8 動作範囲 .....	24
9 DC 電気的特性 .....	25
10 データ保持期間およびアクセス可能回数 .....	27
11 静電容量 .....	28
12 熱抵抗 .....	29
13 AC テスト条件 .....	30
14 AC スイッチング特性 .....	31
15 パワーサイクルタイミング .....	33
16 注文情報 .....	34
16.1 注文コードの定義 .....	34
17 パッケージ図 .....	35
18 略語 .....	36
19 本書の表記法 .....	37
19.1 測定単位 .....	37
改訂履歴 .....	38
免責事項 .....	39

ピン配置

## 1 ピン配置

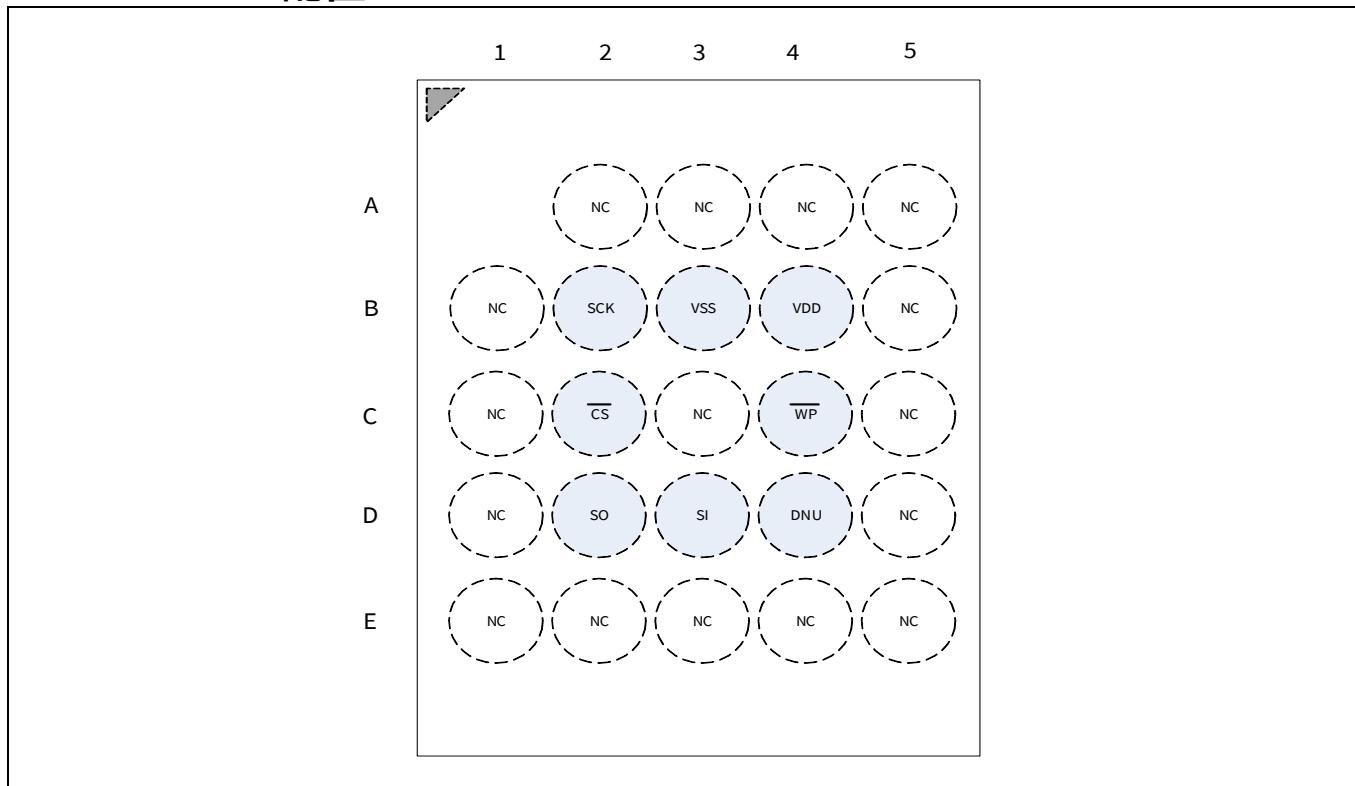


図 1 24 ボール FBGA ピン配置

ピン機能

## 2 ピン機能

表 1 ピン機能

ピン名	I/O タイプ	説明
CS	入力	<b>チップセレクト</b> : このアクティブ LOW 入力で、デバイスを起動させる。HIGH になった場合、デバイスは低消費電力のスタンバイモードに移行し、他の入力を無視し、出力はトライステートになる。LOW の場合、デバイスは SCK 信号を内部でアクティブにする。CS の立ち下りエッジは、すべてのオペコードの発行前に発生しなければならない
SCK	入力	<b>シリアルクロック</b> : I/O の動作はシリアルクロックに同期される。入力はシリアルクロックの立ち上りエッジでラッチされ、出力は立ち下りエッジで駆動される。クロック周波数は 0 ~ 20MHz の範囲であり、同期特性のためいつでも割り込まれる可能性がある
SI <sup>[1]</sup>	入力	<b>シリアル入力</b> : このピンからデバイスにデータを入力。ピンは SCK の立ち上りエッジでサンプリングされ、そのとき以外では無視される電源 ( $V_{DD}$ ) 仕様を満たすために、常に有効な論理レベルに駆動する必要がある
SO <sup>[1]</sup>	出力	<b>シリアル出力</b> : データ出力ピンであり、読み出し中に駆動され、そのとき以外ではトライステートのままになる。データ遷移はシリアルクロック SCK の立ち下りエッジで駆動される
WP	入力	<b>書き込み保護</b> : アクティブ LOW ピンであり、ステータスレジスタの WPEN ビットが「1」にセットされているとき、ステータスレジスタへの書き込み動作を防ぐ。その他の書き込み保護機能がステータスレジスタによって制御されるため、このことは重要。書き込み保護の詳細は <b>14 ページの「ステータスレジスタおよび書き込み保護」</b> を参照してください。このピンを使用しない場合、 $V_{DD}$ に接続する必要がある
DNU	未使用	<b>使用禁止</b> : このピンは開放(基板上で未接続)のままにするか、または $V_{DD}$ に接続
$V_{SS}$	電源	デバイスグランド: システムグランドに接続
$V_{DD}$	電源	デバイスの電源入力

注:

- SI を SO と接続し、1 本のデータインターフェースとして利用できます。

機能概要

### 3 機能概要

CY15X116QI はシリアル F-RAM メモリです。メモリアレイは  $2,097,152 \times 8$  ビットに論理構成され、業界標準のシリアルペリフェラルインターフェース (SPI) バスを使用してアクセスされます。F-RAM の機能動作はシリアルフラッシュやシリアル EEPROM と類似しています。CY15X116QI と同一のピン配置であるシリアルフラッシュや EEPROM 間の重要な違いは、F-RAM の優れた書き込み性能、書き換回数、および低消費電力です。

メモリアーキテクチャ

## 4 メモリアーキテクチャ

CY15X116QI のアクセスには、それぞれが 8 データビットの 2,048Kヶ所の位置をアドレス指定します。8 データビットは順次シフトイン / シフトアウトされます。アドレスは、チップセレクト (バス上で複数デバイスを可能にする) とオペコード、3 バイトのアドレスを含む SPI プロトコルを使ってアクセスされます。アドレス範囲の上位 3 ビットは「ドントケア」値です。21 ビットのアドレスで、一義的に各バイトアドレスを指定します。

CY15X116QI のほとんどの機能は、SPI インターフェースにより制御されるか、または基板に搭載された回路によって処理されます。メモリ動作に要するアクセス時間は、シリアルプロトコルに必要な時間以外は基本的に 0 です。すなわち、メモリは SPI バスの速度で読み書きされます。シリアルフラッシュや EEPROM とは異なり、書き込み動作がバス速度で行われるため、デバイスの書き込み準備を知るためにポーリングする必要はありません。新しいバストランザクションがデバイスにシフトされるまでに書き込み動作は完了します。これはインターフェースの節で詳しく説明されています。

SPI バス

## 5 SPI バス

CY15X116QI は SPI スレーブ デバイスであり、最大 20MHz の速度で動作します。高速シリアルバスにより、SPI マスターとの間で高性能なシリアル通信が可能です。多くの一般的なマイクロコントローラーは、直接インターフェースを可能にするハードウェア SPI ポートを持っています。この機能を持たないマイクロコントローラーでは、通常のポートピンを使用して SPI ポートをエミュレートすることは簡単です。CY15X116QI は SPI モード 0 と 3 で動作します。

### 5.1 SPI 概要

SPI は、チップセレクト ( $\overline{CS}$ )、シリアル入力 (SI)、シリアル出力 (SO)、およびシリアルクロック (SCK) ピンから成る 4 ピンインターフェースです。

SPI は、メモリアクセスにクロックとデータピンを使用し、データバス上の複数デバイスをサポートする同期シリアルインターフェースです。SPI バス上のデバイスは、 $\overline{CS}$  ピンを使用してアクティブにされます。

チップセレクト、クロック、およびデータの相互関係は SPI モードによります。本デバイスは、SPI モード 0 と 3 に対応しています。両方のモードで、 $\overline{CS}$  がアクティブになった後の最初の立ち上りエッジから始まる SCK の立ち上りエッジで、データが F-RAM にクロック入力されます。

SPI プロトコルはオペコードで制御されます。オペコードは、バス マスターからスレーブ デバイスへのコマンドを指定します。 $\overline{CS}$  がアクティブにされた後、バス マスターから最初に転送されるバイトがオペコードです。オペコードに続いて、アドレスとデータが転送されます。動作が完了した後、新しいオペコードが発行される前に、 $\overline{CS}$  を非アクティブにする必要があります。

### 5.2 SPI プロトコルで使用される用語

SPI プロトコルで一般的に使用される用語は以下のとおりです。

#### 5.2.1 SPI マスター

SPI マスター デバイスは SPI バス上の動作を制御します。SPI バスは、複数のスレーブ デバイスを制御する 1 つのマスターのみを持っている場合があります。すべてのスレーブが同じ SPI バス ラインを共有し、マスターは  $\overline{CS}$  ピンを使用してスレーブ デバイスのいずれかを選択します。あらゆる動作を開始するためには、マスターがスレーブの  $\overline{CS}$  ピンを LOW にプルしてスレーブ デバイスをアクティブにする必要があります。また、マスターは SCK を生成し、SI と SO ライン上のすべてのデータ転送はこのクロックに同期されます。

#### 5.2.2 SPI スレーブ

SPI スレーブ デバイスは、チップセレクト ラインを介してマスターによってアクティブにされます。スレーブ デバイスは SPI マスターからの SCK を入力とし、すべての通信はこのクロックに同期されます。SPI スレーブはそれ自体として SPI バス上で通信を開始することなく、単にマスターからの命令に従って動作します。

CY15X116QI は SPI スレーブとして動作し、他の SPI スレーブ デバイスと SPI バスを共有する場合があります。

#### 5.2.3 チップセレクト ( $\overline{CS}$ )

スレーブ デバイスを選択するためには、マスターは該当する  $\overline{CS}$  ピンを立ち下げる必要があります。 $\overline{CS}$  ピンが LOW になっているときのみ、命令をスレーブ デバイスに発行できます。デバイスが選択されていない場合、SI ピン経由のデータは無視され、シリアル出力ピン (SO) は高インピーダンス状態が保持されます。

注：新しい命令は  $\overline{CS}$  の立ち下りエッジで開始する必要があります。したがって、アクティブなチップセレクト サイクルごとに 1 つのオペコードのみが発行できます。

SPI バス

### 5.2.4 シリアル クロック (SCK)

シリアル クロックは SPI マスターによって生成され、 $\overline{CS}$  が LOW になった後、通信はこのクロックと同期されます。

CY15X116QI はデータ通信のために SPI モード 0 と 3 をサポートします。両方のモードでは、入力は SCK の立ち上りエッジでスレーブデバイスによってラッチされ、出力は立ち下りエッジで発行されます。そのため、SCK の最初の立ち上りエッジが、SPI 命令の最初の最上位ビット (MSb) が SI ピンに到着したことを意味します。さらに、すべてのデータの入力と出力は SCK と同期されます。

### 5.2.5 データ転送 (SI / SO)

SPI データバスは、シリアルデータ通信用に SI と SO の 2 ラインで構成されます。SI はマスター アウトスレーブイン (MOSI)、SO はマスターインスレーブアウト (MISO) とも呼ばれています。マスターは SI ピンを介してスレーブに命令を発行し、スレーブは SO ピンを介して応答します。複数のスレーブデバイスは、前述のように SI と SO ラインを共有する場合があります。

CY15X116QI は、図 2 に示すようにマスターと接続できる SI と SO 用の 2 本の独立したピンを備えています。専用 SPI バスを持たないマイクロコントローラーでは、汎用ポートを使用できます。コントローラーのハードウェアリソースを減らすために、2 本のデータピン (SI、SO) を 1 本にまとめて接続し、WP ピンを HIGH に固定接続できます。図 3 に、ピンを 3 本のみ使用したこのコンフィギュレーションを示します。

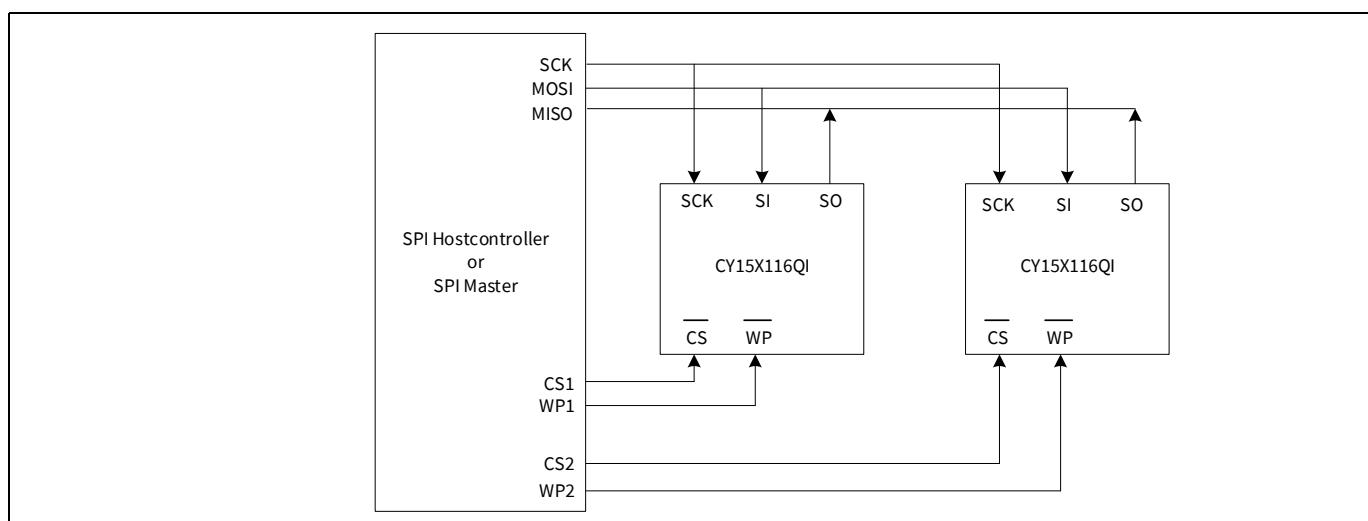


図 2 SPI ポートを使用するシステム コンフィギュレーション

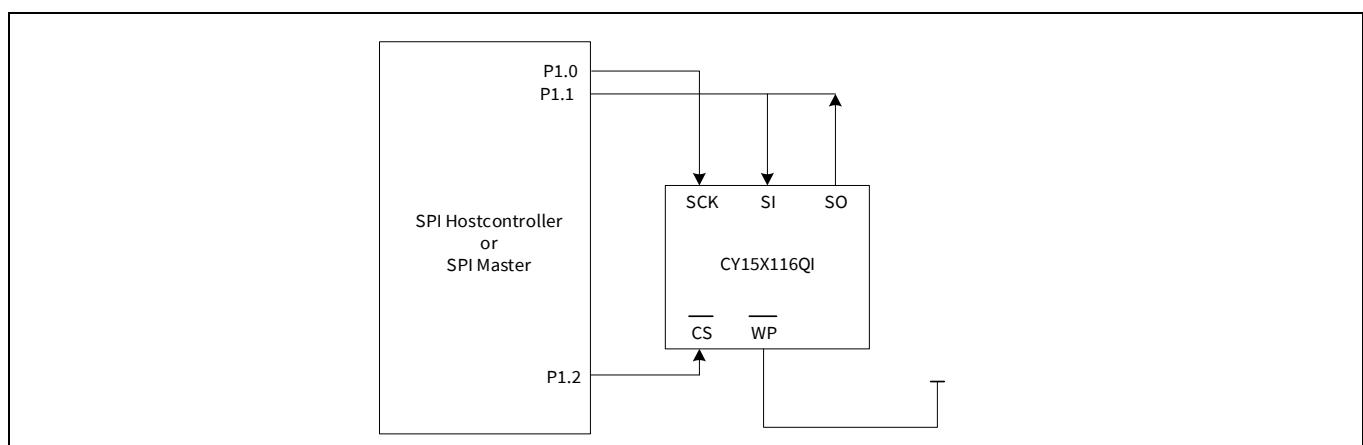


図 3 SPI ポートを使用しないシステム コンフィギュレーション

SPI バス

### 5.2.6 最上位ビット (MSb)

SPI プロトコルでは、最初に送信されるビットが MSb でなければなりません。この方式はアドレスとデータの両方の転送に適用されます。

16Mb シリアル F-RAM は、あらゆる読み書き動作のために 3 バイトのアドレスを必要とします。アドレスが 21 ビットであるため、入力された最初の 3 ビットはデバイスによって無視されます。これらの 3 ビットは「ドントケア」ですが、より高容量メモリへの円滑な移行を可能にするために、「0」に設定することをインフィニオンは推奨します。

### 5.2.7 シリアル オペコード

$\overline{CS}$  が LOW の状態でスレーブ デバイスが選択された後、最初に受信されたバイトは、意図されている動作のオペコードとして扱われます。CY15X116QI はメモリアクセスに標準オペコードを使用します。

### 5.2.8 無効なオペコード

無効なオペコードが受信されるとそのオペコードは無視され、デバイスは次の  $\overline{CS}$  の立ち下りエッジまで SI ピン上にある追加のシリアルデータを無視し、SO ピンはトライステートのままとなります。

### 5.2.9 ステータス レジスタ

CY15X116QI には、8 ビットのステータス レジスタがあります。ステータス レジスタ内のビットはデバイスを設定するために使用されます。これらのビットは表 4 で説明されています。

## 5.3 SPI モード

CY15X116QI は、SPI ペリフェラルが次の 2 つのモードのいずれかで動作するマイクロコントローラーによって駆動できます。

- SPI モード 0 ( $CPOL = 0$ 、 $CPHA = 0$ )
- SPI モード 3 ( $C POL = 1$ 、 $CPHA = 1$ )

両方のモードでは、入力データは  $\overline{CS}$  がアクティブになった後の最初の立ち上りエッジから始まる SCK の立ち上りエッジでラッチされます。クロックが HIGH 状態から起動される場合 (モード 3) では、入力データはクロックトグル後の最初の立ち上りエッジでラッチされます。データは SCK の立ち下りエッジで出力されます。2 つの SPI モードは図 4 と図 5 に示します。

バスマスターがデータを転送していないときのクロックの状態は以下のとおりです。

- モード 0 では、SCK が 0 のまま
- モード 3 では、SCK が 1 のまま

$\overline{CS}$  ピンを LOW にすることによりデバイスが選択されたとき、デバイスは SCK ピンの状態から SPI モードを検出します。デバイス選択時に、SCK ピンが LOW ならデバイスは SPI モード 0 で動作し、SCK ピンが HIGH ならデバイスは SPI モード 3 で動作します。

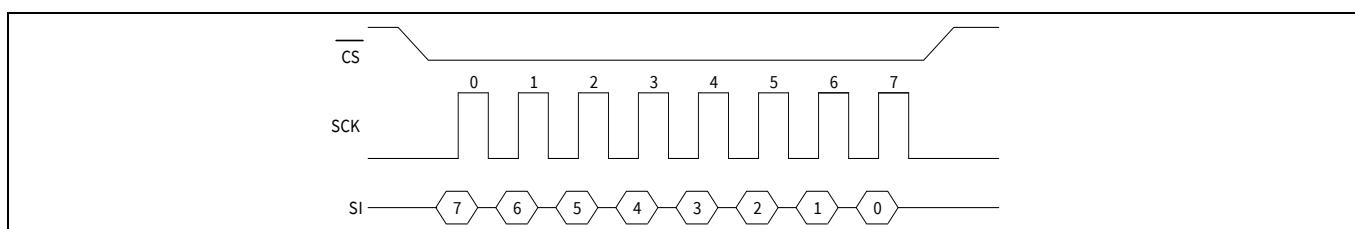


図 4 SPI モード 0

SPI バス

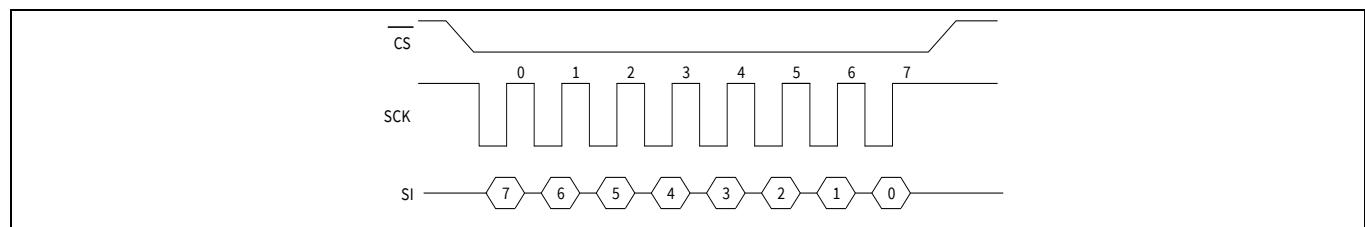


図 5 SPI モード 3

#### 5.4 電源投入から最初のアクセスまでの時間

電源投入後の  $t_{PU}$  の間、CY15X116QI へはアクセスできません。ユーザーは、 $t_{PU}(V_{DD}(\text{min}))$  から  $\overline{\text{CS}}$  が初めて LOW になるときまでの最短期間) のタイミングパラメーターに従わなければいけません。詳細は [33 ページの「パワー サイクル タイミング」](#) を参照してください。

機能説明

## 6 機能説明

### 6.1 コマンドの構成

バスマスターが CY15X116QI に発行できるオペコードと呼ばれる 15 個のコマンドがあります (表 2 を参照してください)。オペコードはメモリが実行する機能を制御します。

表 2 オペコード コマンド

名称	説明	オペコード	
		16 進	2 進
<b>書き込みイネーブル制御</b>			
WREN	書き込みイネーブル ラッチセット	06h	0000 0110b
WRDI	書き込みイネーブル ラッチリセット	04h	0000 0100b
<b>レジスタ アクセス</b>			
RDSR	ステータス レジスタ読み出し	05h	0000 0101b
WRSR	ステータス レジスタ書き込み	01h	0000 0001b
<b>メモリ書き込み</b>			
WRITE	メモリ データ書き込み	02h	0000 0010b
<b>メモリ読み出し</b>			
READ	メモリ データ読み出し	03h	0000 0011b
FSTRD	メモリ データ高速読み出し	0Bh	0000 1011b
<b>特殊セクタ メモリアクセス</b>			
SSWR	特殊セクタ書き込み	42h	0100 0010b
SSRD	特殊セクタ読み出し	4Bh	0100 1011b
<b>ID およびシリアル番号</b>			
RDID	デバイス ID 読み出し	9Fh	1001 1111b
RUID	固有 ID 読み出し	4Ch	0100 1100b
WRSN	シリアル番号書き込み	C2h	1100 0010b
RDSN	シリアル番号読み出し	C3h	11000 011b
<b>低消費電力モード</b>			
DPD	ディープパワーダウン モード開始	BAh	1011 1010b
HBN	ハイバネート モード開始	B9h	1011 1001b
予約済み	予約済み	未使用オペコードは将来使用のために 予約済み	

機能説明

## 6.1.1 書き込みイネーブル制御コマンド

### 6.1.1.1 書き込みイネーブル ラッチ セット (WREN、06h)

CY15X116QI は、書き込みが無効の状態で電源投入されます。WREN コマンドを書き込み動作の前に発行する必要があります。WREN オペコードを送信することにより、書き込み動作に次のオペコードを発行できます。書き込み動作には、ステータスレジスタ書き込み (WRSR)、メモリ書き込み (WRITE)、特殊セクタ書き込み (SSWR)、シリアル番号書き込み (WRSN) が含まれます。

WREN オペコードを発行すると、内部書き込みイネーブル ラッチがセットされます。ステータスレジスタ内のフラグビット (WEL と呼ばれる) はラッチの状態を示します。WEL = 「1」は、書き込みが許可されることを示します。ステータスレジスタの WEL ビットに書き込んでもその状態は変わりません。WREN オペコードのみがこのビットをセットできます。WEL ビットは、WRDI、WRSR、WRITE、SSWR または WRSN 動作の後に続く CS の立ち上りエッジで自動的にクリアされます。これにより、別の WREN コマンドなしでステータスレジスタまたは F-RAM アレイにそれ以上書き込むことができなくなります。[図 6](#) に、WREN コマンドのバスコンフィギュレーションを示します。

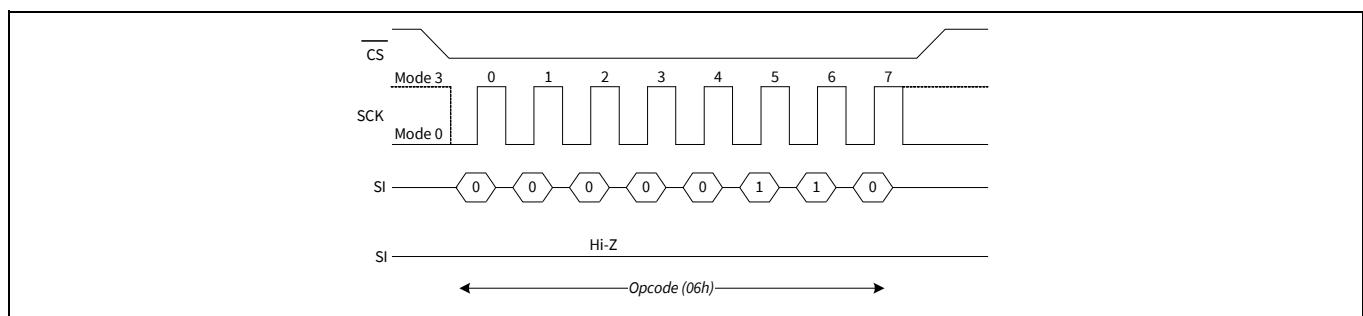


図 6 WREN バス コンフィギュレーション

### 6.1.1.2 書き込みイネーブル ラッチ リセット (WRDI、04h)

WRDI コマンドは、書き込みイネーブル ラッチをクリアすることによりすべての書き込み動作を無効にします。ステータスレジスタの WEL ビットを読み出して WEL = 「0」を確認することで、書き込みが無効になっていることを確認します。[図 7](#) に、WRDI コマンドのバスコンフィギュレーションを示します。

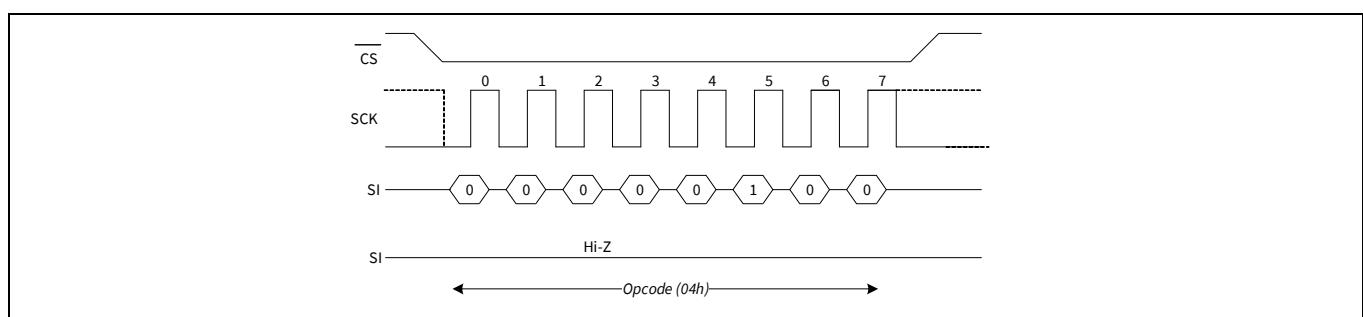


図 7 WRDI バス コンフィギュレーション

機能説明

## 6.1.2 レジスタアクセスコマンド

### 6.1.2.1 ステータスレジスタおよび書き込み保護

CY15X116QI の書き込み保護機能は多層的であり、ステータスレジスタによって有効にされます。ステータスレジスタは以下のように構成されています(工場出荷時の初期値は、WEL、BP0、BP1、ビット4～5、WPEN は「0」、ビット6 は「1」です)。

表 3 ステータスレジスタ

ビット7	ビット6	ビット5	ビット4	ビット3	ビット2	ビット1	ビット0
WPEN (0)	X (1)	X (0)	X (0)	BP1 (0)	BP0 (0)	WEL (0)	X (0)

表 4 ステータスレジスタのビット定義

ビット	定義	説明
ビット0	ドントケア	書き込み不可であり、読み出すと常に「0」を返す
ビット1(WEL)	書き込みイネーブル	WEL はデバイスの書き込みが有効かどうかを示す。電源投入時、このビットの初期値は「0」(無効) WEL = 「1」= 書き込みが有効 WEL = 「0」= 書き込みが無効
ビット2(BP0)	ブロック保護ビット0	ブロック保護に使用。詳細は表 5 を参照してください
ビット3(BP1)	ブロック保護ビット1	ブロック保護に使用。詳細は表 5 を参照してください
ビット4～5	ドントケア	書き込み不可であり、読み出すと常に「0」を返す
ビット6	ドントケア	書き込み不可であり、読み出すと常に「1」を返す
ビット7(WPEN)	書き込み保護イネーブル	書き込み保護ピン(WP)の機能を有効にするために使用。 詳細は表 6 を参照してください

ビット0と4～5は「0」に、ビット6は「1」に固定されており、修正できません。F-RAM はリアルタイムで書き込み、ビギー状態がないため、ビット0(シリアルフラッシュや EEPROM では「Ready or Write in progress」(待機または書き込み中)の状態を示すビット)は不要であり、「0」として読み出されることに注意してください。ただし、デバイスが 21 ページの「ディープパワーダウンモード(DPD、BAh)」または 21 ページの「ハイバネットモード(HBN、B9h)」から復帰する場合は例外です。BP1 と BP0 はソフトウェア書き込み保護機能を制御する不揮発性ビットです。WEL フラグは、書き込みイネーブル ラッチの状態を示します。ステータスレジスタの WEL ビットに直接書き込んでもその状態は変わりません。このビットは内部で WREN および WRDI コマンドでそれぞれセットおよびクリアされます。BP1 および BP0 はメモリブロックの書き込み保護ビットです。表 5 に示すように書き込み保護されるメモリ領域を指定します。

表 5 ブロックメモリの書き込み保護

BP1	BP0	保護されるアドレス範囲
0	0	無
0	1	0x180000h ~ 0xFFFFFh (上位 1/4)
1	0	0x100000h ~ 0xFFFFFh (上位 1/2)
1	1	0x000000h ~ 0xFFFFFh (全体)

BP1 と BP0 ビットおよび書き込みイネーブル ラッチは、メモリへの書き込みを防止する唯一のメカニズムです。残りの書き込み保護機能は、ブロック保護ビットへの不用意な変更を防止します。

ステータスレジスタの書き込み保護イネーブル ビット(WPEN)は、ハードウェア書き込み保護(WP)ピンの効果を制御します。WP ピンのタイミング図は、図 23 を参照してください。WPEN ビットが「0」にセットされると、WP ピンの状態は無視されます。WPEN ビットが「1」にセットされたとき、WP ピンが LOW になるとステータスレジスタへの書き込みは防止されます。したがって、ステータスレジスタは

## 機能説明

WPEN = 「1」かつ  $\overline{WP}$  = 「0」のときにのみ書き込み保護されます。表 6 は、書き込み保護条件をまとめたものです。

表 6 書き込み保護

WEL	WPEN	WP	保護ブロック	非保護ブロック	ステータスレジスタ
0	X	X	保護	保護	保護
1	0	X	保護	非保護	非保護
1	1	0	保護	非保護	保護
1	1	1	保護	非保護	非保護

### 6.1.2.2 ステータスレジスタ読み出し (RDSR、05h)

RDSR コマンドでは、バスマスターはステータスレジスタの内容を確認できます。ステータスレジスタを読み出すことで、書き込み保護機能の現時点の状態情報を得ます。RDSR オペコードに続いて、CY15X116QI はステータスレジスタの内容を持つ 1 バイトを返します。

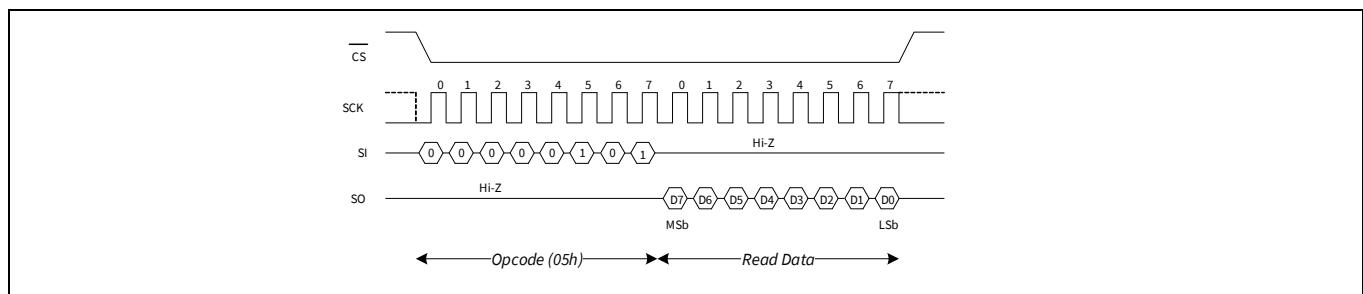


図 8 RDSR バスコンフィギュレーション

### 6.1.2.3 ステータスレジスタ書き込み (WRSR、01h)

WRSR コマンドでは、SPI バスマスターはステータスレジスタに書き込み、WPEN、BP0、BP1 ビットを必要に応じて設定することで書き込み保護のコンフィギュレーションを変更できます。WRSR コマンドを発行する前には、WP ピンが HIGH または非アクティブである必要があります。CY15X116QI では、WP がメモリアレイではなくステータスレジスタのみへの書き込みを防止することに注意してください。WRSR コマンドを送信する前に、WREN コマンドを送信して書き込みを有効にする必要があります。WRSR コマンドの実行は書き込み動作であるため、書き込みイネーブルラッチがクリアされます。

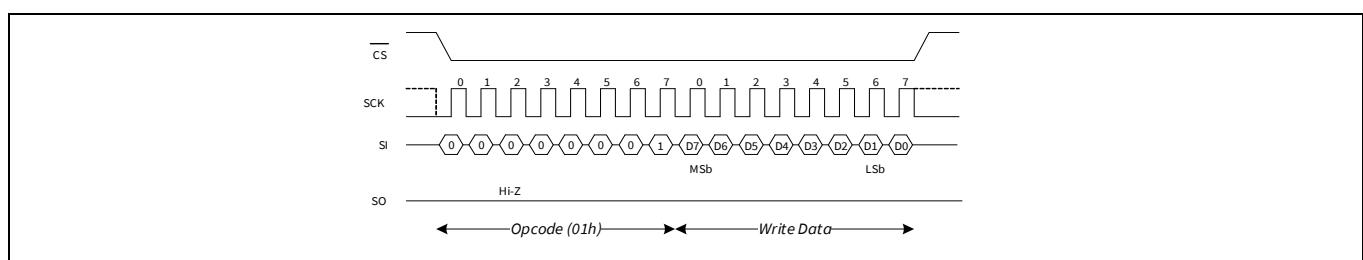


図 9 WRSR バスコンフィギュレーション (WREN が非表示)

### 6.1.3 メモリ動作

高いクロック周波数で動作可能な SPI インターフェースは、F-RAM 技術の高速書き込み機能を際立たせます。シリアルフラッシュや EEPROM と異なり、CY15X116QI はバス速度でシーケンシャル書き込みを実行できます。ページレジスタは不要であり、シーケンシャル書き込みは何回でも実行できます。

機能説明

## 6.1.4 メモリ書き込みコマンド

### 6.1.4.1 書き込み (WRITE、02h)

メモリへのすべての書き込みは、 $\overline{CS}$  がアサートおよびデアサートされた状態で WREN オペコードで始まります。次のオペコードは WRITE です。WRITE オペコードの後には、メモリへ書き込む最初のデータバイトを指定する 21 ビットアドレス (A20 ~ A0) を含む 3 バイトアドレスが続きます。3 バイトアドレスの上位 3 ビットは無視されます。後続のバイトは順次に書き込まれるデータバイトです。バスマスターがクロックを送り、 $\overline{CS}$  を LOW に維持している限り、アドレスは内部でインクリメントされます。1FFFFFFh の最終アドレスに達すると、内部アドレスカウンターは 00000h に戻ります。書き込まれるすべてのデータバイトは、8 クロックサイクルの間 MSb ファースト、LSb ラスト方式で SI 上で送信されます。 $\overline{CS}$  の立ち上りエッジで書き込み動作が終了します。CY15X116QI の書き込み動作を図 10 に示します。

注：

- バースト書き込みが保護されたブロックアドレスに到達すると、アドレスの自動インクリメントは停止し、書き込み用に受信された後続のデータバイトのすべてがデバイスに無視されます。EEPROM はページバッファを使用して書き込みスループットを上げます。ページバッファは、書き込み動作が遅いという本来の特性を補完するものです。F-RAM メモリは、各データバイトが (8 番目のクロックの後) クロック入力された直後に F-RAM アレイに書き込まれるため、ページバッファを持っていません。そのため、ページバッファの遅延なしにバイトをいくつも書き込めます。
- 書き込み動作中に電源を喪失すると、最後に完了したバイトのみが書き込まれます。

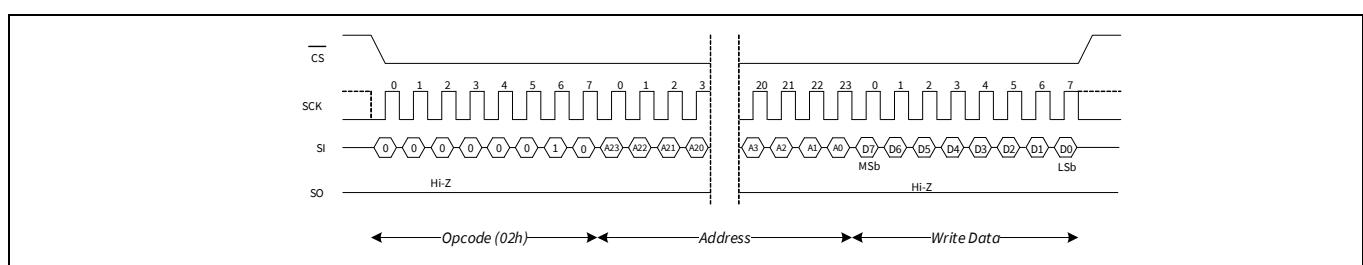


図 10 メモリ書き込み動作 (WREN が非表示 )

機能説明

## 6.1.5 メモリ読み出しコマンド

### 6.1.5.1 読み出し (READ、03h)

**CS** の立ち下りエッジの後、バスマスターは READ オペコードを発行できます。READ コマンドの後には、読み出し動作の最初のバイトを指定する 21 ビットアドレス (A20 ~ A0) を含む 3 バイトアドレスが続きます。アドレスの上位 3 ビットは無視されます。オペコードとアドレスが発行された後、デバイスは次の 8 クロックサイクルの間読み出しデータを出力します。SI 入力は読み出しデータバイトの出力中には無視されます。後続のバイトは順次に読み出されるデータバイトです。バスマスターがクロックを送り、**CS** が LOW である限り、アドレスは内部でインクリメントされます。1FFFFFh の最終アドレスに達すると、内部アドレスカウンターは 00000h に戻ります。SO 上のすべての読み出しデータバイトは、8 クロックサイクルの間 MSb ファースト、LSb ラスト方式で駆動されます。CS の立ち上りエッジで読み出し動作が終了し、SO ピンがトライステートになります。CY15X116QI の読み出し動作を図 11 に示します。

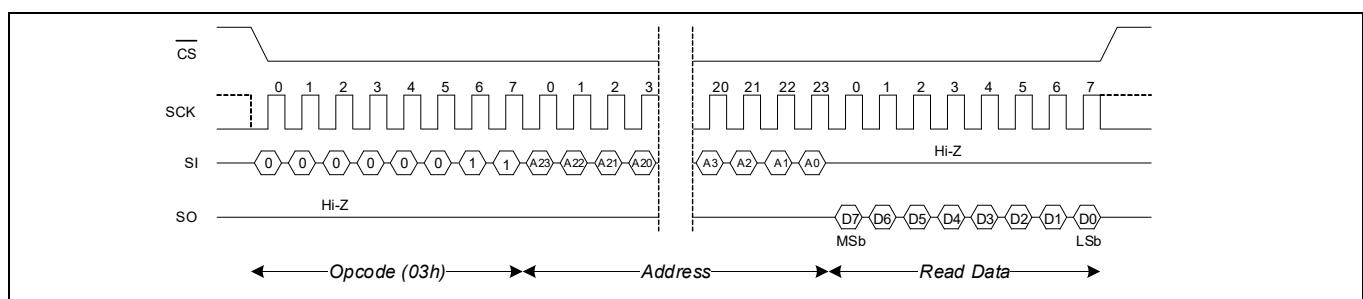


図 11 メモリ読み出し動作

### 6.1.5.2 高速読み出し (FAST\_READ、0Bh)

CY15X116QI は、シリアルフラッシュデバイスとのオペコード互換性のために提供される FAST READ オペコード (0Bh) をサポートします。FAST READ オペコードの後には、読み出し動作の最初のバイトを指定する 21 ビットアドレス (A20 ~ A0) を含む 3 バイトアドレス、およびダミーバイトが続きます。ダミーバイトは 8 クロックサイクルの読み出し遅延を入れます。ダミーバイトを追加することを除き、高速読み出し動作は通常の読み出し動作と同じです。オペコード、アドレス、ダミーバイトを受信した後、CY15X116QI は SO ライン上で MSb ファースト方式でデータバイトを出力し始めます。またデバイスが選択されクロックが有効である限り出力を継続します。バルク読み出しの場合、内部アドレスカウンターは自動的にインクリメントされ、最終アドレス 1FFFFFh に達するとカウンターは 00000h に戻ります。デバイスが SO ライン上でデータを出力しているとき、SI ライン上の遷移は無視されます。CS の立ち上りエッジで高速読み出し動作が終了し、SO ピンがトライステートになります。CY15X116QI の高速読み出し動作を図 12 に示します。

注：ダミーバイトは Axh (8'b1010xxxx) 以外のいかなる 8 ビット値も可能です。Axh の下位 4 ビットはドントケアビットです。したがって、Axh は本質的に 16 個の異なる 8 ビット値を表し、ダミーバイトとして送信すべきではありません。ほとんどの場合、00h がダミーバイトとして使用されます。

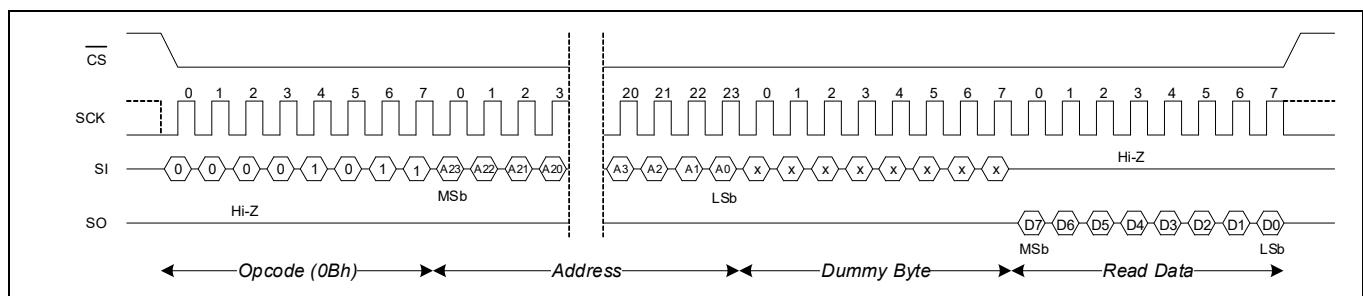


図 12 高速読み出し動作

機能説明

## 6.1.6 特殊セクタメモリアクセスコマンド

### 6.1.6.1 特殊セクタ書き込み (SSWR、42h)

256 バイトの特殊セクタへのすべての書き込みは、 $\overline{CS}$  がアサートおよびデアサートされた状態で WREN オペコードで始まります。次のオペコードは SSWR です。SSWR オペコードの後には、特殊セクタメモリへ書き込む最初のデータバイトを指定する 8 ビットセクタアドレス (A7 ~ A0) を含む 3 バイトアドレスが続きます。3 バイトアドレスの上位 16 ビットは無視されます。後続のバイトは順次に書き込まれるデータバイトです。バスマスターがクロックを送り、 $CS$  を LOW に維持している限り、アドレスは内部でインクリメントされます。内部アドレスカウンターが自動的に XXXFFh にインクリメントすると、 $CS$  は進行中の SSWR 動作を終了するために HIGH にトグルする必要があります。書き込まれるすべてのデータバイトは、8 クロックサイクルの間 MSb ファースト、LSb ラスト方式で SI 上で送信されます。 $CS$  の立ち上りエッジで書き込み動作が終了します。CY15X116QI の特殊セクタ書き込み動作を図 13 に示します。

注：

- 書き込み動作中に電源を喪失すると、最後に完了したバイトのみが書き込まれます。
- 特殊セクタ F-RAM メモリは、最大 3 回の標準はんだリフロー サイクルにわたってデータの完全性を維持することを保証しています。

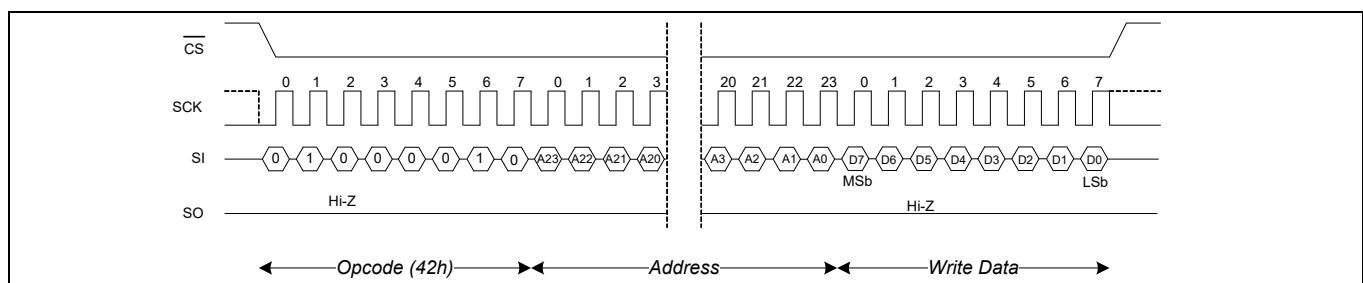


図 13 特殊セクタ書き込み動作 ( $WREN$  が非表示)

### 6.1.6.2 特殊セクタ読み出し (SSRD、4Bh)

$CS$  の立ち下りエッジの後、バスマスターは SSRD オペコードを発行できます。SSRD コマンドの後には、特殊セクタ読み出し動作の最初のバイトを指定する 8 ビットアドレス (A7 ~ A0) を含む 3 バイトアドレスが続きます。アドレスの上位 16 ビットは無視されます。オペコードとアドレスが発行された後、デバイスは次の 8 クロックサイクルの間読み出しデータを出力します。SI 入力は読み出しデータバイトの出力中には無視されます。後続のバイトは順次に読み出されるデータバイトです。バスマスターがクロックを送り、 $CS$  が LOW である限り、アドレスは内部でインクリメントされます。内部アドレスカウンターが自動的に XXXFFh にインクリメントすると、 $CS$  は進行中の SSRD 動作を終了するために HIGH にトグルする必要があります。SO 上のすべての読み出しデータバイトは、8 クロックサイクルの間 MSb ファースト、LSb ラスト方式で駆動されます。 $CS$  の立ち上りエッジで特殊セクタ読み出し動作が終了し、SO ピンがトライステートになります。CY15X116QI の特殊セクタ読み出し動作を図 14 示します。

注：特殊セクタ F-RAM メモリは、最大 3 回の標準はんだリフロー サイクルにわたってデータの完全性を維持することを保証しています。

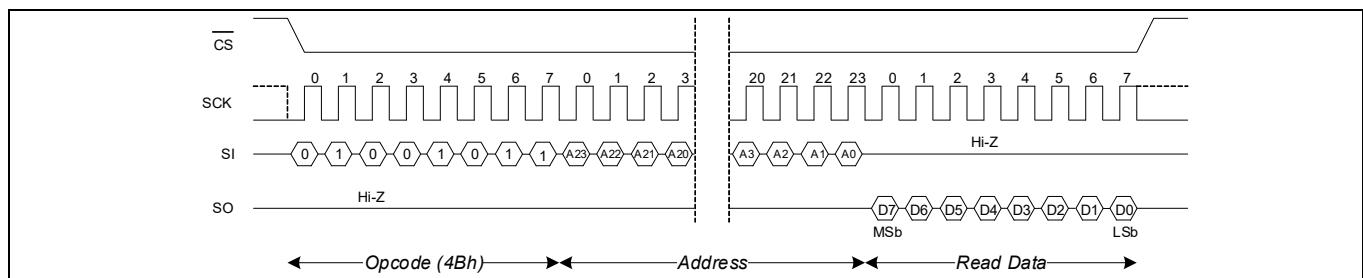


図 14 特殊セクタ読み出し動作

機能説明

## 6.1.7 ID およびシリアル番号のコマンド

### 6.1.7.1 デバイス ID 読み出し (RDID、9Fh)

CY15X116QI デバイスは、メーカー、製品 ID、およびダイレビジョンについて問い合わせを行えます。RDID オペコード 9Fh では、両方とも読み出し専用バイトであるメーカー ID と製品 ID を読みます。JEDEC から割り当てられたメーカー ID は、バンク 7 の中に Ramtron 識別子を配置しています。そのため、連続コード 7Fh の 6 バイトとそれに続く C2h の 1 バイトがあります。製品 ID の 2 バイトはファミリコードと容量コード、サブコード、製品レビジョンコードを含みます。[表 7](#) に、9 バイトデバイス ID フィールドの説明を示します。各製品の 9 バイトデバイス ID は [34 ページの「注文情報」](#) を参照してください。CY15X116QI のデバイス ID 読み出し動作を [図 15](#) に示します。

**注:** 最下位のデータバイト (バイト 0) は最初に、最上位のデータバイト (バイト 8) は最後にシフトアウトされます。

表 7 9 バイトデバイス ID

デバイス ID フィールドの説明							
メーカー ID [71:16]	ファミリ [15:13]	メモリ容量 [12:9]	突入電流 [8]	サブタイプ [7:5]	レビジョン [4:3]	電圧 [2]	周波数 [1:0]
56 ビット	3 ビット	4 ビット	1 ビット	3 ビット	2 ビット	1 ビット	2 ビット

各製品の 9 バイトデバイス ID は [34 ページの「注文情報」](#) を参照してください。

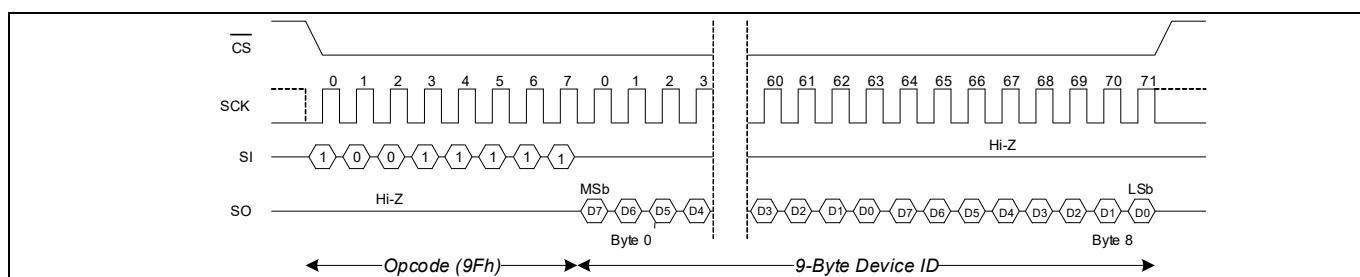


図 15 デバイス ID 読み出し

### 6.1.7.2 固有 ID 読み出し (RUID、4Ch)

CY15X102QN デバイスは、工場出荷時にプログラミングされたデバイスに固有の 64 ビット番号である固有 ID について問い合わせを行えます。RUID オペコード 4Ch を使用すると、8 バイトの読み出し専用固有 ID を読み出せます。CY15X102QN の固有 ID 読み出し動作を [図 16](#) に示します。

**注:**

- 最下位のデータバイト (バイト 0) は最初に、最上位のデータバイト (バイト 7) は最後にシフトアウトされます。
- 固有 ID レジスタは、最大 3 回の標準はんだリフロー サイクルにわたってデータの完全性を維持することを保証しています。

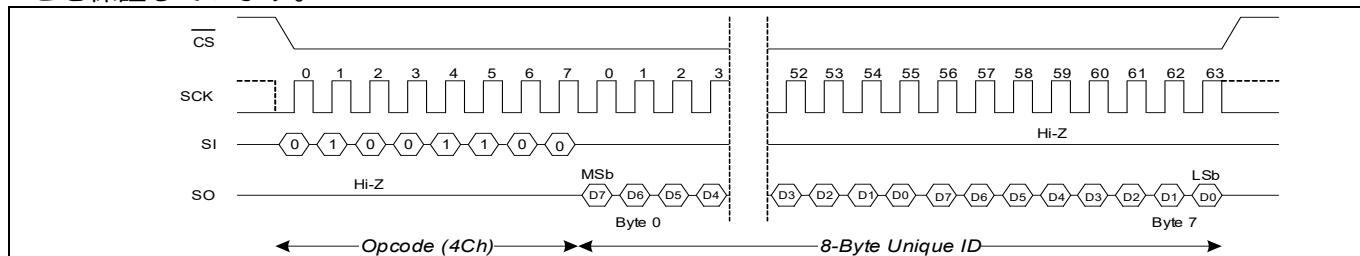


図 16 固有 ID 読み出し

機能説明

### 6.1.7.3 シリアル番号書き込み (WRSN、C2h)

シリアル番号は、PC 基板またはシステムを一義的に識別するためにユーザーに提供される 8 バイトのワントライムプログラマブルメモリ空間です。通常、シリアル番号は 2 バイトのカスタマ ID とその後に続く 5 バイトの一義的なシリアル番号および 1 バイトの CRC チェックで構成されています。ただし、エンドアプリケーションでは、8 バイトのシリアル番号に独自フォーマットで定義ができます。シリアル番号レジスタへのすべての書き込みは、CS がアサートおよびデアサートされた状態で WREN オペコードで始まります。次のオペコードは WRSN です。WRSN 命令は、シリアル番号の全 8 バイトを書き込むためにバーストモードで使用できます。シリアル番号の最後のバイトがシフトインされた後、WRSN 動作を完了するために CS を HIGH に駆動する必要があります。CY15X116QI のシリアル番号書き込み動作を図 17 に示します。

**注:** CRC チェックサムはデバイスによって計算されません。システム フームウェアは 7 バイトの内容の CRC チェックサムを計算し、チェックサムを 7 バイトのユーザー定義のシリアル番号に付け加えてから、8 バイトシリアル番号をシリアル番号レジスタにプログラミングする必要があります。8 バイトシリアル番号の工場出荷時の初期値は「0000000000000000h」です。

表 8 8 バイトシリアル番号

16 ビット カスタマ ID		40 ビット固有番号						
SN[63:56]	SN[55:48]	SN[47:40]	SN[39:32]	SN[31:24]	SN[23:16]	SN[15:8]	SN[7:0]	

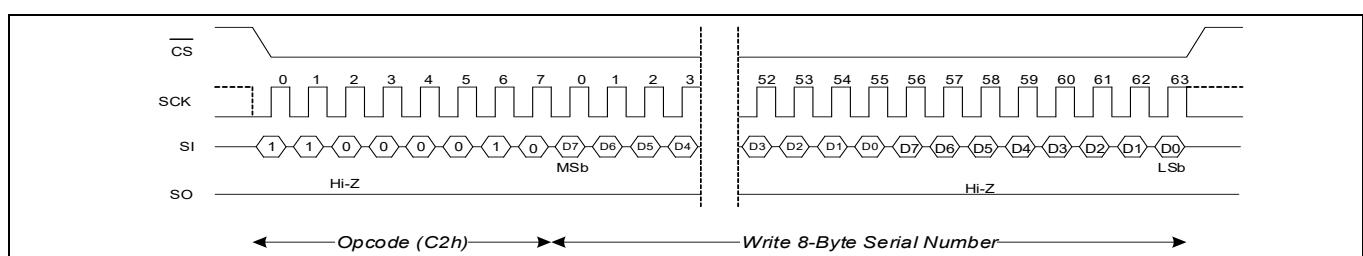


図 17 シリアル番号書き込み動作 (WREN が非表示)

### 6.1.7.4 シリアル番号読み出し (RDSN、C3h)

CY15X116QI デバイスは、デバイスを一義的に識別するためにユーザーに提供される 8 バイトのシリアル番号の空間を組み込んでいます。シリアル番号は RDSN 命令で読み出されます。シリアル番号読み出しは、一度に全 8 バイトを読み出すためにバーストモードで実行できます。シリアル番号の最後のバイトが読み出されると、デバイスはシリアル番号の最初の (MSb) バイトに戻ります。CS が LOW になった後、RDSN のオペコードをシフトすることで RDSN 命令を発行できます。CY15X116QI のシリアル番号読み出し動作を図 18 に示します。

**注:** 最下位のデータ バイト (バイト 0) は最初に、最上位のデータ バイト (バイト 7) は最後にシフトアウトされます。

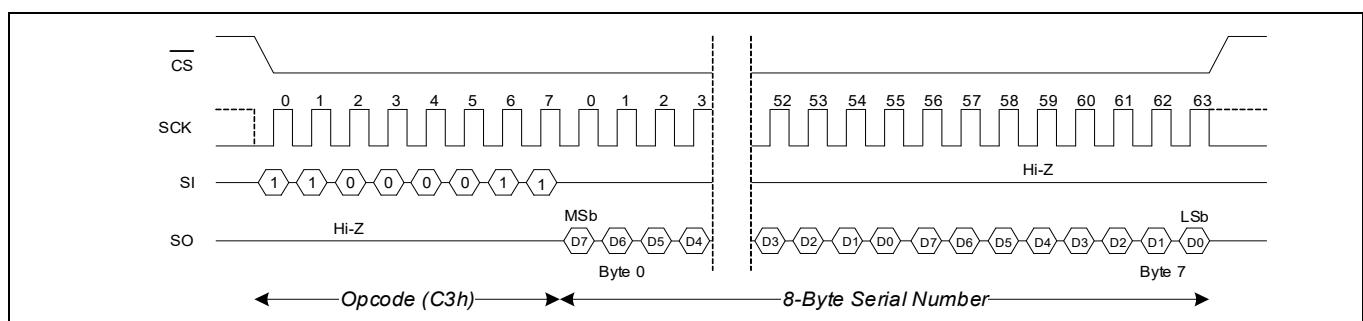


図 18 シリアル番号読み出し動作

機能説明

## 6.1.8 低消費電力モード コマンド

### 6.1.8.1 ディープパワーダウンモード (DPD、BAh)

CY15X116QI デバイスには省電力のディープパワーダウンモードが実装されています。デバイスは、DPD オペコード BAh がクロック入力され、CS の立ち上りエッジが適用されてから  $t_{ENTDPD}$  の時間後にディープパワーダウンモードに入ります。ディープパワーダウンモードでは、SCK と SI ピンが無視され、SO が Hi-Z になりますが、デバイスは CS ピンの監視を継続します。

$t_{CSDPD}$  の CS パルス幅は、 $t_{EXTDPD}$  時間後に DPD モードを終了します。CS パルス幅は、ダミーコマンドサイクルを送信するか、または SCK と I/O がドントケアになっている間に CS のみをトグルすることによって生成できます。ディープパワーダウンモードからの復帰中は、I/O は Hi-Z 状態のままでです。DPD の開始と終了のタイミングは、それぞれ図 19 と図 20 を参照してください。

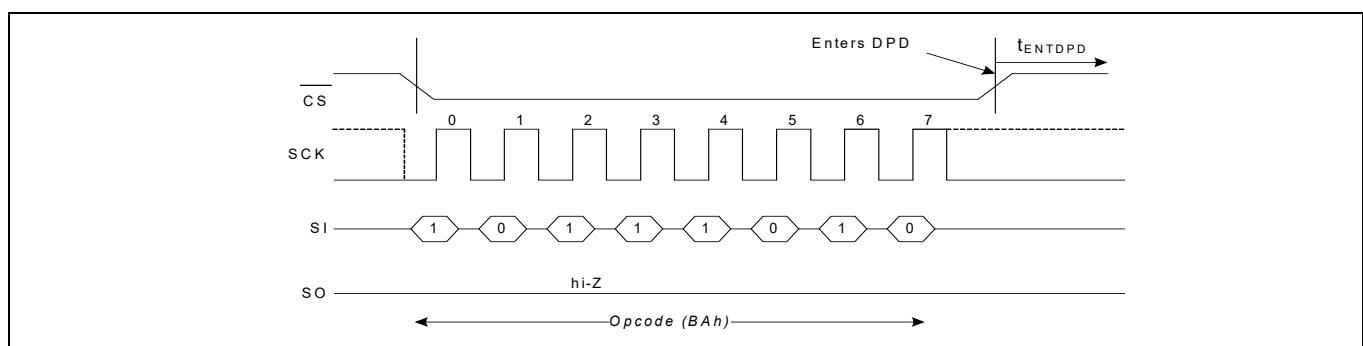


図 19 DPD 開始タイミング

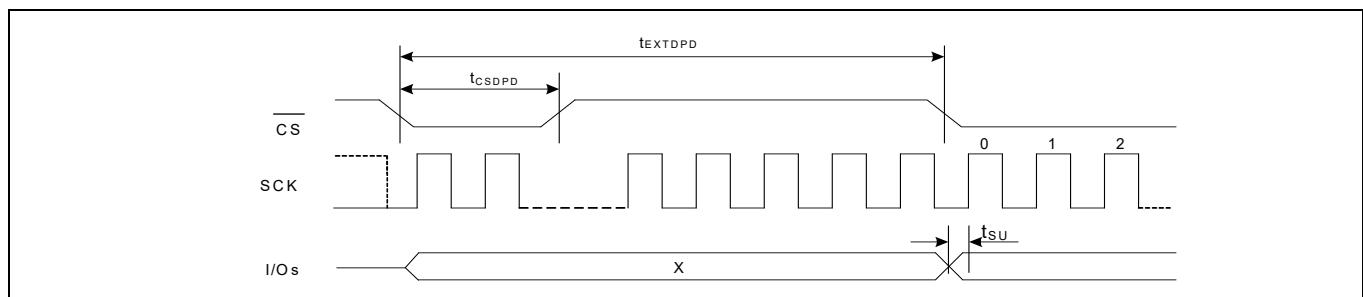


図 20 DPD 終了タイミング

### 6.1.8.2 ハイバネートモード (HBN、B9h)

CY15X116QI デバイスには最低消費電力のハイバネートモードが実装されています。デバイスは、HBN オペコード B9h がクロック入力され、CS の立ち上りエッジが適用されてから  $t_{ENTHIB}$  の時間後にハイバネートモードに入ります。ハイバネートモードでは、SCK と SI ピンが無視され、SO ピンが Hi-Z になりますが、デバイスは CS ピンの監視を継続します。CS の次の立ち下りエッジで、デバイスは  $t_{EXTHIB}$  時間内で通常の動作に復帰します。ハイバネートモードからの復帰中は、SO ピンは Hi-Z 状態のままでです。デバイスは、復帰期間内でオペコードに応答するとは限りません。ハイバネートモードを終了するために、コントローラーは、例えば「ダミー」読み出しを送信し、残りの  $t_{EXTHIB}$  時間待機することができます。

## 機能説明

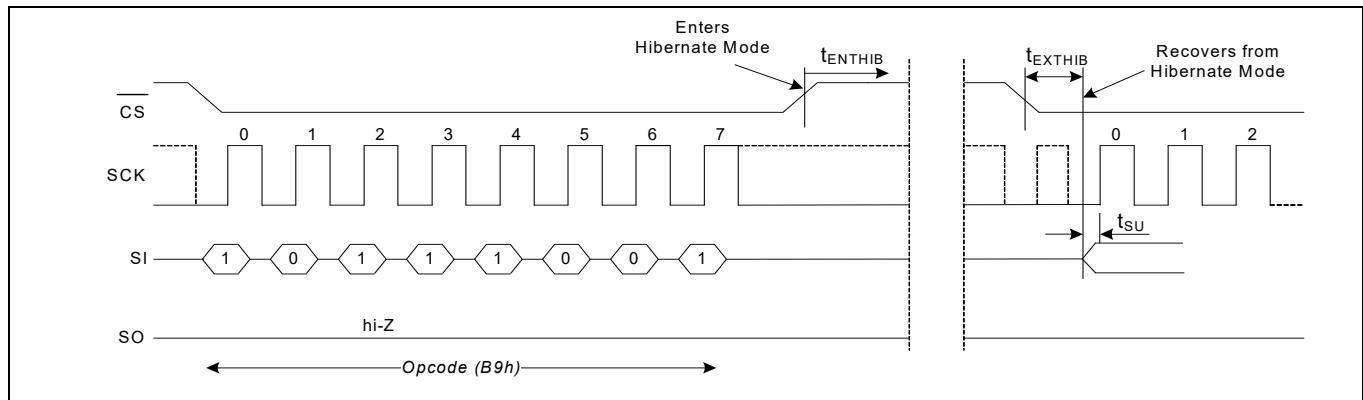


図 21 ハイバネート モード動作

### 6.1.8.3 アクセス可能回数

CY15X116QI デバイスには  $10^{15}$  回以上、読み書きを問わずアクセスできます。

F-RAM メモリは読み出しと復元メカニズムを伴い動作します。そのため、メモリアレイへのアクセス(読み出し / 書き込み)に対して、アクセスサイクルが行単位で適用されます。F-RAM のアーキテクチャは、64 ビットの列と 256K の行から成るアレイを基にしています。読み出し / 書き込みは行単位で行われます。1 行内のデータのアクセスバイト数に関わらず内部的に行に対するアクセスは 1 回です。行内の各バイトは、アクセス可能回数の計算では 1 回だけカウントされます。[表 9](#) に、オペコード、開始アドレス、順次 64 バイトデータの流れを含む、64 バイトの繰り返しループに対応したアクセス可能回数を示します。これは、ループによって各バイトがアクセス 1 回を費やしたことになります。

F-RAM の読み出しと書き込み可能回数は、20MHz のクロック速度でも事実上無制限です。

表 9 64 バイトループの繰り返しでアクセス可能回数に達する時間

SCK 周波数 (MHz)	アクセス可能回数 (サイクル / 秒)	アクセス可能回数 (サイクル / 年)	$10^{15}$ 限界に達するまでの年数
20	36,520	$1.16 \times 10^{12}$	864
10	18,380	$5.79 \times 10^{11}$	1727
5	9,190	$2.90 \times 10^{11}$	3454

最大定格

## 7 最大定格

保管温度	-65°C ~ +125°C
最大累積保存時間 周囲温度 125°C 周囲温度 85°C	1000 時間 10 年
最大接合部温度	125°C
V <sub>SS</sub> を基準にした V <sub>DD</sub> 電源電圧： CY15V116QI CY15B116QI	-0.5V ~ +2.4V -0.5V ~ +4.1V
入力電圧	V <sub>IN</sub> ≤ V <sub>DD</sub> + 0.5V
High-Z 状態の出力に印加される DC 電圧	-0.5V ~ V <sub>DD</sub> + 0.5V
グランド電位を基準にした任意のピンの過渡電圧 (< 20ns)	-2.0V ~ V <sub>DD</sub> + 2.0V
パッケージ許容電力損失 (T <sub>A</sub> = 25°C)	1.0W
表面実装はんだ付け温度 (3 秒)	+260°C
DC 出力電流 (一度に 1 出力、1 秒間)	15mA
静電気の放電電圧人体モデル (JEDEC 規格 JESD22-A114-B)	2kV
デバイス帯電モデル (JEDEC 規格 JESD22-C101-A)	500V
ラッチアップ電流	> 140mA

動作範囲

## 8 動作範囲

**表 10 動作範囲**

デバイス	範囲	周囲温度	$V_{DD}$
CY15V116QI	民生用	0 °C～+70 °C	1.71V～1.89V
CY15B116QI			1.8V～3.6V

DC 電気的特性

## 9 DC 電気的特性

表 11 DC 電気的特性

動作範囲内

パラメーター	説明	テスト条件	Min	Typ <sup>[2, 3]</sup>	Max	単位	
V <sub>DD</sub>	電源	CY15V116QI	1.71	1.8	1.89	V	
		CY15B116QI	1.8	3.3	3.6		
I <sub>DD</sub>	V <sub>DD</sub> 供給電流	V <sub>DD</sub> = 1.71V ~ 1.89V。 SCK は V <sub>DD</sub> - 0.2V と V <sub>SS</sub> の間でトグル。 他の入力は V <sub>SS</sub> または V <sub>DD</sub> - 0.2V。 SO = 開放	f <sub>SCK</sub> = 1MHz	-	0.60	0.80	mA
		f <sub>SCK</sub> = 20MHz	-	1.50	2.0		
		V <sub>DD</sub> = 1.8V ~ 3.6V。 SCK は V <sub>DD</sub> - 0.2V と V <sub>SS</sub> の間でトグル。 他の入力は V <sub>SS</sub> または V <sub>DD</sub> - 0.2V。 SO = 開放	f <sub>SCK</sub> = 1MHz	-	0.70	1.0	mA
		f <sub>SCK</sub> = 20MHz	-	1.80	2.40		
I <sub>SB</sub>	V <sub>DD</sub> スタンバイ電流	V <sub>DD</sub> = 1.71V ~ 1.89V。CS = V <sub>DD</sub> ° 他の入力は V <sub>SS</sub> または V <sub>DD</sub>	-	14	142	μA	
		V <sub>DD</sub> = 1.8V ~ 3.6V。CS = V <sub>DD</sub> ° 他の入力は V <sub>SS</sub> または V <sub>DD</sub>	-	14	142.5		
I <sub>DPD</sub>	ディープパワーダウン電流	V <sub>DD</sub> = 1.71V ~ 1.89V。CS = V <sub>DD</sub> ° 他の入力は V <sub>SS</sub> または V <sub>DD</sub>	-	1.10	14.40	μA	
		V <sub>DD</sub> = 1.8V ~ 3.6V。CS = V <sub>DD</sub> ° 他の入力は V <sub>SS</sub> または V <sub>DD</sub>	-	1.30	15.10		
I <sub>HBN</sub>	ハイバネート モード電流	V <sub>DD</sub> = 1.71V ~ 1.89V。CS = V <sub>DD</sub> ° 他の入力は V <sub>SS</sub> または V <sub>DD</sub>	-	0.10	0.40	μA	
		V <sub>DD</sub> = 1.8V ~ 3.6V。CS = V <sub>DD</sub> ° 他の入力は V <sub>SS</sub> または V <sub>DD</sub>	-	0.10	0.75		
I <sub>PEAK</sub>	電源投入時、ハイバネート モードからの復帰時、ディープパワーダウン モードからの復帰時、またはスタンバイ モード時に V <sub>DD</sub> から引き出されるピーク電流	V <sub>DD</sub> = 1.71V ~ 1.89V。CS = V <sub>DD</sub> 、WP = V <sub>DD</sub> ° 他の入力は V <sub>SS</sub> または V <sub>DD</sub> 10μs の平均値	-	1.90	2.0 <sup>[3]</sup>	mA	
		V <sub>DD</sub> = 1.8V ~ 3.6V。CS = V <sub>DD</sub> 、WP = V <sub>DD</sub> ° 他の入力は V <sub>SS</sub> または V <sub>DD</sub> 10μs の平均値	-	2.0	2.20 <sup>[3]</sup>		
I <sub>LI</sub>	WP ピンを除く I/O ピンの入力リード電流	V <sub>SS</sub> < V <sub>IN</sub> < V <sub>DD</sub>	-1	-	1	μA	
	WP ピンの入力リード電流		-100	-	1		
I <sub>LO</sub>	出力リード電流	V <sub>SS</sub> < V <sub>OUT</sub> < V <sub>DD</sub>	-1	-	1	μA	

注：

2. Typ 値は 25°C、V<sub>DD</sub> = V<sub>DD</sub>(typ) で測定されます。

3. このパラメーターは特性評価で保証され、量産ではテストされません。

DC 電気的特性

表 11 DC 電気的特性 ( 続き )

動作範囲内

パラメーター	説明	テスト条件	Min	Typ <sup>[2、3]</sup>	Max	単位
$V_{IH}$	入力 HIGH 電圧	-	$0.7 \times V_{DD}$	-	$V_{DD} + 0.3$	V
$V_{IL}$	入力 LOW 電圧	-	-0.3	-	$0.3 \times V_{DD}$	
$V_{OH1}$	出力 HIGH 電圧	$I_{OH} = -1mA$ 、 $V_{DD} = 2.7V$	2.4	-	-	
$V_{OH2}$	出力 HIGH 電圧	$I_{OH} = -100\mu A$	$V_{DD} - 0.2$	-	-	
$V_{OL1}$	出力 LOW 電圧	$I_{OL} = 2mA$ 、 $V_{DD} = 2.7V$	-	-	0.4	
$V_{OL2}$	出力 LOW 電圧	$I_{OL} = 150\mu A$	-	-	0.2	

注:

2. Typ 値は 25°C、 $V_{DD} = V_{DD}(\text{typ})$  で測定されます。
3. このパラメーターは特性評価で保証され、量産ではテストされません。

データ保持期間およびアクセス可能回数

## 10 データ保持期間およびアクセス可能回数

表 12 データ保持期間およびアクセス可能回数

パラメーター	説明	テスト条件	Min	Max	単位
T <sub>DR</sub>	データ保持期間	T <sub>A</sub> = 85°C	10	-	年
		T <sub>A</sub> = 70°C	141	-	
		T <sub>A</sub> = 60°C	151	-	
		T <sub>A</sub> = 50°C	160	-	
NV <sub>C</sub>	アクセス可能回数	動作温度範囲内	10 <sup>15</sup>	-	回

静電容量

## 11 静電容量

**表 13 静電容量**

すべてのパッケージ

パラメーター <sup>[4]</sup>	説明	テスト条件	Max	単位
$C_O$	出力ピン静電容量 (SO)	$T_A = 25^\circ\text{C}$ 、 $f = 1\text{MHz}$ 、 $V_{DD} = V_{DD(\text{typ})}$	8	pF
$C_I$	入力ピン静電容量		6	

注:

4. このパラメーターは特性評価で保証され、量産ではテストされません。

熱抵抗

## 12 热抵抗

表 14 热抵抗

パラメーター <sup>[5]</sup>	説明	テスト条件	24 ボール FBGA パッケージ	単位
Q <sub>JA</sub>	熱抵抗 ( 接合部から周囲 )	テスト条件は、EIA / JESD51 による、 熱インピーダンスを測定するための 標準的なテスト方法と手順に従う	46.4	°C /W
Q <sub>JC</sub>	熱抵抗 ( 接合部からケース )		22.8	

注：

- このパラメーターは特性評価で保証され、量産ではテストされません。

AC テスト条件

## 13 AC テスト条件

入力パルス レベル	$V_{DD}$ の 10% と 90%
入力立ち上り / 立ち下り時間	3ns
入出力タイミング参照レベル	$0.5 \times V_{DD}$
出力負荷容量	30pF

AC スイッチング特性

## 14 AC スイッチング特性

表 15 AC スイッチング特性

動作範囲内

パラメーター <sup>[6]</sup>	代替 パラメーター	説明	Min	Max	単位
$f_{SCK}$	-	SCK クロック周波数	0	20	MHz
$t_{CH}$	-	クロック HIGH 時間	22	-	
$t_{CL}$	-	クロック LOW 時間	22	-	
$t_{CLZ}$ <sup>[7]</sup>	-	クロック LOW から出力 Low-Z までの時間	0	-	
$t_{CSS}$	$t_{CSU}$	チップセレクトセットアップ時間	10	-	
$t_{CSH}$	$t_{CSH}$	チップセレクトホールド時間 - SPI モード 0	10	-	
$t_{CSH1}$	-	チップセレクトホールド時間 - SPI モード 3	10	-	
$t_{HZCS}$ <sup>[8、9]</sup>	$t_{OD}$	出力無効時間	-	20	
$t_{CO}$	$t_{ODV}$	出力データ有効時間	-	20	
$t_{OH}$	-	出力ホールド時間	1	-	
$t_{CS}$	$t_D$	選択解除時間	60	-	
$t_{SD}$	$t_{SU}$	データセットアップ時間	5	-	
$t_{HD}$	$t_H$	データホールド時間	5	-	
$t_{WPS}$	$t_{WHSL}$	$\overline{WP}$ セットアップ時間 ( $\overline{CS}$ に対する)	20	-	
$t_{WPH}$	$t_{SHWL}$	$\overline{WP}$ ホールド時間 ( $\overline{CS}$ に対する)	20	-	

注:

6. [30 ページの「AC テスト条件」](#)に示すように、テスト条件は、3ns 以下の信号遷移時間、 $0.5 \times V_{DD}$  のタイミング参照レベル、 $V_{DD}$  の 10% ~ 90% の入力パルス レベル、指定の  $I_{OL} / I_{OH}$  の出力負荷および 30pF の負荷容量を前提にしています。
7. 設計で保証されています。
8.  $t_{HZCS}$  は 5pF の負荷容量が付いている状態で測定されます。遷移の測定は、出力が高インピーダンス状態に入っているときに行われます。
9. このパラメーターは特性評価で保証され、量産ではテストされません。

AC スイッチング特性

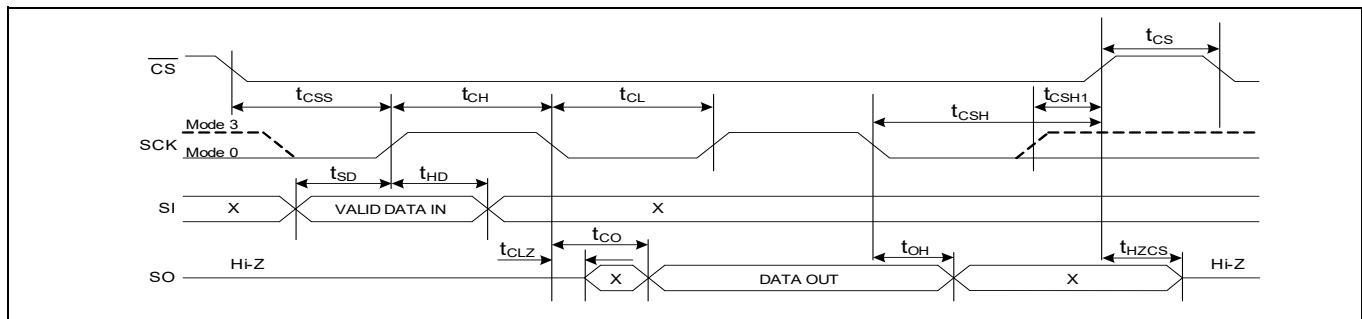


図 22 同期データタイミング (モード 0 およびモード 3)

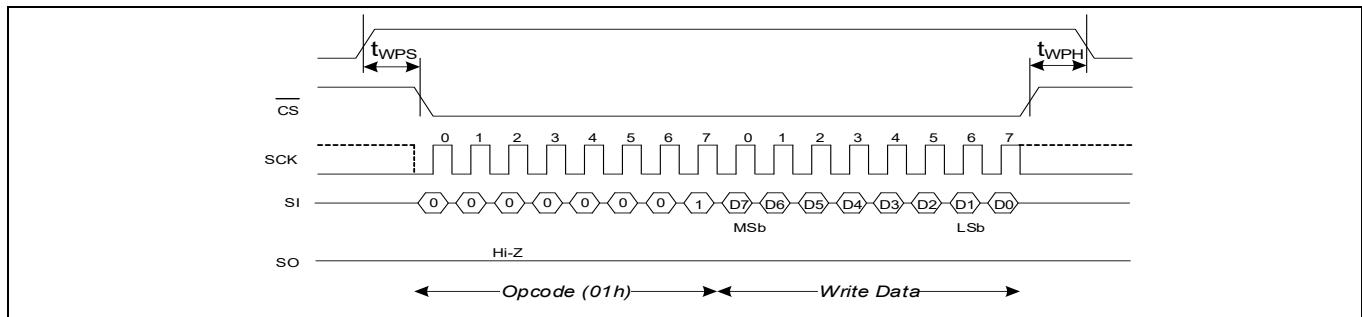


図 23 ステータス レジスタ書き込み (WRSR) 動作中の書き込み保護タイミング

パワー サイクル タイミング

## 15 パワー サイクル タイミング

表 16 パワー サイクル タイミング

動作範囲内

パラメーター [10]		説明	Min	Max	単位
パラメーター	代替パラメーター				
$t_{PU}$	-	電源投入 ( $V_{DD}(\min)$ ) から最初のアクセス ( $\overline{CS}$ LOW) までの時間	6.0	-	ms
$t_{VR}^{[11]}$	-	$V_{DD}$ 電源投入時ランプレート	30	-	$\mu\text{s}/V$
$t_{VF}^{[11, 12]}$	-	$V_{DD}$ 電源切断時ランプレート	20	-	
$t_{ENTDPD}^{[13]}$	$t_{DP}$	$\overline{CS}$ HIGH からディープパワーダウン モード開始までの時間 ( $\overline{CS}$ HIGH からハイバネート モード開始までの時間)	-	3	$\mu\text{s}$
$t_{CSDPD}$	-	ディープパワーダウン モードから復帰するための $\overline{CS}$ パルス幅	0.015	$4 \times 1/f_{SCK}$	
$t_{EXTDPD}$	$t_{RDP}$	ディープパワーダウン モードからの回復時間 ( $\overline{CS}$ LOW からアクセス準備完了までの時間)	-	380	
$t_{ENTHIB}^{[14]}$	-	ハイバネート モードへの移行時間 ( $\overline{CS}$ HIGH からハイバネート モード開始までの時間)	-	3	
$t_{EXTHIB}$	$t_{REC}$	ハイバネート モードからの回復時間 ( $\overline{CS}$ LOW からアクセス準備完了までの時間)	-	6.0	ms
$V_{DD}(\text{low})^{[12]}$	-	初期化が必要となる低 $V_{DD}$	0.6	-	V
$t_{PD}^{[12]}$	-	$V_{DD}(\text{low}) = 0.6V$ 時の $V_{DD}(\text{low})$ 時間	130	-	$\mu\text{s}$
	-	$V_{DD}(\text{low}) = V_{SS}$ 時の $V_{DD}(\text{low})$ の時間	70	-	

注:

10.30 ページの「AC テスト条件」に示すように、テスト条件は、3ns 以下の信号遷移時間、 $0.5 \times V_{DD}$  のタイミング参照レベル、 $V_{PD}$  の 10% ~ 90% の入力パルス レベル、指定の  $I_{OL} / I_{OH}$  の出力負荷および 30pF の負荷容量を前提にしています。

11.  $V_{DD}$  波形上の任意の点で測定した傾きです。

12. このパラメーターは特性評価で保証され、量産ではテストされません。

13. 設計で保証されています。ディープパワーダウン モード タイミングは図 19 を参照してください。

14. 設計で保証されています。ハイバネート モード タイミングは図 21 を参照してください。

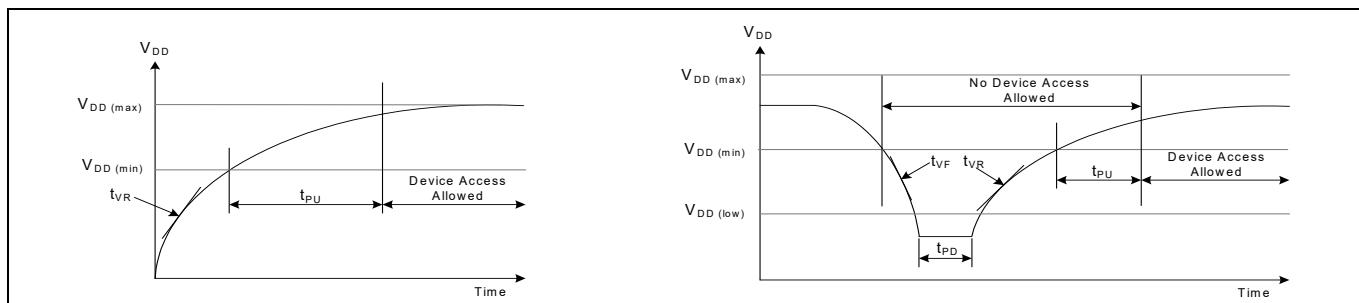


図 24 パワー サイクル タイミング

注文情報

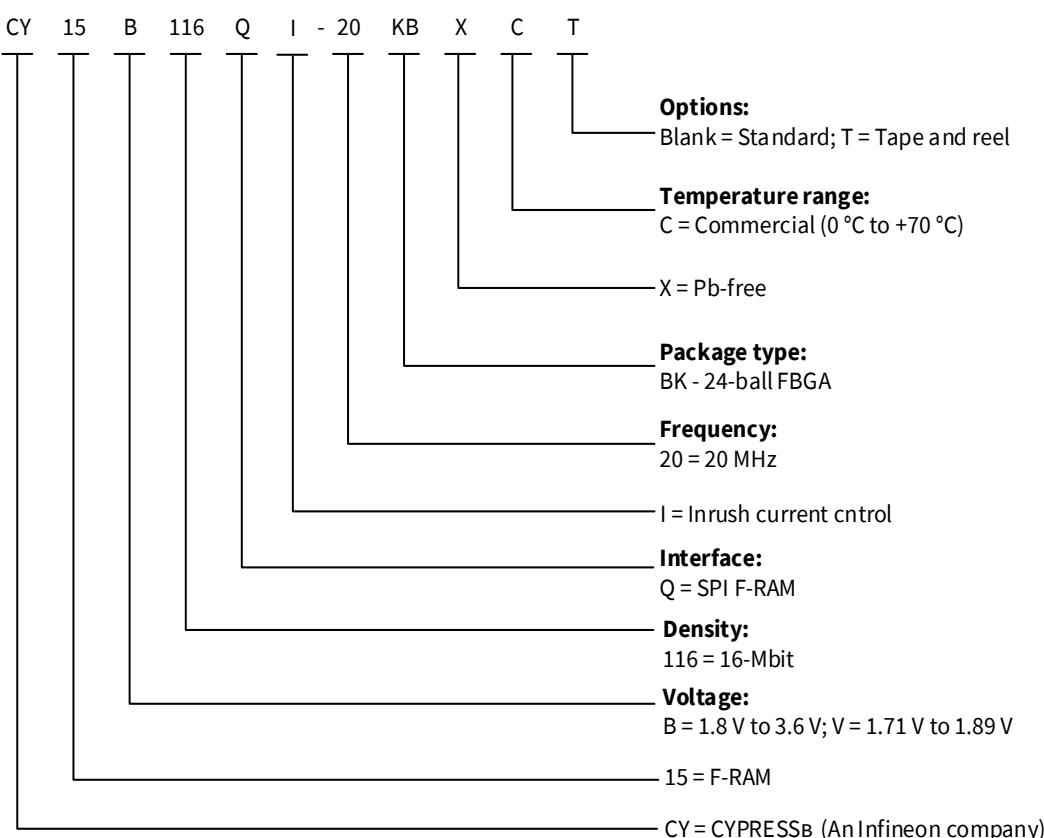
## 16 注文情報

表 17 注文情報

注文コード	デバイス ID	パッケージ図	パッケージ タイプ	動作範囲
CY15B116QI-20BKXC	7F7F7F7F7FC231A1	001-97209	24 ボール FBGA	民生用
CY15V116QI-20BKXC	7F7F7F7F7FC231A5	001-97209	24 ボール FBGA	民生用

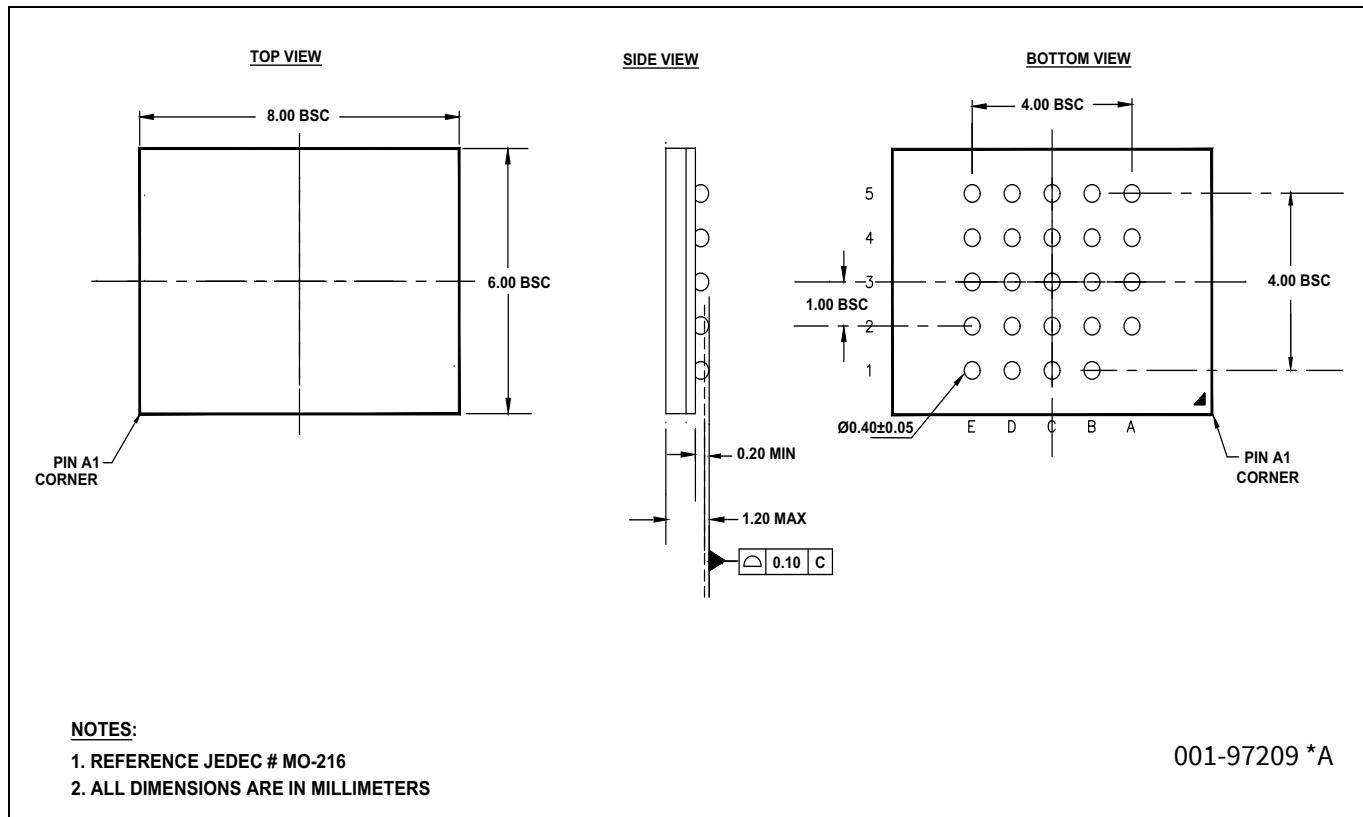
これらすべての製品は鉛フリーです。在庫状況については、最寄りのインフィニオン販売代理店にお問い合わせください。

### 16.1 注文コードの定義



パッケージ図

## 17 パッケージ図



NOTES:

1. REFERENCE JEDEC # MO-216
2. ALL DIMENSIONS ARE IN MILLIMETERS

001-97209 \*A

図 25 24L FBGA 8 × 6 × 1.2mm BK24A パッケージ外形図、001-97209

略語

## 18 略語

表 18 本書で使用する略語

略語	説明
CPHA	Clock phase ( クロック位相 )
CPOL	Clock polarity ( クロック極性 )
EEPROM	Electrically erasable programmable read-only memory ( 電気的消去書き込み可能読み出し専用メモリ )
EIA	Electronic Industries Alliance ( 米国電子工業会 )
FBGA	Fine-pitch ball grid array ( フайнピッチ ボールグリッド アレイ )
F-RAM	Ferroelectric random access memory ( 強誘電体ランダム アクセス メモリ )
I/O	Input/Output ( 入力 / 出力 )
JEDEC	Joint Electron Devices Engineering Council ( 半導体技術協会 )
JESD	JEDEC standards ( JEDEC 規格 )
LSb	Least significant bit ( 最下位ビット )
MSb	Most significant bit ( 最上位ビット )
RoHS	Restriction of hazardous substances ( 特定有害物質使用制限指令 )
SPI	Serial peripheral interface ( シリアルペリフェラルインターフェース )
SOIC	Small outline integrated circuit ( 小型外形集積回路 )

本書の表記法

## 19 本書の表記法

### 19.1 測定単位

表 19 測定単位

記号	測定単位
°C	摂氏温度
Hz	ヘルツ
kHz	キロヘルツ
kΩ	キロオーム
Mb	メガビット
MHz	メガヘルツ
μA	マイクロアンペア
μF	マイクロファラド
μs	マイクロ秒
mA	ミリアンペア
ms	ミリ秒
ns	ナノ秒
Ω	オーム
%	パーセント
pF	ピコファラド
V	ボルト
W	ワット

改訂履歴

## 改訂履歴

版	発行日	変更内容
**	2022-11-18	これは英語版 002-30283 Rev. *C を翻訳した日本語版 002-36632 Rev. ** です。

## Trademarks

All referenced product or service names and trademarks are the property of their respective owners.

**Edition 2022-11-18**

**Published by**

**Infineon Technologies AG  
81726 Munich, Germany**

**© 2022 Infineon Technologies AG.  
All Rights Reserved.**

**Do you have a question about this  
document?**

Go to [www.infineon.com/support](http://www.infineon.com/support)

**Document reference**

**002-36632 Rev. \*\***

## 重要事項

本文書に記載された情報は、いかなる場合も、条件または特性の保証とみなされるものではありません（「品質の保証」）。  
本文に記された一切の事例、手引き、もしくは一般的な価値、および／または本製品の用途に関する一切の情報に関し、インフィニオンテクノロジーズ（以下、「インフィニオン」）はここに、第三者の知的所有権の不侵害の保証を含むがこれに限らず、あらゆる種類の一切の保証および責任を否定いたします。

さらに、本文書に記載された一切の情報は、お客様の用途におけるお客様の製品およびインフィニオン製品の一切の使用に関し、本文書に記載された義務ならびに一切の関連する法的要件、規範、および基準をお客様が遵守することを条件としています。

本文書に含まれるデータは、技術的訓練を受けた従業員のみを対象としています。本製品の対象用途への適合性、およびこれら用途に関連して本文書に記載された製品情報の完全性についての評価は、お客様の技術部門の責任にて実施してください。

## 警告事項

技術的要件に伴い、製品には危険物質が含まれる可能性があります。当該種別の詳細については、インフィニオンの最寄りの営業所までお問い合わせください。

インフィニオンの正式代表者が署名した書面を通じ、インフィニオンによる明示の承認が存在する場合を除き、インフィニオンの製品は、当該製品の障害またはその使用に関する一切の結果が、合理的に人的傷害を招く恐れのある一切の用途に使用することはできないことご了承ください。