

请注意赛普拉斯已正式并入英飞凌科技公司。

此封面页之后的文件标注有“赛普拉斯”的文件即该产品为此公司最初开发的。请注意作为英飞凌产品组合的部分,英飞凌将继续为新的及现有客户提供该产品。

文件内容的连续性

事实是英飞凌提供如下产品作为英飞凌产品组合的部分不会带来对于此文件的任何变更。未来的变更将在恰当的时候发生,且任何变更将在历史页面记录。

订购零件编号的连续性

英飞凌继续支持现有零件编号的使用。下单时请继续使用数据表中的订购零件编号。

Excelon™-Ultra 4 Mbit (512K × 8) 四线 SPI F-RAM

性能

- 4 Mbit 铁电性随机存取存储器 (F-RAM) 的逻辑组织方式为 512K × 8
 - 提供了一百万亿次 (10^{14}) 的读 / 写周期, 几乎为无限次数的耐久性。
 - 151 年数据保留时间 (见第 79 页上的数据保留时间与耐久性)
 - NoDelay™ 写操作
 - 高级高可靠性的铁电工艺
- 单线和多线 I/O 串行外设接口 (SPI)
 - 串行总线接口 SPI 协议
 - 支持 SPI 模式 0 (0, 0) 和模式 3 (1, 1), 适用于所有 SDR 模式转换
 - 支持 SPI 模式 0 (0, 0), 适用于所有 DDR 模式转换
 - 扩展型 I/O SPI 协议
 - 双线 SPI (DPI) 协议
 - 四线 SPI (QPI) 协议
- SPI 时钟频率
 - 最高 108 MHz 频率 SPI 的单倍数据速率 (SDR)
 - 最高 54 MHz 频率 SPI 的双倍数据速率 (DDR)
- 芯片内执行 (XIP) 模式下的存储器读 / 写操作
- 写入保护, 数据安全性, 数据完整性
- 使用写保护 (\overline{WP}) 引脚提供硬件保护
- 软件模块保护
- 提高数据完整性的纠错码 (ECC) 和循环冗余校验 (CRC)
 - 检测并纠正但比特错误的 ECC。在发生双比特错误时, 它将不纠正错误, 但将通过 ECC 状态寄存器进行错误报告
 - CRC 将检测原始数据的任意意外更改
- 扩展的电子签名
 - 器件 ID 包含制造商 ID 和产品 ID
 - 唯一 ID
 - 用户可编程序列号。
- 专用 256 字节特殊扇区 F-RAM
 - 专用特殊扇区写和读操作
 - 内容可以在最多 3 个标准回流焊周期内保持不变
- 高速度, 低功耗
 - SPI SDR 频率为 108 MHz 时, 有效电流为 10 mA (典型值)
 - QSPI SDR 频率为 108 MHz 并且 QSPI DDR 频率为 54 MHz 时, 有效电流为 16 mA (典型值)
 - 待机电流为 110 μ A (典型值)
 - 深度掉电模式电流为 0.80 μ A (典型值)
 - 休眠模式电流为 0.1 μ A (典型值)

- 低电压操作:
 - CY15V104QSN: $V_{DD} = 1.71$ V 到 1.89 V
 - CY15B104QSN: $V_{DD} = 1.8$ V 到 3.6 V
- 工作温度范围: -40°C 到 $+85^{\circ}\text{C}$
- 封装
 - 8 pin 小型塑封集成电路 (SOIC) 封装
 - 8 pin 网格阵列四方扁平无引线 (GQFN) 封装
- 符合有害物质限制标准 (RoHS)

功能说明

Excelon-Ultra CY15x104QSN 采用了高级铁电工艺的高性能 4 Mbit 非易失性存储器。铁电随机存取存储器 (即 F-RAM) 与 RAM 相同, 是执行读和写操作的易失性存储器。它提供 151 年的可靠数据保留时间, 并解决了由串行闪存和其他非易失性存储器造成的复杂性、开销和系统级可靠性的问题。

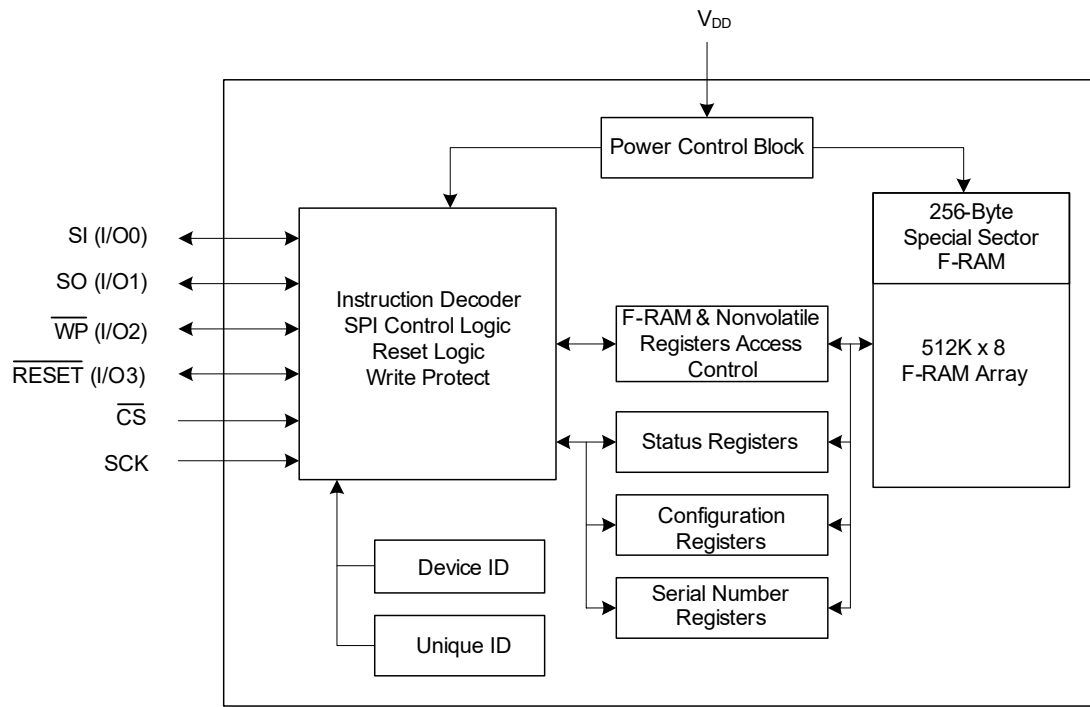
与串行闪存不同的是, CY15x104QSN 以总线速度执行写操作。并且不引起写操作的延迟。在每个字节成功传输到器件后, 数据立即被写入到存储器阵列内。这时, 可以开始执行下一个总线周期而不需要轮询数据。此外, 与其他非易失性存储器相比, 该产品提供了更多的擦写次数。CY15x104QSN 能够提供 10^{14} 次的读 / 写周期, 或支持比 EEPROM 多 1 亿次的写周期。由于具有这些特性, 因此 CY15x104QSN 非常适用于需要频繁或快速写操作的非易失性存储器应用。示例的范围包括从数据收集 (其中写周期数量是非常重要的) 到满足工业级控制 (其中串行 Flash 的较长写时间会使数据丢失)。

CY15x104QSN 将 4 Mbit F-RAM 与高速度四线 SPI (QPI) SDR 和 DDR 接口相结合, 从而增强 F-RAM 技术的非易失性写入功能。该器件包含一个只读的器件 ID 和唯一 ID 特性, 通过它们, SPI 总线主设备可以确定器件的制造商、产品容量、产品版本和唯一 ID。该器件包含一个唯一只读序列号, 可用于识别某个电路板或系统。

该器件支持片上 ECC 逻辑, 可以在每个 8 字节数据单元内检测和纠正单比特错误。该器件还包含在 8 字节数据单元中提供双比特错误报告的扩展功能。CY15x104QSN 还支持循环冗余校验 (CRC), 可用于校验存储器阵列中所存储数据的完整性。

要获取相关资源的完整列表, 请单击[此处](#)。

逻辑框图



目录

引脚布局	4	交流测试条件	80
引脚定义	5	SDR 交流切换特性	81
功能概述	6	DDR 交流切换特性	83
存储器架构	6	写保护 (WP) 时序参数	85
串行外设接口 (SPI) 总线	6	复位 (RESET) 时序参数	85
SPI 协议中使用的术语	7	电源周期时序	86
SPI 模式	9	订购信息	87
从上电到第一次访问的时间	10	订购代码定义	87
CY15x104QSN 寄存器	11	封装图	88
状态寄存器	11	缩略语	90
配置寄存器	15	文档规范	90
功能说明	23	测量单位	90
命令结构	23	文档修订记录	91
最大额定值	77	销售、解决方案和法律信息	92
工作范围	77	全球销售和设计支持	92
直流电气特性	77	产品	92
数据保留时间与耐久性	79	PSoC® 解决方案	92
电容	79	赛普拉斯开发者社区	92
热阻	79	技术支持	92

引脚布局

图 1. 8 pin SOIC 的引脚分布

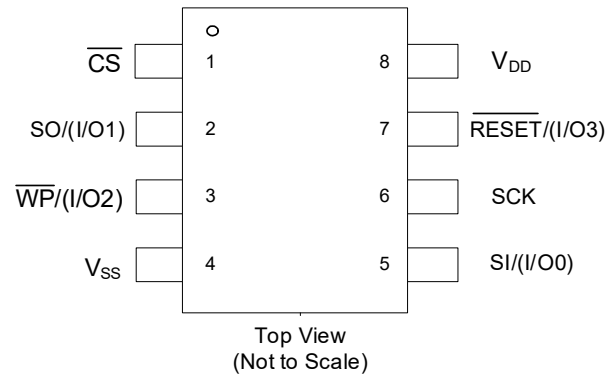
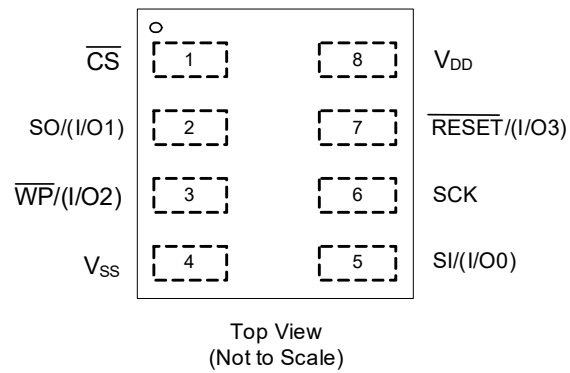


图 2. 8 pin GQFN 的引脚分布



引脚定义

引脚名称	I/O 类型	说明
CS	输入	芯片选择。 通过输入有效低电平可以使能器件。当该输入为高电平时，则器件会进入低功耗待机模式，忽略其他输入，并且输出是三态的。该输入为低电平时，器件将内部激活 SCK 信号。发送每一个新操作码前，CS 上必须产生下降沿。
SCK	输入	串行时钟。 所有输入 / 输出操作均与串行时钟同步。各输入被锁存在上升沿上，并且各输出在下降沿上发生。由于该器件是同步的，因此时钟频率的值范围为 0 到 108 MHz，可以随时中断该时钟频率。
SI/(I/O0)	输入	串行输入。 所有数据均通过该引脚转送到器件内。该引脚在 SCK 的上升沿上进行采样，并且在其他时间内被忽略。
	输入 / 输出	I/O0: 当该器件处于双路模式或者四路模式时，SI 引脚将成为输入 / 输出 (I/O0) 引脚，在命令和地址周期内作为输入使用，并且在数据输出周期内作为输出使用。
SO/(I/O1)	输出	串行输出。 这是数据输出引脚。该引脚在进行读操作时被驱动，并在其他时间内（包括 RESET 为低电平的情况）保持三态。数据传输在串行时钟的下降沿上被驱动。
	输入 / 输出	I/O1: 当该器件处于双路模式或者四路模式时，SO 引脚将成为输入 / 输出 (I/O1) 引脚，在命令和地址周期内作为输入使用，并且在数据输出周期内作为输出使用。
$\overline{\text{WP}}/(I/O2)$	输入	写保护。 当 SRWD 位 (SR1[7]) 为 “1” 时，该低电平有效引脚防止对状态寄存器和配置寄存器进行写操作。有关写保护的完整说明，请参考第 11 页上的状态寄存器 1 (SR1)。该引脚具有一个内部弱上拉电阻，该电阻会使该引脚在悬空（未在电路板上连接）时处于高电平状态。如果不使用该引脚，也可以将它连接到 V _{DD} 。
	输入 / 输出	I/O2: 当该器件处于四路模式时， $\overline{\text{WP}}$ 引脚将成为输入 / 输出 (I/O2) 引脚，在命令和地址周期内作为输入使用，并且在数据输出周期内作为输出使用。
$\overline{\text{RESET}}/(I/O3)$	输入	硬件复位引脚。 通过该低电平有效引脚可以进行器件复位。当 $\overline{\text{RESET}}$ 为低电平时，器件将自初始化。并在 RESET 输入被释放为高电平时，根据 CS 的高电平或低电平状态，器件将返回到待机状态或有效状态。该引脚具有一个内部弱上拉电阻，该电阻会使该引脚在悬空（未在电路板上连接）时处于高电平状态。如果不使用该引脚，也可以将它连接到 V _{DD} 。RESET/(I/O3) 操作如第 19 页上的表 20 说明。
	输入 / 输出	I/O3: 当该器件处于四路模式时， $\overline{\text{RESET}}$ 引脚将成为输入 / 输出 (I/O3) 引脚，在命令和地址周期内作为输入使用，并且在数据输出周期内作为输出使用。当该引脚被配置为 I/O3 时，内部上拉电阻被禁用。
V _{SS}	电源	器件的接地。必须连接至系统的接地端。
V _{DD}	电源	器件的电源输入。

功能概述

CY15x104QSN 是一个串行 F-RAM 存储器。该存储器阵列被逻辑组织为 524,288 × 8 位。通过使用工业标准的串行外设接口 (SPI) 总线可以访问该存储器阵列。F-RAM 的功能操作与单线 SPI EEPROM 或单线 / 双线 / 四线 SPI 闪存的功能操作相同。CY15x104QSN 与具有相同引脚分布的串行闪存之间的主要区别在于 F-RAM 具有更好的写性能、高的耐久性和较低的功耗。

存储器架构

访问 CY15x104QSN 时，用户可以寻址 512 K 地址的每 8 个数据位。通过单线、双线或四线 I/O，这 8 个数据位被连续移入或移出。通过使用 SPI 协议可以访问这些地址，该协议包含一个芯片选择（用于支持总线上的多个器件）、一个操作码和一个三字节（24 位）地址。然而，因为只需要 19 位来寻址 CY15x104QSN 的所有 512K 字节地址，所以“无需关注”最高有效地址字节的高 5 位。19 位地址指定了 512K 存储器阵列中每个数据字节的唯一位置。

存储器的访问时间几乎为零，但要考虑串行协议所需要的时间。因此，该存储器以 SPI 总线的速度进行读 / 写操作。与串行 Flash 或 EEPROM 不同的是，在初始化新的命令前，不需要轮询器件的就绪条件。第 23 页上的功能说明中详细介绍了该功能。

表 1. SPI 模式与信号的详细信息

接口	单通道 SPI	扩展型 SPI ^[1]				多通道 SPI	
		双线数据	四线数据	双线 I/O	四线 I/O	DPI	QPI
信号	$\overline{\text{CS}}$ 、SCK、SI、SO	$\overline{\text{CS}}$ 、SCK、I/O0、I/O1	$\overline{\text{CS}}$ 、SCK、I/O0、I/O1、I/O2、I/O3	$\overline{\text{CS}}$ 、SCK、I/O0、I/O1	$\overline{\text{CS}}$ 、SCK、I/O0、I/O1、I/O2、I/O3	$\overline{\text{CS}}$ 、SCK、I/O0、I/O1	$\overline{\text{CS}}$ 、SCK、I/O0、I/O1、I/O2、I/O3
操作码	SI	I/O0	I/O0	I/O0	I/O0	I/O0、I/O1	I/O0、I/O1、I/O2、I/O3
地址	SI	I/O0	I/O0	I/O0、I/O1	I/O0、I/O1、I/O2、I/O3	I/O0、I/O1	I/O0、I/O1、I/O2、I/O3
数据	SI/SO	I/O0、I/O1	I/O0、I/O1、I/O2、I/O3	I/O0、I/O1	I/O0、I/O1、I/O2、I/O3	I/O0、I/O1	I/O0、I/O1、I/O2、I/O3

注释：

1. 扩展的 SPI 模式没有用户设置。器件始终在 SPI 模式下开始运行，然后根据所收到的操作码转换到相应的扩展型 SPI 模式。

串行外设接口 (SPI) 总线

SPI 是同步的串行接口，它使用时钟和数据引脚进行存储器访问并支持数据总线上的多个器件。使用 $\overline{\text{CS}}$ 引脚可激活 SPI 总线上的器件。芯片选择、时钟和数据之间的关系是由 SPI 模式决定的。该器件支持 SPI 模式 0 和模式 3。在两种模式下，数据都在 SCK 上升沿（从 $\overline{\text{CS}}$ 变为有效之后的第一个上升沿）上记录到 F-RAM 内。SPI 协议由操作码控制。在完成某个操作并发出新的操作码前， $\overline{\text{CS}}$ 必须进入无效状态。

CY15x104QSN 是一个 SPI 从设备，其运行速度在单倍数据速率 (SDR) 模式下可达 108 MHz，在双数据速率 (DDR) 模式下为 54 MHz。该高速串行总线允许与 SPI 主设备进行高性能的串行通信。CY15x104QSN 支持四个不同的 SPI 接口 / 协议选项：单通道 SPI、扩展型 SPI、双线 SPI、四线 SPI。

更多有关上述各种 SPI 模式下操作码、地址和数据阶段中 I/O 信号的详细信息，请查阅表 1。

单通道 SPI

单通道 SPI 是一个四引脚接口，包括芯片选择 (\overline{CS})、串行输入 (SI)、串行输出 (SO) 和串行时钟 (SCK) 等引脚。激活 \overline{CS} 后，总线主设备传输的第一个字节便是操作码。随后，可以传输任何地址和数据。在完成某个操作并发出新的操作码前， \overline{CS} 必须进入无效状态。在该模式下分别使用了 SI 和 SO 作为输入和输出引脚。主设备通过 SI 线传输操作码和地址，并通过 SO 线读取数据。

扩展型 SPI

CY15x104QSN 还能重新配置标准的 SPI 引脚，以便可以在双线或四线 I/O 模式下工作，即为扩展型 SPI 模式。扩展型的 SPI 模式提供：双线数据、双线输入 / 输出 (I/O)、四线数据和四线输入 / 输出 (I/O) 等模式。发生扩展型的 SPI 命令或器件复位（上电复位或硬件 / 软件复位）后， \overline{CS} 变为高电平，使器件返回到单通道 SPI 模式。扩展型 SPI 模式包括以下 I/O 配置：

- 当器件在双线输出或双线 I/O 模式时，SI 引脚和 SO 引脚分别成为 I/O0 引脚和 I/O1 引脚。
- 当器件在四线输出或四线 I/O 模式时，SI 引脚、SO 引脚、 \overline{WP} 引脚和 RESET 引脚分别成为 I/O0 引脚、I/O1 引脚、I/O2 引脚和 I/O3 引脚。
- 只通过 SI 信号将双线和四线数据命令传送给存储器。数据可以按双比特一组的方式通过 I/O0 和 I/O1 从存储器回送到主机，也可以按四比特（半字节）一组的方式通过 I/O0、I/O1、I/O2 和 I/O3 回送。
- 只通过 SI 信号将双线或四线输入 / 输出 (I/O) 命令发送到存储器，但可以按照双比特一组通过 I/O0 和 I/O1 将主机的地址传输，也可以按照四比特（半字节）一组通过 I/O0、I/O1、I/O2 和 I/O3 从主机发送。数据同样可以按照双比特一组的方式通过 I/O0 和 I/O1 从存储器回送给主机，也可以按照四比特（半字节）一组的方式通过 I/O0、I/O1、I/O2 和 I/O3 被回送。

双线 SPI (DPI)

通过将 ‘1’ 写入到配置寄存器 2 (CR2) 的位 4，即 CR2[4] = ‘1’，可以使能 CY15x104QSN 的多通道 DPI 模式。由于配置寄存器 2 (CR2) 都有易失性和非易失性的空间，所以非易失性寄存器中的用户设置在电源和硬复位周期内保持不变。因此，当在非易失性 CR2 中设置了双线 SPI (DPI) 模式时，它将始终返回 DPI 模式，直到主机在非易失性 CR2 [4] 中将 DPI 位清除位 “0” 为止。通过将 ‘1’ 写入易失性寄存器 CR2 [4]，主机可以将器件接口更改为 DPI 模式；但是这个易失性设置将无法保持电源和硬件复位周期。在上电或硬复位周期发生后，易失性 CR2 [4] 设置将被覆盖为相关非易失性位置所存储的默认设置。

当器件在双线 SPI 模式时，SI 引脚和 SO 引脚分别成为 I/O0 引脚和 I/O1 引脚。命令、地址和数据按照双比特一组的方式通过 I/O0 和 I/O1 引脚从主机被发送到存储器。数据同样可以按照双比特一组的方式通过 I/O0 和 I/O1 从存储器回送给主机。

四线 SPI (QPI)

通过将 ‘1’ 写入到配置寄存器 2 (CR2) 的位 6，即 CR2[6] = ‘1’，可以使能 CY15x104QSN 的多通道 QPI 模式。由于配置寄存器 2 (CR2) 是易失性寄存器，也是非易失性寄存器，所以非易失性寄存器中的用户设置在电源和硬复位周期内保持不变。因此，当在非易失性 CR2 中设置了四线 QPI (QPI) 模式时，它将始终返回 QPI 模式，直到主机在非易失性 CR2 [6] 中将 QPI 位清除位 “0” 为止。通过将 ‘1’ 写入易失性寄存器 CR2 [6]，主机可以将器件接口更改为 QPI 模式；但是这个易失性设置将无法保持电源和硬件复位周期。在上电或硬复位周期发生后，易失性 CR2 [6] 设置将被覆盖为相关非易失性位置所存储的默认设置。

当器件处于四线 SPI 模式时，SI 引脚、SO 引脚、 \overline{WP} 引脚和 RESET 引脚分别作为 I/O0 引脚、I/O1 引脚、I/O2 引脚和 I/O3 引脚。命令、地址和数据按照四比特（半字节）一组的方式通过 I/O0、I/O1、I/O2 和 I/O3 引脚从主机被发送到存储器。数据同样可以按四比特（半字节）一组的方式通过 I/O0、I/O1、I/O2 和 I/O3 回送到主机内。

QPI 模式还通过特殊的操作码支持双倍数据速率 (DDR)，这样，可以在时钟的上升沿和下降沿时传输地址、模式和数据字节。在操作码阶段中没有 DDR 模式，即为始终在 SDR 模式下传输操作码。主机在 SDR 模式下发送一个特定的命令，用于确定处于 DDR 模式的地址，模式和数据。然后，器件才进入 DDR 模式。没有使能 DDR 模式的设置。只有在进行存储器读和写操作时，才通过特殊操作码支持四线 SPI DDR 模式。

SPI 协议中使用的术语

SPI 协议中的常用术语如下：

SPI 主设备

SPI 总线上的操作由 SPI 主设备控制。SPI 总线可能只有一个主设备，但可以有一个或多个从设备。所有从设备共享同一 SPI 总线。主设备可通过 \overline{CS} 引脚选择任意从设备。所有操作必须由主设备启动，主设备通过将从设备的 \overline{CS} 引脚置于低电平状态来激活从设备。主设备也生成 SCK（串行时钟），SI 和 SO 线上的所有数据传输均与该时钟同步。

SPI 从设备

SPI 从设备由主设备通过芯片选择线激活。来自 SPI 主设备的串行时钟 SCK 作为从设备的输入，所有通信均与该时钟同步。SPI 从设备不会在 SPI 总线上发起通信，而仅执行主设备所发出的指令。

CY15x104QSN 可用作 SPI 从设备，并可以与其他 SPI 从设备共享 SPI 总线。

芯片选择 (\overline{CS})

要选择任一从设备，主设备必须下拉相应 \overline{CS} 引脚。仅当 \overline{CS} 引脚为低电平状态时，才能将指令发送到从设备。未选择器件时，通过 SI 引脚传输的数据将被忽略，同时，串行输出引脚 (SO) 保持高阻抗状态。

注意：必须从 \overline{CS} 的下降沿上开始执行新指令。因此，每次有效 CS 从高电平转为低电平时，只能发出一个操作码。

串行时钟 (SCK)

串行时钟由 SPI 主设备生成，在 \overline{CS} 变为低电平后，通信将与该时钟同步。

CY15x104QSN 在 SPI 模式 0 和模式 3 下进行数据通信。在两种模式下，从设备在 SCK 的上升沿上锁存输入，而输出在下降沿上被发出。因此，SCK 的第一个上升沿表示已经在 SI 引脚上接收到 SPI 指令的第一个最高有效位 (MSB)。此外，所有数据输入和输出均与 SCK 同步。

数据传输 (SI/SO)

SPI 数据总线包括 SI 和 SO 两条线，用于串行数据通信。SI 又称为为主出从入 (MOSI)，SO 又称为为主入从出 (MISO)。主设备通过 SI 引脚将指令发送给从设备，从设备通过 SO 引脚发出响应。如上所述，多个从设备可共享 SI 和 SO 线。

CY15x104QSN 具有 SI 和 SO 两个独立引脚，用于连接至主设备，如图 3 所示。在双线或四线 I/O 模式下，这些引脚被配置为 I/O 引脚。图 4 显示了使用 QSPI 端口的系统接口。

图 3. 使用 SPI 端口进行系统配置

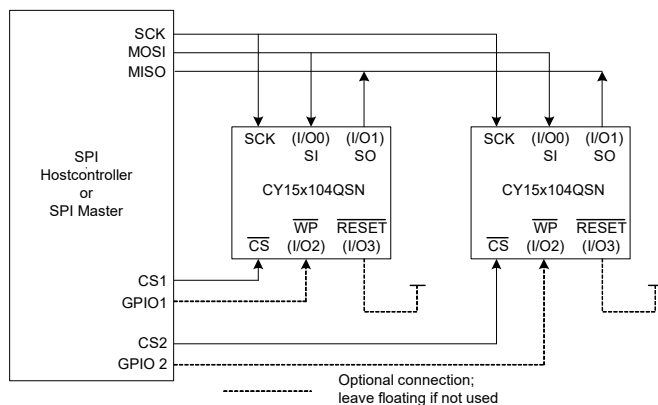
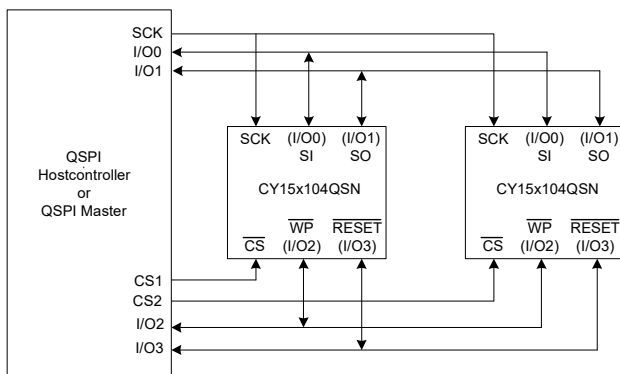


图 4. 使用 QSPI 端口的系统配置



最高有效位 (MSb)

SPI 协议要求发送的第一位为最高有效位 (MSb)。该条件也适用于地址和数据传输。

4 Mbit 串行 F-RAM 需要一个 3 字节地址才能进行读取或写入操作。因为地址只有 19 位，所以器件会忽略所载入的 5 位。虽然无需关注这 5 位，但赛普拉斯建议将这些位设置为 '0'，以通过无缝切换实现更高存储容量。

串行操作码

通过将 \overline{CS} 置于低电平来选择从设备后，可将收到的第一个字节作为预期操作的操作码。CY15x104QSN 使用标准操作码（参阅第 23 页上的表 31）进行存储器访问。

无效操作码

如果接收到保留的操作码，则操作码可能会内部触发意外操作，并以非确定性数据输出开始驱动 I/O 引脚。因此，当 CY15x104QSN 的芯片选择 \overline{CS} 为低电平时，应避免通过 SI 引脚传输保留类别下的所有操作码。

指令

指令是用于访问存储器和寄存器的操作码、地址、模式和 / 或虚拟字节 / 周期的组合。

模式字节

模式字节适用于支持现场执行 (XIP) 的所有写入和读取命令。XIP 是直接从外部存储器执行程序 (代码) 的方法，而不用将代码复制或映射到 RAM 中。当将某个写或读命令设置为 XIP 时，器件在命令周期终止 (\overline{CS} 切换为高电平) 后一直处于 XIP 模式，以便后续命令周期 (\overline{CS} 为低电平) 直接从地址阶段开始 (跳过操作码阶段)。在 XIP 中，器件执行与上一个周期相同的操作。为了在 XIP 中启动新的诸如从存储器写入切换到存储器读取，或反过来切换等操作，器件应首先退出当前命令周期所在的 XIP，并使用操作码阶段启动下一个命令周期。模式阶段的操作码仅支持 XIP。欲了解需要模式阶段的操作码列表，请参阅第 23 页上的表 31。

在操作码和 3 字节地址周期之后，在模式阶段期间传输的模式字节 0xAX (X 为无需关注的位) 或 0xA5 (取决于操作码) 将使器件在下一个命令周期中进入 XIP 模式。必须在每个命令周期期间设置 XIP，以保持下一个命令周期仍然处于 XIP 状态。在模式阶段期间发送的任何非 0xAX 或 0xA5 值 (I0xAX 或 I0xA5) 将使当前操作退出 XIP。在这种情况下，下一个命令周期必须始终从操作码阶段开始，从而开始相同的操作或新的操作。根据 SPI 模式和接口类型，传输模式字节所需要的时钟数量将为一个时钟 (四线，DDR) 到八个时钟 (SPI，SDR)。

等待状态或虚拟周期

等待状态 (也称为虚拟周期) 附加在地址位和模式位之后 (如果适用)。等待状态周期的数量可分别通过配置寄存器 1 (CR1) 和配置寄存器 2 (CR2) 进行编程。只有经过特定数量的虚拟周期后才能在输出总线上驱动有效数据。支持等待状态的存储器和寄存器读取指令发生之后，紧接着是这些虚拟周期。无论 SPI 模式和数据速率 (SDR 或 DDR) 如何，虚拟周期都是一个完整的时钟周期。在虚拟周期中，无需关注 I/O 的状态。

SPI 模式

CY15x104QSN 可由微控制器驱动，该控制器的 SPI 外设可运行于下列任一模式：

- SPI 模式 0 (CPOL = 0, CPHA = 0)
- SPI 模式 3 (CPOL = 1, CPHA = 1)

通过将 $\overline{\text{CS}}$ 引脚置为低电平而选中该器件时，该器件会通过 SCK 引脚状态来检测出 SPI 模式。器件被选中时，如果 SCK 引脚处于低电平状态，它将工作于 SPI 模式 0；如果 SCK 引脚处于高电平状态，它将工作于 SPI 模式 3。图 5 和图 6 中显示了这两个 SPI 模式。当总线主设备不传输数据时，SCK 时钟的状态为：

- 在模式 0 下，串行时钟保持为 0
- 在模式 3 下，串行时钟保持为 1

所有 SDR 模式命令都支持 SPI 模式 0 和模式 3。但是，所有 DDR 模式命令仅支持 SPI 模式 0。

图 5. SPI 模式 0

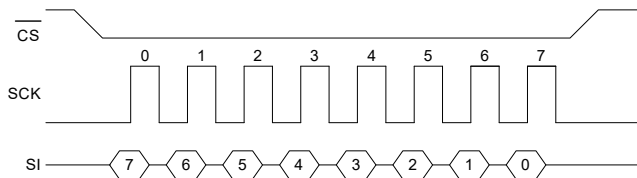
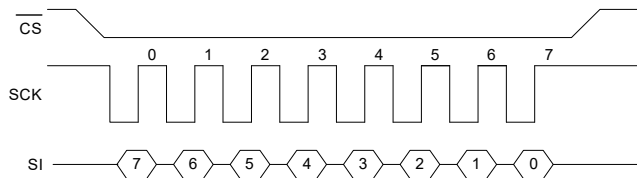


图 6. SPI 模式 3



SDR

始终在 SCK 的上升沿 ($\overline{\text{CS}}$ 有效后的第一个上升沿开始) 上锁存输入数据位 (包括指令、地址、数据)。如果时钟从高电平状态启动 (在模式 3 中)，则采用时钟触发后的第一个上升沿。输出数据在 SCK 的下降沿上可用。

DDR

始终在 SCK 的上升沿 ($\overline{\text{CS}}$ 有效后的第一个上升沿开始) 上锁存指令位。如果时钟从高电平状态启动 (在模式 3 中)，则采用时钟触发后的第一个上升沿。但是指令后的地址和输入数据则在 SCK 的双边沿上被锁存。最后指令位在 SCK 的下降沿上被锁存之后，第一个地址位会在随后的第一个 SCK 上升沿上被锁存。第一个输出数据位则在最后访问延迟 (虚拟) 周期结束后的 SCK 下降沿上被发送。

从上电到第一次访问的时间

当 CY15x104QSN 电源 (V_{DD}) 低于 $V_{DD(low)}$ 时, 上电周期开始。CY15x104QSN 等待 V_{DD} 电源上升到最小 $V_{DD(min)}$, 然后器件开始其内部启动序列。CY15x104QSN 的启动序列包括内部上电复位 (POR), 然后加载内部器件配置和调整寄存器以及设置用户可访问的寄存器。启动周期完成后, 所有用户可访问的寄存器 (状态和配置, 模式, ID, ECC 和 CRC) 均被设置为默认值。表 2 显示了上电 (或 POR) 序列成功后 CY15x104QSN 中每个寄存器的状态。

器件会忽略所有指令, 直到 V_{DD} 上升到超过 $V_{DD(min)}$ 后再经过 t_{PU} 延迟时间为止。在 t_{PU} 结束前, 不应该发出任何指令。在 t_{PU} 之后, 如果 \overline{CS} 为高电平, 则器件将进入待机模式并消耗待机电流 (I_{SB})。如果配置寄存器 4 (CR4) 中 POR 的深度掉电模式 (DPDPOR) 被设置为 '1' (CR4 [2] = '1'), 器件将在 t_{PU} 后进入深度掉电模式。

POR 事件发生后, 不能使用状态寄存器 1 的 WIP 位 (SR1[0]) 轮询器件的就绪状态, 因为在 t_{PU} 时间结束前, 仍无法访问器件,

并且不能对它执行任何指令, 包括 RDSR1。但是, 如果 t_{PU} 时间结束或者不能访问器件后, WIP 状态仍保持高电平, 则表示器件没有正确启动 (启动错误)。一旦发生启动错误, 器件进入以下默认状态:

- 接口模式设置为单线 SPI (SDR)
- 必须将 CR2 的 IO3R 位 (即 CR2[5]) 内部位置为 "1", 从而使 IO3 引脚上的硬件复位 (RESET) 功能。
- 寄存器延迟设置为三个时钟周期 (最大值)
- 输出阻抗设置为 45 欧姆
- 只能通过 RDSR1 和 RDAR 命令 (仅限 SPI SDR 模式) 读取 SR1。所有其他命令将保持禁用状态, 如被执行, 将返回未定义的数据。
- 读取 SR1 将返回启动错误标识 0x61

CY15x104QSN 将需要电源或硬件复位周期来重新启动启动序列。启动周期完成后, 上述所有默认设置将被替换为实际的用户配置。

表 2. 上电复位 (POR) 后 CY15x104QSN 寄存器的状态

功能	寄存器类型	上电复位 (POR) 后 CY15x104QSN 寄存器的状态
器件状态	状态寄存器 1 (SR1)	默认为相应的非易失性位
	状态寄存器 2 (SR2)	0x00
器件配置 [2]	配置寄存器 1 (CR1)	默认为相应的非易失性位
	配置寄存器 2 (CR2)	默认为相应的非易失性位
	配置寄存器 4 (CR4)	默认为相应的非易失性位
	配置寄存器 5 (CR5)	默认为相应的非易失性位
标识	标识寄存器	默认为相应的非易失性位 (出厂设置)
	唯一标识寄存器	默认为相应的非易失性位 (出厂设置)
	序列号寄存器	默认为相应的非易失性位 (出厂设置为 0x0000000000000000)
修改错误	ECC 状态寄存器	0x00
	ECC 计数寄存器	0x0000
	ECC 地址陷阱寄存器	0x00000000
循环冗余校验	CRC 寄存器	0x00000000

注释:

2. 配置寄存器 3 (CR3) 被预留供将来使用。

CY15x104QSN 寄存器

CY15x104QSN 支持各种状态和配置寄存器，用于进行器件状态更新和配置设置。以下各章节介绍了 CY15x104QSN 寄存器及其访问的详细信息。

状态寄存器

CY15x104QSN 支持两个状态寄存器：状态寄存器 1 (SR1) 和状态寄存器 2 (SR2)，为器件提供写保护设置以及就绪 /CRC 状态。SR1 寄存器在 F-RAM 中具有易失性和相关非易失性寄存器空间。非易失性寄存器在掉电期间保留器件配置。然后，在上电期间或硬件复位 (JEDEC 复位或 RESET 引脚) 后，器件配置将被复制到相应的易失性寄存器中。在正常访问期间，CY15x104QSN 状态机仅使用易失性寄存器设置更改设备配置。由于 CY15x104QSN 为易失性和非易失性配置寄存器提供独立空间，因此主机只能对易失性寄存器进行编程，以使当前电源周期的配置有效。非易失性的写入操作将改变易失性和非易失性寄存器的内容。因此，新配置将立即对当前电源周期以及后续电源周期或硬件复位周期有效。SR2 是一个只读字段。

通过使用专用状态寄存器读取操作码 (RDSR1、RDSR2) 或使用跟随状态寄存器地址的 RDAR 可以对状态寄存器进行读取操作。状态寄存器读取始终返回易失性寄存器内容。有关状态寄存器的详细信息，请参见以下章节。

状态寄存器 1 (SR1)

表 3 中所示的状态寄存器 1 (SR1) 包含状态和写保护控制位。可通过 WRSR 或 WRAR 命令访问 SR1。同时，可通过 RDSR1 或 RDAR 命令对 SR1 进行读操作。第 27 页上的寄存器访问命令中介绍了 SR1 访问的详细信息。

WRAR 非易失性写地址 — 0x000000

WRAR 易失性写地址 — 0x070000

RDAR 读取地址 — 0x000000 或 0x070000

表 3 中每个位后面的默认状态是出厂编程值。

表 3. 状态寄存器 1 (SR1)

SR1[7]	SR16	SR1[5]	SR1[4]	SR1[3]	SR1[2]	SR1[1]	SR1[0]
SRWD (0)	RFU (0)	TBPROT (0)	BP2 (0)	BP1 (0)	BP0 (0)	WEL (0)	WIP (0)

表 4. 状态寄存器 1 (SR1) — 非易失性

位	位名	位功能	类型	读 / 写	说明
SR1[7]	SRWD	状态寄存器写入被禁用	NV	R/W	1 = \overline{WP} 为低电平时状态寄存器和配置寄存器的锁定状态 0 = 无论 WP 引脚状态如何，寄存器写保护不被禁用
SR16	RFU	预留 (0)			保留供将来使用
SR1[5]	TBPROT	高地址或低地址相对保护	NV	R/W	1 = 保护开始于存储器阵列底部 0 = 保护开始于存储器阵列顶部
SR1[4]	BP2	模块保护位	NV	R/W	保护存储器阵列的选择地址范围
SR1[3]	BP1		NV		
SR1[2]	BP0		NV		
SR1[1]	WEL	写使能锁存	V	R	WEL 表示器件是否使能写入功能。上电时，该位默认为 '0' (禁用)。 WEL = '1' --> 使能写操作 WEL = '0' --> 禁用写操作
SR1[0]	WIP	正在进行	V	R	1 = 器件处于忙碌状态 0 = 器件处于就绪状态

NV - 非易失性；V - 易失性

表 5. 状态寄存器 1 (SR1) — 易失性

位	位名	位功能	类型	读 / 写	说明
SR1[7]	SRWD	状态寄存器写入被禁用	V	R/W	1 = \overline{WP} 为低电平时状态寄存器和配置寄存器的锁定状态 0 = 无论 \overline{WP} 引脚状态如何, 寄存器写保护不被禁用
SR16	RFU	预留 (0)			保留供将来使用
SR1[5]	TBPROT	高地址或低地址相对保护	V	R/W	1 = 保护开始于存储器阵列底部 0 = 保护开始于存储器阵列顶部
SR1[4]	BP2	模块保护位	V	R/W	保护存储器阵列的选择地址范围
SR1[3]	BP1		V		
SR1[2]	BP0		V		
SR1[1]	WEL	写使能锁存	V	R	WEL 表示器件是否使能写入功能。上电时, 该位默认为 '0' (禁用)。 WEL = '1' --> 使能写操作 WEL = '0' --> 禁用写操作
SR1[0]	WIP	正在进行	V	R	1 = 器件处于忙碌状态 0 = 器件处于就绪状态

V - 易失性

状态寄存器保护 (SRWD) SR1 [7]

当该位被设置为“1”并且写保护 (\overline{WP}) 引脚被驱动为低电平时, 该位使能状态和配置寄存器的写保护。在该模式下, 会忽略更改状态寄存器或配置寄存器内容的任何指令, 从而有效锁定器件的状态。如果 SRWD 设置为“0”, 无论 \overline{WP} 状态如何 (低电平还是高电平), 状态和配置寄存器写保护仍然被禁用。请参阅第 13 页上的表 8, 了解存储器和状态寄存器保护的各个选项。

顶部和底部保护 (TBPROT) SR1 [5]

该位对块保护位 BP2, BP1 和 BP0 的操作进行定义。该位控制由块保护位保护的存储器阵列 (从顶部或底部) 存储器的起始点。

表 6. 保护开始于顶部 (TBPROT = '0')

状态寄存器内容			受保护的存储器阵列部分	受保护的地址范围
BP2	BP1	BP0		
0	0	0	不支持	不支持
0	0	1	存储器阵列高 1/64 th	0x07E000–0x07FFFF
0	1	0	存储器阵列高 1/32 nd	0x07C000–0x07FFFF
0	1	1	存储器阵列高 1/16 th	0x078000–0x07FFFF
1	0	0	存储器阵列高 1/8 th	0x070000–0x07FFFF
1	0	1	存储器阵列高 1/4 th	0x060000–0x07FFFF
1	1	0	存储器阵列高 1/2	0x040000–0x07FFFF
1	1	1	整个存储器	0x000000–0x07FFFF

表 7. 保护开始于底部 (TBPROT = ‘1’)

状态寄存器内容			受保护的存储器阵列部分	受保护的地址范围
BP2	BP1	BP0		
0	0	0	不支持	不支持
0	0	1	存储器阵列低 1/64 th	0x000000–0x001FFF
0	1	0	存储器阵列低 1/32 nd	0x000000–0x003FFF
0	1	1	存储器阵列低 1/16 th	0x000000–0x007FFF
1	0	0	存储器阵列低 1/8 th	0x000000–0x00FFFF
1	0	1	存储器阵列低 1/4 th	0x000000–0x01FFFF
1	1	0	存储器阵列低 1/2	0x000000–0x03FFFF
1	1	1	整个存储器	0x000000–0x07FFFF

块保护 (BP2、BP1 和 BP0) SR1 [4:2]

这些位定义由写保护的存储器阵列，以便防止对该阵列执行写入命令。当一个或多个 BP 位被设置为 ‘1’ 时，相应的存储器地址被保护，这样便不能对其进行写操作。可通过块保护位 (BP2、BP1 和 BP0) 与 TBPROT 位的组合来保护存储器阵列的地址范围。地址范围的大小由 BP 位的值和由 TBPROT 选择的该范围的上限或下限起始点决定。表 6 和 表 7 显示了 CY15x104QSN 器件 BP[2:0] 位设置的受保护的地址范围。

写入使能锁存 (WEL) SR1 [1]

必须将 WEL 位设置为 ‘1’ 才能对存储器阵列或寄存器进行写操作，如表 8 所示。只有通过执行写入使能 (WREN) 命令，该位才被置 ‘1’。WRDI (04h)，WRSR (01h)，SSWR (42h)，WRAR (71h) 以及 WRSN (C2h) 等操作码后的 CS 的上升沿到来时，WEL 位 (SR1[1]) 自动被清零。在跟随存储器写入操作码的 CS 的上升沿到来时，WEL 位 (SR1[1]) 不会被清零。WEL 位是易失性的，并且在 POR 和所有复位事件之后返回到默认的 ‘0’ 状态。

表 8. 写保护

SRWD	WP	WEL	受保护的模块	无保护的模块	状态和配置寄存器 ^[3]
X	X	0	受保护	受保护	受保护
0	X	1	受保护	可写	可写
1	0	1	受保护	可写	受保护
1	1	1	受保护	可写	可写

正在进行的操作 (WIP) SR[0]

这是一个只读位，并在正常操作期间指示器件就绪或忙碌状态。执行 CRC 计算时，CY15x104QSN 将该位设置为“1”。在 CY15x104QSN 中，没有其他命令和事件会将 WIP 设置为“1”。当 WIP 为“1”时，CY15x104QSN 只能执行读取状态寄存器（使用 RDSR1/RDSR2），或读取任何寄存器（状态寄存器地址随后的 RDAR）、CRC 挂起（EPCS）和软件复位（RST 随后的 RSTEN）等命令。WIP 为“1”时，其他命令将被忽略。在上电或复位周期中，WIP 位不能用于轮询器件就绪状态。该位是易失性的，并且在 POR 和所有复位事件之后返回到默认的“0”状态。

表 9. 状态寄存器 2 (SR2)

SR2[7]	SR2[6]	SR2[5]	SR2[4]	SR2[3]	SR2[2]	SR2[1]	SR2[0]
RFU (0)	RFU (0)	RFU (0)	CRCS (0)	CRCA (0)	RFU (0)	RFU (0)	RFU (0)

表 10. 状态寄存器 2 (SR2) — 仅适用于易失性寄存器

位	位名	位功能	类型	读 / 写	说明
SR2[7]	RFU	预留 (0)			保留供将来使用
SR2[6]	RFU	预留 (0)			保留供将来使用
SR2[5]	RFU	预留 (0)			保留供将来使用
SR2[4]	CRCS	CRC 挂起	V	R	1 = 处于 CRC 挂起模式 0 = 无处于 CRC 挂起模式
SR2[3]	CRCA	CRC 中止	V	R	1 = CRC 命令被中止 0 = CRC 命令不被中止
SR2[2]	RFU	预留 (0)			保留供将来使用
SR2[1]	RFU	预留 (0)			保留供将来使用
SR2[0]	RFU	预留 (0)			保留供将来使用

V - 易失性

CRC 挂起 (CRCS) SR2 [4]

该 CRC 挂起 (CRCS) 位用于确定器件处于 CRC 挂起模式的时间。在器件 CRC 计算期间进行 CRC 挂起命令 (EPCS) 将该位置为“1”，表示 CRC 挂起状态。CRC 恢复 (EPCR) 命令将 CRCS 位清零，表示器件退出 CRC 挂起模式。这是一个只读位。复位 (POR，硬件和软件) 后，该位也被清除。

状态寄存器 2 (SR2)

表 9 中的状态寄存器 2 (SR2) 展示了 CRC 操作时的器件状态。SR2 是只读易失性寄存器，可由 RDSR2 或 RDAR 命令访问，用于读取操作。第 27 页上的寄存器访问命令中介绍了 SR1 访问的详细信息。

RDAR 读取地址 — 0x000001 或 0x070001

表 8 中每个位后面的默认状态是出厂编程值。

CRC 中止 (CRCA) SR2 [3]

该位表示 CRC 计算 (CRCC) 操作是否中止。当结束地址和起始地址标准 (EA < SA + 3，即为结束地址应至少高于起始地址 32 位对齐字) 不能满足时，CRC 计算将被中止。当后续 CRC 计算成功启动时，该位被清零。复位 (POR，硬件和软件) 后，该位也被清除。

注释:

- 所有位（只读位和保留位除外）

配置寄存器

CY15x104QSN 支持四个用户配置寄存器: CR1、CR2、CR4 和 CR5, 用于编程器件中的各种控制。每个配置寄存器在 F-RAM 中具有易失性和相关非易失性寄存器空间。非易失性寄存器在掉电期间保留器件配置。然后, 在上电期间或硬件复位 (JEDEC 复位或 RESET 引脚) 后, 器件配置将被复制到相应的易失性寄存器中。在正常访问期间, CY15x104QSN 状态机仅使用易失性寄存器设置更改设备配置。由于 CY15x104QSN 为易失性和非易失性配置寄存器提供独立空间, 因此主机只能对易失性寄存器进行编程, 以使当前电源周期的配置有效。非易失性的写入操作将改变易失性和非易失性寄存器的内容。因此, 新配置将立即对当前电源周期以及后续电源周期或硬件复位周期有效。

使用专用配置寄存器读取操作码 (RDCR1、RDCR2、RDCR3、RDCR4) 或 RDAR 命令对配置寄存器进行读取操作将始终返回易失性寄存器内容。有关配置寄存器的详细信息, 请参见以下章节。

配置寄存器 1 (CR1)

配置寄存器 1 (CR1), 如表 11 中所示, 配置存储器的延迟 (虚拟) 周期以及特殊扇区读取, 并在扩展 SPI 访问期间启用四线 I/O。可通过 WRAR 命令访问 CR1。同时, 可通过 RDCR1 或 RDAR 命令对 SR1 进行读操作。第 27 页上的寄存器访问命令中介绍了 CR1 访问的详细信息。

WRAR 非易失性写地址 — 0x000002

WRAR 易失性写地址 — 0x070002

RDAR 读取地址 — 0x000002 或 0x070002

表 11 中每个位后面的默认状态是出厂编程值。

表 11. 配置寄存器 1 (CR1)

CR1[7]	CR1[6]	CR1[5]	CR1[4]	CR1[3]	CR1[2]	CR1[1]	CR1[0]
MLC3 (0)	MLC2 (0)	MLC1 (0)	MLC0 (0)	RFU (0)	RFU (0)	QUAD (0)	RFU (0)

表 12. 配置寄存器 1 (CR1) — 非易失性

位	位名	位功能	类型	读 / 写	说明
CR1[7]	MLC3	存储器延迟代码	NV	R/W	为存储器以及特殊扇区读取操作码配置延迟（虚拟）周期数。 示例： 0000 - 0 个周期 0110 - 6 个周期 1111 - 15 个周期
CR1[6]	MLC2		NV		
CR1[5]	MLC1		NV		
CR1[4]	MLC0		NV		
CR1[3]	RFU	预留（0）			保留供将来使用
CR1[2]	RFU	预留（0）			保留供将来使用
CR1[1]	QUAD	四线	NV	R/W	1 = 四线 0 = 双线或串行
CR1[0]	RFU	预留（0）			保留供将来使用

NV - 非易失性

表 13. 配置寄存器 1 (CR1) — 易失性

位	位名	位功能	类型	读 / 写	说明
CR1[7]	MLC3	存储器延迟代码	V	R/W	为存储器以及特殊扇区读取操作码配置延迟（虚拟）周期数。 示例： 0000 - 0 个周期 0110 - 6 个周期 1111 - 15 个周期
CR1[6]	MLC2		V		
CR1[5]	MLC1		V		
CR1[4]	MLC0		V		
CR1[3]	RFU	预留（0）			保留供将来使用
CR1[2]	RFU	预留（0）			保留供将来使用
CR1[1]	QUAD	四线	V	R/W	1 = 四线 0 = 双线或串行
CR1[0]	RFU	预留（0）			保留供将来使用

V - 易失性

存储器延迟代码 (MLC) CR1 [7:4]

这四个位配置所有可变延迟存储器读取指令中的延迟（虚拟）周期。通过这些位，用户可以在正常操作期间调整存储器读取延迟，从而优化不同工作频率下各种指令的延迟。无论 SPI 模式和数据速率（SDR 或 DDR）如何，虚拟周期都是一个完整的时钟周期。

一些读取操作码支持地址周期后面附加虚拟周期。在数据可以返回到主机系统前，这些虚拟周期提供完成存储器阵列的初始读取访问所需的额外延迟。SPI 时钟（SCK）频率增大，虚拟周期数也要增加，以满足相应的延迟。

表 14 和第 17 页上的表 16 中显示了支持虚拟周期的每个操作码的最大 SPI 时钟频率和相应的时钟延迟。主机控制器可以通过为每个操作码设置独立的延迟周期来确定优化时序，或者通过设置满足所有操作码的延迟要求的最差情况延迟，以便得到所需要的

工作频率。为较高频率设置的存储器读取延迟也适用于所有较低频率。因此，当主机将 SPI 时钟（SCK）从较高频率降低到较低频率时，调整时钟延迟变为可选的。

头文件表 14 中的各个格式（CMD，ADD，DATA）表示这些字节在不同 SPI 模式下的 I/O 数量的传输。例如：(2,2,2) 代表所有命令（CMD）、地址（ADDR）和数据（DATA）字节在 DPI 模式下通过两个 I/O（I/O0 和 I/O1）得到发送。与此类似，(1,2,2) 表示 CMD 字节通过单个 I/O（I/O0）被发送，而 ADDR 和 DATA 字节在双线 I/O 模式下通过两个 I/O（I/O0，I/O1）被发送。(1, 1, 4) 表示 CMD、ADDR 字节通过单个 I/O（I/O0）被发送，而 DATA 字节在四线数据模式下通过四个 I/O（I/O0，I/O1，I/O2，I/O3）得到发送。

模式（Mode）表示在各种 SPI 接口模式下所需的时钟周期数量，用于在地址位之后传输模式字节。由于在地址周期之后传输模式位，所以传输模式位所需的时钟周期内部被添加到延迟计算中。

表 14. XIP 模式 (SDR) 下存储器读命令的延迟（虚拟）周期

	SPI (SDR)	DPI (SDR)	QPI (SDR)	双线数据 (SDR)	双线 I/O (SDR)	四线数据 (SDR)	四线 I/O (SDR)
延迟（虚拟）周期 — 十进制	FAST_READ	FAST_READ	FAST_READ、QIOR	DOR	DIOR	QOR	QIOR
	(1, 1, 1)	(2, 2, 2)	(4, 4, 4)	(1, 1, 2)	(1, 2, 2)	(1, 1, 4)	(1, 4, 4)
	模式 = 8	模式 = 4	模式 = 2	模式 = 8	模式 = 4	模式 = 8	模式 = 2
0	108 MHz	55 MHz ^[4]	10 MHz ^[4]	108 MHz	55 MHz ^[4]	108 MHz	10 MHz ^[4]
1	108 MHz	70 MHz ^[4]	25 MHz ^[4]	108 MHz	70 MHz ^[4]	108 MHz	25 MHz ^[4]
2	108 MHz	80 MHz ^[4]	40 MHz ^[4]	108 MHz	80 MHz ^[4]	108 MHz	40 MHz ^[4]
3	108 MHz	95 MHz ^[4]	55 MHz ^[4]	108 MHz	95 MHz ^[4]	108 MHz	55 MHz ^[4]
4	108 MHz	108 MHz	70 MHz ^[4]	108 MHz	108 MHz	108 MHz	70 MHz ^[4]
5	108 MHz	108 MHz	80 MHz ^[4]	108 MHz	108 MHz	108 MHz	80 MHz ^[4]
6	108 MHz	108 MHz	95 MHz ^[4]	108 MHz	108 MHz	108 MHz	95 MHz ^[4]
7–15	108 MHz	108 MHz	108 MHz	108 MHz	108 MHz	108 MHz	108 MHz

注释：

4. 该参数由出厂校准保证，并非经过生产测试。

表 15. XIP 模式（DDR）下存储器读命令的延迟（虚拟）周期

延迟（虚拟） 周期 — 十进制	QPI（DDR）	四线 I/O（DDR）
	DDRFR、DDRQIOR	DDRQIOR
	(4, 4, 4)	(1, 4, 4)
	模式 = 1	模式 = 1
0	不适用	不适用
1	不适用	NA
2	10 MHz ^[5]	10 MHz ^[5]
3	25 MHz ^[5]	25 MHz ^[5]
4	33 MHz ^[5]	33 MHz ^[5]
5	40 MHz ^[5]	40 MHz ^[5]
6	50 MHz ^[5]	50 MHz ^[5]
7–15	54 MHz	54 MHz

表 16. 无 XIP 模式下存储器读命令的延迟（虚拟）周期

延迟（虚拟） 周期 — 十进制	SPI（SDR）	DPI（SDR）	QPI（SDR）
	READ、ECCRD、SSRD		
	(1, 1, 1)	(2, 2, 2)	(4, 4, 4)
	模式 = 不适用	模式 = 不适用	模式 = 不适用
0	40 MHz ^[5]	不适用	不适用
1	55 MHz ^[5]	不适用	NA
2	70 MHz ^[5]	25 MHz ^[5]	10 MHz ^[5]
3	80 MHz ^[5]	40 MHz ^[5]	25 MHz ^[5]
4	95 MHz ^[5]	55 MHz ^[5]	40 MHz ^[5]
5	108 MHz	70 MHz ^[5]	55 MHz ^[5]
6	108 MHz	80 MHz ^[5]	70 MHz ^[5]
7	108 MHz	95 MHz ^[5]	80 MHz ^[5]
8	108 MHz	108 MHz	95 MHz ^[5]
9–15	108 MHz	108 MHz	108 MHz

注释：

5. 该参数由出厂校准保证，并非经过生产测试。

四线数据宽度 (QUAD) CR1 [1]

当该位设置为‘1’时，它将器件的数据宽度切换为 4 个 I/O — 四线模式，即 WP 变为 I/O2，RESET / (I/O3) 变为 I/O3。如果通过设置配置寄存器 2 (CR2[5]) 中的 IO3R 位来使能 I/O3 上的备用功能，那么当 CS 为低电平时，RESET / (I/O3) 作为 I/O3 工作，CS 为高电平时，该引脚为 RESET 输入。WP 输入被禁用，并内部设置为“1”。当执行四线输出读取、四线 I/O 读取和 DDR 四线 I/O 读取等扩展型 SPI 读取命令时，必须将 QUAD 位设置为“1”。第 19 页上的表 20. 中显示了“QUAD”位设置对各种 SPI 接口的影响。

配置寄存器 2 (CR2)

表 17 中所示的配置寄存器 2 (CR2) 用于控制串行接口设置。可通过 WRAR 命令访问 CR2。同时，可通过 RDCR2 或 RDAR 命令对 SR1 进行读操作。第 27 页上的寄存器访问命令中介绍了 CR2 访问的详细信息。

WRAR 非易失性写地址 — 0x000003

WRAR 易失性写地址 — 0x070003

RDAR 读取地址 — 0x000003 或 0x070003

表 17 中每个位后面的默认状态是出厂编程值。

表 17. 配置寄存器 2 (CR2)

CR2[7]	CR2[6]	CR2[5]	CR2[4]	CR2[3]	CR2[2]	CR2[1]	CR2[0]
RFU (0)	QPI (0)	IO3R (0)	DPI (0)	RFU (0)	RFU (0)	RFU (0)	RFU (0)

表 18. 配置寄存器 2 (CR2) — 非易失性

位	位名	位功能	类型	读 / 写	说明
CR2[7]	RFU	预留 (0)			保留供将来使用
CR2[6]	QPI	四线 SPI 使能	NV	R/W	1 = 使能 QPI 协议 0 = 使能 SPI 协议 (如果 DPI 位被置为‘0’)
CR2[5]	IO3R	IO3 复位	NV	R/W	1 = 当 \overline{CS} 为高电平时，I/O3 被作为 \overline{RESET} 输入使用 0 = I/O3 没有复用功能
CR2[4]	DPI	双线 SPI 使能	NV	R/W	1 = 使能 DPI 协议 0 = 使能 SPI 协议 (如果 QPI 位被置为‘0’)
CR2[3]	RFU	预留 (0)			保留供将来使用
CR2[2]	RFU	预留 (0)			保留供将来使用
CR2[1]	RFU	预留 (0)			保留供将来使用
CR2[0]	RFU	预留 (0)			保留供将来使用

NV - 非易失性

表 19. 配置寄存器 2 (CR2) — 易失性

位	位名	位功能	类型	读 / 写	说明
CR2[7]	RFU	预留 (0)			保留供将来使用
CR2[6]	QPI	四线 SPI 使能	V	R/W	1 = 使能 QPI 协议 0 = 使能 SPI 协议 (如果 DPI 位被置为‘0’)
CR2[5]	IO3R	IO3 复位	V	R/W	1 = 当 \overline{CS} 为高电平时，I/O3 被作为 \overline{RESET} 输入使用 0 = I/O3 没有复用功能
CR2[4]	DPI	双线 SPI 使能	V	R/W	1 = 使能 DPI 协议 0 = 使能 SPI 协议 (如果 QPI 位被置为‘0’)
CR2[3]	RFU	预留 (0)			保留供将来使用
CR2[2]	RFU	预留 (0)			保留供将来使用
CR2[1]	RFU	预留 (0)			保留供将来使用
CR2[0]	RFU	预留 (0)			保留供将来使用

NV - 非易失性

四线 SPI (QPI) CR2 [6]

该位控制四线 SPI 模式下的指令和数据宽度。在该模式下，主机系统和存储器之间的所有传输在 I/O0 到 I/O3 上实现，传输宽度为 4 比特，包括所有指令。对于 QPI 模式，不需要将 CR1 [1] 中的 QUAD 位置 1。更多信息，请查阅表 21。

四线 (DPI) CR2 [4]

该位控制双线 SPI 模式下的指令和数据宽度。在该模式下，主机系统和存储器之间的所有传输在 I/O0 到 I/O1 上实现，传输宽度为 2 比特，包括所有指令。更多信息，请查阅表 21。

IO3 复位 (IO3R) CR2 [5]

该位控制着 $\overline{\text{RESET}}$ / (I/O3) 引脚的行为。该位被置“1”时，在正常操作期间使能 $\overline{\text{RESET}}$ 输入。表 20 显示了基于接口模式的 $\overline{\text{RESET}}$ / (I/O3) 功能。

表 20. $\overline{\text{RESET}}$ / (I/O3) 引脚功能

接口模式	四线位 (CR1 ^[6])	$\overline{\text{RESET}}$ / (I/O3) 引脚功能			
		IO3R (CR2[5]) = 0 (IO3 复位禁用)		IO3R (CR2[5]) = 1 (IO3 复位使能)	
		$\overline{\text{CS}} = 0$	$\overline{\text{CS}} = 1$	$\overline{\text{CS}} = 0$	$\overline{\text{CS}} = 1$
SPI	QUAD = 0	无功能	无功能	RESET	复位
SPI	QUAD = 1	I/O3 ^[7]	无功能	I/O3 ^[7]	复位
DPI	QUAD = 0	无功能	无功能	RESET	复位
DPI	QUAD = 1	无功能	无功能	无功能	复位
QPI	QUAD = x (无需关注)	I/O3	无功能	I/O3	复位

表 21. SPI 工作模式设置

QUAD ^[8] CR1 ^[6]	DPI CR2 ^[4]	QPI CR2 ^[6]	工作模式
0	0	0	SPI、扩展型 SPI (双线)
1	0	0	SPI、扩展型 SPI (双线 / 四线)
X	1	0	DPI
X	0	1	QPI
0	1	1	SPI ^[9] , 扩展型 SPI (双线) — 不建议使用该配置
1	1	1	SPI ^[9] , 扩展型 SPI (双线 / 四线) — 不建议使用该配置

注释:

- 所有扩展型 SPI 开始于 SPI 模式。
- SPI 和 DPI 模式没有该功能。四线数据或四线 I/O 模式将使用 I/O3。
- QUAD = ‘1’ 将重新配置 I/O 为四线模式，并且会影响到 $\overline{\text{WP}}$ 和 $\overline{\text{RESET}}$ 的工作。请参考表 20，了解更详细内容。
- 寄存器读取将始终返回对其写入的内容，即使这是不建议的配置。

配置寄存器 4 (CR4)

表 22 中所示的配置寄存器 4 (CR4) 控制着输出驱动阻抗和深度掉电 (DPD) 模式设置。可通过 WRAR 命令访问 CR4。同时, 可通过 RDCR4 或 RDAR 命令对 SR1 进行读操作。第 27 页上的寄存器访问命令中介绍了 CR4 访问的详细信息。

WRAR 非易失性写地址 — 0x000005

WRAR 易失性写地址 — 0x070005

RDAR 读取地址 — 0x000005 或 0x070005

表 22 中每个位后面的默认状态是出厂编程值。

表 22. 配置寄存器 4 (CR4)

CR4[7]	CR4[6]	CR4[5]	CR4[4]	CR4[3]	CR4[2]	CR4[1]	CR4[0]
OI (0)	OI (0)	OI (0)	RFU (0)	RFU (1)	DPDPOR (0)	RFU (0)	RFU (0)

表 23. 配置寄存器 4 (CR4) — 非易失性

位	位名	位功能	类型	读 / 写	说明
CR4[7]	OI	输出阻抗	NV	R/W	输出阻抗选择
CR4[6]			NV	R/W	
CR4[5]			NV	R/W	
CR4[4]	RFU	预留 (0)			保留供将来使用
CR4[3]	RFU	预留 (1)			保留供将来使用 ^[10]
CR4[2]	DPDPOR	上电复位时的深度掉电模式	NV	R/W	1 = 当 \overline{CS} 为高电平时, 在完成上电复位或硬件复位 (包括 JEDEC 复位) 后, 器件将进入深度掉电模式 0 = 当 \overline{CS} 为高电平时, 在完成上电或上电复位或硬件复位 (包括 JEDEC 复位) 后, 器件将进入休眠模式
CR4[1]	RFU	预留 (0)			保留供将来使用
CR4[0]	RFU	预留 (0)			保留供将来使用

NV - 非易失性

表 24. 配置寄存器 4 (CR4) — 易失性

位	位名	位功能	类型	读 / 写	说明
CR4[7]	OI	输出阻抗	V	R/W	输出阻抗选择
CR4[6]			V	R/W	
CR4[5]			V	R/W	
CR4[4]	RFU	预留 (0)			保留供将来使用
CR4[3]	RFU	预留 (1)			保留供将来使用 ^[10]
CR4[2]	DPDPOR	上电复位时的深度掉电模式	V	R/W	1 = 当 \overline{CS} 为高电平时, 在完成上电复位或硬件复位 (包括 JEDEC 复位) 后, 器件将进入深度掉电模式 0 = 当 \overline{CS} 为高电平时, 在完成上电或上电复位或硬件复位 (包括 JEDEC 复位) 后, 器件将进入休眠模式
CR4[1]	RFU	预留 (0)			保留供将来使用
CR4[0]	RFU	预留 (0)			保留供将来使用

V - 易失性

输出阻抗 (OI) CR4 [7:5]

这三位控制 I/O 引脚的输出阻抗（驱动强度）。用户可通过输出阻抗配置位调整驱动强度，以便在印刷电路板上获得更好的信号完整性。

表 25. 阻抗选择

阻抗选择	典型阻抗 (Ω) [11]	说明
000	45	45 Ω 是出厂默认配置值。通过写入阻抗选择位 CR4[7:5] 可以编程其他驱动强度。
001	120	
010	90	
011	60	
100	45	
101	30	
110	20	
111		

POR 时的深度掉电模式 (DPDPOR) CR4 [2]

该位控制着在上电复位 (POR)、硬件复位 ($\overline{\text{RESET}}$ 引脚或 JEDEC 复位) 完成后器件进入深度掉电 (DPD) 模式还是待机模式、或退出休眠模式。当 $\overline{\text{CS}}$ 为高电平时，DPDPOR 配置位允许器件在 DPD 模式下启动，而不是在待机模式下。经过 t_{EXTDPD} 的时间后，通过 $\overline{\text{CS}}$ 脉宽 t_{CSDPD} 或硬件复位可以退出深度掉电模式。可以通过单独切换 $\overline{\text{CS}}$ (SCK 和 I/O 是无需关注) 来生成 $\overline{\text{CS}}$ 脉冲宽度。在软件复位期间，DPDPOR 位状态被忽略，软件复位后器件始终进入待机状态。

配置寄存器 5 (CR5)

表 26 中所示的配置寄存器 5 (CR5) 将配置寄存器读取延迟（虚拟）周期。可通过 WRAR 命令访问 CR5。同时，可通过 RDCR5 或 RDAR 命令对 SR1 进行读操作。第 27 页上的寄存器访问命令中介绍了 CR5 访问的详细信息。

WRAR 非易失性写地址 — 0x000006

WRAR 易失性写地址 — 0x070006

RDAR 读取地址 — 0x000006 或 0x070006

表 26 中每个位后面的默认状态是出厂编程值。

表 26. 配置寄存器 5 (CR5)

CR5[7]	CR5[6]	CR5[5]	CR5[4]	CR5[3]	CR5[2]	CR5[1]	CR5[0]
RLC1 (0)	RLC0 (0)	RFU (0)	RFU (0)	RFU (0)	RFU (0)	RFU (0)	RFU (0)

表 27. 配置寄存器 5 (CR5) — 非易失性

位	位名	位功能	类型	读 / 写	说明
CR5[7]	RLC1	寄存器延迟代码	NV	R/W	通过选择存储器延迟周期数（从 0 到 3 的时钟周期）可以对寄存器进行访问
CR5[6]	RLC0			R/W	
CR5[5]	RFU		预留 (0)		保留供将来使用
CR5[4]	RFU		预留 (0)		保留供将来使用
CR5[3]	RFU		预留 (0)		保留供将来使用
CR5[2]	RFU		预留 (0)		保留供将来使用
CR5[1]	RFU		预留 (0)		保留供将来使用
CR5[0]	RFU		预留 (0)		保留供将来使用

NV - 非易失性

注释:

10. 当对该配置寄存器进行写入时，SPI 总线主设备必须保证位 CR4 [3] 保持为 '1'。将该位置为 '0' 可能会影响到器件的功能。

11. $V_{DD}/2$ 条件下所测量的典型电容。

表 28. 配置寄存器 5 (CR5) — 易失性

位	位名	位功能	类型	读 / 写	说明
CR5[7]	RLC1	寄存器延迟 代码	V	R/W	通过选择存储器延迟周期数（从 0 到 3 的时钟周期）可以对寄存器进行访问
CR5[6]	RLC0			R/W	
CR5[5]	RFU	预留（0）			保留供将来使用
CR5[4]	RFU	预留（0）			保留供将来使用
CR5[3]	RFU	预留（0）			保留供将来使用
CR5[2]	RFU	预留（0）			保留供将来使用
CR5[1]	RFU	预留（0）			保留供将来使用
CR5[0]	RFU	预留（0）			保留供将来使用

V — 易失性

寄存器延迟代码 (RLC [1:0]) CR5 [7:6]

这两个位控制所有可变延迟寄存器读取指令中的读取延迟（虚拟周期）。通过这些位，用户可以在正常操作期间调整读取延迟，从而优化不同工作频率下各种寄存器读取指令的延迟。表 29 中显示了寄存器读取命令的延迟周期。

表 29. 寄存器读命令的虚拟周期

延迟（虚拟）周期	SPI (SDR)	DPI (SDR)	QPI (SDR)
	RDSR1、RDSR2、RDCR1、RDCR2、RDCR4、RDCR5、RDAR、RUID、RDID2、RDSN		
0	50 MHz ^[12]	50 MHz ^[12]	50 MHz ^[12]
1–3	108 MHz	108 MHz	108 MHz

注释：

12. 该参数由出厂校准保证，并非经过生产测试。

功能说明

CY15x104QSN 采用了一个 8 位指令寄存器。下面列出了所有指令及其操作码。所有指令、地址和数据都在 **CS** 从高电平转为低电平时开始传输。此外，**WP** 和 **RESET** 引脚提供了额外的硬件控制功能。

命令结构

CY15x104QSN 命令周期最多包含五个不同的命令阶段，即是：操作码、地址、模式、虚拟（延迟）和数据。每个命令周期的命令阶段数取决于在操作码阶段发送的操作码。根据在 **SPI**、**DPI** 或 **QPI** 接口中传输的线路数量 1、2 或 4 进行配置操作码、地址、模式和数据阶段。表 30 显示了不同 **SPI** 接口中每个命令周期的命令阶段。

表 30. 通过不同 **SPI** 模式下的 I/O 传输命令

命令阶段	在各 I/O 上传输命令						
	单通道 SPI	扩展型 SPI				多通道 SPI	
		双线数据	四线数据	双线 I/O	四线 I/O	DPI	QPI
操作码	SI	I/O0	I/O0	I/O0	I/O0	I/O0、I/O1	I/O0、I/O1、I/O2、I/O3
地址	SI	I/O0	I/O0	I/O0、I/O1	I/O0、I/O1、I/O2、I/O3	I/O0、I/O1	I/O0、I/O1、I/O2、I/O3
模式	SI	I/O0	I/O0	I/O0、I/O1	I/O0、I/O1、I/O2、I/O3	I/O0、I/O1	I/O0、I/O1、I/O2、I/O3
虚拟（延迟）	虚拟 SPI 时钟周期数不依赖于 SPI 接口。 0 至 15 个时钟周期用于访问存储器（可通过 CR1[7:4] 进行配置） 0 至 3 个时钟周期用于寄存器访问（可通过 CR5[7:6] 进行配置）						
数据	SI/SO	I/O0、I/O1	I/O0、I/O1、I/O2、I/O3	I/O0、I/O1	I/O0、I/O1、I/O2、I/O3	I/O0、I/O1	I/O0、I/O1、I/O2、I/O3

有 44 个称为操作码的命令，可由总线主设备发送到 CY15x104QSN，如表 31 中所示。这些操作码控制由存储器执行的功能。

表 31. 操作码指令

命令		SPI 总线接口							数据传输		延迟		XIP
命令	操作码 (十六进制)	SPI	双线 数据	四线 数据	双线 I/O	四线 I/O	DPI	QPI	SDR	DDR	寄存器 延迟	存储器 延迟	芯片内 执行
写使能控制													
WREN	06	支持	不适用				支持	支持	支持	不适用	不适用	不适用	不适用
WRDI	04	支持	不适用				支持	支持	支持	不适用	不适用	不适用	不适用
寄存器访问													
WRSR	01	支持	不适用				支持	支持	支持	不适用	不适用	不适用	不适用
RDSR1	05	支持	不适用				支持	支持	支持	不适用	支持	不适用	不适用
RDSR2	07	支持	不适用				支持	支持	支持	不适用	支持	不适用	不适用
RDCR1	35	支持	不适用				支持	支持	支持	不适用	支持	不适用	不适用
RDCR2	3F	支持	不适用				支持	支持	支持	不适用	支持	不适用	不适用
RDCR4	45	支持	不适用				支持	支持	支持	不适用	支持	不适用	不适用
RDCR5	5E	支持	不适用				支持	支持	支持	不适用	支持	不适用	不适用
WRAR	71	支持	不适用				支持	支持	支持	不适用	不适用	不适用	不适用
RDAR	65	支持	不适用				支持	支持	支持	不适用	支持	不适用	不适用

表 31. 操作码指令（续）

命令		SPI 总线接口							数据传输		延迟		XIP
命令	操作码 (十六进制)	SPI	双线 数据	四线 数据	双线 I/O	四线 I/O	DPI	QPI	SDR	DDR	寄存器 延迟	存储器 延迟	芯片内 执行
存储器读取													
READ	03	支持	不适用				支持	支持	支持	不适用	不适用	支持	不适用
FAST_READ	0B	支持	不适用				支持	支持	支持	不适用	不适用	支持	支持
DOR	3B	不适用	支持	不适用					支持	不适用	不适用	支持	支持
DIOR	BB	不适用			支持	不适用			支持	不适用	不适用	支持	支持
QOR	6B	不适用		支持	不适用				支持	不适用	不适用	支持	支持
QIOR	EB	不适用				支持	不适用	支持	支持	不适用	不适用	支持	支持
DDRFR	0D	不适用						支持	不适用	支持	不适用	支持	支持
DDRQIOR	ED	不适用				支持	不适用	支持	不适用	支持	不适用	支持	支持
存储器写入操作													
WRITE	02	支持	不适用				支持	支持	支持	不适用	不适用	不适用	不适用
FAST_WRITE	DA	支持	不适用				支持	支持	支持	不适用	不适用	不适用	支持
DIW	A2	不适用	支持	不适用					支持	不适用	不适用	不适用	支持
DIOW	A1	不适用			支持	不适用			支持	不适用	不适用	不适用	支持
QIW	32	不适用		支持	不适用				支持	不适用	不适用	不适用	支持
QIOW	D2	不适用				支持	不适用		支持	不适用	不适用	不适用	支持
DDR_FAST_WRITE	DD	不适用						支持	不适用	支持	不适用	不适用	支持
DDRWRITE	DE	不适用						支持	不适用	支持	不适用	不适用	NA
DDRQIOW	D1	不适用				支持	不适用		不适用	支持	不适用	不适用	支持
特殊扇区存储器访问													
SSWR	42	支持	不适用				支持	支持	支持	不适用	不适用	不适用	不适用
SSRD	4B	支持	不适用				支持	支持	支持	不适用	不适用	支持	不适用
ECC 和 CRC													
CLECC	1B	支持	不适用				支持	支持	支持	不适用	不适用	不适用	不适用
ECCRD	19	支持	不适用				支持	支持	支持	不适用	不适用	支持	不适用
CRCC	5B	支持	不适用				支持	支持	支持	不适用	不适用	不适用	不适用
EPCS	75	支持	不适用				支持	支持	支持	不适用	不适用	不适用	不适用
EPCR	7A	支持	不适用				支持	支持	支持	不适用	不适用	不适用	不适用
标识和序列号													
RUID	4C	支持	不适用				支持	支持	支持	不适用	支持	不适用	不适用
RDID	9F	支持	不适用				支持	支持	支持	不适用	支持	不适用	不适用
WRSN	C2	支持	不适用				支持	支持	支持	不适用	支持	不适用	不适用
RDSN	C3	支持	不适用				支持	支持	支持	不适用	支持	不适用	不适用
功耗模式和复位													
DPD	B9	支持	不适用				支持	支持	支持	不适用	不适用	不适用	不适用
HBN	BA	支持	不适用				支持	支持	支持	不适用	不适用	不适用	不适用
RSTEN	66	支持	不适用				支持	支持	支持	不适用	不适用	不适用	不适用
RST	99	支持	不适用				支持	支持	支持	不适用	不适用	不适用	不适用

写入使能控制命令

这些命令设置或清除状态寄存器 1 中的写入使能锁存位 (SR1[1])。

表 32. 写入使能控制命令

命令	操作码 (十六进制)	命令说明
WREN	06	写入使能 — 设置状态寄存器 1 的 WEL 位为 ‘1’
WRDI	04	写入禁用 — 设置状态寄存器 1 的 WEL 位为 ‘0’

表 33. 写入使能控制命令的详情

操作码 (十六进制)	地址长度	SPI 总线接口						数据传输		XIP	延迟	最大时钟 频率
		SPI	双线 数据	四线 数据	双线 I/O	四线 I/O	DPI	QPI	SDR	DDR	芯片内执行 虚拟周期	
06	0	支持	不适用				支持	支持	支持	不适用	不适用	108 MHz
04	0	支持	不适用				支持	支持	支持	不适用	不适用	108 MHz

设置写入使能锁存 (WREN, 06h)

WREN 命令将状态寄存器 1 中的 WEL 位 (SR1[1]) 置 ‘1’。在发出任何写入命令之前，CY15x104QSN 要求 WEL 位被置 ‘1’。在执行之前，要求将 WEL 设置为 ‘1’ 的 CY15x104QSN 命令包括：WRSR、WRAR、WRITE、FAST_WRITE、DIW、DIOW、QIW、QIOW、DDR_FAST_WRITE、DDRWRITE、DDRQIOW、SSWR 和 WRSN。

指令字节的第 8 位通过 SI 锁存在芯片内之后，必须将 $\overline{\text{CS}}$ 信号驱动为逻辑高电平状态。在 8 位 WREN 操作码成功锁存后，接着 $\overline{\text{CS}}$ 被驱动为高电平后，CY15x104QSN 将执行 WREN 命令并将 WEL 位 (SR1[1]) 置 1。

图 7. SPI 模式下的 WREN 总线配置

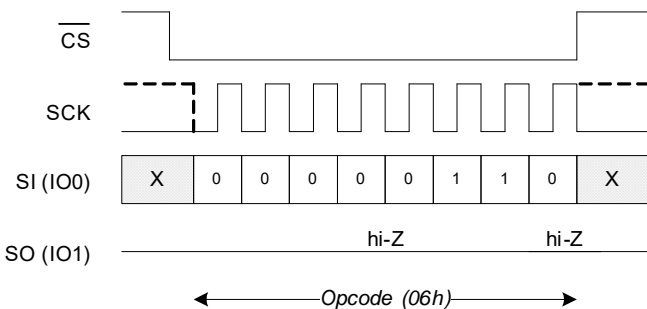


图 8. DPI 模式下的 WREN 总线配置

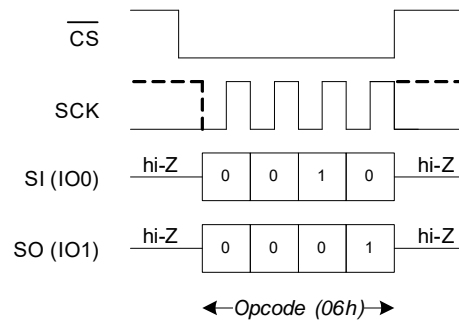
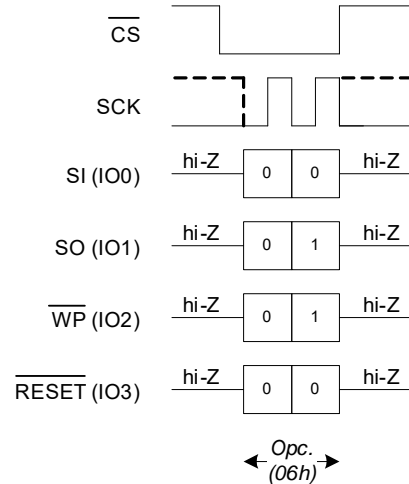


图 9. QPI 模式下的 WREN 总线配置



复位写入使能锁存 (WRDI, 04h)

WRDI 指令将状态寄存器 1(SR1[1]) 中的写入使能锁存 (WEL) 位清零。这样，在执行之前要求 WEL 被设置为“1”的写入状态寄存器 (WRSR)，写入任何寄存器 (WRAR)，特殊扇区写入 (SSWR) 以及其他指令都被禁用。WRDI 指令可用于保护存储器和 SPI 寄存器，避免对它们进行意外写入。WIP 位 = 1 时，WRDI 命令在执行嵌入式操作期间被忽略。

指令字节的第 8 位通过 SI 锁存在芯片内之后，必须将 $\overline{\text{CS}}$ 信号驱动为逻辑高电平状态。在 8 位 WRDI 操作码成功锁存后，接着 CS 被驱动为高电平后，CY15x104QSN 将执行 WRDI 命令并将 WEL 位 (SR1[1]) 清零。

图 10. SPI 模式下的 WRDI 总线配置

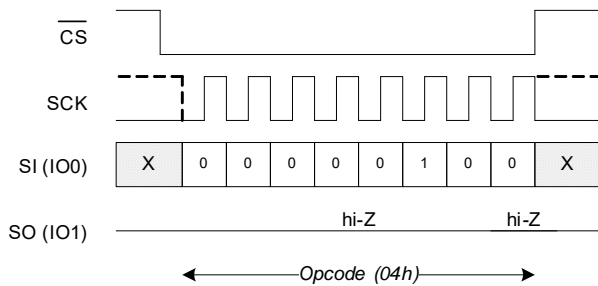


图 11. DPI 模式下的 WRDI 总线配置

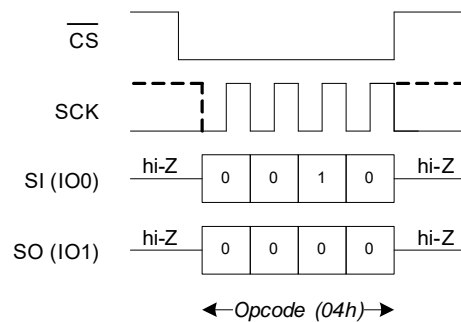
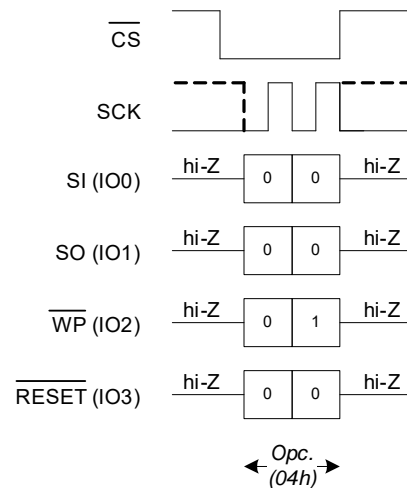


图 12. QPI 模式下的 WRDI 总线配置



寄存器访问命令

CY15x104QSN 提供了各种配置和状态寄存器。它们都是用户可写寄存器，通过编程它们可以使能或禁用器件中的某些配置 / 功能，也可以通过轮询它们来了解器件的状态。这些寄存器由称为操作码的特定命令访问。

单个寄存器位可以是多种类型之一：写 / 读、只读或保留供将来使用（RFU）。在其各自的寄存器部分中指定每个位的具体类型。寄存器位可以是易失性的或非易失性的。所有易失性（V）位在上电复位（POR）或任何复位事件（通过硬件或软件复位）后都被设置为默认值；而所有非易失性（NV）位在上电复位（POR）或任何复位事件（通过硬件或软件复位）后都恢复到用户配置值。

表 34. 寄存器访问命令

命令	操作码 (十六进制)	命令说明
WRSR	01	写状态寄存器 1
RDSR1	05	读取状态寄存器 2
RDSR2	07	读取状态寄存器 2
RDCR1	35	读取配置寄存器 1
RDCR2	3F	读取配置寄存器 2
RDCR4	45	读取配置寄存器 4
RDCR5	5E	读取配置寄存器 5
WRAR	71	写入到任何寄存器 — 包括状态寄存器、配置寄存器和序列寄存器
RDAR	65	读取任何寄存器 — 包括状态寄存器、配置寄存器、CRC 寄存器、ECC 寄存器、序列存储器和 ID 寄存器

表 35. 寄存器访问命令详情

操作码 (十六进制)	地址长度	SPI 总线接口							数据传输		寄存器 延迟	最大时钟 频率	寄存器 延迟
		SPI	双线 数据	四线 数据	双线 I/O	四线 I/O	DPI	QPI	SDR	DDR	虚拟周期		
01	0	支持	不适用				支持	支持	支持	不适用	不适用	108 MHz	NA
05	0	支持	不适用				支持	支持	支持	不适用	支持	108 MHz	支持
07	0	支持	不适用				支持	支持	支持	不适用	支持	108 MHz	支持
35	0	支持	不适用				支持	支持	支持	不适用	支持	108 MHz	支持
3F	0	支持	不适用				支持	支持	支持	不适用	支持	108 MHz	支持
45	0	支持	不适用				支持	支持	支持	不适用	支持	108 MHz	支持
5E	0	支持	不适用				支持	支持	支持	不适用	支持	108 MHz	支持
71	三个字节	支持	不适用				支持	支持	支持	不适用	不适用	108 MHz	不适用
65	三个字节	支持	不适用				支持	支持	支持	不适用	支持	108 MHz	支持

写状态寄存器 (WRSR, 01h)

写状态寄存器 (WRSR) 指令允许在状态寄存器 1 (SR1) 中编程新值。该指令写入非易失性 SR1，因此保持电源周期。当 SR1 寄存器中的 SRWD 位 (SR1[7]) 被设置为“1”，并且 WP 引脚被确认为低电平时，WRSR 命令将被忽略。

注意:

- 仅当 SR1 中的 WEL 位被置为“1”时才能执行 WRSR 指令。否则，WRSR 指令将被忽略。
- 终止 WRSR 命令后 (在 \overline{CS} 的上升沿上)，状态寄存器 1 中的 WEL 位 (SR1[1]) 自动被清零。

图 13. SPI 模式下的 WRSR (不显示 WREN)

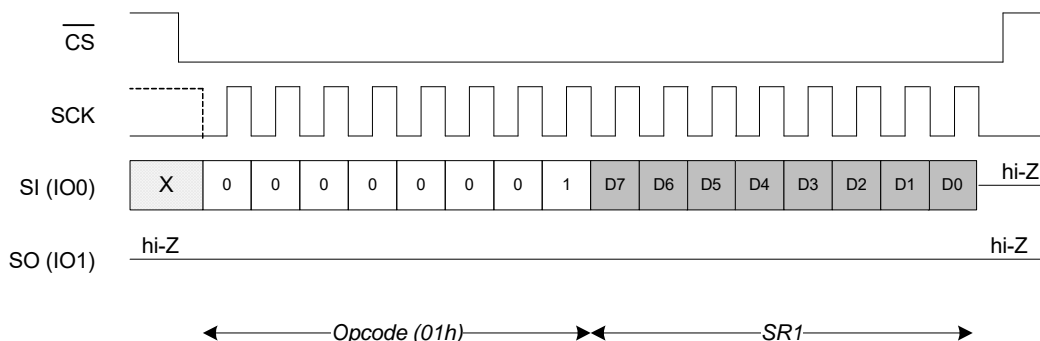


图 14. DPI 模式下的 WRSR (不显示 WREN)

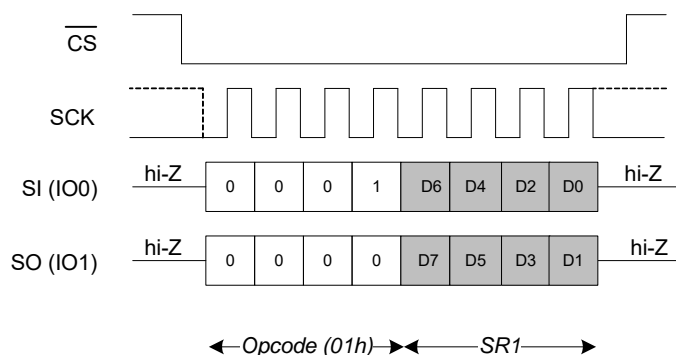
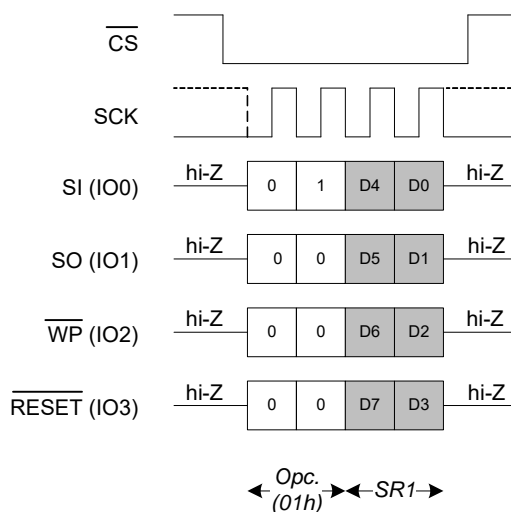


图 15. QPI 模式下的 WRSR (不显示 WREN)



读取状态寄存器 1 (RDSR1, 05h)

通过使用 RDSR1 命令，总线主设备可以验证状态寄存器 1 (SR1) 中的内容。读取 SR1 后可以了解写保护特性的当前状态，WEL 和 WIP 的状态。执行 RDSR1 操作码后，CY15x104QSN 将返回一个字节的 SR1 内容。

注意：RDSR1 将返回 SR1 的易失性内容。

注意：所示的虚拟周期数可通过 CR5 中的寄存器延迟代码位 (RLC0、RLC1) 进行配置。

图 16. SPI 模式下的读取 SR1 (RDSR1)

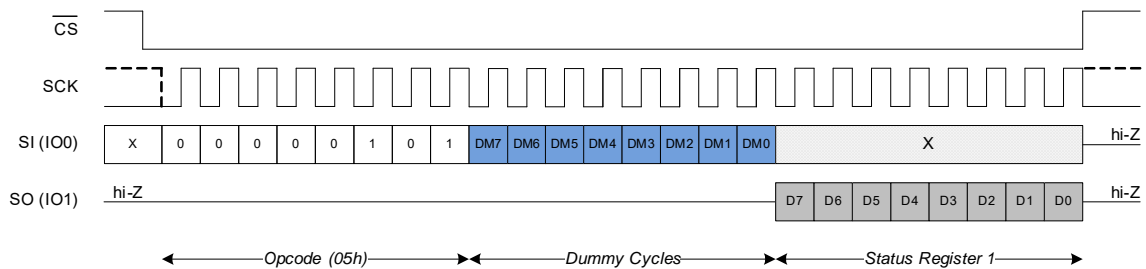


图 17. DPI 模式下的读取 SR1 (RDSR1)

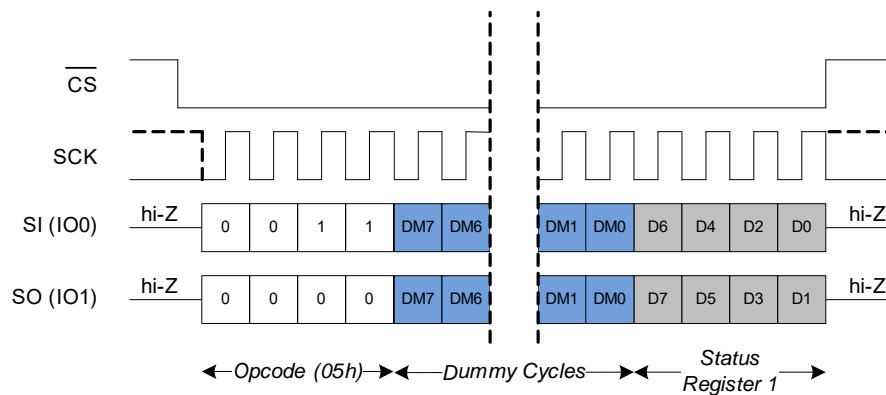
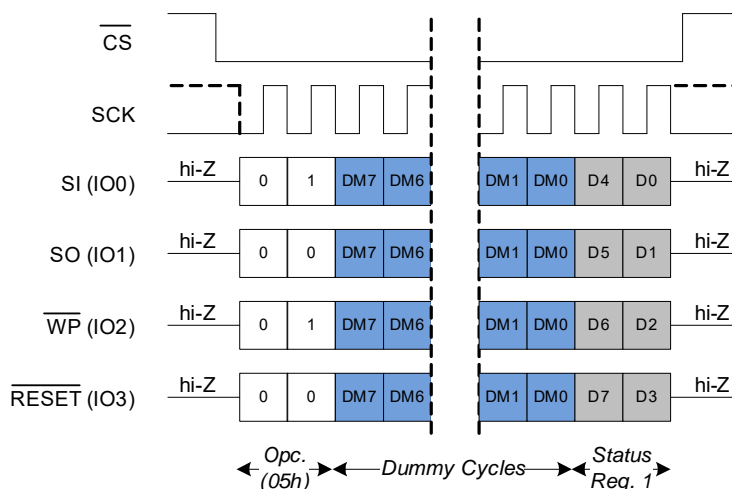


图 18. QPI 模式下的读取 SR1 (RDSR1)



读取状态寄存器 2 (RDSR2, 07h)

通过使用 RDSR2 命令，总线主设备可以验证状态寄存器 2(SR2) 中的内容。这是一个只读寄存器，它提供了有关 CRC 挂起和 CRC 中止状态的信息。只有 SR1 的 WIP 位为“0”时，SR2 位才指示正确的状态 (CRCS 和 CRCA)。WIP 为“1”时读取 SR2 将返回未确定的状态。

注意： RDSR2 将返回 SR1 的易失性内容。

注意： 所示的虚拟周期数可通过 CR5 中的寄存器延迟代码位 (RLC0、RLC1) 进行配置。

图 19. SPI 模式下的读取 SR2 (RDSR2)

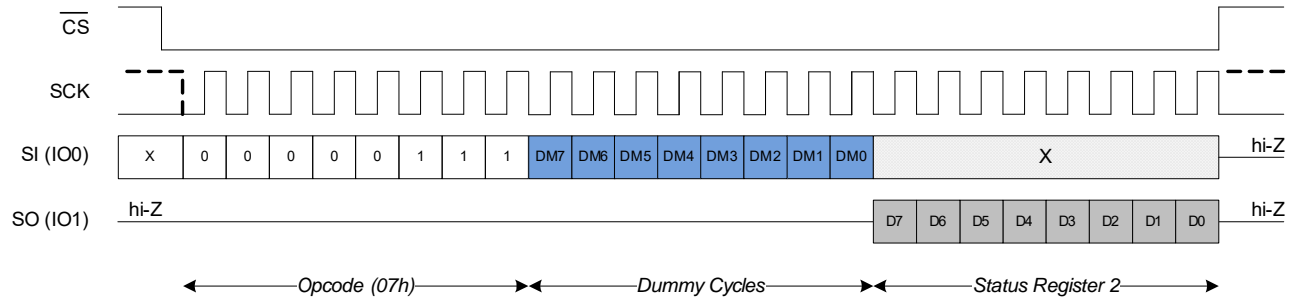


图 20. DPI 模式下的读取 SR2 (RDSR2)

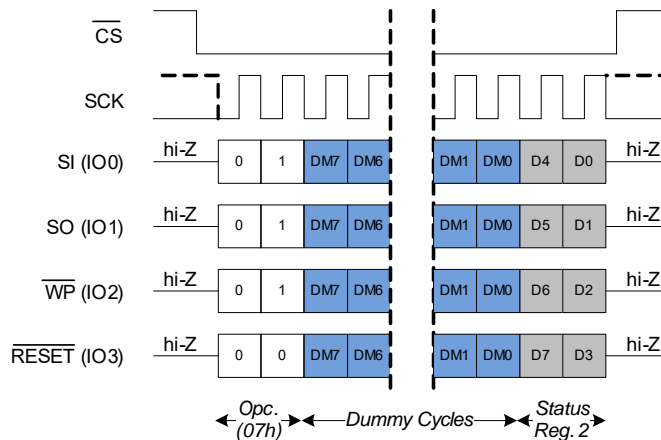
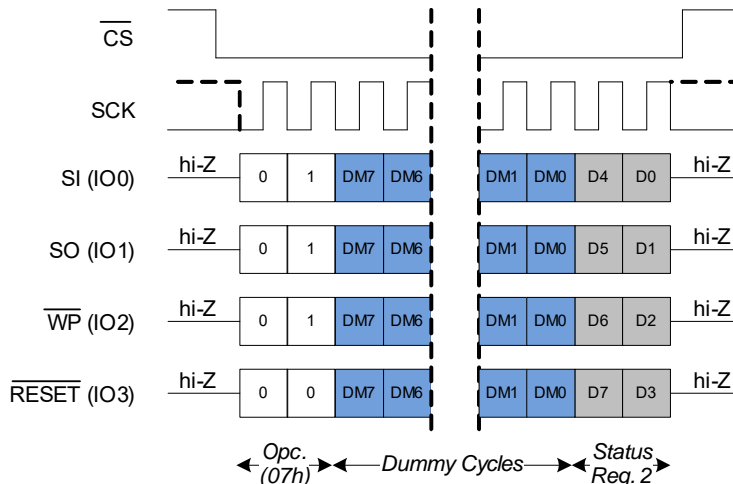


图 21. QPI 模式下的读取 SR2 (RDSR2)



读取配置寄存器 1 (RDCR1, 35h)

通过使用 RDCR1 命令，总线主设备可以验证配置寄存器 1 (CR1) 中的内容。通过读取 CR1，可以了解有关存储器延迟代码的当前状态和 QUAD 位的状态等信息。执行 RDCR1 操作码后，CY15x104QSN 将返回一个字节的 CR1 内容。

注意：

- RDCR1 将返回 CR1 的易失性内容。
- 所示的虚拟周期是通过 CR5 中寄存器等待时间码位 (RLC0、RLC1) 配置的选项。

图 22. SPI 模式下的读取 CR1 (RDCR1)

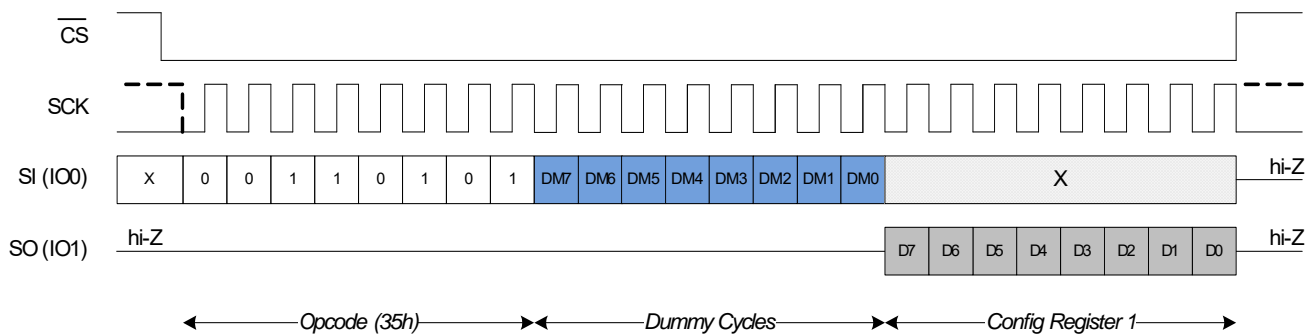


图 23. DPI 模式下的读取 CR1 (RDCR1)

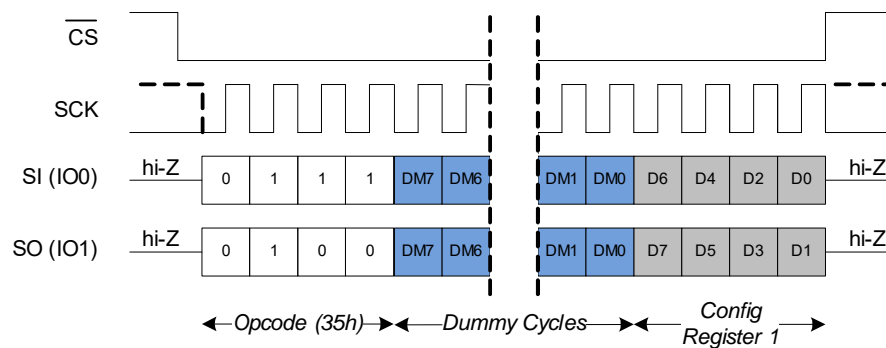
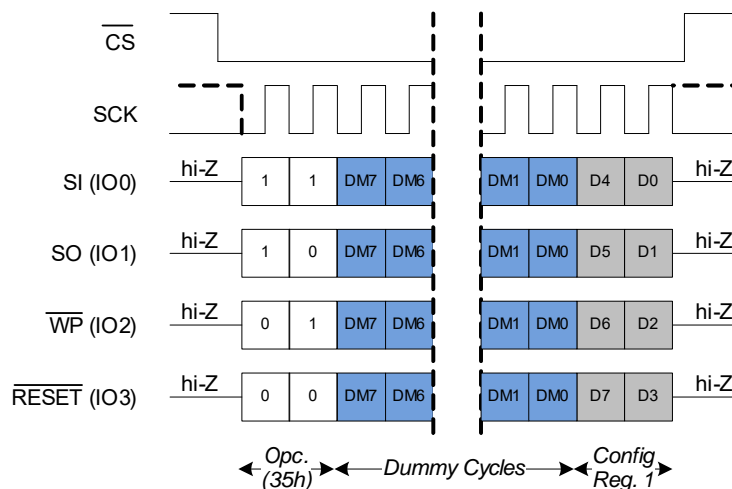


图 24. QPI 模式下的读取 CR1 (RDCR1)



读取配置寄存器 2 (RDCR2, 3Fh)

通过使用 RDCR2 命令，总线主设备可以验证配置寄存器 2(CR2) 中的内容。通过读取 CR2，可以了解当前 SPI 接口的选项 (SPI、DPI、QPI) 和 RESET/(I/O3) 的状态。执行 RDCR2 操作码后，CY15x104QSN 将返回一个字节的 CR2 内容。

注意：

- RDCR2 将返回 CR2 的易失性内容。
- 所示的虚拟周期是通过 CR5 中寄存器等待时间码位 (RLC0、RLC1) 配置的选项。

图 25. SPI 模式下的读取 CR2 (RDCR2)

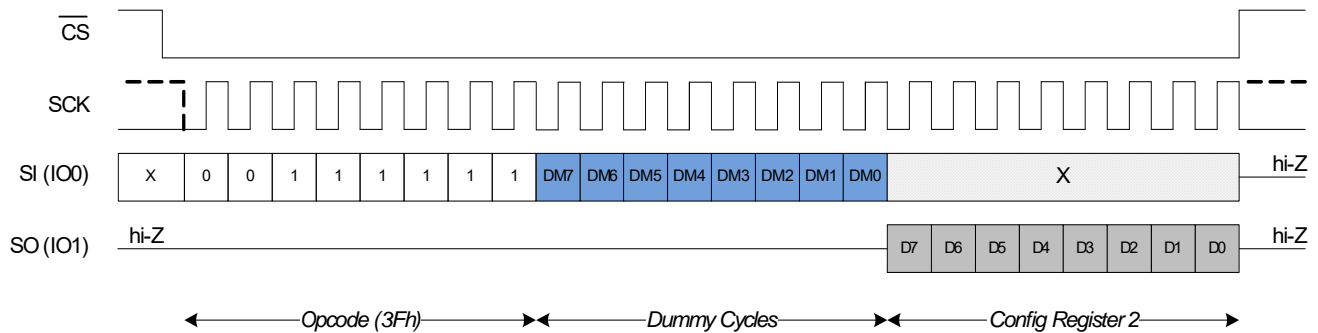


图 26. DPI 模式下的读取 CR2 (RDCR2)

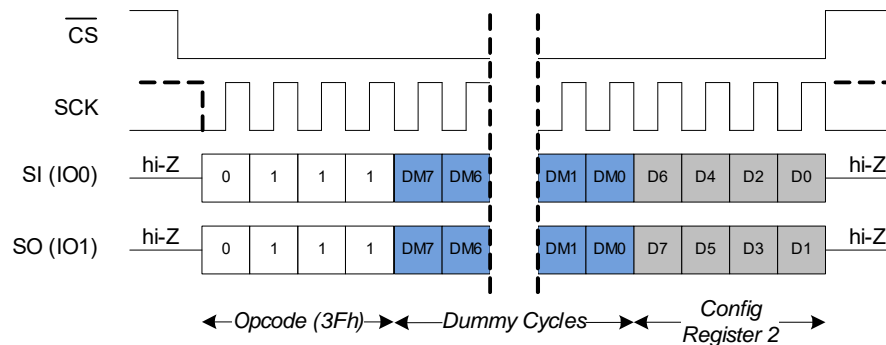
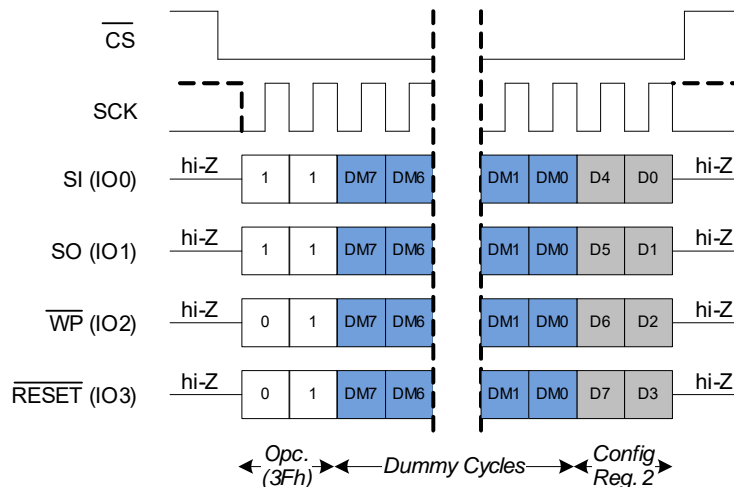


图 27. QPI 模式下的读取 CR2 (RDCR2)



读取配置寄存器 4 (RDCR4, 45h)

通过使用 RDCR4 命令，总线主设备可以验证配置寄存器 4(CR4) 中的内容。通过读取 CR4，可以了解输出阻抗的设置和 POR 后的器件电源模式（深度掉电或待机）。执行 RDCR4 操作码后，CY15x104QSN 将返回一个字节的 CR4 内容。

注意：

- RDCR4 将返回 CR4 的易失性内容。
- 所示的虚拟周期是通过 CR5 中寄存器等待时间码位（RLC0、RLC1）配置的选项。

图 28. SPI 模式下的读取 CR4 (RDCR4)

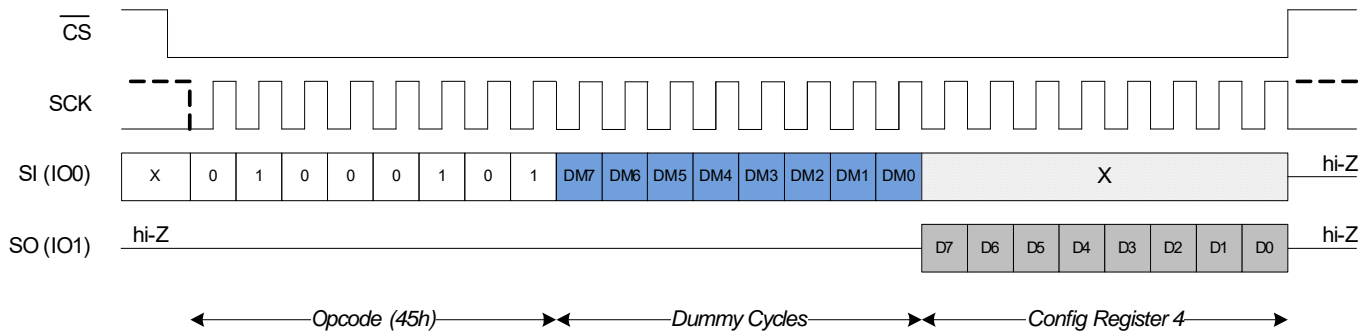


图 29. DPI 模式下的读取 CR4 (RDCR4)

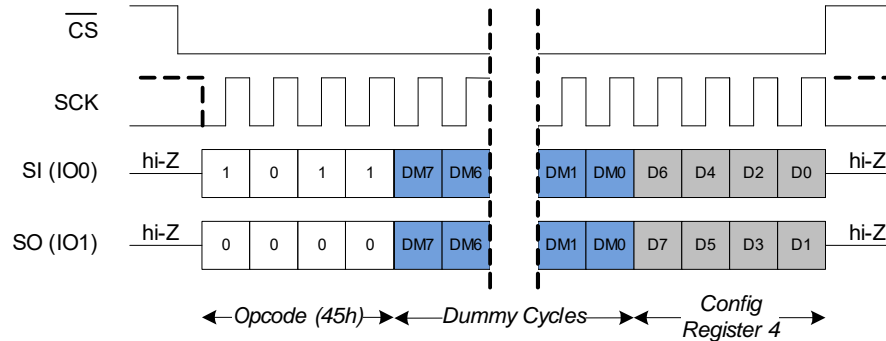
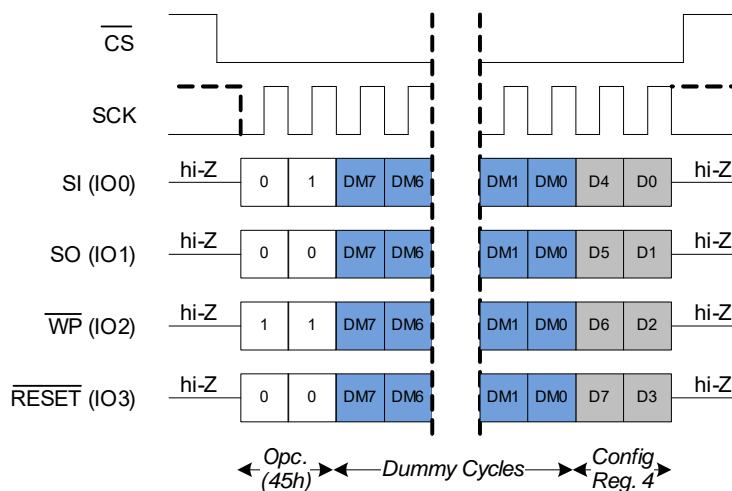


图 30. QPI 模式下的读取 CR4 (RDCR4)



读取配置寄存器 5 (RDCR5, 5Eh)

通过使用 RDCR5 命令，总线主设备可以验证配置寄存器 5(CR5) 中的内容。通过读取 CR5，可以了解寄存器读取延迟周期 (RLC0、RLC1) 的设置。执行 RDCR5 操作码后，CY15x104QSN 将返回一个字节的 CR5 内容。

注意：

- RDCR5 将返回 CR5 的易失性内容。
- 所示的虚拟周期是通过 CR5 中寄存器等待时间码位 (RLC0、RLC1) 配置的选项。

图 31. SPI 模式下的读取 CR5 (RDCR5)

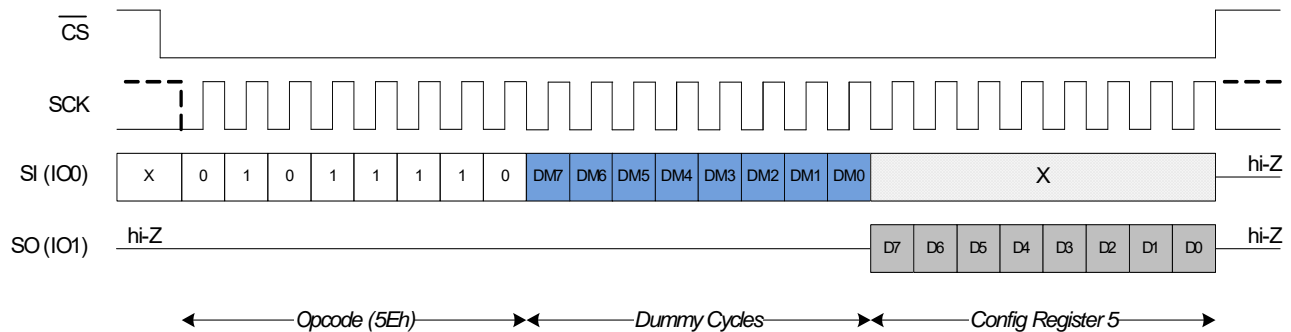


图 32. DPI 模式下的读取 CR5 (RDCR5)

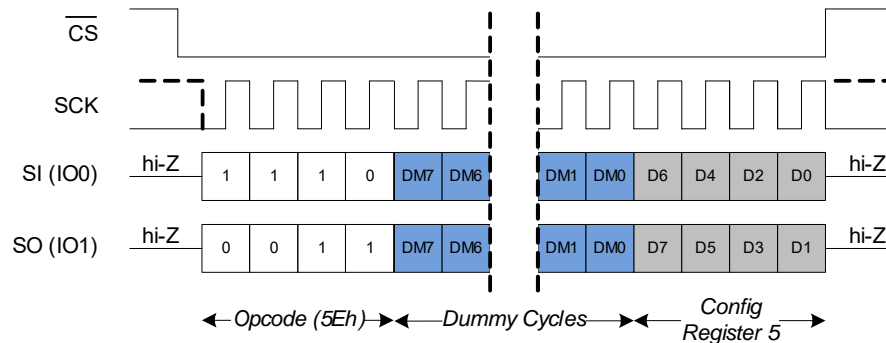
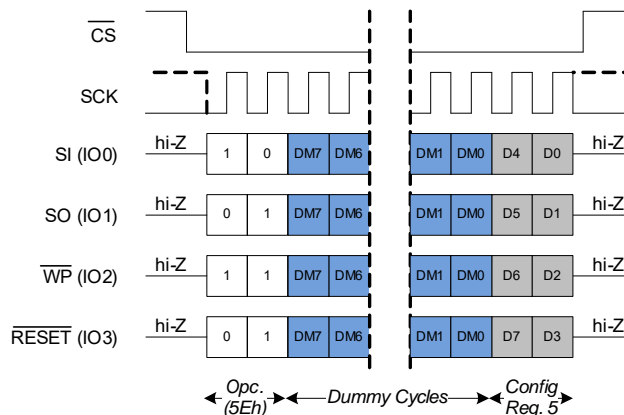


图 33. QPI 模式下的读取 CR5(RDCR5)



写入任何寄存器 (WRAR, 71h)

通过 WRAR 命令，可以对各个 CY15x104QSN 寄存器进行写操作，每次只能写入一个寄存器，并通过其各自 3 字节地址进行寻址。WRAR 操作码后面是该寄存器的 3 字节地址，如第 36 页上的表 37 中所示，然后是写入的 1 字节寄存器数据。执行 WRAR 之前，WREN 命令会先将 WEL 位置 ‘1’。WRAR 命令终止后（即在 \overline{CS} 的上升沿上），WEL 位将被自动清除为 ‘1’。当 SR1 寄存器中的 SRWD 位 (SR1[7]) 被设置为 ‘1’，并且 WP 引脚被驱动为低电平时，WRAR 命令将被忽略。

注意：

- 每次发送 WRAR 命令，仅支持将其 1 字节对已给的寄存器地址进行写操作。WRAR 命令的格式如表 36 所示。
- 进行 WRAR 操作码后在 3 字节地址字段中发送的寄存器地址确定了新配置是否仅被编程到易失性状态 / 配置寄存器中，还是都被编程到易失性和非易失性状态 / 配置寄存器中。第 36 页上的表 37 显示了易失性和非易失性寄存器的寄存器地址。

表 36. 存储器的通用写指令

指令名称	指令说明	操作码	地址字节	数据字节
WRAR	写入任何寄存器	71h	3	1

图 34. SPI 模式下的写入任何寄存器 (WRAR)

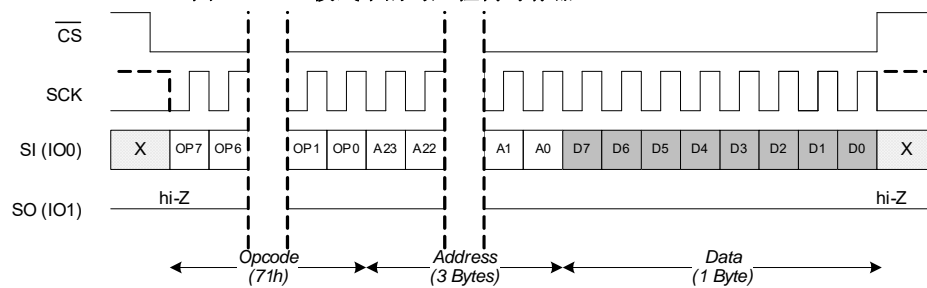


图 35. DPI 模式下的写入任何寄存器 (WRAR)

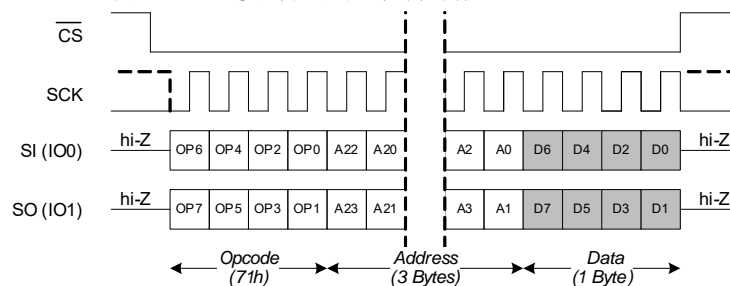


图 36. QPI 模式下的写入任何寄存器 (WRAR)

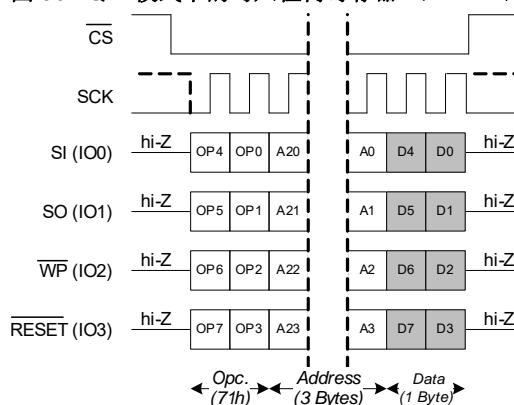


表 37. 通用存储器访问的存储器地址

功能	寄存器类型	状态寄存器内容 ^[14]	WRAR	RDAR ^[14]	寄存器地址 ^[13]	
					易失性	非易失性
器件状态	状态寄存器 1	易失性和非易失性	支持	支持	0x070000	0x000000
	状态寄存器 2	仅适用于易失性寄存器	不适用		0x070001 或 0x000001	
器件配置	配置寄存器 1	易失性和非易失性	支持	支持	0x070002	0x000002
	配置寄存器 2				0x070003	0x000003
	配置寄存器 4				0x070005	0x000005
	配置寄存器 5				0x070006	0x000006
错误修正	ECC 状态寄存器	仅适用于易失性寄存器	不适用	支持	0x070089 或 0x000089	
	ECC 计数寄存器 [7:0]				0x07008A 或 0x00008A	
	ECC 计数寄存器 [15:8]				0x07008B 或 0x00008B	
	ECC 地址陷阱寄存器 [7:0]				0x07008E 或 0x00008E	
	ECC 地址陷阱寄存器 [15:8]				0x07008F 或 0x00008F	
	ECC 地址陷阱寄存器 [23:16]				0x070040 或 0x000040	
	ECC 地址陷阱寄存器 [31:24]				0x070041 或 0x000041	
循环冗余校验	CRC 寄存器 [7:0]				0x070095 或 0x000095	
	CRC 寄存器 [15:8]				0x070096 或 0x000096	
	CRC 寄存器 [23:16]				0x070097 或 0x000097	
	CRC 寄存器 [31:24]				0x070098 或 0x000098	

注释:

13. 发生 POR 或硬件复位后，易失性寄存器将返回其默认状态。有关 POR 或任何复位事件后的易失性寄存器状态，请查阅第 76 页上的表 58。

14. RDAR 命令将始终返回易失性寄存器内容。因此，随后易失性寄存器地址或非易失性寄存器地址的 RDAR 命令将返回相同的值（仅从相应的易失性寄存器）。仅易失性寄存器没有相关的非易失性寄存器。

读取任何寄存器 (RDAR, 65h)

通过 RDAR 命令, 可以对各个 CY15x104QSN 寄存器进行读取操作, 每次只能写入一个寄存器, 并通过其各自 3 字节地址进行寻址。RDAR 操作码后面是 3 字节地址和虚拟周期 (该周期数量取决于 CR5 中所设置的延迟值), 然后 CY15x104QSN 将在其输出总线上返回寄存器的一字节。当接收到一个寄存器字节后, 主机通过将 \overline{CS} 上拉为高电平来终止 RDAR 命令。接收到第一个数据字节后保持 \overline{CS} 为低电平会返回未定义的数据。RDAR 命令的时序图如图 37 至图 39 所示。

注意

- 由于状态寄存器和配置寄存器始终返回其易失性空间的寄存器内容, 因此 WRAR 操作吗随后的 3 字节地址可以是易失性寄存器或其相关的非易失性寄存器的寄存器地址。
第 36 页上的表 37 显示了易失性和非易失性寄存器的寄存器地址。
- 所示的虚拟周期是通过 CR5 中寄存器等待时间码位 (RLC0、RLC1) 配置的选项。

图 37. SPI 模式下的读取任何寄存器 (RDAR)

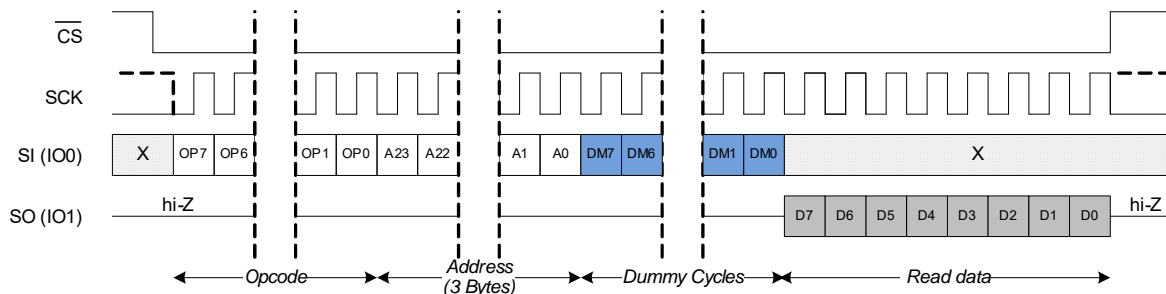


图 38. DPI 模式下的读取任何寄存器 (RDAR)

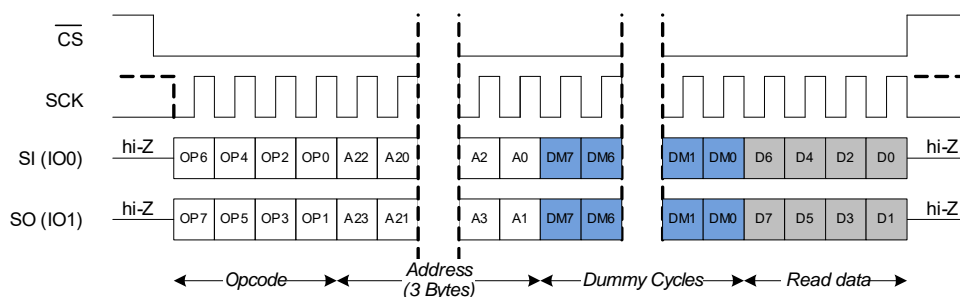
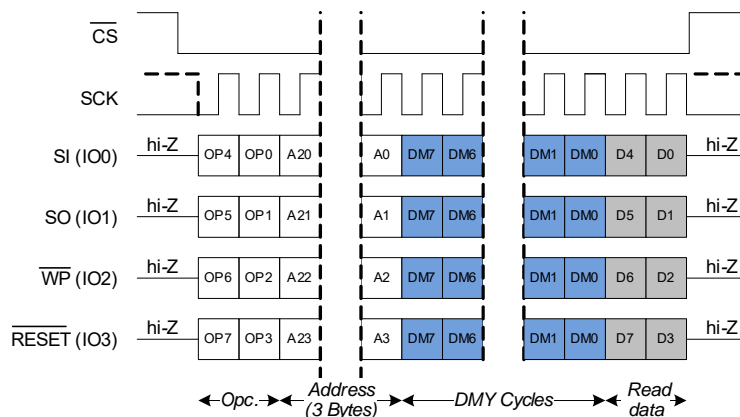


图 39. QPI 模式下的读取任何寄存器 (RDAR)



存储器操作

可接受高时钟频率的 SPI 接口突出显示了 F-RAM 技术的快速写入功能。与串行 Flash 不同的是，CY15x104QSN 能以总线速度执行连续写操作。无需任何页寄存器，仍能够执行多个连续写操作。

存储器写操作指令

CS 引脚被下拉为低电平后会发送存储器写操作命令。写入操作码后面是一个 3 字节地址和 XIP 的模式字节（若有）。针对每 4 Mbit (512K × 8) 的密度，CY15x104QSN 都会有一个 19 位地址空间。最高有效地址字节包括 3 个有效位 A16、A17 和 A18，其余的位 A[23:19] 可被忽略。传送 (XIP) 模式字节（若器件支持 XIP 模式）后，各个地址位 A18 ~ A0 会以 3 字节为一组在 SPI 总线上传输。最后地址位或最后模式位（若支持 XIP）被传送后，将

立即通过输入线传送数据字节 ([D7:0])。在 SDR 和 DDR 总线接口的 SPI、扩展式 SPI、DPI 或 QPI 模式下支持存储器写操作。其中，一些模式支持芯片内执行 (XIP)。表 38 显示了在各种不同的 SPI 总线接口和数据传输的模式下 CY15x104QSN 所支持的存储器写命令列表。

注意：

- 当突发写入达到受保护的块地址时，它仍会在受保护空间内保持地址递增，但是不将任何数据写入到受保护的存储器内。如果地址翻转并进行突发写入到不受保护的块，则可恢复写入操作。如果在写入保护的块中启动了突发写入，将执行同一操作。
- 在写操作过程中，如果传输数据字节时被断电，则只有最后完成的字节被写入。

表 38. 存储器写命令

命令	操作码 (十六进制)	命令说明
WRITE	02	存储器写入 — 写入到 F-RAM 阵列
DDRWRITE	DE	DDR 写入 — QPI DDR 模式下的写操作
FAST_WRITE	DA	存储器快速写入 — “芯片内执行”模式下的存储器写操作
DDR_FAST_WRITE	DD	DDR 快速写入 — DDR 模式下的快速写操作
DIW	A2	双线输入写入 — 命令、地址和模式字节在单个 SI 线上被传输，而数据字节在双线输入 I/O1 (SO)、I/O0 (SI) 上被传输
DIOW	A1	DDR 双线 I/O 写入 — 命令在单个 SI 线上被传输，而地址、模式和数据字节在双线输入 I/O1 (SO)、I/O0 (SI) 上被传输
QIW	32	四线输入写入 — 命令、地址和模式字节在单个 SI 线上被传输，而数据字节在四线输入 I/O3 (RESET)、I/O2 (WP)、I/O1 (SO) 和 I/O0 (SI) 上被传输
QIOW	D2	四线 I/O 写入 — 命令在单个 SI 线上被传输，而地址、模式和数据字节在四线输入 I/O3 (RESET)、I/O2 (WP)、I/O1 (SO) 和 I/O0 (SI) 上被传输
DDRQIOW	D1	DDR 四线 I/O 写入 — DDR 模式下的四线 I/O 写操作

表 39. 存储器写命令的详情

命令			SPI 总线接口							数据传输		XIP	最大时钟 频率		
命令	操作码 (十六进制)	地址长度	SPI	双线 数据	四线 数据	双线 I/O	四线 I/O	DPI	QPI	SDR	DDR	芯片内执行 (模式字节)			
WRITE	02	三个字节	支持	不适用				支持	支持	支持	不适用	不适用	108 MHz		
DDRWRITE	DE	三个字节	不适用						支持	不适用	支持	不适用	54 MHz		
FAST_WRITE	DA	三个字节	支持	不适用				支持	支持	支持	不适用	支持	108 MHz		
DDR_FAST_WRITE	DD	三个字节	不适用						支持	不适用	支持	支持	54 MHz		
DIW	A2	三个字节	不适用	支持	不适用					支持	支持	不适用	支持	108 MHz	
DIOW	A1	三个字节	不适用				支持	不适用		支持	支持	不适用	支持	108 MHz	
QIW	32	三个字节	不适用		支持	不适用				支持	支持	不适用	支持	108 MHz	
QIOW	D2	三个字节	不适用					支持	不适用		支持	支持	不适用	支持	108 MHz
DDRQIOW	D1	三个字节	不适用					支持	不适用		支持	支持	不适用	支持	54 MHz

写入 (WRITE, 02h)

将 WRITE 命令操作码和写数据传送给 SI 引脚 (SPI 模式下)、I/O1 和 I/O0 引脚 (DPI 模式下) 或 I/O3、I/O2、I/O1 和 I/O0 引脚 (QPI 模式下) 时, 器件将执行写操作。可通过突发写入模式来写入连续的地址, 而不需要发出新的写入命令。如果只写入一个字节, 发送 D0 (数据的 LSb) 后必须将 \overline{CS} 引脚置为高电平。如果要写入多个字节, 则必须使 \overline{CS} 引脚保持低电平状态, 地址会自动被递增。输入引脚上的数据字节被写入到连续地址内。当内部地址计数器达到 0x7FFFF 时, 地址将翻转为 0x00000, 并且器件将继续进行写操作。

注意:

- 只有 WEL 位 (SR1[1]) 被置 '1' 时, 才会执行写入 (WRITE) 命令。
- WRITE 操作完成后不会将 WEL 位 (SR1[1]) 清除为 '0'。因此, 写操作完成后, 写入命令无需提前发送 WREN 命令来将 WEL 位设置为 '1'。

图 40. SPI 模式下的存储器写入 (WRITE)

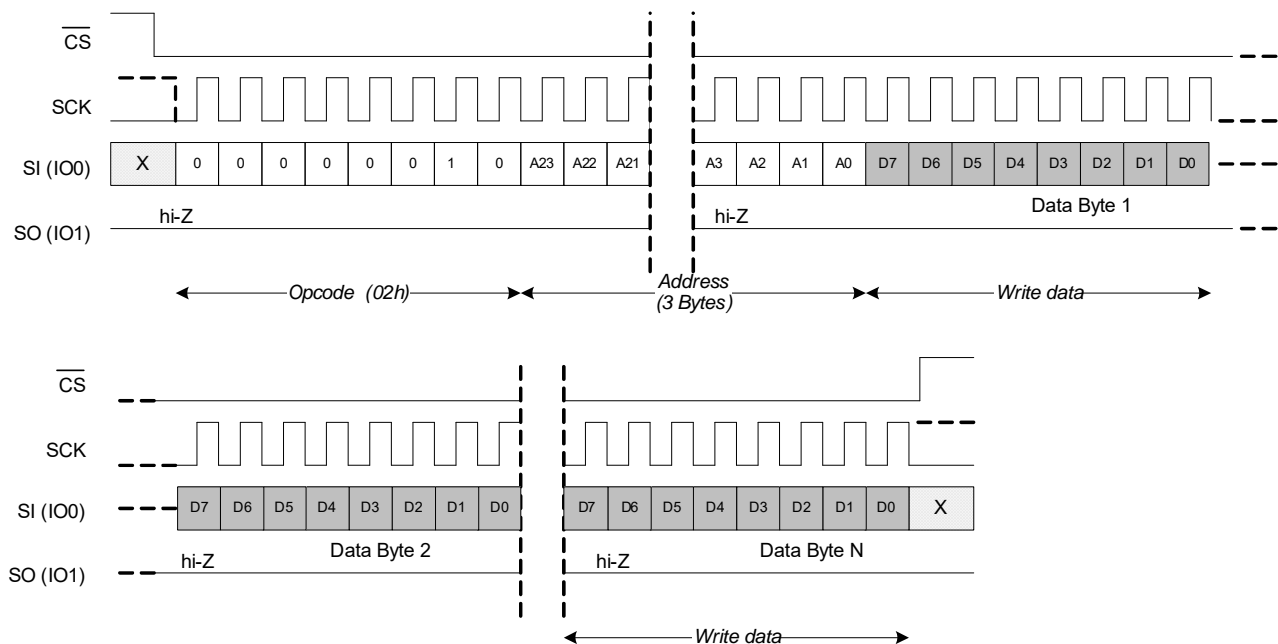


图 41. DPI 模式下的存储器写入 (WRITE)

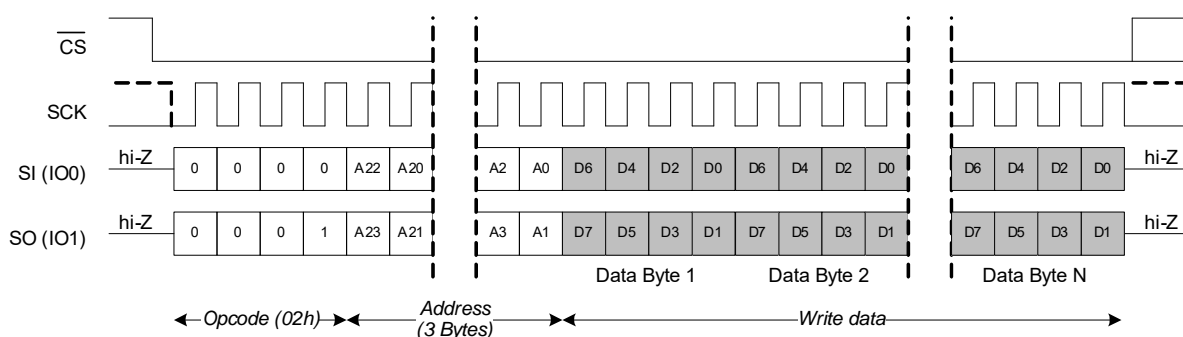
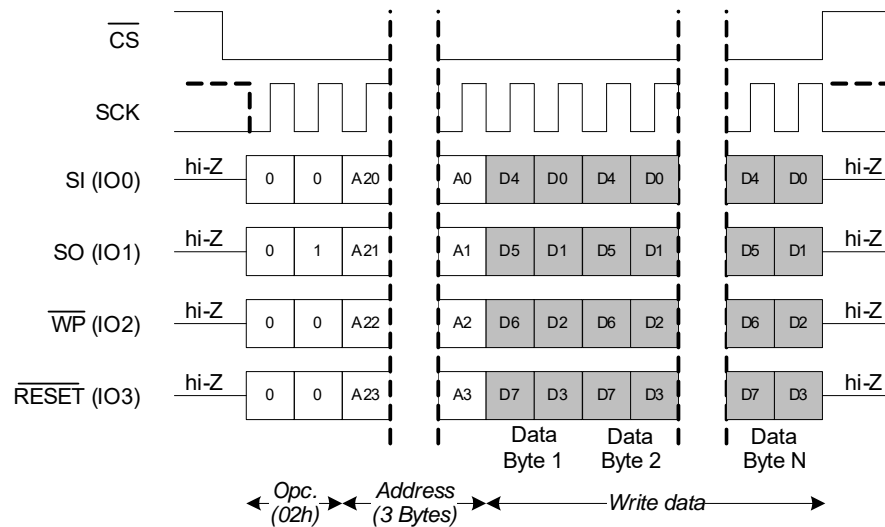


图 42. QPI 模式下的存储器写入 (WRITE)



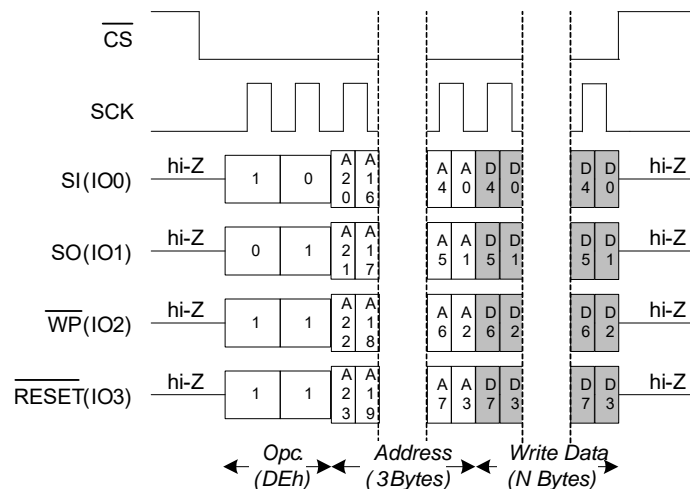
DDR 写入 (DDRWRITE, DEh)

DDRWRITE 命令可通过在 SCK 的双边沿上传送地址和数据位来提高带宽。该地址可以从存储器阵列中的任意字节位置开始。输出每一个数据字节后，会按顺序自动递增到下一个更高的地址。因此，只要使用一个写入操作码和已给的起始地址便可以写入整个存储器的空间。当到达最高地址 0x7FFFF 时，地址计数器会翻转到起始地址 0x00000，这样允许读取序列继续下去。该操作吗不支持 SPI 模式 3。

注意:

- 只有将 WEL 位设置为 ‘1’ 来使能写操作时，器件才能执行 DDRWRITE 命令。
- DDRWRITE 操作完成后不会将 WEL 位清除为 ‘0’。

图 43. QPI 模式下的 DDR 写入 (DDRWRITE)



快速写入 (FAST_WRITE, DAh)

FAST_WRITE 命令与 WRITE 命令相同。此外, 该快速写入命令还能通过配置模式字节来支持 XIP 操作。通过模式位, 可以在第一个命令发送 Axh 模式位格式 (1010XXXX) 后使用一系列快速写入命令来消除 8 位操作码。通过这种被称为 “芯片内执行” (Execute-In-Place, XIP) 的特性, 可缩短初始访问时间, 从而能够提高器件的性能。模式位通过添加或清除第一个字节命令操作码来控制下一个快速写入操作的长度。如果模式位为 Axh, 那么器件会切换为连续快速写入模式, 并且能够在 CS 被驱动为高电平再被确认为低电平后写入下一个地址 (而不需要 DAh 操作码), 从而可以清除命令序列的 8 个周期。否则, 一旦 CS 从高电平切换为低电平, 则需要操作码。

注意:

- 模式位为 !Axh (即 Axh 字节的逻辑 NOT) 时, 器件会推出 FAST_WRITE XIP 模式。
- 只有将状态寄存器中的写入使能锁存位 (WEL) 设置为 ‘1’ 来使能写操作时, 器件才能执行 FAST_WRITE 命令。
- FAST_WRITE 操作完成后不会将 WEL 位复位为 ‘0’。

图 44. SPI 模式下的快速写入 (FAST_WRITE)

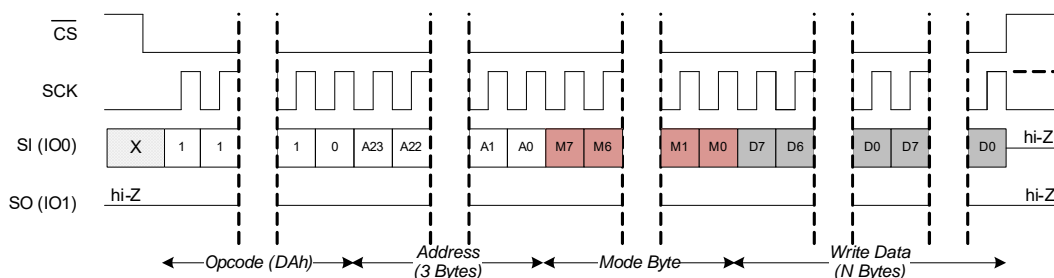


图 45. DPI 模式下的快速写入 (FAST_WRITE)

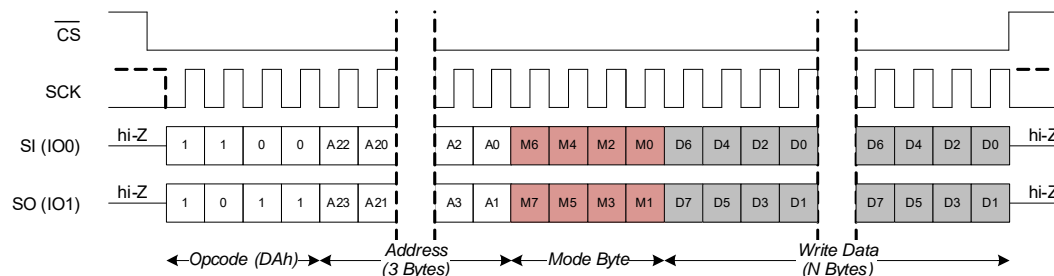
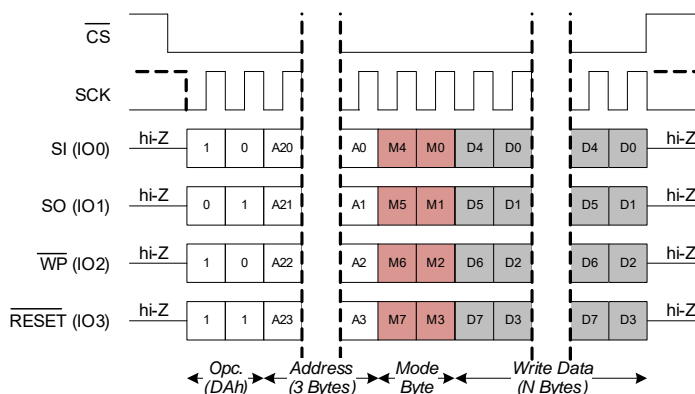


图 46. QPI 模式下的快速写入 (FAST_WRITE)



DDR 快速写入 (DDR_FAST_WRITE, DDh)

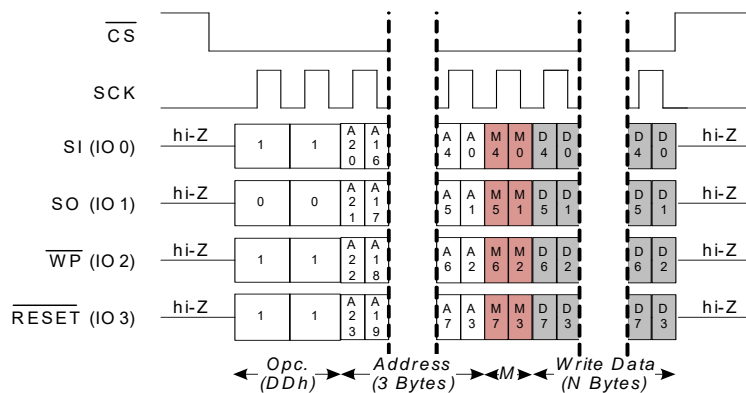
DDR_FAST_WRITE 命令与 WRITE 命令相同。此外，该快速写入命令还支持 XIP 操作。

通过模式位，可以在第一个命令发送 A5h 模式位格式 (10100101) 后使用一系列 DDR_FAST_WRITE 命令来消除 8 位操作码。通过这种被称为“芯片内执行”(Execute-In-Place, XIP) 的特性，可明显降低初始访问时间，从而能够提高器件的性能。模式位通过添加或清除第一个字节命令操作码来控制下一个 DDR_FAST_WRITE 操作的长度。如果模式位为 Axh，那么器件会切换为连续 DDR_FAST_WRITE 模式，并且能够在 \overline{CS} 被驱动为高电平再被确认为低电平后写入下一个地址 (而不需要 DDh 操作码)，从而可以清除命令序列的 8 个周期。否则，一旦 \overline{CS} 从高电平切换为低电平，则需要操作码。该操作码不支持 SPI 模式 3。

注意：

- 模式位为 !A5h (即 A5h 字节的逻辑 NOT) 时，器件会推出 DDR_FAST_WRITE XIP 模式。
- 只有将 WEL 位设置为 ‘1’ 来使能写操作时，器件才能执行 DDR_FAST_WRITE 命令。
- DDR_FAST_WRITE 操作完成后不会将 WEL 位复位为 ‘0’。

图 47. QPI 模式下的 DDR 快速写入 (DDR_FAST_WRITE)



双线输入写入 (DIW, A2h)

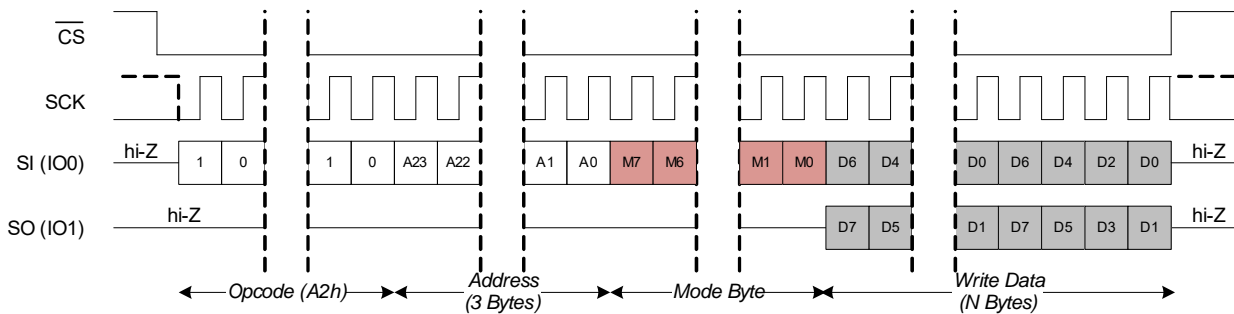
DIW 命令在双线数据模式下被使用,它是 SPI 扩展式写命令的一部分。在双线数据模式下,操作码、地址和模式字节均通过 SI 引脚得到传送,每个时钟周期传送一位。传送最后地址位后,将立即重新配置各引脚:SO 变成 I/O1 和 SI 变成 I/O0。另外,数据 ([D7:0]) 被传送到 I/O1 和 I/O0 引脚,每个时钟周期传送两位 (D7 和 D6 分别通过 I/O1 和 I/O0 传送)。

通过模式位,可以在第一个命令发送 A_{xh} 模式位格式 (1010XXXX) 后使用一系列 DIW 命令来消除 8 位操作码。通过这种被称为“芯片内执行”(Execute-In-Place, XIP) 的特性,可缩短初始访问时间,从而能够提高器件的性能。模式位通过添加或清除第一个字节命令操作码来控制下一个 DIW 操作的长度。如果模式位为 A_{xh},那么器件会切换为连续 DIW 模式,并且能够在 $\overline{\text{CS}}$ 被驱动为高电平再被确认为低电平后写入下一个地址 (而不需要 A_{2h} 操作码),从而可以清除命令序列的 8 个周期。否则,一旦 $\overline{\text{CS}}$ 从高电平切换为低电平,则需要操作码。

注意:

- 模式位为 !A_{xh} (即 A_{xh} 字节的逻辑 NOT) 时,器件会推出 DIW XIP 模式。
- 只有将 WEL 位设置为 ‘1’ 来使能写操作时,器件才能执行 DIW 命令。
- DIW 操作完成后不会将 WEL 位复位为 ‘0’。

图 48. 双线输入写入 (DIW)



双线 I/O 写入 (DIOW, A1h)

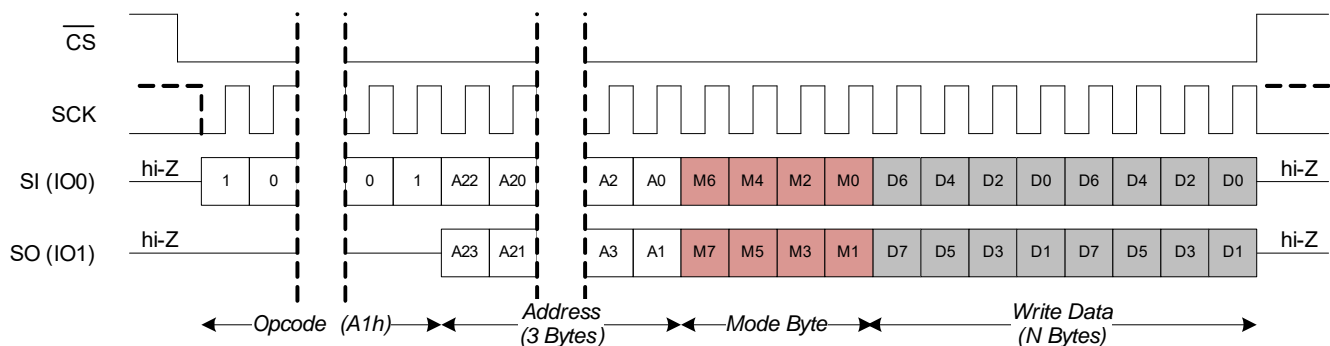
DIOW 命令在双线地址 / 数据模式下被使用，它是 SPI 扩展式写命令的一部分。在双线地址 / 数据模式下，操作码通过 SI 引脚被传送，每个时钟周期传送一位。传送最后操作码位后，将立即重新配置各引脚：SO 变成 I/O1 和 SI 变成 I/O0。另外，地址和模式字节通过 I/O1 和 I/O0 引脚传送到器件，每个时钟周期传送两位 (A23 和 A22 地址分别通过 I/O1 和 I/O0 开始传送)，直到输入三字节地址为止。传送最后地址位后，会通过 I/O1 和 I/O0 将数据 (D[7:0]) 传送到器件，每个时钟周期发送两位 (在 I/O1 上先传输 D7，在 I/O0 上先传输 D6)。

通过模式位，可以在第一个命令发送 Axh 模式位格式 (1010XXXX) 后使用一系列 DIOW 命令来消除 8 位操作码。通过这种被称为“芯片内执行” (Execute-In-Place, XIP) 的特性，可明显降低初始访问时间，从而能够提高器件的性能。模式位通过添加或清除第一个字节命令操作码来控制下一个 DIOW 操作的长度。如果模式位为 Axh，那么器件会切换为连续 DIOW 模式，并且能够在 CS 被驱动为高电平再被确认为低电平后写入下一个地址 (而不需要 A1h 操作码)，从而可以清除命令序列的 8 个周期。否则，一旦 CS 从高电平切换为低电平，则需要操作码。

注意：

- 模式位为 !Axh (即 Axh 字节的逻辑 NOT) 时，器件会推出 DIOW XIP 模式。
- 只有将 WEL 位设置为 ‘1’ 来使能写操作时，器件才能执行 DIOW 命令。
- DIOW 操作完成后不会将 WEL 位复位为 ‘0’。

图 49. 双线 I/O 写入 (DIOW)



四线输入写入 (QIW, 32h)

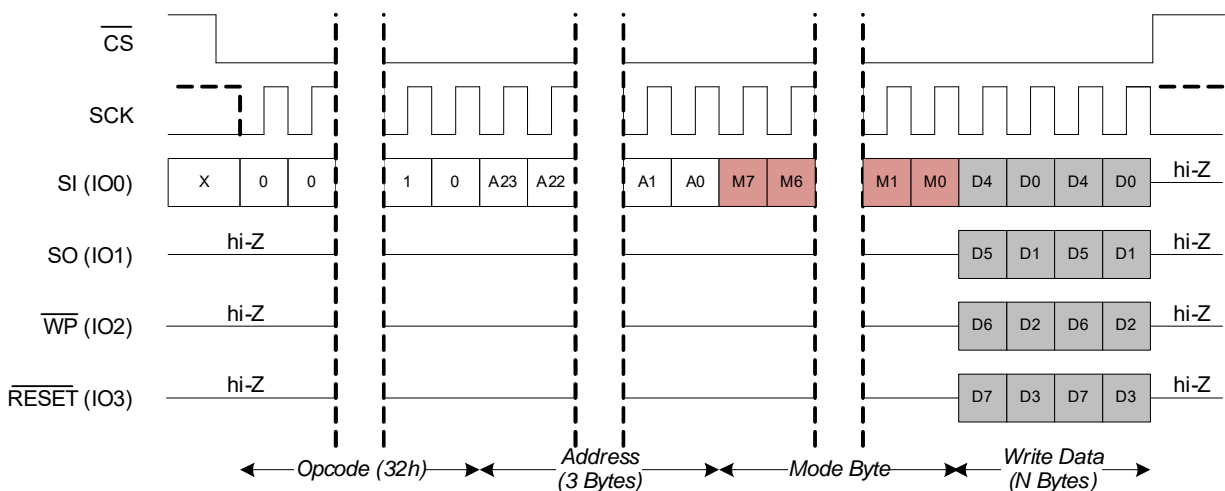
QIW 命令在四线数据模式下被使用,它是 SPI 扩展式写命令的一部分。在四线数据模式下,操作码、地址和模式字节通过 SI 引脚被传送,每个时钟周期传送一位。传送最后地址位后,将立即重新配置各引脚: **RESET** 变成 I/O3, **WP** 变成 I/O2, **SO** 变成 I/O1, **SI** 变成 I/O0。另外,数据 (D7-D0) 分别通过 I/O3、I/O2、I/O1 和 I/O0 引脚进行发送,每个时钟周期发送 4 位 (D7、D6、D5 和 D4 分别通过 I/O3、I/O2、I/O1 和 I/O0 开始传送)。

通过模式位,可以在第一个命令发送 **Axh** 模式位格式 (1010XXXX) 后使用一系列 QIW 命令来消除 8 位操作码。通过这种被称为“芯片内执行”(Execute-In-Place, XIP) 的特性,可明显降低初始访问时间,从而能够提高器件的性能。模式位通过添加或删除第一个字节命令操作码来控制下一个 QIW 操作的长度。如果模式位为 **Axh**,那么器件会切换为连续 QIW 模式,并且能够在 **CS** 被驱动为高电平再被确认为低电平后写入下一个地址 (而不需要 32h 操作码),从而可以清除命令序列的 8 个周期。否则,一旦 **CS** 从高电平切换为低电平,则需要操作码。

注意:

- 模式位为 !Axh (即 Axh 字节的逻辑 NOT) 时,器件会推出 QIW XIP 模式。
- 只有将状态寄存器中的写入使能锁存位 (WEL) 设置为 ‘1’ 来使能写操作时,器件才能执行 QIW 命令。
- QIW 操作完成后不会将 WEL 位复位为 ‘0’。

图 50. 四线输入写入 (QIW)



四线 I/O 写入 (QIOW, D2h)

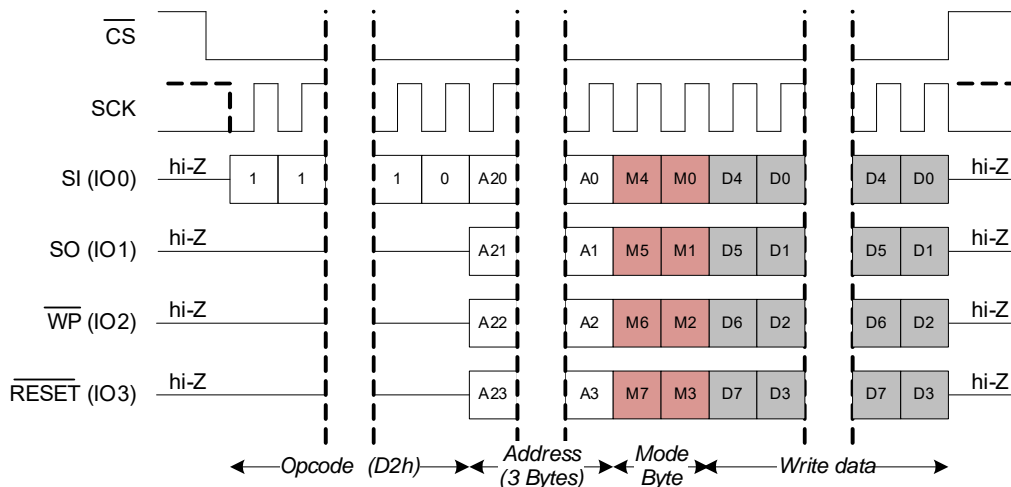
QIOW 命令在四线地址 / 数据模式下被使用，它是 SPI 扩展式写命令的一部分。在四线地址 / 数据模式下，操作码通过 SI 引脚被传送，并且每个时钟周期传送一位。传送最后操作码位后，将立即重新配置各引脚：RESET 变成 I/O3，WP 变成 I/O2，SO 变成 I/O1，SI 变成 I/O0。另外，地址通过 I/O3、I/O2、I/O1 和 I/O0 引脚传送到器件，每个时钟周期传送四位 (A23、A22、A21 和 A20 分别通过 I/O3、I/O2、I/O1 和 I/O0 开始传送)，直到输入三字节地址为止。传送最后地址位后，会通过 I/O3、I/O2、I/O1 和 I/O0 将数据 (D7-D0) 传送给器件，每个时钟周期传送四位 (D7、D6、D5 和 D4 分别通过 I/O3、I/O2、I/O1 和 I/O0 开始传送)。

通过模式位，可以在第一个命令发送 Axx 模式位格式 (1010XXXX) 后使用一系列 QIOW 命令来消除 8 位操作码。通过这种被称为“芯片内执行”(Execute-In-Place, XIP) 的特性，可明显降低初始访问时间，从而能够提高器件的性能。模式位通过添加或清除第一个字节命令操作码来控制下一个 QIOW 操作的长度。如果模式位为 Axx，那么器件会切换为连续 DIOW 模式，并且能够在 CS 被驱动为高电平再被确认为低电平后写入下一个地址 (而不需要 D2h 操作码)，从而可以清除命令序列的 8 个周期。否则，一旦 CS 从高电平切换为低电平，则需要操作码。

注意：

- 模式位为 !Axx (即 Axx 字节的逻辑 NOT) 时，器件会推出 QIOW XIP 模式。
- 只有将状态寄存器中的写入使能锁存位 (WEL) 设置为 ‘1’ 来使能写操作时，器件才能执行 QIOW 命令。
- QIOW 操作完成后不会将 WEL 位复位为 ‘0’。

图 51. 四线 I/O 写入 (QIOW)

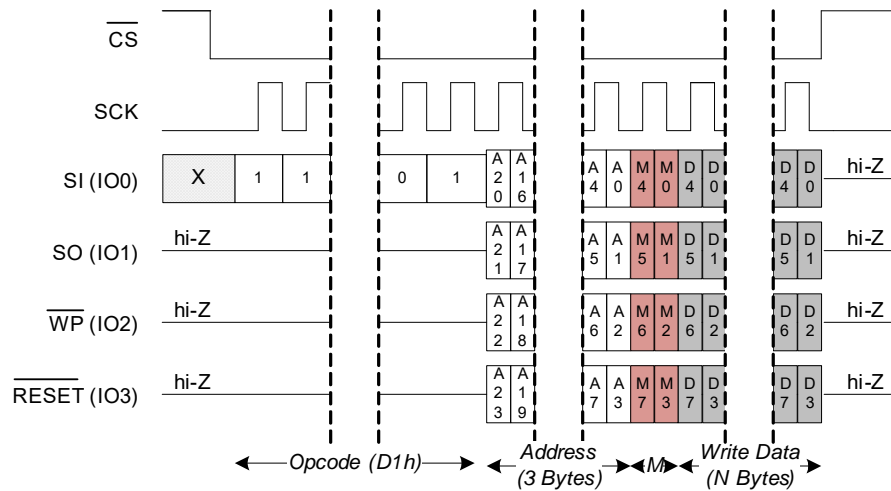


DDR 四线 I/O 写入 (DDRQIOW, D1h)

双倍数据速率四线 I/O 写入命令与四线 I/O 写入命令相同，另外它还支持在任何时钟边沿上传送地址和数据，并且 DDRQIOW 中的模式位格式为 A5h (10100101)。该操作吗不支持 SPI 模式 3。

注意：模式位为 !A5h (即 A5h 字节的逻辑 NOT) 时，器件会推出 DDRQIOW XIP 模式。

图 52. 四线 I/O 写入 (QIOW)



存储器读操作指令

CS 引脚被下拉为低电平后会发送存储器读取操作命令。读取操作码后面是一个 3 字节地址和 XIP 的模式字节（若有）。针对每 4 Mbit（512K × 8）的密度，CY15x104QSN 都会有一个 19 位地址空间。最高有效地址字节包括 3 个有效位 A16、A17 和 A18，其余的位可被忽略。各个地址位 A18 ~ A0 在 SPI 总线上会以 3 字节为一组进行传输，然后传送模式字节和虚拟周期（若有）。

在 SDR 和 DDR 总线接口的 SPI、扩展式 SPI、DPI 或 QPI 模式下都支持存储器读取操作。其中，一些模式支持芯片内执行（Execute-In-Place, XIP）特性。表 40 显示了在各种不同的 SPI 总线接口和数据传输的模式下 CY15x104QSN 所支持的存储器读取命令列表。

表 40. 存储器读命令

命令	操作码 (十六进制)	命令说明
READ	03	存储器读取 — 在 SPI SDR 模式下可读取高达 50 MHz 而不发生延迟周期；在 SPI、DPI、QPI SDR 模式可读取 108 MHz 但将发生存储器延迟周期
FAST_READ	0B	存储器快速读取 — 在 SPI、DPI、QPI SDR 模式可读取 108 MHz 但将发生存储器延迟周期
DDRFR	0D	DDR 快速读取 — QPI DDR 模式下的快速读取指令
DOR	3B	双线输出读取 — 命令和地址字节在单个 SI 线上被传输，而数据在双线输出线 I/O1 (SO) 和 I/O0 (SI) 上被传输
DIOR	BB	双线 I/O 读取 — 命令在单个 SI 线上被传输，而地址输入和数据输出在双线输出线 I/O1 (SO) 和 I/O0 (SI) 上执行
QOR	6B	四线输出读取 — 命令和地址在单个 SI 线上被传输，而数据在四线输出线 I/O3 (RESET)、I/O2 (WP)、I/O1 (SO) 和 I/O0 (SI) 上被传输
QIOR	EB	四线 I/O 读取 — 命令在单个 SI 线上被传输，而地址输入和数据输出在四线输出线 I/O3 (RESET)、I/O2 (WP)、I/O1 (SO) 和 I/O0 (SI) 上执行。在扩展型的 SPI（四线 I/O）模式和 QPI SDR 模式可以执行该操作码
DDRQIOR	ED	SDR 和 DDR 模式下的四线 I/O 读取操作在扩展型的 SPI（四线 I/O）模式和 QPI DDR 模式可以执行该操作码

表 41. 存储器读命令的详情

操作码 (十六进制)	地址长度	SPI 总线接口							数据传输		XIP	存储器 延迟	最大时钟 频率
		SPI	双线 数据	四线 数据	双线 I/O	四线 I/O	DPI	QPI	SDR	DDR	芯片内 执行	虚拟周期	
03	三个字节	支持	不适用				支持	支持	支持	不适用	不适用	支持	108 MHz
0B	三个字节	支持	不适用				支持	支持	支持	不适用	支持	支持	108 MHz
0D	三个字节	不适用						支持	不适用	支持	支持	支持	54 MHz
3B	三个字节	不适用	支持	不适用					支持	不适用	支持	支持	108 MHz
BB	三个字节	不适用			支持	不适用			支持	不适用	支持	支持	108 MHz
6B	三个字节	不适用		支持	不适用				支持	不适用	支持	支持	108 MHz
EB	三个字节	不适用				支持	不适用	支持	支持	不适用	支持	支持	108 MHz
ED	三个字节	不适用				支持	不适用	支持	不适用	支持	支持	支持	54 MHz

存储器读取 (READ, 03h)

通过读取命令, 可以对存储器内的已给地址进行读取数据。该地址可以从 4 Mbit 存储器阵列中的任意字节位置开始, 具体取决于 3 字节地址。输出每一个数据字节后, 会按顺序自动递增到下一个更高的地址。因此, 只要使用一个读取操作码和已给的地址便可以读取整个 4 Mbit 存储器的空间。当到达最高地址 0x7FFFFF 时, 地址计数器会翻转到起始地址 0x000000, 这样允许读取序列继续下去。可以在 SPI、DPI 或 QPI 模式下执行该命令。

注意: 可以通过 CR1 寄存器中的存储器延迟代码位 (MLC0 ~ MLC3) 配置虚拟周期数。

图 53. SPI 模式下的读取命令

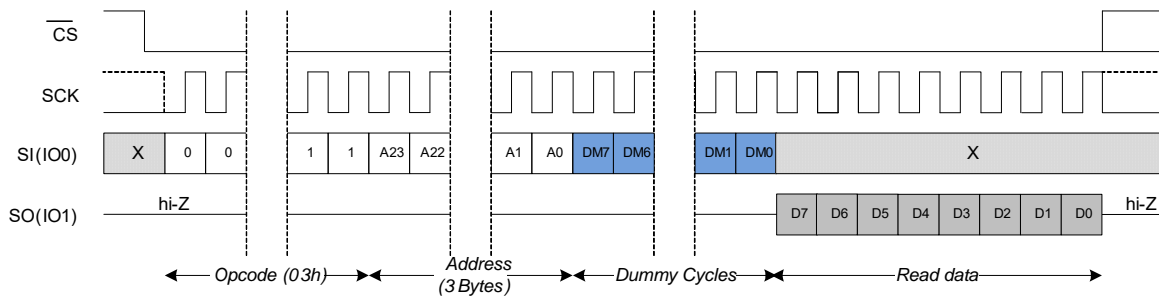


图 54. DPI 模式下的读取命令

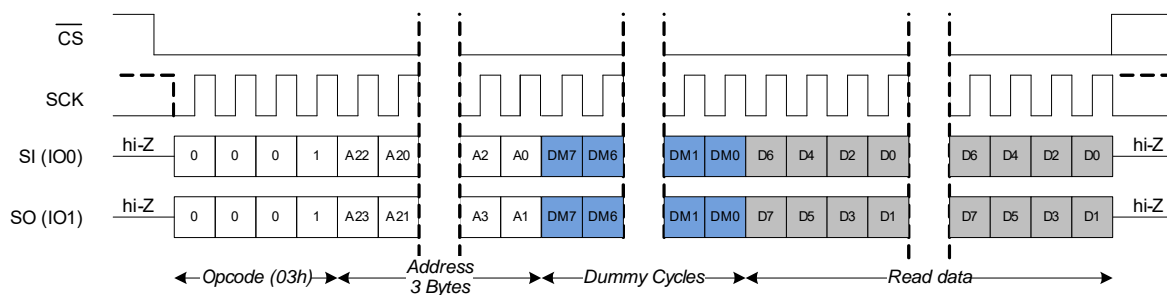
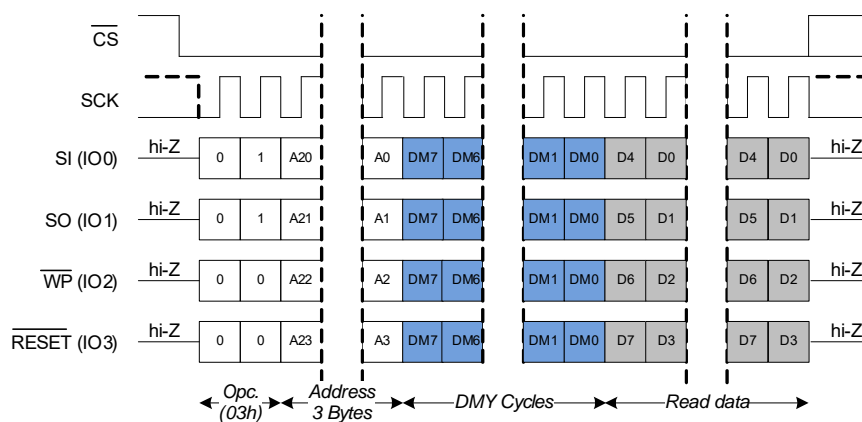


图 55. QPI 模式下的读取命令



快速读取 (FAST_READ, 0Bh)

通过 FAST_READ 命令, 可以对存储器内的已给地址进行读取数据。该地址可以从 4 Mbit 存储器阵列中的任意字节位置开始, 具体取决于 3 字节地址。输出每一个数据字节后, 会按顺序自动递增到下一个更高的地址。因此, 只要使用一个读取操作码和已给的地址便可以读取整个存储器的空间。当到达最高地址 0x7FFFFF 时, 地址计数器会翻转到起始地址 0x000000, 这样允许读取序列继续下去。可以在 SPI、DPI 或 QPI 模式下执行该命令。

通过模式位, 可以在第一个命令发送 Axh 模式位格式 (1010XXXX) 后使用一系列快速读取命令来消除 8 位操作码。通过这种被称为“芯片内执行”(Execute-In-Place, XIP) 的特性, 可明显降低初始访问时间, 从而能够提高器件的性能。模式位通过添加或清除第一个字节命令操作码来控制下一个 FAST_READ 操作的长度。如果模式位为 Axh, 那么器件会切换为连续 FAST_READ 模式, 并且能够在 CS 被驱动为高电平再被确认为低电平后读取下一个地址 (而不需要 0Bh 操作码), 从而可以清除命令序列的 8 个周期。否则, 一旦 CS 从高电平切换为低电平, 则需要操作码。

注意:

- 模式位为 !Axh (即 Axh 字节的逻辑 NOT) 时, 器件会推出 FAST_READ XIP 模式。
- 可以通过 CR1 寄存器中的存储器延迟代码位 (MLC0~MLC3) 配置虚拟周期数。

图 56. SPI 模式下的 FAST_READ 命令

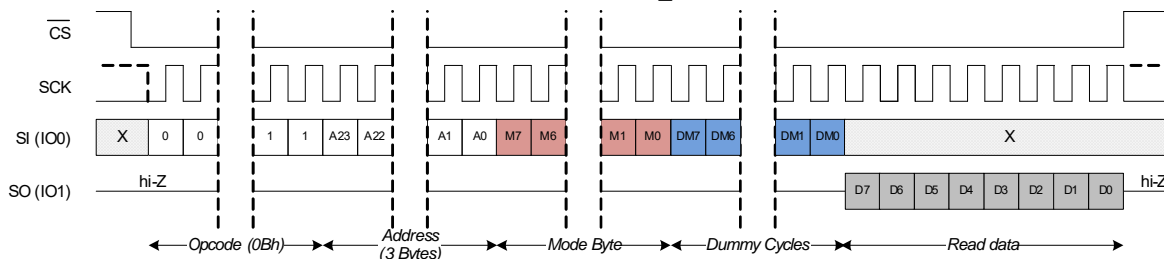


图 57. DPI 模式中的 FAST_RDID 指令

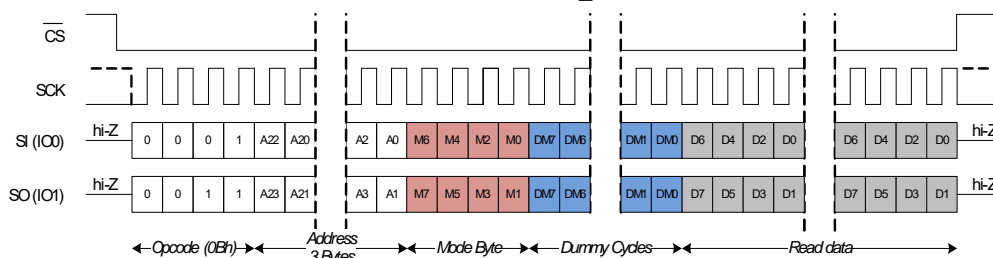
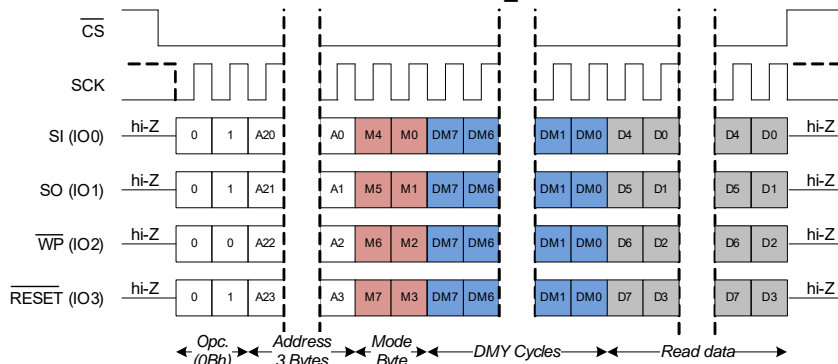


图 58. QPI 模式下的 FAST_READ 命令



DDR 快速读取命令 (DDRFR, 0Dh)

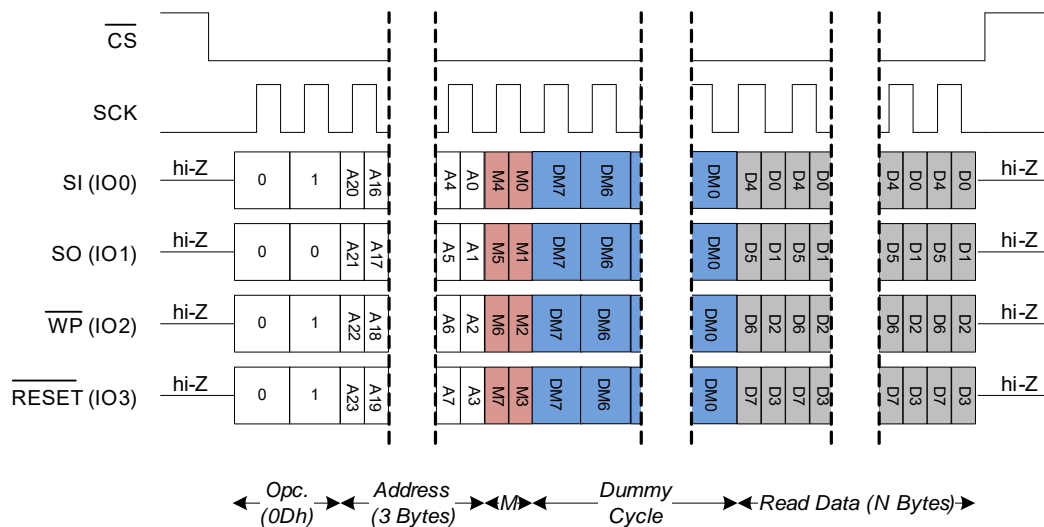
DDRFR 命令可通过在 SCK 的任意边沿上传送地址、虚拟位和数据位来提高带宽。该地址可以从 4 Mbit 存储器阵列中的任意字节位置开始，具体取决于 3 字节地址。输出每一个数据字节后，会按顺序自动递增到下一个地址。因此，只要使用一个读取操作码和已给的起始地址便可以读取整个存储器的空间。当到达最高地址 0x7FFFF 时，地址计数器会翻转到起始地址 0x000000，这样允许读取序列继续下去。在虚拟周期内，CS 要保持为低电平。可以在 QPI 模式下执行该命令。

通过模式位，可以在第一个命令发送 A5h 模式位格式 (10100101) 后使用一系列快速读取 DDR 命令来消除 8 位操作码。通过这种被称为“芯片内执行”(Execute-In-Place, XIP) 的特性，可明显降低初始访问时间，从而能够提高 XIP 性能。模式位通过添加或清除第一个字节命令操作码来控制下一个 DDRFR 操作的长度。如果模式位为 A5h，那么器件会切换为连续 DDR 快速读取模式，并且能够在 CS 被驱动为高电平再被确认为低电平后读取下一个地址 (而不需要 0Dh 操作码)，从而可以清除命令序列的 8 个周期。否则，一旦 CS 从高电平切换为低电平，则需要操作码。该操作码不支持 SPI 模式 3。

注意：

- 模式位为 !A5h (即 A5h 字节的逻辑 NOT) 时，器件会推出 DDRFR XIP 模式。
- 可以通过 CR1 寄存器中的存储器延迟代码位 (MLC0~MLC3) 配置虚拟周期数。

图 59. QPI 模式下的 DDRFR



双线输出读取 (DOR, 3Bh)

DOR 命令用于双线数据模式, 它是 SPI 扩展式读命令的一部分。在双线数据模式下, 操作码、地址、模式字节 (A_{xh}) 和虚拟周期均通过 SI 引脚得到传送, 每个时钟周期传送一位。在最后一个虚拟周期的 SCK 的下降沿上, 这些引脚被重新配置: SO 作为 I/O1, SI 作为 I/O0。特定地址上的数据 (D7-D0) 在 I/O1 和 I/O0 引脚上被移出, 每个时钟周期输出两位 (D7 和 D6 分别通过 I/O1 和 I/O0 开始移出)。该地址可以从存储器阵列中的任意字节位置开始。输出每一个数据字节后, 会按顺序自动递增到下一个更高的地址。因此, 可以读取整个存储器的空间。当到达最高地址 0x7FFFFF 时, 地址计数器会翻转到起始地址 0x000000, 这样允许读取序列继续下去。

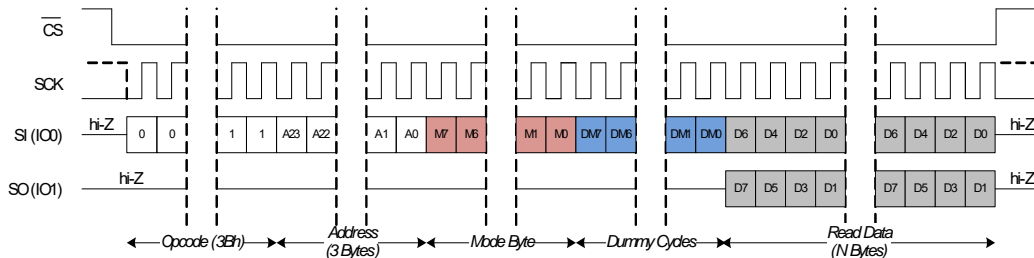
通过模式位, 可以在第一个命令发送 A_{xh} 模式位格式 (1010XXXX) 后使用一系列 DOR 命令来消除 8 位操作码。通过

这种被称为“芯片内执行”(Execute-In-Place, XIP)的特性, 可明显降低初始访问时间, 从而能够提高 XIP 性能。模式位通过添加或清除第一个字节命令操作码来控制下一个 DOR 操作的长度。如果模式位为 A_{xh}, 那么器件会切换为连续 DOR 模式, 并且能够在 CS 被驱动为高电平再被确认为低电平后读取下一个地址 (而不需要 3Bh 操作码), 从而可以清除命令序列的 8 个周期。否则, 一旦 CS 从高电平切换为低电平, 则需要操作码。

注意:

- 模式位为 !A_{xh} (即 A_{xh} 字节的逻辑 NOT) 时, 器件会推出 DOR XIP 模式。
- 可以通过 CR1 寄存器中的存储器延迟代码位 (MLC0~MLC3) 配置虚拟周期数。

图 60. 双线输出读取 (DOR)



双线 I/O 读取 (DIOR, BBh)

DIOR 命令用于双线地址 / 数据模式, 它是 SPI 扩展式读命令的一部分。在双线地址 / 数据模式下, 操作码通过 SI 引脚被传送, 每个时钟周期传送一位。在传输操作码的最后一位后, 这些引脚被重新配置: SO 作为 I/O1 和 SI 作为 I/O0。然后, 该地址通过 I/O1 和 I/O0 引脚传送到器件, 每个时钟周期传送两位 (在 I/O1 上以 A23 地址开始, 在 I/O0 上以 A22 开始), 直到输入三字节地址为止。特定地址上的数据 (D7-D0) 则在 I/O1 和 I/O0 引脚上被移出, 每个时钟周期移出两位 (在 I/O1 上以 D7 开始, 在 I/O0 上以 D6 开始)。输出每一个数据字节后, 会按顺序自动递增到下一个更高的地址。因此, 可以读取整个存储器的空间。当到达最高地址 0x7FFFFF 时, 地址计数器会翻转到起始地址 0x000000, 这样允许读取序列继续下去。

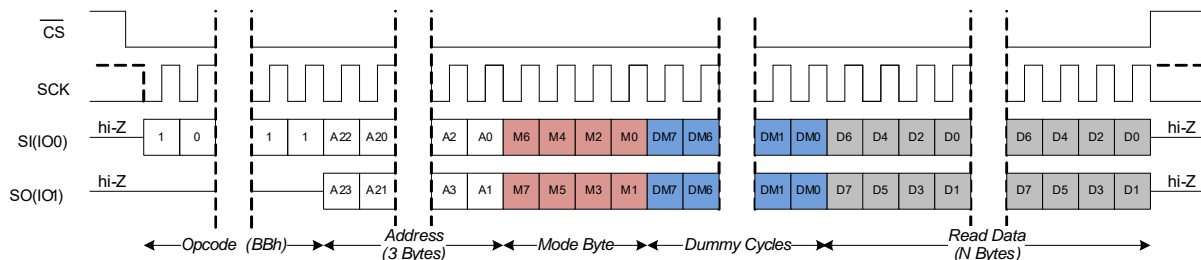
通过模式位, 可以在第一个命令发送 A_{xh} 模式位格式 (1010XXXX) 后使用一系列 DIOR 命令来消除 8 位操作码。通

过这种被称为“芯片内执行”(Execute-In-Place, XIP)的特性, 可明显降低初始访问时间, 从而能够提高 XIP 性能。模式位通过添加或清除第一个字节命令操作码来控制下一个 DIOR 操作的长度。如果模式位为 A_{xh}, 那么器件会切换为连续 DIOR 模式, 并且能够在 CS 被驱动为高电平再被确认为低电平后读取下一个地址 (而不需要 BBh 操作码), 从而可以清除命令序列的 8 个周期。否则, 一旦 CS 从高电平切换为低电平, 则需要操作码。

注意:

- 模式位为 !A_{xh} (即 A_{xh} 字节的逻辑 NOT) 时, 器件会推出 FAST_READ XIP 模式。
- 可以通过 CR1 寄存器中的存储器延迟代码位 (MLC0~MLC3) 配置虚拟周期数。

图 61. 双线 I/O 读取 (DIOR)



四线输出读取 (QOR, 6Bh)

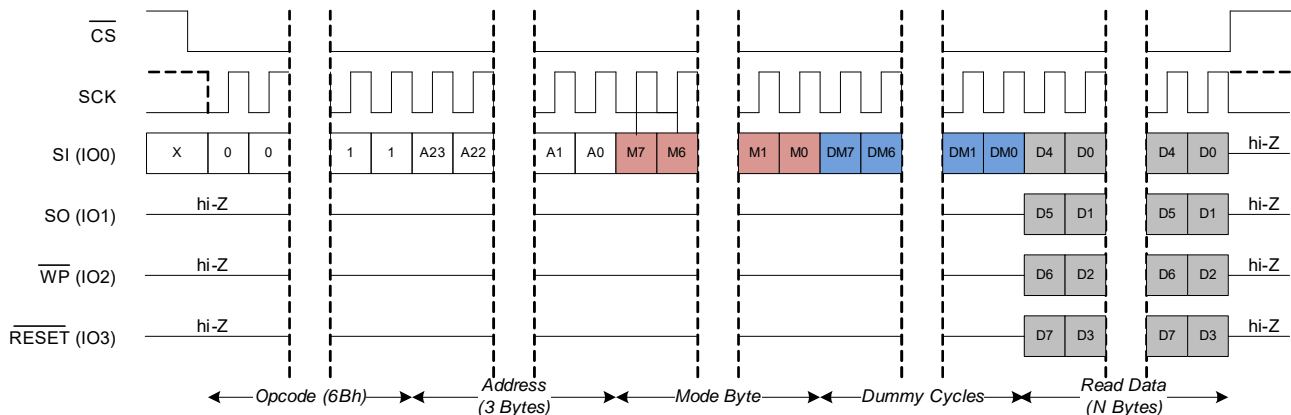
QOR 命令用于四线数据模式,它是 SPI 扩展式读命令的一部分。在四线数据模式下,操作码、地址、模式字节 (A_{xh}) 和虚拟周期均通过 SI 引脚得到传送,每个时钟周期传送一位。在最后模式周期的 SCK 下降沿上,这些引脚被重新配置: RESET 变成 I/O3, WP 变成 I/O2, SO 变成 I/O1 和 SI 变成 I/O0。特定地址上的数据 (D7-D0) 在 I/O3、I/O2、I/O1 和 I/O0 引脚上被输出,每个时钟周期输出四位 (在 I/O3 上以 D7 开始,在 I/O2 上以 D6 开始,在 I/O1 上以 D5 开始,在 I/O0 上以 D4 开始)。输出每一个数据字节后,会按顺序自动递增到下一个更高的地址。因此,可以读取整个存储器的空间。当到达最高地址 0x7FFFF 时,地址计数器会翻转到起始地址 0x000000,这样允许读取序列继续下去。

通过模式位,可以在第一个命令发送 A_{xh} 模式位格式 (1010XXXX) 后使用一系列 DOR 命令来消除 8 位操作码。通过这种被称为“芯片内执行”(Execute-In-Place, XIP) 的特性,可明显降低初始访问时间,从而能够提高 XIP 性能。模式位通过添加或清除第一个字节命令操作码来控制下一个 QOR 操作的长度。如果模式位为 A_{xh},那么器件会切换为连续 QOR 模式,并且能够在 CS 被驱动为高电平再被确认为低电平后读取下一个地址 (而不需要 6Bh 操作码),从而可以清除命令序列的 8 个周期。否则,一旦 CS 从高电平切换为低电平,则需要操作码。

注意:

- 必须将配置寄存器 1 中的 QUAD 位 CR1[1] 设置为 ‘1’。
- 模式位为 !A_{xh} (即 A_{xh} 字节的逻辑 NOT) 时,器件会推出 DOR XIP 模式。
- 可以通过 CR1 寄存器中的存储器延迟代码位 (MLC0~MLC3) 配置虚拟周期数。

图 62. 四线输出读取 (QOR)



四线 I/O 读取 (QIOR, EBh) — 在扩展式 SPI 模式下

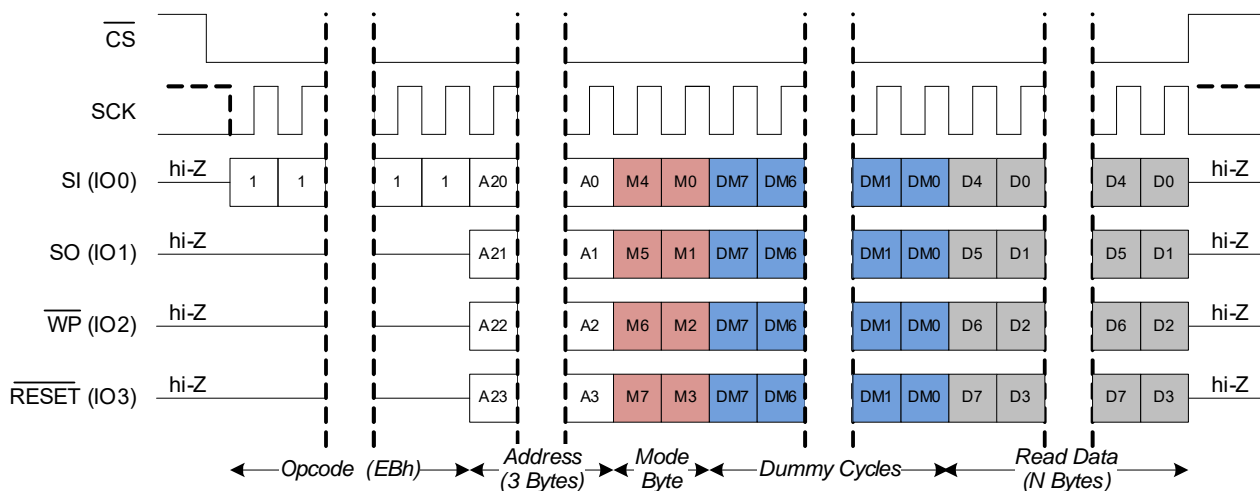
QIOR 命令用于四线地址 / 数据模式，它是 SPI 扩展式读命令的一部分。在四线地址 / 数据模式下，操作码通过 SI 引脚被传送，并且每个时钟周期传送一位。在操作码的最后一位传输后，这些引脚被重新配置：RESET 作为 I/O3，WP 作为 I/O2，SO 作为 I/O1 和 SI 作为 I/O0。然后，该地址通过 I/O3、I/O2、I/O1 和 I/O0 引脚传送到器件，每个时钟周期传送 4 位（在 I/O3、I/O2、I/O1 和 I/O0 上分别以 A23、A22、A21 和 A20 地址开始），直到输入三字节地址为止。特定地址上的数据（D7-D0）在 I/O3、I/O2、I/O1 和 I/O0 引脚上被传送，每个时钟周期传送四位（在 I/O3、I/O2、I/O1 和 I/O0 上分别以 D7、D6、D5 和 D4 开始移出）。因此，可以读取整个存储器的空间。当到达最高地址 0x7FFFFF 时，地址计数器会翻转到起始地址 0x000000，这样允许读取序列继续下去。

通过模式位，可以在第一个命令发送 Axh 模式位格式（1010XXXX）后使用一系列 QIOR 命令来消除 8 位操作码。通过这种被称为“芯片内执行”（Execute-In-Place, XIP）的特性，可明显降低初始访问时间，从而能够提高 XIP 性能。模式位通过添加或清除第一个字节命令操作码来控制下一个 QIOR 操作的长度。如果模式位为 Axh，那么器件会切换为连续 QIOR 模式，并且能够在 CS 被驱动为高电平再被确认为低电平后读取下一个地址（而不需要 EBh 操作码），从而可以清除命令序列的 8 个周期。否则，在 CS 被驱动为高电平再被确认为低电平时会需要操作码。

注意：

- 必须将配置寄存器 1 中的 QUAD 位 CR1[1] 设置为 ‘1’。
- 模式位为 !Axh（即 Axh 字节的逻辑 NOT）时，器件会推出 QIOR XIP 模式。
- 可以通过 CR1 寄存器中的存储器延迟代码位（MLC0~MLC3）配置虚拟周期数。

图 63. 在扩展式 SPI 模式下的四线 I/O 读取 (QIOR)



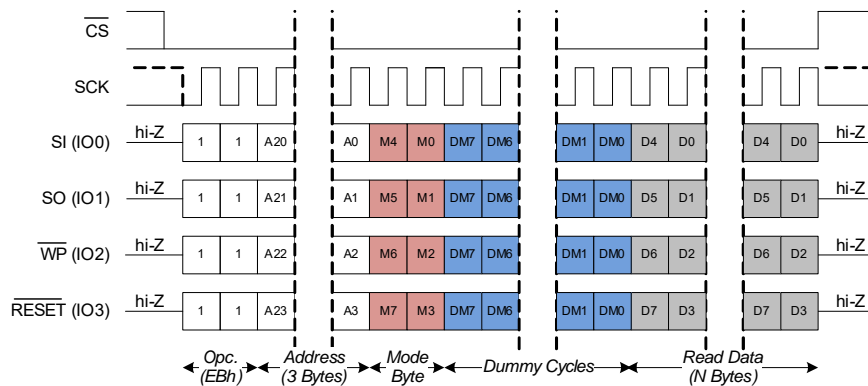
四线 I/O 读取 (QIOR, EBh) — 在 QPI 模式下

在 QSPI 模式下也能够执行 QIOR 的操作码。器件处于 QSPI 模式时，操作码、地址和模式字节将通过四个 I/O 引脚进行传送。特定地址上的数据 (D7-D0) 在 I/O3、I/O2、I/O1 和 I/O0 引脚上被传送，每个时钟周期传送四位 (在 I/O3、I/O2、I/O1 和 I/O0 上分别以 D7、D6、D5 和 D4 开始移出)。

注意:

- 模式位为 !A_{xh} (即 A_{xh} 字节的逻辑 NOT) 时，器件会推出 QIOR 模式。
- 可以通过 CR1 寄存器中的存储器延迟代码位 (MLC0~MLC3) 配置虚拟周期数。

图 64. 在 QPI 模式下的四线 I/O 读取 (QIOR)



DDR 四线 I/O 读取 (DDRQIOR, EDh) — 在扩展式 SPI 模式下

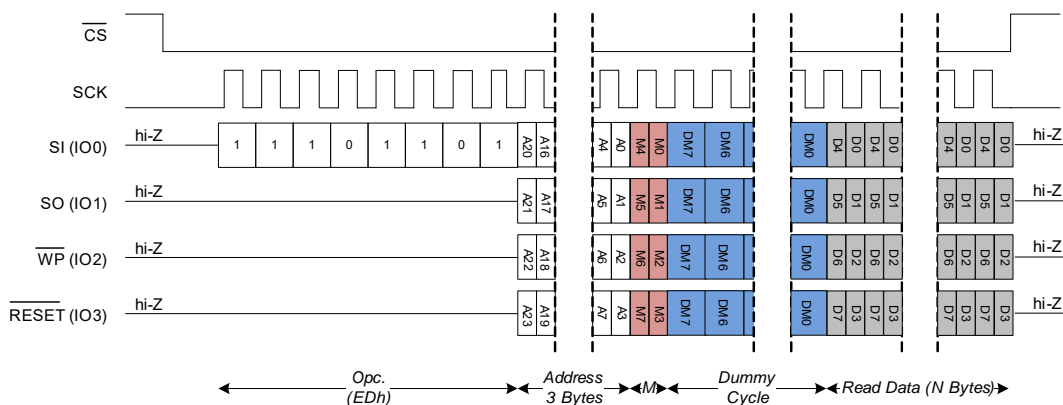
通过使用四个 I/O 信号 SI (I/O0)、SO (I/O1)、WP (I/O2) 和 RESET (I/O3)，DDRQIOR 命令可提高带宽。该命令与四线 I/O 读取命令相同，但它还支持在任意时钟边沿上传送地址位、模式位、虚拟位或数据位。该地址可以从存储器阵列中的任意字节位置开始。输出每一个数据字节后，会按顺序自动递增到下一个更高的地址。因此，只要使用一个读取操作码和已给的地址便可以读取整个存储器的空间。当到达最高地址 0x7FFFFF 时，地址计数器会翻转到起始地址 0x000000，这样允许读取序列继续下去。在虚拟位期间内不应该将 CS 驱动为高电平，否则会使这些虚拟位的状态不确定。

通过模式位，可以在第一个命令发送 A5h 模式位格式后使用一系列 QIOR DDR 命令来消除 8 位操作码。通过这种被称为“芯片内执行” (Execute-In-Place, XIP) 的特性，可明显降低初始访问时间，从而能够提高 XIP 性能。模式位通过添加或清除第一个字节命令操作码来控制下一个 DDR QIOR 操作的长度。如果模式位为 A_{xh}，那么器件会切换为连续 QIOR DDR 模式，并且能够在 CS 被驱动为高电平再被确认为低电平后读取下一个地址 (而不需要 EDh 操作码)，从而可以清除命令序列的 8 个周期。否则，在 CS 被驱动为高电平再被确认为低电平时会需要操作码。该操作码不支持 SPI 模式 3。

注意:

- 必须将配置寄存器 1 中的 QUAD 位 CR1[1] 设置为 ‘1’。
- 模式位为 !A5h (即 A5h 字节的逻辑 NOT) 时，器件会推出 DDRQIOR XIP 模式。
- 可以通过 CR1 寄存器中的存储器延迟代码位 (MLC0~MLC3) 配置虚拟周期数。

图 65. DDR 四线 I/O 读取 (DDRQIOR) — 在扩展式 SPI 模式下



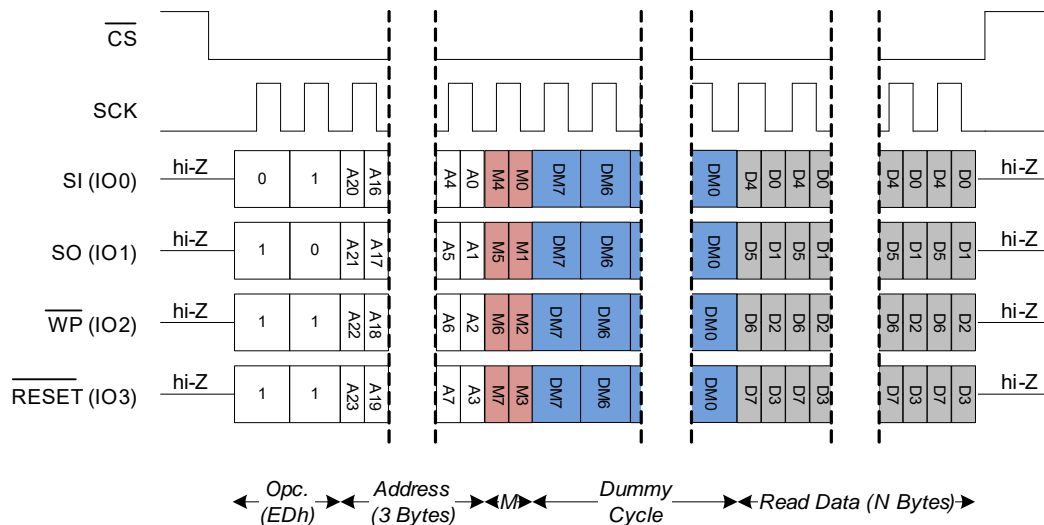
DDR 四线 I/O 读取 (DDRQIOR, EDh) — 在 QPI 模式下

在 QSPI 模式下也能够执行 DDRQIOR 的操作码。针对 QPI 模式下的 DDR 四线 I/O 读取 (DDRQIOR)，数据会以 DDR 模式在 (I/O0、I/O1、I/O2、I/O3) 引脚上被读取，地址和模式位也会以 DDR 模式在 (I/O0、I/O1、I/O2、I/O3) 上得到发送，而操作码则以 SDR 模式在 (I/O0、I/O1、I/O2、I/O3) 上被传送。

注意：

- 模式位为 !A5h (即 A5h 字节的逻辑 NOT) 时，器件会推出 DDRQIOR XIP 模式。
- 可以通过 CR1 寄存器中的存储器延迟代码位 (MLC0~MLC3) 配置虚拟周期数。

图 66. DDR 四线 I/O 读取 (DDRQIOR) — 在 QPI 模式下



特殊扇区存储器访问命令

CY15x104QSN 还提供了一个长度为 256 字节的额外特殊扇区存储器空间。该特殊扇区为所存储的内容提供更高的热可靠性。存

储在该特殊扇区的数据可在最多三个标准回流的周期内保持不变。可以使用该特殊扇区来存储 PCB 模块的详细信息、序列编号的详细信息等内容。特殊扇区存储器访问命令支持 SPI、DPI 和 QPI 模式下执行的操作。

表 42. 特殊扇区存储器访问命令

命令	操作码 (十六进制)	命令说明
SSWR	42	特殊扇区写入 — 256 字节特殊扇区存储器的专用写命令
SSRD	4B	特殊扇区读取 — 256 字节特殊扇区存储器的专用读命令

表 43. 特殊扇区存储器访问命令的详情

操作码 (十六进制)	地址长度	SPI 总线接口							数据传输		存储器 延迟	XIP	最大时钟 频率
		SPI	双线 数据	四线 数据	双线 I/O	四线 I/O	DPI	QPI	SDR	DDR	虚拟周期	芯片内 执行	
42		支持	不适用				支持	支持	支持	不适用	不适用	不适用	108 MHz
4B		支持	不适用				支持	支持	支持	不适用	支持	不适用	108 MHz

特殊扇区写操作 (SSWR, 42h)

将 SSWR 命令操作码和写数据传送给 SI 引脚 (SPI 模式下)、或 I/O1 和 I/O0 引脚 (DPI 模式下) 或 I/O3、I/O2、I/O1 和 I/O0 引脚 (QPI 模式下) 时, 器件将执行特殊扇区写入操作。可通过突发写入模式来写入连续的地址, 而不需要发出新的 SSWR 命令。如果只写入一个字节, 发送 D0 (数据的 LSB) 后必须将 CS 引脚置为高电平。如果要写入多个字节, 则可以使 CS 引脚保持低电平状态, 地址会自动被递增。输入引脚上的数据字节被写入到连续地址内。一旦内部地址计数器自动递增到 0xFF, CS 将切换为高电平, 以便终止进行中的 SSWR 操作。优先写入数据的最高有效位。CS 的边沿上升时会终止写操作。

注意:

- 3 字节地址包含扇区地址的低 8 位 (A7-A0)。3 字节地址的其余 16 个最高有效位应被设置为 '0'。
- 只有将 SR1 中的写入使能锁存位 (WEL) 设置为 '1' 来使能写操作时, 器件才能执行 SSWR 命令。
- 终止 SSWR 命令后 (即在 CS 的上升沿上), SR1 中的 WEL 位 (SR1[1]) 自动被清除为 0。

图 67. SPI 模式下的特殊扇区写入 (SSWR) (WREN 未显示)

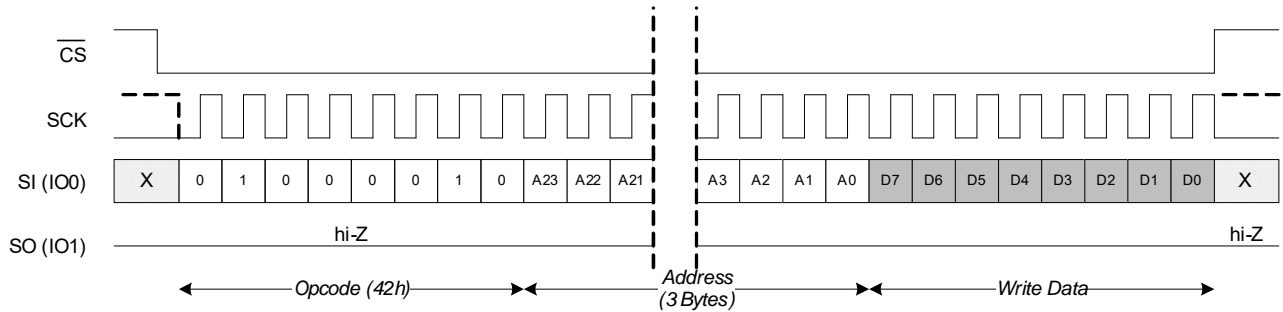


图 68. DPI 模式下的特殊扇区写入 (SSWR) (WREN 未显示)

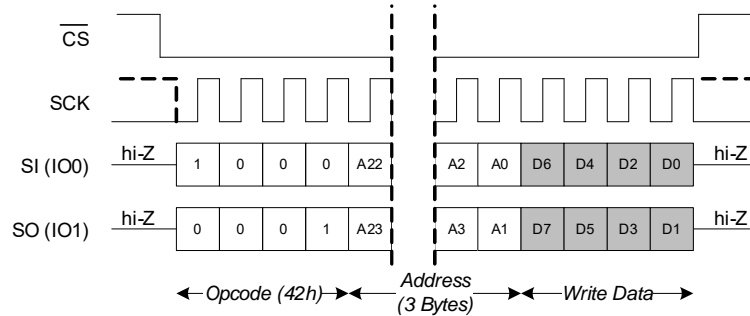
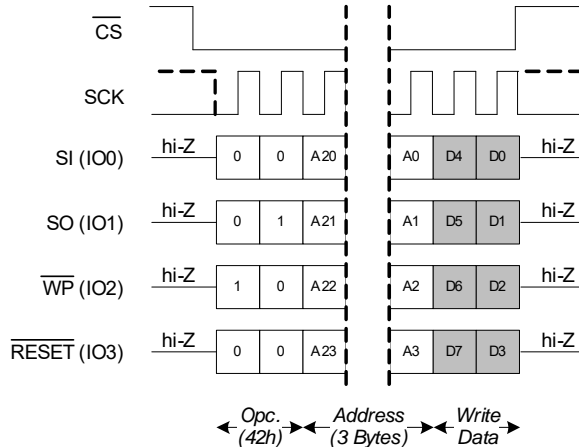


图 69. QPI 模式下的特殊扇区写入 (SSWR) (WREN 未显示)



特殊扇区读 (SSRD, 4Bh)

通过 SSRD 命令, 可以对存储器内的已给地址进行读取数据。该地址可以从 256 字节的特殊扇区存储器中的任意字节位置开始, 具体取决于 3 字节地址。输出每一个数据字节后, 会按顺序自动递增到下一个更高的地址。因此, 只要使用一个特殊扇区读取操作码和已给的地址便可以读取整个 256 字节的特殊扇区的内容。一旦内部地址计数器自动递增到 0xFF, 并且主机仍在 SCK 边沿上提供时钟, 那么器件会返回未定义的数据字节。

注意:

- 3 字节地址包含扇区地址的低 8 位 (A7~A0)。3 字节地址的其余 16 个最高有效位应被设置为 '0'。
- 可以通过 CR1 寄存器中的存储器延迟代码位 (MLC0~MLC3) 配置虚拟周期数。
- 特殊扇区 F-RAM 保证用户数据可在多达三个标准回流焊的周期内保持不变。

图 70. SPI 模式下的特殊扇区读 (SSRD)

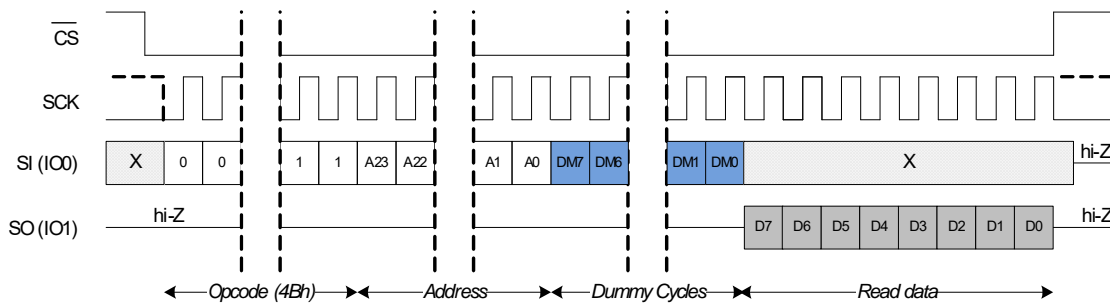


图 71. DPI 模式下的特殊扇区读 (SSRD)

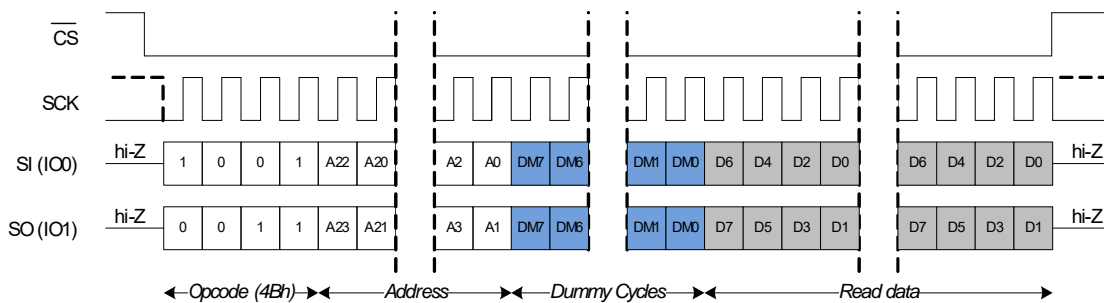
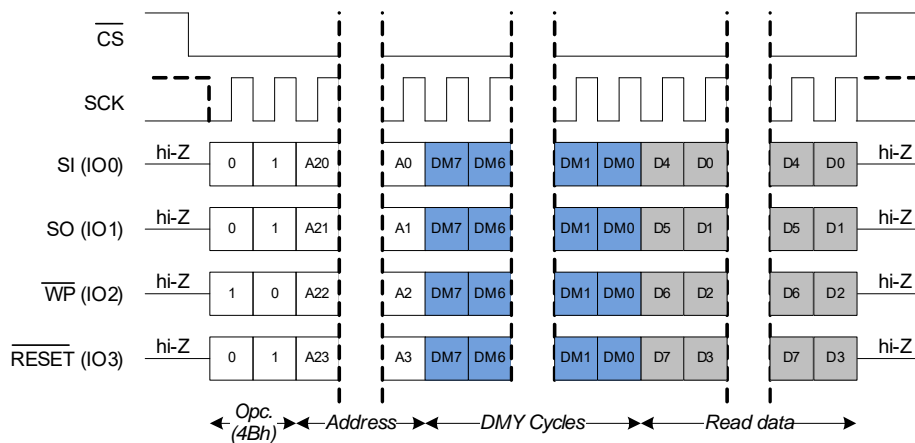


图 72. QPI 模式下的特殊扇区读 (SSRD)



纠错码 (ECC) 和循环冗余校验命令

纠错码 (ECC)

CY15x104QSN 提供了一个内置硬件纠错码 (ECC)，用于对 8 字节 (64 位) 数据单元进行双比特错误检测和报告。由于在写周期 (刷新周期) 后都会进行 F-RAM 读取操作，所检测到的单比特错误会自动得到纠正，并在刷新周期内被重新写入到 F-RAM 阵列中。CY15x104QSN 不会报告单比特错误检测，这是因为在相同的数据单元上的后续 ECC 检测将不会重现相同的单比特错误。

CY15x104QSN ECC 始终被使能，并在运行期间观察以下行为：

- 一旦在 F-RAM 读取操作过程中检测到双比特错误，CY15x104QSN 会将 ECC 状态寄存器 (ECCSR) 中的 '2BD' 标志位设置为 '1' (ECCSR 在 POR、复位或 CLECC 事件发生后被清除)，并且捕获 4 字节 ADDRTRAP 寄存器内的相应数据单元地址。
- ADDRTRAP 寄存器的前 3 个最低有效字节会用于存储 POR、复位事件发生后或执行 CLECC 后在 8 字节单位数据中所检测到的第一个双比特错误的 3 字节数据单元地址。后续发生的任意双比特错误都不会将最新的数据单元地址盖写到 ADDRTRAP 寄存器内。

■ CY15x104QSN 提供了一个双字节 ECC 检测计数 (ECCDC) 寄存器，每次检测到双比特错误时该寄存器都会加 '1'。在 POR 或任意复位事件发生后，或在执行 CLECC 命令后，ECCDC 寄存器将被清除。

■ 用户可以通过读取 ADDRTRAP 寄存器内的非零值 (在双比特错误被检测在地址 0x00000 的情况除外)、或者读取 ECCSR 寄存器中的 '2BD' 标志位、或读取 ECCDC 寄存器内的非零值，来确定是否检测到双比特错误。

■ 此外，CY15x104QSN 还支持 ECCRD (19h) 命令。该命令通过将 ECCSR 寄存器中与 ECCRD 命令一同发送的单元地址的错误标志位 '2BD' 设置为 '1' 来返回 8 位数据单元的双比特错误检测状态。

256 字节特殊扇区存储器、状态和配置寄存器不支持 ECC。

ECC 状态寄存器

ECC 的状态通过 ECC 状态寄存器 (ECCSR) 表示。有关 ECCSR 的详细信息如表 45 中所示。只有使用 RDAR 命令 (如第 37 页上的读取任何寄存器 (RDAR, 65h) 一节中所述) 时，才能读取 ECCSR 寄存器的内容。ECCRD 命令将返回数据单元的 ECCSR 状态。数据单元被定义为用于计算 ECC 的字节数量。CY15x104QSN 有 8 字节的数据单元。

表 44. ECC 状态寄存器

ECCSR[7]	ECCSR[6]	ECCSR[5]	ECCSR[4]	ECCSR[3]	ECCSR[2]	ECCSR[1]	ECCSR[0]
RFU (0)	RFU (0)	RFU (0)	2BD (0)	RFU (0)	RFU (0)	RFU (0)	RFU (0)

表 45. EEC 状态寄存器 — 仅适用于易失性寄存器

位	位名	位功能	类型	读 / 写	说明
ECCSR[7]	RFU	预留 (0)			保留供将来使用
ECCSR[6]	RFU	预留 (0)			保留供将来使用
ECCSR[5]	RFU	预留 (0)			保留供将来使用
ECCSR[4]	2BD	双比特 ECC 检测	V	R	1 = 进行最后 ECCSR 清楚命令 (CLECC) 后，将发生双比特错误检测 0 = 进行最后 ECCSR 清楚命令 (CLECC) 后，将不发生双比特错误检测
ECCSR[3]	RFU	预留 (0)			保留供将来使用
ECCSR[2]	RFU	预留 (0)			保留供将来使用
ECCSR[1]	RFU	预留 (0)			保留供将来使用
ECCSR[0]	RFU	预留 (0)			保留供将来使用

V - 易失性

双比特 ECC 检测 (2BD) ECCSR [4]:

该位表示最后一次清除 ECC 状态寄存器后在读取数据时检测到一个双比特 ECC。CLECC 命令将 2BD 位复位为 '0'。

ECC 检测计数器 (ECCDC)

ECC 检测计数器 (ECCDC) 寄存器是一个 2 字节的易失性寄存器，用于存储在存储器读取操作过程中 (从最后的 POR 或复位事件发生或执行 CLECC 命令之后) 所发生的双比特错误检测次数。只有使用 RDAR 命令 (如第 37 页上的读取任何寄存器

(RDAR, 65h) 一节中所述) 时，才能读取 ECCDC 寄存器的内容。

注意:

■ ECCDC 计数到 0xFFFF 时，ECCDC 会停止递增。

■ ECCDC 在深度掉电 (DPD) 模式下会丢失其保存的内容；退出 DPD 模式时会返回 0x0000。

表 46. ECC 检测计数寄存器 (ECCDC)

位	名称	功能	类型	读 / 写	默认状态	说明
15:0	ECCDC	ECC 双比特错误检测计数	V	R	0x0000	从最后 POR 或任意复位事件后的双比特 ECC 检测总计数 CLECC 命令将不清楚该寄存器。

V — 易失性

地址陷阱寄存器 (ADDTRAP)

地址陷阱寄存器 (ADDTRAP) 是一个 4 字节的易失性寄存器，用于存储 ECC 数据单元地址。在读取存储器过程中可能会检测到该地址上的双比特错误。ADDTRAP 寄存器存储着第一个 ECC 数据单元的地址（其中，从最后一次执行清除 ECC 命令 (CLECC) 或发生 POR 或复位事件起在该地址上检测到双比特

错误）。检测到双比特错误的后续数据单元的地址将不被捕获到 ADDTRAP 寄存器内。在这种情况下，只有 ECCDC 递增计数。只有使用 RDAR 命令（如第 37 页上的读取任何寄存器 (RDAR, 65h) 一节中所述）时，才能读取 ADDTRAP 寄存器的内容。

注意：ADDTRAP 寄存器在深度掉电 (DPD) 模式下会失去其内容；推出 DPD 模式时会返回 0x00000000。

表 47. 地址陷阱寄存器

位	名称	功能	类型	读 / 写	默认状态	说明
31:0	ADDTRAP	存储 ECC 地址	V	R	0x00000000	存储发生双比特 ECC 检测时的数据单元地址

V - 易失性

ECC 命令

下面内容说明了 CY15x104QSN ECC 命令。

表 48. ECC 命令

命令 (十六进制)	操作码	命令说明
ECCRD	19	ECC 状态读取 — 确定数据单元地址的 ECC 状态
CLECC	1B	清除 ECC 寄存器 — ECC 标志和地址陷阱寄存器

表 49. ECC 命令详情

操作码 (十六进制)	地址长度	SPI 总线接口							数据传输		存储器 延迟	XIP	最大时钟 频率
		SPI	双线 数据	四线 数据	双线 I/O	四线 I/O	DPI	QPI	SDR	DDR	虚拟周期	芯片内 执行	
19	三个字节	支持	不适用				支持	支持	支持	不适用	支持	不适用	108 MHz
1B	不适用	支持	不适用				支持	支持	支持	不适用	不适用	不适用	108 MHz

ECC 状态读取 (ECCRD, 19h)

ECCRD 命令用于确定数据单元地址的双比特错误检测状态。因此， \overline{CS} 被下拉为低电平状态，并且在发送 ECCRD 命令后再发送 ECC 数据单元地址（其中，该地址的 3 个最低有效位 (LSb) 应被设置为 0）。即使该地址的最低有效位未被置“0”，但它们也会被内部忽略，并且数据单元的起始地址则由其余的最高有效位决定。

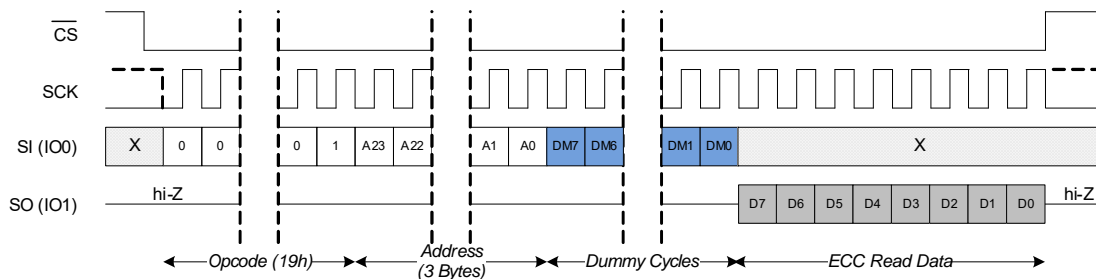
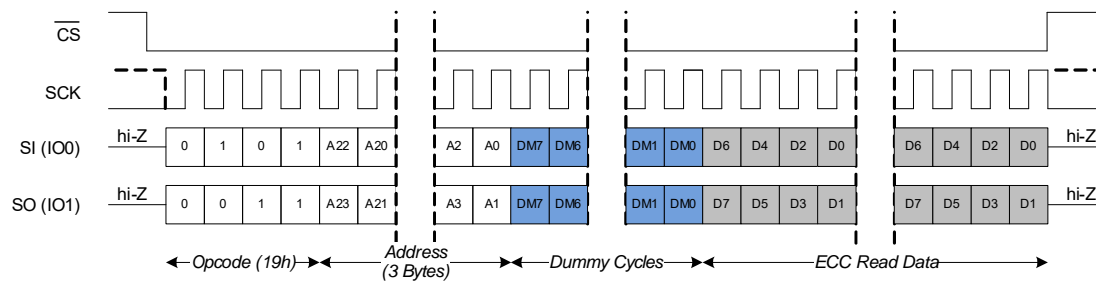
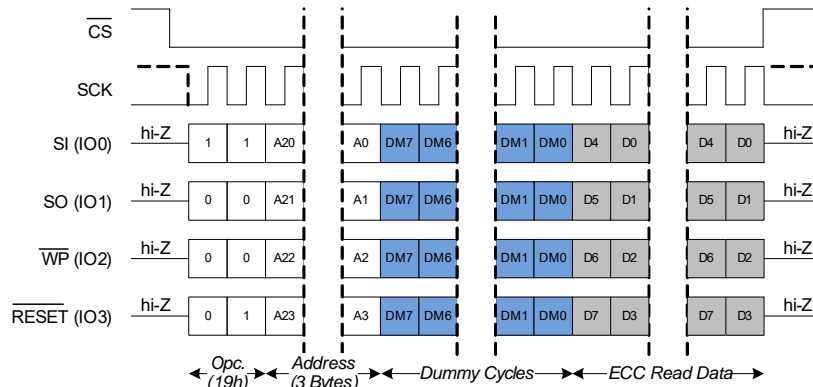
这些地址字节后面是虚拟周期数（虚拟周期数则由用于存储器读取的读取延迟值选定的）。8 位 ECC 状态通过输出线移出。8 位 ECC 状态得到读取后，必须将 \overline{CS} 上拉为高电平。

注意：

- 如果 8 位 ECC 状态得到读取后 \overline{CS} 仍保持低电平，则后续的 ECC 状态数据将不被确定。需要发送新 ECCRD 命令和下一个单元地址，以便能够读取下一个数据单元的 ECC 状态。
- 可以通过 CR1 寄存器中的存储器延迟代码位 (MLC0~MLC3) 配置虚拟周期数。

表 50. 数据单元 ECC 状态字节详情

位	名称	功能	读 / 写	默认状态	说明
7	RFU	预留		0	保留供将来使用
6	RFU	预留		0	保留供将来使用
5	RFU	预留		0	保留供将来使用
4	RFU	预留		0	保留供将来使用
3	EECC2D	ECC 单元中的双比特错误	R	0	1 = ECC 单元中检测到的双比特错误 0 = 没有错误
2	RFU	预留		0	保留供将来使用
1	RFU	预留		0	保留供将来使用
0	RFU	预留		0	保留供将来使用

图 73. SPI 模式下的 ECC 读取 (ECCRD)

图 74. DPI 模式下的 ECC 读取 (ECCRD)

图 75. QPI 模式下的 ECC 读取 (ECCRD)


CLECC 指令将清除所有 ECC 标志、ADDTRAP 和 ECCDC 寄存器。执行 CLECC 指令前，不需要设置 WEL 位。

图 76. SPI 模式下的清除 ECC (CLECC)

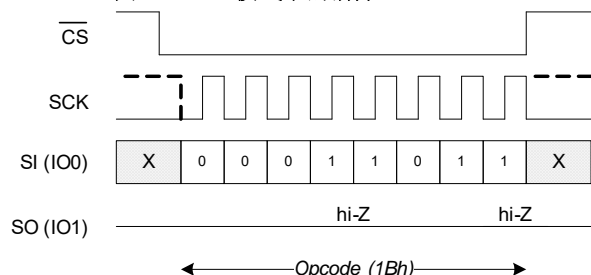


图 77. DPI 模式下的清除 ECC (CLECC)

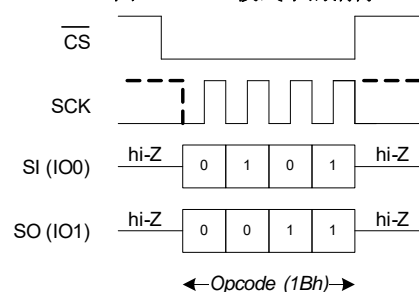
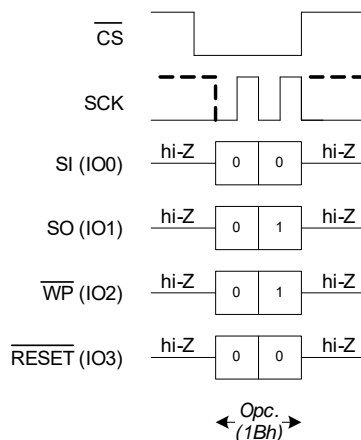


图 78. QPI 模式下的清除 ECC (CLECC)



循环冗余校验 (CRC)

CY15x104QSN 提供了一个内置循环冗余校验 (CRC) 引擎, 用于计算存储在存储器阵列中数据的校验序列。256 字节特别扇区存储器、状态和配置寄存器不支持 CRC。

CY15x104QSN 支持以下 CRC 操作码。

表 51. CRC 访问命令

命令	操作码 (十六进制)	命令说明
CRCC	5B	CRC 计算 — 可以在用户定义的地址范围内实现 CRC 计算
EPCS	75	CRC 挂起 — 中断 CRCC 操作，并允许其他访问
EPCCR1	7A	CRC 恢复 — 恢复正在挂起的 CRCC 操作

表 52. CRC 访问命令的详细信息

操作码 (十六进制)	地址长度	SPI 总线接口						数据传输		存储器 延迟	XIP	最大时钟 频率	
		SPI	双线 数据	四线 数据	双线 I/O	四线 I/O	DPI	QPI	SDR	DDR	虚拟周期		芯片内 执行
5B	不适用	支持	不适用				支持	支持	支持	不适用	不适用	不适用	108 MHz
75	不适用	支持	不适用				支持	支持	支持	不适用	不适用	不适用	108 MHz
7A	不适用	支持	不适用				支持	支持	支持	不适用	不适用	不适用	108 MHz

数据 CRC 计算 (CRCC, 5Bh)

通过校验值计算指令序列，CY15x104QSN 可以在用户定义的地址范围内计算循环冗余校验 (CRC) 值。使能数据 CRC 的 CY15x104QSN 器件将为每个数据块计算固定长度的二进制系列 (也称为 CRC 校验和)，然后将数据和其 CRC 校验和发送给主机。主机收到数据块时，将重新计算 CRC 校验和。如果新计算的 CRC 校验和同之前收到的校验和不匹配，有错误的数据块和主机将采取纠正措施，如要求重新发送数据块。

CRCC 计算过程会计算出从起始地址到结束地址中所包含数据的校验值。

依次输入操作码、起始地址和结束地址，便开始执行 CRC 计算指令。锁定结束地址后，必须将 CS 驱动为高电平。随后，内部 CRC 计算过程会计算出从起始地址到结束地址中所包含数据的校验值。如果锁存地址的最后一位之后不将 CS 驱动为高电平，则不会执行 CRC 计算操作。CRCC 命令不会检查 WEL 的状态。但是，如果执行 CRC 命令前将 WEL 设置为 1，那么完成该命令后，WEL 被清除为 0。

结束地址 (EA) 最少要比起始地址 (SA) 大一个 32 位对齐字。如果 $EA < SA + 3$ ，CRC 计算命令将中止计算校验值，并且器件将返回到待机模式。CRC 中止 (CRCA) 位被设置 (SR2[3] = 1)，表示中止状态，并且 CRC 寄存器 (CRCR) 将保存不确定的数据。

在 CRC 计算过程中，CY15x104QSN 将 SR1 的 WIP 位 (SR1[0]) 设置为 1。用户可以轮询 WIP 状态，从而确定进行中的 CRCC 操作是否完成、可不可以访问器件。CRC 计算操作正在执行时，WIP 位被置 1。该操作完成后，WIP 位被清除为 0。CRC 寄存器 (CRCR) 保存 CRC 计算过程的结果。CRC 寄存器的详细内容如表 53 所述。通过使用读取任何寄存器 (RDAR) 命令 (如第 37 页上的读取任何寄存器 (RDAR, 65h) 所述) 读取 CRC 寄存器，从而可以获得 CRC 校验值的位 0-31。

每次启动 CRC 计算操作时，CRC 寄存器位都被初始化为全 0 (0x00000000)。POR 事件或任何复位事件将使 CRC 寄存器值全部初始化为 0。

通过使用 CRC 挂起命令 (EPCS, B0h) 暂停校验值计算，可以读取存储器阵列或寄存器中的数据。在挂起状态中，状态寄存器 2 中的 CRC 挂起状态位 (CRCS) 将被置位 (SR2[4] = 1)。计算操作被挂起时，主机可以读取状态寄存器和存储阵列中的数据，并且能够使用 CRC 恢复命令 (EPCR, 30h) 来恢复 CRC 计算操作。CY15x104QSN 需要 t_{CRCC} 时间对 SA 和 EA 间所包含的数据 (包括在 SA 和 EA 上的数据) 进行 CRC 校验和计算。

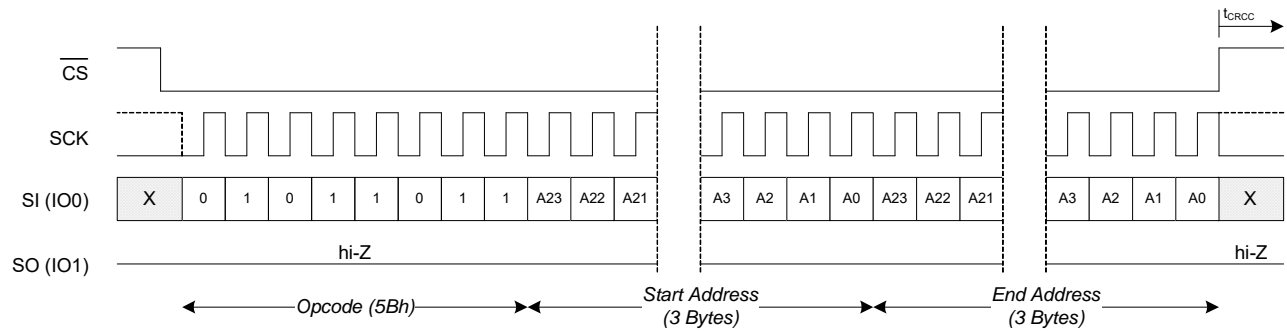
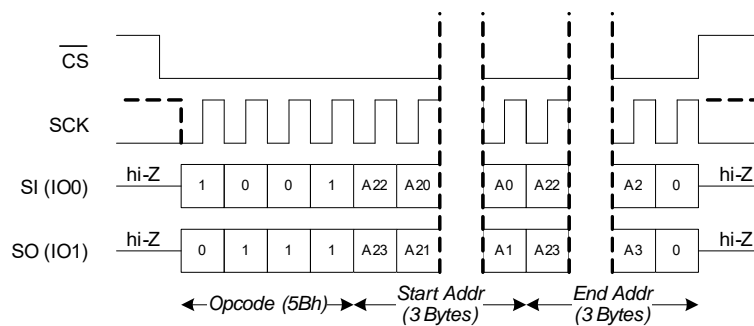
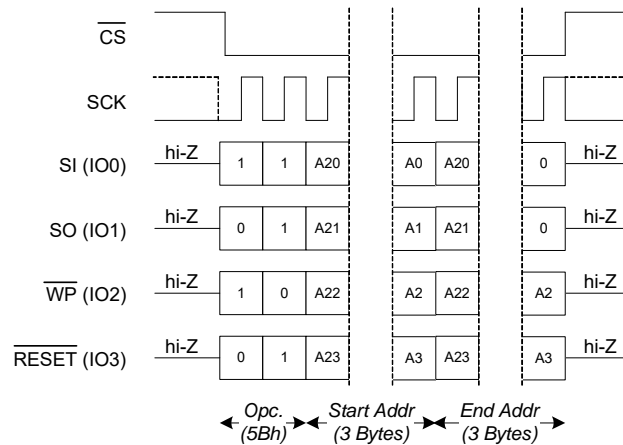
32 位 CRC (CRC-32C) 的多项式 (0x1EDC6F41) 被定义如下内容：

$$32X + 28X + 27X + 26X + 25X + 23X + 22X + 20X + 19X + 18X + 14X + 13X + 11X + 10X + 9X + 8X + 6X + 1X$$

注意：4 字节存储器数据被内部读取为 {data[7:0], data[15:8], data[23:16], data[31:24]} 进行 CRC 计算。

表 53. CRC 寄存器说明

位	名称	功能	默认状态	说明
31:0	CRCR	校验 CRC 值	0x00000000	进行 CRC 计算 (CRCC 命令) 后存储 CRC 校验值的易失性寄存器。

图 79. SPI 模式下的 CRC 计算 (CRCC)

图 80. DPI 模式下的 CRC 计算 (CRCC)

图 81. QPI 模式下的 CRC 计算 (CRCC)


CRC 挂起 (EPCS, 75h)

通过使用 EPCS，系统可以中断正在进行的 CRCC 操作，并在 CRC 操作挂起状态下允许进行其它访问。在 CRC 挂起状态下可以执行的命令有：READ、RDSR1、RDSR2、FAST_READ、DDRFr、ECCRD、CLECC、RDCR1、DOR、RDCR2、RDCR4、SSRD、RDCR5、RDAR、RSTEN、QOR、EPCR、RST、RDID、DIOR、RDSN、QIOR 以及 DDRQIOR。

只有在进行 CRC 计算操作过程中，CRC 挂起命令才有效。通过检查状态寄存器 2 (SR2) 可以确定 CRCC 操作被挂起还是完成。CRC 状态位表示状态寄存器 1 中的 WIP 状态位改为 0 时 CRCC 操作是否被挂起还是已经完成。EPCS 需要 t_{CRCS} 时间来处理 CRC 挂起状态，并且 WIP 位保持状态为 1。如果在完全处理 EPCS 命令前完成了 CRCC 计算，则 SR2 中的 CRCS 位 (SR2[4]) 不会被置 1，表示尚未执行 EPCS。

图 82. SPI 模式下的 CRC 挂起 (EPCS)

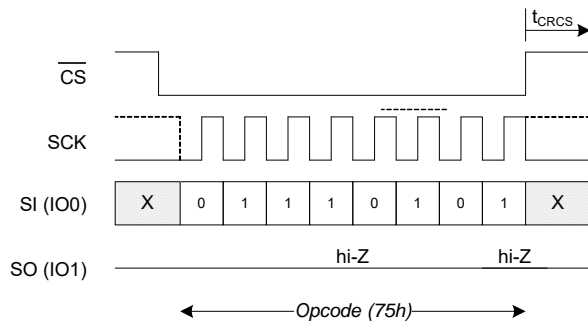


图 83. DPI 模式下的 CRC 挂起 (EPCS)

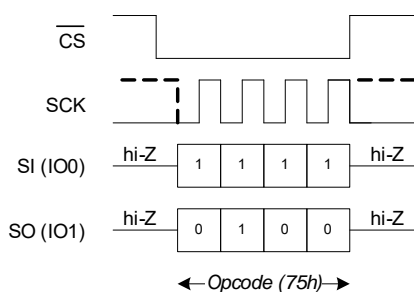
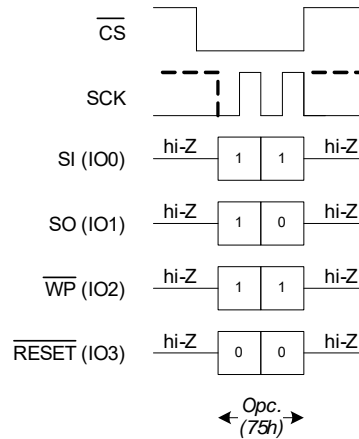


图 84. QPI 模式下的 CRC 挂起 (EPCS)



CRC 恢复 (EPCR, 7Ah)

通过使用 EPCR 可以恢复正在挂起的 CRCC 操作。发生 CRC 恢复指令后，WIP 位被置 1。可以根据需要频繁地中断 CRCC 操作。仅在 SR2 的 CRCS 位 (SR2[4]) 被设置为 1 时，才能通过 EPCR 恢复被挂起的 CRCC 操作。否则，将忽略 EPCR 命令。发生 EPCR 指令后，WIP 位被设置为 1。可以根据需要频繁地中断和恢复 CRCC 操作。

EPCR 需要 t_{CRCR} 时间来处理命令并对剩下的数据字节（直到结束地址为止）恢复 CRC 计算操作。

图 85. SPI 模式下的 CRC 恢复 (EPCR)

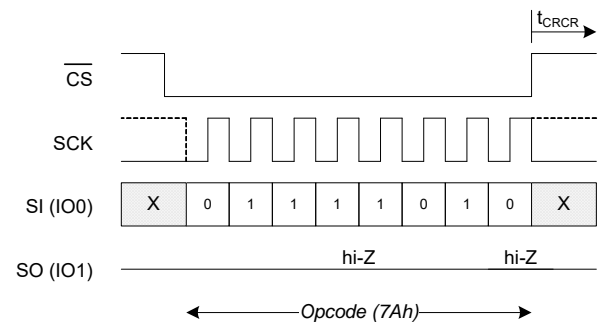


图 86. DPI 模式下的 CRC 恢复 (EPCR)

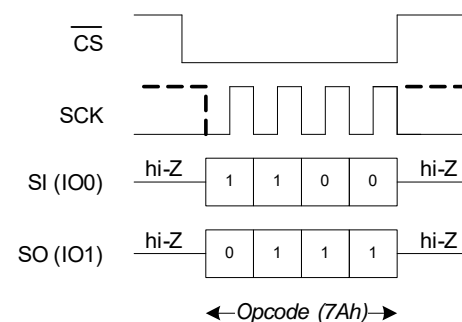
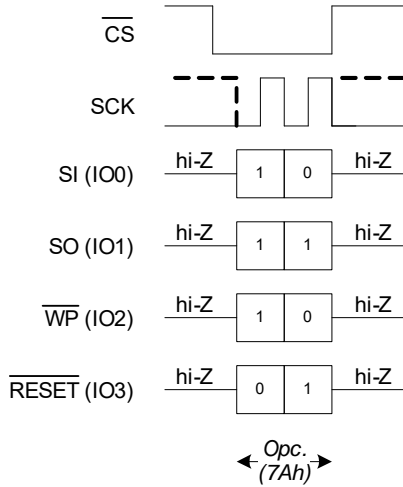


图 87. QPI 模式下的 CRC 恢复 (EPCR)



标识和序列号指令

CY15x104QSN 器件提供三种不同的标识 (包括器件 ID 和唯一 ID) 特性, 它们是 8 字节只读寄存器和 8 字节可写序列号寄存器。每个寄存器的具体内容将在下面各节详细介绍。

读取器件 ID (RDID, 9Fh)

可以询问 CY15x104QSN 器件的制造商、产品标识和晶圆版本。通过使用 RDID 操作码 9Fh, 用户可以读取 8 字节长的制造商 ID 和产品 ID, 这两个 ID 都是只读字节。器件 ID 字段如器件 ID 字段寄存器表中所示。相应器件编号的器件 ID 如第 87 页上的订购信息所示。

注意:

- 所示的虚拟周期是通过 CR5 中寄存器等待时间码位 (RLC0、RLC1) 配置的选项。
- RDID 数据优先 — LSb 最先移出, MSb 最后移出。RDID 命令不支持回卷。在第八字节后面, 如果主机继续提供时钟, 器件将返回未定义的数据字节。

表 54. 器件 ID 字段

位 (位数)	63–32 (32 位)	31–21 (11 位)	20–8 (13 位)	7–3 (5 位)	2–0 (3 位)
说明	00000000000000000000000000000000 (预留)	00000110100 (制造商 ID)	产品 ID	容量 ID	芯片版本

图 88. SPI 模式下的读取器件 ID (RDID)

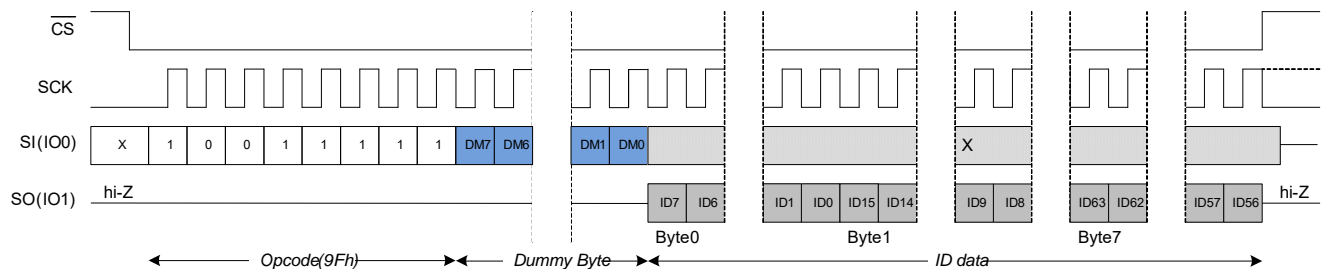


图 89. DPI 模式下的读取器件 ID (RDID)

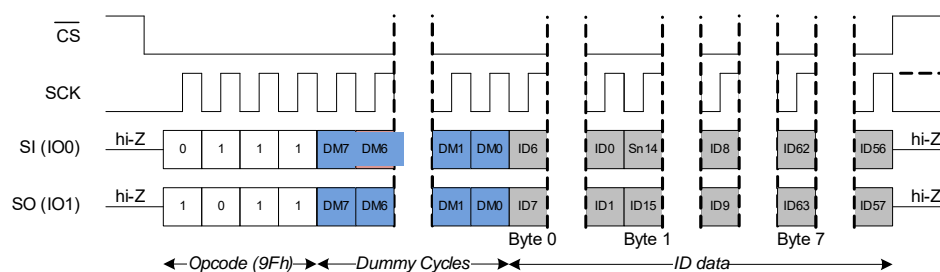
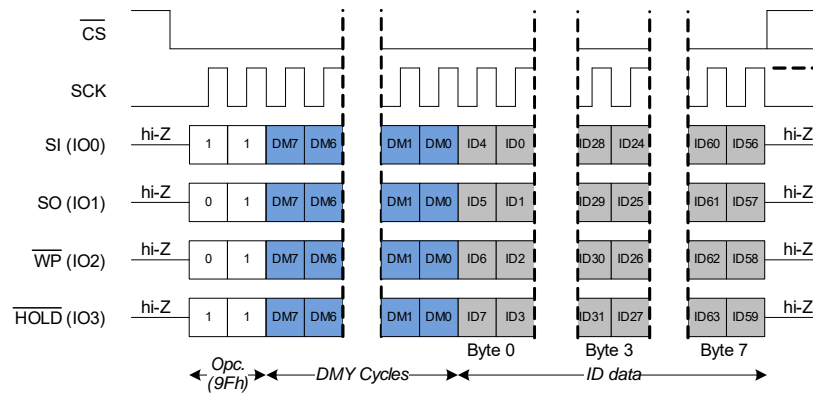


图 90. QPI 模式下的读取器件 ID (RDID)

读取唯一 ID (RUID, 4Ch)

可以询问 CY15x104QSN 器件的唯一 ID，该 ID 是每个器件唯一的出厂设置 64 位编号。通过使用 RUID 操作码 4Ch，用户可以读取 8 字节唯一 ID，该 ID 是只读字节。

注意：

- 所示的虚拟周期是通过 CR5 中寄存器等待时间码位 (RLC0、RLC1) 配置的选项。
- RUID 数据优先 — LSb 最先移出，MSb 最后移出。RDID 命令不支持回卷。在第八字节后面，如果主机继续提供时钟，器件将返回未定义的数据字节。
- 唯一 ID 寄存器保证可以在多达三个标准回流焊的周期内保持用户数据。

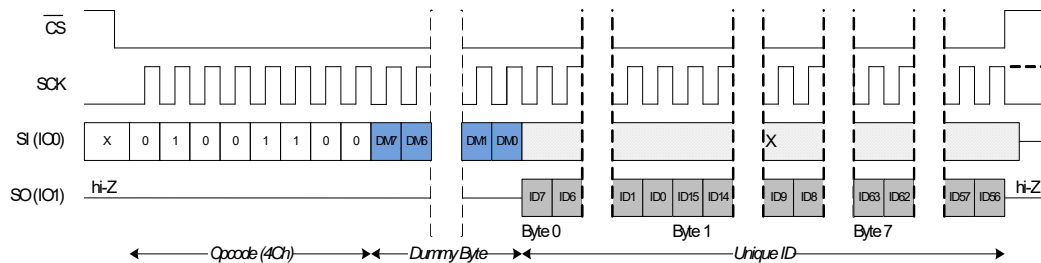
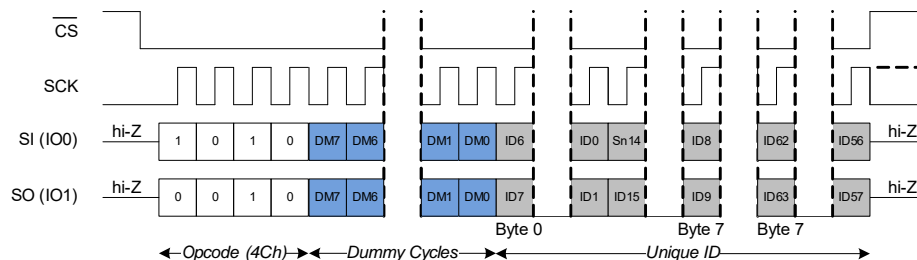
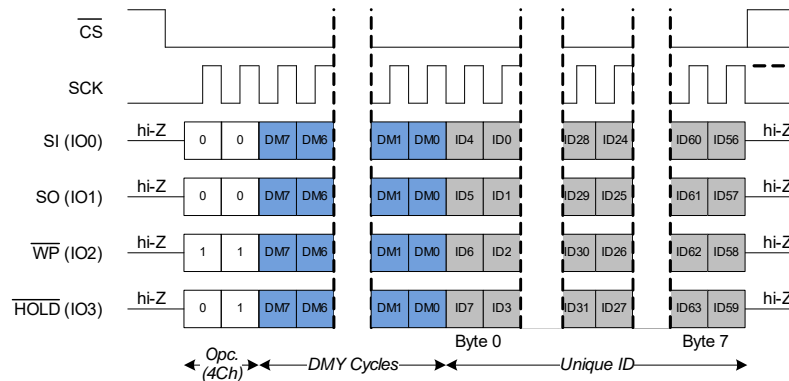
图 91. SPI 模式下的读取唯一 ID

图 92. DPI 模式下的读取唯一 ID


图 93. QPI 模式下的读取唯一 ID

写入序列号 (WRSN, C2h)

序列号是一个 8 字节的可编程存储空间，它用于对 PC 电路板或系统进行唯一识别。序列号通常由一个 2 字节的客户 ID、五字节的唯一序列号以及一个字节的 CRC 校验组成。然而，对于 8 字节序列号，最终应用可以定义自己的格式。对序列号寄存器进行的所有写操作都始于 WREN 操作码，这时将依次确认和取消确认 CS。下一个操作码是 WRSN。可在突发模式下采用 WRSN 指令写入 8 字节的序列号。移入序列号的最后字节后，必须将 CS 置为高电平以完成 WRSN 操作。

注意：

- 只有将状态寄存器中的写入使能锁存位 (WEL) 设置为 1 来使能写操作时，器件才能执行 WRSN 指令。完成 WRSN 操作时，写入使能锁存 (WEL) 位将被设置为 0。
- WRSN 数据优先 — LSb 最先移入，MSb 最后移入。
- 器件不会计算 7 字节 ID 的 CRC 校验和。系统固件必须计算 7 字节用户定义序列号的 CRC 校验和并将其附加到 7 字节序列号上，然后将 8 字节序列号编程到序列号寄存器内。8 字节序列号的出厂默认值为 “0x0000000000000000”。
- 终止 WRSN 命令后（在 CS 的上升沿上），WEL 位自动被清除为 0。
- 必须输入整 8 个字节，否则不会执行序列号写入 (WRSN) 操作。

表 55. 8 字节序列号

16 位客户标识符		40 位唯一编号					8 位 CRC
SN[63:56]	SN[55:48]	SN[47:40]	SN[39:32]	SN[31:24]	SN[23:16]	SN[15:8]	SN[7:0]

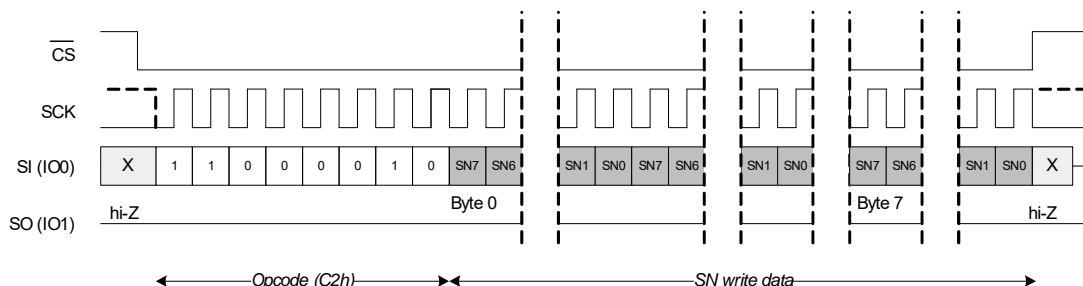
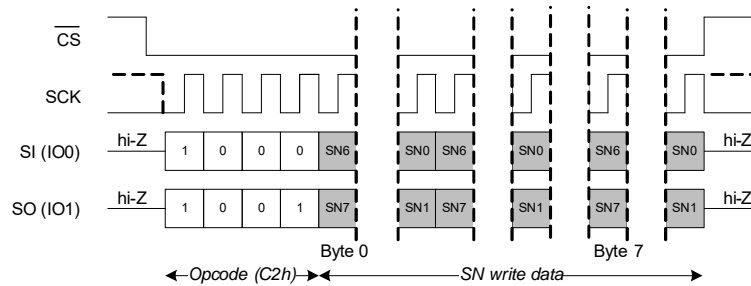
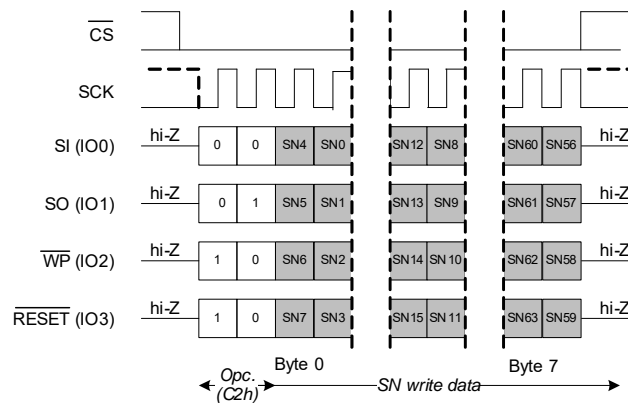
图 94. SPI 模式下的写入序列号（不显示 WREN）


图 95. DPI 模式下的写入序列号（不显示 WREN）

图 96. QPI 模式下的写入序列号（不显示 WREN）


读取序列号（RDSN, C3h）

CY15x104QSN 包含一个用于唯一识别器件的 8 字节串行空间。通过使用 RDSN 指令可以读取序列号。可以在突发模式下读取序列号，实现一次性读取所有八个字节。读取序列号的最后一个字节后，主机必须停止提供时钟并驱动 CS 为高电平以终止 RDSN 命令。CS 转为低电平后，通过移入 RDSN 的操作码可以发送 RDSN 指令。

注意：

- 所示的虚拟周期是通过 CR5 中寄存器等待时间码位（RLC0、RLC1）配置的选项。
- Lsb 最先移出，MSb 最后移出。在第八字节后面，如果主机继续提供时钟，器件将返回未定义的数据字节。

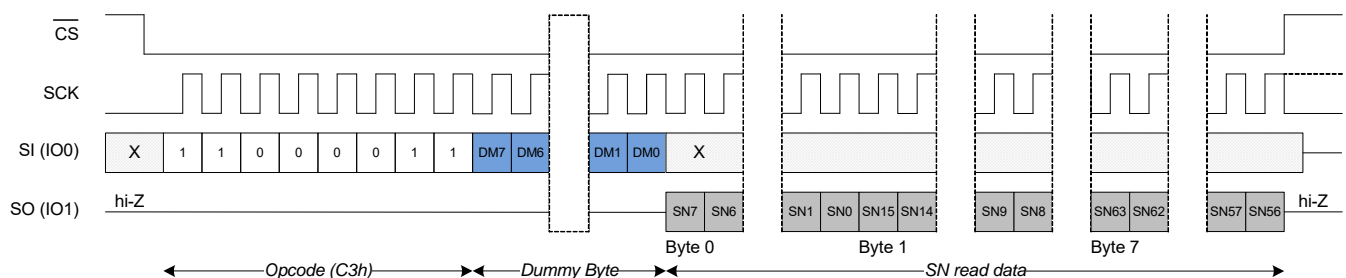
图 97. SPI 模式下的读取序列号（RDSN）


图 98. DPI 模式下的读取序列号 (RDSN)

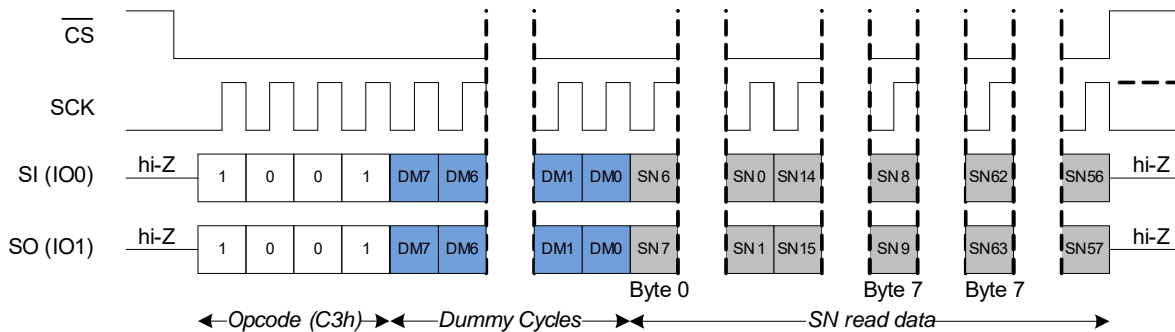
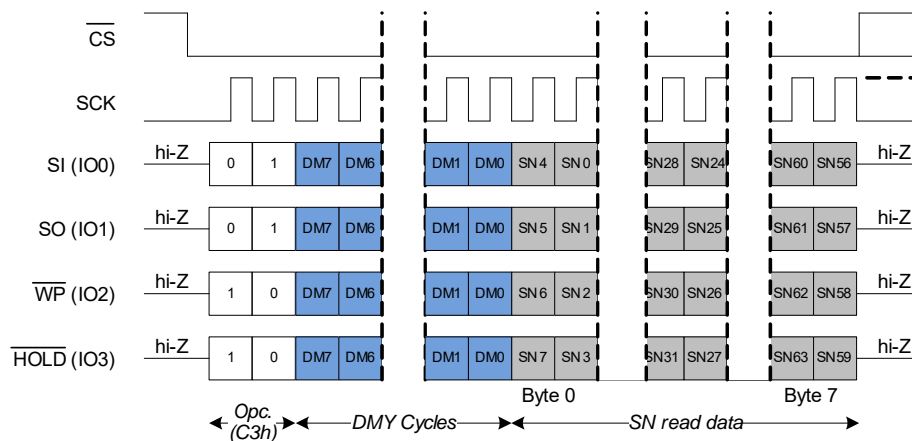


图 99. QPI 模式下的读取序列号 (RDSN)



低功耗模式与复位

表 56. 功耗模式和复位命令

命令	操作码 (十六进制)	命令说明
DPD	B9	深度掉电 — 进入深度掉电功耗模式
HBN	BA	待机模式 — 进入待机功耗模式
RSTEN	66	复位使能 — 用于使能软件复位的命令
RST	99	软件复位 — 用于初始软件复位的命令

表 57. 功耗模式和复位命令说明

操作码 (十六进制)	地址长度	SPI 总线接口						数据传输		延迟 (无)	XIP	最大时钟 频率	
		SPI	双 线 数 据	四 线 数 据	双 线 I/O	四 线 I/O	DPI	QPI	SDR	DDR	虚拟周期		芯片内 执行
B9	不适用	支持	不适用				支持	支持	支持	不适用	不适用	不适用	108 MHz
BA	不适用	支持	不适用				支持	支持	支持	不适用	不适用	不适用	108 MHz
66	NA	支持	不适用				支持	支持	支持	不适用	不适用	不适用	108 MHz
99	不适用	支持	不适用				支持	支持	支持	不适用	不适用	不适用	108 MHz

深度掉电模式 (DPD, B9h)

当收到 DPD 操作码 B9 并处于 \overline{CS} 上升沿时, 器件将进入深度掉电模式。在深度掉电模式下, 将忽略 SCK 和 SI 引脚, 并且将 SO 引脚置于高阻态 (HI-Z), 但是器件仍继续监控 \overline{CS} 引脚。

经过 t_{EXTDPD} 的时间后, 通过 \overline{CS} 脉宽 t_{CSDPD} 或硬件复位可以退出深度掉电模式。可以通过发送虚拟指令周期或单独切换 \overline{CS} (而 SCK 和 I/O 是无需关注的) 来生成 \overline{CS} 脉冲宽度。在从深度掉电模式唤醒的期间, I/O 保持高阻态 (hi-Z)。请分别参考图 100 和图 103, 了解有关深度掉电进入和深度掉电退出的时序信息。

注意:

- 图 100 中所显示的时序可以应用于 DPI 和 QPI 模式。
- 在 DPD 模式下, CRC 寄存器 (CRCR) 和 ECC 寄存器 (ECCDC 和 ADDRTRAP) 将失去它们所保存的内容, 并返回其默认值 (0x00)。
- 在 DPD 模式下不会保持 WEL 位 (SR0[1]) 的状态。如果进入 DPD 前, WEL 的状态为 1, 那么退出 DPD 模式后, 它的状态被清除为 0。

图 100. SPI 模式下的 DPD 进入

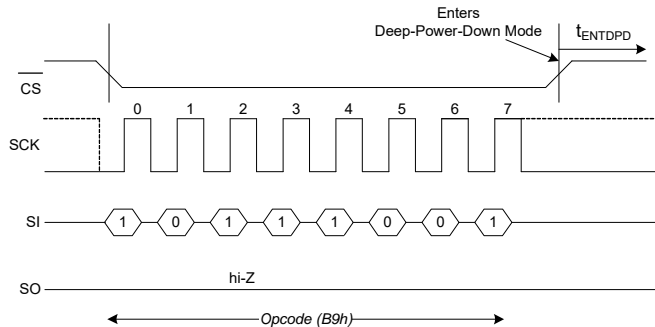


图 101. DPI 模式下的深度掉电 (DPD) 模式操作

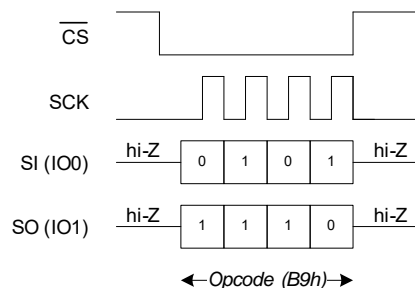


图 102. QPI 模式下的深度掉电 (DPD) 模式操作

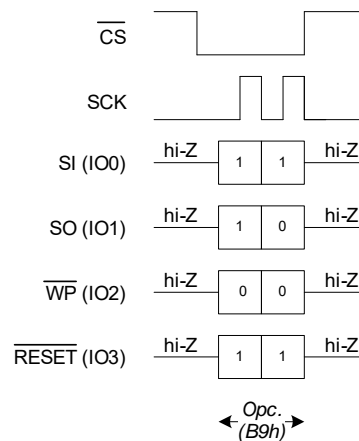
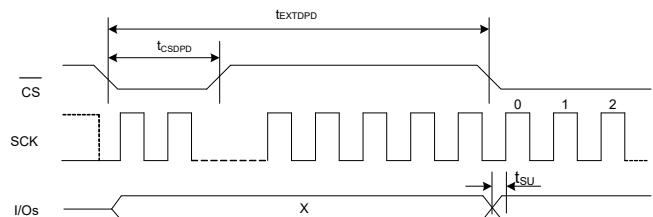


图 103. SPI 模式下的 DPD 退出



休眠模式 (HBN, BAh)

收到 HBN 操作码 BAh 并处于 \overline{CS} 上升沿时，器件将进入休眠模式。在休眠模式下，将忽略 SCK 和 SI 引脚，并且将 SO 引脚置于高阻态 (HI-Z)，但是器件仍继续监控 \overline{CS} 引脚。在 \overline{CS} 的下一个下降沿上，器件需要 t_{REC} 时间来返回正常操作。在从休眠模式唤醒的周期内，SO 引脚保持高阻态 (HI-Z)。这时，器件不需要响应操作码。要退出休眠模式，控制器将发送一个“虚拟”读取操作（作为一个示例），并等待余下的 t_{EXTHIB} 时间。

注意：

- SPI 模式时序框图中所示的时序可以应用于 DPI 和 QPI 模式。
- 从休眠模式退出时，所有寄存器将返回其默认 POR 值。请查阅第 10 页上的表 2，详细了解 POR 后的寄存器值。

图 104. SPI 模式下的休眠模式操作

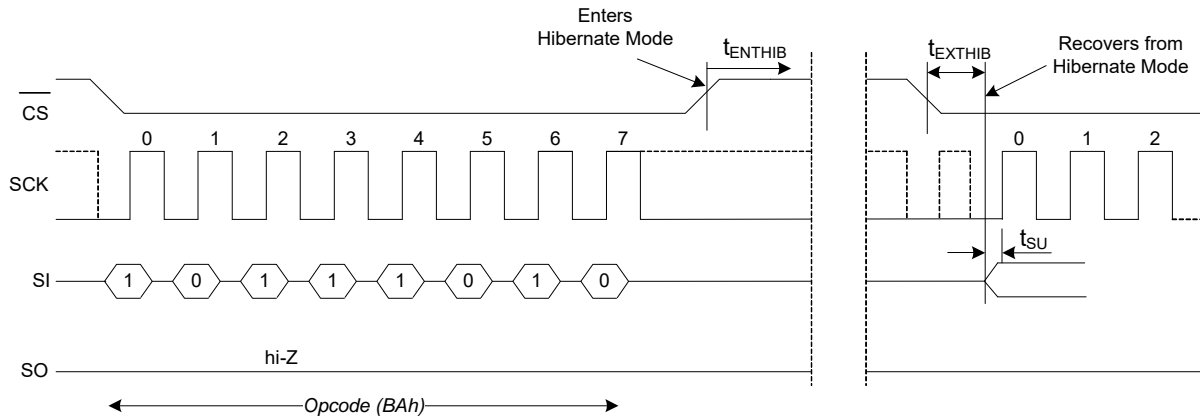


图 105. DPI 模式下的休眠模式操作

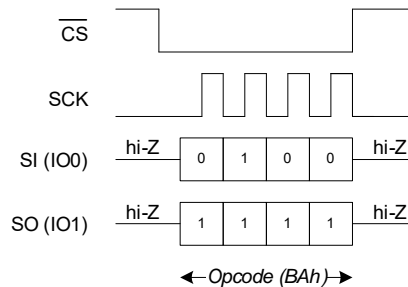
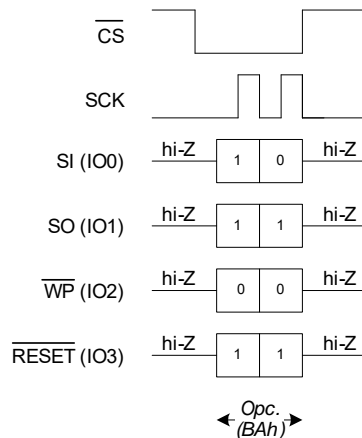


图 106. QPI 模式下的休眠模式操作



软件复位

依次使用以下两个指令可以实现软件复位操作：复位使能（**RSTEN**）和复位（**RST**）指令。软件复位操作将复位整个器件，并且经过 t_{SRESET} 时间后器件才可以接收各条指令。

注意：

- 如果 **RSTEN** 指令后不是 **RST** 指令，将清除复位使能条件并防止识别随后的 **RST** 指令。
- 在软件复位期间，仅支持 **RDSR1** 和 **RDAR**（为了访问 **RDSR1**）指令。所有其它命令均被忽略。
- SPI 模式时序框图中所示的时序可以应用于 DPI 和 QPI 模式。

图 107. SPI 模式下的软件复位时序

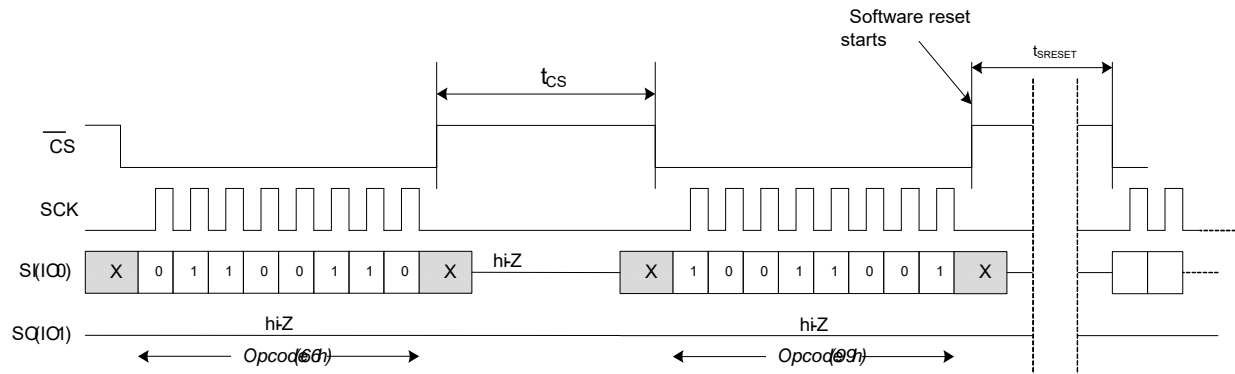


图 108. DPI 模式下的软件复位时序

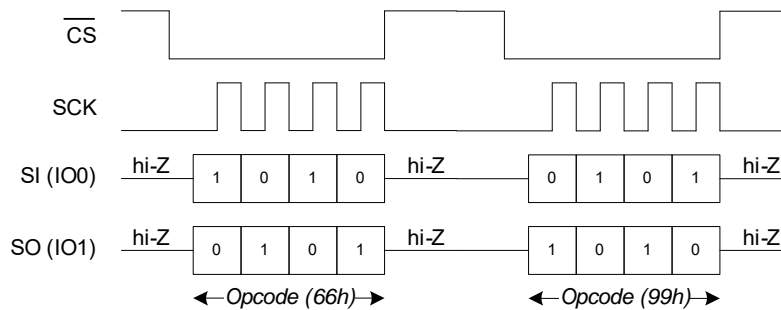
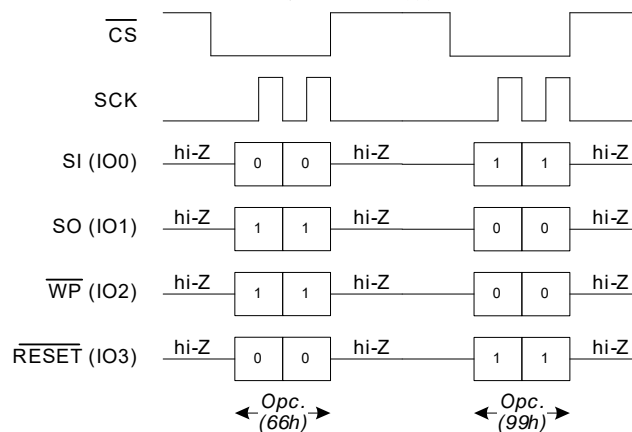


图 109. QPI 模式下的软件复位时序



硬件复位 ($\overline{\text{RESET}}$)

硬件复位输入 ($\overline{\text{RESET}}$) 复用在 ($\overline{\text{RESET}}$ / I/O3) 上, 并且在 CY15x104QSN 器件中作为低电平有效信号。请查阅第 19 页上的表 20, 了解各种 SPI 接口的硬件复位 ($\overline{\text{RESET}}$) 引脚配置。当 $\overline{\text{RESET}}$ 引脚被置为低电平时, CY15x104QSN 则将自初始化, 并使其配置返回到上电状态。请查阅第 76 页上的表 58, 了解 $\overline{\text{RESET}}$ 周期后各种不同的寄存器配置。一旦发送 $\overline{\text{RESET}}$, 从 $\overline{\text{RESET}}$ 的上升沿算起, CY15x104QSN 将需要 $t_{\text{RPH}}/t_{\text{HRESET}}$ 时间来完成复位周期。在 t_{RPH} 期间, 不能访问 CY15x104QSN。图 110 至第 75 页上的图 112 显示了不同复位模式中的 $\overline{\text{RESET}}$ 时序。

注意

- 在 QPI 模式下, $\overline{\text{RESET}}$ 引脚被复用在 I/O3 上。在该模式下, 要想使用硬件复位 ($\overline{\text{RESET}}$), 必须将 CR2 [5] 位设置为 1。这样, 在 CS 为高电平时, 可以将 I/O3 作为 $\overline{\text{RESET}}$ 输入使用。图 110 显示了 QPI 模式下的 $\overline{\text{RESET}}$ / (I/O3) 时序。
- 必须将配置寄存器 1 中的 QUAD 位 CR1 [1] 设置为 0, 从而使能 $\overline{\text{RESET}}$ 引脚上的硬件复位特性。
- $\overline{\text{RESET}}$ 信号具有一个内部上拉电阻。不使用的情况下, 可以使其悬浮。当该引脚被配置为 I/O3 时, 该上拉电阻被禁用。
- 即使禁用 $\overline{\text{RESET}}$ 功能, $\overline{\text{RESET}}$ 信号也不会被置为低电平, 因为如果被设置为低电平, 内部弱上拉会增大漏电流。
- 在 QPI 模式下的共享总线配置中, 如果使能 $\overline{\text{RESET}}$ 功能, 则每次主设备和同一个总线上的其它 QSPI 从设备进行通信时, 都会切换 ($\overline{\text{RESET}}$ / (I/O3)), 从而导致器件复位。因此, 在共享总线配置中, 建议禁用 $\overline{\text{RESET}}$ 引脚功能。

图 110. SPI 模式下的 $\overline{\text{RESET}}$ 时序 — QUAD 被设置 (CR1[1] = 1) 或 QPI 被使能 (CR2[6] = 1)

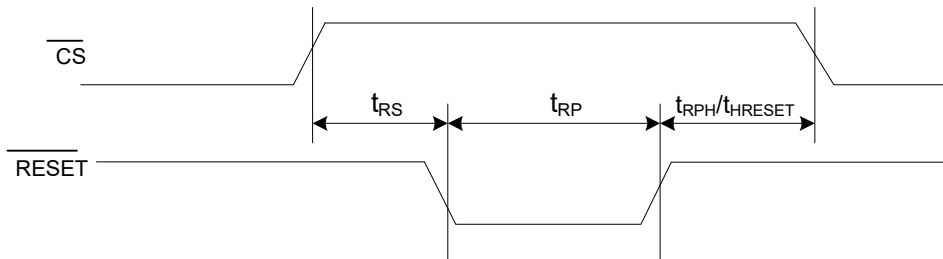
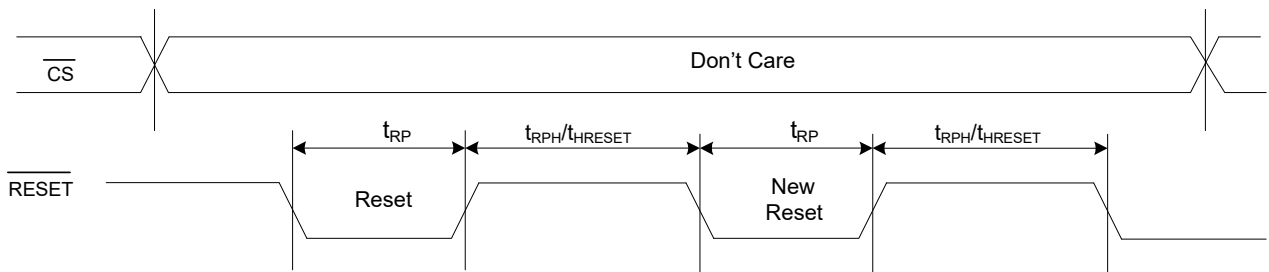


图 111. SPI 模式下的 $\overline{\text{RESET}}$ 时序 — QUAD 被清除 (CR1[1] = 0) 或 QPI 被禁用 (CR2[6] = 0)



JEDEC SPI 复位

JEDEC SPI 复位是一种信令协议，可以不依赖于设备的操作 I/O 模式而独立启动硬件复位。它将器件返回在状态和配置寄存器中选择的默认模式。第 76 页上的表 58 显示了默认恢复启动后的器件状态。

恢复默认模式的步骤如下：

1. \overline{CS} 切换为低电平有效以选择 SPI 从设备。
2. SCK 在高电平或低电平下保持稳定状态。
3. SI (I/O0) 从高电平转为低电平，同时 \overline{CS} 转为低电平。其它 I/O (I/O1、I/O2 和 I/O3) 处于无需关注状态。
4. \overline{CS} 被驱动为高电平，而 I/O0 保持低电平状态。
5. 每次在 \overline{CS} 的下降沿上切换 SI (I/O0) 的状态时，重复第一到第四步，总共需要四次。
6. 在第四个 \overline{CS} 上升沿（无效）后，器件将被复位。

请参考图 112，了解详细时序。

图 112. JEDEC SPI 复位

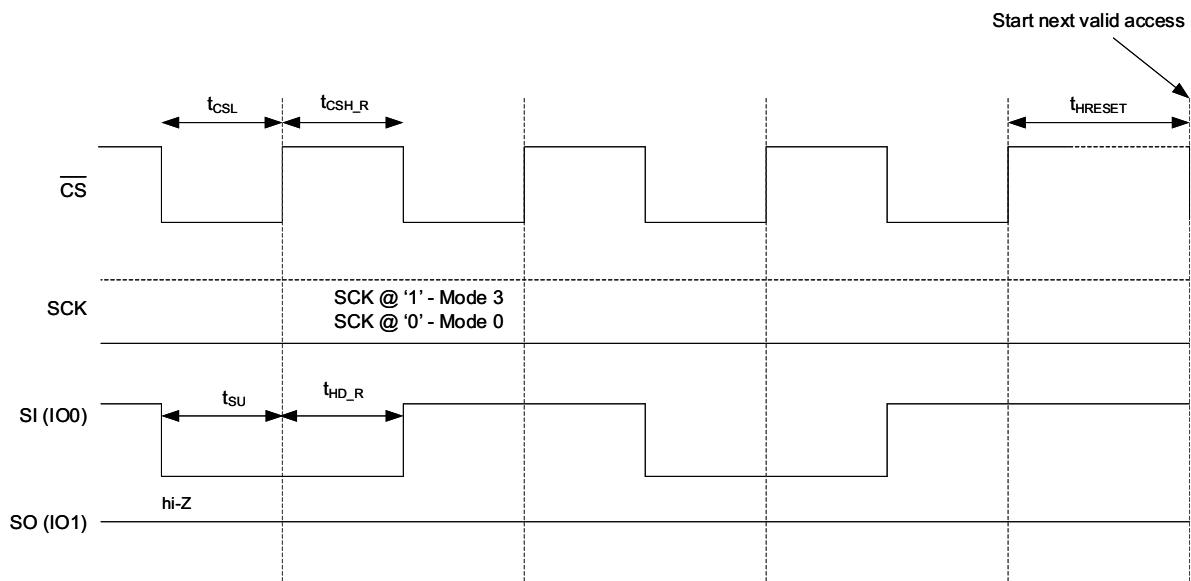


表 58. 进行各种复位后的寄存器状态

复位功能	I/O 要求	状态寄存器 (SRx)	配置寄存器 (CRx)	ECC 状态	CRC 寄存器	ECC 计数寄存器 (ECCDC)	地址陷阱寄存器 (ADDRTRAP)	I/O 模式
上电复位	$\overline{CS} = '1'$ 忽略其他输入 所有输出处于三态	SR1 — 加载默认值 SR2 - 0x00	CR1、CR2、CR4、CR5 加载默认值	负载 — 0x00	负载 — 0x00	负载 — 0x00	负载 — 0x00	保持不变
硬件复位	$\overline{CS} = '1'$ 忽略其他输入 所有输出处于三态	SR1 — 加载默认值 SR2 - 0x00	CR1、CR2、CR4、CR5 加载默认值	负载 — 0x00	负载 — 0x00	负载 — 0x00	负载 — 0x00	保持不变
软件复位	指令 (RSTEN、RST)	SR1 — 保持不变, 除 WEL 位从 1 被清除 0 外。 SR2 - 0x00	CR1、CR2、CR4、CR5 — 保持不变	负载 — 0x00	负载 — 0x00	负载 — 0x00	负载 — 0x00	保持不变
JEDEC 复位 (默认恢复)	\overline{CS} 和 SI (IO0) = 切换 忽略其他输入 所有输出处于三态	SR1 — 加载默认值 SR2 - 0x00	CR1、CR2、CR4、CR5 加载默认值	负载 — 0x00	负载 — 0x00	负载 — 0x00	负载 — 0x00	保持不变

如果 CY15x104QSN 进入未定义状态并停止响应任何 SPI 指令, 那么 SPI 主机可以进行硬件 RESET 或 JEDEC SPI 复位。如果输入错误操作码或由于 SPI 信号上的任何毛刺而内部所存错误操作码, 或者器件未成功启动 (经过 t_{PU} 时间后仍显示繁忙状态 $WIP = 1$), CY15x104QSN 都会进入内部测试模式或任何未定义模式。

注意: 在 DPD 模式下, ECC (ECCDC 和 ADDRTRAP) 寄存器将失去其保存的内容, 并返回到它的默认值 0x00。从休眠模式唤醒后, 所有寄存器将返回上电时的默认值, 如第 10 页上的表 2 所示。

最大额定值

超过最大额定值可能会影响器件的使用寿命。用户指南未经测试。

存放温度 $-65^{\circ}\text{C} \sim +125^{\circ}\text{C}$

最长的累积存储时间:

环境温度为 125°C 1000 个小时

环境温度为 85°C 10 年

最高结温为 125°C

相对于 V_{SS} 的 V_{DD} 供电电压:

CY15V104QSN: -0.5 V 到 $+2.4\text{ V}$

CY15B104QSN: -0.5 V 到 $+4.1\text{ V}$

输入电压 $V_{IN} \leq V_{DD} + 0.5\text{ V}$

直流电压应用于

高阻 (High Z) 状态的输出 $-0.5\text{ V} \sim V_{DD} + 0.5\text{ V}$

处于接地电位的任何引脚的跳变电压

($< 20\text{ ns}$) -2.0 V 到 $V_{DD} + 2.0\text{ V}$

封装功耗能力 ($T_A = 25^{\circ}\text{C}$) 1.0 W

表面组装铅焊温度 (3 秒) $+260^{\circ}\text{C}$

直流输出电流

(每次只输出 1 路电流, 持续时间 1 秒) 15 mA

静电放电电压

人体模型 (JEDEC 标准 JESD22-A114-B) 2 kV

充电器件模型

(JEDEC 标准 JESD22-C101-A) 500 V

栓锁电流 $> 140\text{ mA}$

工作范围

器件	环境温度	V_{DD}
CY15V104QSN	工业级温度范围: -40°C 到 $+85^{\circ}\text{C}$	1.71 V 到 1.89 V
CY15B104QSN		1.8 V 到 3.6 V

直流电气特性

适用条件为工作范围

参数	说明	测试条件	最小值	典型值 ^[15]	最大值	单位
V_{DD}	电源	CY15V104QSN	1.71	1.8	1.89	V
		CY15B104QSN	1.8	3.0	3.6	
I_{DD1}	SPI SDR模式下的 V_{DD} 供电电流	$V_{DD} = 1.71\text{ V}$ 到 1.89 V ; SCK 的电压值在 $V_{DD} - 0.2\text{ V}$ 和 V_{SS} 之间进行切换, 其他输入的电压为 V_{SS} 或 $V_{DD} - 0.2\text{ V}$ 。无输出负载。	$f_{SCK} = 50\text{ MHz}$	—	4.9	mA
			$f_{SCK} = 108\text{ MHz}$	—	10	
		$V_{DD} = 1.8\text{ V}$ 到 3.6 V ; SCK 的电压值在 $V_{DD} - 0.2\text{ V}$ 和 V_{SS} 之间进行切换, 其他输入的电压为 V_{SS} 或 $V_{DD} - 0.2\text{ V}$ 。无输出负载。	$f_{SCK} = 50\text{ MHz}$	—	5.6	
			$f_{SCK} = 108\text{ MHz}$	—	11	
I_{DD2}	DPI SDR模式下的 V_{DD} 供电电流	$V_{DD} = 1.71\text{ V}$ 到 1.89 V ; SCK 的电压值在 $V_{DD} - 0.2\text{ V}$ 和 V_{SS} 之间进行切换, 其他输入的电压为 V_{SS} 或 $V_{DD} - 0.2\text{ V}$ 。无输出负载。	$f_{SCK} = 108\text{ MHz}$	—	12	mA
		$V_{DD} = 1.8\text{ V}$ 到 3.6 V ; SCK 的电压值在 $V_{DD} - 0.2\text{ V}$ 和 V_{SS} 之间进行切换, 其他输入的电压为 V_{SS} 或 $V_{DD} - 0.2\text{ V}$ 。无输出负载。	$f_{SCK} = 108\text{ MHz}$	—	13	

注释:

15. 典型值的适用条件为 25°C 、 $V_{DD} = V_{DD}$ (典型值)。该参数由出厂校准保证, 并非经过生产测试。

直流电气特性 (续)

适用条件为工作范围

参数	说明	测试条件		最小值	典型值 ^[15]	最大值	单位
I _{DD3}	QPI SDR 模式下的V _{DD} 供电电流	V _{DD} = 1.71 V 到 1.89 V ； SCK 的电压值在 V _{DD} – 0.2 V 和 V _{SS} 之间进行切换，其他输入的电压为 V _{SS} 或 V _{DD} – 0.2 V。无输出负载。	f _{SCK} = 108 MHz	–	16	19	mA
		V _{DD} = 1.8 V到3.6 V； SCK 的电压值在 V _{DD} – 0.2 V 和 V _{SS} 之间进行切换，其他输入的电压为 V _{SS} 或 V _{DD} – 0.2 V。无输出负载。	f _{SCK} = 108 MHz	–	17	21	
	QPI DDR 模式下的V _{DD} 供电电流	V _{DD} = 1.71 V 到 1.89 V ； SCK 的电压值在 V _{DD} – 0.2 V 和 V _{SS} 之间进行切换，其他输入的电压为 V _{SS} 或 V _{DD} – 0.2 V。无输出负载。	f _{SCK} = 54 MHz	–	16	19	
		V _{DD} = 1.8 V到3.6 V； SCK 的电压值在 V _{DD} – 0.2 V 和 V _{SS} 之间进行切换，其他输入的电压为 V _{SS} 或 V _{DD} – 0.2 V。无输出负载。	f _{SCK} = 54 MHz	–	17	21	
I _{SB}	V _{CC} 待机电流	V _{DD} = 1.71 V 到 1.89 V ； CS = V _{DD} 。所有其他输入的电压为 V _{SS} 或 V _{DD} 。	T _A = 25 °C	–	110	–	μA
			T _A = 85 °C	–	–	209	
		V _{DD} = 1.8 V 到 3.6 V ； CS = V _{DD} 。所有其他输入的电压为 V _{SS} 或 V _{DD} 。	T _A = 25 °C	–	200	–	
			T _A = 85 °C	–	–	350	
I _{DPD}	深度掉电电流	V _{DD} = 1.71 V 到 1.89 V ； CS = V _{DD} 。所有其他输入的电压为 V _{SS} 或 V _{DD} 。	T _A = 25 °C	–	0.8	–	
			T _A = 85 °C	–	–	15	
		V _{DD} = 1.8 V 到 3.6 V ； CS = V _{DD} 。所有其他输入的电压为 V _{SS} 或 V _{DD} 。	T _A = 25 °C	–	1.0	–	
			T _A = 85 °C	–	–	17	
I _{HBN}	休眠模式下的电流	V _{DD} = 1.71 V 到 1.89 V ； CS = V _{DD} 。所有其他输入的电压为 V _{SS} 或 V _{DD} 。	T _A = 25 °C	–	0.1	–	
			T _A = 85 °C	–	–	0.9	
		V _{DD} = 1.8 V 到 3.6 V ； CS = V _{DD} 。所有其他输入的电压为 V _{SS} 或 V _{DD} 。	T _A = 25 °C	–	0.1	–	
			T _A = 85 °C	–	–	1.6	
I _{LI}	I/O 引脚的输入漏电流	V _{SS} < V _{IN} < V _{DD}		–1	–	1	
	$\overline{\text{WP}}$ 和 $\overline{\text{RESET}}$ 引脚的漏电流（I/O2 和 I/O3 引脚被禁用）			–100	–	1	
I _{LO}	输出漏电流	V _{SS} < V _{OUT} < V _{DD}		–1	–	1	
V _{IH}	输入高电平电压			0.7 × V _{DD}	–	V _{DD} + 0.3	V

直流电气特性（续）

适用条件为工作范围

参数	说明	测试条件	最小值	典型值 ^[15]	最大值	单位
V_{IL}	输入低电平电压		-0.3	—	$0.3 \times V_{DD}$	V
V_{OH1}	输出高电平电压	$I_{OH} = -1 \text{ mA}$, $V_{DD} = 2.7 \text{ V}$ 。	2.4	—	—	
V_{OH2}	输出高电平电压	$I_{OH} = -100 \text{ }\mu\text{A}$	$V_{DD} - 0.2$	—	—	
V_{OL1}	输出低电平电压	$I_{OL} = 2 \text{ mA}$, $V_{DD} = 2.7 \text{ V}$	—	—	0.4	
V_{OL2}	输出低电平电压	$I_{OL} = 150 \text{ }\mu\text{A}$	—	—	0.2	

数据保留时间与耐久性

参数	说明	测试条件	最小值	最大值	单位
T_{DR}	数据保留时间	$T_A = 85 \text{ }^\circ\text{C}$	10	—	年
		$T_A = 75 \text{ }^\circ\text{C}$	38	—	
		$T_A = 65 \text{ }^\circ\text{C}$	151	—	
NV_C	耐久性	在工作温度范围内	10^{14}	—	周期

电容

参数 ^[16]	说明	测试条件	最大值	单位
C_O	输出引脚电容（SO）	$T_A = 25 \text{ }^\circ\text{C}$, $f = 1 \text{ MHz}$, $V_{DD} = V_{DD}$ （典型值）	6	pF
C_I	输入引脚电容		5	

热阻

参数 ^[16]	说明	测试条件	8 pin SOIC 封装	8 pin QFN 封装	单位
Θ_{JA}	热阻 （结至环境）	根据 EIA/JESD51 的要求，测试条件遵循测试热阻的标准测试方法和过程。	88.6	118	$^\circ\text{C/W}$
Θ_{JC}	热阻 （结至外壳）		56	60	

注释：

16. 该参数由出厂校准保证，并非经过生产测试。

交流测试条件

参数	数值	
	CY15V104QSN	CY15B104QSN
输入脉冲电平 (0 V 到 V_{DD})	0 V 到 V_{DD}	0 V 到 V_{DD}
输入上升和下降时间 (10% 至 90%)	≤ 1.8 ns	≤ 2.0 ns
输入时序参考电压	$0.3 \times V_{DD}$ 到 $0.7 \times V_{DD}$	$0.3 \times V_{DD}$ 到 $0.7 \times V_{DD}$
输出时序参考电压 (V_T)	$V_{DD}/2$	$V_{DD}/2$
负载电容 (C_L)	30 pF	30 pF

图 113. 交流测试负载

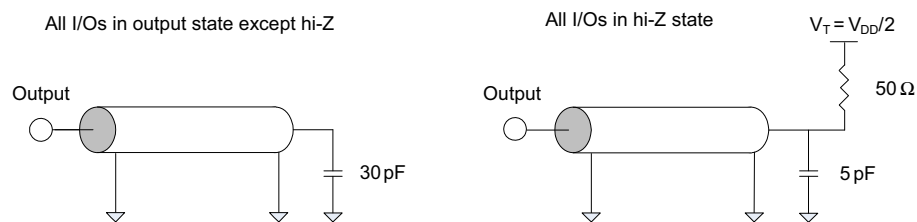
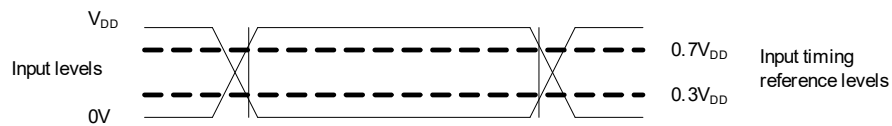


图 114. 交流时序输入参考电压电平



SDR 交流切换特性

参数 ^[17]		说明	最小值	最大值	单位
赛普拉斯参数	备用参数				
f_{SCK}	—	SCK 时钟频率	0	108	MHz
t_{CH}	—	时钟高电平时间	$0.45 \times 1/f_{\text{SCK}}$	—	ns
t_{CL}	—	时钟低电平时间	$0.45 \times 1/f_{\text{SCK}}$	—	
t_{CSS}	t_{CSU}	芯片选择 ($\overline{\text{CS}}$) 的建立时间	5	—	
t_{CSH}	t_{CSH}	芯片选择 ($\overline{\text{CS}}$) 的保留时间 — SPI 模式 0	4	—	
t_{CSH1}	—	芯片选择 ($\overline{\text{CS}}$) 的保留时间 — SPI 模式 3	9	—	
t_{HZCS} ^[18, 19]	t_{OD}	输出禁用时间 — CY15B104QSN	—	10	
		输出禁用时间 — CY15V104QSN	—	11	
t_{CO}		负载电容为 15 pF 的输出数据有效时间 (输出驱动强度为 45 Ω 。 适用条件为工作范围)	—	7	
		时钟为低电平到输出有效的时间 — 负载电容为 15 pF (输出驱动强度为 45 Ω 。 $V_{\text{DD}} = 2.7 \text{ V}$ 到 3.6 V；适用条件为工作范围)	—	6.7	
		时钟为低电平到输出有效的时间 — 负载电容为 30 pF (输出驱动强度为 45 Ω 。 $V_{\text{DD}} = 2.7 \text{ V}$ 到 3.6 V；适用条件为工作范围)	—	7	
		时钟为低电平到输出有效的时间 — 负载电容为 30 pF (输出驱动强度默认为 30 Ω 。 适用条件为工作范围)	—	7	
t_{OH}	—	输出保留时间	1	—	
t_{CS} ^[20]	t_{D}	SPI 模式下执行指令周期前的芯片取消选择 ($\overline{\text{CS}}$ 为高电平) 时间；所有访问 (各存储器阵列和寄存器)	40	—	
		DPI 模式下执行指令周期前的芯片取消选择 ($\overline{\text{CS}}$ 为高电平) 时间；所有访问 (存储器阵列除外)	75	—	
		DPI 模式下 (包括扩展的 SPI 双线模式) 执行指令周期前的芯片取消选择 ($\overline{\text{CS}}$ 为高电平) 的时间；存储器阵列访问 (不适用于 XIP 模式)	40	—	
		DPI 模式下 (包括扩展的 SPI 双线模式) 执行指令周期前的芯片取消选择 ($\overline{\text{CS}}$ 为高电平) 的时间；存储器阵列访问 (适用于 XIP 模式)	55	—	
		QPI 模式下执行指令周期前的芯片取消选择 ($\overline{\text{CS}}$ 为高电平) 时间；所有访问 (存储器阵列除外)	110	—	
		QPI 模式下 (包括扩展的 SPI 四线模式) 执行指令周期前的芯片取消选择 ($\overline{\text{CS}}$ 为高电平) 的时间；存储器阵列访问 (不适用于 XIP 模式)	90	—	
		QPI 模式下 (包括扩展的 SPI 四线模式) 执行指令周期前的芯片取消选择 ($\overline{\text{CS}}$ 为高电平) 的时间；存储器阵列访问 (适用于 XIP 模式)	110	—	

注释:

17. 这些参数的测试根据第 80 页上的交流测试条件。

18. t_{OD} 和 t_{HZ} 的负载电容为 5 pF。当输出进入高阻态时，将测量转换。

19. 该参数由出厂校准保证，并非经过生产测试。

20. t_{CS} 指的是指定 SPI 模式下 (SPI、DPI 或 QPI) 起始新命令周期前芯片选择的最小时间 ($\overline{\text{CS}}$ 为高电平)。该参数保证在主机起始新命令周期前，前操作已成功完成。请参考第 82 页上的图 117。

21. 由设计保证

SDR 交流切换特性（续）

参数 ^[17]		说明	最小值	最大值	单位
赛普拉斯参数	备用参数				
t_{SD}	t_{SU}	数据输入的建立时间（以 SCK 为准）	2	—	ns
t_{HD}	t_H	数据输入的保持时间（以 SCK 为准）	3	—	
$t_{CLZ}^{[21]}$		从时钟为低电平到输出为低阻态的时间	0	—	
t_{CRCC}		CRC 的计算时间（ $100\ \mu s + (0.8\ \mu s/\text{数据字节})$ ）	0.10	440	ms
t_{CRCS}		\overline{CS} 为高电平到 CRC 计算挂起的时间	—	100	μs
t_{CRCR}		\overline{CS} 为高电平到 CRC 计算恢复的时间	—	100	

注释：

17. 这些参数的测试根据第 80 页上的交流测试条件。

18. t_{OD} 和 t_{HZ} 的负载电容为 5 pF。当输出进入高阻态时，将测量转换。

19. 该参数由出厂校准保证，并非经过生产测试。

20. t_{CS} 指的是指定 SPI 模式下（SPI、DPI 或 QPI）起始新命令周期前芯片选择的最小时间（ \overline{CS} 为高电平）。该参数保证在主机起始新命令周期前，前操作已成功完成。请参考第 82 页上的图 117。

21. 由设计保证

图 115. SPI 切换时序 — 单线 IO、SDR（模式 0 和模式 3）

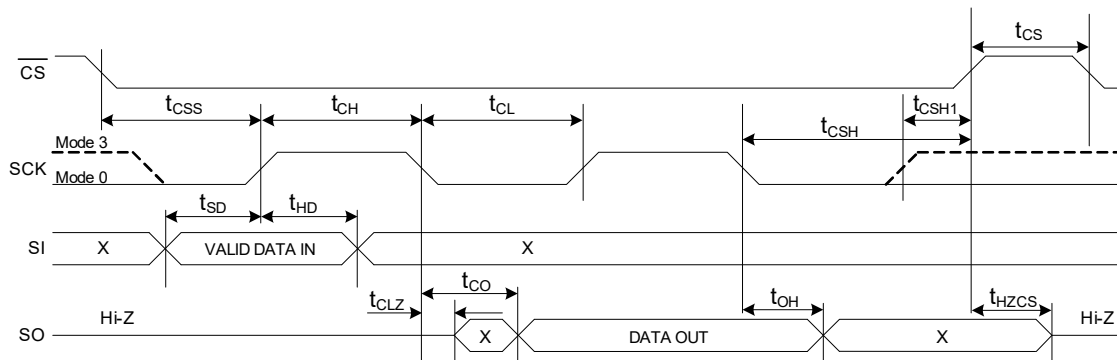


图 116. SPI 切换时序 — 多线 IO、SDR（模式 0 和模式 3）

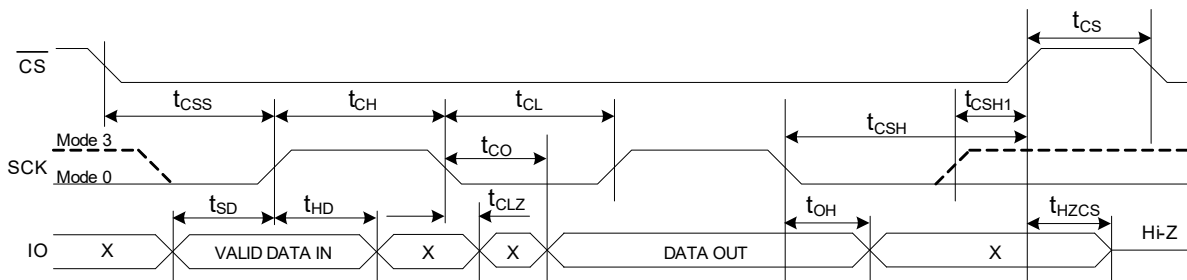
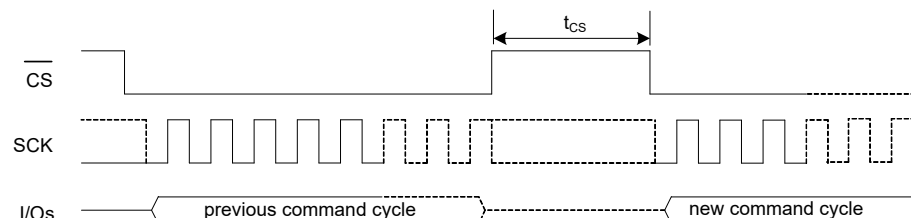


图 117. 芯片取消选择（ \overline{CS} 为高电平）— t_{CS} 时序



DDR 交流切换特性

适用条件为 工作范围

参数 ^[22]		说明	最小值	最大值	单位
赛普拉斯参数	备用参数				
f_{SCK}	—	SCK 时钟频率	0	54	MHz
t_{CH}	—	时钟高电平时间	$0.45 \times 1/f_{\text{SCK}}$	—	ns
t_{CL}	—	时钟低电平时间	$0.45 \times 1/f_{\text{SCK}}$	—	
t_{CSS}	t_{CSU}	芯片选择 ($\overline{\text{CS}}$) 的建立时间	5	—	
t_{CSH}	t_{CSH}	芯片选择 ($\overline{\text{CS}}$) 的保持时间	5	—	
t_{HZCS} ^[23, 24]	t_{OD}	输出禁用时间 — CY15B104QSN	—	10	
		输出禁用时间 — CY15V104QSN	—	11	
t_{CO}		负载电容为 15 pF 的输出数据有效时间 (输出驱动强度为 45 Ω 。 适用条件为工作范围)	—	7	
		时钟为低电平到输出有效的的时间 — 负载电容为 15 pF (输出驱动强度为 45 Ω 。 $V_{\text{DD}} = 2.7 \text{ V}$ 到 3.6 V；适用条件为工作范围)	—	6.7	
		时钟为低电平到输出有效的的时间 — 负载电容为 30 pF (输出驱动强度为 45 Ω 。 $V_{\text{DD}} = 2.7 \text{ V}$ 到 3.6 V；适用条件为工作范围)	—	7	
		时钟为低电平到输出有效的的时间 — 负载电容为 30 pF (输出驱动强度默认为 30 Ω 。 适用条件为工作范围)	—	7	
t_{OH}	—	输出保留时间	1	—	
t_{CS} ^[24]	t_{D}	SPI 模式下执行指令周期前的芯片取消选择 ($\overline{\text{CS}}$ 为高电平) 时间；所有访问 (各存储器阵列和寄存器)	40	—	
		QPI 模式下执行指令周期前的芯片取消选择 ($\overline{\text{CS}}$ 为高电平) 时间；所有访问 (存储器阵列除外)	110	—	
		QPI 模式下 (包括扩展的 SPI 四线模式) 执行指令周期前的芯片取消选择 ($\overline{\text{CS}}$ 为高电平) 的时间；存储器阵列访问 (不适用于 XIP 模式)	90	—	
		QPI 模式下 (包括扩展的 SPI 四线模式) 执行指令周期前的芯片取消选择 ($\overline{\text{CS}}$ 为高电平) 的时间；存储器阵列访问 (适用于 XIP 模式)	110	—	
t_{SD}	t_{SU}	数据输入的建立时间 (以 SCK 为准)	4	—	
t_{HD}	t_{H}	数据输入的保持时间 (以 SCK 为准)	4	—	
t_{CLZ} ^[26]		从时钟为低电平到输出为低阻态的时间	0	—	

注释:

22. 这些参数的测试根据第 80 页上的交流测试条件。

23. t_{OD} 和 t_{HZ} 的负载电容为 5 pF。当输出进入高阻态时，将测量转换。

24. 该参数由出厂校准保证，并非经过生产测试。

25. t_{CS} 指的是指定 SPI 模式下 (SPI 或 QPI) 起始新命令周期前芯片选择的最小时间 ($\overline{\text{CS}}$ 为高电平)。该参数保证在主机起始新命令周期前，前操作已成功完成。请参考第 82 页上的图 117。

26. 由设计保证

图 118. SPI 切换时序 — 单线 IO, DDR

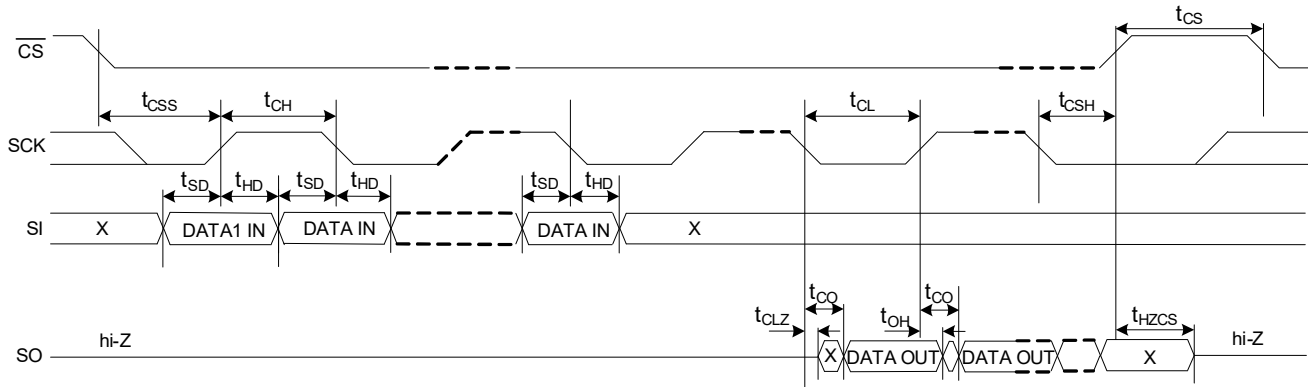
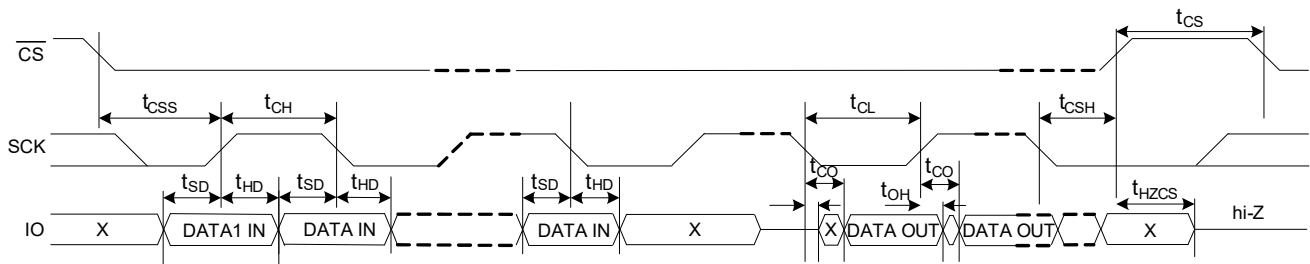


图 119. SPI 切换时序 — 多线 IO, DDR ^[27]



注释:

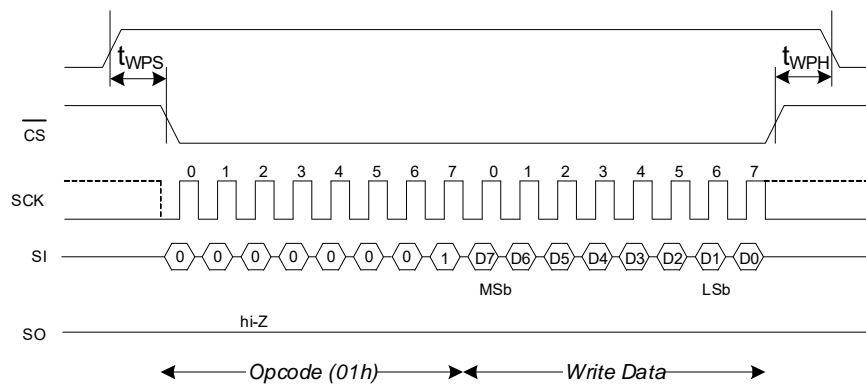
27. 在两个时钟沿上捕捉数据输入的 DDR 模式输入时序仅适用于地址和数据输入周期。在操作码周期内, 将始终在 SDR 模式下传输 DDR 操作码。

写保护 ($\overline{\text{WP}}$) 时序参数

适用条件为 [工作范围](#)

参数 ^[28]		说明	最小值	最大值	单位
赛普拉斯参数	备用参数				
t_{WPS}	t_{SW}	$\overline{\text{WP}}$ 建立时间 (以 $\overline{\text{CS}}$ 为准)	20	—	ns
t_{WPH}	t_{HW}	$\overline{\text{WP}}$ 保持时间 (以 $\overline{\text{CS}}$ 为准)	20	—	

图 120. 写保护的建立和保持时序



复位 ($\overline{\text{RESET}}$) 时序参数

适用条件为 [工作范围](#)

参数 ^[28]		说明	最小值	最大值	单位
赛普拉斯参数	备用参数				
t_{RS}	—	硬件 $\overline{\text{RESET}}$ 建立时间	50	—	ns
t_{RPH}	$t_{\text{RHSL}}, t_{\text{RH}}$	硬件 $\overline{\text{RESET}}$ 保持时间	450	—	μs
t_{RP}	t_{RLRH}	硬件 $\overline{\text{RESET}}$ 脉冲宽度	200	—	ns
t_{HRESET}		硬件 $\overline{\text{RESET}}$ 时间	—	450	μs
t_{SRESET}		软件 $\overline{\text{RESET}}$ 时间	—	100	
t_{CSL}		JEDEC 复位时芯片选择 ($\overline{\text{CS}}$) 为低电平的时间	500	—	ns
$t_{\text{CSH_R}}$		JEDEC 复位时芯片选择 ($\overline{\text{CS}}$) 为高电平的时间	500	—	
t_{SU}		JEDEC 复位时 SI (I/O0) 的建立时间 (以 $\overline{\text{CS}}$ 为高电平为准)	5	—	
$t_{\text{HD_R}}$		JEDEC 复位时 SI (I/O0) 的保持时间 (以 $\overline{\text{CS}}$ 为高电平为准)	5	—	

注释:

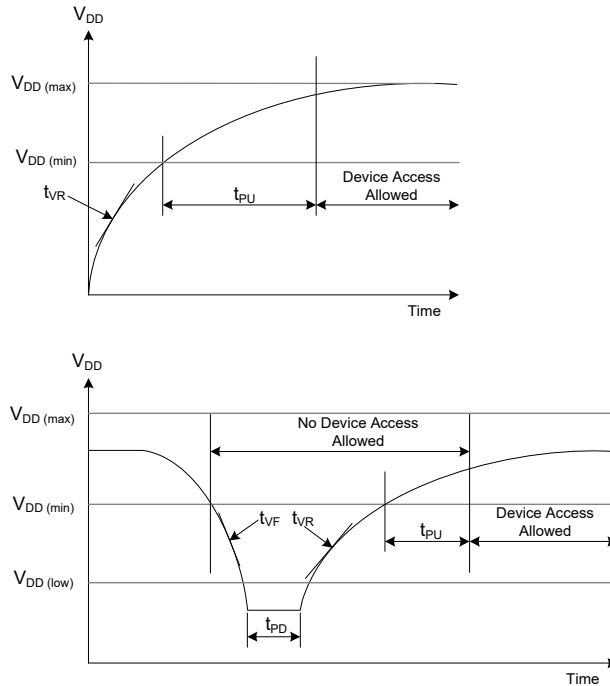
28. 这些参数的测试根据第 80 页上的交流测试条件。

电源周期时序

适用条件为 工作范围

参数 ^[29]		说明	最小值	最大值	单位
赛普拉斯参数	备用参数				
t_{PU}		从加电 V_{DD} (最小) 到第一次访问 (\overline{CS} 为低电平) 的时间	450	–	μs
t_{VR} ^[30]		V_{DD} 上电升降斜率	30	–	$\mu s/V$
t_{VF} ^[30、33]		V_{DD} 掉电升降斜率	20	–	
t_{ENTDPD} ^[31]	t_{DP}	从 \overline{CS} 为高电平到器件进入深度掉电模式的时间 (\overline{CS} 为高电平到进入休眠模式的时间)	–	3	μs
t_{CSDPD}		\overline{CS} 脉冲宽度到从深度下电模式唤醒的时间	0.015	$4 \times 1/f_{SCK}$	
t_{EXTDPD}	t_{RDP}	从深度掉电模式恢复的时间 (\overline{CS} 为低电平到就绪访问的时间)	–	10	
t_{ENTHIB} ^[32]	t_{HBN}	进入休眠模式的时间 (\overline{CS} 为高电平到进入休眠模式的时间)	–	3	
$t_{EXITHIB}$	t_{REC}	从休眠模式恢复的时间 (\overline{CS} 为低电平到就绪访问的时间)	–	450	
V_{DD} (低电平) ^[33]		保证发生初始化操作的 V_{DD} (低电平)	0.6	–	V
t_{PD} ^[33]		V_{DD} (低) 为 0.6 V 时的 V_{DD} (低) 时间	130	–	μs
		V_{DD} (低) 为 V_{SS} 时的 V_{DD} (低) 时间	70	–	

图 121. 电源周期时序



注释:

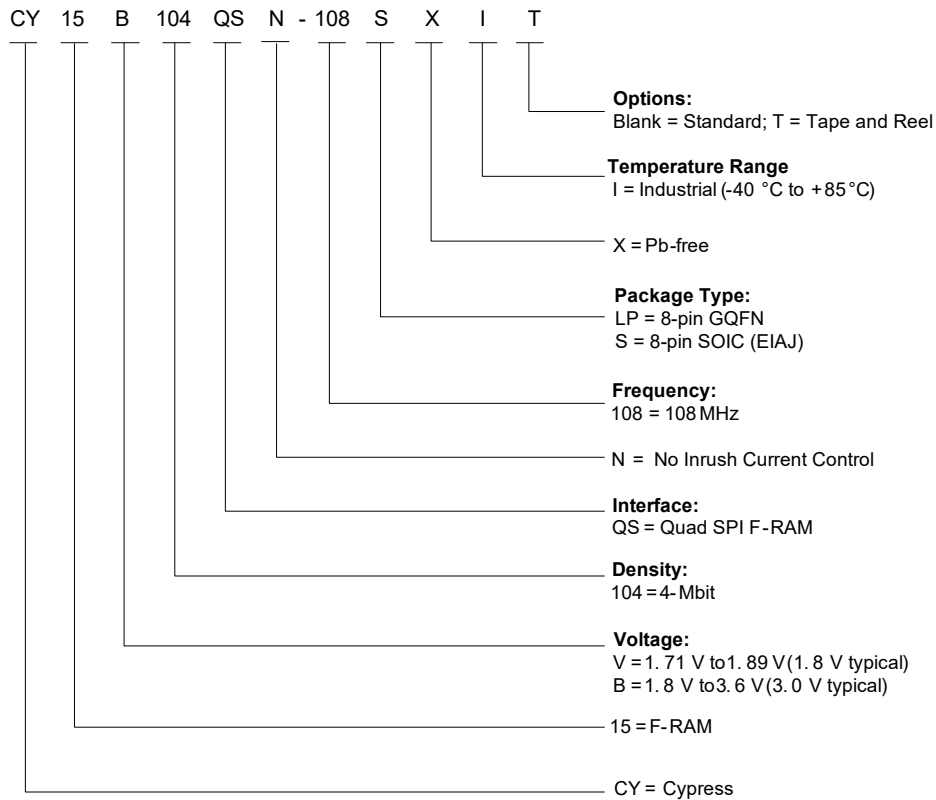
29. 这些参数的测试根据第 80 页上的交流测试条件进行。
30. 在 V_{DD} 波形的任意位置测量的斜率。
31. 由设计保证有关深度睡眠模式时序的详细信息, 请参见第 71 页上的图 100 和第 71 页上的图 103。
32. 由设计保证有关休眠模式时序的详细信息, 请参见第 72 页上的图 104。
33. 该参数由出厂校准保证, 并非经过生产测试。

订购信息

订购代码	器件 ID	封装图	封装类型	工作范围
CY15B104QSN-108SXI	0000000006825150	001-85261	8 pin SOIC（EIAJ）	工业级
CY15B104QSN-108SXIT	0000000006825150			
CY15V104QSN-108SXI	0000000006805150			
CY15V104QSN-108SXIT	0000000006805150			
CY15B104QSN-108LPXI	0000000006825150	002-18131	8 pin GQFN	
CY15B104QSN-108LPXIT	0000000006825150			
CY15V104QSN-108LPXI	0000000006805150			
CY15V104QSN-108LPXIT	0000000006805150			

这些芯片都不含铅。想要了解这些芯片的供应情况，请联系赛普拉斯本地销售代表。

订购代码定义



封装图

图 122. 8 pin SOIC (208 Mil) 封装外形, 001-85261

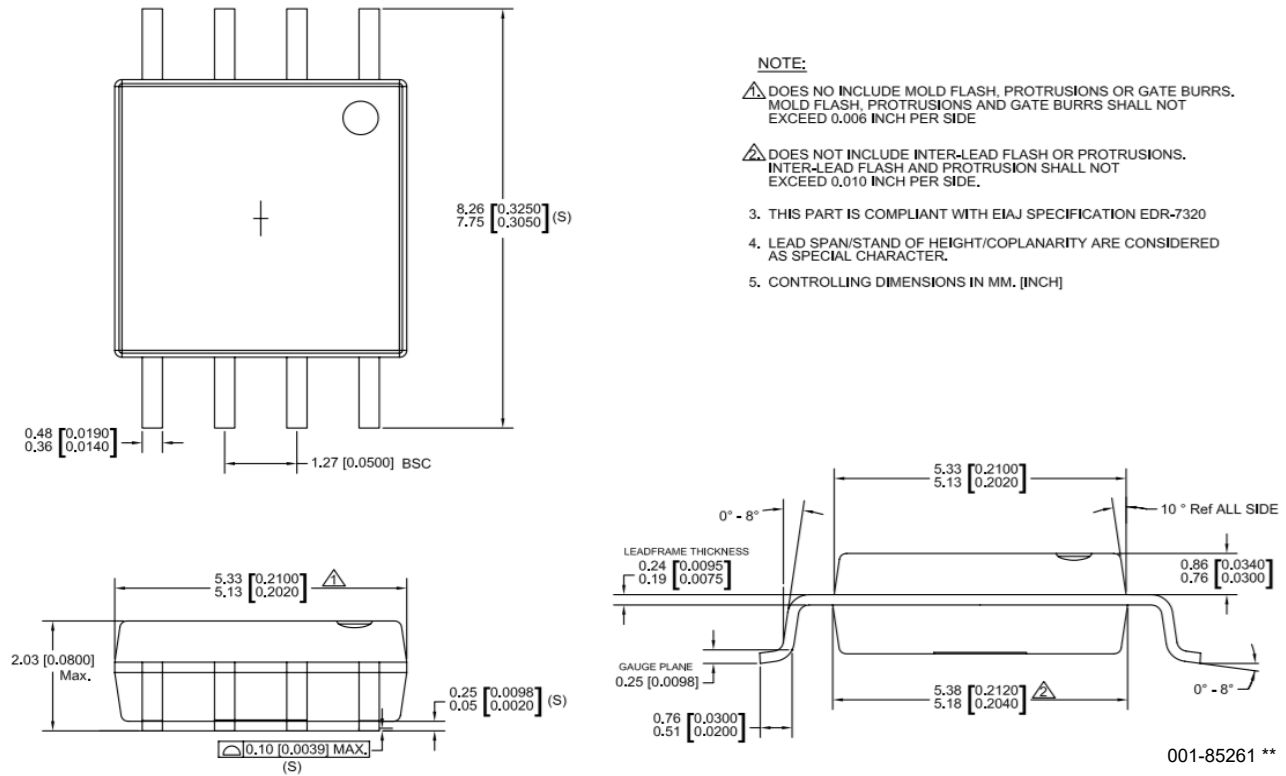
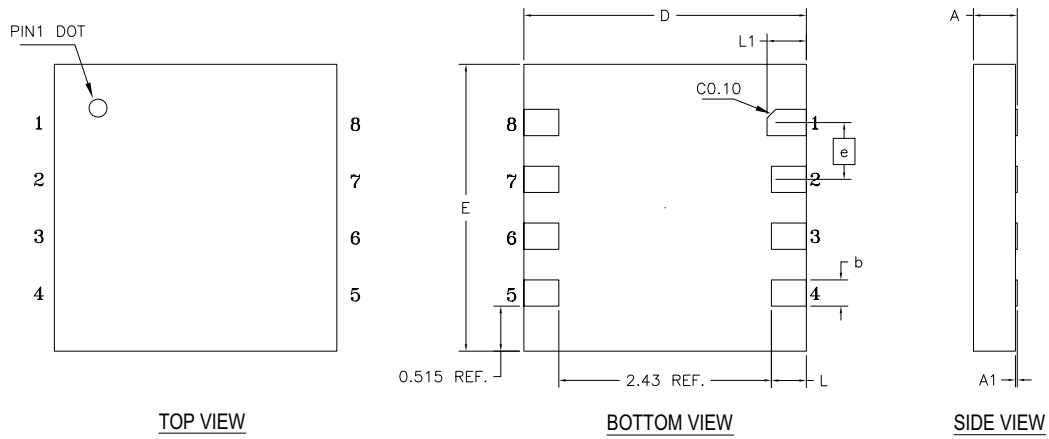


图 123. 8-pin GQFN (3.23 × 3.28 × 0.55 mm) 封装外形, 002-18131



SYMBOL	DIMENSIONS		
	MIN.	NOM.	MAX.
e	0.65 BSC		
N	8		
L	0.30	0.40	0.50
L1	0.35	0.45	0.55
b	0.25	0.30	0.35
D	3.18	3.23	3.28
E	3.23	3.28	3.33
A	0.45	0.50	0.55
A1	0.00	-	0.05

NOTES:

1. ALL DIMENSIONS ARE IN MILLIMETERS.

002-18131*C

缩略语

表 59. 本文档中使用的缩略语

缩略语	说明
CPHA	时钟相位
CPOL	时钟极性
CRC	循环冗余校验
DPI	双线 SPI
ECC	纠错码
EEPROM	带电可擦除可编程只读存储器
EIA	电子工业联盟
F-RAM	铁电随机存取存储器
I/O	输入 / 输出
JEDEC	联合电子设备工程委员会
JESD	JEDEC 标准
LSb	最低有效位
MSb	最高有效位
RoHS	有害物质限制
SPI	串行外设接口
SOIC	小外形集成电路

文档规范

测量单位

表 60. 测量单位

符号	测量单位
°C	摄氏度
Hz	赫兹
kHz	千赫兹
k?	千欧
Mbit	兆位
MHz	兆赫兹
μA	微安
μF	微法
μs	微秒
mA	毫安
ms	毫秒
ns	纳秒
W	欧姆
%	百分比
pF	皮法
V	伏特
W	瓦特

文档修订记录

文档标题: CY15B104QSN/CY15V104QSN、Excelon™-Ultra 4 Mbit (512K × 8) 四线 SPI F-RAM 文档编号: 002-20517				
版本	ECN 编号	变更者	提交日期	变更说明
**	5972078	LISZ	11/23/2017	本文档版本号为 Rev**, 译自英文版 002-18293 Rev*B。
*A	6590018	LISZ	06/12/2019	本文档版本号为 Rev*A, 译自英文版 002-18293 Rev*J。

销售、解决方案和法律信息

全球销售和 design 支持

赛普拉斯公司拥有一个由办事处、解决方案中心、厂商代表和经销商组成的全球性网络。要想找到最靠近您的办事处，请访问[赛普拉斯所在地](#)。

产品

Arm® Cortex® 微控制器	cypress.com/arm
汽车级	cypress.com/automotive
时钟与缓冲器	cypress.com/clocks
接口	cypress.com/interface
物联网	cypress.com/iot
存储器	cypress.com/memory
微控制器	cypress.com/mcu
PSoC	cypress.com/psoc
电源管理 IC	cypress.com/pmic
触摸感应	cypress.com/touch
USB 控制器	cypress.com/usb
无线连接	cypress.com/wireless

PSoC® 解决方案

[PSoC 1](#) | [PSoC 3](#) | [PSoC 4](#) | [PSoC 5LP](#) | [PSoC 6 MCU](#)

赛普拉斯开发者社区

[社区](#) | [项目](#) | [视频](#) | [博客](#) | [培训](#) | [组件](#)

技术支持

cypress.com/support

© 赛普拉斯半导体公司，2017-2019 年。本文件是赛普拉斯半导体公司及其子公司，包括 Spansion LLC（“赛普拉斯”）的财产。本文件，包括其包含或引用的任何软件或固件（“软件”），根据全球范围内的知识产权法律以及美国与其他国家签署条约由赛普拉斯所有。除非在本款中另有明确规定，赛普拉斯保留在该等法律和条约下的所有权利，且未就其专利、版权、商标或其他知识产权授予任何许可。如果软件并不附随有一份许可协议且贵方未以其他方式与赛普拉斯签署关于使用软件的书面协议，赛普拉斯特此授予贵方属人性质的、非独家且不可转让的如下许可（无再许可权）（1）在赛普拉斯特软件著作权项下的下列许可权（一）对以源代码形式提供的软件，仅出于在赛普拉斯硬件产品上使用之目的且仅在贵方集团内部修改和复制软件，和（二）仅限于在有关赛普拉斯硬件产品上使用之目的将软件以二进制代码形式的向外部最终用户提供（无论直接提供或通过经销商和分销商间接提供），和（2）在被软件（由赛普拉斯公司提供，且未经修改）侵犯的赛普拉斯专利的权利主张项下，仅出于在赛普拉斯硬件产品上使用之目的制造、使用、提供和进口软件的许可。禁止对软件的任何其他使用、复制、修改、翻译或汇编。

在适用法律允许的限度内，赛普拉斯未对本文件或任何软件作出任何明示或暗示的担保，包括但不限于关于适销性和特定用途的默示保证。没有任何电子设备是绝对安全的。因此，尽管赛普拉斯在其硬件和软件产品中采取了必要的安全措施，但是赛普拉斯并不承担任何由于使用赛普拉斯产品而引起的安全问题及安全漏洞的责任，例如未经授权的访问或使用赛普拉斯产品。此外，本材料中所介绍的赛普拉斯产品有可能存在设计缺陷或设计错误，从而导致产品的性能与公布的规格不一致。（如果发现此类问题，赛普拉斯会提供勘误表）赛普拉斯保留更改本文件的权利，届时将不另行通知。在适用法律允许的限度内，赛普拉斯不对因应用或使用本文件所述任何产品或电路引起的任何后果负责。本文件，包括任何样本设计信息或程序代码信息，仅为供参考之目的提供。文件使用人应负责正确设计、计划和测试信息应用和由此生产的任何产品的功能和安全性。赛普拉斯产品不应被设计为、设定为或授权用作武器操作、武器系统、核设施、生命支持设备或系统、其他医疗设备或系统（包括急救设备和手术植入物）、污染控制或有害物质管理系统中的关键部件，或产品植入之设备或系统故障可能导致人身伤害、死亡或财产损失其他用途（“非预期用途”）。关键部件指，若该部件发生故障，经合理预期会导致设备或系统故障或会影响设备或系统安全性和有效性的部件。针对由赛普拉斯产品非预期用途产生或相关的任何主张、费用、损失和其他责任，赛普拉斯不承担全部或部分责任且贵方不应追究赛普拉斯之责任。贵方应赔偿赛普拉斯因赛普拉斯产品任何非预期用途产生或相关的所有索赔、费用、损失和其他责任，包括因人身伤害或死亡引起的主张，并使之免受损失。

赛普拉斯、赛普拉斯徽标、Spansion、Spansion 徽标，及上述项目的组合，WiCed，及 PSoC、CapSense、EZ-USB、F-RAM 和 Traveo 应视为赛普拉斯在美国和其他国家的商标或注册商标。请访问 cypress.com 获取赛普拉斯商标的完整列表。其他名称和品牌可能由其各自所有者主张为该方财产。