

英飞凌4-Mb EXCELON™ LP 铁电 RAM (F-RAM)

串行 (SPI), 512K × 8, 工业级

特性

- 4-Mb 铁电随机存取存储器 (F-RAM) 逻辑上为 512K × 8 组织
 - 几乎无限制的 1000 万亿 (10^{15}) 读/写周期耐用性
 - 151 年的数据保留 (参见“[数据保留和耐用性](#)”, 分页 27)
 - 英飞凌即时非易失性写入技术
 - 先进的高可靠性铁电工艺
- 高速串行外设接口 (SPI)
 - 频率高达 50 MHz
 - 支持 SPI 模式 0 (0, 0) 和模式 3 (1, 1)
- 先进的写保护方案
 - 使用写保护 (WP) 引脚进行硬件保护
 - 使用写禁用 (WRDI) 指令进行软件保护
 - 软件功能块保护 1/4、1/2 或整个阵列
- 设备 ID 和序列号
 - 设备 ID 包含制造商 ID 和产品 ID
 - 唯一 ID
 - 序列号
- 专用 256 字节特殊扇区 F-RAM
 - 专用特殊扇区写入和读取
 - 存储的内容可经受最多三次标准回流焊接周期
- 低功耗
 - 40 MHz 时有效电流为 2.4 mA (典型值)
 - 2.3 μ A (典型值) 待机电流
 - 0.70 μ A (典型值) 深度休眠模式电流
 - 0.1 μ A (典型值) 休眠模式电流
- 低电压运行
 - CY15V104QN: $V_{DD} = 1.71\text{ V}$ 至 1.89 V
 - CY15B104QN: $V_{DD} = 1.8\text{ V}$ 至 3.6 V
- 商业和工业工作温度
 - 商用工作温度: 0°C 至 $+70^{\circ}\text{C}$
 - 工业工作温度: -40°C 至 $+85^{\circ}\text{C}$
- 封装
 - 8 引脚小型封装集成电路 (SOIC) 封装
 - 8 引脚栅格阵列四方扁平无引线 (GQFN) 封装 (NRND) ^[1]
 - 8 引脚超薄细间距栅格阵列 (UFLGA) 封装
- 符合有害物质限制 (RoHS) 标准

注释

1. NRND - 不建议用于新设计

本数据手册的原文使用英文撰写。为方便起见，英飞凌提供了译文；由于翻译过程中可能使用了自动化工具，英飞凌不保证译文的准确性。为确认准确性，请务必访问 infineon.com 参考最新的英文版本 (控制文档)。

功能描述

EXCELON™ LP CY15X104QN 是一款采用先进的铁电工艺的低功耗、4-Mb 非易失性存储器。铁电随机存取存储器或F-RAM非易丢失并且执行类似于RAM的读取和写入。它可提供长达 151 年的可靠数据保存，同时消除了串行闪存、EEPROM 和其他非易失性存储器所导致的复杂性、开销和系统级可靠性问题。

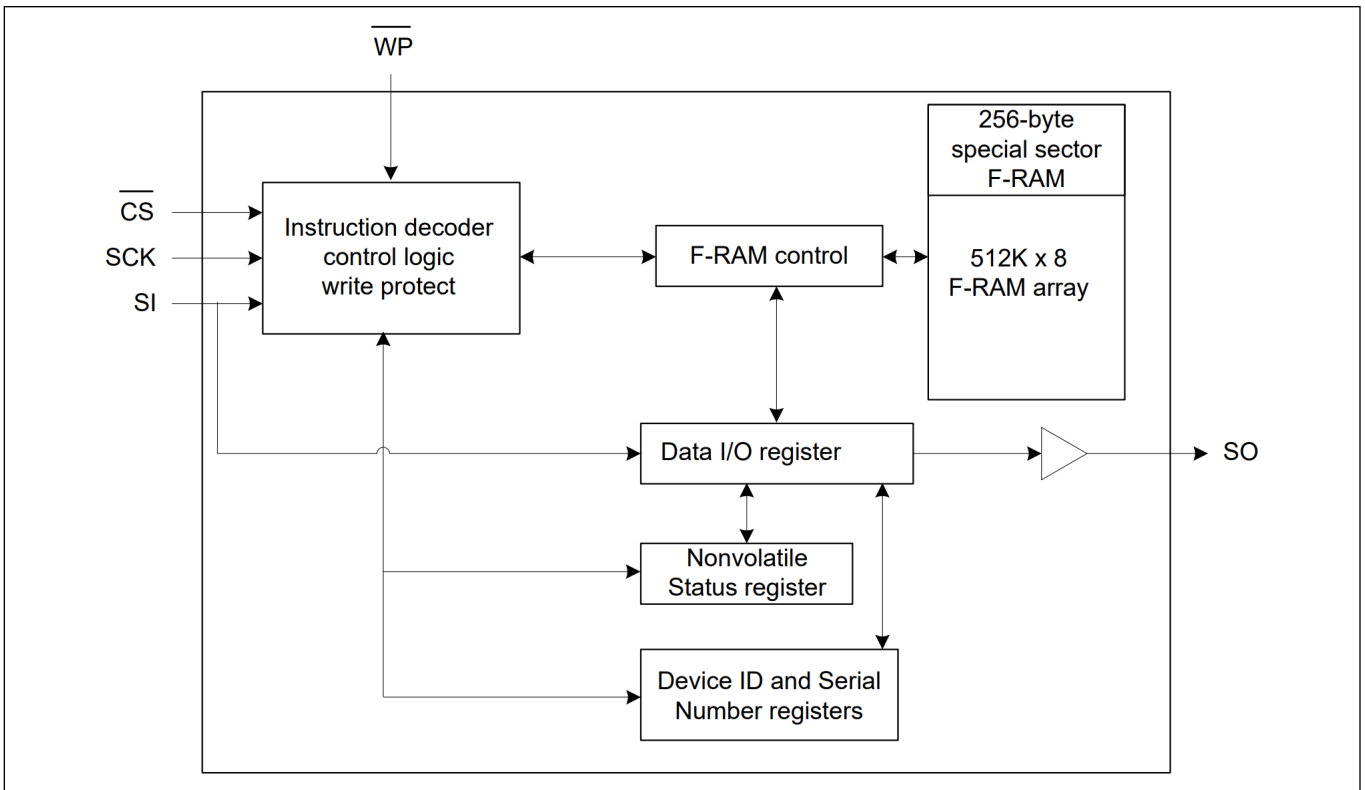
与串行闪存和 EEPROM 不同，CY15X104QN 以总线速度执行写入操作。不会产生写入延迟。每个字节成功传输到设备后，数据会立即写入存储器阵列。下一个写入周期无需数据轮询即可开始。此外，与其他非易失性存储器相比，该产品具有更高的写入耐久性。CY15X104QN 能够支持 10^{15} 次读/写循环，或者说比 EEPROM 多 10 亿倍的写入循环。

这些功能使 CY15X104QN 成为需要频繁或快速写入的非易失性存储器应用的理想选择。例如，在数据收集中写入次数可能至关重要，而在工业控制中，串行闪存或 EEPROM 的长写入时间可能会导致数据丢失。

CY15X104QN 作为硬件直接替代品，为串行 EEPROM 或闪存用户提供了巨大的优势。CY15X104QN 采用高速 SPI 总线，增强了 F-RAM 技术的高速写入能力。设备包含只读设备 ID 和唯一 ID 功能，允许主机确定每个部件的制造商、产品密度、产品修订版和唯一 ID。设备还提供可写的 8 字节序列号寄存器，可用于识别特定的电路板或系统。

请[点击这里](#)，了解完整的相关资料。

逻辑框图



目录

目录

特性.....	1
功能描述.....	2
逻辑框图.....	2
目录.....	3
1 引脚排列.....	4
2 引脚定义.....	5
3 功能概述.....	6
3.1 存储器架构.....	6
3.2 串行外设接口 (SPI) 总线.....	6
3.2.1 SPI 概述.....	6
3.3 SPI 协议中使用的术语.....	7
3.3.1 SPI 主机.....	7
3.3.2 SPI 从设备.....	7
3.3.3 芯片选择 (CS).....	7
3.3.4 串行时钟 (SCK).....	7
3.3.5 数据传输 (SI/SO).....	8
3.3.6 最高有效位 (MSb).....	9
3.3.7 串行操作码.....	9
3.3.8 无效操作码.....	9
3.3.9 状态寄存器.....	9
3.3.10 SPI 模式.....	10
3.4 上电至首次访问.....	10
4 功能描述.....	11
4.1 指令结构.....	11
4.1.1 写使能控制指令.....	12
4.1.2 状态寄存器和写保护.....	13
4.1.3 寄存器访问指令.....	14
4.1.4 存储器操作.....	14
4.1.5 存储器写操作指令.....	15
4.1.6 存储器读操作指令.....	16
4.1.7 特殊扇区存储器访问指令.....	17
4.1.8 标识和序列号指令.....	18
4.1.9 低功耗模式指令.....	20
5 最大额定值.....	22
6 工作范围.....	23
7 直流电气特性.....	24
8 数据保留和耐用性.....	27
9 电容.....	28
10 热阻抗.....	29
11 交流测试条件.....	30
12 交流开关特性.....	31
13 上电时序.....	33
14 订购信息.....	34
14.1 订购代码定义.....	35
15 封装图.....	36
16 缩略语.....	39
17 文档惯例.....	40
17.1 测量单位.....	40
修订记录.....	41

引脚排列

1 引脚排列

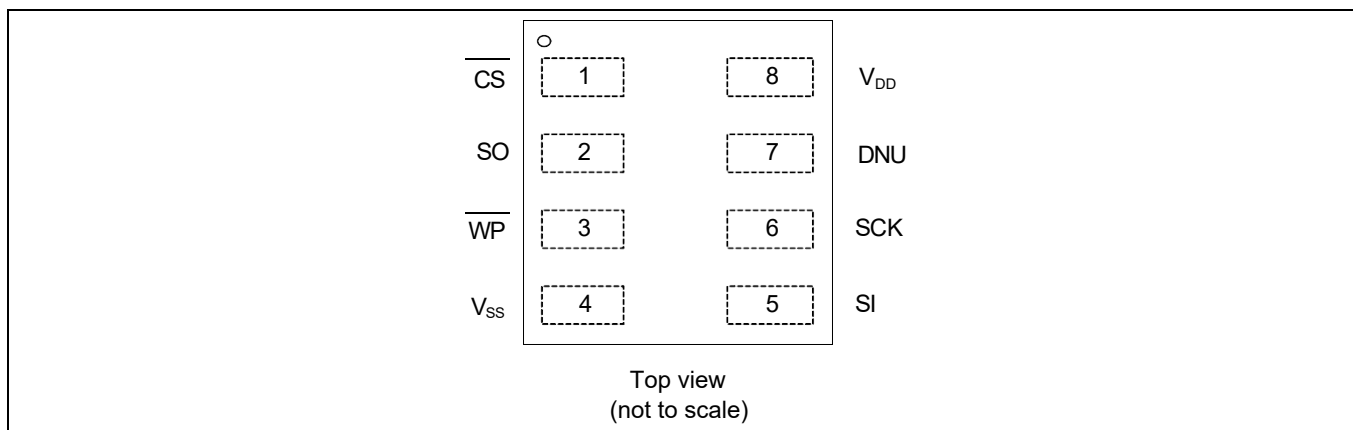


图 1 8 引脚 GQFN/UFLGA 引脚排列

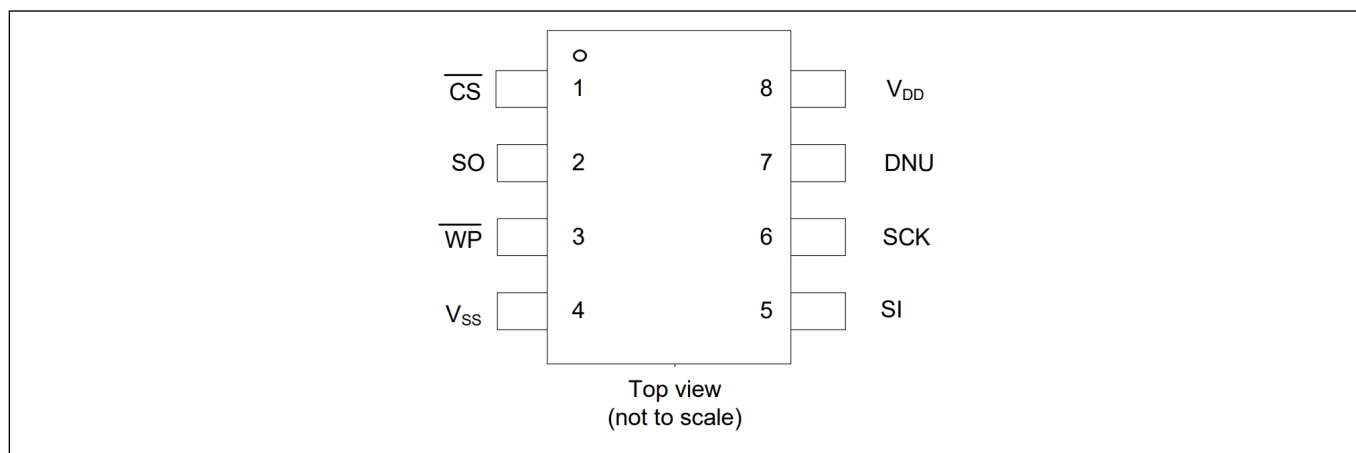


图 2 8 引脚 SOIC 引脚排列

引脚定义

2 引脚定义

表 1 引脚定义

Pin name	I/O type	Description
$\overline{\text{CS}}$	Input	Chip select. This active LOW input activates the device. When HIGH, the device enters low-power standby mode, ignores other inputs, and the output is tristated. When LOW, the device internally activates the SCK signal. A falling edge on $\overline{\text{CS}}$ must occur before every opcode.
SCK	Input	Serial clock. All I/O activity is synchronized to the serial clock. Inputs are latched on the rising edge and outputs occur on the falling edge of the serial clock. The clock frequency may be any value between 0 MHz and 50 MHz and may be interrupted at any time due to its synchronous behavior.
SI ^[2]	Input	Serial input. All data is input to the device on this pin. The pin is sampled on the rising edge of SCK and is ignored at other times. It should always be driven to a valid logic level to meet the power (I_{DD}) specifications.
SO ^[2]	Output	Serial output. This is the data output pin. It is driven during a read and remains tristated at all other times. Data transitions are driven on the falling edge of the serial clock SCK.
WP	Input	Write protect. This active LOW pin prevents write operation to the status register when WPEN bit in the status register is set to '1'. This is critical because other write protection features are controlled through the status register. A complete explanation of write protection is provided in Table 3 and Table 6 . This pin must be tied to V_{DD} if not used.
DNU	Do not use	Do not use. Either leave this pin floating (not connected on the board) or tie to V_{DD} .
V_{SS}	Power supply	Ground for the device. Must be connected to the ground of the system.
V_{DD}	Power supply	Power supply input to the device.

注释

2. SI 可以连接到 SO 以实现单引脚数据接口。

3 功能概述

CY15X104QN 是串行 F-RAM 存储器。该存储器阵列在逻辑上组织为 524,288 × 8 位，并使用行业标准串行外设接口 (SPI) 总线进行访问。F-RAM 的功能操作类似于串行闪存和串行 EEPROM。CY15X104QN 与具有相同引脚排列的串行闪存或 EEPROM 之间的主要区别在于 F-RAM 优越的写入性能、高耐用性和低功耗。

3.1 存储器架构

访问 CY15X104QN 时，用户需要寻址 512K 个位置，每个位置有 8 个数据位。这 8 个数据位以串行方式移入或移出。使用 SPI 协议访问地址，该协议包括芯片选择（允许总线上有多个设备）、操作码和三字节地址。地址范围的高五位是“不关心”值。19 位的完整地址唯一指定每个字节的地址。

CY15X104QN 的大多数功能由 SPI 接口控制或由板载电路处理。存储器操作的访问时间基本上为零，超出了串行协议所需的时间。也就是说，存储器以 SPI 总线的速度进行读取或写入。与串行闪存或 EEPROM 不同，无需轮询设备以获得就绪条件，因为写入以写入速度进行。当新的总线事务可以移入设备时，写入操作就完成了。这在接口部分有更详细的解释。

3.2 串行外设接口 (SPI) 总线

CY15X104QN 是 SPI 从设备，工作频率高达 50 MHz。这种高速串行总线为 SPI 主机提供高性能串行通信。许多常见的微控制器都有硬件 SPI 端口，允许直接连接。对于不具备此特性的微控制器来说，使用普通的端口引脚来模拟端口很简单。CY15X104QN 在 SPI 模式 0 和 3 下运行。

3.2.1 SPI 概述

SPI 是一个四引脚接口，具有片选 (\overline{CS})、串行输入 (SI)、串行输出 (SO) 和串行时钟 (SCK) 引脚。

SPI 是一个同步串行接口，它使用时钟和数据引脚进行内存访问，并支持数据总线上的多个设备。使用 \overline{CS} 引脚激活 SPI 总线上的设备。

片选、时钟和数据之间的关系由 SPI 模式决定。本设备支持 SPI 模式 0 和 3。在这两种模式下，从 \overline{CS} 激活后的第一个上升沿开始，数据都会在 SCK 的上升沿被写入 F-RAM。

SPI 协议由操作码控制。这些操作码指定从总线主机到从设备的指令。 \overline{CS} 激活后，从总线主机发送的第一个字节传送操作码。操作码之后，所有地址和数据都会被传输。操作完成后，在发出新的操作码之前， \overline{CS} 必须处于非活动状态。

3.3 SPI协议中使用的术语

SPI协议中常用的术语如下：

3.3.1 SPI 主机

SPI主机设备控制SPI总线上的操作。SPI总线可能只有一个主机和一个或多个从设备。所有从设备共享相同的SPI总线，主机可以使用 $\overline{\text{CS}}$ 引脚选择任何从设备。所有操作必须由主机启动，通过拉低从设备的 $\overline{\text{CS}}$ 引脚来激活从设备。主机还生成SCK，并且SI和SO线上的所有数据都与该时钟同步。

3.3.2 SPI从设备

SPI从设备由主机通过片选线激活。从设备从SPI主机获取SCK作为输入，并且所有通信都与该时钟同步。SPI从机不会在SPI总线上发起通信，仅根据主机发出的指令进行操作。

CY15X104QN 作为SPI从设备运行，可以与其他SPI从设备共享SPI总线。

3.3.3 芯片选择 ($\overline{\text{CS}}$)

要选择任何从设备，主机需要下拉相应的 $\overline{\text{CS}}$ 引脚。仅当 $\overline{\text{CS}}$ 引脚为低电平时，才能向从设备发出任何指令。当未选择设备时，通过SI引脚的数据将被忽略，串行输出引脚(SO)保持高阻状态。

注释：新指令必须以 $\overline{\text{CS}}$ 的下降沿开始。因此，每个有效片选周期只能发出一个操作码。

3.3.4 串行时钟 (SCK)

串行时钟由SPI主机生成， $\overline{\text{CS}}$ 变为低电平后，通信与该时钟同步。

CY15X104QN 支持 SPI 模式 0 和 3 进行数据通信。在这两种模式下，从设备在 SCK 的上升沿锁存输入，并在下降沿发出输出。因此，SCK 的第一个上升沿表示 SPI 指令的第一个最高有效位 (MSb) 到达 SI 引脚。此外，所有数据输入和输出都与 SCK 同步。

功能概述

3.3.5 数据传输 (SI/SO)

SPI数据总线由两条线组成：SI和SO，用于串行数据通信。SI也称为主机输出从机输入 (MOSI)，SO也称为主机输出从机输出 (MISO)。主机通过SI引脚向从机发出指令，从机通过SO引脚做出响应。多个从设备可以共享SI和SO线，如前所述。

CY15X104QN 有两个独立的SI和SO引脚，可以与主机连接，如图3所示。对于没有专用SPI总线的微处理器，可以使用通用端口。为了减少控制器上的硬件资源，可以将两个数据引脚 (SI, SO) 连接在一起并将WP引脚连接 (高电平)。图4显示了这样一种配置，它只使用三个引脚。

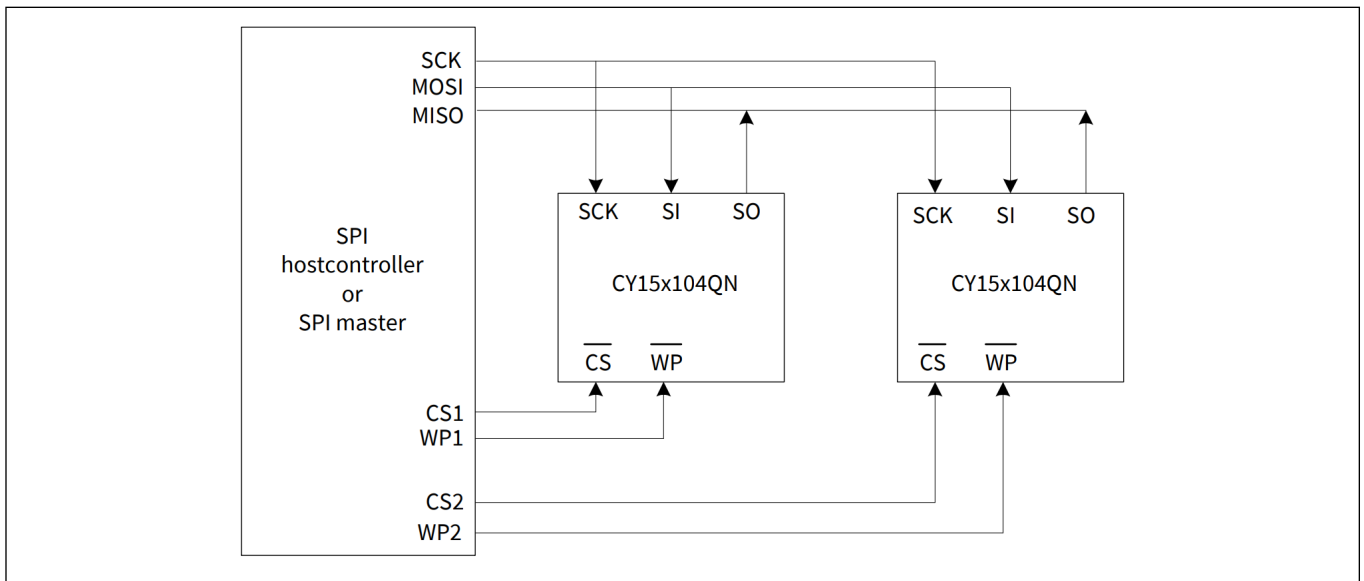


图3 带SPI端口的系统配置

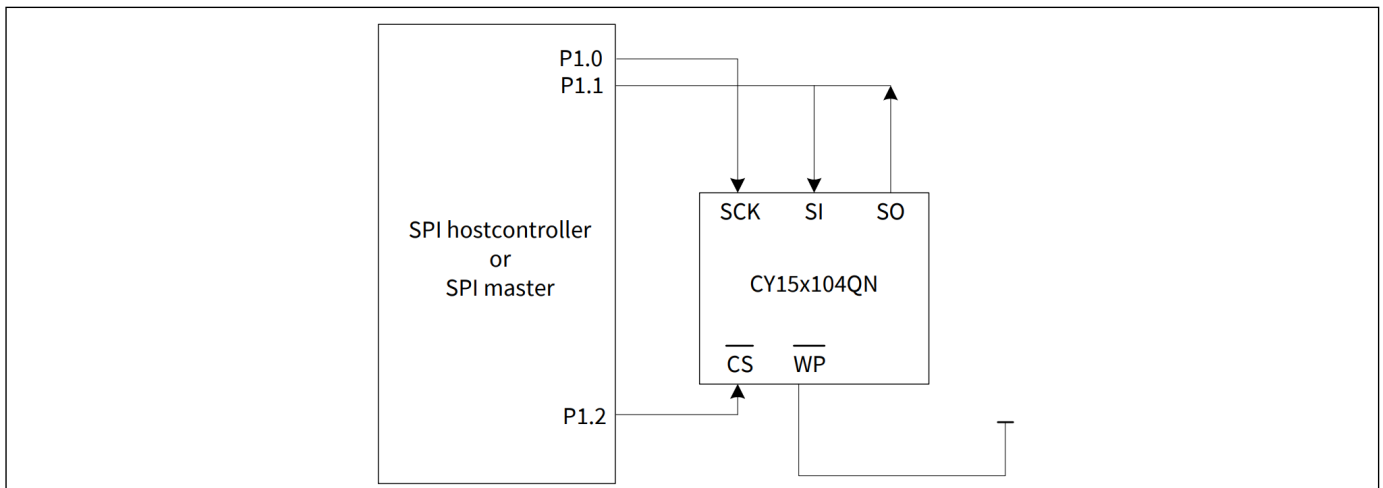


图4 无SPI端口的系统配置

3.3.6 最高有效位 (MSb)

SPI 协议要求传输的第一位是 MSb。这对于地址和数据都有效。

4 Mb 串行 F-RAM 需要 3 字节地址才能进行任何读取或写入操作。由于地址只有 19 位，因此设备会忽略输入的前五位。虽然这五个位“不关心”，但英飞凌建议将这些位设置为 0，以便能够无缝过渡到更高的存储器密度。

3.3.7 串行操作码

在 \overline{CS} 变为低电平的情况下选择从设备后，接收到的第一个字节将被视为预期操作的操作码。CY15X104QN 使用标准操作码进行存储器访问。

3.3.8 无效操作码

如果接收到无效的操作码，则忽略该操作码，并且设备将忽略SI引脚上的任何其他串行数据，直到 \overline{CS} 的下一个下降沿，并且 SO 引脚保持三态。

3.3.9 状态寄存器

CY15X104QN 有一个 8 位状态寄存器。状态寄存器中的位用于配置设备。这些位的说明如表 4 所示。

功能概述

3.3.10 SPI 模式

CY15X104QN 可由微处理器驱动，其SPI外设运行在以下两种模式之一：

- SPI模式0 (CPOL = 0, CPHA = 0)
- SPI模式3 (CPOL = 1, CPHA = 1)

对于这两种模式，输入数据从 \overline{CS} 有效后的第一个上升沿开始在 SCK 的上升沿锁存。如果时钟从高电平开始（模式3），则考虑时钟切换后的第一个上升沿。输出数据在 SCK 的下降沿可用。两种SPI模式如图5和图6所示。当总线主机未传输数据时，时钟的状态为：

- 模式0时 SCK 保持为 0
- 模式3时 SCK 保持为 1

当通过将 \overline{CS} 引脚置于低电平来选择设备时，设备会根据SCK引脚的状态检测SPI模式。如果在选择设备时 SCK 引脚为低电平，则假定为SPI模式0；如果 SCK 引脚为高电平，则它在SPI模式3下工作。

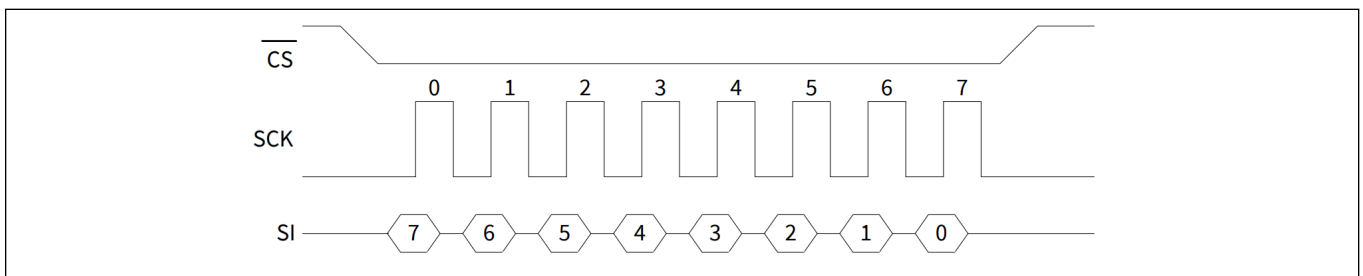


图5 SPI模式0

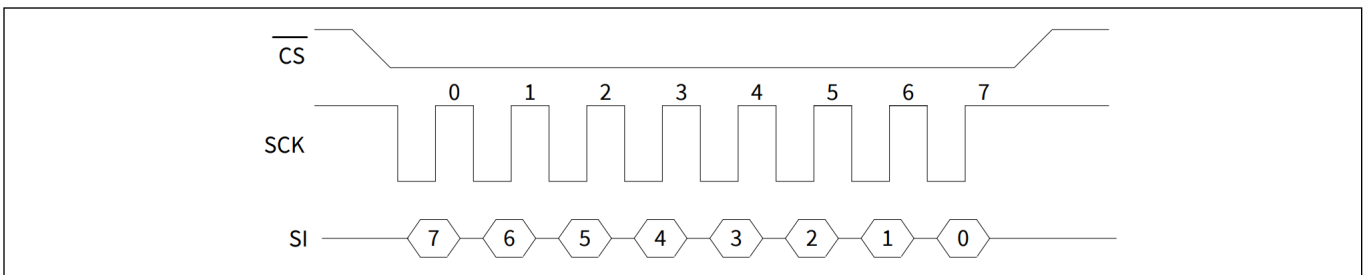


图6 SPI模式3

3.4 上电至首次访问

CY15X104QN 在上电后 t_{PU} 时间内无法访问。用户必须遵守时序参数 t_{PU} ，即从 V_{DD} (min) 到第一个 \overline{CS} 低电平的最短时间。详情请参阅“[上电时序](#)”（分页33）。

功能描述

4 功能描述

4.1 指令结构

有 15 个指令（称为操作码）可以由总线主机向 CY15X104Q 发出（参见表 2）。这些操作码控制着处理器执行的功能。

表 2 操作码指令

Name	Description	Opcode		Max. frequency (MHz)
		Hex	Binary	
Write enable control				
WREN	Set write enable latch	06h	0000 0110b	50
WRDI	Reset write enable latch	04h	0000 0100b	50
Register access				
RDSR	Read status register	05h	0000 0101b	50
WRSR	Write status register	01h	0000 0001b	50
Memory write				
WRITE	Write memory data	02h	0000 0010b	50
Memory read				
READ	Read memory data	03h	0000 0011b	40
FSTRD	Fast read memory data	0Bh	0000 1011b	50
Special sector memory access				
SSWR	Special sector write	42h	0100 0010b	50
SSRD	Special sector read	4Bh	0100 1011b	40
Identification and serial number				
RDID	Read device ID	9Fh	1001 1111b	50
RUID	Read unique ID	4Ch	0100 1100b	50
WRSN	Write serial number	C2h	1100 0010b	50
RDSN	Read serial number	C3h	11000 011b	50
Low-power mode commands				
DPD	Enter deep power-down	BAh	1011 1010b	50
HBN	Enter hibernate mode	B9h	1011 1001b	50
Reserved				
Reserved	Reserved	Unused opcodes are reserved for future use.		–

功能描述

4.1.1 写使能控制指令

4.1.1.1 置位写使能锁存器 (WREN, 06h)

CY15X104QN 将上电并禁用写入。任何写操作之前都必须发出 WREN 指令。发送 WREN 操作码后，用户就可以发出后续操作码进行写操作。这些包括写入状态寄存器 (WRSR)、存储器写操作 (WRITE)、特殊扇区写入 (SSWR) 和写入序列号 (WRSN)。

发送 WREN 操作码会导致内部写使能锁存器置位。状态寄存器中的一个标志位，称为 WEL，表示锁存器的状态。WEL = '1' 表示允许写入。尝试在状态寄存器中写入 WEL 位对此位的状态没有影响 - 只有 WREN 操作码可以设置此位。在 WRDI、WRSR、写入、SSWR 或 WRSN 操作之后，WEL 位将在 \overline{CS} 的上升沿上自动清除。这可以防止在没有另一个 WREN 指令的情况下进一步写入状态寄存器或 F-RAM 存储器。图 7 说明了 WREN 指令总线配置。

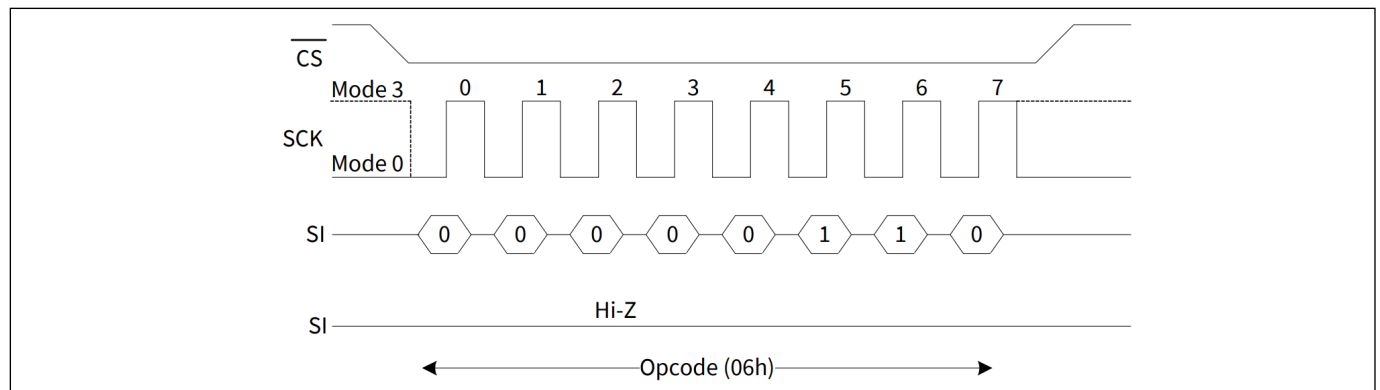


图 7 WREN 总线配置

4.1.1.2 复位写使能锁存器 (WRDI, 04h)

WRDI 指令通过清除写使能锁存器来禁用所有写操作。通过读取状态寄存器中的 WEL 位并确认等于“0”，来验证是否禁用了写操作。图 8 说明了 WRDI 指令总线配置。

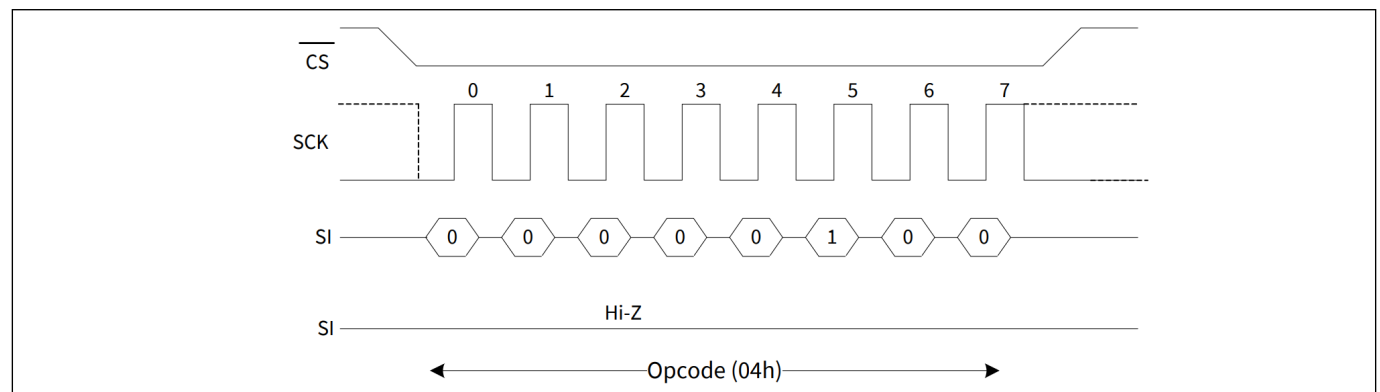


图 8 WRDI 总线配置

功能描述

4.1.2 状态寄存器和写保护

CY15X104QN 的写保护功能是多层的，并通过状态寄存器启用。状态寄存器的组织如下。（出厂默认值：WEL、BP0、BP1、位 4-5 以及 WPEN 均为“0”，位 6 为“1”）。

表 3 状态寄存器

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
WPEN (0)	X (1)	X (0)	X (0)	BP1 (0)	BP0 (0)	WEL (0)	X (0)

表 4 状态寄存器位定义

Bit	Definition	Description
Bit 0	Don't care	This bit is non-writable and always returns '0' upon read.
Bit 1 (WEL)	Write enable	WEL indicates if the device is write enabled. This bit defaults to '0' (disabled) on power-up. WEL = 1 = Write enabled WEL = 0 = Write disabled
Bit 2 (BP0)	Block protect bit '0'	Used for block protection. For details, see Table 5 .
Bit 3 (BP1)	Block protect bit '1'	Used for block protection. For details, see Table 5 .
Bit 4–5	Don't care	These bits are non-writable and always return '0' upon read.
Bit 6	Don't care	This bit is non-writable and always returns '1' upon read.
Bit 7 (WPEN)	Write protect Enable bit	Used to enable the function of write protect pin (WP). For details, see Table 6 .

位 0 和 4-5 固定为 '0'，位 6 固定为 '1'；这些位都不能修改。注意，位 0（串行闪存和 EEPROM 中的“准备就绪或写入进行中”位）是不必要的，因为 F-RAM 实时写入且从不处于忙状态，因此读出为 '0'。例外情况是当设备从“深度休眠模式 (DPD, BAh)”（分页 20）或“休眠模式 (HBN, B9h)”（分页 21）唤醒时。BP1 和 BP0 控制软件写保护功能，并且是非易失性位。WEL 标志指示写使能锁存器的状态。尝试直接写入状态寄存器中的 WEL 位对其状态没有影响。该位是内部置位，并通过 WREN 置位和 WRDI 清除。

BP1 和 BP0 是存储器功能块写保护位。它们指定了存储器的写保护部分，如 [表 5](#) 所示。

表 5 功能块存储器写保护

BP1	BP0	Protected address range
0	0	None
0	1	60000h to 7FFFFh (upper 1/4)
1	0	40000h to 7FFFFh (upper 1/2)
1	1	00000h to 7FFFFh (all)

BP1 和 BP0 位以及写使能锁存器是保护存储器免遭写操作的唯一机制。其余的写保护功能可防止对块保护位的意外更改。

状态寄存器中的写保护使能位 (WPEN) 控制硬件写保护 (\overline{WP}) 引脚的效果。参见 [图 24](#) 用于 \overline{WP} 引脚时序框图。当 WPEN 位置位为“0”时， \overline{WP} 引脚的状态被忽略。当 WPEN 位置位为 1 时， \overline{WP} 引脚上的低电平禁止写入状态寄存器。因此，仅当 WPEN = 1 且 \overline{WP} = 0 时，状态寄存器才被写保护。[表 6](#) 总结了写保护条件。

功能描述

表 6 写保护

WEL	WPEN	\overline{WP}	Protected blocks	Unprotected blocks	Status register
0	X	X	Protected	Protected	Protected
1	0	X	Protected	Unprotected	Unprotected
1	1	0	Protected	Unprotected	Protected
1	1	1	Protected	Unprotected	Unprotected

4.1.3 寄存器访问指令

4.1.3.1 读取状态寄存器 (RDSR, 05h)

RDSR 指令允许总线主机验证状态寄存器的内容。读取状态寄存器提供有关写保护功能当前状态的信息。按照 RDSR 操作码，CY15X104QN 将返回一个字节，其中包含状态寄存器的内容。

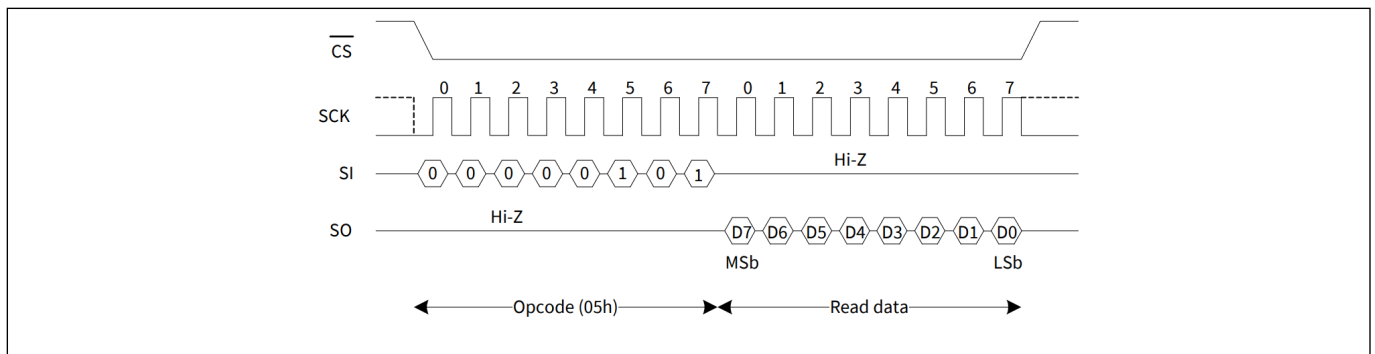


图 9 RDSR 总线配置

4.1.3.2 写入状态寄存器 (WRSR, 01h)

WRSR 指令允许 SPI 总线主机写入状态寄存器，并通过根据需要设置 WPEN、BP0 和 BP1 位来更改写保护配置。在发出 WRSR 指令之前， \overline{WP} 引脚必须为高电平或无效。请注意，在 CY15X104QN 上， \overline{WP} 仅阻止写入状态寄存器，而不阻止内存阵列。在发送 WRSR 指令之前，用户必须发送 WREN 指令才能写入。执行 WRSR 指令是一个写操作，因此会清除写使能锁存器。

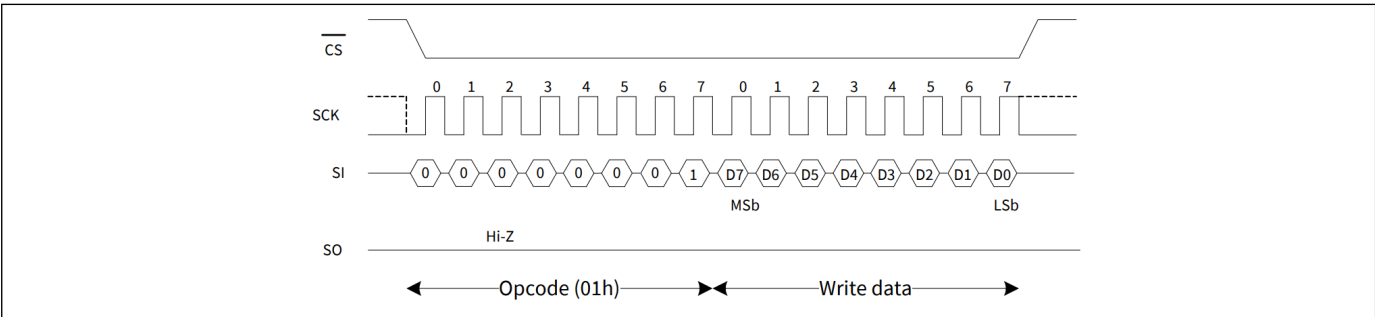


图 10 WRSR 总线配置 (未显示 WREN)

4.1.4 存储器操作

能够承受高时钟频率的 SPI 接口凸显了 F-RAM 技术的快速写入能力。与串行闪存和 EEPROM 不同，CY15B104QN 可以以总线速度执行顺序写入。不需要分页寄存器，并且可以执行任意数量的连续写入。

4.1.5 存储器写操作指令

4.1.5.1 写操作 (Write, 02h)

对存储器的所有写入操作均以 WREN 操作码开始，其中 \overline{CS} 被置位和置低。下一个操作码是写。写操作码后跟一个三字节地址，其中包含要写入存储器的第一个数据字节的 19 位地址 (A18-A0)。三字节地址的高五位将被忽略。后续字节是数据字节，按顺序写入。只要总线主机继续发出时钟并保持 \overline{CS} 为低电平，地址就会在内部递增。如果达到最后一个地址 7FFFFh，则内部地址计数器将翻转到 00000h。每个要写入的数据字节都在 8 个时钟周期内在 SI 上传输，MSb 在前，LSb 在后。 \overline{CS} 的上升沿终止写操作。CY15X104QN 写操作如图 11 所示。

注释

- 当突发写入到达受保护的功能块地址时，自动地址递增停止，并且设备将忽略所有后续接收到的写入数据字节。EEPROM 使用分页缓冲区来增加其写入吞吐量。这弥补了该技术固有的写入速度慢的缺陷。F-RAM 存储器没有分页缓冲区，因为每个字节在时钟输入后（第 8 个时钟之后）立即写入 F-RAM 阵列。这允许写入任意数量的字节，而不会出现分页缓冲区延迟。
- 如果在写操作过程中掉电，则只会写入最后完成的字节。

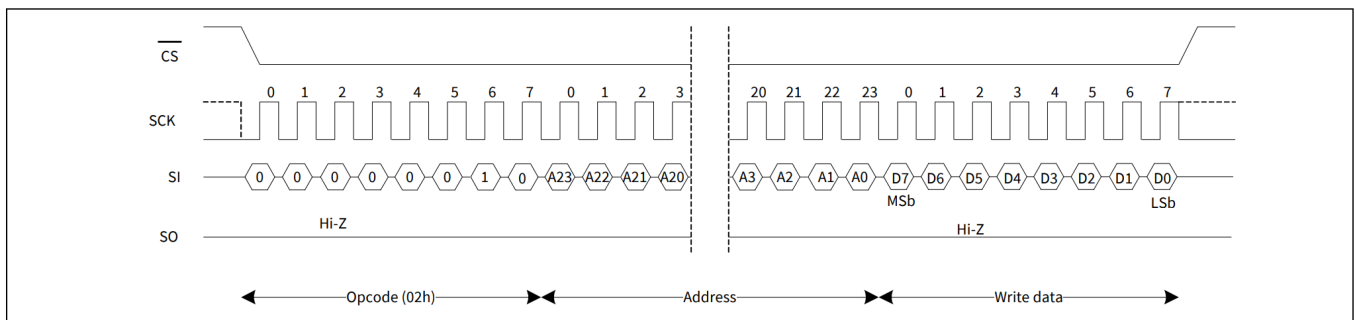


图 11 存储器写（未显示 WREN）操作

功能描述

4.1.6 存储器读操作指令

4.1.6.1 读操作 (READ, 03h)

\overline{CS} 下降沿后，总线主机可以发出读取操作码。读取命令后面是一个三字节地址，其中包含读操作的第一个字节的 19 位地址 (A18-A0)。地址的高五位将被忽略。发出操作码和地址后，设备在接下来的 8 个时钟上驱动出读取数据。在读取数据字节期间，SI 输入被忽略。后续字节是数据字节，按顺序读出。只要总线主机继续发出时钟且 \overline{CS} 为低电平，地址就会在内部递增。如果到达 7FFFFh 的最后一个地址，内部地址计数将滚动到 00000h。设备还提供可写的 8 字节序列号寄存器，可用于识别特定的板卡或系统。 \overline{CS} 的上升沿终止读操作并使 SO 引脚处于三态。CY15X104QN 读操作如图 12 所示。

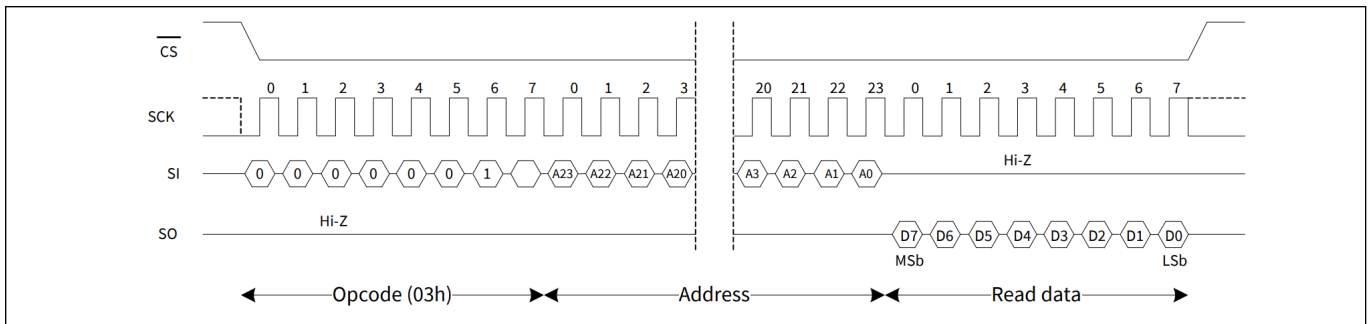


图12 存储器读操作

4.1.6.2 快速读操作 (FAST_READ, 0Bh)

CY15X104QN 支持快速读操作码 (0Bh)，该操作码旨在与串行闪存设备兼容。快速读操作码后跟一个三字节地址，其中包含读操作第一个字节的 19 位地址 (A18-A0)，然后是一个虚拟字节。虚拟字节会插入 8 个时钟周期的读取延迟。快速读取操作除需要一个额外的虚拟字节外，其他方面与普通读取操作相同。接收到操作码、地址和虚拟字节后，CY15X104QN 开始使用数据字节驱动其 SO 线，首先发送 MSb，只要选择了设备并且时钟可用，就会继续传输。在批量读取的情况下，内部地址计数器会自动递增，在达到最后一个地址 7FFFFh 后，内部地址计数器会翻转至 0000h。当设备在其 SO 线上驱动数据时，其 SI 线上的任何转换都将被忽略。 \overline{CS} 的上升沿终止快速读取操作，并使 SO 引脚进入三态。CY15X104QN 快速读取操作如图 13 所示。

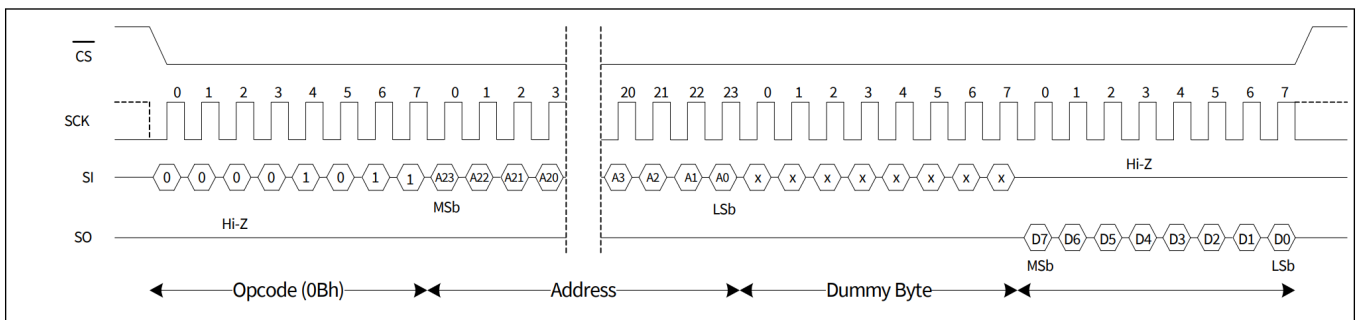


图 13 快速读操作

功能描述

4.1.7 特殊扇区存储器访问指令

4.1.7.1 特殊扇区写入 (SSWR, 42h)

对 256 字节特殊扇区的所有写入操作均以 WREN 操作码开始，其中 \overline{CS} 置位和置低。下一个操作码是 SSWR。SSWR 操作码后跟一个三字节地址，其中包含要写入特殊扇区存储器的第一个数据字节的 8 位扇区地址 (A7-A0)。三字节地址的高 16 位将被忽略。后续字节为数据字节，按顺序写入。地址如下：

只要总线主设备继续发出时钟并保持 \overline{CS} 为低电平，该地址就会在内部递增。一旦内部地址计数器自动递增至 XXXFFh， \overline{CS} 应切换为高电平以终止正在进行的 SSWR 操作。每个待写入的数据字节均在 SI 上以 8 个时钟周期传输，MSb 优先，LSb 最后。 \overline{CS} 的上升沿终止写操作。CY15X104QN 特殊扇区写操作如图 14 所示。

注释

- 如果在写操作过程中掉电，则只会写入最后完成的字节。
- 特殊的扇区 F-RAM 存储器保证保留最多三个标准回流焊接周期的数据完整性。

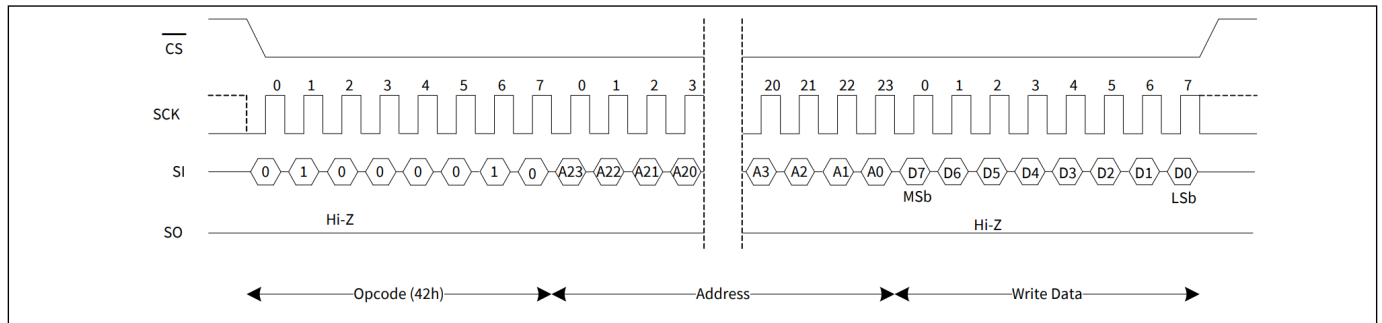


图 14 特殊扇区写 (未显示 WREN) 操作

4.1.7.2 特殊扇区读取 (SSRD, 4Bh)

在 \overline{CS} 的下降沿之后，总线主机可以发出 SSRD 操作码。SSRD 指令之后是三字节地址，包含特殊扇区读操作第一个字节的 8 位地址 (A7-A0)。地址的高 16 位将被忽略。发出操作码和地址后，设备将在接下来 8 个时钟周期内输出读取数据。读取数据字节期间，SI 输入将被忽略。后续字节为数据字节，按顺序读出。只要总线主设备继续发出时钟且 \overline{CS} 为低电平，地址就会内部递增。一旦内部地址计数器自动递增至 XXXFFh， \overline{CS} 应切换为高电平以终止正在进行的 SSRD 操作。 \overline{CS} 的上升沿终止特殊扇区读操作，并使 SO 引脚进入三态。CY15X104QN 特殊扇区读操作如图 15 所示。

注释：特殊扇区 F-RAM 存储器保证保留最多三个标准回流焊接周期的数据完整性。

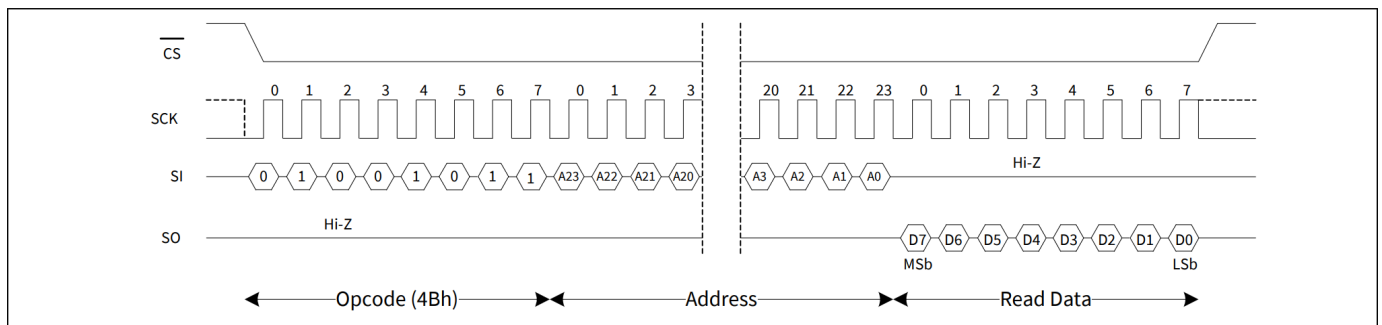


图 15 特殊扇区读操作

功能描述

4.1.8 标识和序列号指令

4.1.8.1 读取设备 ID (RDID, 9Fh)

CY15X104QN 设备可查询其制造商、产品标识和芯片版本。RDID 操作码 9Fh 允许用户读取 9 字节的制造商 ID 和产品 ID，两者都是只读字节。JEDEC 分配的制造商 ID 将 Ramtron 标识符放在第 7 组中；因此，有六个字节的连续码 7Fh，后跟一个字节的 C2h。产品 ID 有两个字节，包括系列码、密度码、子码和产品版本码。表 7 显示 9 字节设备 ID 字段描述。请参阅“订购信息”（分页 34）单个部件的 9 字节设备 ID。CY15X104Q 读取设备 ID 操作如图 16 所示。

注释：最低有效数据字节 (字节 0) 首先移出，最高有效数据字节 (字节 8) 最后移出。

表 7 9 字节设备 ID

Device ID field description							
Manufacturer ID [71:16]	Family [15:13]	Density [12:9]	Inrush [8]	Sub type [7:5]	Revision [4:3]	Voltage [2]	Frequency [1:0]
56-bit	3-bit	4-bit	1-bit	3-bit	2-bit	1-bit	2-bit

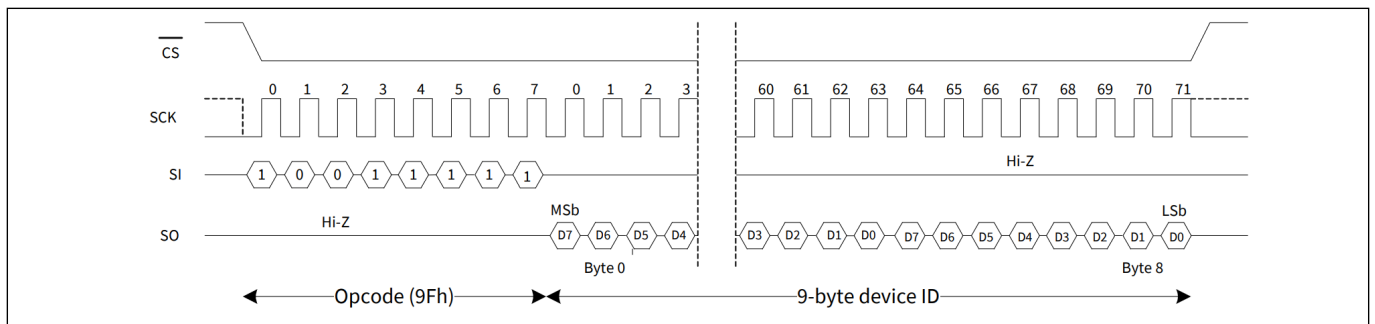


图 16 读取设备 ID

4.1.8.2 读取唯一 ID (RUID 4Ch)

CY15X102QN 设备可查询其唯一 ID，该 ID 是工厂预编程的 64 位数字，每个设备都独有。RUID 操作码 4Ch 允许读取 8 字节的只读唯一 ID。CY15X102QN 读取唯一 ID 的操作如图 17 所示。

注释

- 最低有效数据字节 (字节 0) 首先移出，最高有效数据字节 (字节 7) 最后移出。
- 唯一的 ID 寄存器保证在标准回流焊接三个周期内保持数据完整性。

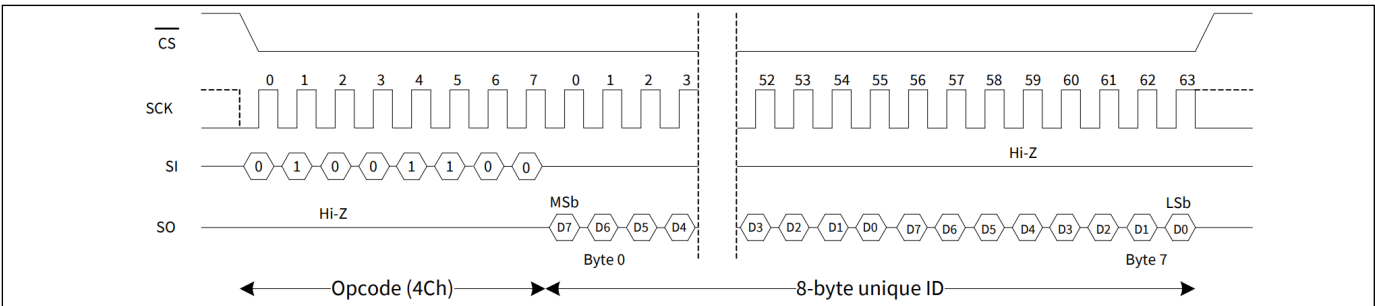


图 17 读取唯一 ID

功能描述

4.1.8.3 写入序列号 (WRSN, C2h)

序列号是提供给用户的 8 字节一次性可编程存储空间，用于唯一标识 PC 板或系统。序列号通常由两字节的客户 ID 组成，后跟 5 字节的唯一序列号和 1 字节的 CRC（循环校验）检查。然而，最终应用程序可以为 8 字节序列号定义自己的格式。所有对序列号寄存器的写入都以 WREN 操作码开始，其中 \overline{CS} 被置位和置低。下一个操作码是 WRSN。WRSN 指令可以在突发模式中使用来写入所有的 8 字节序列号。序列号的最后一个字节移入后，必须将 \overline{CS} 驱动为高电平才能完成 WRSN 操作。CY15X104QN 写入序列号的操作如图 18 所示。

注释： CRC（循环校验）校验和不是由设备计算的。系统固件必须对 7 字节内容计算 CRC（循环校验）校验和，并将校验和附加到 7 字节用户定义序列号中，然后才能将 8 字节序列号编程到序列号寄存器中。8 字节序列号的出厂默认值是“0000000000000000h”。

表8 8字节序列号

16-bit customer identifier		40-bit unique number					8-bit CRC
SN[63:56]	SN[55:48]	SN[47:40]	SN[39:32]	SN[31:24]	SN[23:16]	SN[15:8]	SN[7:0]

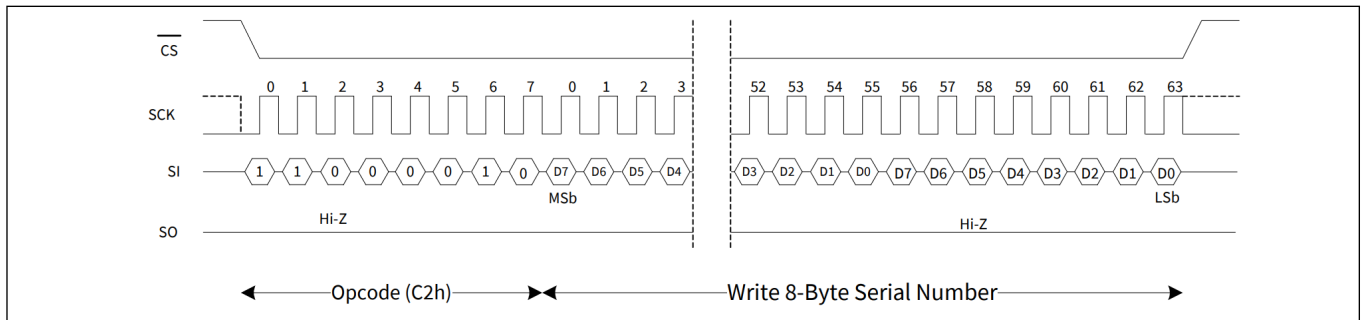


图 18 写入序列号（未显示 WREN）操作

4.1.8.4 读取序列号 (RDSN, C3h)

CY15X104QN 设备集成一个 8 字节串行空间，供用户唯一标识设备。使用 RDSN 指令读取序列号。序列号读取可以在突发模式下执行，一次读取所有 8 个字节。读取序列号的最后一个字节后，设备将循环回到序列号的第一个字节。在 \overline{CS} 变为低电平后，可以通过移位 RDSN 操作码来发出 RDSN 指令。CY15X104QN 读取序列号的操作如图 19 所示。

注释： 最低有效数据字节 (字节 0) 首先移出，最高有效数据字节 (字节 7) 最后移出。

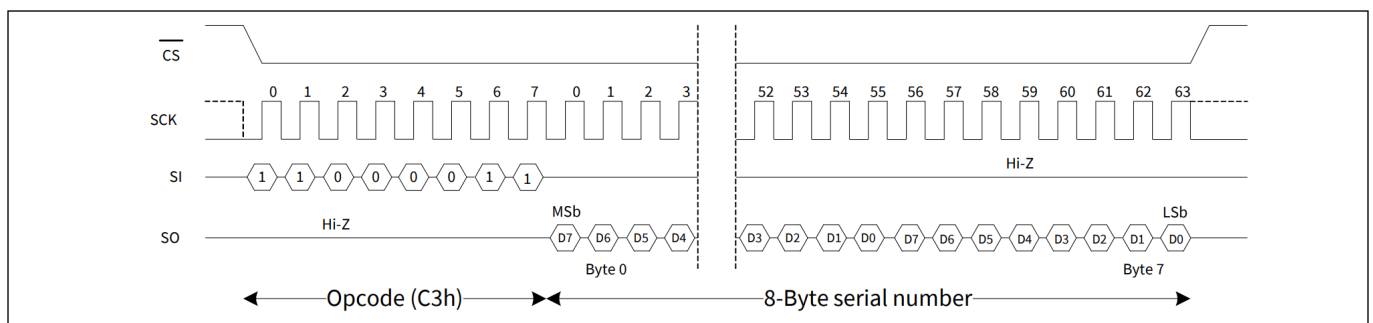


图19 读取序列号操作

功能描述

4.1.9 低功耗模式指令

4.1.9.1 深度休眠模式 (DPD、BAh)

CY15X104QN 设备上实现了深度休眠模式。在 DPD 操作码 BAh 计时并应用 \overline{CS} 上升沿后的 t_{ENTDPD} 时间后，设备进入深度休眠模式。当处于深度休眠模式时，SCK 和 SI 引脚被忽略，SO 将为高阻态，但设备继续监测 \overline{CS} 引脚。

经过 t_{EXTDPD} 时间后， \overline{CS} 脉冲宽度为 t_{CSDPD} ，退出 DPD 模式。 \overline{CS} 脉冲宽度可以通过发送一个虚拟指令周期或单独切换 \overline{CS} 来生成，此时 SCK 和 I/O 处于无关状态。从深度休眠模式唤醒期间，I/O 保持高阻状态。参考图 20 对于 DPD 进入和图 21 对于 DPD 退出时序。

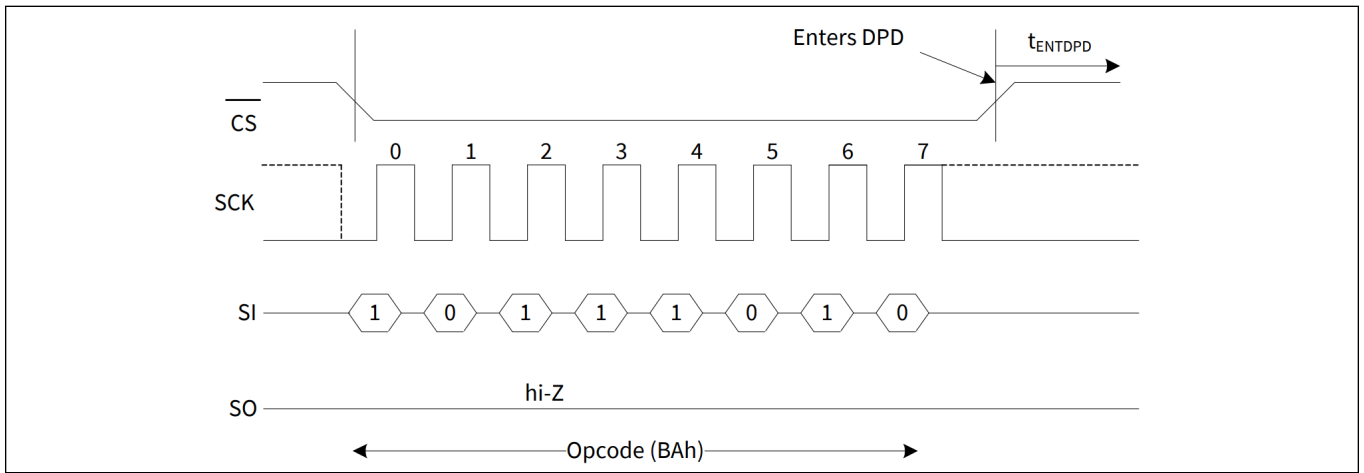


图 20 DPD 进入时序

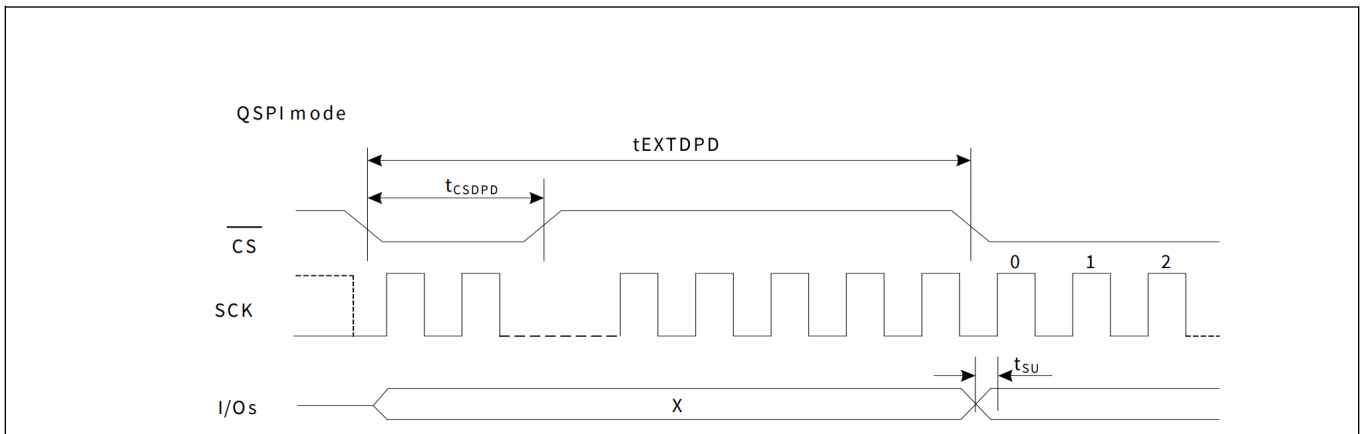


图 21 DPD 退出时序

功能描述

4.1.9.2 休眠模式 (HBN, B9h)

CY15X104QN 设备实现了最低功率休眠模式。在输入 HBN 操作码 B9h 并施加 \overline{CS} 上升沿后，设备在 t_{ENTHIB} 时间后进入休眠模式。在休眠模式下，SCK 和 SI 引脚被忽略，SO 将为高阻态，但设备继续监测 \overline{CS} 引脚。设备将在 \overline{CS} 在下一次下降沿时， t_{EXTHIB} 时间内恢复正常工作。在从休眠模式唤醒期间，SO 引脚保持为高阻态。设备不一定在唤醒期间响应操作码。要退出休眠模式，控制器可以发送“虚拟”读取，例如，并等待剩余的 t_{EXTHIB} 时间。

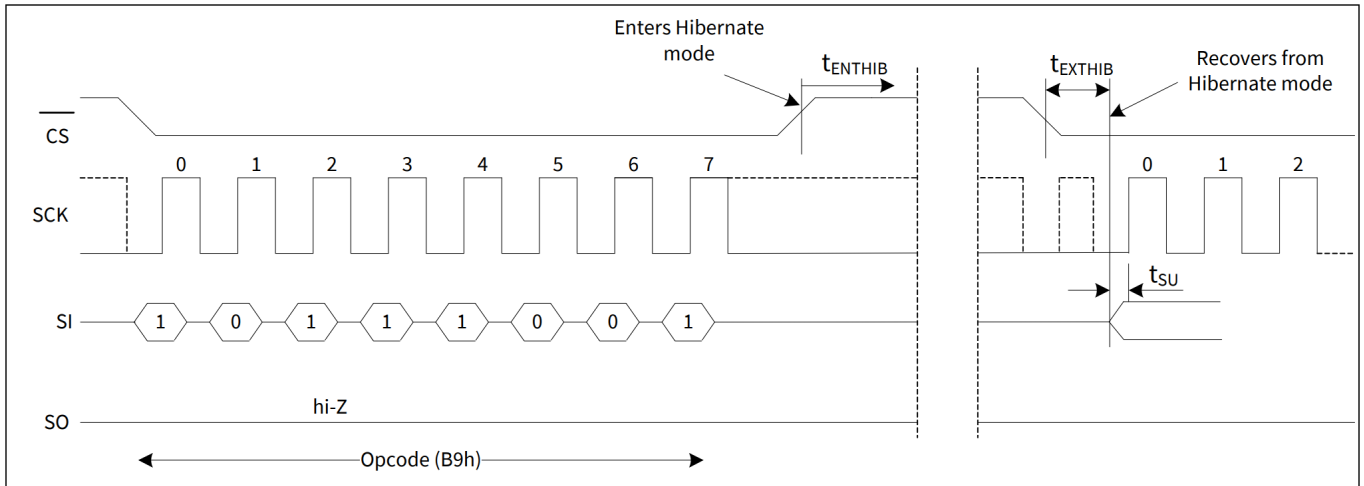


图 22 休眠模式操作

4.1.9.3 耐久性

CY15X104QN 设备的读写访问次数至少可达 10^{15} 次。

F-RAM 存储器采用读取和恢复机制。因此，每次访问（读取或写入）存储器阵列时，都会按行计算一次耐久性循环。F-RAM™ 架构基于 32K 行和列的阵列，每行 64 位。无论是读取或写入单个字节还是全部 8 个字节，整行都会在内部访问一次。在耐久性计算中，行中的每个字节仅计算一次。表 9 显示了 64 字节重复循环的耐久性计算，其中包括操作码、起始地址和连续的 64 字节数据流。这导致每个字节在循环中经历一个耐久周期。

在 50 MHz 时钟频率下，F-RAM 读写耐久性几乎不受限制。

表 9 达到重复 64 字节循环的耐受极限的时间

SCK freq (MHz)	Endurance cycles/sec	Endurance cycles/year	Years to reach 10^{15} limit
50	91,900	2.90×10^{12}	345
40	73,040	2.30×10^{12}	432
20	36,520	1.16×10^{12}	864
10	18,380	5.79×10^{11}	1727
5	9,190	2.90×10^{11}	3454

最大额定值

5 最大额定值

超过最大额定值可能缩短设备的使用寿命。用户指南尚未经过测试。

表 10 绝对最大额定值

Parameter	Max ratings
Storage temperature	-65°C to +125°C
Maximum accumulated storage time	
At 125°C ambient temperature	1000 h
At 85°C ambient temperature	10 Years
Maximum junction temperature	125°C
Supply voltage on V_{DD} relative to V_{SS} :	
CY15V104QN:	-0.5 V to +2.4 V
CY15B104QN:	-0.5 V to +4.1 V
Input voltage	$V_{IN} \leq V_{DD} + 0.5 V$
DC voltage applied to outputs in High-Z state	-0.5 V to $V_{DD} + 0.5 V$
Transient voltage (< 20 ns) on any pin to ground potential	-2.0 V to $V_{DD} + 2.0 V$
Package power dissipation capability ($T_A = 25^\circ C$)	1.0 W
Surface mount lead soldering temperature (3 seconds)	+260°C
DC output current (1 output at a time, 1s duration)	15 mA
Electrostatic discharge voltage	
Human Body Model (JEDEC Std JESD22-A114-B)	2 kV
Charged Device Model (JEDEC Std JESD22-C101-A)	500 V
Latch-up current	> 140 mA

工作范围

6 工作范围

表 11 工作范围

Device	Range	Ambient temperature	V _{DD}
CY15V104QN	Commercial	0°C to +70°C	1.71 V to 1.89 V
CY15B104QN			1.8 V to 3.6 V
CY15V104QN	Industrial	-40°C to +85°C	1.71 V to 1.89 V
CY15B104QN			1.8 V to 3.6 V

直流电气特性

7 直流电气特性

表 12 直流电气特性

在工作范围内

Parameter	Description	Test conditions	Temperature	Min	Typ ^[3, 4]	Max	Unit	
V _{DD}	Power supply	CY15V104QN	–	1.71	1.80	1.89	V	
		CY15B104QN	–	1.80	3.30	3.60		
I _{DD}	V _{DD} supply current	V _{DD} = 1.71 V to 1.89 V; SCK toggling between V _{DD} – 0.2 V and V _{SS} , other inputs V _{SS} or V _{DD} – 0.2 V. SO = Open; CY15V104QN-20S/L P parts	Commercial	f _{SCK} = 1 MHz	–	0.2	0.35	mA
				f _{SCK} = 20 MHz	–	1.2	1.4	
			Industrial	f _{SCK} = 1 MHz	–	0.2	0.4	
				f _{SCK} = 20 MHz	–	1.2	1.5	
			Commercial	f _{SCK} = 1 MHz	–	0.3	0.45	
				f _{SCK} = 20 MHz	–	1.3	1.5	
		Industrial	f _{SCK} = 1 MHz	–	0.3	0.6		
			f _{SCK} = 20 MHz	–	1.3	1.6		
		V _{DD} = 1.71 V to 1.89 V; SCK toggling between V _{DD} – 0.2 V and V _{SS} , other inputs V _{SS} or V _{DD} – 0.2 V. SO = Open; CY15V104QN-50S/L P parts	Commercial	f _{SCK} = 40 MHz	–	2.4	3	
				f _{SCK} = 50 MHz	–	3	3.7	
			Industrial	f _{SCK} = 40 MHz	–	2.4	3	
				f _{SCK} = 50 MHz	–	3	3.7	

注释

- 典型值为 25°C 时，V_{DD} = V_{DD}(typ)。
- 此参数由特性保证；未经生产测试。

直流电气特性

表 12 直流电气特性 (续)

在工作范围内

Parameter	Description	Test conditions	Temperature	Min	Typ ^[3] _{4]}	Max	Unit	
I_{SB}	V_{DD} standby current	$V_{DD} = 1.71\text{ V to }1.89\text{ V};$ $\overline{CS} = V_{DD}$. All other inputs V_{SS} or V_{DD}	-	-	2.3	-	μA	
						$T_A = 25^\circ\text{C}$		30
						$T_A = 70^\circ\text{C}$		65
		$V_{DD} = 1.8\text{ V to }3.6\text{ V};$ $\overline{CS} = V_{DD}$. All other inputs V_{SS} or V_{DD}				$T_A = 25^\circ\text{C}$		-
						$T_A = 70^\circ\text{C}$		31
						$T_A = 85^\circ\text{C}$		70
I_{DPD}	Deep power down current	$V_{DD} = 1.71\text{ V to }1.89\text{ V};$ $\overline{CS} = V_{DD}$. All other inputs V_{SS} or V_{DD}	-	-	0.7	-	μA	
						$T_A = 25^\circ\text{C}$		7
						$T_A = 70^\circ\text{C}$		15
		$V_{DD} = 1.8\text{ V to }3.6\text{ V};$ $\overline{CS} = V_{DD}$. All other inputs V_{SS} or V_{DD}				$T_A = 25^\circ\text{C}$		-
						$T_A = 70^\circ\text{C}$		8
						$T_A = 85^\circ\text{C}$		16
I_{HBN}	Hibernate mode current	$V_{DD} = 1.71\text{ V to }1.89\text{ V};$ $\overline{CS} = V_{DD}$. All other inputs V_{SS} or V_{DD} .	-	-	0.1	-	μA	
						$T_A = 25^\circ\text{C}$		0.4
						$T_A = 70^\circ\text{C}$		0.9
		$V_{DD} = 1.8\text{ V to }3.6\text{ V};$ $\overline{CS} = V_{DD}$. All other inputs V_{SS} or V_{DD} .				$T_A = 25^\circ\text{C}$		-
						$T_A = 70^\circ\text{C}$		0.75
						$T_A = 85^\circ\text{C}$		1.6
I_{LI}	Input leakage current on I/O pins except \overline{WP} pin	$V_{SS} < V_{IN} < V_{DD}$	-	-	-	-1	μA	
	Input leakage current on \overline{WP} pin					-100		1
I_{LO}	Output leakage current	$V_{SS} < V_{OUT} < V_{DD}$	-	-	-	-1	μA	

注释

- 典型值为 25°C 时, $V_{DD} = V_{DD}(\text{typ})$ 。
- 此参数由特性保证; 未经生产测试。

4-Mb EXCELON™ LP Ferroelectric RAM (F-RAM)
Serial (SPI), 512K × 8, industrial



直流电气特性

表 12 **直流电气特性 (续)**

在**工作范围**内

Parameter	Description	Test conditions	Temperature	Min	Typ ^[3, 4]	Max	Unit
V _{IH}	Input HIGH voltage	-	-	0.7 × V _{DD}	-	V _{DD} + 0.3	V
V _{IL}	Input LOW voltage	-	-	-0.3	-	0.3 × V _{DD}	
V _{OH1}	Output HIGH voltage	I _{OH} = -1 mA, V _{DD} = 2.7 V	-	2.40	-	-	
V _{OH2}	Output HIGH voltage	I _{OH} = -100 μA	-	V _{DD} - 0.2	-	-	
V _{OL1}	Output LOW voltage	I _{OL} = 2 mA, V _{DD} = 2.7 V	-	-	-	0.40	
V _{OL2}	Output LOW voltage	I _{OL} = 150 μA	-	-	-	0.20	

注释

3. 典型值为 25°C 时, V_{DD} = V_{DD}(typ)。
4. 此参数由特性保证; 未经生产测试。

数据保留和耐用性

8 数据保留和耐用性

表 13 数据保留和耐用性

Parameter	Description	Test condition	Min	Max	Unit
T _{DR}	Data retention	T _A = 85°C	10	-	Years
		T _A = 70°C	141	-	
		T _A = 60°C	151	-	
		T _A = 50°C	160	-	
NV _C	Endurance	Over operating temperature	10 ¹⁵	-	Cycles

电容

9 电容

表 14 电容

适用于所有封装。

Parameter ^[5]	Description	Test conditions	Max	Unit
C _O	Output pin capacitance (SO)	T _A = 25°C, f = 1 MHz, V _{DD} = V _{DD} (typ)	8	pF
C _I	Input pin capacitance		6	

注释

5. 此参数由特性保证；未经生产测试。

热阻抗

10 热阻抗

表 15 热阻抗

Parameter ^[6]	Description	Test conditions	8-pin SOIC package	8-pin GQFN package	8-pin UFLGA package	Unit
Θ_{JA}	Thermal resistance (junction to ambient)	Test conditions follow standard test methods and procedures for measuring thermal impedance, per EIA/JESD51.	88.6	118	103.5	°C/W
Θ_{JC}	Thermal resistance (junction to case)		56	60	35.3	

注释

6. 此参数由特性保证；未经生产测试。

交流测试条件

11 交流测试条件

表16 交流测试条件

Parameter	Value
Input pulse levels	10% and 90% of V_{DD}
Input rise and fall times	3 ns
Input and output timing reference levels	$0.5 \times V_{DD}$
Output load capacitance	30 pF

交流开关特性

12 交流开关特性

表 17 交流开关特性

在工作范围内

Parameters ^[7]		Description	20 MHz		40 MHz		50 MHz		Unit
Parameter	Alt. parameter		Min	Max	Min	Max	Min	Max	
f _{SCK}	-	SCK clock frequency	0	20	0	40	0	50	MHz
t _{CH}	-	Clock HIGH time	22	-	11	-	9	-	ns
t _{CL}	-	Clock LOW time	22	-	11	-	9	-	ns
t _{CLZ} ^[8]	-	Clock LOW to output Low-Z	0	-	0	-	0	-	ns
t _{CSS}	t _{CSU}	Chip select setup	10	-	5	-	5	-	ns
t _{CSH}	t _{CSH}	Chip select hold - SPI mode 0	10	-	5	-	5	-	ns
t _{CSH1}	-	Chip select hold - SPI mode 3	10	-	10	-	10	-	ns
t _{HZCS} ^[9, 10]	t _{OD}	Output disable time	-	20	-	12	-	10	ns
T _{CO}	t _{ODV}	Output data valid time	-	20	-	9	-	8	ns
t _{OH}	-	Output hold time	1	-	1	-	1	-	ns
t _{CS}	t _D	Deselect time	60	-	40	-	40	-	ns
t _{SD}	t _{SU}	Data setup time	5	-	5	-	5	-	ns
t _{HD}	t _H	Data hold time	5	-	5	-	5	-	ns
t _{WPS}	t _{WHSL}	\overline{WP} setup time (w.r.t \overline{CS})	20	-	20	-	20	-	ns
t _{WPH}	t _{SHWL}	\overline{WP} hold time (w.r.t \overline{CS})	20	-	20	-	20	-	ns

注释

- 测试条件假设信号转换时间为 3 ns 或更短，时序基准电平为 $0.5 \times V_{DD}$ ，输入脉冲电平为 VDD 的 10% 至 90%，输出负载为指定的 I_{OL}/I_{OH} 和 30 pF 负载电容，如图第 30 页“交流测试条件”所述。
- 由设计保证。
- t_{HZCS} 的额定负载电容为 5 pF。当输出进入高阻状态时测量转换。
- 此参数由特性保证；未经生产测试。

交流开关特性

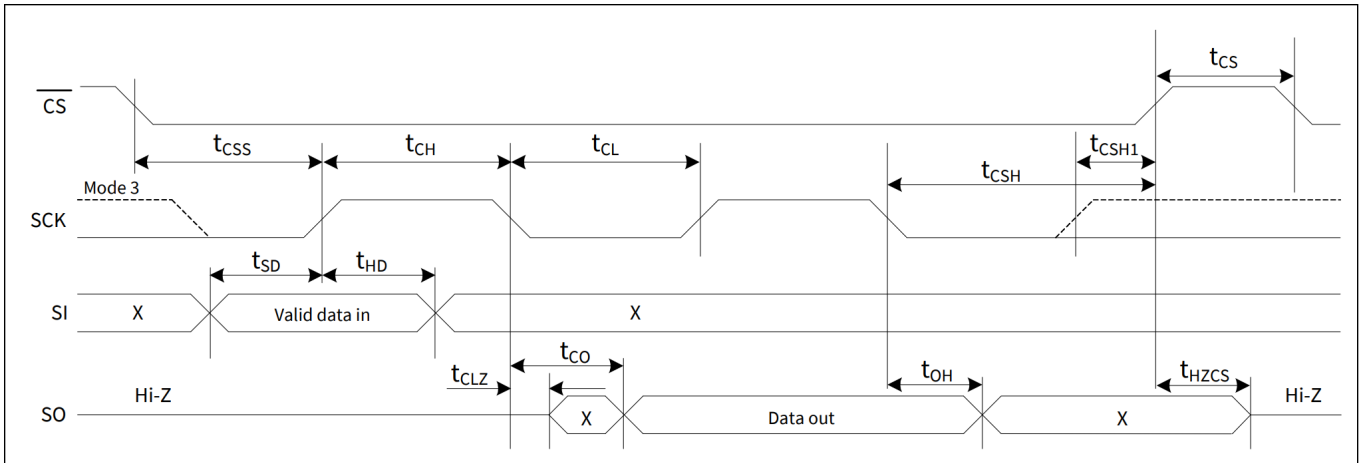


图 23 同步数据时序（模式 0 和模式 3）

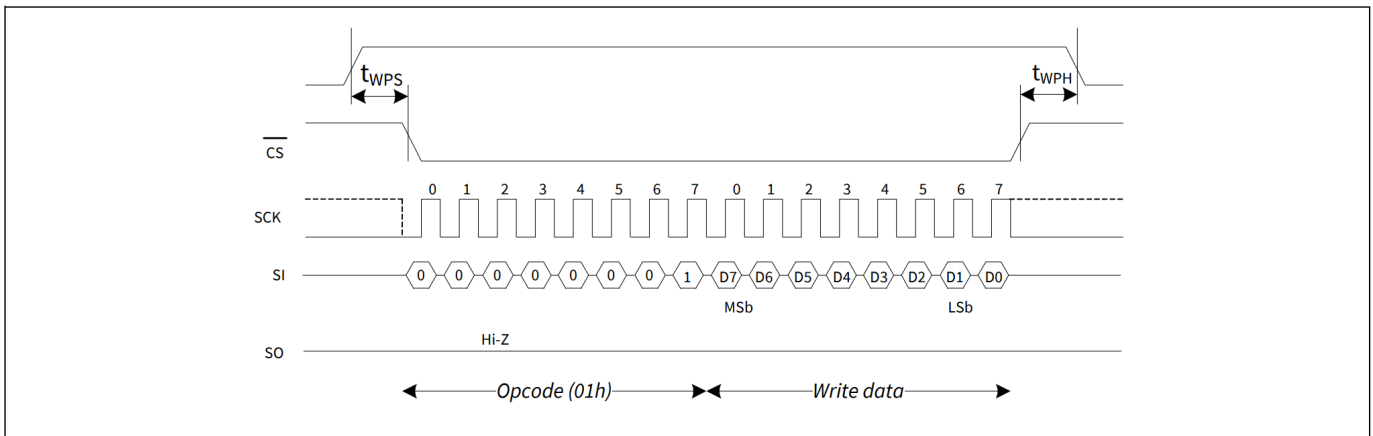


图 24 写状态寄存器（WRSR）操作期间的写保护时序

上电时序

13 上电时序

表 18 上电时序

在工作范围内

Parameter ^[11]		Description	Min	Max	Unit
Parameter	Alt. parameter				
t_{PU}	–	Power-up $V_{DD(min)}$ to first access (\overline{CS} LOW)	450	–	μs
t_{VR} ^[12]	–	V_{DD} power-up ramp rate	50	–	$\mu s/V$
t_{VF} ^[12,13]	–	V_{DD} power-down ramp rate	100	–	
t_{ENTDPD} ^[14]	t_{PD}	\overline{CS} HIGH to enter deep power-down	–	3	μs
t_{CSDPD}	–	\overline{CS} pulse width to wake up from deep power-down mode	0.015	$4 \times 1/f_{SCK}$	
t_{EXTDPD}	t_{RPD}	\overline{CS} LOW to exit deep-power-down (\overline{CS} LOW to ready for access)	–	10	
t_{ENTHIB} ^[15]	–	\overline{CS} HIGH to enter hibernate	–	3	
t_{EXTHIB}	t_{REC}	\overline{CS} LOW to exit hibernate (\overline{CS} LOW to ready for access)	–	450	

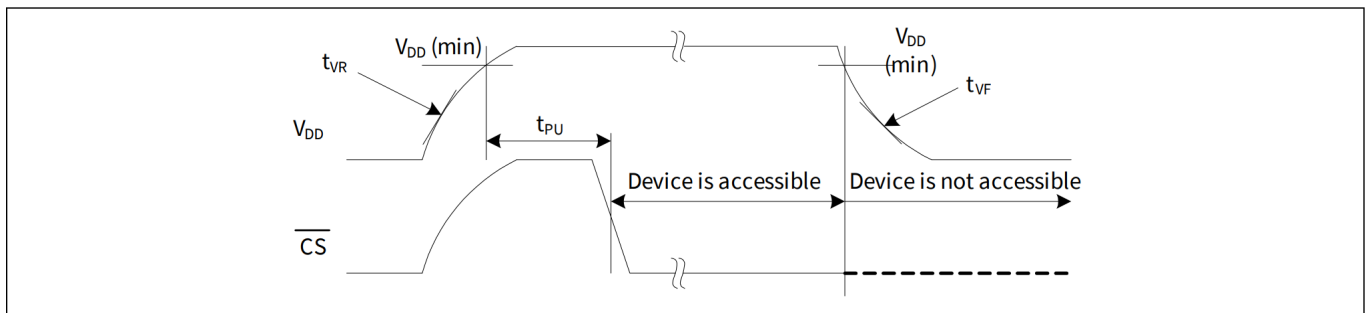


图 25 上电时序

注释

- 测试条件假设信号转换时间为 3 ns 或更短，时序基准电平为 $0.5 \times V_{DD}$ ，输入脉冲电平为 V_{DD} 的 10% 至 90%，输出负载为指定的 I_{OL}/I_{OH} 和 30 pF 负载电容，如第 30 页“交流测试条件”所述。
- 在 V_{DD} 波形上任意一点测量的斜率。
- 此参数由特性保证；未经生产测试。
- 由设计保证。深度休眠模式时序详见图 20。
- 由设计保证。休眠模式时序详见图 22。

订购信息

14 订购信息

表 19 订购信息

Ordering code	Device ID	Package diagram	Package type	Operating range
CY15B104QN-50SXI	7F7F7F7F7F7FC22C00	001-85261	8-pin SOIC (EIAJ)	Industrial
CY15B104QN-50SXIT				
CY15V104QN-50SXI	7F7F7F7F7F7FC22C04			
CY15V104QN-50SXIT				
CY15B104QN-20LPXC	7F7F7F7F7F7FC22CA1	002-18131	8-pin GQFN (NRND) ^[16]	Commercial
CY15B104QN-20LPXCT				
CY15B104QN-20LPXI	7F7F7F7F7F7FC22C01			Industrial
CY15B104QN-20LPXIT				
CY15V104QN-20LPXC	7F7F7F7F7F7FC22CA5			Commercial
CY15V104QN-20LPXCT				
CY15V104QN-20LPXI	7F7F7F7F7F7FC22C05			Industrial
CY15V104QN-20LPXIT				
CY15B104QN-50LPXI	7F7F7F7F7F7FC22C00			
CY15B104QN-50LPXIT				
CY15V104QN-50LPXI	7F7F7F7F7F7FC22C04			
CY15V104QN-50LPXIT				
CY15B104QN-20BFXI	7F7F7F7F7F7FC22C01	002-34146	8-pin UFLGA	Industrial
CY15B104QN-20BFXIT				
CY15B104QN-50BFXI	7F7F7F7F7F7FC22C00			
CY15B104QN-50BFXIT				
CY15V104QN-20BFXI	7F7F7F7F7F7FC22C05			
CY15V104QN-20BFXIT				
CY15V104QN-50BFXI	7F7F7F7F7F7FC22C04			
CY15V104QN-50BFXIT				

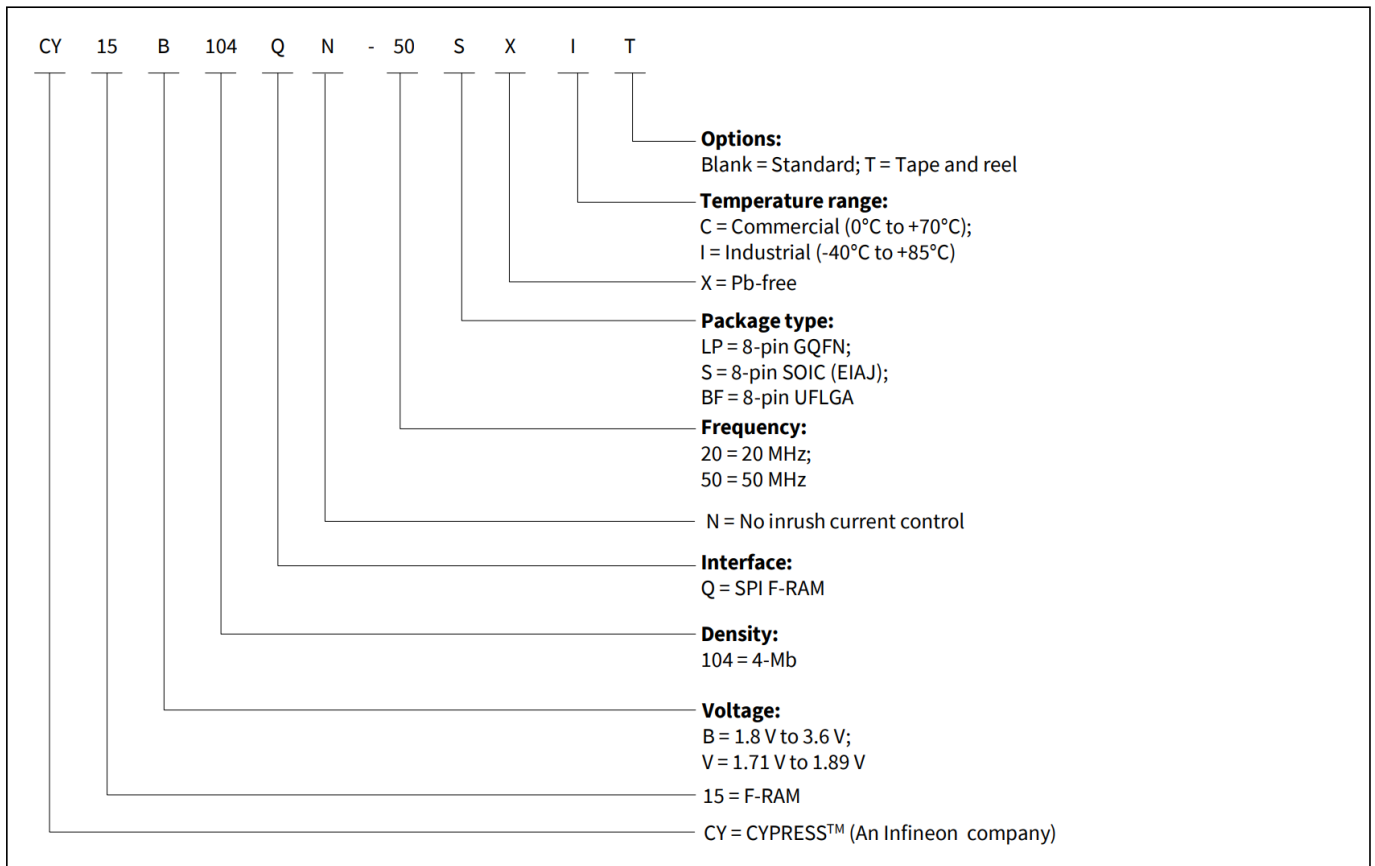
所有这些部件都不含铅。请联系您当地的销售代表以了解这些部件的可用性。

注释

16. NRND - 不建议用于新设计

订购信息

14.1 订购代码定义



封装图

15 封装图

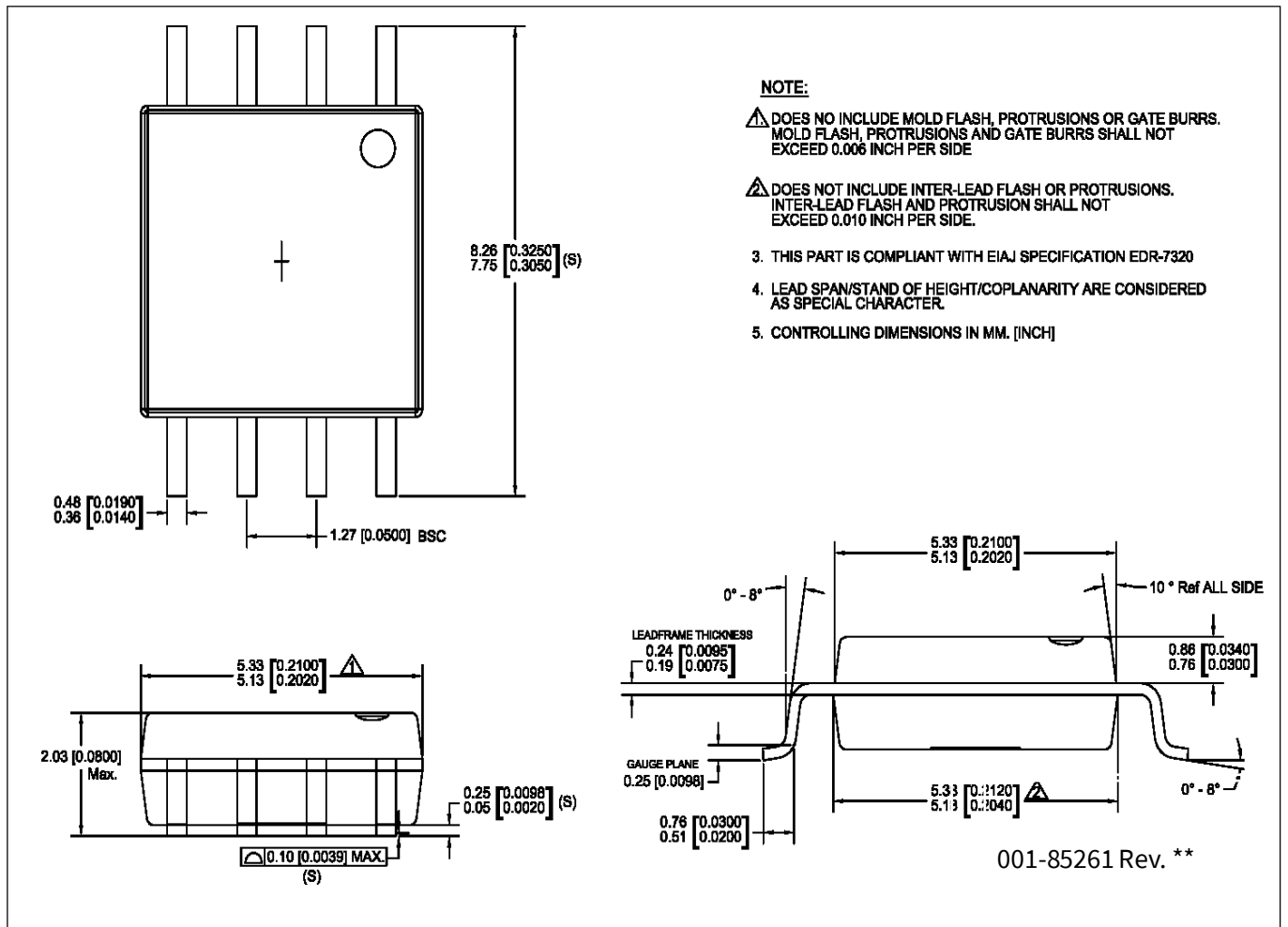


图 26 8 引脚SOIC (208 Mils) SZ820 封装外形, 001-85261

封装图

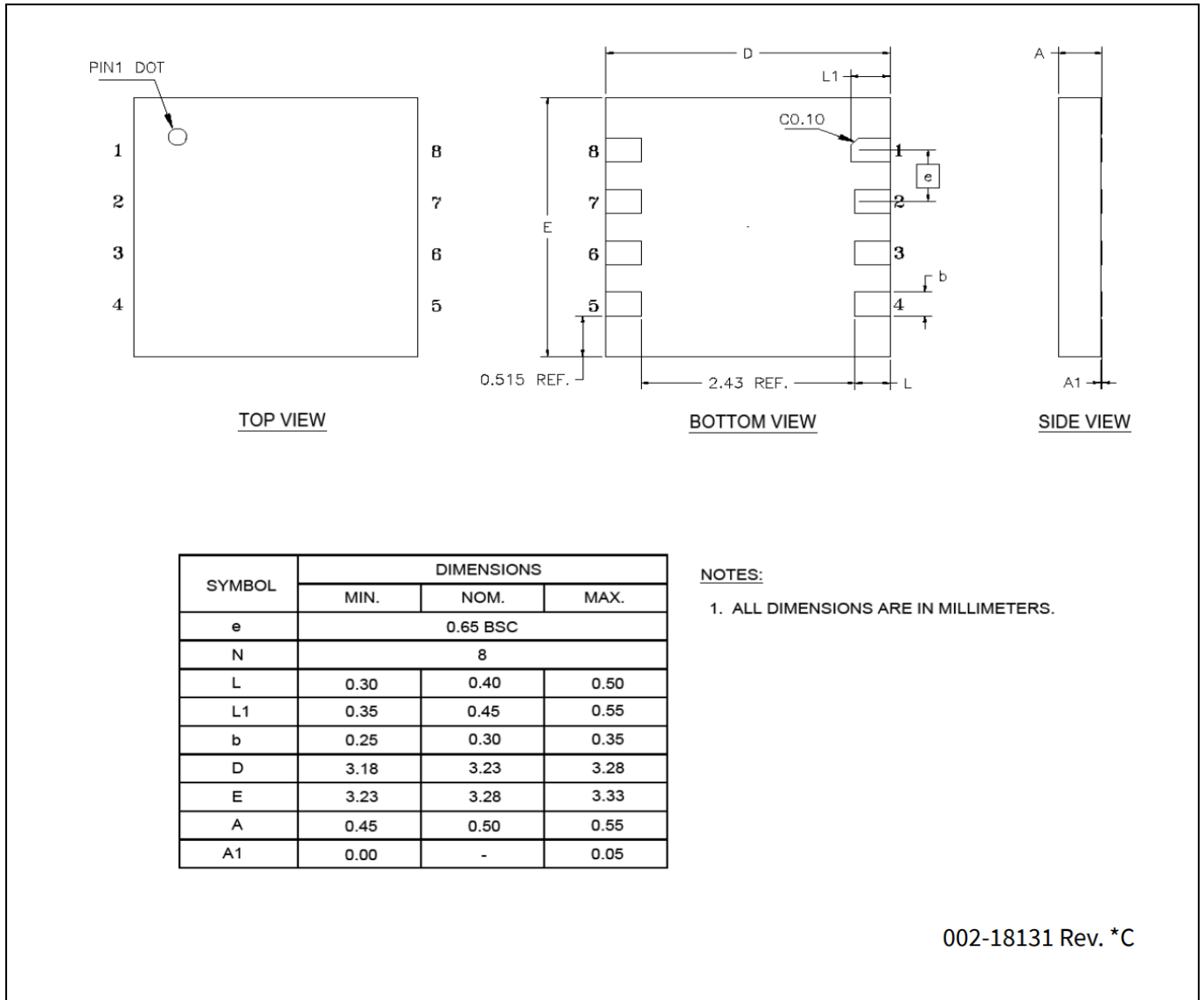


图 27 8 引脚 GQFN (3.23 × 3.28 × 0.55 mm) LP08A 封装外形, 002-18131

封装图

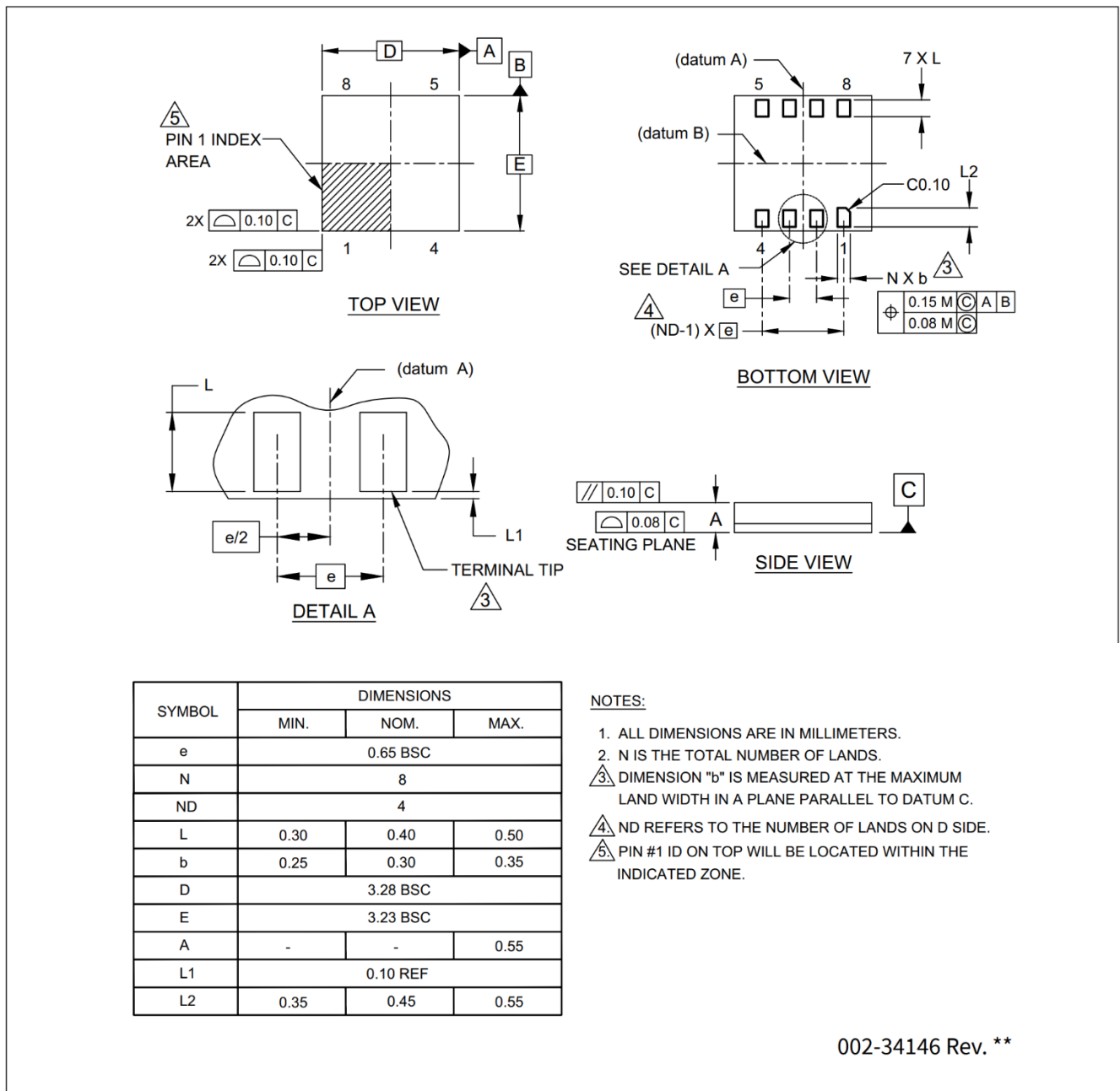


图 28 8 引脚 UFLGA (3.28 × 3.23 × 0.55 mm) BF08A 封装外形, 002-34146

缩略语

16 缩略语

表 20 本文档中使用的缩略语

Acronym	Description
CPHA	clock phase
CPOL	clock polarity
EEPROM	electrically erasable programmable read-only memory
EIA	electronic industries alliance
F-RAM	ferroelectric random access memory
GQFN	grid array flat no-lead
I/O	input/output
JEDEC	Joint Electron Devices Engineering Council
JESD	JEDEC standards
LSb	least significant bit
MSb	most significant bit
RoHS	restriction of hazardous substances
SOIC	small outline integrated circuit
SPI	serial peripheral interface
UFLGA	ultra thin fine-pitch land grid array package

文档惯例

17 文档惯例

17.1 测量单位

表 21 测量单位

Symbol	Unit of measure
°C	degree Celsius
Hz	hertz
kHz	kilohertz
kΩ	kilohm
Mb	megabit
MHz	megahertz
μA	microampere
μF	microfarad
μs	microsecond
mA	milliampere
ms	millisecond
ns	nanosecond
Ω	ohm
%	percent
pF	picofarad
V	volt
W	watt

修订记录

修订记录

Document revision	Date	Description of changes
*K	2019-07-15	Post to external web.
*L	2022-01-24	Migrated to Infineon template.
*M	2022-06-09	Updated Pinouts : Updated Figure 2 .
*N	2022-09-07	Updated Features : Updated description. Updated Pin definitions : Updated description. Updated to new template.
*O	2023-06-05	Added 8-pin UFLGA package related information in all instances across the document. Updated Features : Added Note 1 and referred the same note in “8-pin grid-array quad flat no-lead (GQFN) package (NRND)”. Updated Ordering information : Updated Table 19 (Updated part numbers; updated details under “Package type” column). Added Note 16 and referred the same note in “8-pin GQFN (NRND)” in Table 19 . Updated Ordering code definitions . Updated Package diagrams : Added spec 002-34146 Rev. **. Updated to new template. Completing Sunset Review.



免责声明

请注意，本文件的原文使用英文撰写，为方便客户浏览英飞凌提供了中文译文。该中文译文仅供参考，并不可作为任何论点之依据。

由于翻译过程中可能使用了自动化程序，以及语言翻译和转换过程中的差异，最后的中文译文与最新的英文版本原文含义可能存在不尽相同之处。

因此，我们同时提供该中文译文版本的最新英文原文供您阅读，请参见 <http://www.infineon.com>

英文原文和中文译文版本之间若存有任何歧异，以最新的英文版本为准，并且仅认可英文版本为正式文件。

您如果使用本文件，即表示您同意并理解上述说明。英飞凌不对因翻译过程中可能存在的任何不完整或不准确信息而产生的任何直接或间接损失或损害负责。英飞凌不承担中文译文版本的完整性和准确性责任。如果您不同意上述说明，请不要使用本文件。

Trademarks

All referenced product or service names and trademarks are the property of their respective owners.

重要通知

Infineon Technologies AG 及其关联公司（以下简称“英飞凌”）销售或提供和交付的产品（可能也包括样品，且可能由硬件或软件或两者组成）（以下简称“产品”），应遵守客户与英飞凌签订的框架供应合同或其他书面协议的条款和条件，如无上合同或其他书面协议，则应遵守适用的英飞凌销售条件。只有在英飞凌明确书面同意的情况下，客户的一般条款和条件或对适用的英飞凌销售条件的偏离才对英飞凌具有约束力。

为避免疑义，英飞凌不承担侵犯第三方权利的所有保证和默示保证，例如对特定用途/目的的适用性或适销性的保证。

英飞凌对与样品、应用或客户对任何产品的具体使用有关的任何信息或本文件中给出的任何示例或典型值概不负责。

本文件中包含的数据仅供具有技术资格和技能的客户代表使用。客户有责任评估产品对预期应用和客户特定用途的适用性，并在预期应用和客户特定用途中验证本文件中包含的所有相关技术数据。客户有责任正确设计、编程和测试预期应用的功能性和安全性，并遵守与其使用相关的法律要求。

除非英飞凌另行明确批准，否则产品不得用于任何因产品故障或使用产品的任何后果可合理预期会导致人身伤害的应用。但是，上述规定并不妨碍客户在英飞凌明确设计和销售的使用领域中使用任何产品，但是客户对应用负有全部责任。

英飞凌明确保留根据适用法律，如《德国版权法》（UrhG）第 44b 条，将其内容用于商业资料和数据探勘（TDM）的权利。

如果产品包含安全功能：

由于任何计算设备都不可能绝对安全，尽管产品采取了安全措施，但英飞凌不保证产品不会被入侵、数据不会被盗或遗失，或不会发生其他漏洞（以下简称“安全漏洞”），英飞凌对任何安全漏洞不承担任何责任。

如果本文件包含或引用软件：

根据美国、德国和世界其他国家的知识产权法律和条约，该软件归英飞凌所有。英飞凌保留所有权利。因此，您只能按照软件附带的软件授权协议的规定使用本软件。

如果没有适用的软件授权协议，英飞凌特此授予您个人的、非排他性的、不可转让的软件知识产权授权（无权转授权）：(a) 对于以源代码形式提供的软件，仅在贵组织内部修改和复制该软件用于英飞凌硬件产品；及 (b) 对于以二进制代码 (binary code) 形式对外向终端用户分发该软件，仅得用于英飞凌硬件产品。禁止对本软件进行任何其他使用、复制、修改、翻译或编译。有关产品、技术、交货条款和条件以及价格的详细信息，请联系离您最近的英飞凌办公室或访问 <https://www.infineon.com>。

版本 2026-03-30

Infineon Technologies AG 出版，
德国 Neubiberg 85579

版权 © 2026 Infineon Technologies AG
及其关联公司。
保留所有权利。

Do you have a question about this
document?

Email:

erratum@infineon.com