

4M ビット EXCELON™ LP 強誘電体 RAM (F-RAM)

シリアル (SPI), 512K × 8, 突入電流制御, 産業用

特長

- 512K×8 論理構成として設計された 4M ビット強誘電体 RAM (EXCELON™ LP F-RAM)
 - 1000 兆回 (10^{15}) の読み出し / 書き込みの無限の耐久性
 - 151 年間のデータ保持 (データ保持期間およびアクセス可能回数を参照してください)
 - Infineon インスタンスト不揮発性書き込み技術
 - 高信頼性強誘電体プロセス
- 高速シリアルペリフェラルインターフェース (SPI)
 - 最高周波数は 20MHz
 - SPI モード 0 (0, 0) およびモード 3 (1, 1) をサポート
- 洗練された書き込み保護スキーム
 - 書き込み保護 (WP) ピンを使用したハードウェアによる保護
 - 書き込みディセーブル命令 (WRDI) を使用したソフトウェアによる保護
 - アレイの 1/4, 1/2, または全体を対象としたソフトウェアブロック保護
- デバイス ID とシリアル番号
 - メーカー ID および製品 ID
 - 固有デバイス ID
 - シリアル番号
- 専用 256 バイト特殊セクタ EXCELON™ LP F-RAM
 - 専用特殊セクタの書き込みと読み出し
 - 保存コンテンツは最大 3 回の標準はんだリフローサイクルに耐え得る
- 低消費電力
 - 20 MHz での 1.2 mA (Typ) のアクティブ電流
 - 2.3 μA (Typ) のスタンバイ電流
 - 0.70 μA (Typ) のディープパワーダウン モード電流
 - 0.1 μA (Typ) のハイバネート モード電流
 - 1.5 mA (Typ) の電源投入時の突入電流
- 低電圧動作
 - CY15V104QI: $V_{DD} = 1.71 \text{ V} \sim 1.89 \text{ V}$
 - CY15B104QI: $V_{DD} = 1.8 \text{ V} \sim 3.6 \text{ V}$
- 民生用と産業用び動作温度
 - 民生用動作温度範囲: $0^\circ\text{C} \sim +70^\circ\text{C}$
 - 産業用動作温度範囲: $-40^\circ\text{C} \sim +85^\circ\text{C}$
- パッケージ
 - 8 ピンリードレス クアッド フラット グリッド アレイ (QFN) パッケージ (NRND)^[1]
 - 8 ピン超薄型ファインピッチ ランド グリッド アレイ (UFLGA) パッケージ
- RoHS 準拠

注:

1. NRND - 新規設計には推奨しません。

機能説明

EXCELON™ LP F-RAM CY15X104QI は高度な強誘電体プロセスを適用した低消費電力の 4M ビット不揮発性メモリです。強誘電体ランダム アクセスメモリまたは EXCELON™ LP F-RAM は不揮発性であり、RAM 同様に読み書きを実行します。またシリアル フラッシュや EEPROM、その他の不揮発性メモリによる複雑さ、オーバーヘッド、システム レベルの信頼性関連問題を回避し、151 年間にわたって信頼できるデータ保持ができます。

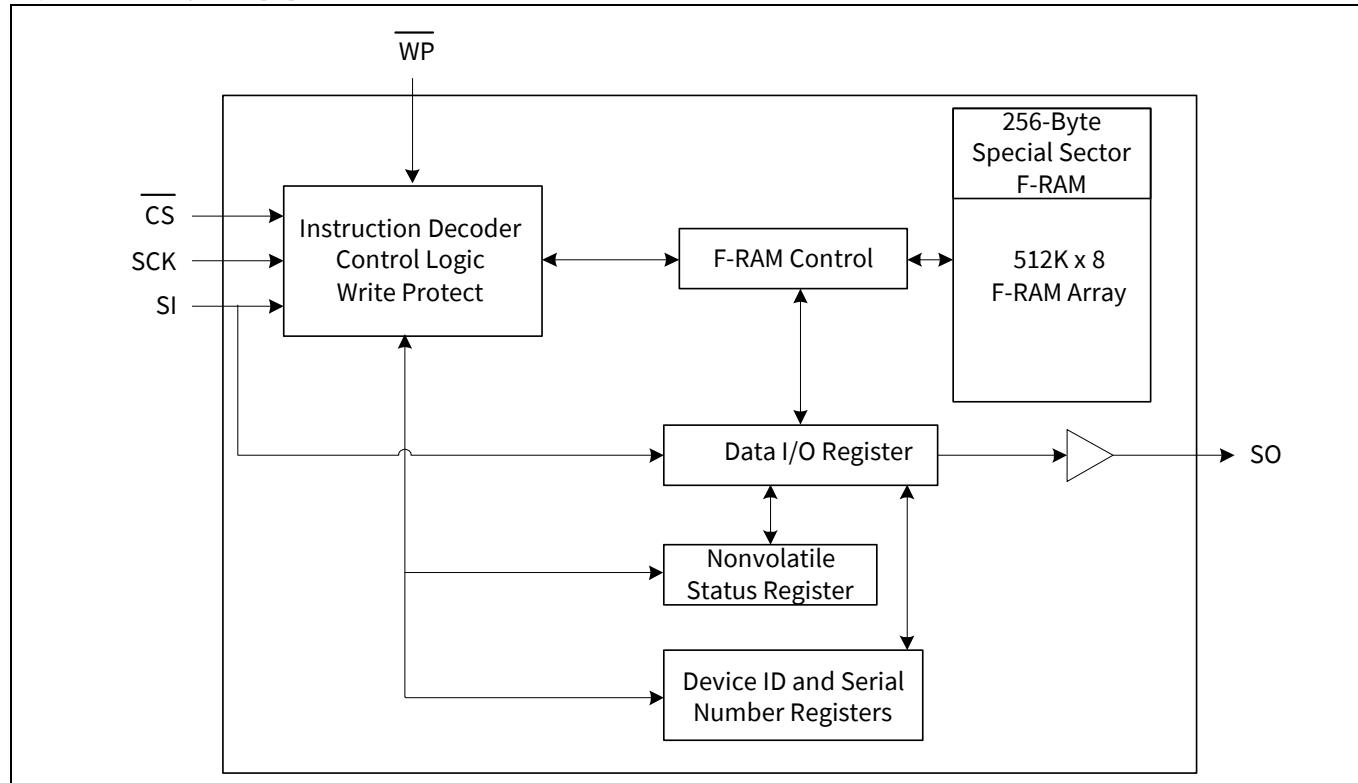
シリアル フラッシュや EEPROM と異なり、CY15X104QI はバス速度で書き込み動作を実行します。書き込み遅延は発生しません。データは各バイトがデバイスに正常に転送された直後にメモリアレイに書き込まれます。次のバスサイクルはデータ ポーリングを必要とせず開始できます。また、本製品は他の不揮発性メモリと比べ多くの書き換え可能回数を提供しています。CY15X104QI は 10^{15} 回の読み出し / 書き込みサイクル、すなわち EEPROM に比べ 10 億倍の書き込みサイクルに対応できます。

これらの能力により、CY15X104QI は頻繁な高速書き込みを必要とする不揮発性メモリの用途に理想的なものになります。これらの用途例は書き込み回数を重視するデータ収集から、シリアル フラッシュや EEPROM を使った場合にその長い書き込み時間に起因してデータを損失する可能性がある厳しい工業用制御までおよびます。

CY15X104QI はハードウェア置き換えができるため、シリアル EEPROM やフラッシュを使用するユーザーに大幅な利点を提供します。CY15X104QI は EXCELON™ LP F-RAM 技術の高速書き込み機能を強化する高速 SPI バスを使用します。このデバイスは読み出し専用のデバイス ID と固有 ID 機能が組み込まれており、ホストが各製品のメーカー、メモリ容量、製品のレビジョンおよび固有 ID を判断できます。本製品はまた、基板またはシステムを特定するために使用できる書き込み可能な 8 バイトシリアル番号レジスタを備えます。

すべての関連資料の一覧については、[ここ](#)をクリックしてください。

論理ブロック図



目次

特長	1
機能説明	2
論理ブロック図	2
目次	3
1 ピン配置	4
2 ピンの機能	5
3 機能概要	6
3.1 メモリ アーキテクチャ	6
3.2 SPI バス	6
3.2.1 SPI 概要	6
3.3 プロトコルで使用される用語	7
3.3.1 SPI マスター	7
3.3.2 SPI スレーブ	7
3.3.3 チップセレクト (CS)	7
3.3.4 シリアルクロック (SCK)	7
3.3.5 データ転送 (SI/SO)	8
3.3.6 最上位ビット (MSb)	8
3.3.7 シリアルオペコード	8
3.3.8 無効なオペコード	9
3.3.9 ステータスレジスタ	9
3.4 SPI モード	9
3.5 電源投入時から最初のアクセスまで	9
4 機能説明	10
4.1 コマンドの構成	10
4.1.1 書き込みイネーブル制御コマンド	11
4.1.2 レジスタアクセスコマンド	12
4.1.3 メモリの動作	13
4.1.4 メモリ書き込み動作コマンド	14
4.1.5 メモリ読み出しコマンド	14
4.1.6 特殊セクタメモリアクセスコマンド	16
4.1.7 IDおよびシリアル番号コマンド	17
4.1.8 低消費電力モードコマンド	19
5 最大定格	21
6 動作範囲	22
7 DC 電気的特性	23
8 データ保持期間およびアクセス可能回数	26
9 静電容量	27
10 熱抵抗	28
11 AC テスト条件	29
12 AC スイッチング特性	30
13 パワー サイクルタイミング	32
14 注文情報	33
14.1 注文コードの定義	33
15 パッケージ図	34
16 略語	36
17 本書の表記法	37
17.1 測定単位	37
改訂履歴	38
免責事項	39

ピン配置

1 ピン配置

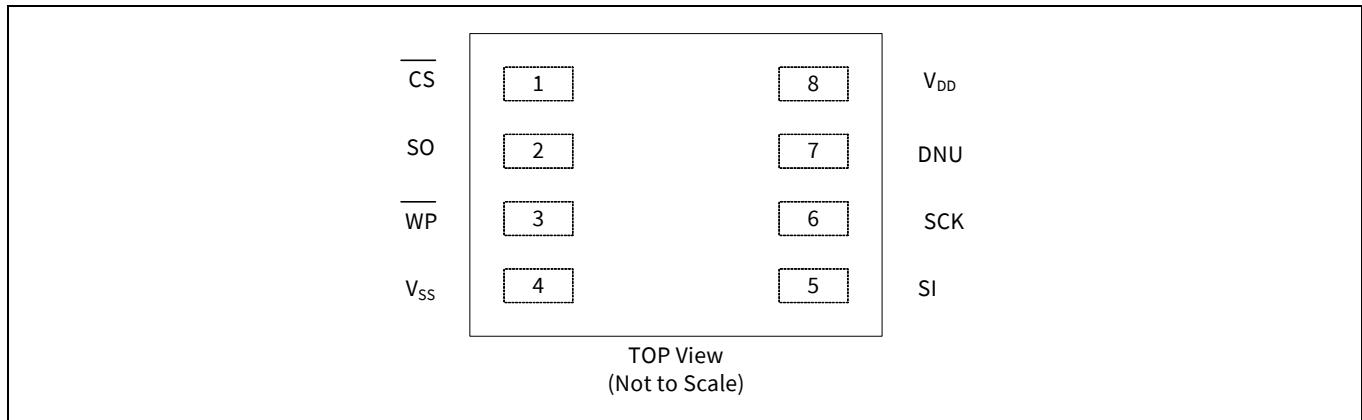


Figure 1 8 ピン GQFN/UFLGA ピン配置

ピンの機能

2 ピンの機能

Table 1 ピンの機能

ピン名	入出力	説明
\overline{CS}	入力	チップセレクト。 アクティブ LOW 入力でデバイスを起動させる。HIGH になった場合、デバイスは低消費電力のスタンバイモードに移行し、他の入力を無視し、出力をトライステートにする。LOW になった場合、デバイスが SCK 信号を内部でアクティブにする。CS の立ち下りエッジは、すべてのオペコードの発行前に発生しなければならない
SCK	入力	シリアルクロック。 入出力はシリアルクロックに同期。入力はシリアルクロックの立ち上りエッジでラッチされ、出力は立ち下りエッジで駆動される。クロック周波数は 0 ~ 20 MHz の範囲内であり、同期特性のためいつでも割り込まれる可能性がある
SI ^[2]	入力	シリアル入力。 このピンからデバイスにすべてのデータを入力。入力は SCK の立ち上りエッジでサンプリングされ、そのとき以外では無効。電源 (I_{DD}) 仕様を満たすために、常に有効なロジックレベルに駆動する必要がある
SO ^[2]	出力	シリアル出力。 これはデータ出力ピン。このピンは読み出し中に駆動され、そのとき以外ではトライステートのままになる。データ遷移はシリアルクロック SCK の立ち下りエッジで駆動される
\overline{WP}	入力	書き込み保護。 このアクティブ LOW ピンは、ステータスレジスタの WPEN ビットが「1」にセットされている時、ステータスレジスタへの書き込み動作を防ぐ。その他の書き込み保護機能はステータスレジスタによって制御されるため、このことは重要。書き込み保護の詳細は Table 3 および Table 6 を参照してください。このピンを使用しない場合は、 V_{DD} に接続する必要がある。
DNU	使用禁止	使用禁止。 このピンは開放(基板上で未接続)または V_{DD} に接続する
V_{SS}	電源	デバイスグランド。システムのグランドに接続する必要がある
V_{DD}	電源	デバイスの電源入力

注:

- SI を SO と接続し单一ピンのデータインターフェースとして利用することができます。

機能概要

3 機能概要

CY15X104QI はシリアル EXCELON™ LP F-RAM メモリです。メモリアレイは $524,288 \times 8$ ビットに論理構成され、業界標準のシリアルペリフェラルインターフェース (SPI) バスを使用してアクセスされます。EXCELON™ LP F-RAM の機能動作はシリアルフラッシュやシリアル EEPROM と似ています。CY15X104QI と同じピン配置のシリアルフラッシュや EEPROM との相違点は、EXCELON™ LP F-RAM の優れた書き込み性能、高耐久性、および低消費電力です。

3.1 メモリアーキテクチャ

CY15X104QI のアクセスには、各 8 データビットの 512K アドレスを指定します。これら 8 個のデータビットは順次シフトイン / シフトアウトされます。アドレスは、チップセレクト (バス上で複数デバイスを可能にする用) とオペコード、3 バイトのアドレスを含む SPI プロトコルを使ってアクセスされます。アドレス範囲の上位 5 ビットは「ドントケア」値です。20 ビットのアドレスで、一義的に各バイトアドレスを指定します。

CY15X104QI のほとんどの機能は、SPI インターフェースにより制御されるか、または基板に搭載された回路によって処理されます。メモリ動作に要するアクセス時間は、シリアルプロトコルに必要な時間以外は基本的に 0 です。すなわち、メモリは SPI バスの速度で読み書きされます。シリアルフラッシュや EEPROM と異なり、書き込み処理がバス速度で行われるので、デバイスの書き込み準備を知るためにポーリングする必要はありません。新しいバストランザクションがデバイスに送り込まれるまでに書き込み動作は完了します。これはインターフェースの節で詳しく説明されています。

3.2 SPI バス

CY15X104QI は SPI スレーブデバイスであり、最大 20 MHz の速度で動作します。この高速シリアルバスにより、SPI マスターとの間で高性能なシリアル通信が可能です。多くの一般的なマイクロコントローラーは、ハードウェア SPI ポートを持っているため、直接インターフェースを可能にします。この機能を持たないマイクロコントローラーで、通常のポートピンを使用して SPI ポートをエミュレートすることは容易です。CY15X104QI は SPI モード 0 および 3 で動作します。

3.2.1 SPI 概要

SPI は、チップセレクト (\overline{CS})、シリアル入力 (SI)、シリアル出力 (SO)、およびシリアルクロック (SCK) ピンから成る 4 ピンインターフェースです。

SPI は、メモリアクセスにクロックとデータピンを使用し、データバス上の複数デバイスをサポートする同期シリアルインターフェースです。SPI バス上のデバイスは、CS ピンを使用してアクティブにされます。

チップセレクト、クロック、およびデータの相互関係は SPI モードによります。このデバイスは、SPI モード 0 および 3 をサポートします。これらの両モードで、CS がアクティブになった後の最初の立ち上がりエッジから始まる SCK の立ち上がりエッジで、データが EXCELON™ LP F-RAM にクロック入力されます。

SPI プロトコルはオペコードによって制御されます。これらのオペコードは、バスマスターからスレーブデバイスへのコマンドを指定します。 \overline{CS} がアクティブにされた後、バスマスターから最初に転送されるバイトがオペコードです。オペコードに続いて、アドレスとデータが転送されます。処理が完了した後、新しいオペコードが発行される前に、 \overline{CS} を非アクティブにする必要があります。

3.3 プロトコルで使用される用語

SPI プロトコルで一般的に使用される用語は以下のとおりです。

3.3.1 SPI マスター

SPI マスター デバイスは SPI バスを制御します。SPI バスは、1つまたは複数のスレーブ デバイスを制御する 1 つのマスターのみを持てます。すべてのスレーブが同じ SPI バス ラインを共有し、マスターは \overline{CS} ピンを使用してスレーブ デバイスのいずれかを選択できます。すべての処理は、マスターがスレーブの \overline{CS} ピンを LOW にプルダウンすることによってスレーブ デバイスをアクティブにして開始する必要があります。マスターは SCK も生成し、SI と SO ライン上のすべてのデータ転送はこのクロックに同期されます。

3.3.2 SPI スレーブ

SPI スレーブ デバイスは、チップセレクト ラインを介してマスターによってアクティブにされます。スレーブ デバイスは SPI マスターからの SCK を入力とし、すべての通信はこのクロックに同期されます。SPI スレーブは SPI バス上で通信を開始することはなく、マスターからの命令に従ってのみ動作します。CY15X104QI は SPI スレーブとして動作し、他の SPI スレーブ デバイスと SPI バスを共有する場合があります。

3.3.3 チップセレクト (\overline{CS})

スレーブ デバイスを選択するためには、マスターは該当する \overline{CS} ピンをプルダウンする必要があります。 \overline{CS} ピンが LOW になっている時にのみ、命令をスレーブ デバイスに発行できます。デバイスが選択されていない場合、SI ピン経由のデータは無視され、シリアル出力ピン (SO) は高インピーダンス状態が保持されます。

注: 新しい命令は \overline{CS} の立ち下りエッジで開始される必要があります。したがって、アクティブなチップセレクト サイクルごとに 1 個のオペコードのみが発行されます。

3.3.4 シリアル クロック (SCK)

シリアル クロックは SPI マスターによって生成され、 \overline{CS} が LOW になった後、通信はこのクロックと同期されます。

CY15X104QI はデータ通信のために SPI モード 0 と 3 をサポートします。これらの両モードにおいて、入力は SCK の立ち上りエッジでスレーブ デバイスによってラッチされ、出力は立ち下りエッジで発行されます。そのため、SCK の最初の立ち上りエッジが、SPI 命令の最初の最上位ビット (MSb) が SI ピンに到着したことを意味します。さらに、すべてのデータの入力と出力は SCK と同期されます。

3.3.5 データ転送 (SI/SO)

SPI データバスは、シリアルデータ通信用に SI と SO の 2 ラインで構成されます。SI はマスター アウトスレーブイン (MOSI)、SO はマスターインスレーブアウト (MISO) とも呼ばれます。マスターは SI ピンを介してスレーブに命令を発行し、スレーブは SO ピンを介して応答します。複数のスレーブデバイスは、前述のように SI と SO ラインを共有する場合があります。

CY15X104QI は、Figure 2 に示すようにマスターと接続できる SI と SO 用の 2 本の独立したピンを備えます。専用 SPI バスを持たないマイクロコントローラーでは、汎用ポートが使用されることもあります。マイコンのハードウェアリソースを減らすために、2 つのデータピン (SI, SO) を 1 つにまとめて接続し、WP ピンを HIGH に固定接続できます。Figure 3 に 3 本のピンのみを使用するコンフィギュレーションを示します。

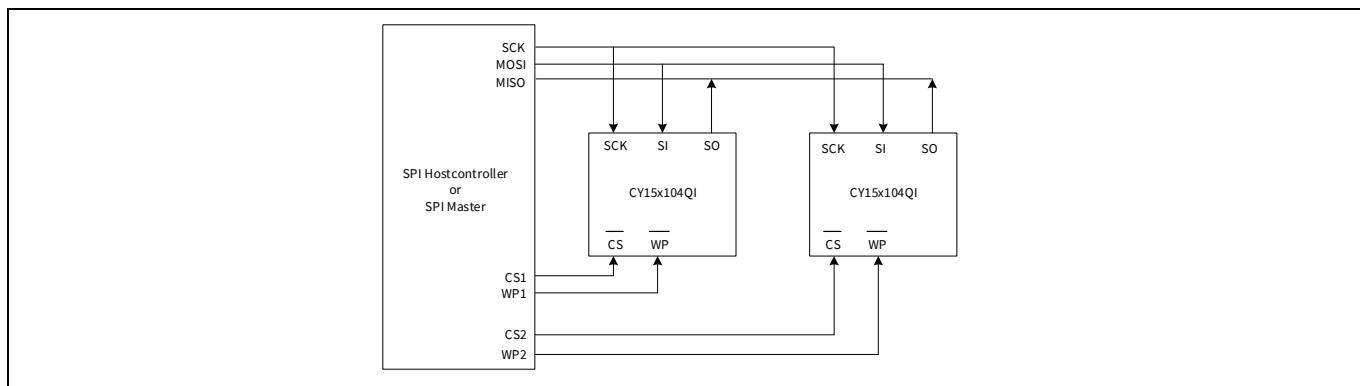


Figure 2 SPI ポートを使用するシステム コンフィギュレーション

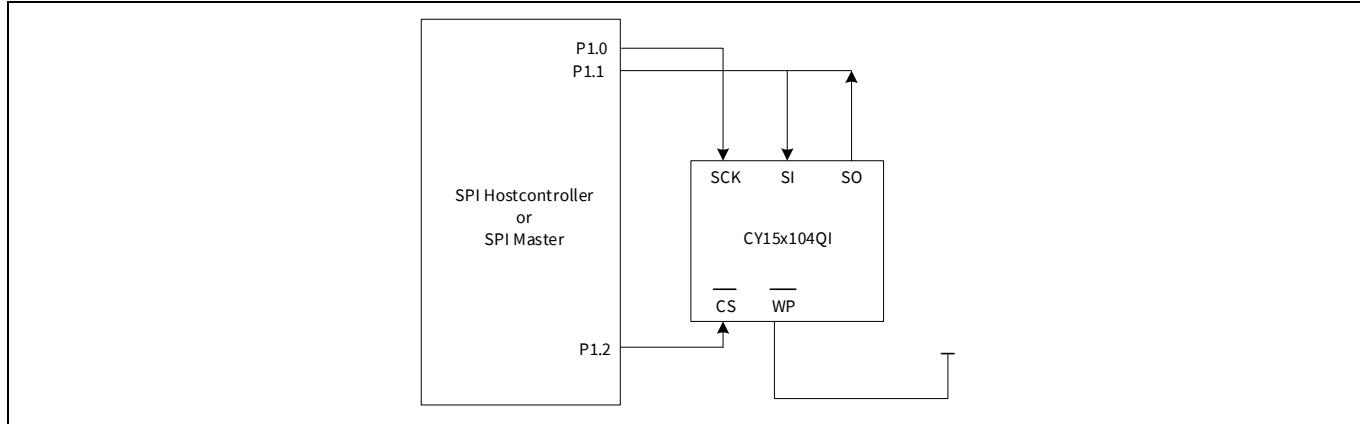


Figure 3 SPI ポートを使用しないシステム コンフィギュレーション

3.3.6 最上位ビット (MSb)

SPI プロトコルでは、送信される最初のビットが MSb である必要があります。この方式はアドレスとデータ転送の両方に適用されます。

4M ビットシリアル EXCELON™ LP F-RAM は、すべての読み出しあり書き込み動作に対応して 3 バイトのアドレスを必要とします。アドレスは 19 ビットであるため、入力された最初の 5 ビットはデバイスによって無視されます。これらの 5 ビットは「ドントケア」ですが、より高容量メモリへの円滑な移行を可能にするために、これらを 0 に設定することが推奨されます。

3.3.7 シリアルオペコード

\overline{CS} が LOW になってスレーブデバイスが選択された後、最初に受信されたバイトは、意図されている動作のオペコードとして扱われます。CY15X104QI は標準オペコードをメモリアクセスに使用します。

機能概要

3.3.8 無効なオペコード

無効なオペコードが受信されるとそのオペコードは無視され、デバイスは SI ピン上にある追加のシリアルデータを次の CS の立ち下りエッジまで無視し、SO ピンはトライステートのままとなります。

3.3.9 ステータス レジスタ

CY15X104QI には、8 ビットのステータス レジスタが 1 個あります。ステータス レジスタ内のビットはデバイス動作を設定するために使用されます。これらのビットは Table 4 で説明されています。

3.4 SPI モード

CY15X104QI は、SPI ペリフェラルが次の 2 つのモードのいずれかで動作しているマイクロコントローラーによって駆動できます。

- SPI モード 0 (CPOL = 0, CPHA = 0)
- SPI モード 3 (CPOL = 1, CPHA = 1)

この両モードでは、入力データは CS がアクティブにされた後の最初の立ち上りエッジから始まる SCK の立ち上りエッジでラッチされます。クロックが HIGH 状態から起動される場合 (モード 3) では、入力データはクロックトグル後の最初の立ち上りエッジでラッチされます。出力データは SCK の立ち下りエッジで得られます。2 つの SPI モードは Figure 4 と Figure 5 に示されています。バスマスターがデータを転送していない時のクロックの状態は以下のとおりです。

- モード 0 では、SCK が 0 のままです。
- モード 3 では、SCK が 1 のままです。

CS ピンを LOW にすることによりデバイスが選択された時、デバイスは SCK ピンの状態から SPI モードを検出します。デバイスが選択された時に、SCK ピンが LOW ならデバイスは SPI モード 0 で動作し、SCK ピンが HIGH ならデバイスは SPI モード 3 で動作します。

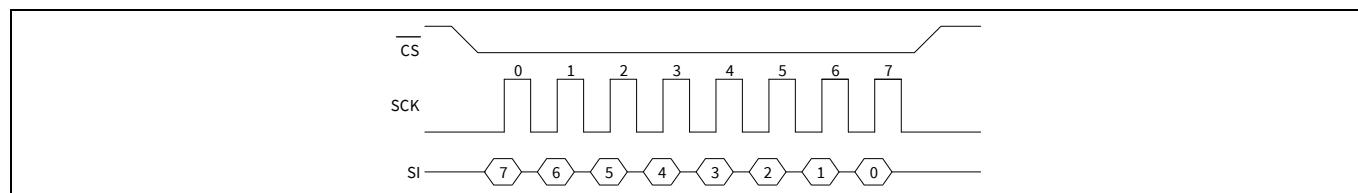


Figure 4 SPI モード 0

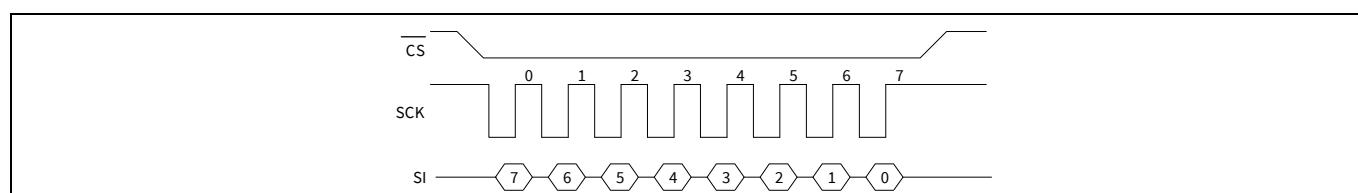


Figure 5 SPI モード 3

3.5 電源投入時から最初のアクセスまで

電源投入後の t_{PU} の間、CY15X104QI へはアクセスできません。ユーザーは、 t_{PU} (V_{DD} (min)) から CS が初めて LOW になる時までの最短期間) のタイミングパラメーターに従わなければいけません。詳細は [パワーサイクルタイミング](#) を参照してください。

4 機能説明

4.1 コマンドの構成

バスマスターが CY15X104QI に発行するコマンド(オペコードと呼ばれる)は 15 個あります(Table 2 を参照してください)。これらのオペコードはメモリが実行する機能を制御します。

Table 2 オペコード コマンド

名称	説明	オペコード	
		16 進数	2 進数
書き込みイネーブル制御			
WREN	書き込みイネーブル ラッチセット	06h	0000 0110b
WRDI	書き込みイネーブル ラッチリセット	04h	0000 0100b
レジスタ アクセス			
RDSR	ステータス レジスタ読み出し	05h	0000 0101b
WRSR	ステータス レジスタ書き込み	01h	0000 0001b
メモリ書き込み			
WRITE	メモリ データ書き込み	02h	0000 0010b
メモリ読み出し			
READ	メモリ データ読み出し	03h	0000 0011b
FSTRD	メモリ データ高速読み出し	0Bh	0000 1011b
特殊セクタ メモリアクセス			
SSWR	特殊セクタ書き込み	42h	0100 0010b
SSRD	特殊セクタ読み出し	4Bh	0100 1011b
ID およびシリアル番号			
RDID	デバイス ID 書き込み	9Fh	1001 1111b
RUID	固有 ID 読み出し	4Ch	0100 1100b
WRSN	シリアル番号書き込み	C2h	1100 0010b
RDSN	シリアル番号読み出し	C3h	11000 011b
低消費電力モード			
DPD	ディープ パワーダウン開始	BAh	1011 1010b
HBN	ハイバネート モード開始	B9h	1011 1001b
予約済み	予約済み	未使用のオペコードは、将来の使用のために予約される	

4.1.1 書き込みイネーブル制御コマンド

4.1.1.1 書き込みイネーブル ラッチ セット (WREN, 06h)

CY15X104QI は書き込みが無効の状態で電源投入されます。WREN コマンドを書き込み動作の前に発行する必要があります。WREN オペコードを送信することにより、ユーザーは書き込み動作作用に次のオペコードを発行できます。これには、ステータスレジスタ書き込み (WRSR), メモリ書き込み (WRITE), 特殊セクタ書き込み (SSWR), およびシリアル番号書き込み (WRSN) が含まれます。

WREN オペコードを発行すると、内部書き込みイネーブル ラッチがセットされます。WEL と呼ばれるステータスレジスタ内のフラグビットはラッチの状態を示します。WEL=「1」は、書き込みが許可されることを示します。ステータスレジスタの WEL ビットに書き込んでもこのビットの状態に影響を与えません。WREN オペコードだけがこのビットをセットできます。WEL ビットは、WRDI, WRSR, WRITE, SSWR または WRSN 動作に続く CS の立ち上りエッジで自動的にクリアされます。これにより、別の WREN コマンドを発行せず、ステータスレジスタまたは EXCELON™ LP F-RAM アレイへの二重の書き込みを防げます。[Figure 6](#) に WREN コマンドのバスコンフィギュレーションを示します。

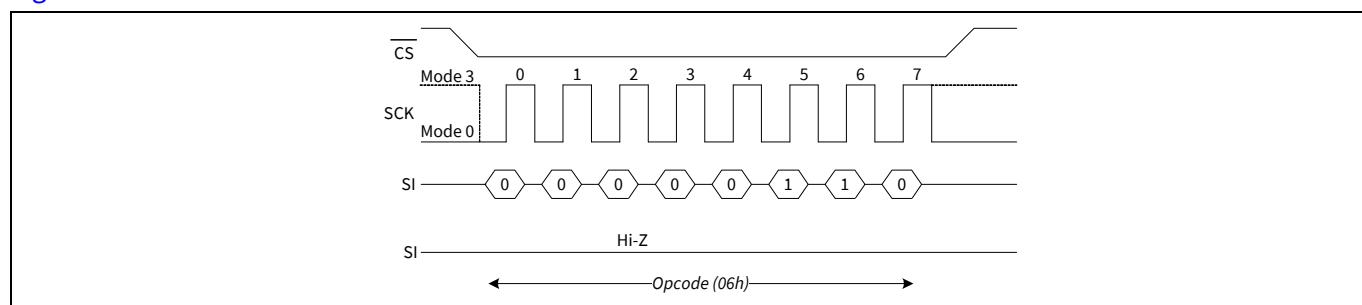


Figure 6 WREN バス コンフィギュレーション

4.1.1.2 書き込みイネーブル ラッチ リセット (WRDI, 04h)

WRDI コマンドは、書き込みイネーブル ラッチをクリアすることによりすべての書き込み動作を無効にします。ステータスレジスタの WEL ビットを読んで書き込みが無効になっていることを確認し、WEL が「0」であることを確認します。[Figure 7](#) に WRDI コマンドのバスコンフィギュレーションを示します。

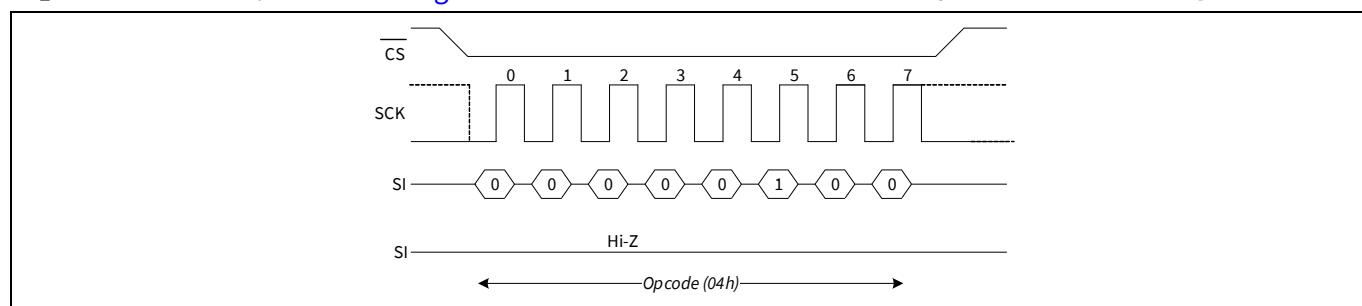


Figure 7 WRDI バス コンフィギュレーション

機能説明

4.1.2 レジスタアクセスコマンド

4.1.2.1 ステータスレジスタおよび書き込み保護

CY15X104QI の書き込み保護機能は多層的であり、ステータスレジスタによって有効にされます。ステータスレジスタは以下のように構成されています（工場出荷時の初期値は、WEL, BP0, BP1, ビット 4～5, WPEN は「0」、ビット 6 は「1」です）。

Table 3 ステータスレジスタ

ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
WPEN (0)	X (1)	X (0)	X (0)	BP1 (0)	BP0 (0)	WEL (0)	X (0)

Table 4 ステータスレジスタビット定義

ビット	定義	説明
ビット 0	ドントケア	このビットは書き込み不可であり、読み出し時に常に「0」を返す。
ビット 1 (WEL)	書き込みイネーブル	WEL はデバイスの書き込みが有効かどうかを示す。 電源投入時、このビットの初期値は「0」（無効）。 WEL = 「1」--> 書き込みが有効 WEL = 「0」--> 書き込みが無効
ビット 2 (BP0)	ブロック保護 ビット「0」	ブロック保護に使用。詳細は Table 5 を参照してください。
ビット 3 (BP1)	ブロック保護 ビット「1」	ブロック保護に使用。詳細は Table 5 を参照してください。
ビット 4～5	ドントケア	これらのビットは書き込み不可であり、読み出し時に常に「0」を返す。
ビット 6	ドントケア	このビットは書き込み不可であり、読み出し時に常に「1」を返す。
ビット 7 (WPEN)	書き込み保護 イネーブルビット	書き込み保護ピン (\overline{WP}) の機能を有効にするために使用。詳細は Table 6 を参照してください。

ビット 0 と 4～5 は「0」に、ビット 6 は「1」に固定され、これらのビットは変更できません。EXCELON™ LP F-RAM はリアルタイムで書き込まれ、ビジー状態がないため、ビット 0（シリアルフラッシュや EEPROM では「ready or write in progress」（待機または書き込み中））の状態を示すビット）は不要であり、「0」として読み出されます。ディープパワーダウンモード (DPD, BAh) またはハイバネートモード (HBN, B9h) のいずれかからウェイクアップしている場合は例外です。BP1 および BP0 はソフトウェアの書き込み保護機能を制御する不揮発性ビットです。WEL フラグは、書き込みイネーブルラッチの状態を示します。ステータスレジスタの WEL ビットに直接書き込んでも状態は変りません。このビットは内部で WREN および WRDI コマンドを介してそれぞれセットおよびクリアされます。

BP1 および BP0 はメモリブロックの書き込み保護ビットです。それらは [Table 5](#) に示すように書き込み保護されるメモリ領域を指定します。

Table 5 ブロックメモリの書き込み保護

BP1	BP0	保護されるアドレス範囲
0	0	無し
0	1	60000h ~ 7FFFFh (上位 1/4)
1	0	40000h ~ 7FFFFh (上位 1/2)
1	1	00000h ~ 7FFFFh (すべて)

BP1 と BP0 ビットおよび書き込みイネーブルラッチは、メモリへの書き込みを防止する唯一のメカニズムです。残りの書き込み保護機能は、ブロック保護ビットへの不用意な変更を防止します。

ステータスレジスタの書き込み保護イネーブルビット (WPEN) は、ハードウェア書き込み保護 (\overline{WP}) ピンの効果を制御します。 \overline{WP} ピンタイミング図は [Figure 23](#) を参照してください。WPEN ビットが「0」に

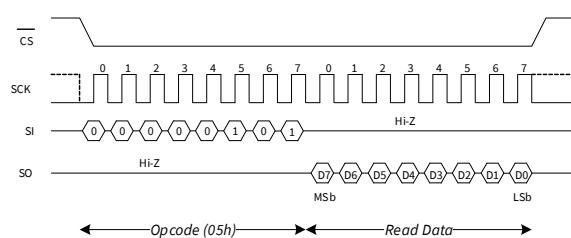
セットされると、WP ピンの状態は無視されます。WPEN ビットが「1」にセットされ、WP ピンが LOW になるとステータス レジスタへの書き込みは防止されます。したがって、ステータス レジスタは WPEN=「1」かつ WP=「0」のときにのみ書き込み保護されます。[Table 6](#) は書き込み保護条件をまとめたものです。

Table 6 書き込み保護

WEL	WPEN	WP	保護ブロック	非保護ブロック	ステータス レジスタ
0	X	X	保護	保護	保護
1	0	X	保護	非保護	非保護
1	1	0	保護	非保護	保護
1	1	1	保護	非保護	非保護

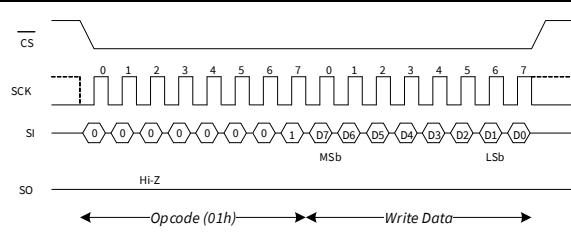
4.1.2.2 ステータス レジスタ読み出し (RDSR, 05h)

RDSR コマンドでは、バスマスターはステータス レジスタの内容を検証できます。ステータス レジスタを読み出すことで、書き込み保護機能の現時点の状態に関する情報を得ます。RDSR オペコードに続いて、CY15X104QI はステータス レジスタの内容を持つ 1 バイトを返します。

**Figure 8 RDSR バスコンフィギュレーション**

4.1.2.3 ステータス レジスタ書き込み (WRSR, 01h)

WRSR コマンドを使って、SPI バスマスターがステータス レジスタへ書き込み、WPEN, BP0, および BP1 ビットを必要に応じて設定することで書き込み保護のコンフィギュレーションを変更できます。WRSR コマンドを発行する前に、WP ピンが HIGH または非アクティブである必要があります。CY15X104QI では、WP がメモリアレイではなくステータス レジスタにのみ書き込みを防止することに注意してください。WRSR コマンドを送信する前に、書き込みを有効にするために WREN コマンドを送信する必要があります。WRSR コマンドの実行は書き込み動作であるため、書き込みイネーブル ラッチがクリアされます。

**Figure 9 WRSR バスコンフィギュレーション (WREN が非表示)**

4.1.3 メモリの動作

高いクロック周波数での動作が可能な SPI インターフェースは、EXCELON™ LP F-RAM 技術の高速書き込み機能を際立たせます。シリアル フラッシュや EEPROM と異なり、CY15X104QI はバス速度でシーケンシャル書き込みを実行できます。ページ レジスタは不要であり、シーケンシャルな書き込みは何回でも実行できます。

4.1.4 メモリ書き込み動作コマンド

4.1.4.1 書き込み動作 (WRITE, 02h)

メモリへのすべての書き込みは、アサートおよびデアサートされている \overline{CS} を伴い WREN オペコードで始まります。次のオペコードは WRITE です。WRITE オペコードに続き、メモリへ書き込む最初のデータバイトを指定する 19 ビットアドレス (A18 ~ A0) を含む 3 バイトアドレスが続きます。3 バイトアドレスの上位 5 ビットは無視されます。後続のバイトはシーケンシャルに書き込まれるデータバイトです。バスマスターがクロックを送り、 \overline{CS} を LOW に維持している限り、アドレスは内部でインクリメントされます。7FFFFh の最終アドレスに達すると、カウントは 00000h に戻ります。書き込まれるすべてのデータバイトは、MSb が最初に、LSb が最後に 8 クロックサイクルで SI に転送されます。 \overline{CS} の立ち上りエッジで書き込み動作が終了します。CY15X104QI の書き込み動作を Figure 10 に示します。

注：

- バースト書き込みが保護されたブロックに達すると、アドレスの自動インクリメントは停止し、書き込み用に受信された後続のデータバイトのすべてがデバイスにより無視されます。EEPROM はページバッファを使用して書き込みスループットを上げます。ページバッファは、書き込み動作が遅いという本来の特性を補完するものです。EXCELON™ LP F-RAM メモリは、各データバイトが (8 番目のクロックの後) クロック入力された直後に EXCELON™ LP F-RAM アレイに書き込まれるため、ページバッファを持ちません。そのため、ページバッファの遅延なしにバイトをいくつも書き込めます。
- 書き込み動作中に電源を喪失すると、最後に完了したバイトのみが書き込まれます。

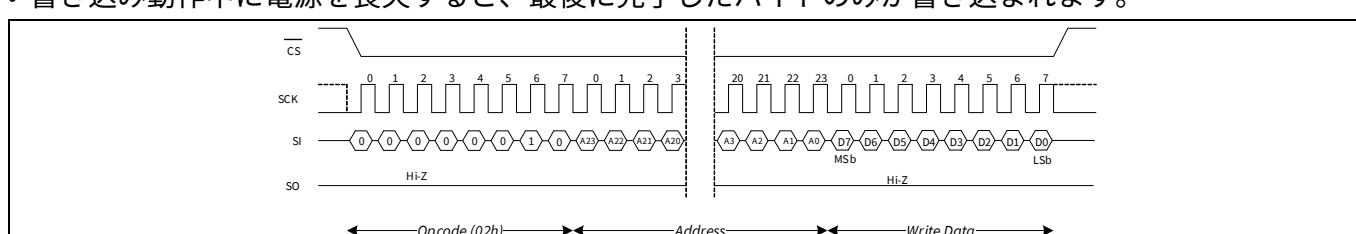


Figure 10 メモリ書き込み動作 (WREN が非表示)

4.1.5 メモリ読み出しコマンド

4.1.5.1 読み出し動作 (READ, 03h)

\overline{CS} の立ち下りエッジの後に、バスマスターは READ オペコードを発行できます。READ コマンドの後には、読み出し動作の開始アドレスを指定する 19 ビットアドレス (A18 ~ A0) を含む 3 バイトのアドレスが続きます。アドレスの上位 5 ビットは無視されます。オペコードとアドレスが発行された後、デバイスは次の 8 クロックサイクルの間読み出しデータを出力します。SI 入力は読み出しデータバイトの出力中には無視されます。後続のバイトはシーケンシャルに読み出されるデータバイトです。バスマスターがクロックを送り、 \overline{CS} が LOW である限り、アドレスは内部でインクリメントされます。7FFFFh の最終アドレスに達すると、カウントは 00000h に戻ります。書き込まれるすべてのデータバイトは、MSb が最初に、LSb が最後に 8 クロックサイクルで SI に転送されます。 \overline{CS} の立ち上りエッジで読み出し動作が終了し、SO ピンがトライステートになります。CY15X104QI の読み出し動作を Figure 11 に示します。

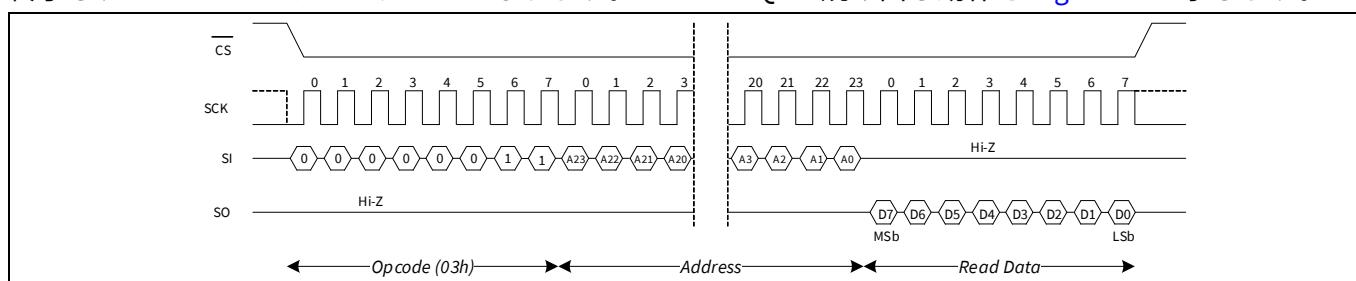


Figure 11 メモリ読み出し動作

4.1.5.2 高速読み出し動作 (FAST_READ, 0Bh)

CY15X104QI は、シリアルフラッシュデバイスとのコード互換性のために提供される FAST READ オペコード (0Bh) をサポートします。FAST READ オペコードの後には、読み出し動作の最初のバイトを指定する 19 ビットアドレス (A18 ~ A0) を含む 3 バイトアドレス、およびダミー バイトが続きます。ダミー バイトは 8 クロックサイクルの読み出し遅延を入れることです。ダミー バイトを追加することを除き、高速読み出し動作は通常の読み出し動作と同じです。オペコード、アドレス、ダミー バイトを受信した後、CY15X104QI は SO ラインに MSb ファーストでデータバイトを出力し始めます。またデバイスが選択されクロックが有効である限り出力を継続します。バルク読み出しの場合、内部アドレスカウンターは自動的にインクリメントされ、最終アドレス 7FFFFh に達するとカウンターは 00000h に戻ります。デバイスが SO ラインでデータを出力している間、SI ライン上の遷移は無視されます。CS の立ち上りエッジで高速読み出し動作が終了し、SO ピンはトライステートになります。CY15X104QI の高速読み出し動作を Figure 12 に示します。

注：ダミー バイトは Axh (8'b1010xxxx) 以外のいかなる 8 ビット値も可能です。Axh の下位 4 ビットはドントケア ビットです。したがって、Axh は本質的に 16 個の異なる 8 ビット値を表し、ダミー バイトとして送信すべきではありません。ほとんどの場合、00h が標準にダミー バイトとして使用されます。

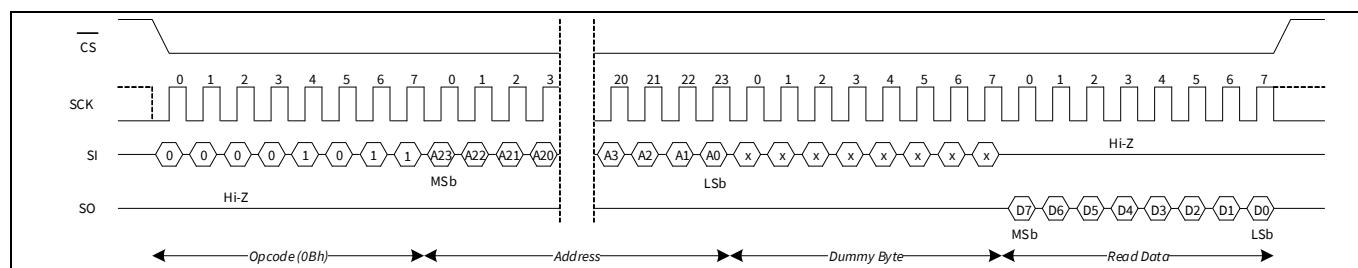


Figure 12 高速読み出し動作

4.1.6 特殊セクタメモリアクセスコマンド

4.1.6.1 特殊セクタ書き込み (SSWR, 42h)

256 バイトの特別セクタへのすべての書き込みは、 \overline{CS} がアサートおよびデアサートされている状態での WREN オペコードで始まります。次のオペコードは SSWR です。SSWR オペコードに続き、特殊セクタメモリへ書き込む最初のデータバイトを指定する 8 ビットアドレス (A7 ~ A0) を含む 3 バイトアドレスが続きます。3 バイトアドレスの上位 16 ビットは無視されます。後続のバイトはシーケンシャルに書き込まれるデータバイトです。バスマスターがクロックを送り、 \overline{CS} を LOW に維持している限り、アドレスは内部でインクリメントされます。内部アドレスカウンターが自動的に XXXFFh にインクリメントされると、 \overline{CS} は SSWR 動作の実行を終了するために HIGH に切り替える必要があります。書き込まれるすべてのデータバイトは、MSb が最初に、LSb が最後に 8 クロックサイクルで SI に転送されます。 \overline{CS} の立ち上りエッジで書き込み動作が終了します。CY15X104QI の特殊セクタ書き込み動作を Figure 13 に示します。

注：

- 書き込み動作中に電源を喪失すると、最後に完了したバイトのみが書き込まれます。
- 特殊セクタ EXCELON™ LP F-RAM メモリは、標準的なはんだリフローの最大 3 サイクルにわたってデータの完全性を維持することを保証します。

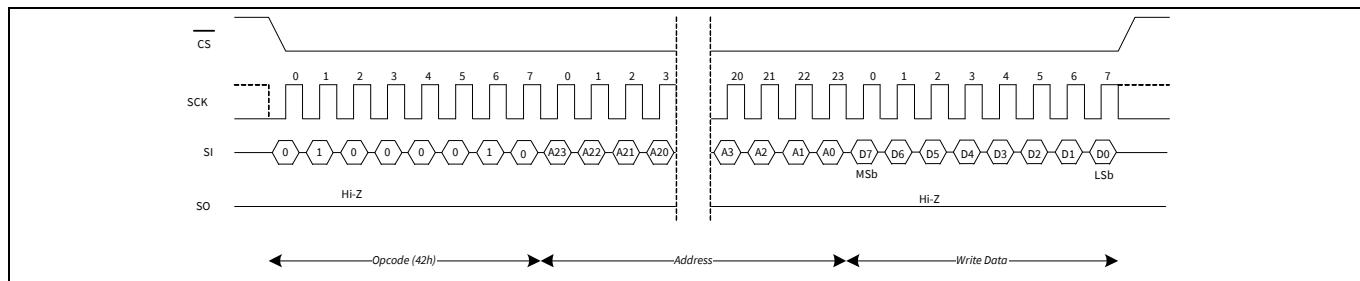


Figure 13 特殊セクタ書き込み動作 (WREN が非表示)

4.1.6.2 特殊セクタ読み出し (SSRD, 4Bh)

\overline{CS} の立ち下りエッジの後に、バスマスターは SSRD オペコードを発行できます。SSRD コマンドの後には、特殊セクタ読み出し動作の開始アドレスを指定する 8 ビットアドレス (A7 ~ A0) を含む 3 バイトのアドレスが続きます。アドレスの上位 16 ビットは無視されます。オペコードとアドレスが発行された後、デバイスは次の 8 クロックサイクルの間読み出しデータを出力します。SI 入力は読み出しデータバイトの出力中には無視されます。後続のバイトはシーケンシャルに読み出されるデータバイトです。バスマスターがクロックを送り、 \overline{CS} が LOW である限り、アドレスは内部でインクリメントされます。内部アドレスカウンターが自動的に XXXFFh にインクリメントされると、 \overline{CS} は SSRD 動作の実行を終了するために HIGH に切り替える必要があります。SO のすべての読み出しデータバイトは、MSb が最初に、LSb が最後に 8 クロックサイクルで駆動されます。 \overline{CS} の立ち上りエッジで特殊セクタ読み出し動作が終了し、SO ピンはトライステートになります。CY15X104QI の特殊セクタの読み出し動作を Figure 14 に示します。

注：特殊セクタ EXCELON™ LP F-RAM メモリは、標準的なはんだリフローの最大 3 サイクルにわたってデータの完全性を維持することを保証します。

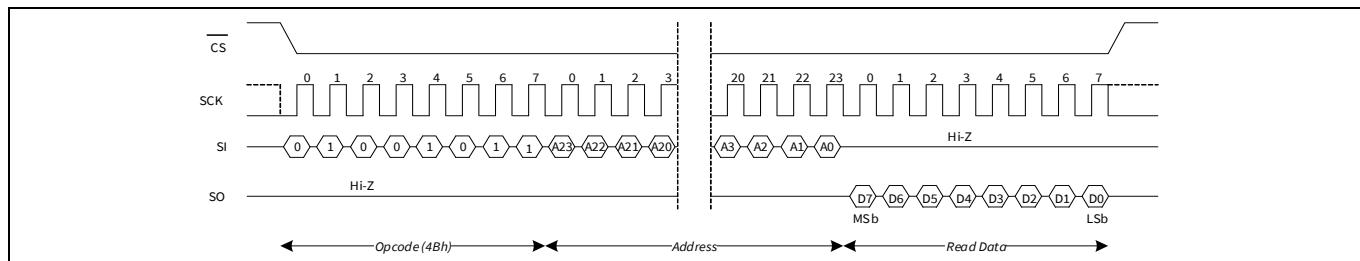


Figure 14 特殊セクタ読み出し動作

4.1.7 ID およびシリアル番号コマンド

4.1.7.1 デバイス ID 読み出し (RDID, 9Fh)

CY15X104QI デバイスは、メーカー, 製品 ID, ダイ レビジョンについて問い合わせを行えます。RDID オペコード 9Fh では、両方とも読み出し専用バイトであるメーカー ID と製品 ID を読み出せます。JEDEC から割り当てられた製造業者の ID は、バンク 7 の中にインフィニオン (Ramtron) の ID を配置しています。そのため、連続コード 7Fh の 6 バイトと C2h の 1 バイトがあります。製品 ID の 2 バイトはファミリコード, 容量コード, サブ コード, および製品リビジョンコードを含みます。Table 7 に 9 バイト デバイス ID フィールドの説明を示します。各製品の 9 バイト デバイス ID については、[注文情報](#)を参照してください。CY15X104QI のデバイス ID 読み出し動作を Figure 15 に示します。

注: 最下位のデータ バイト (バイト 0) は最初に、最上位のデータ バイト (バイト 8) は最後にシフトアウトされます。

Table 7 9 バイト デバイス ID

デバイス ID フィールドの説明							
メーカー ID [71:16]	ファミリ [15:13]	メモリ容量 [12:9]	突入電流 [8]	サブタイプ [7:5]	リビジョン [4:3]	電圧 [2]	周波数 [1:0]
56 ビット	3 ビット	4 ビット	1 ビット	3 ビット	2 ビット	1 ビット	2 ビット

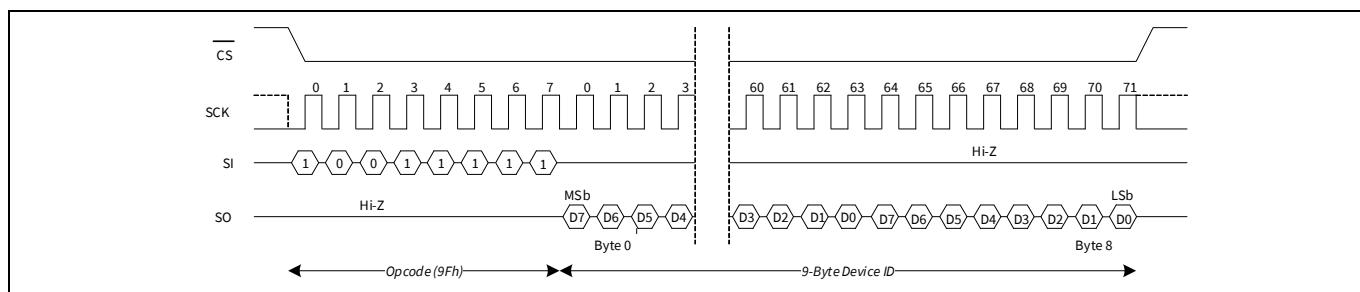


Figure 15 デバイス ID 読み出し

4.1.7.2 固有 ID 読み出し (RUID, 4Ch)

CY15X104QI デバイスは、工場出荷時にプログラムされた各デバイスに固有の 64 ビット番号である固有 ID について問い合わせを行えます。RUID オペコード 4Ch は、8 バイトの読み出し専用固有 ID を読み出せます。CY15X104QI の固有 ID 読み出し動作を Figure 16 に示します。

注:

- 最下位のデータ バイト (バイト 0) は最初に、最上位のデータ バイト (バイト 7) は最後にシフトアウトされます。
- 固有 ID レジスタは、標準的なリフローの最大 3 サイクルにわたってデータ保全性を保証します。

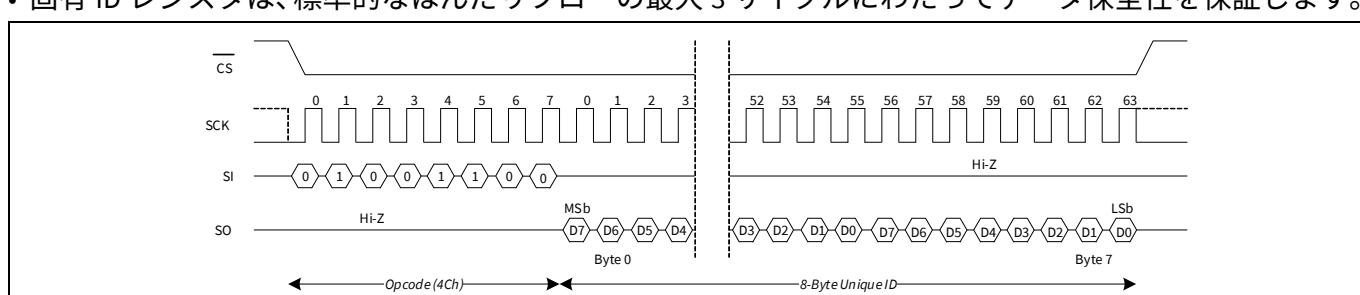


Figure 16 固有 ID 読み出し

4.1.7.3 シリアル番号書き込み (WRSN, C2h)

シリアル番号は、PC 基板またはシステムを一義的に識別するためにユーザーに提供される 8 バイトのワントライムプログラマブルメモリ空間です。通常、シリアル番号は 2 バイトのカスタマ ID、その後に続く固有の 5 バイトの一義のシリアル番号と 1 バイトの CRC チェックで構成されます。しかし、エンドアプリケーションでは、8 バイトのシリアル番号に独自フォーマットで定義できます。シリアル番号レジスタへのすべての書き込みは、 \overline{CS} がアサートおよびデアサートされている状態での WREN オペコードで始まります。次のオペコードは WRSN です。WRSN 命令は、シリアル番号の 8 バイトすべてを書き込むためにバーストモードで使用できます。シリアル番号の最後のバイトがシフトインされた後、WRSN 動作を完了するために \overline{CS} を HIGH に駆動する必要があります。CY15X104QI のシリアル番号書き込み動作を Figure 17 に示します。

注: CRC チェックサムはデバイスによって計算されません。システム フームウェアは 7 バイトの内容の CRC チェックサムを計算し、チェックサムを 7 バイトのユーザー定義のシリアル番号に付け加えてから、8 バイトシリアル番号をシリアル番号レジスタにプログラムする必要があります。8 バイトシリアル番号の工場出荷時の初期値は「0000000000000000h」です。

Table 8 8 バイトシリアル番号

16 ビット カスタマ ID		40 ビット 固有番号						8 ビット CRC
SN[63:56]	SN[55:48]	SN[47:40]	SN[39:32]	SN[31:24]	SN[23:16]	SN[15:8]	SN[7:0]	

Figure 17 シリアル番号書き込み動作 (WREN が非表示)

4.1.7.4 シリアル番号読み出し (RDSN, C3h)

CY15X104QI デバイスは、デバイスを一義的に識別するためにユーザーに提供される 8 バイトのシリアル番号のスペースを組み込んでいます。シリアル番号は RDSN 命令で読み出されます。シリアル番号読み取りは、バーストモードで実行して一度にすべての 8 バイトを読み出せます。シリアル番号の最後のバイトが読み出されると、デバイスはシリアル番号の最初の (MSb) バイトにループ バックします。 \overline{CS} が LOW になった後、RDSN のオペコードをシフトすることで RDSN 命令を発行できます。CY15X104QI のシリアル番号読み出し動作を Figure 18 に示します。

注: 最下位のデータ バイト (バイト 0) は最初に、最上位のデータ バイト (バイト 7) は最後にシフトアウトされます。

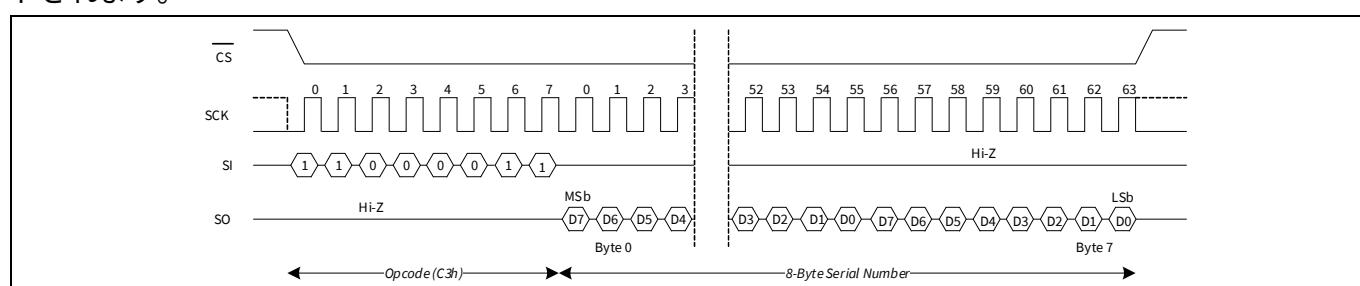


Figure 18 シリアル番号読み出し動作

機能説明

4.1.8 低消費電力モード コマンド

4.1.8.1 ディープパワーダウンモード (DPD, BAh)

CY15X104QI デバイスには省電力のディープパワーダウンモードが実装されています。デバイスは、DPD オペコード BAh がクロック入力され、CS の立ち上りエッジが適用されてから t_{ENTDPD} の時間後にディープパワーダウンモードに入ります。ディープパワーダウンモードでは、SCK と SI ピンは無視され、SO は Hi-Z になりますが、デバイスは CS ピンの監視を継続します。

t_{CSDPD} の CS パルス幅は、 t_{EXTDPD} 時間後に DPD モードを終了します。CS パルス幅は、ダミー コマンドサイクルを送信するか、SCK と I/O がドントケアになっている間に CS のみをトグルすることによって生成できます。ディープパワーダウンモードからの復帰中は、I/O は Hi-Z 状態のままでです。DPD 開始は Figure 19 を、DPD 終了タイミングは Figure 20 を参照してください。

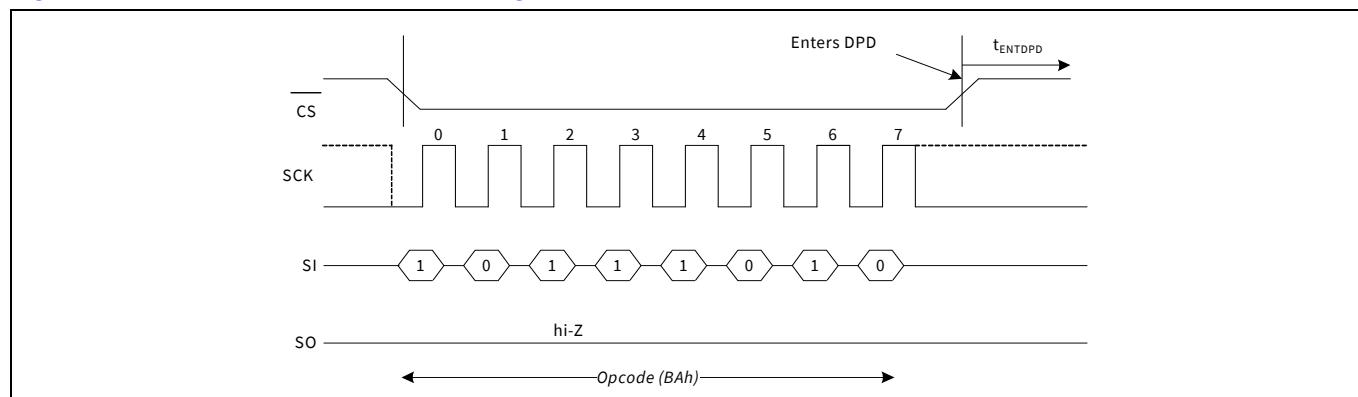


Figure 19 DPD 開始タイミング

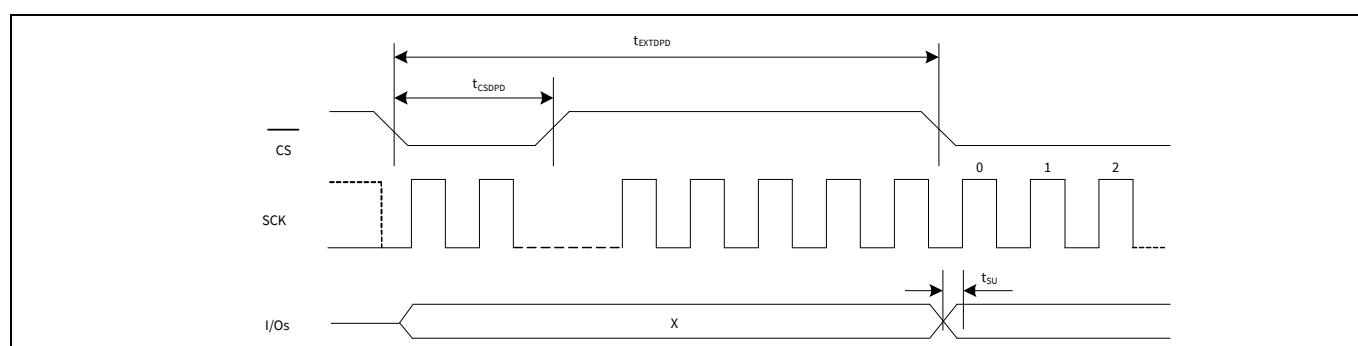


Figure 20 DPD 終了タイミング

4.1.8.2 ハイバネート モード (HBN, B9h)

CY15X104QI デバイスには最低消費電力のハイバネート モードが実装されています。デバイスは、HBN オペコード B9h がクロック入力され、CS の立ち上りエッジが適用されてから t_{ENTHIB} の時間後にハイバネート モードに入ります。ハイバネート モードになると SCK と SI ピンは無視され、SO は Hi-Z になりますが、デバイスは CS ピンの監視を継続します。CS の次の立ち下りエッジで、デバイスは、 t_{EXTHIB} 以内に通常の動作に復帰します。ハイバネート モードからの復帰中は、SO ピンは Hi-Z 状態のままでです。デバイスは、復帰期間内では必ずしもオペコードに応答しません。ハイバネート モードを終了するために、コントローラーは、例えば「ダミー」読み出しを送信し、残りの t_{EXTHIB} 時間待機することができます。

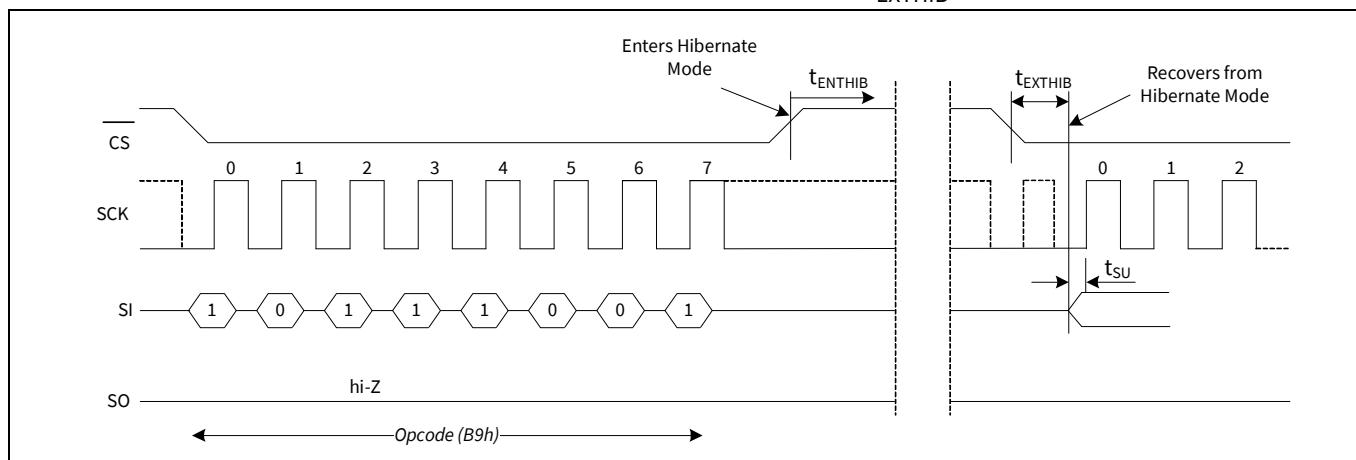


Figure 21 ハイバネート モード動作

4.1.8.3 アクセス可能回数

CY15X104QI デバイスには 10^{15} 回以上、読み書きを問わずアクセスできます。

EXCELON™ LP F-RAM メモリは読み出しと格納メカニズムを伴い動作します。そのため、メモリアレイへのアクセス(読み出し / 書き込み)に対して、書き換え可能サイクルが行単位で適用されます。EXCELON™ LP F-RAM のアーキテクチャは、64 ビットの列と 32K の行からなるアレイを基にしています。読み出しましたは書き込みは行単位に行われます。1 行内のデータのアクセス バイト数に関わらず内部的に行に対するアクセスは 1 回です。行内の各バイトは、アクセス可能回数の計算では 1 回だけカウントされます。Table 9 に、オペコード、開始アドレス、および順次 64 バイトデータの流れを含む、64 バイトの繰り返しループに対応したアクセス可能回数を示します。これはループによって各バイトが書き換え可能回数 1 回を費やしたことになります。

EXCELON™ LP F-RAM の読み出しと書き込み可能回数は、20 MHz のクロック速度でも事実上無制限です。

Table 9 64 バイト ループの繰り返しでアクセス可能回数に達する期間

SCK 周波数 (MHz)	アクセス回数 (サイクル / 秒)	アクセス回数 (サイクル / 年)	10^{15} リミットに達するまでの年数
20	36,520	1.16×10^{12}	864
10	18,380	5.79×10^{11}	1727
5	9,190	2.90×10^{11}	3454

最大定格

5 最大定格

最大定格を超えると、デバイスの寿命が短くなる可能性があります。ユーザー ガイドラインはテストされていません。

Table 10 絶対最大定格

パラメーター	最大定格
保存温度	-65°C ~ +125°C
最大累積保存時間 周囲温度 125°C 周囲温度 85°C	1000 時間 10 年
最大接合部温度	125°C
V_{SS} を基準にする V_{DD} 電源電圧 : CY15V104QI: CY15B104QI:	-0.5 V ~ +2.4 V -0.5 V ~ +4.1 V
入力電圧	$V_{IN} \leq V_{DD} + 0.5 V$
High-Z 状態の出力に印加される DC 電圧	-0.5 V ~ $V_{DD} + 0.5 V$
グランド電位を基準にした任意のピンの過渡電圧 (< 20 ns)	-2.0 V ~ $V_{DD} + 2.0 V$
パッケージ許容電力損失 ($T_A = 25^\circ C$)	1.0 W
表面実装はんだ付け温度 (3 秒)	+260°C
DC 出力電流 (一度に 1 出力、1 秒間)	15 mA
静電気の放電電圧 人体モデル (JEDEC 規格 JESD22-A114-B) 帯電デバイス モデル (JEDEC 規格 JESD22-C101-A)	2 kV 500 V
ラッチアップ電流	>140 mA

6 動作範囲

Table 11 動作範囲

デバイス	範囲	周囲温度	V_{DD}
CY15V104QI	民生用	0°C ~ +70°C	1.71 V ~ 1.89 V
CY15B104QI			1.8 V ~ 3.6 V
CY15V104QI	産業用	-40°C ~ +85°C	1.71 V ~ 1.89 V
CY15B104QI			1.8 V ~ 3.6 V

DC 電気的特性

7 DC 電気的特性

Table 12 DC 電気的特性

動作範囲において

パラメーター	説明	テスト条件	温度	Min	Typ [3, 4]	Max	単位	
V _{DD}	電源	CY15V104QI	-	1.71	1.8	1.89	V	
		CY15B104QI		1.8	3.3	3.6		
I _{DD}	V _{DD} 電源電流	V _{DD} = 1.71 V ~ 1.89 V。 SCK は V _{DD} - 0.2 V と V _{SS} の間でトグル。他の入力は V _{SS} または V _{DD} - 0.2 V。 SO = 開放	f _{SCK} = 1 MHz f _{SCK} = 20 MHz f _{SCK} = 1 MHz f _{SCK} = 20 MHz	民生用	-	0.2	0.35	mA
		-			1.2	1.4		
		産業用		-	0.2	0.4		
				-	1.2	1.5		
		V _{DD} = 1.8 V ~ 3.6 V。 SCK は V _{DD} - 0.2 V と V _{SS} の間でトグル。他の入力は V _{SS} または V _{DD} - 0.2 V。 SO = 開放	f _{SCK} = 1 MHz f _{SCK} = 20 MHz f _{SCK} = 1 MHz f _{SCK} = 20 MHz	民生用	-	0.3	0.45	
		-			1.3	1.5		
		産業用		-	0.3	0.6		
				-	1.3	1.6		
I _{SB}	V _{DD} スタンバイ電流	V _{DD} = 1.71 V ~ 1.8 V。 CS = V _{DD} °。他のすべての入力は V _{SS} または V _{DD} °。	T _A = 25°C T _A = 60°C T _A = 70°C T _A = 85°C	-	-	2.30	-	μA
		-			-	20 ^[4]		
		-			-	30		
		-			-	65		
		-			2.60	-		
		V _{DD} = 1.8 V ~ 3.6 V。 CS = V _{DD} °。他のすべての入力は V _{SS} または V _{DD} °。	T _A = 25°C T _A = 60°C T _A = 70°C T _A = 85°C	-	-	-	20 ^[4]	
		-			-	31		
		-			-	70		

注:

3. Typ 値は 25°C, V_{DD} = V_{DD}(Typ) で測定されます。

4. このパラメーターは特性によって保証され、量産中にテストされません。

DC 電気的特性

Table 12 DC 電気的特性 (continued)

動作範囲において

パラメーター	説明	テスト条件	温度	Min	Typ [3, 4]	Max	単位
I_{DPD}	ディープ パワーダウン 電流	$V_{DD} = 1.71 \text{ V} \sim 1.89 \text{ V}$ $CS = V_{DD}$ 。 他のすべての入力は V_{SS} または V_{DD} 。	- - - - - - - - - -	-	0.70	-	μA
		$T_A = 25^\circ\text{C}$		-	-	5.0 ^[4]	
		$T_A = 60^\circ\text{C}$		-	-	7.0	
		$T_A = 70^\circ\text{C}$		-	-	15	
		$T_A = 85^\circ\text{C}$		-	0.80	-	
		$V_{DD} = 1.8 \text{ V} \sim 3.6 \text{ V}$ $CS = V_{DD}$ 。 他のすべての入力は V_{SS} または V_{DD} 。		-	-	5.50 ^[4]	
		$T_A = 25^\circ\text{C}$		-	-	8.0	
		$T_A = 70^\circ\text{C}$		-	-	16	
		$T_A = 85^\circ\text{C}$		-	-	-	
		$V_{DD} = 1.71 \text{ V} \sim 1.89 \text{ V}$ $CS = V_{DD}$ 。 他のすべての入力は V_{SS} または V_{DD} 。		-	0.10	-	μA
I_{HBN}	ハイバネート モード電流	$T_A = 60^\circ\text{C}$		-	-	0.25 ^[4]	
		$T_A = 70^\circ\text{C}$		-	-	0.40	
		$T_A = 85^\circ\text{C}$		-	-	0.90	
		$V_{DD} = 1.8 \text{ V} \sim 3.6 \text{ V}$ $CS = V_{DD}$ 。 他のすべての入力は V_{SS} または V_{DD} 。		-	0.10	-	
		$T_A = 60^\circ\text{C}$		-	-	0.45 ^[4]	
		$T_A = 70^\circ\text{C}$		-	-	0.75	
		$T_A = 85^\circ\text{C}$		-	-	1.6	
		$V_{DD} = 1.71 \text{ V} \sim 1.89 \text{ V}$ $CS = V_{DD}$, $WP = V_{DD}$ 。 他のすべての入力は V_{SS} または V_{DD} 。 10 μs の平均		-	-	1.50	1.65 ^[4]
I_{PEAK}	電源投入、ハイバネートから復帰、ディープパワーダウンまたはスタンバイモードから復帰に V_{DD} から流れるピーク電流	$V_{DD} = 1.8 \text{ V} \sim 3.6 \text{ V}$ $CS = V_{DD}$, $WP = V_{DD}$ 。 他のすべての入力は V_{SS} または V_{DD} 。 10 μs の平均	-	-	1.60	1.80 ^[4]	mA

注:

3. Typ 値は 25°C , $V_{DD} = V_{DD}(\text{Typ})$ で測定されます。

4. このパラメーターは特性によって保証され、量産中にテストされません。

DC 電気的特性

Table 12 DC 電気的特性 (continued)

動作範囲において

パラメーター	説明	テスト条件	温度	Min	Typ [3, 4]	Max	単位
I_{LI}	WP ピンを除く I/O ピンの入力リード電流	$V_{SS} < V_{IN} < V_{DD}$	-	-1	-	1	μA
	WP ピンの入力リード電流			-100	-	1	
I_{LO}	出力リード電流	$V_{SS} < V_{OUT} < V_{DD}$	-	-1	-	1	
V_{IH}	入力 HIGH 電圧		-	$0.7 \times V_{DD}$	-	$V_{DD} + 0.3$	V
V_{IL}	入力 LOW 電圧		-	-0.3	-	$0.3 \times V_{DD}$	
V_{OH1}	出力 HIGH 電圧 $I_{OH} = -1 \text{ mA}, V_{DD} = 2.7 \text{ V}$		-	2.4	-	-	
V_{OH2}	出力 HIGH 電圧 $I_{OH} = -100 \mu A$		-	$V_{DD} - 0.2$	-	-	
V_{OL1}	出力 LOW 電圧 $I_{OL} = 2 \text{ mA}, V_{DD} = 2.7 \text{ V}$		-	-	-	0.4	
V_{OL2}	出力 LOW 電圧 $I_{OL} = 150 \mu A$		-	-	-	0.2	

注:

3. Typ 値は $25^\circ C, V_{DD} = V_{DD}(\text{Typ})$ で測定されます。

4. このパラメーターは特性によって保証され、量産中にテストされません。

データ保持期間およびアクセス可能回数

8 データ保持期間およびアクセス可能回数

Table 13 データ保持期間およびアクセス可能回数

パラメーター	説明	テスト条件	Min	Max	単位
T _{DR}	データ保持期間	T _A = 85°C	10	-	年
		T _A = 70°C	141	-	
		T _A = 60°C	151	-	
		T _A = 50°C	160	-	
NV _C	アクセス可能回数	動作温度範囲内	10 ¹⁵	-	回

静電容量

9 静電容量

Table 14 静電容量

すべてのパッケージ。

パラメーター [5]	説明	テスト条件	Max	単位
C_O	出力ピン静電容量 (SO)	$T_A = 25^\circ\text{C}, f = 1 \text{ MHz}, V_{DD} = V_{DD(\text{Typ})}$	8	pF
C_I	入力ピン静電容量		6	

注:

- このパラメーターは特性によって保証され、量産中にテストされません。

熱抵抗

10 熱抵抗

Table 15 熱抵抗

パラメーター ^[6]	説明	テスト条件	8 ピン GQFN パッケージ	8 ピン UFLGA パッケージ	単位
Θ_{JA}	熱抵抗 (接合部から周囲)	テスト条件は、EIA/JESD51 による、熱インピーダンスを測定するための標準的なテスト方法と手順に従う。	118	103.5	°C/W
Θ_{JC}	熱抵抗 (接合部からケース)		60	35.3	

注:

6. このパラメーターは特性によって保証され、量産中にテストされません。

AC テスト条件

11 AC テスト条件

Table 16 AC テスト条件

パラメーター	値
入力パルス レベル	V_{DD} の 10% と 90%
入力の立ち上りと立ち下り時間	3 ns
入力と出力のタイミング参照レベル	$0.5 \times V_{DD}$
出力負荷容量	30 pF

AC スイッチング特性

12 AC スイッチング特性

Table 17 AC スイッチング特性

動作範囲において

パラメーター ^[7]		説明	Min	Max	単位
パラメーター	代替 パラメーター				
f _{SCK}	-	SCK クロック周波数	0	20	MHz
t _{CH}	-	クロック HIGH 時間	22	-	
t _{CL}	-	クロック LOW 時間	22	-	
t _{CLZ} ^[8]	-	Low-Z 出力までのクロック LOW 時間	0	-	
t _{CS}	t _{CSU}	チップセレクトセットアップ時間	10	-	
t _{CSH}	t _{CSH}	チップセレクトホールド時間 - SPI モード 0	10	-	
t _{CSH1}	-	チップセレクトホールド時間 - SPI モード 3	10	-	
t _{HZCS} ^[9, 10]	t _{OD}	出力ディセーブル時間	-	20	
t _{CO}	t _{ODV}	出力データ有効時間	-	20	
t _{OH}	-	出力ホールド時間	1	-	
t _{CS}	t _D	選択解除時間	60	-	
t _{SD}	t _{SU}	データセットアップ時間	5	-	
t _{HD}	t _H	データホールド時間	5	-	
t _{WPS}	t _{WHSL}	WP セットアップ時間 (CS に関して)	20	-	
t _{WPH}	t _{SHWL}	WP ホールド時間 (CS に関して)	20	-	

ns

注:

7. テスト条件は AC テスト条件に示す 3 ns 以下の信号遷移時間, $0.5 \times V_{DD}$ のタイミング参照レベル, V_{DD} の 10% ~ 90% の入力パルス, 指定の I_{OL}/I_{OH} の出力負荷および 30 pF の負荷容量を前提にしています。
8. 設計によって保証されています。
9. t_{HZCS} は 5 pF の負荷容量で規定されています。出力が高インピーダンス状態になると遷移が測定されます。
10. このパラメーターは特性によって保証され、量産中にテストされません。

AC スイッチング特性

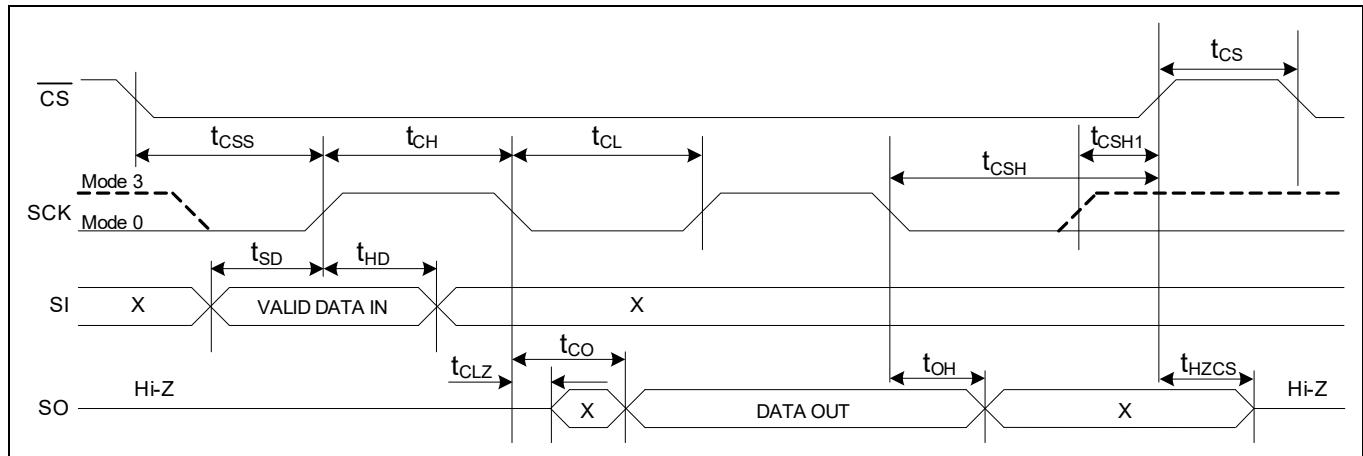


Figure 22 同期データタイミング(モード0およびモード3)

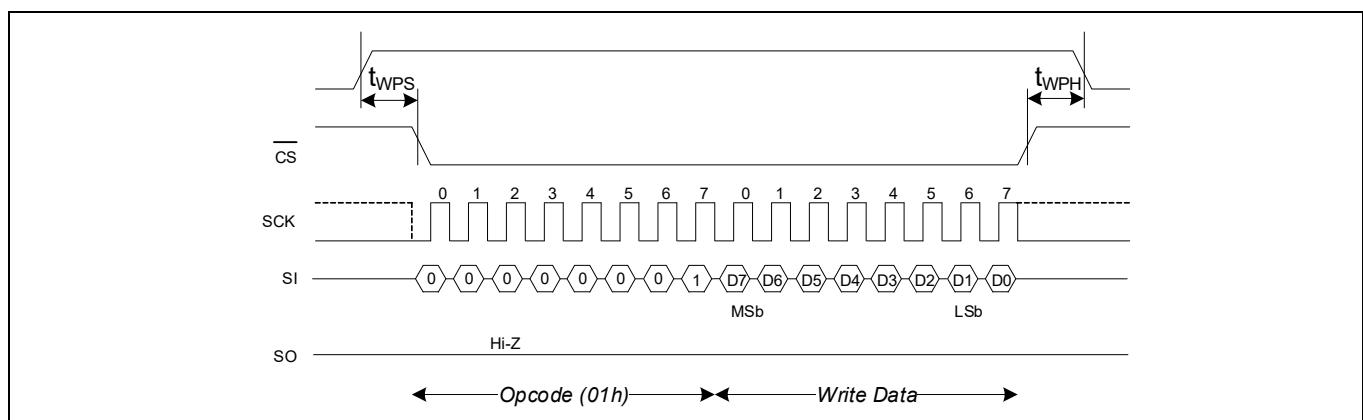


Figure 23 ステータスレジスタ書き込み(WRSR)中の書き込み保護タイミング動作

パワー サイクル タイミング

13 パワー サイクル タイミング

Table 18 パワー サイクル タイミング

動作範囲において

パラメーター [11]		説明	Min	Max	単位
パラメーター	代替パラメーター				
t_{PU}		電源投入時 $V_{DD}(\min)$ から最初のアクセス (\overline{CS} LOW) までの時間	5	-	ms
$t_{VR}^{[12]}$		V_{DD} 電源投入時ランプレート	30	-	$\mu s/V$
$t_{VF}^{[12, 13]}$		V_{DD} 電源切断時ランプレート	20	-	$\mu s/V$
$t_{ENTDPD}^{[14]}$	t_{DP}	\overline{CS} HIGH からディープパワーダウンモード開始までの時間 (\overline{CS} HIGH からハイバネートモード開始までの時間)	-	3	μs
t_{CSDPD}		ディープパワーダウンモードから復帰するための CS パルス幅	0.015	$4 \times 1/f_{SCK}$	μs
t_{EXTDPD}	t_{RDP}	ディープパワーダウンモードからの回復時間 (\overline{CS} LOW からアクセス準備完了)	-	150	
$t_{ENTHIB}^{[15]}$		ハイバネートモードへの移行時間 (\overline{CS} HIGH からハイバネートモード開始までの時間)	-	3	
t_{EXTHIB}	t_{REC}	ハイバネートモードからの回復時間 (\overline{CS} LOW からアクセス準備完了)	-	5	ms
$V_{DD}(\text{LOW})^{[13]}$		初期化が必要となる低 V_{DD}	0.6	-	V
$t_{PD}^{[13]}$		$V_{DD}(\text{LOW})$ が 0.6 V 時の $V_{DD}(\text{LOW})$ 時間	130	-	μs
		$V_{DD}(\text{LOW})$ が V_{SS} 時の $V_{DD}(\text{LOW})$ 時間	70	-	

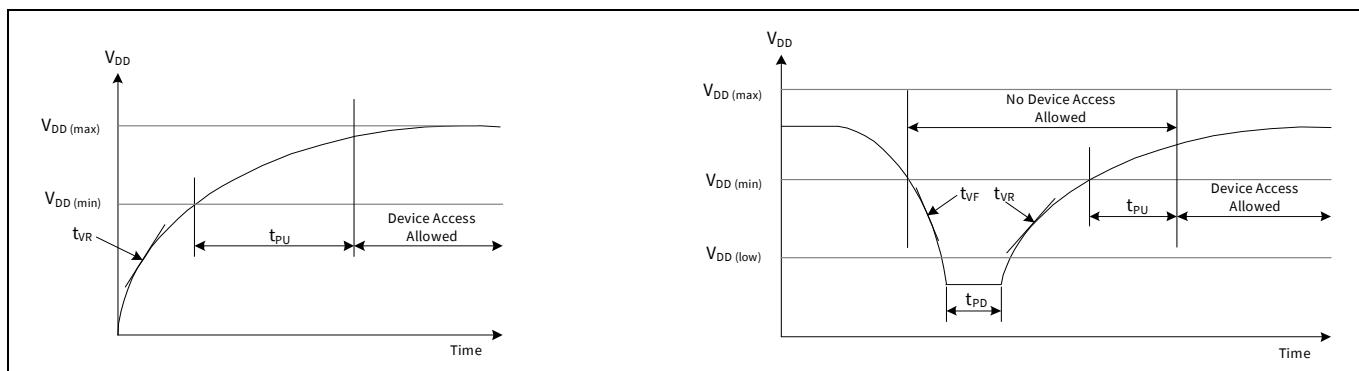


Figure 24 パワー サイクル タイミング

注:

11. テスト条件は [AC テスト条件](#) に示す 3ns 以下の信号遷移時間, $0.5 \times V_{DD}$ のタイミング参照レベル, V_{DD} の 10% ~ 90% の入力パルス, 指定の I_{OL}/I_{OH} の出力負荷および 30 pF の負荷容量を前提にしています。
12. V_{DD} 波形上の任意の点で測定した傾きです。
13. このパラメーターは特性によって保証され、量産中にテストされません。
14. 設計で保証されています。ディープパワーダウンモードからの復帰タイミングについては [Figure 19](#) を参照してください。
15. 設計で保証されています。ハイバネートモードからの復帰タイミングについては [Figure 21](#) を参照してください。

注文情報

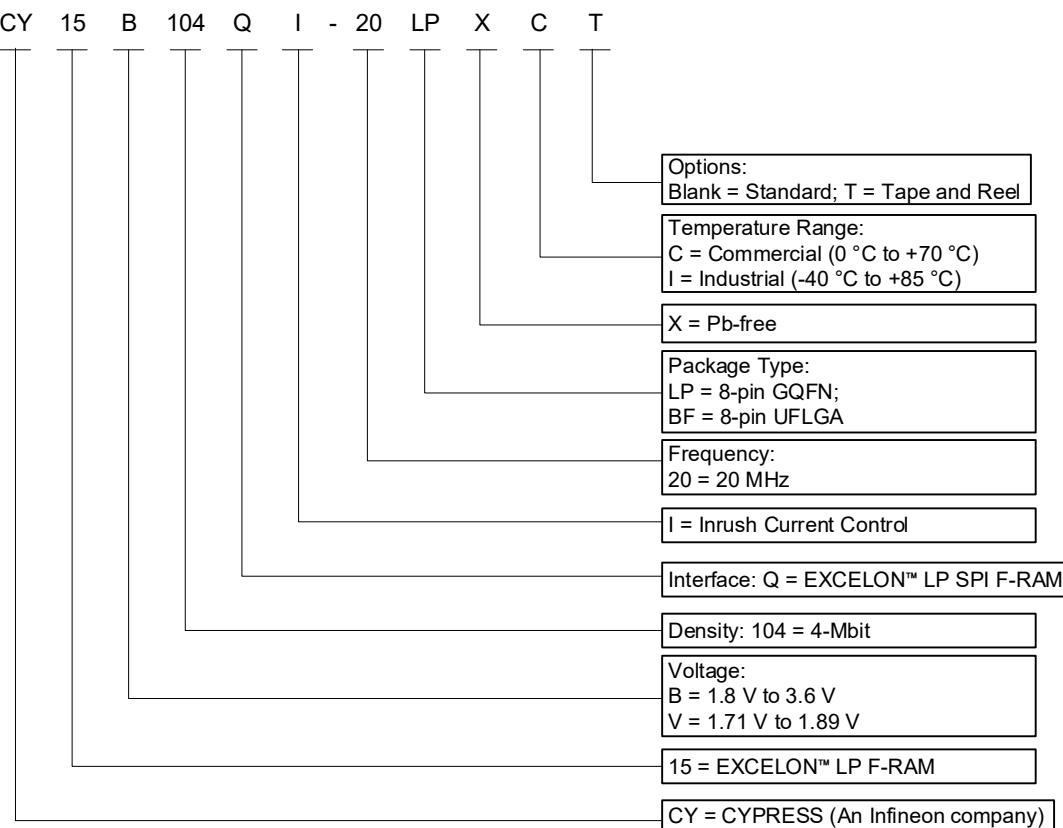
14 注文情報

Table 19 注文情報

注文コード	デバイス ID	パッケージ図	パッケージタイプ	動作範囲
CY15B104QI-20LPXC	7F7F7F7F7FC22DA1			民生用
CY15B104QI-20LPXCT				民生用
CY15B104QI-20LPXI	7F7F7F7F7FC22D01			産業用
CY15B104QI-20LPXIT				産業用
CY15V104QI-20LPXC	7F7F7F7F7FC22DA5			民生用
CY15V104QI-20LPXCT				民生用
CY15V104QI-20LPXI	7F7F7F7F7FC22D05			産業用
CY15V104QI-20LPXIT				産業用
CY15B104QI-20BFXI	7F7F7F7F7FC22D01			
CY15B104QI-20BFXIT				
CY15V104QI-20BFXI	7F7F7F7F7FC22D05			
CY15V104QI-20BFXIT				

これらすべての製品は鉛フリーです。在庫状況につきましては、最寄りの当社の販売代理店にお問い合わせください。

14.1 注文コードの定義

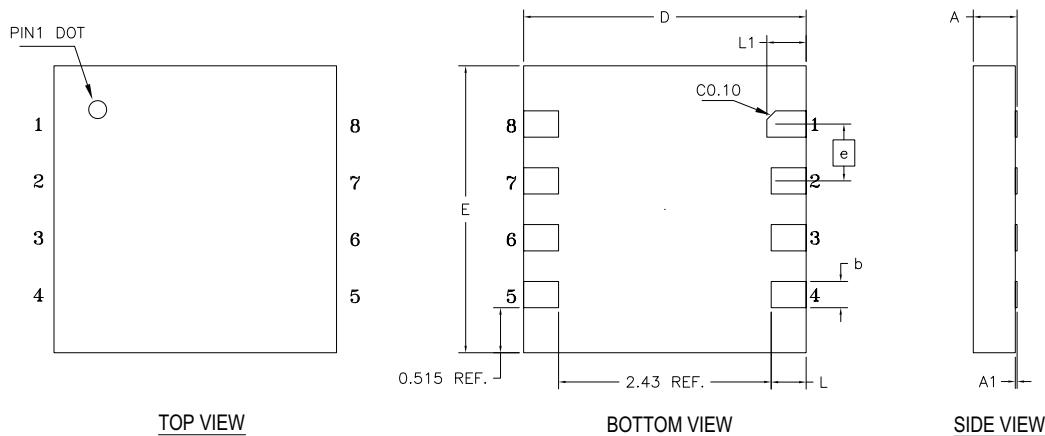


注:

16.NRND - 新規設計には推奨しません。

パッケージ図

15 パッケージ図



SYMBOL	DIMENSIONS		
	MIN.	NOM.	MAX.
e	0.65 BSC		
N	8		
L	0.30	0.40	0.50
L1	0.35	0.45	0.55
b	0.25	0.30	0.35
D	3.18	3.23	3.28
E	3.23	3.28	3.33
A	0.45	0.50	0.55
A1	0.00	-	0.05

NOTES:

1. ALL DIMENSIONS ARE IN MILLIMETERS.

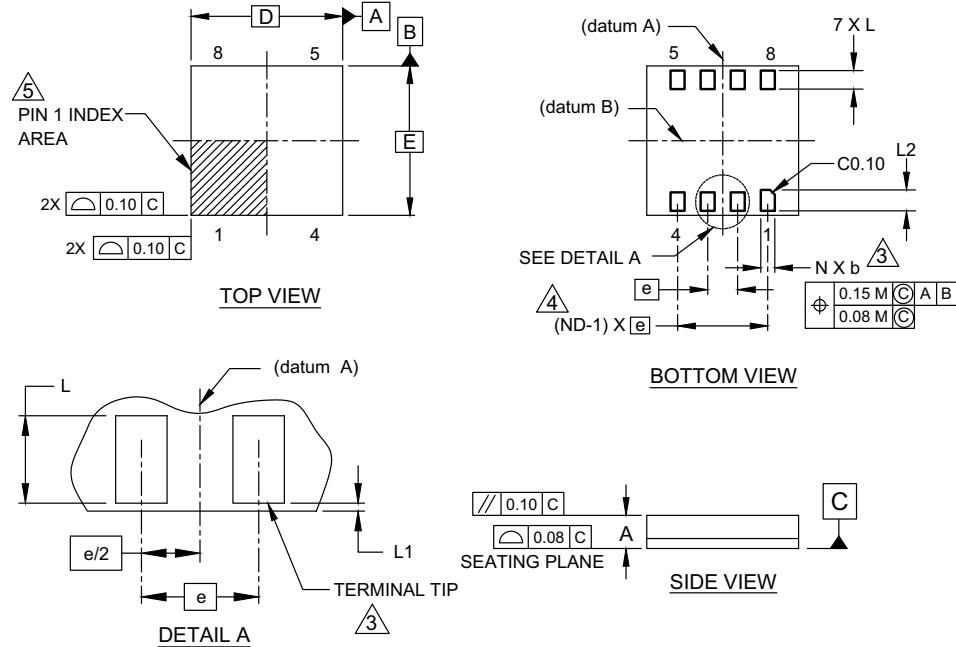
002-18131 Rev. *C

Figure 25 8 ピン GQFN (3.23 × 3.28 × 0.55 mm) LP08A パッケージ図 , 002-18131 (PG-VQFN-8)

4M ビット EXCELON™ LP 強誘電体 RAM (F-RAM) シリアル (SPI), 512K × 8, 突入電流制御, 産業用



パッケージ図



SYMBOL	DIMENSIONS		
	MIN.	NOM.	MAX.
e	0.65	BSC	
N		8	
ND		4	
L	0.30	0.40	0.50
b	0.25	0.30	0.35
D	3.28	BSC	
E	3.23	BSC	
A	-	-	0.55
L1	0.10 REF		
L2	0.35	0.45	0.55

NOTES:

- ALL DIMENSIONS ARE IN MILLIMETERS.
- N IS THE TOTAL NUMBER OF LANDS.
- DIMENSION "b" IS MEASURED AT THE MAXIMUM LAND WIDTH IN A PLANE PARALLEL TO DATUM C.
- ND REFERS TO THE NUMBER OF LANDS ON D SIDE.
- PIN #1 ID ON TOP WILL BE LOCATED WITHIN THE INDICATED ZONE.

002-34146 Rev. **

Figure 26 8 ピン UFLGA (3.28 × 3.23 × 0.55 mm) BF08A パッケージ図, 002-34146 (PG-UFLGA-8)

略語

16 略語

Table 20 本書で使用される略語

略語	説明
CPHA	clock phase (クロック位相)
CPOL	clock polarity (クロック極性)
EEPROM	electrically erasable programmable read-only memory (電気的消去書き込み可能な読み出し専用メモリ)
EIA	electronic industries alliance (米国電子工業会)
F-RAM	ferroelectric random access memory (強誘電体ランダムアクセスメモリ)
GQFN	grid array flat no-lead (リードレス フラットグリッドアレイ)
I/O	input/output (入力 / 出力)
JEDEC	Joint Electron Devices Engineering Council (半導体技術協会)
JESD	JEDEC 規格
LSb	least significant bit (最下位ビット)
MSb	most significant bit (最上位ビット)
RoHS	restriction of hazardous substances (特定有害物質使用制限指令)
SOIC	small outline integrated circuit (小型外形集積回路)
SPI	serial peripheral interface (シリアルペリフェラルインターフェース)
UFLGA	ultra thin fine-pitch land grid array (超薄型ファインピッチ ランドグリッドアレイ)

17 本書の表記法

17.1 測定単位

Table 21 測定単位

記号	測定単位
°C	摂氏温度
Hz	ヘルツ
kHz	キロヘルツ
kΩ	キロオーム
Mbit	メガビット
MHz	メガヘルツ
μA	マイクロアンペア
μF	マイクロファラド
μs	マイクロ秒
mA	ミリアンペア
ms	ミリ秒
ns	ナノ秒
Ω	オーム
%	パーセント
pF	ピコファラド
V	ボルト
W	ワット

改訂履歴

改訂履歴

版数	発行日	変更内容
**	2017-11-22	これは英語版 002-18671 Rev. *C を翻訳した日本語版 002-20524 Rev. ** です。
*A	2018-10-19	これは英語版 002-18671 Rev. *H を翻訳した日本語版 002-20524 Rev. *A です。
*B	2019-12-04	これは英語版 002-18671 Rev. *L を翻訳した日本語版 002-20524 Rev. *B です。
*C	2022-05-27	これは英語版 002-18671 Rev. *M を翻訳した日本語版 002-20524 Rev. *C です。
*D	2023-01-19	これは英語版 002-18671 Rev. *N を翻訳した日本語版 002-20524 Rev. *D です。
*E	2023-10-16	これは英語版 002-18671 Rev. *O を翻訳した日本語版 002-20524 Rev. *E です。

Trademarks

All referenced product or service names and trademarks are the property of their respective owners.

Edition 2023-10-16

Published by

**Infineon Technologies AG
81726 Munich, Germany**

**© 2023 Infineon Technologies AG.
All Rights Reserved.**

**Do you have a question about this
document?**

Email:

erratum@infineon.com

**Document reference
002-20524 Rev. *E**

重要事項

本文書に記載された情報は、いかなる場合も、条件または特性の保証とみなされるものではありません（「品質の保証」）。

本文に記された一切の事例、手引き、もしくは一般的な価値、および／または本製品の用途に関する一切の情報に關し、インフィニオンテクノロジーズ（以下、「インフィニオン」）はここに、第三者の知的所有権の不侵害の保証を含むがこれに限らず、あらゆる種類の一切の保証および責任を否定いたします。

さらに、本文書に記載された一切の情報は、お客様の用途におけるお客様の製品およびインフィニオン製品の一切の使用に關し、本文書に記載された義務ならびに一切の関連する法的要件、規範、および基準をお客様が遵守することを条件としています。

本文書に含まれるデータは、技術的訓練を受けた従業員のみを対象としています。本製品の対象用途への適合性、およびこれら用途に関連して本文書に記載された製品情報の完全性についての評価は、お客様の技術部門の責任にて実施してください。

警告事項

技術的要件に伴い、製品には危険物質が含まれる可能性があります。当該種別の詳細については、インフィニオンの最寄りの営業所までお問い合わせください。

インフィニオンの正式代表者が署名した書面を通じ、インフィニオンによる明示の承認が存在する場合を除き、インフィニオンの製品は、当該製品の障害またはその使用に関する一切の結果が、合理的に人的傷害を招く恐れのある一切の用途に使用することはできないこと予めご了承ください。