英飞凌4- Mbit (512K × 8) 串行 (SPI) F-RAM

特性

- 4-Mb 铁电随机存取存储器 (F-RAM) 逻辑上为 512K × 8 组织
  - 高耐久性 100 万亿次(10^{14}) 读/写
  - 151 年的数据保留（参见**“数据保留和耐用性”**，分页 23）
  - NoDelay™写入
  - 先进的高可靠性铁电工艺
- 超高速串行外设接口 (SPI)
  - 高达 40 兆赫的频率
  - 直接硬件替换串行闪存和EEPROM
  - 支持SPI模式0（0，0）和模式3（1，1）
- 先进的写保护方案
  - 使用写保护 ($\overline{WP}$) 引脚进行硬件保护
  - 使用写入禁用指令进行软件保护
  - 软件功能块保护1/4、1/2或整个阵列
- 器件ID
  - 制造商 ID 和产品 ID
- 低功耗
  - 1 MHz 时激活电流为 300 µA
  - 100 µA（典型值）待机电流
  - 3 µA（典型值）睡眠模式电流
- 低电压运行：V_{DD} = 2.0 V to 3.6 V
- 工业温度：-40°C 至 +85°C
- 8引脚塑料双列直插式（PDIP）封装
- 符合有害物质限制 (RoHS) 标准

功能说明

CY15B104Q 是一款采用先进铁电工艺的 4 Mbit 非易失性存储器。铁电随机存取存储器或F-RAM非易丢失并且执行类似于RAM的读取和写入。它可提供长达 151 年的可靠数据保存，同时消除了串行闪存、EEPROM 和其他非易失性存储器所导致的复杂性、开销和系统级可靠性问题。

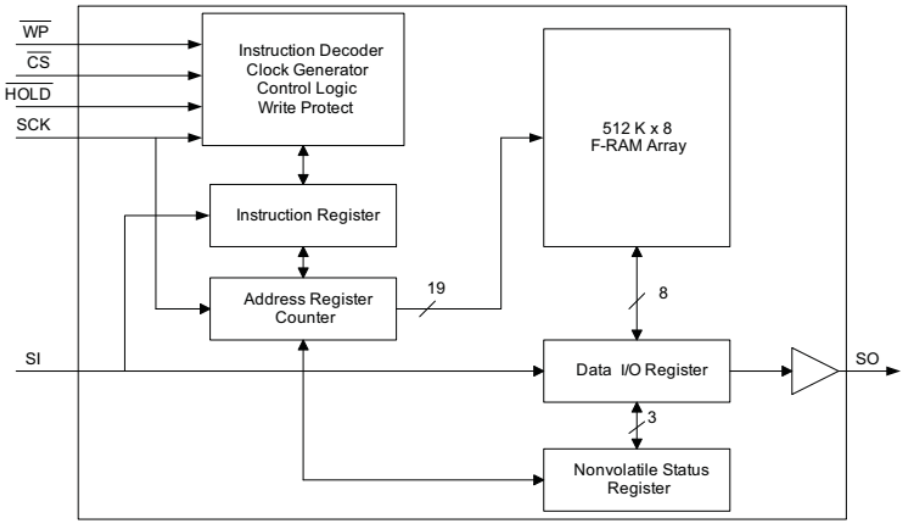
与串行闪存和 EEPROM 不同，CY15B104Q 以总线速度执行写入操作。不会产生写入延迟。每个字节成功传输到设备后，数据会立即写入存储器阵列。下一个写入周期无需数据轮询即可开始。此外，与其他非易失性存储器相比，该产品具有更高的写入耐久性。CY15B104Q 能够支持 10^{14} 次读/写循环，或者说比 EEPROM 多 1 亿倍的写入循环。

这些功能使 CY15B104Q 成为需要频繁或快速写入的非易失性存储器应用的理想选择。例如，在数据收集中写入次数可能至关重要，而在工业控制中，串行闪存或 EEPROM 的长写入时间可能会导致数据丢失。

CY15B104Q 作为硬件直接替代品，为串行 EEPROM 或闪存用户提供了巨大的优势。CY15B104Q采用高速SPI总线，增强了F-RAM技术的高速写入能力。该器件包含一个只读器件 ID，允许主机确定制造商、产品密度和产品版本。该器件的规格保证在-40°C至+85°C的工业温度范围内有效。

本数据手册的原文使用英文撰写。为方便起见，英飞凌提供了译文；由于翻译过程中可能使用了自动化工具，英飞凌不保证译文的准确性。 为确认准确性，请务必访问 infineon.cn参考最新的英文版本（控制文档）。

逻辑框图


WP
CS
HOLD
SCK
SI
SO
Instruction Decoder
Clock Generator
Control Logic
Write Protect
Instruction Register
Address Register
Counter
19
512 K x 8
F-RAM Array
8
Data I/O Register
3
Nonvolatile Status
Register

目录

特性 **1**
功能描述 **1**
逻辑框图 **2**
目录 **3**
1 引脚排列 **4**
2 引脚定义 **5**
3 概述 **6**
3.1 存储器架构 6
3.2 串行外设接口 (SPI) 6
3.3 SPI 概述 7
3.3.1 SPI 主机 7
3.3.2 SPI 从设备 7
3.3.3 芯片选择 （CS） 7
3.3.4 串行时钟 （SCK） 7
3.3.5 数据传输 （SI/SO） 8
3.3.6 最高有效位 9
3.3.7 串行操作码 9
3.3.8 无效操作码 9
3.3.9 状态寄存器 9
3.4 SPI 模式 10
3.5 上电至首次访问 10
3.6 指令结构 11
3.7 WREN - 置位写使能锁存器 11
3.8 WRDI复位写使能锁存器 12
4 状态寄存器和写保护 **13**
4.1 读取状态寄存器 (RDSR) 14
4.2 写状态寄存器 （WRSR） 14
5 存储器操作 **15**
5.1 写操作 15
5.2 读取操作 15
5.3 快速读取操作 16
5.4 保持引脚操作 17
5.5 睡眠模式 17
5.6 器件ID 18
5.7 耐久性 19
6 最大额定值 **20**
7 工作范围 **21**
8 直流电气特性 **22**
9 数据保留和耐用性 **23**
10 电容 **24**
11 热阻抗 **25**
12 交流测试条件 **26**
13 交流开关特性 **27**
14 上电时序 **29**
15 订购信息 **30**
15.1 订购代码定义 30
16 封装图 **31**
17 缩略语 **32**
18 文档惯例 **33**
18.1 计量单位 33
修订记录 **34**

1 引脚排列

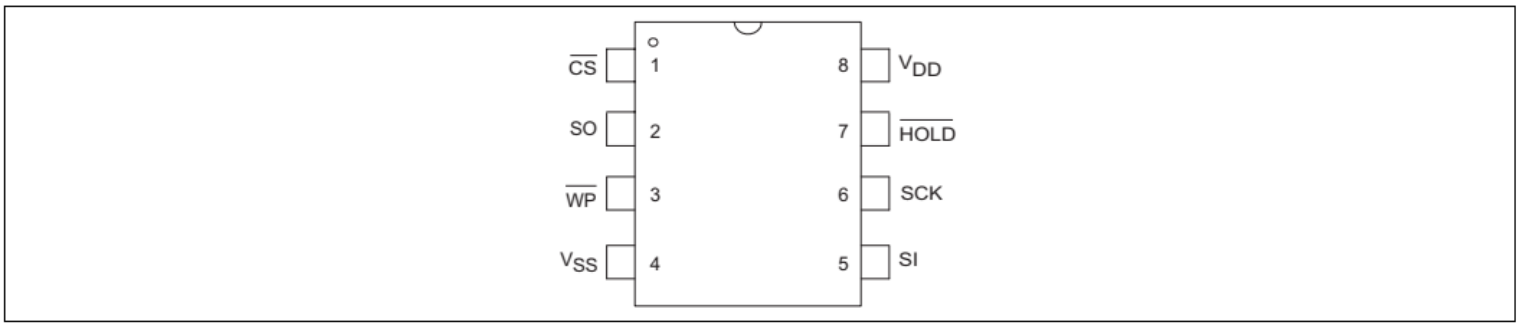


图 1 8 引脚 PDIP 引脚排列

2 引脚定义

表 1 引脚定义

Pin name	I/O type	Description
$\overline{CS}$	Input	**Chip Select**. This active LOW input activates the device. When HIGH, the device enters low-power standby mode, ignores other inputs, and the output is tristated. When LOW, the device internally activates the SCK signal. A falling edge on $\overline{CS}$ must occur before every opcode.
SCK	Input	**Serial Clock**. All I/O activity is synchronized to the serial clock. Inputs are latched on the rising edge and outputs occur on the falling edge. Because the device is synchronous, the clock frequency may be any value between 0 and 40 MHz and may be interrupted at any time.
SI[1]	Input	**Serial Input**. All data is input to the device on this pin. The pin is sampled on the rising edge of SCK and is ignored at other times. It should always be driven to a valid logic level to meet IDD specifications.
SO[1]	Output	**Serial Output**. This is the data output pin. It is driven during a read and remains tristated at all other times including when $\overline{HOLD}$ is LOW. Data transitions are driven on the falling edge of the serial clock.
$\overline{WP}$	Input	**Write Protect**. This Active LOW pin prevents write operation to the Status Register when WPEN is set to '1'. This is critical because other write protection features are controlled through the Status Register. A complete explanation of write protection is provided in **"Status Register and Write Protection"** on page 13. This pin must be tied to V_{DD} if not used.
$\overline{HOLD}$	Input	**$\overline{HOLD}$ Pin**. The $\overline{HOLD}$ pin is used when the host CPU must interrupt a memory operation for another task. When $\overline{HOLD}$ is LOW, the current operation is suspended. The device ignores any transition on SCK or $\overline{CS}$. All transitions on $\overline{HOLD}$ must occur while SCK is LOW. This pin must be tied to V_{DD} if not used.
V_{SS}	Power supply	Ground for the device. Must be connected to the ground of the system.
V_{DD}	Power supply	Power supply input to the device.

注释
1. SI 可以连接到 SO 以实现单引脚数据接口。

3 概述

CY15B104Q 是串行 F-RAM 存储器。该存储器阵列在逻辑上组织为 524,288 × 8 位，并使用行业标准串行外设接口 (SPI) 总线进行访问。F-RAM 的功能操作类似于串行闪存和串行EEPROM。CY15B104Q 与具有相同引脚排列的串行闪存或 EEPROM 之间的主要区别在于F-RAM 优越的写入性能、高耐用性和低功耗。

3.1 存储器架构

访问 CY15B104Q 时，用户需要寻址 512K 个位置，每个位置有 8 个数据位。这8个数据位以串行方式移入或移出。使用 SPI 协议访问地址，该协议包括芯片选择（允许总线上有多个设备）、操作码和三字节地址。地址范围的高五位是“无需关注”值。19 位的完整地址唯一指定每个字节的地址。

CY15B104Q 的大多数功能由 SPI 接口控制或由板载电路处理。存储器操作的访问时间基本上为零，超出了串行协议所需的时间。也就是说，存储器以SPI总线的速度进行读取或写入。与串行闪存或 EEPROM 不同，无需轮询设备以获得就绪条件，因为写入以写入速度进行。当新的总线事务可以移入设备时，写入操作就完成了。这在接口部分有更详细的解释。

3.2 串行外设接口 (SPI)

CY15B104Q 是 SPI 从设备，工作频率高达 40 MHz。这种高速串行总线为SPI主机提供高性能串行通信。许多常见的微控制器都有硬件 SPI 端口，允许直接连接。对于没有端口的微控制器来说，使用普通端口引脚来模拟端口非常简单。CY15B104Q 在 SPI 模式 0 和 3 下运行。

3.3 SPI 概述

SPI 是一个四引脚接口，具有片选 ($\overline{CS}$)、串行输入 (SI)、串行输出 (SO) 和串行时钟 (SCK) 引脚。

SPI是一个同步串行接口，它使用时钟和数据引脚进行内存访问，并支持数据总线上的多个设备。使用$\overline{CS}$引脚激活SPI 总线上的设备。

片选、时钟和数据之间的关系由SPI模式决定。本设备支持SPI模式 0 和 3。在这两种模式下，从$\overline{CS}$激活后的第一个上升沿开始，数据都会在 SCK 的上升沿被写入 F-RAM。

SPI协议由操作码控制。这些操作码指定从总线主机到从设备的指令。$\overline{CS}$ 激活后，从总线主机发送的第一个字节传送操作码。操作码之后，所有地址和数据都会被传输。操作完成后，在发出新的操作码之前，$\overline{CS}$ 必须处于非活动状态。SPI协议中常用的术语如下：

3.3.1 SPI 主机

SPI 主机控制SPI总线上的操作。 SPI链路可能只有一个主机和一个或多个从设备。所有从机共享相同的SPI总线，主机可以使用$\overline{CS}$引脚选择任何从机设备。所有操作必须由主机启动，通过拉低从机的$\overline{CS}$引脚来激活从设备。主机还生成 SCK，并且SI和 SO 线上的所有数据都与该时钟同步。

3.3.2 SPI从设备

SPI从设备由主机通过片选线激活。从设备从SPI主机获取 SCK 作为输入，并且所有通信都与该时钟同步。SPI从机不会在SPI总线上发起通信，仅根据主机发出的指令进行操作。

CY15B104Q 作为SPI从设备运行，可以与其他SPI从设备共享SPI总线。

3.3.3 芯片选择（$\overline{CS}$）

要选择任何从设备，主机需要下拉相应的$\overline{CS}$引脚。仅当$\overline{CS}$引脚为低电平时，才能向从设备发出任何指令。当未选择设备时，通过SI引脚的数据将被忽略，串行输出引脚 (SO) 保持高阻状态。

注意：新指令必须以$\overline{CS}$的下降沿开始。因此，每个有效片选周期只能发出一个操作码。

3.3.4 串行时钟（SCK）

串行时钟由SPI主机生成，$\overline{CS}$变为低电平后，通信与该时钟同步。

CY15B104Q 支持 SPI 模式 0 和 3 进行数据通信。在这两种模式下，从设备在 SCK 的上升沿锁存输入，并在下降沿发出输出。因此，SCK 的第一个上升沿表示 SPI 指令的第一个最高有效位 (MSb) 到达 SI 引脚。此外，所有数据输入和输出都与 SCK 同步。

3.3.5 数据传输 (SI/SO)

SPI数据总线由两条线组成：SI和 SO，用于串行数据通信。SI也称为主机输出从机输入 (MOSI)，SO 也称为主机输出从机输出 (MISO)。主机通过SI引脚向从机发出指令，从机通过 SO 引脚做出响应。多个从设备可以共享SI和SO线，如前所述。

CY15B104Q 有两个独立的引脚，分别用于SI和 SO，可以如图 2所示连接到主机。

所示。对于没有专用SPI总线的微处理器，可以使用通用端口。为了减少控制器上的硬件资源，可以将两个数据引脚（SI, SO）连接在一起并将 $\overline{HOLD}$ 和 $\overline{WP}$ 引脚连接（高电平）。图 3 显示了这样一种配置，它只使用三个引脚。

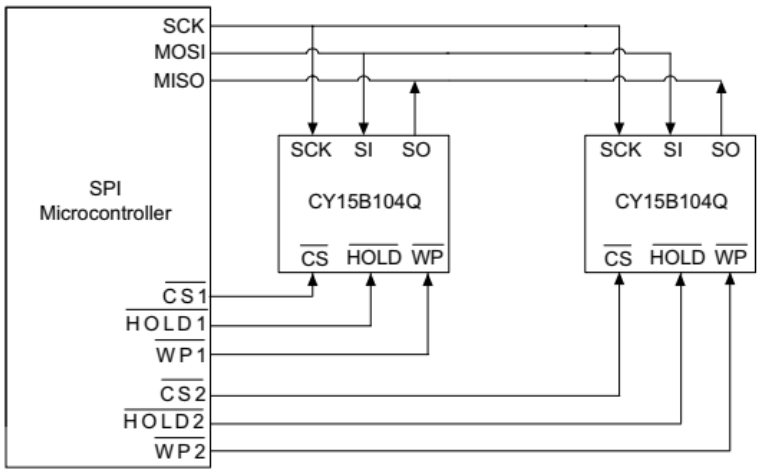


图 2 使用SPI端口的系统配置

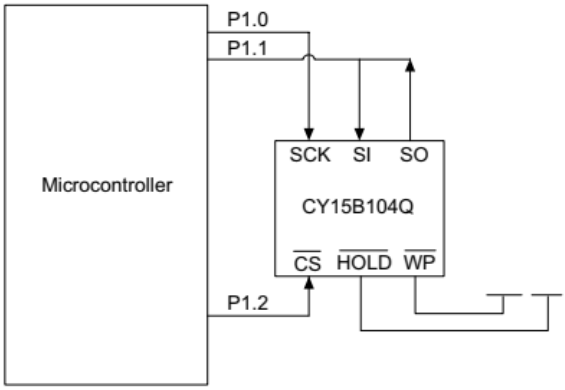


图 3 无SPI端口的系统配置

3.3.6 最高有效位（MSb）

SPI 协议要求传输的第一位是最高有效位 (MSb)。这对于地址和数据都有效。

4 Mb 串行 F-RAM 需要 3 字节地址才能进行任何读取或写入操作。由于地址只有 19 位，因此设备会忽略输入的前五位。虽然这五个位“无需关注”，但英飞凌建议将这些位设置为 0，以便能够无缝过渡到更高的存储器密度。

3.3.7 串行操作码

在 $\overline{CS}$ 变为低电平的情况下选择从设备后，接收到的第一个字节将被视为预期操作的操作码。CY15B104Q 使用标准操作码进行存储器访问。

3.3.8 无效操作码

如果接收到无效的操作码，则忽略该操作码，并且设备将忽略SI引脚上的任何其他串行数据，直到$\overline{CS}$的下一个下降沿，并且 SO 引脚保持三态。

3.3.9 状态寄存器

CY15B104Q 有一个 8 位状态寄存器。状态寄存器中的位用于配置设备。这些位的说明如**表 4**所示。

3.4 SPI 模式

CY15B104Q 可由微处理器驱动，其SPI外设运行在以下两种模式之一：

- SPI模式0（CPOL = 0，CPHA = 0）
- SPI模式3（CPOL = 1，CPHA = 1）

对于这两种模式，输入数据从$\overline{CS}$有效后的第一个上升沿开始在SCK的上升沿锁存。如果时钟从高电平开始（模式3），则考虑时钟切换后的第一个上升沿。输出数据在SCK的下降沿可用。

两种SPI模式如图4和图5所示。当总线主机未传输数据时，时钟的状态为：

- 模式 0 时 SCK 保持为 0
- 模式 3 时 SCK 保持为 1

当通过将$\overline{CS}$引脚置于低电平来选择设备时，设备会根据SCK引脚的状态检测SPI模式。如果在选择设备时SCK引脚为低电平，则假定为SPI模式 0；如果 SCK 引脚为高电平，则它在SPI模式3下工作。

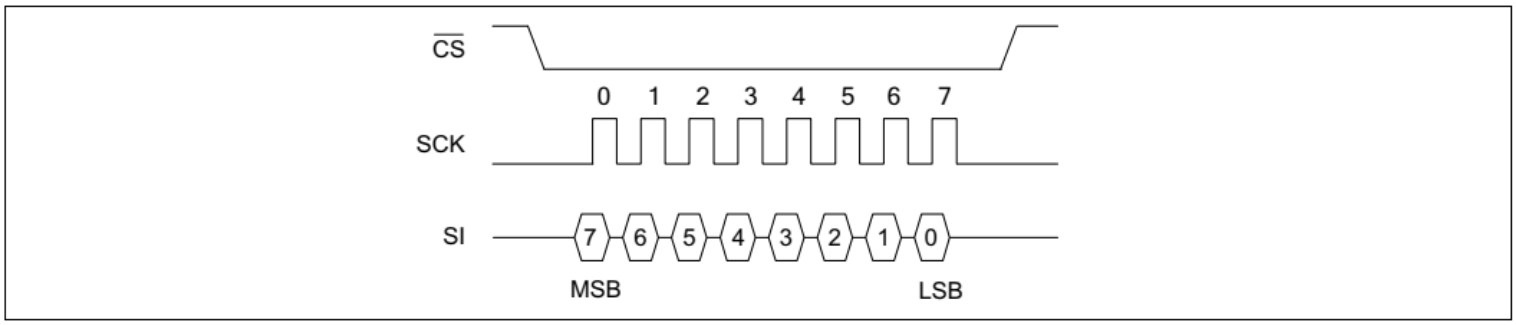


图 4 SPI模式 0

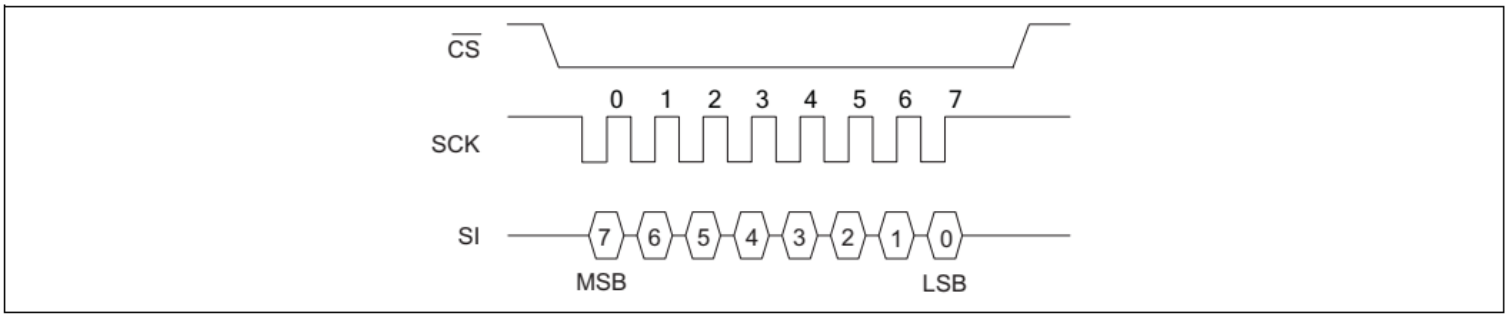


图 5 SPI模式 3

3.5 上电至首次访问

CY15B104Q 在上电后t_{PU}时间内无法访问。用户必须遵守时序参数 t_{PU}，即从V_{DD}（min）到第一个$\overline{CS}$低电平的最短时间。

3.6 指令结构

有 9 个指令（称为操作码）可以由总线主机向 CY15B104Q 发出（参见表2）。这些操作码控制着处理器执行的功能。

表 2 操作码指令

Name	Description	Opcode
WREN	Set write enable latch	0000 0110b
WRDI	Reset write enable latch	0000 0100b
RDSR	Read Status Register	0000 0101b
WRSR	Write Status Register	0000 0001b
READ	Read memory data	0000 0011b
FSTRD	Fast read memory data	0000 1011b
WRITE	Write memory data	0000 0010b
SLEEP	Enter sleep mode	1011 1001b
RDID	Read device ID	1001 1111b
Reserved	Reserved	1100 0011b
		1100 0010b
		0101 1010b
		0101 1011b

3.7 WREN - 置位写使能锁存器

CY15B104Q 将上电并禁用写入。任何写操作之前都必须发出 WREN 指令。发送 WREN 操作码后，用户就可以发出后续操作码进行写操作。其中包括写入状态 (WRSR) 和写入存储器 (WRITE)。

发送 WREN 操作码会导致内部写使能锁存器置位。状态寄存器中的一个标志位，称为WEL，表示锁存器的状态。 WEL = '1' 表示允许写入。尝试在状态寄存器中写入 WEL 位对此位的状态没有影响- 只有 WREN 操作码可以设置此位。在 WRDI、WRSR或写入操作之后，WEL 位将在$\overline{CS}$的上升沿上自动清除。这可以防止在没有另一个 WREN 指令的情况下进一步写入状态寄存器或 F-RAM 存储器。 图 6 说明了 WREN 指令总线配置。

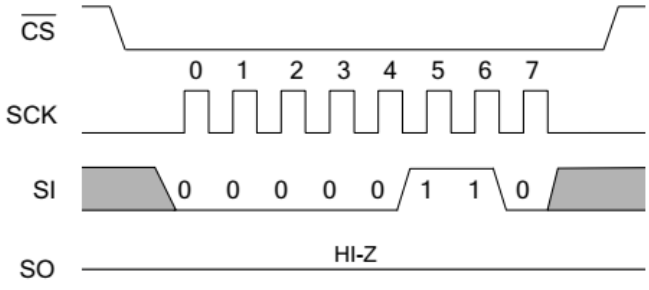


图 6 WREN 总线配置

3.8 WRDI - 复位写使能锁存器

WRDI指令通过清除写使能锁存器来禁用所有写操作。通过读取状态寄存器中的WEL位并确认等于“0”，来验证是否禁用了写操作。图7 说明了 WRDI 指令总线配置。

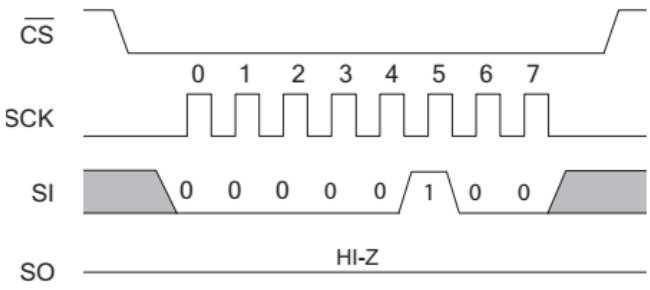


图7 WRDI总线配置

4 状态寄存器和写保护

CY15B104Q 的写保护功能是多层的，并通过状态寄存器启用。状态寄存器的组织如下。（出厂默认值：是WEL、BP0、BP1、位4-5以及WPEN均为“0”，位 6 为“1”）。

表 3 状态寄存器

Bit 7	Bit 6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
WPEN (0)	X (1)	X (0)	X (0)	BP1 (0)	BP0 (0)	WEL (0)	X (0)

表4 状态寄存器 bit 定义

Bit	Definition	Description
Bit 0	Don’t care	This bit is non-writable and always returns ‘0’ upon read.
Bit 1 (WEL)	Write Enable	WEL indicates if the device is write enabled. This bit defaults to ‘0’ (disabled) on power-up. WEL = ‘1’ --> Write enabled WEL = ‘0’ --> Write disabled
Bit 2 (BP0)	Block Protect bit ‘0’	Used for block protection. For details, see **Table 5**.
Bit 3 (BP1)	Block Protect bit ‘1’	Used for block protection. For details, see **Table 5**.
Bit 4–5	Don’t care	These bits are non-writable and always return ‘0’ upon read.
Bit 6	Don’t care	This bit is non-writable and always returns ‘1’ upon read.
Bit 7 (WPEN)	Write Protect Enable bit	Used to enable the function of Write Protect Pin ($\overline{WP}$). For details, see **Table 6**.

位 0 和 4-5 固定为 '0'，位 6 固定为 '1'；这些位都不能修改。注意，位 0（串行闪存和 EEPROM 中的“准备就绪或写入进行中”位）是不必要的，因为 F-RAM 实时写入且从不处于忙状态，因此读出为 '0'。例外情况是当设备从**“休眠模式”**（分页 17） 唤醒时。BP1 和 BP0 控制软件写保护功能，并且是非易失性位。WEL 标志指示写使能锁存器的状态。尝试直接写入状态寄存器中的 WEL 位对其状态没有影响。该位是内部置位，并通过 WREN 置位和 WRDI 清除。

BP1和BP0是存储器功能块写保护位。它们指定了存储器的写保护部分，如**表 5**所示。

表 5 功能块存储器写保护

BP1	BP0	Protected Address Range
0	0	None
0	1	60000h to 7FFFFh (upper 1/4)
1	0	40000h to 7FFFFh (upper 1/2)
1	1	00000h to 7FFFFh (all)

BP1 和 BP0 位以及写使能锁存器是保护存储器免遭写操作的唯一机制。其余的写保护功能可防止对块保护位的意外更改。

状态寄存器中的写保护使能位（$\overline{WP}$ EN）控制硬件写保护（$\overline{WP}$）引脚的效果。当 WPEN 位置位为 '0' 时，$\overline{WP}$ 引脚的状态被忽略。当 WPEN 位设置为'1'时，$\overline{WP}$ pin 上的低电平将禁止写入状态寄存器。因此，仅当 WPEN = '1' 且 $\overline{WP}$ = '0' 时，状态寄存器才被写保护。

状态寄存器和写保护

表 6 总结了写保护条件。

表 6　　写保护

WEL	WPEN	$\overline{WP}$	Protected Blocks	Unprotected Blocks	Status Register
0	X	X	Protected	Protected	Protected
1	0	X	Protected	Unprotected	Unprotected
1	1	0	Protected	Unprotected	Protected
1	1	1	Protected	Unprotected	Unprotected

4.1　　读取状态寄存器 (RDSR)

RDSR 指令允许总线主机验证状态寄存器的内容。读取状态寄存器提供有关写保护功能当前状态的信息。按照 RDSR 操作码，CY15B104Q 将返回一个字节，其中包含状态寄存器的内容。

4.2　　写状态寄存器 （WRSR）

WRSR 指令允许 SPI 总线主机写入状态寄存器，并通过根据需要设置 WPEN、BP0 和 BP1 位来更改写保护配置。在发出 WRSR 指令之前，$\overline{WP}$ 引脚必须为高电平或无效。请注意，在 CY15B104Q 上，$\overline{WP}$ 仅阻止写入状态寄存器，而不阻止内存阵列。在发送 WRSR 指令之前，用户必须发送 WREN 指令才能写入。执行 WRSR 指令是一个写操作，因此会清除写使能锁存器。

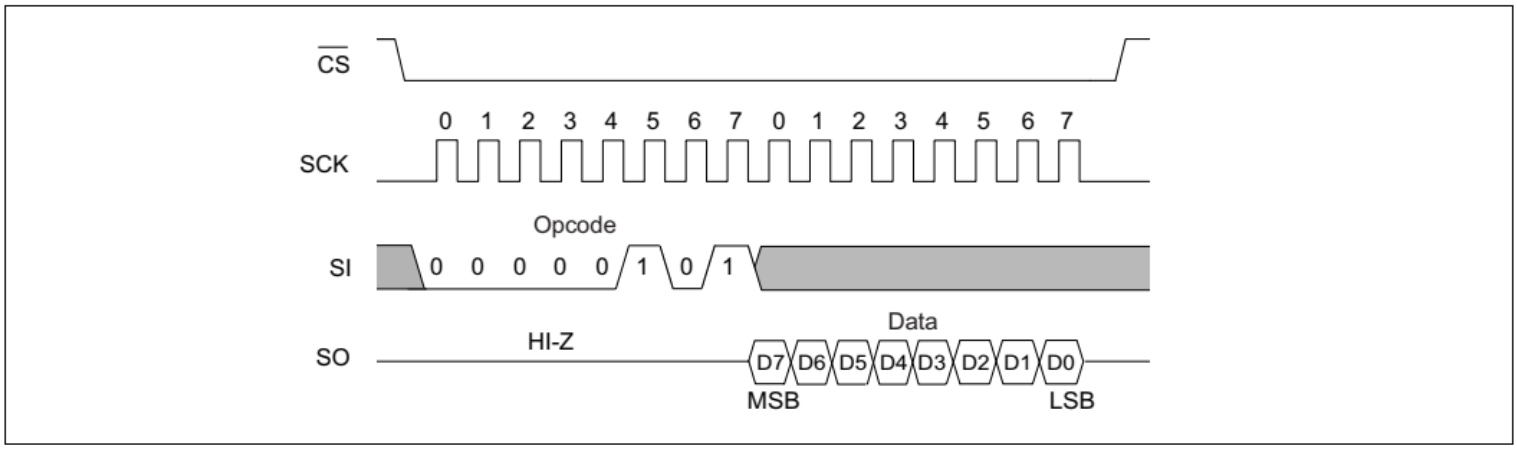


图 8　　RDSR 总线配置

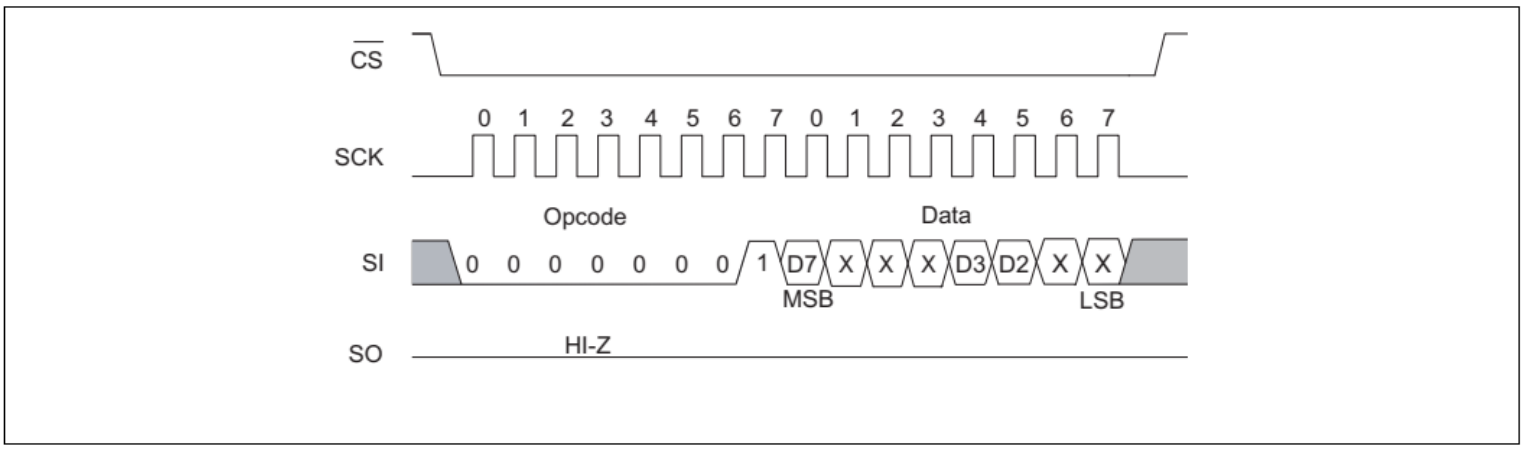


图 9　　WRSR 总线配置（未显示 WREN）

5 存储器操作

能够承受高时钟频率的SPI接口凸显了F-RAM技术的快速写入能力。与串行闪存和 EEPROM 不同，CY15B104Q 可以以总线速度执行顺序写入。不需要分页寄存器，并且可以执行任意数量的连续写入。

5.1 写操作

对存储器的所有写入操作均以 WREN 操作码开始，其中 $\overline{CS}$ 被置位和置低。下一个操作码是写。写操作码后跟一个三字节地址，其中包含要写入存储器的第一个数据字节的 19 位地址 (A18–A0)。三字节地址的高五位将被忽略。后续字节是数据字节，按顺序写入。只要总线主机继续发出时钟并保持 $\overline{CS}$ 为低电平，地址就会在内部递增。如果达到最后一个地址 7FFFFh，则计数器将翻转到 00000h。每个要写入的数据字节都在数据写入时MSB优先。$\overline{CS}$ 的上升沿终止写操作。写操作如**图 10** 所示。

注释：当突发写入到达受保护的功能块地址时，自动地址递增停止，并且设备将忽略所有后续接收到的写入数据字节。

EEPROM 使用分页缓冲区来增加其写入吞吐量。这弥补了该技术固有的写入速度慢的缺陷。F-RAM 存储器没有分页缓冲区，因为每个字节在时钟输入后（第 8 个时钟之后）立即写入 F-RAM 阵列。这允许写入任意数量的字节，而不会出现分页缓冲区延迟。

注释：如果在写操作过程中掉电，则只会写入最后完成的字节。

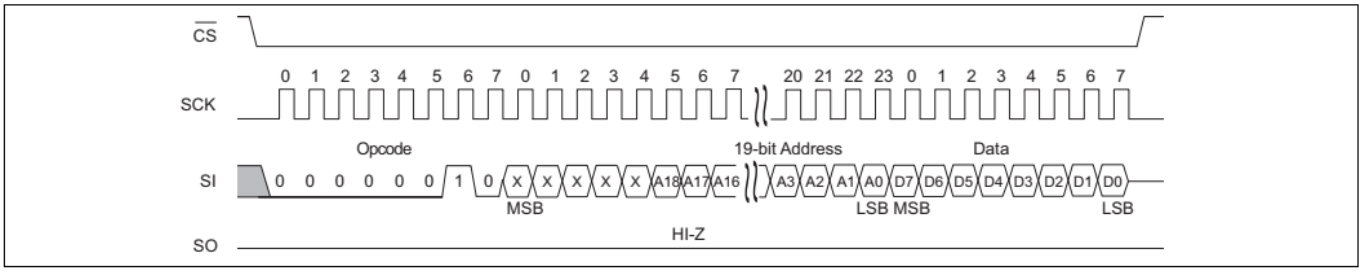


图 10 存储器写入（未显示 WREN）操作

5.2 读取操作

$\overline{CS}$ 下降沿后，总线主机可以发出读取操作码。读取命令后面是一个三字节地址，其中包含读操作的第一个字节的 19 位地址 (A18–A0)。地址的高五位将被忽略。发出操作码和地址后，设备在接下来的 8 个时钟上驱动出读取数据。在读取数据字节期间， SI输入被忽略。后续字节是数据字节， 按顺序读出。只要总线主机继续发出时钟且$\overline{CS}$ 为低电平，地址就会在内部递增。如果到达 7FFFFh 的最后一个地址，计数器将翻转至 00000h。数据输入时MSB优先。$\overline{CS}$ 的上升沿终止读操作并使 SO 引脚处于三态。读操作如 **图 11** 所示。

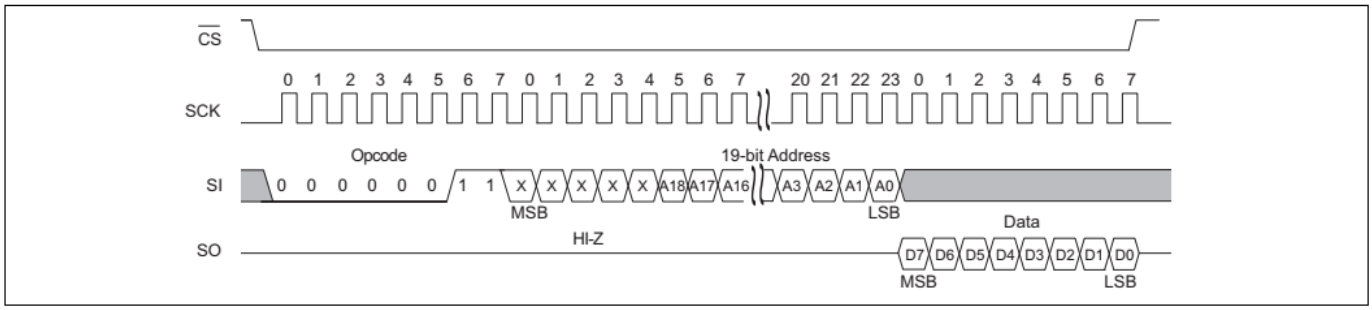


图11 存储器读操作

5.3 快速读操作

CY15B104Q 支持快速读操作码 (0Bh)，该操作码旨在与串行闪存设备兼容。快速读操作码后跟一个三字节地址，其中包含读操作第一个字节的 19 位地址 (A18–A0)，然后是一个虚拟字节。虚拟字节会插入 8 个时钟周期的读取延迟。快速读取操作除需要一个额外的虚拟字节外，其他方面与普通读取操作相同。接收到操作码、地址和虚拟字节后，CY15B104Q 开始使用数据字节驱动其 SO 线，首先发送 MSB，只要选择了设备并且时钟可用，就会继续传输。在批量读取的情况下，内部地址计数器会自动递增，在达到最后一个地址 7FFFFh 后，计数器会翻转至00000h。当设备在其 SO 线上驱动数据时，其 SI 线上的任何转换都将被忽略。CS 的上升沿终止快速读取操作，并使 SO 引脚进入三态。快速读取操作如 图 12 所示。

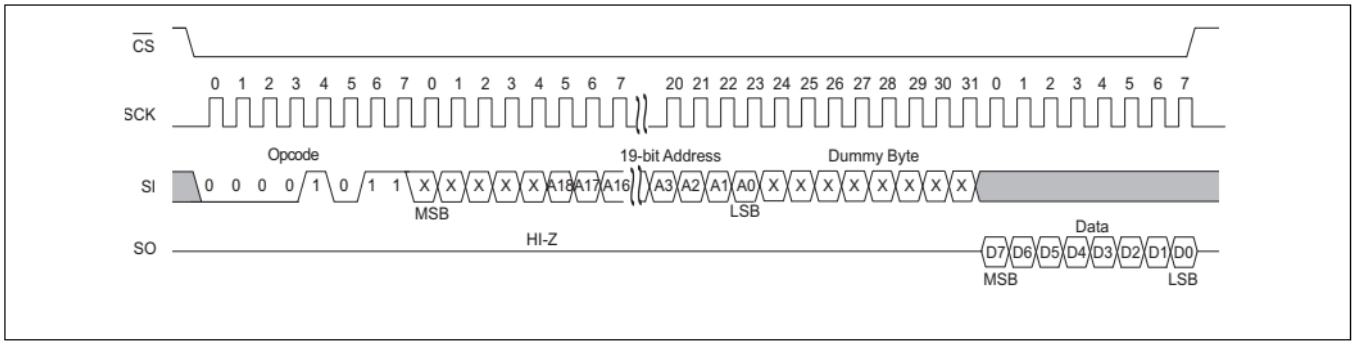


图 12 快速读操作

5.4 保持引脚操作

$\overline{HOLD}$引脚可用于中断串行操作而不中止它。如果在 SCK 为低电平时，链路主机将$\overline{HOLD}$引脚拉低，则当前操作将暂停。当 SCK 为低电平时，将$\overline{HOLD}$引脚拉高将恢复操作。$\overline{HOLD}$转换必须在 SCK 为低电平时发生，但 SCK 和$\overline{CS}$引脚可以在保持状态期间进行切换。

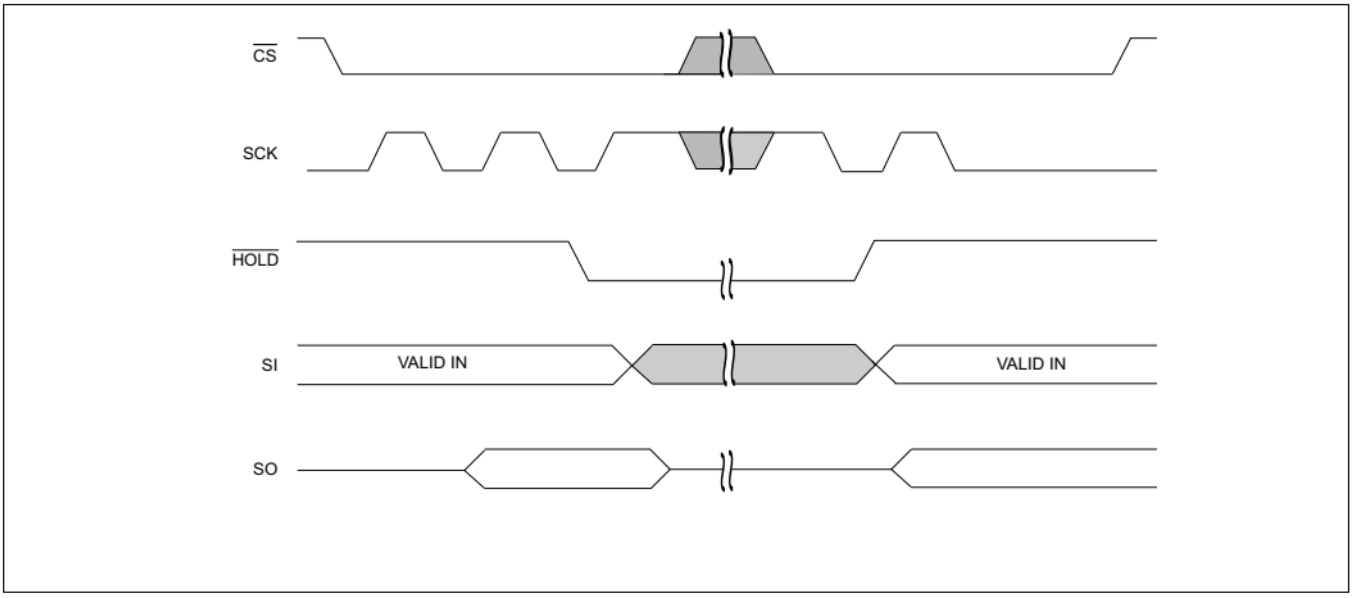


图 13 保持操作[2]

5.5 睡眠模式

CY15B104Q 器件上实现了低功耗睡眠模式。当 SLEEP 操作码 B9h 计时并应用的上升沿时，器件将进入低功耗状态。当$\overline{CS}$处于睡眠模式时，SCK 和SI 引脚 被忽略，SO 将为高阻态，但器件继续监测$\overline{CS}$ 引脚。在下一个$\overline{CS}$下降沿

器件将在 t_{REC}时间内恢复正常工作。唤醒期间，SO 引脚保持高阻态。器件不一定会在唤醒期间响应操作码。例如，控制器可以发送一个“虚拟”读取信号来启动唤醒过程，然后等待剩余的 t_{REC}时间。

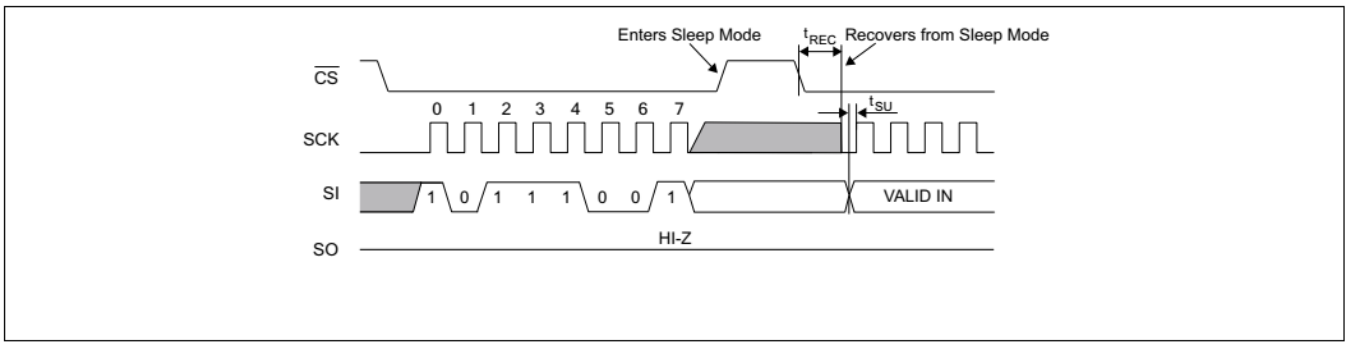


图 14 睡眠模式操作

注释：

2. **图 13** 显示输入模式和输出模式的保持操作。

5.6 器件ID

可以查询 CY15B104Q 器件的制造商、产品标识和芯片版本。RDID 操作码 9Fh 允许用户读取制造商 ID 和产品 ID，这两个 ID 都是只读字节。JEDEC分配的制造商 ID 将英飞凌 (Ramtron) 标识符置于组 7 中；因此，有六个字节的延续码 7Fh，后面跟着单个字节 C2h。产品 ID 由两个字节组成，其中包括系列代码、密度代码、子代码和产品修订代码。

表 7 器件 ID

Device ID (9 bytes)	Device ID description					
	71–16 (56 bits)	15–13 (3 bits)	12–8 (5 bits)	7–6 (2 bits)	5–3 (3 bits)	2–0 (3 bits)
	Manufacturer ID	Product ID				
		Family	Density	Sub	Rev	Rsvd
7F7F7F7F7F7FC22608h	01111111011111111011 11111011111111011111 11011111111111000010	001	00110	00	001	000

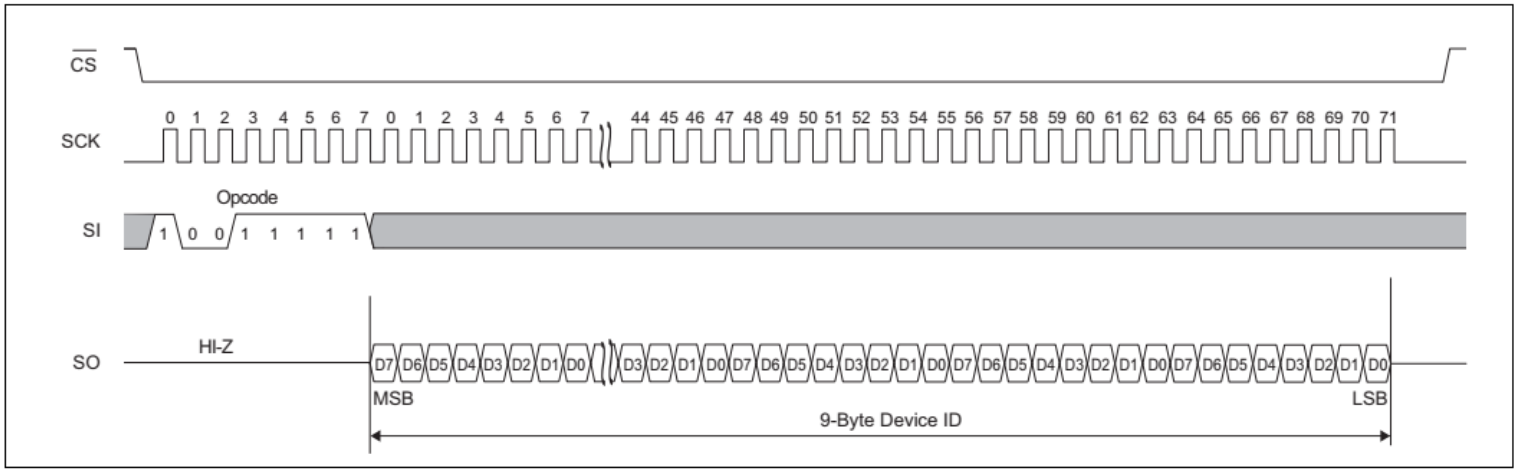


图 15 读取设备 ID

5.7 耐久性

CY15B104Q 设备的读写访问次数至少可达 10^{14}次。F-RAM 存储器采用读取和恢复机制。因此，每次访问（读取或写入）存储器阵列时，都会按行应用一个耐久性周期。F-RAM 架构基于一个由 32K 行和列的阵列，每行 64 位。无论是读取或写入单个字节还是全部8个字节，整个行在内部都会被访问一次。在耐久性计算中，行中的每个字节只被计数一次。**表 8** 显示了 64 字节重复循环的耐久性计算，其中包括操作码、起始地址和连续的 64 字节数据流。这导致每个字节在循环中经历一个耐力周期。在 40 MHz 时钟速率下，F-RAM 读写耐久性几乎不受限制。

表 8 达到重复 64 字节循环的耐受极限的时间

SCK Freq (MHz)	Endurance Cycles/sec	Endurance Cycles/year	Years to Reach Limit
40	73,520	2.32×10^{12}	43.1
10	18,380	5.79×10^{11}	172.7
5	9,190	2.90×10^{11}	345.4

6 最大额定值

超过最大额定值可能缩短器件的使用寿命。用户指南尚未经过测试。

表 9 绝对最大额定值

Parameter	Maximum ratings
Storage temperature	–55°C to +125°C
Maximum accumulated storage time At 125°C ambient temperature At 85°C ambient temperature	 1000 h 10 Years
Ambient temperature with power applied	–55°C to +125°C
Supply voltage on V_{DD} relative to V_{SS}	–1.0 V to +4.5 V
Input voltage	–1.0 V to +4.5 V and $V_{IN} < V_{DD} + 1.0$ V
DC voltage applied to outputs in High-Z state	–0.5 V to $V_{DD} + 0.5$ V
Transient voltage (< 20 ns) on any pin to ground potential	–2.0 V to $V_{DD} + 2.0$ V
Package power dissipation capability ($T_A = 25°C$)	1.0 W
Surface mount lead soldering temperature (3 seconds)	+260°C
DC output current (1 output at a time, 1s duration)	15 mA
Electrostatic Discharge Voltage Human Body Model (JEDEC Std JESD22-A114-B) Charged Device Model (JEDEC Std JESD22-C101-A)	 2 kV 500 V
Latch-up current	> 140 mA

7 工作范围

表 10 工作范围

Range	Ambient Temperature (T_A)	V_{DD}
Industrial	–40°C to +85°C	2.0 V to 3.6 V

8 直流电气特性

表 11 直流电气特性

在工作范围内

Parameter	Description	Test conditions		Min	Typ[3]	Max	Unit
V_{DD}	Power supply			2.0	3.3	3.6	V
I_{DD}	V_{DD} supply current	SCK toggling between V_{DD} – 0.2 V and V_{SS}, other inputs V_{SS} or V_{DD} – 0.2 V. SO = Open	f_{SCK} = 1 MHz	–	0.13	0.30	mA
			f_{SCK} = 40 MHz	–	1.4	3	mA
I_{SB}	V_{DD} standby current	$\overline{CS}$ = V_{DD}. All other inputs V_{SS} or V_{DD}.	T_A = 25°C	–	100	150	µA
			T_A = 85°C	–	–	250	µA
I_{ZZ}	Sleep mode current	$\overline{CS}$ = V_{DD}. All other inputs V_{SS} or V_{DD}.	T_A = 25°C	–	3	5	µA
			T_A = 85°C	–	–	8	µA
I_{LI}	Input leakage current	$V_{SS} \le V_{IN} \le V_{DD}$		–	–	±1	µA
I_{LO}	Output leakage current	$V_{SS} \le V_{OUT} \le V_{DD}$		–	–	±1	µA
V_{IH}	Input HIGH voltage			0.7 × V_{DD}	–	V_{DD} + 0.3	V
V_{IL}	Input LOW voltage			– 0.3	–	0.3 × V_{DD}	V
V_{OH1}	Output HIGH voltage	I_{OH} = –1 mA, V_{DD} = 2.7 V		2.4	–	–	V
V_{OH2}	Output HIGH voltage	I_{OH} = –100 µA		V_{DD} – 0.2	–	–	V
V_{OL1}	Output LOW voltage	I_{OL} = 2 mA, V_{DD} = 2.7 V		–	–	0.4	V
V_{OL2}	Output LOW voltage	I_{OL} = 150 µA		–	–	0.2	V

注释

3. 典型值为 25°C 时，V_{DD} = V_{DD} (typ)。未经100%测试。

9 数据保留和耐用性

表 12 数据保留和耐用性

Parameter	Description	Test condition	Min	Max	Unit
T_{DR}	Data retention	T_A = 85°C	10	–	Years
		T_A = 75°C	38	–	
		T_A = 65°C	151	–	
NV_C	Endurance	Over operating temperature	10^{14}	–	Cycles

10 电容

表 13 电容值

Parameter [4]	Description	Test conditions	Max	Unit
C_O	Output pin capacitance (SO)	$T_A = 25°C, f = 1\ MHz, V_{DD} = V_{DD}(typ)$	8	pF
C_I	Input pin capacitance		6	pF

注释：
4. 该参数会定期采样，但不会进行 100% 测试。

11 热阻抗

表 14 热阻

Parameter	Description	Test Conditions	8-pin PDIP	Unit
Θ_{JA}	Thermal resistance (junction to ambient)	Test conditions follow standard test methods and procedures for measuring thermal impedance, per EIA / JESD51.	56	°C/W
Θ_{JC}	Thermal resistance (junction to case)		43	°C/W

12 交流测试条件

表15 交流测试条件

Parameter	Value
Input pulse levels	10% and 90% of V_{DD}
Input rise and fall times	3 ns
Input and output timing reference levels	0.5 × V_{DD}
Output load capacitance	30 pF

13 交流开关特性

表 16 交流开关特性

在工作范围内

Parameters [5]		Description	V_{DD} = 2.0 V to 3.6 V		V_{DD} = 2.7 V to 3.6 V		Unit
Infineon Parameter	Alt. Parameter		Min	Max	Min	Max	
f_{SCK}	–	SCK clock frequency	0	25	0	40	MHz
t_{CH}	–	Clock HIGH time	18	–	11	–	ns
t_{CL}	–	Clock LOW time	18	–	11	–	ns
t_{CSU}	t_{CSS}	Chip select setup	12	–	10	–	ns
t_{CSH}	t_{CSH}	Chip select hold	12	–	10	–	ns
t_{OD} [6, 7]	t_{HZCS}	Output disable time	–	20	–	12	ns
t_{ODV}	t_{CO}	Output data valid time	–	16	–	9	ns
t_{OH}	–	Output hold time	0	–	0	–	ns
t_D	–	Deselect time	60	–	40	–	ns
t_R [7, 8]	–	Data in rise time	–	50	–	50	ns
t_F [7, 8]	–	Data in fall time	–	50	–	50	ns
t_{SU}	t_{SD}	Data setup time	8	–	5	–	ns
t_H	t_{HD}	Data hold time	8	–	5	–	ns
t_{HS}	t_{SH}	$\overline{HOLD}$ setup time	12	–	10	–	ns
t_{HH}	t_{HH}	$\overline{HOLD}$ hold time	12	–	10	–	ns
t_{HZ} [6, 7]	t_{HHZ}	$\overline{HOLD}$ LOW to HI-Z	–	25	–	20	ns
t_{LZ} [7]	t_{HLZ}	$\overline{HOLD}$ HIGH to data active	–	25	–	20	ns

注释

5. 测试条件假设信号转换时间为 3 ns 或更短，时序基准电平为 0.5 × V_{DD}，输入脉冲电平为 V_{DD} 的 10% 至 90%，输出负载为指定的 I_{OL}/I_{OH} 和30 pF 负载电容，如第 26 页**“交流测试条件”**所述。
6. t_{OD} 和 t_{Hz} 的额定负载电容为 5 pF。当输出进入高阻态时测量转换。
7. 已鉴定，但未在生产中进行 100% 测试。
8. 上升时间和下降时间分别在波形的 10% 到 90% 之间测量。

交流开关特性

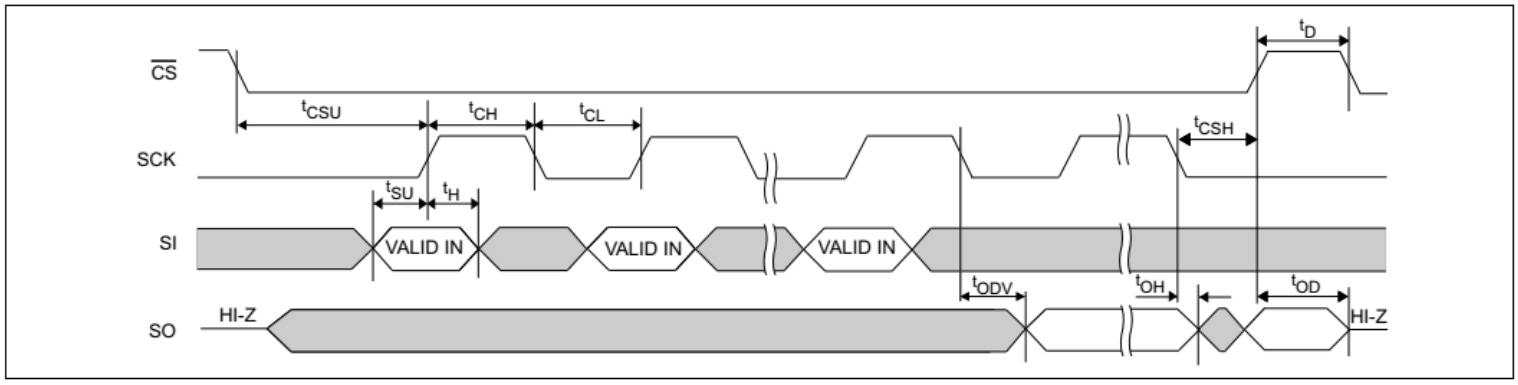


图 16　　同步数据时序（模式 0）

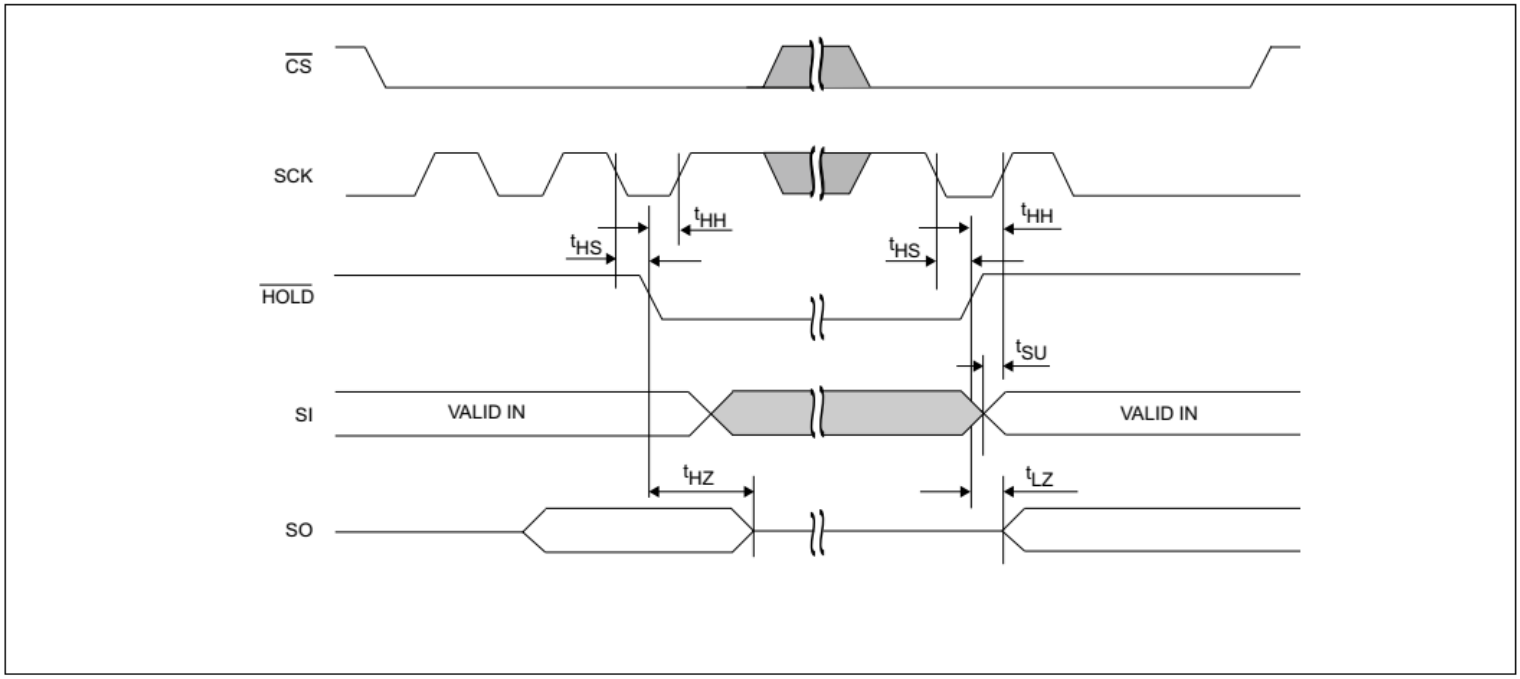


图 17　　保持流程

14 上电时序

表 17 上电时序

在工作范围内

Parameter	Description	Min	Max	Unit
t_{PU}	Power-up V_{DD}(min) to first access ($\overline{CS}$ LOW)	1	–	ms
t_{PD}	Last access ($\overline{CS}$ HIGH) to power-down (V_{DD}(min))	0	–	µs
t_{VR} [9]	V_{DD} power-up ramp rate	50	–	µs/V
t_{VF} [9]	V_{DD} power-down ramp rate	100	–	µs/V
t_{REC} [10]	Recovery time from sleep mode	–	450	µs

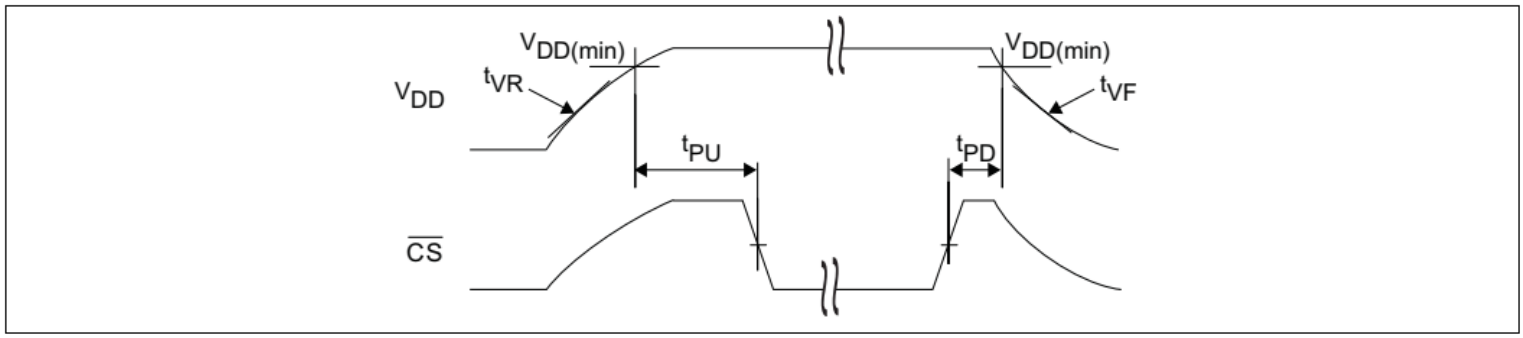


图 18 上电时序

注：
9. 在 V_{DD} 波形上任意一点测量的斜率。
10. 由设计保证。休眠模式时序参见图 14。

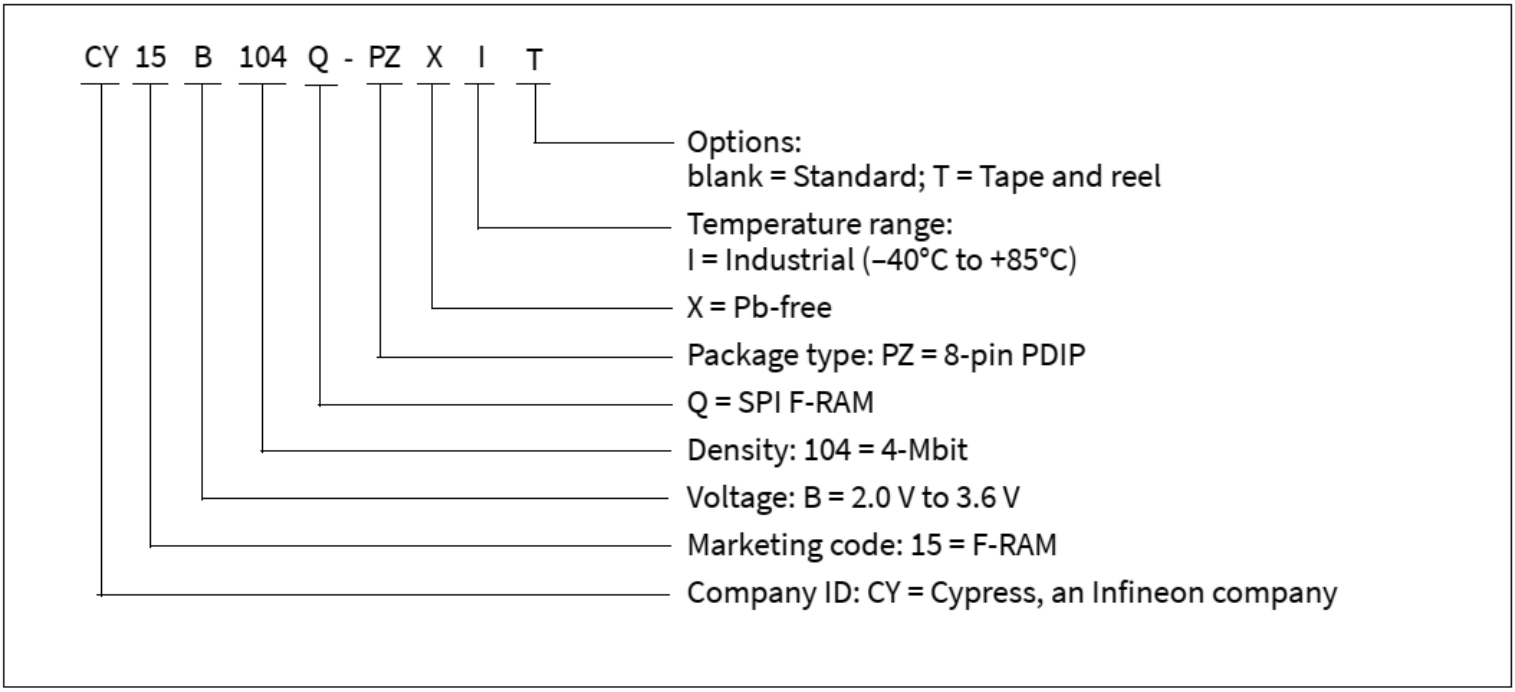
15 订购信息

表 18 订购信息

Product	Package diagram	Package type	Operating range
CY15B104Q-PZXI	51-85075	8-pin PDIP	Industrial

所有这些部件都不含铅。请联系您当地的英飞凌销售代表以了解这些部件的可用性。

15.1 订购代码定义



16 封装图

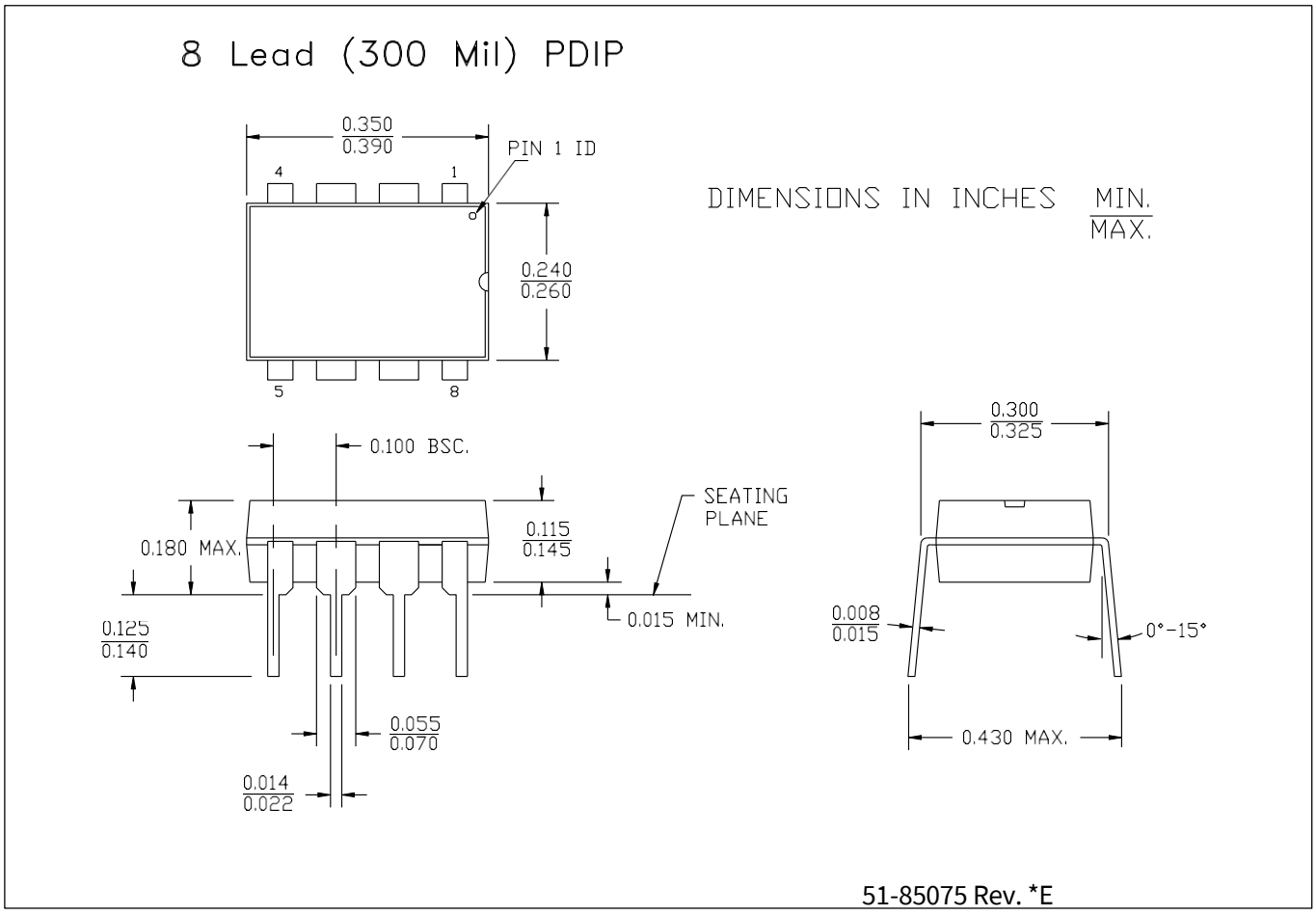


图 19 8 引脚 PDIP (300 Mils) P08.3 封装 (PG- DIP -8), 51-85075

17 缩略语

表 19 缩略词

Acronym	Description
CPHA	Clock Phase
CPOL	Clock Polarity
EEPROM	Electrically Erasable Programmable Read-Only Memory
EIA	Electronic Industries Alliance
F-RAM	Ferroelectric Random Access Memory
I/O	Input/Output
JEDEC	Joint Electron Devices Engineering Council
JESD	JEDEC standards
LSB	Least Significant Bit
PDIP	Plastic Dual In-line Package
MSB	Most Significant Bit
RoHS	Restriction of Hazardous Substances
SPI	Serial Peripheral Interface

18 文档惯例

18.1 测量单位

表 20 测量单位

Symbol	Unit of measure
°C	degree Celsius
Hz	hertz
kHz	kilohertz
kΩ	kilohm
Mbit	megabit
MHz	megahertz
µA	microampere
µF	microfarad
µs	microsecond
mA	milliampere
ms	millisecond
ns	nanosecond
Ω	ohm
%	percent
pF	picofarad
V	volt
W	watt

修订记录

Document revision	Date	Description of changes
**	2014-09-17	New data sheet.
*A	2014-11-18	Changed status from Summary to Advance. Updated **Overview**: Updated **Command structure**: Updated **Table 2**: Added reserved opcodes - 0xC3, 0xC2, 0x5A, 0x5B.
*B	2014-12-04	Changed status from Advance to Preliminary.
*C	2015-02-19	Updated **Features**: Fixed typo. Updated **Package diagram**: spec 51-85075 – Changed revision from *C to *D.
*D	2015-09-01	Changed status from Preliminary to Final. Updated **Maximum ratings**: Removed “Maximum junction temperature”. Added “Maximum accumulated storage time”. Added “Ambient temperature with power applied”. Updated to new template. Completing Sunset Review.
*E	2015-12-01	Updated **Ordering information**: No change in part numbers. Fixed typo error (Replaced “001-85075” with “51-85075” in “Package Diagram” column.
*F	2023-10-17	Post to external web.
*G	2024-10-30	Migrated to Infineon template.

免责声明

请注意，本文件的原文使用英文撰写，为方便客户浏览英飞凌提供了中文译文。该中文译文仅供参考，并不可作为任何论点之依据。
由于翻译过程中可能使用了自动化程序，以及语言翻译和转换过程中的差异，最后的中文译文与最新的英文版本原文含义可能存在不尽相同之处。
因此，我们同时提供该中文译文版本的最新英文原文供您阅读，请参见 http://www.infineon.com
英文原文和中文译文版本之间若存有任何歧异，以最新的英文版本为准，并且仅认可英文版本为正式文件。
您如果使用本文件，即表示您同意并理解上述说明。英飞凌不对因翻译过程中可能存在的任何不完整或不准确信息而产生的任何直接或间接损失或损害负责。英飞凌不承担中文译文版本的完整性和准确性责任。如果您不同意上述说明，请不要使用本文件。

Trademarks
All referenced product or service names and trademarks are the property of their respective owners.

版本 **2026-04-20**

Infineon Technologies AG 出版，
德国 **Neubiberg 85579**

版权 © **2026 Infineon Technologies AG** 及其关联公司。
保留所有权利。

Do you have a question about this document?

Email:

erratum@infineon.com

重要通知

Infineon Technologies AG 及其关联公司（以下简称 "英飞凌"）销售或提供和交付的产品（可能也包括样品，且可能由硬件或软件或两者组成）（以下简称 "产品"），应遵守客户与英飞凌签订的框架供应合同或其他书面协议的条款和条件，如无上述合同或其他书面协议，则应遵守适用的英飞凌销售条件。只有在英飞凌明确书面同意的情况下，客户的一般条款和条件或对适用的英飞凌销售条件的偏离才对英飞凌具有约束力。

为避免疑义，英飞凌不承担不侵犯第三方权利的所有保证和默示保证，例如对特定用途/目的的适用性或适销性的保证。

英飞凌对与样品、应用或客户对任何产品的具体使用有关的任何信息或本文档中给出的任何示例或典型值概不负责。

本文件中包含的数据仅供具有技术资格和技能的客户代表使用。客户有责任评估产品对预期应用和客户特定用途的适用性，并在预期应用和客户特定用途中验证本文件中包含的所有相关技术数据。客户有责任正确设计、编程和测试预期应用的功能性和安全性，并遵守与其使用相关的法律要求。

除非英飞凌另行明确批准，否则产品不得用于任何因产品故障或使用产品的任何后果可合理预期会导致人身伤害的应用。但是，上述规定并不妨碍客户在英飞凌明确设计和销售的使用领域中使用任何产品，但是客户对应用负有全部责任。

英飞凌明确保留根据适用法律，如《德国版权法》（UrhG）第 44b 条，将其内容用于商业资料和数据探勘（TDM）的权利。

如果产品包含安全功能：
由于任何计算设备都不可能绝对安全，尽管产品采取了安全措施，但英飞凌不保证产品不会被入侵、数据不会被盗或遗失，或不会发生其他漏洞（以下简称"安全漏洞"），英飞凌对任何安全漏洞不承担任何责任。

如果本文档包含或引用软件：
根据美国、德国和世界其他国家的知识产权法律和条约，该软件归英飞凌所有。英飞凌保留所有权利。因此，您只能按照软件附带的软件授权协议的规定使用本软件。

如果没有适用的软件授权协议，英飞凌特此授予您个人的、非排他性的、不可转让的软件知识产权授权（无权转授权）：(a) 对于以源代码形式提供的软件，仅在贵组织内部修改和复制该软件用于英飞凌硬件产品；及 (b) 对于以二进制代码(binary code)形式对外向终端用户分发该软件，仅得用于英飞凌硬件产品。禁止对本软件进行任何其他使用、复制、修改、翻译或编译。有关产品、技术、交货条款和条件以及价格的详细信息，请联系离您最近的英飞凌办公室或访问 **https://www.infineon.com**。