

2M ビット EXCELON™ Ultra 強誘電体 RAM (F-RAM)

シリアル (クアッド SPI), 256K × 8, 108 MHz, 産業用

特長

- 256K × 8 に論理構成された 2M ビット強誘電体 RAM (F-RAM)
 - 100 兆回 (10^{14}) の読み出し / 書き込みサイクルの無限の耐久性
 - 151 年のデータ保持 (データ保持期間とアクセス可能回数を参照)
 - Infineon インスタント不揮発性書き込み技術
 - 先端の高信頼性強誘電体プロセス
- シングルおよびマルチ I/O SPI
 - シリアル バス インターフェース SPI プロトコル
 - すべての SDR モード転送で SPI モード 0 (0, 0) および モード 3 (1, 1) をサポート
 - すべての DDR モード転送で SPI モード 0 (0, 0) をサポート
 - 拡張 I/O SPI プロトコル
 - デュアル SPI (DPI) プロトコル
 - クアッド SPI (QPI) プロトコル
- SPI クロック周波数
 - 最大 108 MHz の周波数 SPI SDR
 - 最大 54 MHz の周波数 SPI DDR
- メモリの読み出し / 書き込み用のインプレース実行 (XIP)
- 書き込み保護、データセキュリティ、およびデータ整合性
- 書き込み保護 (\overline{WP}) ピンを使用したハードウェアによる保護
- ソフトウェア ブロック保護
- データの整合性を強化するための組込み ECC および CRC
 - ECC は、1 ビットエラーを検出して修正します。2 ビットエラーが発生した場合、修正されませんが、ECC ステータス レジスタを介して報告されます
 - CRC は、生データへの偶発的な変更を検出します
- 拡張電子署名
 - メーカー ID および製品 ID を含むデバイス ID
 - 固有 ID
 - ユーザーがプログラム可能なシリアル番号
- 専用 256 バイト特殊セクタ F-RAM
 - 専用特殊セクタの書き込みと読み出し
 - コンテンツは最大 3 回の標準リフローサイクルに耐え得る
- 高速での低消費電力
 - 108 MHz SPI SDR の 10 mA (Typ) アクティブ電流
 - 108 MHz QSPI SDR および 54 MHz QSPI DDR の 16 mA (Typ) アクティブ電流
 - 110 μ A (Typ) のスタンバイ電流
 - 0.80 μ A (Typ) のディープ パワーダウン モード電流
 - 0.1 μ A (Typ) のハイバネート モード電流
- 低電圧動作:
 - CY15V102QSN: $V_{DD} = 1.71 \text{ V} \sim 1.89 \text{ V}$
 - CY15B102QSN: $V_{DD} = 1.8 \text{ V} \sim 3.6 \text{ V}$

機能説明

- 動作温度 : -40°C ~ +85°C
- 8 ピン小型集積回路 (SOIC) パッケージ
- RoHS 準拠

機能説明

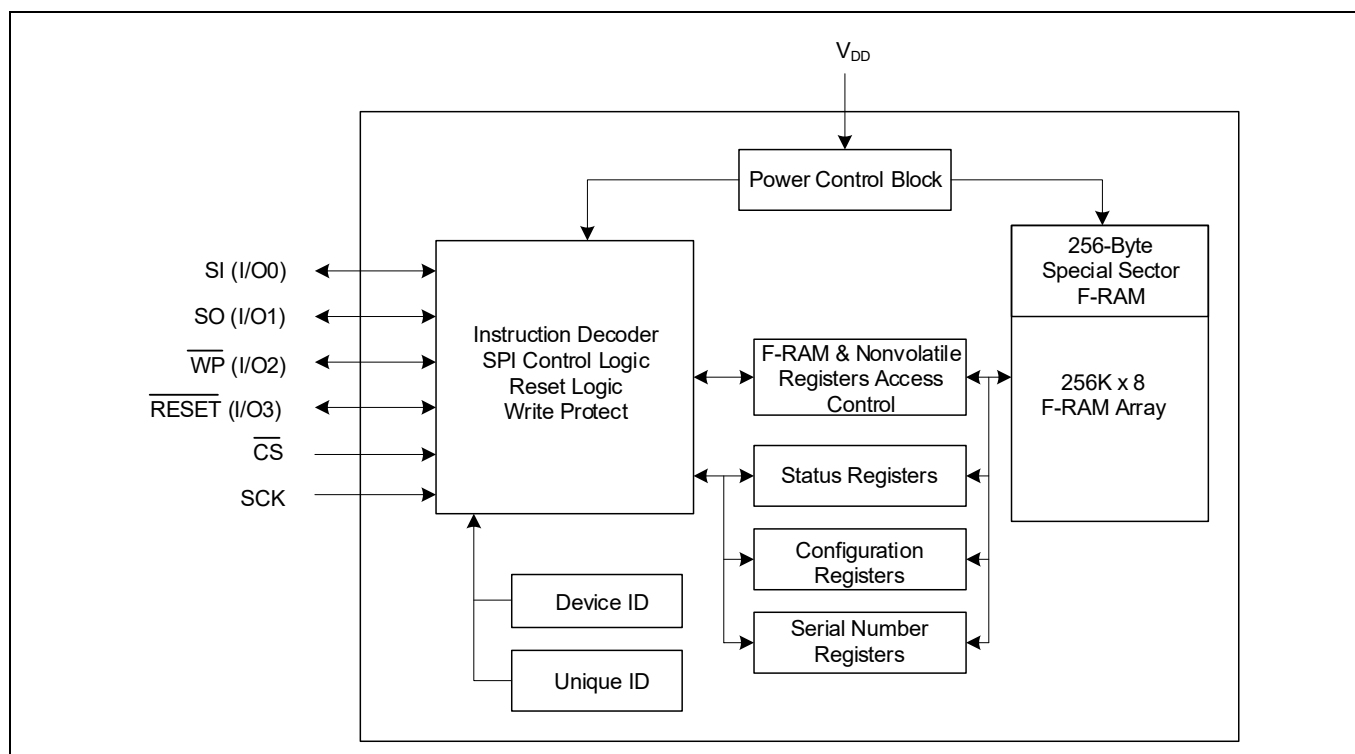
EXCELON™ Ultra CY15X102QSN は高度な強誘電体プロセスを適用した低消費電力の 2M ビット不揮発性メモリです。強誘電体ランダムアクセスメモリまたは F-RAM は不揮発性であり、RAM と同様に読み出しと書き込みを実行します。シリアルフラッシュやその他の不揮発性メモリによって引き起こされる複雑さ、オーバーヘッド、およびシステムレベルの信頼性の問題を排除しながら、151 年間の信頼性の高いデータ保持を提供します。

シリアルフラッシュと違って、CY15X102QSN はバス速度で書き込み動作を実行します。書き込み遅延は発生しません。データは各バイトがデバイスに正常に転送された直後にメモリアレイに書き込まれます。次のバスサイクルはデータポーリングを必要とせず開始できます。また、本製品は他の不揮発性メモリと比べ多くの書き換え回数を提供しています。CY15X102QSN は、 10^{14} 回の読み出し / 書き込みサイクル、つまり EEPROM の 1 億倍の書き込みサイクルをサポートできます。これらの能力により、CY15X102QSN は頻繁で高速書き込みを必要とする不揮発性メモリの用途に理想的です。用途例は、書き込み回数を重視するデータ収集から、シリアルフラッシュを使った長い書き込み時間に起因してデータを損失する可能性がある厳しい工業用制御まで及びます。

CY15X102QSN は、2M ビットの F-RAM と、F-RAM テクノロジーの不揮発性書き込み機能を強化する高速クアド SPI (QPI) SDR および DDR インターフェースを組み合わせたものです。このデバイスには、読み出し専用のデバイス ID と一意の ID 機能が組み込まれているため、SPI バスマスターは、各製品のメーカー、メモリ容量、リビジョン、および固有 ID を判別できます。CY15X102QSN は読み出し専用の固有のシリアル番号を含みます。このシリアル番号を使用して、基板またはシステムを識別できます。

このデバイスは、8 バイト単位のデータごとに 1 ビットエラーを検出して修正できるオンダイ ECC ロジックをサポートしています。このデバイスは、8 バイト単位のデータで 2 ビットエラーを報告する機能も拡張しています。また、メモリアレイに格納されているデータのデータ整合性をチェックするために使用できる巡回冗長検査 (CRC) 機能もサポートしています。

論理ブロック図



目次

特長	1
機能説明	2
論理ブロック図	2
目次	3
1 端子配置	5
2 端子機能	6
3 機能概要	7
3.1 メモリ アーキテクチャ	7
3.2 SPI バス	7
3.2.1 シングル チャネル SPI	8
3.2.2 拡張 SPI	8
3.2.3 デュアル SPI (DPI)	8
3.2.4 クアッド SPI (QPI)	9
3.3 SPI プロトコルで使用される用語	9
3.3.1 SPI マスター	9
3.3.2 SPI スレーブ	9
3.3.3 チップセレクト (\overline{CS})	9
3.3.4 シリアル クロック (SCK)	10
3.3.5 データ転送 (SI/SO)	10
3.3.6 最上位ビット (MSb)	10
3.3.7 シリアル オペコード	11
3.3.8 無効なオペコード	11
3.3.9 命令	11
3.3.10 モード バイト	11
3.3.11 待機状態またはダミー サイクル	11
3.4 SPI モード	12
3.4.1 SDR	12
3.4.2 DDR	12
3.5 電源投入時から最初のアクセスまで	13
4 CY15x102QSN レジスタ	15
4.1 ステータス レジスタ	15
4.1.1 ステータス レジスタ 1 (SR1)	15
4.1.2 ステータス レジスタ 2 (SR2)	18
4.2 コンフィギュレーション レジスタ	19
4.2.1 コンフィギュレーション レジスタ 1 (CR1)	19
4.2.2 コンフィギュレーション レジスタ 2 (CR2)	22
4.2.3 コンフィギュレーション レジスタ 4 (CR4)	25
4.2.4 コンフィギュレーション レジスタ 5 (CR5)	27
5 機能説明	29
5.1 コマンドの構成	29
5.1.1 書き込みイネーブル制御コマンド	31
5.1.2 レジスタ アクセスのコマンド	34
5.1.3 メモリの動作	46
5.1.4 メモリ書き込み動作コマンド	46
5.1.5 メモリ読み出し動作コマンド	57
5.1.6 特殊セクタ メモリ アクセス コマンド	68
5.1.7 エラー訂正コード (ECC) および巡回冗長検査コマンド	71
5.1.8 IDおよびシリアル番号コマンド	80
5.1.9 低消費電力モードとリセット	85
6 電気的特性	92
6.1 最大定格	92

目次

7 動作範囲	93
8 DC 電気的特性	94
9 データ保持期間とアクセス可能回数	97
10 静電容量	98
11 熱抵抗	99
12 AC テスト条件	100
13 SDR AC スイッチング特性	101
14 DDR AC スイッチング特性	104
15 書き込み保護 (WP) タイミング パラメータ	106
16 リセット (RESET) タイミング パラメータ	107
17 パワー サイクル タイミング	108
18 注文情報	110
18.1 注文コードの定義	110
19 パッケージ外形図	111
20 略語	112
21 本書の表記法	113
21.1 測定単位	113
改訂履歴	114
免責事項	115

1 端子配置

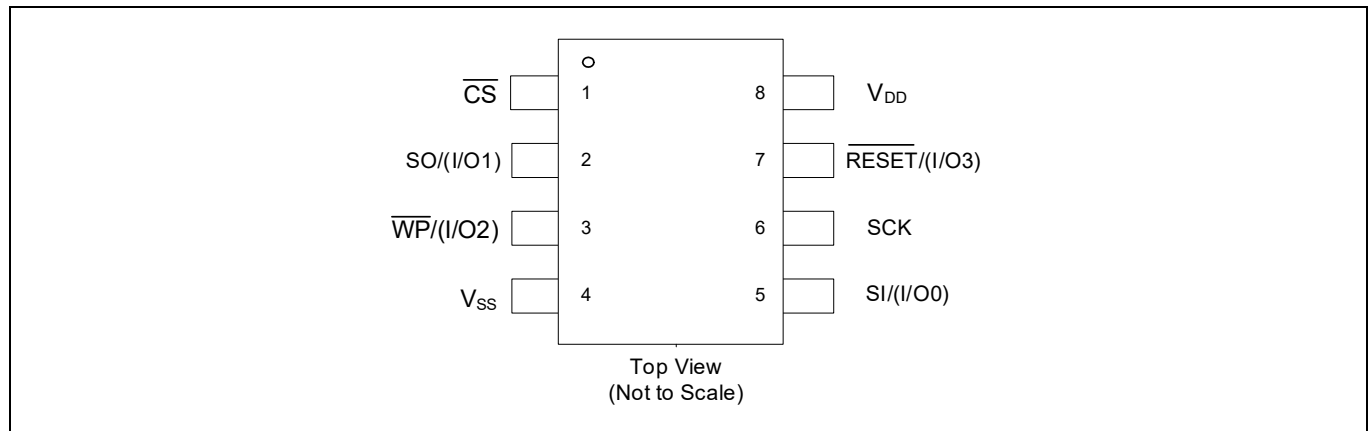


Figure 1 8 ピン SOIC 端子配置

2 端子機能

Table 1 端子機能

端子名	入出力	説明
$\overline{\text{CS}}$	入力	チップセレクト。 このアクティブ LOW 入力でデバイスを起動させます。HIGH になった場合、デバイスは低消費電力のスタンバイ モードに移行し、他の入力を無視し、出力をトライステートにします。LOW になった場合、デバイスが SCK 信号を内部でアクティブにします。 $\overline{\text{CS}}$ の立ち下りエッジは、新しいオペコードが発行される前に発生させる必要があります。
SCK	入力	シリアルクロック。 入出力はシリアルクロックに同期されます。入力は立ち上りエッジにラッチされ、出力は立ち下りエッジで駆動されます。デバイスは同期しているため、クロック周波数は 0 ~ 108 MHz の範囲内であり、同期特性のためいつでも割り込まれる可能性があります。
SI / (I/O0)	入力	シリアル入力。 このピンからデバイスにデータを入力します。入力は SCK の立ち上りエッジでサンプリングされ、それ以外では無視されます。
	入力 / 出力	I/O0。 製品がデュアルモードまたはクアッドモードの場合、SI ピンは入力 / 出力 (I/O0) ピンになり、コマンドおよびアドレスサイクル中に入力として機能し、データ出力サイクル中に出力されます。
SO / (I/O1)	出力	シリアル出力。 データ出力ピンです。このピンは読み出し中に駆動され、そのとき以外 (RESET が LOW のときも含む) トライステートを保持します。データ遷移はシリアル クロックの立ち下りエッジで実現します。
	入力 / 出力	I/O1。 製品がデュアルモードまたはクアッドモードの場合、SO ピンは入力 / 出力 (I/O1) ピンになり、コマンドおよびアドレスサイクル中に入力として機能し、データ出力サイクル中に出力します。
$\overline{\text{WP}}$ / (I/O2)	入力	書き込み保護。 このアクティブ LOW ピンは、SRWD ビット (SR1 [7]) が「1」に設定されている場合にステータスレジスタとコンフィギュレーションレジスタへの書き込み動作を防ぎます。書き込み保護の完全な説明は、 ステータス レジスタ 1 (SR1) に記載されています。このピンを使用しない場合、 V_{DD} に接続する必要があります。
	入力 / 出力	I/O2。 製品がクワッドモードの場合、 $\overline{\text{WP}}$ ピンは入出力 (I/O2) ピンになり、コマンドおよびアドレスサイクル中は入力として機能し、データ出力サイクル中は出力として機能します。
$\overline{\text{RESET}}$ / (I/O3)	入力	ハードウェア リセット端子。 このアクティブ LOW ピンはデバイスをリセットします。RESET が LOW の場合、デバイスは自己初期化され、RESET 入力が HIGH に解放された後、 $\overline{\text{CS}}$ HIGH または LOW ステータスに応じてスタンバイ状態またはアクティブ状態に戻ります。このピンを使用しない場合、 V_{DD} に接続する必要があります。RESET/(I/O3) の動作については、 Table 21 で説明します。
	入力 / 出力	I/O3。 製品がクワッドモードの場合、 $\overline{\text{RESET}}$ ピンは入力 / 出力 (I/O3) ピンになり、コマンドおよびアドレスサイクル中は入力として機能し、データ出力サイクル中は出力として機能します。
V_{SS}	電源	デバイス用のグラウンド。 システムアースに接続する必要があります。
VDD	電源	デバイス電源入力

3 機能概要

CY15X102QSN はシリアル F-RAM メモリです。メモリ アレイは 262,144 × 8 ビットに論理構成され、業界標準のシリアル ペリフェラル インターフェース (SPI) バスを使用してアクセスされます。F-RAM の機能動作は、シングル SPI EEPROM またはシングル / デュアル / クアッド SPI フラッシュに似ています。CY15X102QSN と同じピン配置のシリアル フラッシュとの違いは、F-RAM の優れた書き込み性能、高アクセス可能回数、低消費電力です。

3.1 メモリ アーキテクチャ

CY15X102QSN のアクセスには、8 データ ビットごとの 256K 箇所の位置をアドレス指定します。これらの 8 つのデータビットは、シングル、デュアル、またはクアッド I/O のいずれかでシリアルにシフトインまたはシフトアウトされます。アドレスは、チップセレクト (バス上で複数のデバイスを許可するため)、オペコード、および 3 バイト (24 ビット) アドレスを含む SPI プロトコルを使用してアクセスされます。ただし、256K バイトの位置全体をアドレス指定するために必要なのは 18 ビットのみであるため、最上位アドレスバイトの上位 6 ビットは「ドントケア」値です。18 ビット アドレスは 256K メモリ アレイ内の各データバイト位置を一意的に識別します。

メモリ動作のためのアクセス時間は基本的にシリアル プロトコルに必要な時間以外は 0 です。すなわちメモリは SPI バスの速度で読み書きされます。シリアルフラッシュや EEPROM とは異なり、新しいコマンドを開始する前に、デバイスをポーリングして準備完了状態を確認する必要はありません。これについては、[機能説明](#)で詳しく説明します。

3.2 SPI バス

SPI は、メモリアccessにクロックとデータピンを使用し、データバス上の複数デバイスをサポートする同期シリアルインターフェースです。SPI バス上のデバイスは、CS ピンを使用してアクティブにされます。チップセレクト、クロック、およびデータの相互関係は SPI モードによります。このデバイスは、SPI モード 0 および 3 をサポートしています。これらの両モードで、CS がアクティブになった後の最初の立ち上がりエッジから始まる SCK の立ち上がりエッジで、データが FRAM にクロック入力されます。SPI プロトコルはオペコードによって制御されます。動作完了後、新しいオペコードが発行される前に、CS が非アクティブ化される必要があります。

CY15X102QSN は SPI スレーブデバイスであり、シングルデータレート (SDR) モードで最大 108 MHz の速度で動作し、DDR モードで最大 54MHz の速度で動作します。この高速シリアルバスにより、SPI マスターとの間で高性能のシリアル通信が可能です。CY15X102QSN は、シングルチャネル SPI、拡張 SPI、デュアル SPI、クアッド SPI の 4 つの異なる SPI インターフェース / プロトコルオプションをサポートします。

[Table 2](#) に、上記のさまざまな SPI モードでのオペコード、アドレス、およびデータフェーズ中の I/O シグナリングの詳細を示します。

Table 2 SPI モードと信号の詳細

インターフェース	シグナルチャネル SPI	拡張 SPI ^[1]				マルチチャネル SPI	
		デュアルデータ	クアッドデータ	デュアル入出力	クアッド入出力	DPI	QPI
信号	CS, SCK, SI, SO	CS, SCK, I/O0, I/O1	CS, SCK, I/O0, I/O1, I/O2, I/O3	CS, SCK, I/O0, I/O1	CS, SCK, I/O0, I/O1, I/O2, I/O3	CS, SCK, I/O0, I/O1	CS, SCK, I/O0, I/O1, I/O2, I/O3
オペコード	SI	I/O0	I/O0	I/O0	I/O0	I/O0, I/O1	I/O0, I/O1, I/O2, I/O3
アドレス	SI	I/O0	I/O0	I/O0, I/O1	I/O0, I/O1, I/O2, I/O3	I/O0, I/O1	I/O0, I/O1, I/O2, I/O3
データ	SI/SO	I/O0, I/O1	I/O0, I/O1, I/O2, I/O3	I/O0, I/O1	I/O0, I/O1, I/O2, I/O3	I/O0, I/O1	I/O0, I/O1, I/O2, I/O3

注:

1. 拡張 SPI モードのユーザー設定はありません。デバイスは常に SPI モードで開始し、受信したオペコードに基づいてそれぞれの拡張 SPI モードに変更します。

3.2.1 シングル チャネル SPI

シングルチャネル SPI は、チップセレクト (\overline{CS}), シリアル入力 (SI), シリアル出力 (SO), およびシリアルクロック (SCK) ピンを備えた 4 ピンインターフェースです。 \overline{CS} がアクティブ化された後、バスマスターから転送される最初のバイトがオペコードです。オペコードに続いて、任意のアドレスとデータが転送されます。 \overline{CS} は、操作が完了した後、新しいオペコードを発行する前に、HIGH (非アクティブ) になる必要があります。このモードでは、入力と出力にそれぞれ SI ピンと SO ピンを使用します。オペコードとアドレスは SI ラインのマスターによって転送され、データは SO のマスターによって読み出されます。

3.2.2 拡張 SPI

CY15X102QSN には、拡張 SPI モードと呼ばれるデュアルまたはクアッド I/O モードで動作するように標準 SPI ピンを再設定する機能があります。拡張 SPI モードは、デュアルデータ、デュアル入力 / 出力 (I/O), クアッドデータ、およびクアッド入力 / 出力 (I/O) モードを提供します。拡張 SPI コマンドまたはデバイスリセット (POR またはハードウェア / ソフトウェアリセット) 後に \overline{CS} が HIGH になると、デバイスはシングルチャネル SPI モードに戻ります。拡張 SPI モードは、以下の I/O 設定を備えます。

- 製品がデュアル出力またはデュアル I/O モードの場合、SI ピンと SO ピンはそれぞれ I/O0 ピンと I/O1 ピンになります。
- クアッド出力またはクアッド I/O モードの場合、SI ピン、SO ピン、 \overline{WP} ピン、 \overline{RESET} ピンはそれぞれ I/O0 ピン、I/O1 ピン、I/O2 ピン、I/O3 ピンになります。
- デュアルまたはクアッドデータコマンドとアドレスは、SI 信号でのみメモリに送信されます。データは、I/O0 と I/O1 のビットペアのシーケンス、または I/O0、I/O1、I/O2、I/O3 の 4 ビット (ニブル) グループとしてホストに返されます。
- デュアルまたはクアッド入力 / 出力 (I/O) コマンドは、SI 信号でのみメモリに送信され、アドレスは I/O0 と I/O1 のビットペア、または I/O0、I/O1、I/O2、および I/O3 の 4 ビット (ニブル) グループとしてそれぞれホストから送信されます。データは、I/O0 と I/O1 のビットペア、または I/O0、I/O1、I/O2、I/O3 の 4 ビット (ニブル) グループと同様にホストに返されます。

3.2.3 デュアル SPI (DPI)

DPI モードは、コンフィギュレーションレジスタ 2 (CR2) のビット 4 に「1」を書き込むことによって有効になります。CR2[4] = 「1」。コンフィギュレーションレジスタ 2 (CR2) には揮発性スペースと不揮発性スペースの両方があるため、不揮発性レジスタでのユーザー設定は、電源とハードウェアのリセットサイクル後も存続します。したがって、デュアル SPI (DPI) モードが不揮発性 CR2 に設定されると、ホストが不揮発性 CR2[4] に「0」を書き込んで DPI ビットをクリアするまで、常に DPI モードに戻ります。ホストは、揮発性レジスタ CR2[4] に「1」を書き込むことにより、デバイスインターフェースを DPI モードに変更できます。ただし、この揮発性設定は電源とハードウェアのリセットサイクルに耐えられず、揮発性 CR2[4] 設定は、電源投入時またはハードウェアリセットサイクル後に関連する不揮発性の場所に保存されているデフォルト設定で上書きされます。

製品がデュアル SPI モードの場合、SI ピンと SO ピンはそれぞれ I/O0 ピンと I/O1 ピンになります。コマンド、アドレス、およびデータビットは、I/O0 および I/O1 のビットペアとしてホストからメモリに送信されます。データビットは、I/O0 と I/O1 のビットペアと同様にホストに返されます。

3.2.4 クアッド SPI (QPI)

マルチチャネル QPI モードは、コンフィギュレーションレジスタ 2 (CR2) のビット 6 に「1」を書き込むことで有効になります。CR2[6] = 「1」です。コンフィギュレーションレジスタ 2 (CR2) には揮発性スペースと不揮発性スペースの両方があるため、不揮発性レジスタでのユーザー設定は、電源とハードウェアのリセットサイクル後も存続します。したがって、クアッド SPI (QPI) モードが不揮発性 CR2 に設定されると、ホストが不揮発性 CR2[6] に「0」を書き込んで QPI ビットをクリアするまで、常に QPI モードに戻ります。ホストは、揮発性レジスタ CR2[6] に「1」を書き込むことにより、デバイスインターフェースを QPI モードに変更できます。ただし、この揮発性設定は電源とハードウェアのリセットサイクルに耐えられず、揮発性 CR2[6] 設定は、電源投入時またはハードウェアリセットサイクル後に関連する不揮発性の場所に保存されているデフォルト設定で上書きされます。

クアッド SPI モードの場合、SI ピン, SO ピン, \overline{WP} ピン, \overline{RESET} ピンはそれぞれ I/O0 ピン, I/O1 ピン, I/O2 ピン, I/O3 ピンになります。コマンド, アドレス, およびデータビットは、I/O0, I/O1, I/O2, および I/O3 の 4 ビット (ニブル) グループとしてホストからメモリに送信されます。データは同様に I/O0, I/O1, I/O2, I/O3 の 4 ビット グループ (ニブル) でホストへ戻されます。

QPI モードは、アドレス, モード, およびデータバイトのバイト転送がクロックの両端で発生する特別なオペコードを介した DDR もサポートします。オペコードフェーズ中は DDR モードはありません。すなわち、オペコードは常に SDR モードで伝送されます。特定のコマンドが SDR モードで送信された後、デバイスは DDR モードに入ります。これにより、DDR のアドレス, モード, およびデータサイクルが決定されます。DDR モードを有効にする設定はありません。クアッド SPI DDR モードは、特別なオペコードを含むメモリの書き込みと読み出しの動作に対してのみ対応します。

3.3 SPI プロトコルで使用される用語

SPI プロトコルで一般的に使用される用語は以下のとおりです。

3.3.1 SPI マスター

SPI マスター デバイスは SPI バス上の動作を制御します。SPI バスは、複数のスレーブ デバイスを制御する 1 つのマスターを持っている場合があります。すべてのスレーブが同じ SPI バス ラインを共有し、マスターは \overline{CS} ピンを使用してスレーブ デバイスのいずれかを選択できます。すべてのオペレーションは、マスターがスレーブの \overline{CS} ピンを LOW にプルダウンすることによってスレーブ デバイスをアクティブにして開始する必要があります。また、マスターは SCK を生成し、SI と SO ライン上のすべてのデータ送信はこのクロックと同期されます。

3.3.2 SPI スレーブ

SPI スレーブ デバイスは、チップセレクトラインを介してマスターによってアクティブ化されます。スレーブ デバイスは、SPI マスターからの入力として SCK を取得し、すべての通信はこのクロックに同期されます。SPI スレーブはそれ自体として SPI バス上で通信を開始することではなく、マスターからの命令に従ってのみ動作します。

CY15X102QSN は SPI スレーブとして動作し、他の SPI スレーブ デバイスと SPI バスを共有する場合があります。

3.3.3 チップセレクト (\overline{CS})

すべてのスレーブ デバイスを選択するためには、マスターは対応する \overline{CS} ピンをプルダウンする必要があります。 \overline{CS} ピンが LOW の間だけ、命令をスレーブ デバイスに発行できます。デバイスが選択されていない場合、SI ピン経由のデータは無視され、シリアル出力ピン (SO) は高インピーダンス状態が保持されます。

注: 新しい命令は \overline{CS} の立ち下りエッジで開始する必要があります。したがって、アクティブな \overline{CS} の HIGH から LOW への遷移ごとに発行できるオペコードは 1 つだけです。

機能概要

3.3.4 シリアル クロック (SCK)

シリアル クロックは SPI マスターによって生成され、 \overline{CS} が LOW になった後、通信はこのクロックと同期されます。

CY15X102QSN は、データ通信のために SPI モード 0 と 3 を有効にします。これらの両モードにおいて、入力 SCK の立ち上がりエッジでスレーブ デバイスによってラッチされ、出力は立ち下りエッジで発行されます。そのため、SCK の最初の立ち上がりエッジが、SPI 命令の最上位ビット (MSb) が SI ピンに到着したことを意味します。さらにすべてのデータの入力と出力は SCK と同期されます。

3.3.5 データ転送 (SI/SO)

SPI データバスは、シリアルデータ通信に SI と SO の 2 線で構成されます。SI は Master-Out-Slave-In (MOSI) と呼ばれ、SO は Master-In-Slave-Out (MISO) と呼ばれます。マスターは SI ピンを介してスレーブに命令を発行し、スレーブは SO ピンを介して応答します。複数のスレーブ デバイスは、前述のように SI と SO ラインを共有する場合があります。

CY15X102QSN には **Figure 2** に示すようにマスターと接続できる SI と SO 用の 2 つの独立したピンがあります。デュアルまたはクアド I/O モードの場合、これらのピンは I/O ピンとして設定されます。

Figure 3 に、QSPI ポートを備えたこのようなシステムインターフェースを示します。

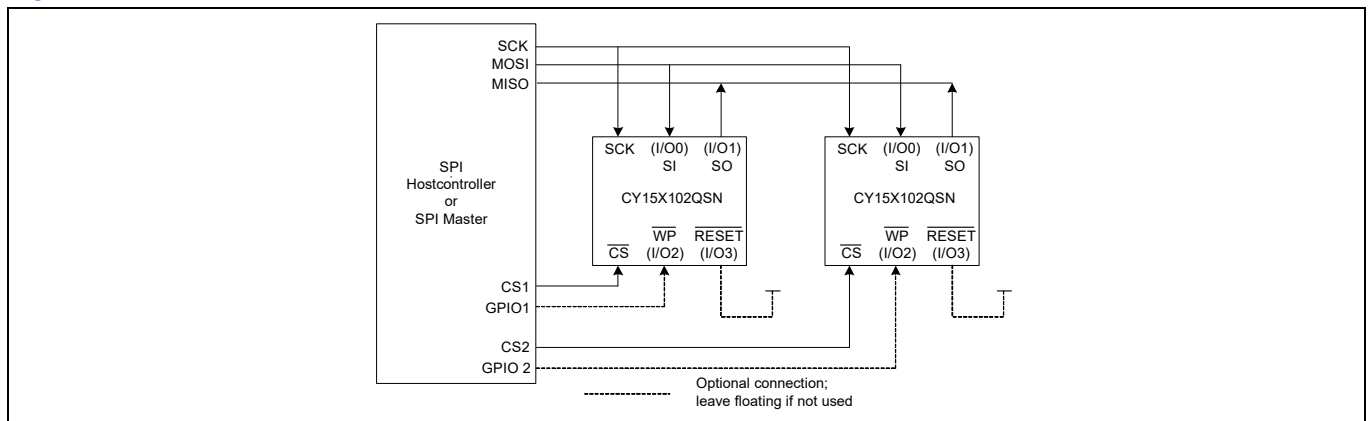


Figure 2 SPI ポートを使用するシステム コンフィギュレーション

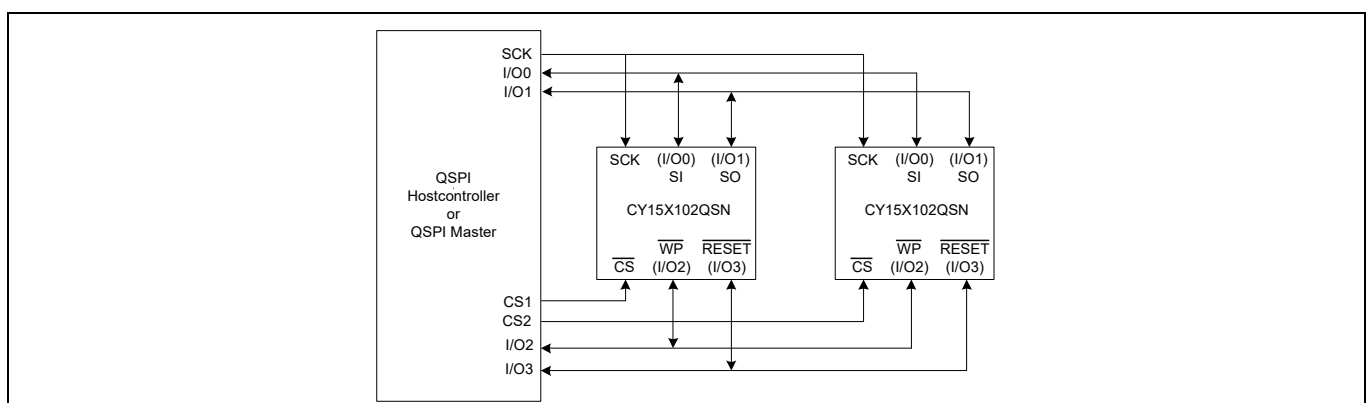


Figure 3 QSPI ポートを使用するシステム コンフィギュレーション

3.3.6 最上位ビット (MSb)

SPI プロトコルでは、最初に送信されるビットが最上位ビット (MSb) でなければいけません。これはアドレスとデータ転送共に該当します。

2M ビット シリアル F-RAM は、すべての読み出しまたは書き込み動作に対応して 3 バイトのアドレスを必要とします。アドレスは 18 ビットであるため、入力された 6 ビットはデバイスによって無視されます。これらの 5 ビットは「ドントケア」ですが、より高容量メモリへの円滑な移行を可能にするために、これらを「0」に設定することをインフィニオンは推奨します。

3.3.7 シリアル オペコード

\overline{CS} が LOW になる状態でスレーブデバイスが選択された後、最初に受信されたバイトは、意図されているオペレーションのオペコードとして扱われます。メモリアクセスには、標準のオペコード (Table 32 を参照) を使用します。

3.3.8 無効なオペコード

予約されたオペコードが受信された場合、オペコードは内部的に意図しない動作をトリガーし、不定なデータ出力で I/O ピンを駆動する場合があります。したがって、チップセレクト \overline{CS} が LOW の場合、予約済みカテゴリのすべてのオペコードは SI ピンを介して送信しないようにする必要があります。

3.3.9 命令

命令は、メモリとレジスタにアクセスするために使用されるオペコード、アドレス、モード、またはダミーバイト / サイクルの組合せです。

3.3.10 モード バイト

モード バイトは直接実行 (XIP) をサポートするすべての書き込みおよび読み出しコマンドに適用されます。XIP は、コードを RAM にコピーまたはシャドウイングするのではなく、外部メモリから直接プログラム (コード) を実行する方法です。XIP が書き込みまたは読み出しコマンドに設定されている場合、コマンドサイクルが終了した後 (\overline{CS} が HIGH に切り替わる)、デバイスは XIP モードのままであるため、 \overline{CS} LOW の後続のコマンドサイクルはアドレスフェーズから直接開始されます (オペコードフェーズはスキップされます)。XIP では、デバイスは前のサイクルと同じ動作を実行します。XIP の間に新しい動作を開始するためには (例えば、メモリ書き込みからメモリ読み出しに変わり、またはその逆)、デバイスはまず現行のコマンドサイクルを XIP モードから終了し、次のコマンドサイクルをオペコードフェーズから開始する必要があります。モード フェーズを必要とするオペコードは XIP のみをサポートします。モード フェーズを必要とするオペコードの一覧は Table 32 を参照してください。

オペコードおよび 3 バイト アドレス サイクルに続き、モード フェーズ中に送信されたモード バイト 0xAX (X はドント ケア ビット) または 0xA5 (オペコードに依存) は、次のコマンドサイクルのためにデバイスを XIP のままにします。次のコマンドサイクルで XIP のままにするためには、XIP が各コマンドサイクルでセットされる必要があります。0xAX または 0xA5 以外 (!0xAX または !0xA5) の値をモード フェーズ中に送信すると、現行の動作に対して XIP は終了されます。この場合、次のコマンドサイクルは同じ動作または新しい動作を行うために常にオペコード フェーズから開始する必要があります。SPI モードとインターフェース タイプに応じて、モード バイトを送信するクロック数は 1 クロック (Quad、DDR) から 8 クロック (SPI、SDR) まで異なります。

3.3.11 待機状態またはダミー サイクル

待機状態は、ダミーサイクルとも呼ばれ、アドレスビットとモードビット (該当する場合) の後に追加されます。待機状態サイクルの数は、メモリとレジスタの両方の読み出しに対して、それぞれコンフィギュレーションレジスタ 1 (CR1) とコンフィギュレーションレジスタ 2 (CR2) を介してプログラム可能です。有効なデータは、待機状態をサポートするメモリおよびレジスタ読み出しコマンドに続いて特定の数のダミーサイクルが経過した後にのみ、出力バス上で駆動されます。ダミーサイクルは SPI モードおよびデータレート (SDR または DDR) に関係なく、フルクロックサイクルです。I/O ステータスは、ダミーサイクル中ドントケアです。

3.4 SPI モード

CY15X102QSN は、SPI ペリフェラルが次の 2 つのモードのいずれかで動作するマイクロコントローラによって駆動できます。

- SPI モード 0 (CPOL = 0, CPHA = 0)
- SPI モード 3 (CPOL = 1, CPHA = 1)

$\overline{\text{CS}}$ ピンを LOW にすることによりデバイスが選択された時、デバイスは SCK ピンの状態から SPI モードを検出します。デバイス選択時に、SCK ピンが LOW ならデバイスは SPI モード 0 で動作し、SCK ピンが HIGH ならデバイスは SPI モード 3 で動作します。2 つの SPI モードを **Figure 4** と **Figure 5** に示します。バスマスターがデータを転送していないときのクロック SCK のステータスは次のとおりです。

- モード 0 では SCK は 0 のまま
- モード 3 では SCK は 1 のまま

SPI モード 0 および SPI モード 3 は、すべての SDR モードコマンドでサポートされます。一方、すべての DDR モードコマンドは SPI モード 0 のみをサポートします。

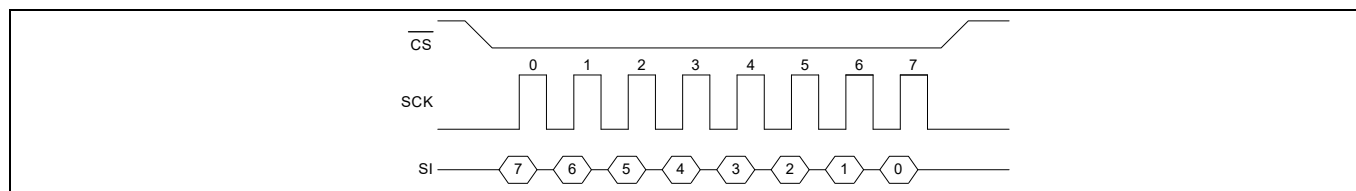


Figure 4 SPI モード 0

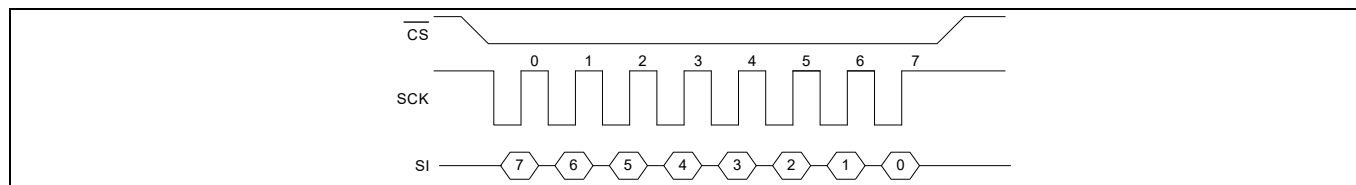


Figure 5 SPI モード 3

3.4.1 SDR

入力データビット (命令, アドレス, およびデータを含む) は、 $\overline{\text{CS}}$ がアクティブになった後、最初の立ち上がりエッジから始まる SCK の立ち上がりエッジで常にラッチされます。クロックが HIGH 状態から起動される場合 (モード 3) では、入力データはクロックトグル後の最初の立ち上がりエッジでラッチされます。出力データは SCK の立ち下りエッジで利用可能となります。

3.4.2 DDR

命令ビットは、 $\overline{\text{CS}}$ がアクティブになった後、最初の立ち上がりエッジから始まる SCK の立ち上がりエッジで常にラッチされます。クロックが HIGH 状態から起動される場合 (モード 3) では、入力データはクロックトグル後の最初の立ち上がりエッジでラッチされます。ただし、命令の後に続くアドレスおよび入力データは SCK の立ち上がりエッジと立ち下りエッジの両方でラッチされます。最初のアドレスビットは、直前の命令ビットの終わりの立ち下りエッジの後に続く SCK の最初の立ち上がりエッジでラッチされます。出力データの最初のビットは、最後のアクセス遅延 (ダミー) サイクルの終わりに SCK の立ち下りエッジで駆動されます。

3.5 電源投入時から最初のアクセスまで

CY15X102QSN は電源 (V_{DD}) が $V_{DD}(\text{low})$ を下回ると、電源投入サイクルが開始されます。 V_{DD} 電源が最小 $V_{DD}(\text{min})$ を超えて上昇するのを待ちます。その後、デバイスは内部起動シーケンスを開始します。の起動シーケンスには、内部パワーオンリセット (POR) が含まれ、その後、内部デバイス設定とトリムレジスタがロードされ、ユーザーがアクセス可能なレジスタが設定されます。ユーザーがアクセスできるすべてのレジスタ (ステータスとコンフィギュレーション、モード、ID, ECC, および CRC) は、起動サイクルが成功した後、デフォルト値に設定されます。Table 3 に、電源投入 (または POR) シーケンスが成功した後の各レジスタのステータスを示します。

V_{DD} が $V_{DD}(\text{min})$ を超えた瞬間から t_{PU} の時間遅延が経過するまで、CY15X102QSN はすべての命令を無視します。 t_{PU} が終了するまで、デバイスに命令を送信しないでください。 t_{PU} が経過した後、が HIGH になる場合、デバイスはスタンバイモードになり、スタンバイ電流 (ISB) を消費します。コンフィギュレーションレジスタ 4 (CR4) の POR 時のディープパワーダウンモード (DPDPOR) が「1」(CR4[2] = 1') に設定されている場合、デバイスは t_{PU} 後にディープパワーダウンモードに入ります。'

ステータスレジスタ 1 の WIP ビット (SR1[0]) は、 t_{PU} 時間が経過するまで、RDSR1 を含むコマンドを実行するためにデバイスにアクセスできないため、POR イベント後のデバイスの準備状況をポーリングするために使用できません。ただし、 t_{PU} 時間後も WIP ステータスが HIGH のままであるか、デバイスにアクセスできない場合は、デバイスが正しく起動しなかったことを示します (起動エラー)。ブートエラーが発生すると、デバイスは次のデフォルト状態になります。

- インターフェースモードはシングル SPI (SDR) に設定されます
- CR2 の IO3R ビット (CR2 [5]) は、内部で「1」に設定され、IO3 のハードウェアリセット ($\overline{\text{RESET}}$) を有効にします
- レジスタレイテンシは 3 クロック サイクル (最大値) に設定されます
- 出力インピーダンスは 45 オームに設定されます
- SR1 の読み出しは、RDSR1 および RDAR コマンドのみが許可されます (SPI SDR モードのみ)。他のすべてのコマンドは無効になり、実行された場合、未定義データが返されます。
- SR1 を読み出すと、ブート エラー シグネチャとして 0x61 が返されます

CY15X102QSN の起動を再開するためには、電源を入れ直すかハードウェアをリセットする必要があります。上記のデフォルト設定は、起動が成功すると実際のユーザー設定に置き換えられます。

機能概要

Table 3 POR 後の CY15X102QSN レジスタ ステータス

機能	レジスタ タイプ	POR 後の CY15X102QSN レジスタ ステータス
デバイス ステータス	ステータス レジスタ 1 (SR1)	デフォルトは対応する不揮発性ビット
	ステータス レジスタ 2 (SR2)	0x00
デバイス コンフィギュレーション ^[2]	コンフィギュレーション レジスタ 1 (CR1)	デフォルトは対応する不揮発性ビット
	コンフィギュレーション レジスタ 2 (CR2)	デフォルトは対応する不揮発性ビット
	コンフィギュレーション レジスタ 4 (CR4)	デフォルトは対応する不揮発性ビット
	コンフィギュレーション レジスタ 5 (CR5)	デフォルトは対応する不揮発性ビット
識別	識別レジスタ	デフォルトは対応する不揮発性ビット (工場出荷時設定)
	固有の識別レジスタ	デフォルトは対応する不揮発性ビット (工場出荷時設定)
	シリアル番号レジスタ	デフォルトは対応する不揮発性ビット (工場出荷時は 0x0000000000000000 に設定されています)
エラー訂正	ECC ステータス レジスタ	0x00
	ECC カウント レジスタ	0x0000
	ECC アドレス トラップ レジスタ	0x00000000
巡回冗長検査	CRC レジスタ	0x00000000

注:

2. コンフィギュレーション レジスタ 3 (CR3) は、将来の使用のために予約済みです。

4 CY15X102QSN レジスタ

CY15X102QSN はデバイスの状態更新やコンフィギュレーション設定のために各種のステータスおよびコンフィギュレーションレジスタをサポートします。CY15X102QSN のレジスタとアクセス方法の詳細については、以下で説明します。

4.1 ステータス レジスタ

CY15X102QSN は、2つのステータスレジスタ (ステータスレジスタ 1 (SR1) とステータスレジスタ 2 (SR2)) をサポートして、デバイスの書き込み保護設定と準備完了 / CRC ステータスを提供します。SR1 レジスタには、F-RAM に揮発性および関連する不揮発性レジスタスペースがあります。不揮発性レジスタは、電源切断時もデバイス設定を保持し、電源投入時またはハードウェアリセット (JEDEC リセットまたは RESET ピン) 後にそれぞれの揮発性レジスタにコピーされます。CY15X102QSN ステートマシンは、揮発性レジスタ設定のみを使用して、通常のアクセス中にデバイス設定を変更します。CY15X102QSN は、揮発性と不揮発性の両方の設定レジスタに独立したスペースを提供するため、ホストは、現在のパワーサイクルで設定を有効にするためにのみ揮発性レジスタをプログラムできます。不揮発性書き込みは、揮発性レジスタと不揮発性レジスタの両方の内容を変更します。したがって、新しい設定は、現在の電源サイクルだけでなく、後続の電源サイクルまたはハードウェアリセットサイクルでもすぐに有効になります。SR2 は読み出し専用レジスタです。

ステータスレジスタからの読み出しでは、専用のステータスレジスタ読み出しオペコード (RDSR1、RDSR2) を使用するか、RDAR に続くステータスレジスタアドレスを使用します。ステータスレジスタの読み出しは、常に揮発性レジスタの内容を返します。個々のステータスレジスタの詳細は、以下で説明します。

4.1.1 ステータス レジスタ 1 (SR1)

Table 4 に示すように、ステータスレジスタ 1 (SR1) には、ステータスと書き込み保護の両方の制御ビットが含まれます。SR1 には、書き込みの場合は WRSR および WRAR コマンド、読み出し操作の場合は RDSR1 または RDAR コマンドからアクセスできます。SR1 アクセスの詳細は、[レジスタ アクセスのコマンド](#)で説明します。

WRAR 不揮発性書き込みアドレス - 0x0000000

WRAR 揮発性書き込みアドレス - 0x0700000

RDAR 読み出しアドレス - 0x0000000 or 0x0700000

Table 4 の各ビットの後に示されるデフォルトの状態は、工場でプログラムされた値です。

Table 4 ステータス レジスタ 1 (SR1)

SR1[7]	SR1[6]	SR1[5]	SR1[4]	SR1[3]	SR1[2]	SR1[1]	SR1[0]
SRWD (0)	RFU (0)	TBPROT (0)	BP2 (0)	BP1 (0)	BP0 (0)	WEL (0)	WIP (0)

Table 5 ステータスレジスタ 1 (SR1) - 不揮発性

ビット	ビット名	ビット機能	分類	読み出し / 書き込み (R/W)	説明
SR1[7]	SRWD	ステータスレジスタ書き込みディセーブル	NV	R/W	1 = \overline{WP} が LOW の時、ステータスレジスタとコンフィギュレーションレジスタの状態をロック 0 = WP ピンのステータスに関係なく、レジスタ保護なし
SR1[6]	RFU	予約済み (0)			将来の使用のため予約済み
SR1[5]	TBPROT	上位 / 下位関連保護	NV	R/W	1 = 保護はメモリアレイの下位から開始 0 = 保護はメモリアレイの上位から開始
SR1[4]	BP2	ブロック保護ビット	NV	R/W	メモリアレイの選択されたアドレス範囲を保護
SR1[3]	BP1		NV		
SR1[2]	BP0		NV		
SR1[1]	WEL	書き込みイネーブルラッチのセット	V	R	WEL はデバイスの書き込みが有効かどうかを示します。電源投入時、このビットの初期値は「0」(無効)です。 WEL = '1' --> 書き込みが有効 WEL = '0' --> 書き込みが無効
SR1[0]	WIP	動作中	V	R	1 = デバイス ビジー 0 = デバイス レディ

NV - 不揮発性 ; V - 揮発性

Table 6 ステータスレジスタ 1 (SR1) - 揮発性

ビット	ビット名	ビット機能	分類	読み出し / 書き込み (R/W)	説明
SR1[7]	SRWD	ステータスレジスタ書き込みディセーブル	V	R/W	1 = \overline{WP} が LOW の時、ステータスレジスタとコンフィギュレーションレジスタの状態をロック 0 = WP ピンのステータスに関係なく、レジスタ保護なし
SR1[6]	RFU	予約済み (0)			将来の使用のため予約済み
SR1[5]	TBPROT	上位 / 下位関連保護	V	R/W	1 = 保護はメモリアレイの下位から開始 0 = 保護はメモリアレイの上位から開始
SR1[4]	BP2	ブロック保護ビット	V	R/W	メモリアレイの選択されたアドレス範囲を保護
SR1[3]	BP1		V		
SR1[2]	BP0		V		
SR1[1]	WEL	書き込みイネーブルラッチのセット	V	R	WEL はデバイスの書き込みが有効かどうかを示します。電源投入時、このビットの初期値は「0」(無効)です。 WEL = '1' --> 書き込みが有効 WEL = '0' --> 書き込みが無効
SR1[0]	WIP	動作中	V	R	1 = デバイス ビジー 0 = デバイス レディ

V - 揮発性

4.1.1.1 ステータスレジスタ保護 (SRWD) SR1 [7]

このビットは、「1」に設定され、書き込み保護 (\overline{WP}) ピンが LOW に駆動されると、ステータスレジスタとコンフィギュレーションレジスタの書き込み保護を有効にします。このモードでは、ステータスレジスタまたはコンフィギュレーションレジスタの内容を変更する命令はすべて無視され、デバイスの状

態を効果的にロックします。SRWD が「0」に設定されている場合、 \overline{WP} ステータス (LOW または HIGH) に関係なく、ステータスおよびコンフィギュレーションレジスタの書き込み保護は無効のままになります。メモリおよびステータスレジスタの保護オプションについては、Table 9 を参照してください。

4.1.1.2 上位と下位アレイの保護 (TBPROT) SR1 [5]

このビットは、ブロック保護ビット BP2, BP1, および BP0 の動作を定義します。このビットは、ブロック保護ビットによって保護されるメモリ配列 (上または下から) メモリの開始点を制御します。

Table 7 上位からの保護の開始 (TBPROT = '0')

ステータスレジスタの内容			メモリアレイの保護部分	保護されるアドレス範囲
BP2	BP1	BP0		
0	0	0	無し	無し
0	0	1	メモリアレイの上位 1/64	0x03F000 ~ 0x03FFFF
0	1	0	メモリアレイの上位 1/32	0x03E000 ~ 0x03FFFF
0	1	1	メモリアレイの上位 1/16	0x03C000 ~ 0x03FFFF
1	0	0	メモリアレイの上位 1/8	0x038000 ~ 0x03FFFF
1	0	1	メモリアレイの上位 1/4	0x030000 ~ 0x03FFFF
1	1	0	メモリアレイの上半分	0x020000 ~ 0x03FFFF
1	1	1	フルメモリ	0x000000 ~ 0x03FFFF

Table 8 下位からの保護の開始 (TBPROT = '1')

ステータスレジスタの内容			メモリアレイの保護部分	保護されるアドレス範囲
BP2	BP1	BP0		
0	0	0	無し	無し
0	0	1	メモリアレイの下位 1/64	0x000000 ~ 0x000FFF
0	1	0	メモリアレイの下位 1/32	0x000000 ~ 0x001FFF
0	1	1	メモリアレイの下位 1/16	0x000000 ~ 0x003FFF
1	0	0	メモリアレイの下位 1/8	0x000000 ~ 0x007FFF
1	0	1	メモリアレイの下位 1/4	0x000000 ~ 0x00FFFF
1	1	0	メモリアレイの下半分	0x000000 ~ 0x01FFFF
1	1	1	フルメモリ	0x000000 ~ 0x03FFFF

4.1.1.3 ブロック保護 (BP2, BP1, および BP0) SR1 [4:2]

これらのビットは、メモリ書き込みコマンドに対して書き込み保護されるメモリアレイを定義します。1 つまたは複数の BP ビットが「1」に設定されている場合、それぞれのメモリアドレスは書き込みから保護されます。ブロック保護ビット (BP2, BP1, および BP0) を TBPROT ビットと組み合わせて使用すると、メモリアレイのアドレス範囲を保護できます。範囲のサイズは、BP ビットの値と、TBPROT によって選択された範囲の上限または下限の開始点によって決定されます。Table 7 および Table 8 に、BP[2:0] ビット設定の保護アドレス範囲を示します。

4.1.1.4 書き込みイネーブル ラッチ (WEL) SR1 [1]

Table 9 に示すように、メモリアレイまたはレジスタへの書き込み操作を有効にするためには、WEL ビットを 1 に設定する必要があります。このビットは、書き込みイネーブル (WREN) コマンドを実行することによってのみ「1」に設定されます。WEL ビット (SR1[1]) は、WRDI (04h), WRSR (01h), SSWR (42h), WRAR (71h), および WRSN (C2h) を含むオペコードに従って CS の立ち上りエッジで自動的に「0」にクリアされます。WEL ビット (SR1 [1]) は、メモリ書き込みオペコードに続く CS の立ち上りエッジで「0」にクリアされません。WEL ビットは揮発性であり、POR およびすべてのリセットイベントの後にデフォルトの「0」状態に戻ります。

Table 9 書き込み保護

SRWD	WP	WEL	保護ブロック	非保護ブロック	ステータスおよびコンフィギュレーションレジスタ ^[3]
X	X	0	保護	保護	保護
0	X	1	保護	書き込み可能	書き込み可能
1	0	1	保護	書き込み可能	保護
1	1	1	保護	書き込み可能	書き込み可能

注:

3. 読み出し専用ビットと予約済みビットを除くすべてのビット。

4.1.1.5 動作中 (WIP) SR1 [0]

これは読み出し専用ビットであり、通常の動作中のデバイスの準備完了またはビジー状態を示します。CRC 計算の実行中に、このビットを「1」に設定します。他のコマンドおよびイベントは、WIP を「1」に設定しません。WIP が「1」の場合、は RDSR1/RDSR2 または Read Any Register (RDAR の後にステータスレジスタアドレス), CRC Suspend (EPCS), および Software Reset (RSTEN の後に RST) コマンドを使用してステータスレジスタの読み出しのみを実行できます。WIP が「1」の場合、他のコマンドは無視されます。WIP ビットを使用して、電源投入またはリセットサイクル中にデバイスの準備完了ステータスをポーリングできません。このビットは揮発性であり、POR およびすべてのリセットイベントの後にデフォルト状態に戻ります。

4.1.2 ステータス レジスタ 2 (SR2)

Table 10 に示すように、ステータスレジスタ 2 (SR2) は、CRC 操作のデバイスステータスを提供します。SR2 は読み出し専用の揮発性レジスタであり、RDSR2 または読み出し操作の RDAR コマンドからアクセスできます。SR1 アクセスの詳細は、[レジスタ アクセスのコマンド](#)に記載されています。

RDAR 読み出しアドレス -0x000001 または 0x070001

Table 11 の各ビットの後に示されるデフォルトの状態は、工場でプログラムされた値です。

Table 10 ステータス レジスタ 2 (SR2)

SR2[7]	SR2[6]	SR2[5]	SR2[4]	SR2[3]	SR2[2]	SR2[1]	SR2[0]
RFU (0)	RFU (0)	RFU (0)	CRCS (0)	CRCA (0)	RFU (0)	RFU (0)	RFU (0)

Table 11 ステータス レジスタ 2 (SR2) - 揮発性のみ

ビット	ビット名	ビット機能	分類	読み出し / 書き込み (R/W)	説明
SR2[7]	RFU	予約済み (0)			将来の使用のため予約済み
SR2[6]	RFU	予約済み (0)			将来の使用のため予約済み
SR2[5]	RFU	予約済み (0)			将来の使用のため予約済み
SR2[4]	CRCS	CRC サスペンド	V	R	1 = CRC サスペンド モードの場合 0 = CRC サスペンド モードでない場合
SR2[3]	CRCA	CRC 中止	V	R	1 = CRC コマンドは中止 0 = CRC コマンドは中止されません
SR2[2]	RFU	予約済み (0)			将来の使用のため予約済み
SR2[1]	RFU	予約済み (0)			将来の使用のため予約済み
SR2[0]	RFU	予約済み (0)			将来の使用のため予約済み

V - 揮発性

4.1.2.1 CRC サスペンド (CRCS) SR2 [4]

CRC サスペンド (CRCS) ビットは、デバイスが CRC サスペンドモードであるかどうかを判別するために使用されます。デバイスの CRC 計算が進行中の場合、CRC サスペンドコマンド (EPCS) を実行すると、このビットが「1」に設定され、CRC サスペンドステータスが示されます。CRC 再開 (EPCR) コマンドは、CRCS ビットを「0」にクリアし、デバイスが CRC サスペンドモードを終了したことを示します。これは読み出し専用ビットです。このビットは、リセット (POR, ハードウェア, およびソフトウェア) 後にもクリアされます。

4.1.2.2 CRC 中止 (CRCA) SR2 [3]

このビットは、CRC 計算 (CRCC) 操作が中止されるかどうかを示します。CRC 計算は、終了アドレスと開始アドレスの基準 ($EA < SA + 3$) が満たされない場合に中止されます。これは、終了アドレスが開始アドレスより少なくとも 32 ビット整列されたワード高い必要があります。このビットは、後続の CRC 計算が正常に開始されるとクリアされます。このビットは、リセット後にもクリアされます (POR, ハードウェア, およびソフトウェア)。

4.2 コンフィギュレーションレジスタ

CY15X102QSN は、デバイスのさまざまな制御をプログラムするために、4 つのユーザー コンフィギュレーションレジスタ (CR1, CR2, CR4, および CR5) をサポートします。各コンフィギュレーションレジスタには、F-RAM に揮発性および関連する不揮発性レジスタスペースがあります。不揮発性レジスタは、電源切断時にデバイス設定を保持し、電源投入時またはハードウェアリセット (JEDEC リセットまたは RESET ピン) 後にそれぞれの揮発性レジスタにコピーされます。ステートマシンは、揮発性レジスタ設定のみを使用して、通常のアクセス中にデバイス設定を変更します。CY15X102QSN は、揮発性と不揮発性の両方のコンフィギュレーションレジスタに独立したスペースを提供するため、ホストは、現在のパワーサイクルで設定を有効にするためにのみ揮発性レジスタをプログラムできます。不揮発性書き込みは、揮発性レジスタと不揮発性レジスタの両方の内容を変更します。したがって、新しいコンフィギュレーションは、現在の電源サイクルだけでなく、後続の電源サイクルまたはハードウェアリセットサイクルでもすぐに有効になります。

専用のコンフィギュレーションレジスタ読み出しオペコード (RDCR1, RDCR2, RDCR3, RDCR4) を使用してコンフィギュレーションレジスタから読み出すか、RDAR は常に揮発性レジスタの内容を返します。個々のコンフィギュレーションレジスタの詳細は、以下で説明します。

4.2.1 コンフィギュレーションレジスタ 1 (CR1)

Table 12 に示すように、コンフィギュレーションレジスタ 1 (CR1) は、メモリおよび特殊セクタの読み出しの遅延 (タミー) サイクルを設定し、拡張 SPI アクセス中にクアッド I/O を有効にします。CR1 には、書き込みの場合は WRAR コマンド、読み出し操作の場合は RDCR1 または RDAR コマンドからアクセスできます。CR1 アクセスの詳細は、[レジスタアクセスのコマンド](#)で説明します。

WRAR 不揮発性書き込みアドレス - 0x0000002

WRAR 揮発性書き込みアドレス - 0x070002

RDAR 読み出しアドレス - 0x0000002 または 0x070002

Table 12 の各ビットの後に示されているデフォルトの状態は、工場プログラムされた値です。

Table 12 コンフィギュレーションレジスタ 1 (CR1)

CR1[7]	CR1[6]	CR1[5]	CR1[4]	CR1[3]	CR1[2]	CR1[1]	CR1[0]
MLC3 (0)	MLC2 (0)	MLC1 (0)	MLC0 (0)	RFU (0)	RFU (0)	QUAD (0)	RFU (0)

Table 13 コンフィギュレーションレジスタ 1 (CR1) - 不揮発性

ビット	ビット名	ビット機能	分類	読み出し / 書き込み (R/W)	説明
CR1[7]	MLC3	メモリ レイテンシ コード	NV	R/W	メモリおよび特殊セクタ読み出しオペコードの レイテンシ (ダミー) サイクル数を設定します。 例： 0000 - 0 サイクル 0110 - 6 サイクル 1111 - 15 サイクル
CR1[6]	MLC2		NV		
CR1[5]	MLC1		NV		
CR1[4]	MLC0		NV		
CR1[3]	RFU	予約済み (0)			将来の使用のため予約済み
CR1[2]	RFU	予約済み (0)			将来の使用のため予約済み
CR1[1]	QUAD	クアッド	NV	R/W	1 = クアッド 0 = デュアルまたはシリアル
CR1[0]	RFU	予約済み (0)			将来の使用のため予約済み

NV - 不揮発性

Table 14 コンフィギュレーションレジスタ 1 (CR1) - 揮発性

ビット	ビット名	ビット機能	分類	読み出し / 書き込み (R/W)	説明
CR1[7]	MLC3	メモリ レイテンシ コード	V	R/W	メモリおよび特殊セクタ読み出しオペコードの レイテンシ(ダミー)サイクル数を設定します。 例： 0000 - 0 サイクル 0110 - 6 サイクル 1111 - 15 サイクル
CR1[6]	MLC2		V		
CR1[5]	MLC1		V		
CR1[4]	MLC0		V		
CR1[3]	RFU	予約済み (0)			将来の使用のため予約済み
CR1[2]	RFU	予約済み (0)			将来の使用のため予約済み
CR1[1]	QUAD	クアッド	V	R/W	1 = クアッド 0 = デュアルまたはシリアル
CR1[0]	RFU	予約済み (0)			将来の使用のため予約済み

V - 揮発性

4.2.1.1 メモリ レイテンシ コード (MLC) CR1 [7:4]

これらの 4 ビットは、すべての可変レイテンシメモリ読み出し命令のレイテンシ (ダミー) サイクルを設定します。これにより、ユーザーは通常の操作中にメモリ読み出しレイテンシを調整して、さまざまな動作周波数でのさまざまな命令のレイテンシを最適化できます。ダミーサイクルは、SPI モードとデータレート (SDR と DDR) に関係なく、SCK のフルクロックサイクルです。

一部の読み出しオペコードは、アドレスサイクルに続くダミーサイクルをサポートします。これらのダミーサイクルは、データがホストシステムに返される前に、メモリアレイの初期読み出しアクセスを完了するために必要な追加の遅延を提供します。SPI クロック (SCK) の周波数が高くなると、レイテンシを満たすためにダミーサイクルの数を増やす必要があります。

Table 15 ~ Table 17 に、ダミーサイクルをサポートする各オペコードの最大 SPI クロック周波数とクロックレイテンシを示します。ホストコントローラーは、各オペコードに個別の遅延サイクルを設定することでタイミングを最適化するか、目的の動作周波数ですべてのオペコードの遅延要件を満たす最悪の場合の遅延を設定できます。より高い周波数に設定されたメモリ読み出しレイテンシは、すべてのより低い周波数にも適用されます。したがって、ホストが SPI クロック (SCK) を高い周波数から低い周波数に下げる場合、クロック遅延の調整はオプションになります。

Table 15 ヘッダーの形式 (CMD, ADDR, DATA) は、さまざまな SPI モードでの I/O の数に対するこれらのバイトの送信を表します。次に例を示します。(2, 2, 2) は、すべてのコマンド (CMD), アドレス (ADDR), および

データ (DATA) バイトが DPI モードの 2 つの I/O (I/O0 および I/O1) を介して送信されることを表します。同様に、(1, 2, 2) は、CMD バイトがシングル I/O (I/O0) を介して送信されるのに対し、ADDR および DATA バイトはデュアル I/O モードの 2 つの I/O (I/O0, I/O1) を介して送信されることを表します。(1, 1, 4) は CMD を表し、ADDR バイトは単一の I/O (I/O0) で送信され、DATA バイトはクアッドデータモードの 4 つの I/O (I/O0, I/O1, I/O2, I/O3) で送信されます。

モードは、アドレスビットの後にモードバイトを送信するためにさまざまな SPI インターフェースモードに必要なクロックサイクル数を表します。モードビットはアドレスサイクルの後に送信されるため、モードビットの送信に必要なクロックサイクルは内部でレイテンシ計算に追加されます。

Table 15 メモリ読み出しコマンドのレイテンシ (ダミー) サイクル - XIP モード (SDR) を使用

レイテンシ (ダミー) サイクル - 10 進数	SPI (SDR)	DPI (SDR)	QPI (SDR)	デュアル データ (SDR)	デュアル I/O (SDR)	クアッド データ (SDR)	クアッド I/O (SDR)
	FAST_READ	FAST_READ	FAST_READ, QIOR	DOR	DIOR	QOR	QIOR
	(1, 1, 1)	(2, 2, 2)	(4, 4, 4)	(1, 1, 2)	(1, 2, 2)	(1, 1, 4)	(1, 4, 4)
	Mode = 8	Mode = 4	Mode = 2	Mode = 8	Mode = 4	Mode = 8	Mode = 2
0	108 MHz	55 MHz ^[4]	10 MHz ^[4]	108 MHz	55 MHz ^[4]	108 MHz	10 MHz ^[4]
1	108 MHz	70 MHz ^[4]	25 MHz ^[4]	108 MHz	70 MHz ^[4]	108 MHz	25 MHz ^[4]
2	108 MHz	80 MHz ^[4]	40 MHz ^[4]	108 MHz	80 MHz ^[4]	108 MHz	40 MHz ^[4]
3	108 MHz	95 MHz ^[4]	55 MHz ^[4]	108 MHz	95 MHz ^[4]	108 MHz	55 MHz ^[4]
4	108 MHz	108 MHz	70 MHz ^[4]	108 MHz	108 MHz	108 MHz	70 MHz ^[4]
5	108 MHz	108 MHz	80 MHz ^[4]	108 MHz	108 MHz	108 MHz	80 MHz ^[4]
6	108 MHz	108 MHz	95 MHz ^[4]	108 MHz	108 MHz	108 MHz	95 MHz ^[4]
7-15	108 MHz	108 MHz	108 MHz	108 MHz	108 MHz	108 MHz	108 MHz

注:

4. このパラメータは特性によって保証され、量産中にテストされません。

Table 16 メモリ読み出しコマンドのレイテンシ (ダミー) サイクル - XIP モード (DDR) を使用

レイテンシ (ダミー) サイクル - 10 進数	QPI (DDR)	クアッド I/O (DDR)
	DDRFR, DDRQIOR	DDRQIOR
	(4, 4, 4)	(1, 4, 4)
	モード = 1	モード = 1
0	該当なし	該当なし
1	該当なし	該当なし
2	10 MHz ^[5]	10 MHz ^[5]
3	25 MHz ^[5]	25 MHz ^[5]
4	33 MHz ^[5]	33 MHz ^[5]
5	40 MHz ^[5]	40 MHz ^[5]
6	50 MHz ^[5]	50 MHz ^[5]
7-15	54 MHz	54 MHz

注:

5. このパラメータは特性によって保証され、量産中にテストされません。

Table 17 メモリ読み出しコマンドのレイテンシ (ダミー) サイクル - XIP モードなし

レイテンシ (ダミー) サイクル - 10 進数	SPI (SDR)	DPI (SDR)	QPI (SDR)
	READ, ECCRD, SSRD		
	(1, 1, 1)	(2, 2, 2)	(4, 4, 4)
	モード = 該当なし	モード = 該当なし	モード = 該当なし
0	40 MHz ^[6]	該当なし	該当なし
1	55 MHz ^[6]	該当なし	該当なし
2	70 MHz ^[6]	25 MHz ^[6]	10 MHz ^[6]
3	80 MHz ^[6]	40 MHz ^[6]	25 MHz ^[6]
4	95 MHz ^[6]	55 MHz ^[6]	40 MHz ^[6]
5	108 MHz	70 MHz ^[6]	55 MHz ^[6]
6	108 MHz	80 MHz ^[6]	70 MHz ^[6]
7	108 MHz	95 MHz ^[6]	80 MHz ^[6]
8	108 MHz	108 MHz	95 MHz ^[6]
9-15	108 MHz	108 MHz	108 MHz

注:

6. このパラメータは特性によって保証され、量産中にテストされません。

4.2.1.2 クアッド データ幅 (QUAD) CR1 [1]

「1」に設定すると、このビットはデバイスのデータ幅を 4 I/O に切り替えます。クアッドモード、つまり WP は I/O2 になり、RESET/(I/O3) は I/O3 になります。コンフィギュレーションレジスタ 2 (CR2[5]) の IO3R ビットをセットして I/O3 で代替機能を有効にすると、CS が Low のときは RESET/(I/O3) が I/O3 として機能し、CS が High のときは RESET 入力として機能します。WP 入力は無効になっており、内部的に「1」に設定されます。拡張 SPI 読み出しコマンド (クアッド出力読み出し, クアッド I/O 読み出し, および DDR クアッド I/O 読み出し) を実行するときは、QUAD ビットを「1」に設定する必要があります。さまざまな SPI インターフェースに対する「QUAD」ビット設定の影響を [Table 21](#) に示します。

4.2.2 コンフィギュレーションレジスタ 2 (CR2)

[Table 18](#) に示すように、コンフィギュレーションレジスタ 2 (CR2) は、シリアルインターフェース設定を制御します。CR2 には、書き込みの場合は WRAR コマンド、読み出し操作の場合は RDCR2 または RDAR コマンドからアクセスできます。CR2 アクセスの詳細は、[レジスタアクセスのコマンド](#)で説明します。

WRAR 不揮発性書き込みアドレス - 0x0000003

WRAR 揮発性書き込みアドレス - 0x070003

RDAR 読み出しアドレス - 0x0000003 または 0x070003

[Table 18](#) の各ビットの後に示されるデフォルトの状態は、工場でプログラムされた値です。

Table 18 コンフィギュレーションレジスタ 2 (CR2)

CR2[7]	CR2[6]	CR2[5]	CR2[4]	CR2[3]	CR2[2]	CR2[1]	CR2[0]
RFU (0)	QPI (0)	IO3R (0)	DPI (0)	RFU (0)	RFU (0)	RFU (0)	RFU (0)

Table 19 コンフィギュレーションレジスタ 2 (CR2) - 不揮発性

ビット	ビット名	ビット機能	分類	読み出し / 書き込み (R/W)	説明
CR2[7]	RFU	予約済み (0)			将来の使用のため予約済み
CR2[6]	QPI	クアッド SPI イネーブル	NV	R/W	1 = QPI プロトコルを有効にします 0 = DPI ビットが「0」に設定されている場合、SPI プロトコルを有効にします
CR2[5]	IO3R	IO3 リセット	NV	R/W	1 = \overline{CS} が HIGH の場合、I/O3 が RESET 入力として使用されます 0 = I/O3 には代替機能がありません
CR2[4]	DPI	デュアル SPI イネーブル	NV	R/W	1 = DPI プロトコルを有効にします 0 = QPI ビットが「0」に設定されている場合、SPI プロトコルを有効にします
CR2[3]	RFU	予約済み (0)			将来の使用のため予約済み
CR2[2]	RFU	予約済み (0)			将来の使用のため予約済み
CR2[1]	RFU	予約済み (0)			将来の使用のため予約済み
CR2[0]	RFU	予約済み (0)			将来の使用のため予約済み

NV - 不揮発性

Table 20 コンフィギュレーションレジスタ 2 (CR2) - 揮発性

ビット	ビット名	ビット機能	分類	読み出し / 書き込み (R/W)	説明
CR2[7]	RFU	予約済み (0)			将来の使用のため予約済み
CR2[6]	QPI	クアッド SPI イネーブル	V	R/W	1 = QPI プロトコルを有効にします 0 = DPI ビットが「0」に設定されている場合、SPI プロトコルを有効にします
CR2[5]	IO3R	IO3 リセット	V	R/W	1 = \overline{CS} が HIGH の場合、I/O3 が RESET 入力として使用されます 0 = I/O3 には代替機能がありません
CR2[4]	DPI	デュアル SPI イネーブル	V	R/W	1 = DPI プロトコルを有効にします 0 = QPI ビットが「0」に設定されている場合、SPI プロトコルを有効にします
CR2[3]	RFU	予約済み (0)			将来の使用のため予約済み
CR2[2]	RFU	予約済み (0)			将来の使用のため予約済み
CR2[1]	RFU	予約済み (0)			将来の使用のため予約済み
CR2[0]	RFU	予約済み (0)			将来の使用のため予約済み

NV - 不揮発性

4.2.2.1 クアッド SPI (QPI) CR2 [6]

このビットは、クアッド SPI モードの命令幅とデータ幅を制御します。このモードでは、ホストシステムとメモリ間のすべての転送は、すべての命令を含め、I/O0 ~ I/O3 で 4 ビット幅です。CR1[1] の QUAD ビットセット「1」は不要であるため、QPI モードでは無視されます。詳細については、Table 22 を参照してください。

4.2.2.2 IO3 リセット (IO3R) CR2 [5]

このビットは、 $\overline{\text{RESET}}/(\text{I/O3})$ ピンの動作を制御します。このビットが「1」に設定されている場合、通常動作中に $\overline{\text{RESET}}$ 入力を有効にします。Table 21 に、インターフェースモードに基づく $\overline{\text{RESET}}/(\text{I/O3})$ 機能を示します。

4.2.2.3 デュアル (DPI) CR2 [4]

このビットは、デュアル SPI モードの命令幅とデータ幅を制御します。このモードでは、ホストシステムとメモリ間のすべての転送は、すべての命令を含め、I/O0 ~ I/O1 で 2 ビット幅です。詳細については、Table 22 を参照してください。

Table 21 $\overline{\text{RESET}}/(\text{I/O3})$ ピン機能

インターフェースモード	クアッドビット (CR1 ^[7])	$\overline{\text{RESET}}/(\text{I/O3})$ ピン機能			
		IO3R (CR2[5]) = 0 (IO3 リセット ディセーブル)		IO3R (CR2[5]) = 1 (IO3 リセット イネーブル)	
		$\overline{\text{CS}} = 0$	$\overline{\text{CS}} = 1$	$\overline{\text{CS}} = 0$	$\overline{\text{CS}} = 1$
SPI	QUAD = '0'	機能なし	機能なし	$\overline{\text{RESET}}$	$\overline{\text{RESET}}$
SPI	QUAD = '1'	I/O3 ^[8]	機能なし	I/O3 ^[8]	$\overline{\text{RESET}}$
DPI	QUAD = '0'	機能なし	機能なし	$\overline{\text{RESET}}$	$\overline{\text{RESET}}$
DPI	QUAD = '1'	機能なし	機能なし	機能なし	$\overline{\text{RESET}}$
QPI	QUAD = x (ドントケア)	I/O3	機能なし	I/O3	$\overline{\text{RESET}}$

注:

- すべての拡張 SPI は SPI モードで起動します。
- SPI および DPI モードでは機能しません。クアッドデータまたはクアッド I/O モードの I/O3。

Table 22 SPI 動作モード設定

QUAD ^[10] CR1 ^[9]	DPI CR2 ^[9]	QPI CR2 ^[9]	動作モード
0	0	0	SPI, 拡張 SPI (デュアル)
1	0	0	SPI, 拡張 SPI (デュアル / クアッド)
X	1	0	DPI
X	0	1	QPI
0	1	1	SPI ^[11] , 拡張 SPI (デュアル) - 推奨される設定ではありません
1	1	1	SPI ^[11] , 拡張 SPI (デュアル / クアッド) - 推奨される設定ではありません

注:

- すべての拡張 SPI は SPI モードで起動します。
- QUAD = 「1」 は、I/O を QUAD モードに再設定し、 $\overline{\text{WP}}$ および $\overline{\text{RESET}}$ 操作に影響を与えます (Table 21 を参照)。
- レジスタの読み出しは、推奨される設定ではありませんが、常に書き込まれたものを返します。

4.2.3 コンフィギュレーションレジスタ 4 (CR4)

Table 23 に示すように、コンフィギュレーションレジスタ 4 (CR4) は、出力ドライブインピーダンスとディープパワーダウン (DPD) モードの設定を制御します。CR4 には、書き込みの場合は WRAR コマンド、読み出し操作の場合は RDCR4 または RDAR コマンドからアクセスできます。CR4 アクセスの詳細は、[レジスタアクセスのコマンド](#)で説明します。

WRAR 不揮発性書き込みアドレス - 0x0000005

WRAR 揮発性書き込みアドレス - 0x070005

RDAR 読み出しアドレス - 0x0000005 or 0x070005

Table 23 の各ビットの後に示されるデフォルトの状態は、工場でプログラムされた値です。

Table 23 コンフィギュレーションレジスタ 4 (CR4)

CR4[7]	CR4[6]	CR4[5]	CR4[4]	CR4[3]	CR4[2]	CR4[1]	CR4[0]
OI (0)	OI (0)	OI (0)	RFU (0)	RFU (1)	DPDPOR (0)	RFU (0)	RFU (0)

Table 24 コンフィギュレーションレジスタ 4 (CR4) - 不揮発性

ビット	ビット名	ビット機能	分類	読み出し / 書き込み (R/W)	説明
CR4[7]	OI	出力インピーダンス	NV	R/W	出力インピーダンスの選択
CR4[6]			NV	R/W	
CR4[5]			NV	R/W	
CR4[4]	RFU	予約済み (0)			将来の使用のため予約済み
CR4[3]	RFU	予約済み (1)			将来の使用のため予約済み ^[12]
CR4[2]	DPDPOR	POR のディープパワーダウンモード	NV	R/W	1 = \overline{CS} が HIGH の場合、POR またはハードウェア リセット (JEDEC リセットを含む) の完了時にディープ パワーダウンになります。 0 = \overline{CS} が HIGH の場合、電源投入または POR またはハードウェア リセット (JEDEC リセットを含む) の完了時にスタンバイ モードになります。
CR4[1]	RFU	予約済み (0)			将来の使用のため予約済み
CR4[0]	RFU	予約済み (0)			将来の使用のため予約済み

NV - 不揮発性

注:

12. SPI バスマスターは、このコンフィギュレーションレジスタに書き込むときに、ビット CR4[3] が「1」のままであることを確認する必要があります。このビットに「0」を書き込むと、デバイスの機能に影響を与える可能性があります。

Table 25 コンフィギュレーションレジスタ 4 (CR4) - 揮発性

ビット	ビット名	ビット機能	分類	読み出し / 書き込み (R/W)	説明
CR4[7]	OI	出力インピーダンス	V	R/W	出力インピーダンスの選択
CR4[6]			V	R/W	
CR4[5]			V	R/W	
CR4[4]	RFU	予約済み (0)			将来の使用のため予約済み
CR4[3]	RFU	予約済み (1)			将来の使用のため予約済み ^[13]
CR4[2]	DPDPOR	POR のディープパワーダウンモード	V	R/W	1 = \overline{CS} が HIGH の場合、POR またはハードウェアリセット (JEDEC リセットを含む) の完了時にディープパワーダウンになります。 0 = \overline{CS} が HIGH の場合、電源投入または POR またはハードウェアリセット (JEDEC リセットを含む) の完了時にスタンバイモードになります。
CR4[1]	RFU	予約済み (0)			将来の使用のため予約済み
CR4[0]	RFU	予約済み (0)			将来の使用のため予約済み

注:

13. SPI バスマスターは、このコンフィギュレーションレジスタに書き込むときに、ビット CR4[3] が「1」のままであることを確認する必要があります。このビットに「0」を書き込むと、デバイスの機能に影響を与える可能性があります。

4.2.3.1 出力インピーダンス (OI) CR4 [7:5]

これらの 3 ビットは、I/O ピンの出力インピーダンス (ドライブ強度) を制御します。出力インピーダンス設定ビットにより、ユーザーはドライブ強度を調整して、プリント回路基板のシグナルインテグリティを向上できます。

Table 26 インピーダンスの選択

インピーダンスの選択	標準的なインピーダンス (Ω) ^[14]	備考
000	45	45 Ω が工場出荷時のデフォルト設定です。その他の駆動強度は、CR4[7:5] のインピーダンス選択ビットに書き込むことでプログラムできます。
001	120	
010	90	
011	60	
100	45	
101	30	
110	20	
111		

注:

14. $V_{DD}/2$ で測定された標準的なインピーダンス。

4.2.3.2 POR 後のディープパワーダウンモード (DPDPOR) CR4 [2]

このビットはデバイスがパワーオンリセット (POR)、ハードウェアリセット (\overline{RESET} ピンまたは JEDEC リセット)、またはハイバネートモードの後にディープパワーダウン (DPD) またはスタンバイモードに入るかどうかを制御します。DPDPOR コンフィギュレーションビットは、 \overline{CS} が HIGH のときにデバイスがスタンバイモードではなく DPD モードで起動するようにします。 t_{EXTDPD} 時間の後に、 t_{CSDPD} の \overline{CS} パルス幅、またはハードウェアリセットによって DPD モードを終了します。 \overline{CS} パルス幅は、SCK と I/O が関係なく、 \overline{CS} のみを切り替えることで生成できます。DPDPOR ビット状態はソフトウェアリセットでは無視され、ソフトウェアリセットの後、デバイスは常にスタンバイになります。

4.2.4 コンフィギュレーションレジスタ 5 (CR5)

Table 27 に示すように、コンフィギュレーションレジスタ 5 (CR5) は、レジスタ読み出しの読み出し待ち時間 (ダミー) サイクルを設定します。CR5 には、書き込みの場合は WRAR コマンド、読み出し操作の場合は RDCR5 または RDAR コマンドからアクセスできます。CR5 アクセスの詳細は、[レジスタアクセスのコマンド](#) で説明します。

WRAR 不揮発性書き込みアドレス - 0x0000006

WRAR 揮発性書き込みアドレス - 0x0700006

RDAR 読み出しアドレス - 0x0000006 または 0x0700006

Table 27 の各ビットの後に示されるデフォルトの状態は、工場でプログラムされた値です。

Table 27 コンフィギュレーションレジスタ 5 (CR5)

CR5[7]	CR5[6]	CR5[5]	CR5[4]	CR5[3]	CR5[2]	CR5[1]	CR5[0]
RLC1 (0)	RLC0 (0)	RFU (0)	RFU (0)	RFU (0)	RFU (0)	RFU (0)	RFU (0)

Table 28 コンフィギュレーションレジスタ 5 (CR5) - 不揮発性

ビット	ビット名	ビット機能	分類	読み出し / 書き込み (R/W)	説明
CR5[7]	RLC1	レイテンシコードを登録する	NV	R/W	レジスタアクセスの 0 ~ 3 クロックサイクルのレジスタ読み出しレイテンシサイクル数を選択します
CR5[6]	RLC0			R/W	
CR5[5]	RFU		予約済み (0)		将来の使用のために予約済み
CR5[4]	RFU		予約済み (0)		将来の使用のために予約済み
CR5[3]	RFU		予約済み (0)		将来の使用のために予約済み
CR5[2]	RFU		予約済み (0)		将来の使用のために予約済み
CR5[1]	RFU		予約済み (0)		将来の使用のために予約済み
CR5[0]	RFU		予約済み (0)		将来の使用のために予約済み

NV - 不揮発性

Table 29 コンフィギュレーションレジスタ 5 (CR5) - 揮発性

ビット	ビット名	ビット機能	分類	読み出し / 書き込み (R/W)	説明
CR5[7]	RLC1	レイテンシコードを登録する	V	R/W	レジスタアクセスの 0 ~ 3 クロックサイクルのレジスタ読み出しレイテンシサイクル数を選択します
CR5[6]	RLC0			R/W	
CR5[5]	RFU		予約済み (0)		将来の使用のために予約済み
CR5[4]	RFU		予約済み (0)		将来の使用のために予約済み
CR5[3]	RFU		予約済み (0)		将来の使用のために予約済み
CR5[2]	RFU		予約済み (0)		将来の使用のために予約済み
CR5[1]	RFU		予約済み (0)		将来の使用のために予約済み
CR5[0]	RFU		予約済み (0)		将来の使用のために予約済み

V - 揮発性

4.2.4.1 レイテンシコードの登録 (RLC [1:0]) CR5 [7:6]

これらの2ビットは、すべての可変レイテンシレジスタ読み出し命令の読み出しレイテンシ (ダミーサイクル) 遅延を制御します。これにより、ユーザーは通常の操作中に読み出しレイテンシを調整して、さまざまな動作周波数でのさまざまなレジスタ読み出し命令のレイテンシを最適化できます。Table 30 に、レジスタ読み出しコマンドのレイテンシサイクルを示します。

Table 30 レジスタ読み出しコマンドのダミーサイクル

レイテンシ (ダミーサイクル)	SPI (SDR)	DPI (SDR)	QPI (SDR)
	RDSR1, RDSR2, RDCR1, RDCR2, RDCR4, RDCR5, RDAR, RUID, RDID2, RDSN		
0	50 MHz ^[15]	50 MHz ^[15]	50 MHz ^[15]
1 ~ 3	108 MHz	108 MHz	108 MHz

注:

15.このパラメータは特性によって保証され、量産中にテストされません。

5 機能説明

CY15X102QSN は 8 ビットの命令レジスタを備えています。すべての命令とそのオペコードの一覧を以下に示します。すべての命令、アドレス、およびデータは $\overline{\text{CS}}$ が HIGH から LOW へ遷移することにより転送されます。さらに、 $\overline{\text{WP}}$ ピンと $\overline{\text{RESET}}$ ピンは、追加のハードウェア制御機能を提供します。

5.1 コマンドの構成

CY15X102QSN コマンドサイクルは最大で 5 つの異なるコマンドフェーズからなっています (オペコード、アドレス、モード、ダミー (レイテンシ) およびデータ)。コマンドサイクルごとのコマンドフェーズの数は、オペコードフェーズで送信されたオペコードに応じて 1 から 5 まで変化します。オペコード、アドレス、モード、およびデータフェーズの伝送ラインの数は、SPI, DPI, または QPI インターフェースでそれぞれ 1, 2, または 4 に設定できます。Table 31 に、さまざまな SPI インターフェースでの各コマンドサイクルのコマンドフェーズを示します。

Table 31 異なる SPI モードでの I/O 上のコマンド送信

コマンド フェーズ	I/O 上のコマンド送信						
	シングル チャンネル SPI	拡張 SPI				マルチチャンネル SPI	
		デュアル データ	クアッド データ	デュアル I/O	クアッド I/O	DPI	QPI
オペコード	SI	I/O0	I/O0	I/O0	I/O0	I/O0, I/O1	I/O0, I/O1, I/O2, I/O3
アドレス	SI	I/O0	I/O0	I/O0, I/O1	I/O0, I/O1, I/O2, I/O3	I/O0, I/O1	I/O0, I/O1, I/O2, I/O3
モード	SI	I/O0	I/O0	I/O0, I/O1	I/O0, I/O1, I/O2, I/O3	I/O0, I/O1	I/O0, I/O1, I/O2, I/O3
ダミー (レイ テンシ)	固定ダミー SPI クロック数は SPI インターフェースに独立。 メモリアクセスごとに 0 ~ 15 クロック (CR1[7:4] で設定可能) レジスタアクセスごとに 0 ~ 3 クロック (CR5[7:6] で設定可能)						
データ	SI/SO	I/O0, I/O1	I/O0, I/O1, I/O2, I/O3	I/O0, I/O1	I/O0, I/O1, I/O2, I/O3	I/O0, I/O1	I/O0, I/O1, I/O2, I/O3

Table 32 に示すように、バス マスターが CY15X102QSN に発行できるオペコードと呼ばれる 44 個のコマンドがあります。これらのオペコードはメモリが実行する機能を制御します。

Table 32 オペコード コマンド

コマンド		SPI バス インターフェース							データ 転送		レイテンシ		XIP
コマンド	オペ コード (HEX)	SPI	デュアル データ	クアッド データ	デュアル I/O	クアッド I/O	DPI	QPI	SDR	DDR	レイテ ンシの 登録	メモリ レイテ ンシ	Execu te-In- Place
書き込みイネーブル制御													
WREN	06	あり		なし			あり	あり	あり	なし	なし	なし	なし
WRDI	04	あり		なし			あり	あり	あり	なし	なし	なし	なし
レジスタのアクセス													
WRSR	01	あり		なし			あり	あり	あり	なし	なし	なし	なし
RDSR1	05	あり		なし			あり	あり	あり	なし	あり	なし	なし
RDSR2	07	あり		なし			あり	あり	あり	なし	あり	なし	なし
RDCR1	35	あり		なし			あり	あり	あり	なし	あり	なし	なし
RDCR2	3F	あり		なし			あり	あり	あり	なし	あり	なし	なし
RDCR4	45	あり		なし			あり	あり	あり	なし	あり	なし	なし

Table 32 オペコード コマンド (続き)

コマンド		SPI バス インターフェース							データ 転送		レイテンシ		XIP
コマンド	オペ コード (HEX)	SPI	デュアル データ	クアド データ	デュアル I/O	クアド I/O	DPI	QPI	SDR	DDR	レイテ ンシの 登録	メモリ レイテ ンシ	Execu te-In- Place
RDCR5	5E	あり	なし				あり	あり	あり	なし	あり	なし	なし
WRAR	71	あり	なし				あり	あり	あり	なし	なし	なし	なし
RDAR	65	あり	なし				あり	あり	あり	なし	あり	なし	なし
メモリ読み出し													
READ	03	あり	なし				あり	あり	あり	なし	なし	あり	なし
FAST_ READ	0B	あり	なし				あり	あり	あり	なし	なし	あり	あり
DOR	3B	なし	あり	なし					あり	なし	なし	あり	あり
DIOR	BB	なし			あり	なし			あり	なし	なし	あり	あり
QOR	6B	なし		あり	なし				あり	なし	なし	あり	あり
QIOR	EB	なし				あり	なし	あり	あり	なし	なし	あり	あり
DDRFR	0D	なし						あり	なし	あり	なし	あり	あり
DDRQIOR	ED	なし				あり	なし	あり	なし	あり	なし	あり	あり
メモリ書き込み													
WRITE	02	あり	なし				あり	あり	あり	なし	なし	なし	なし
FAST_ WRITE	DA	あり	なし				あり	あり	あり	なし	なし	なし	あり
DIW	A2	なし	あり	なし					あり	なし	なし	なし	あり
DIOW	A1	なし			あり	なし			あり	なし	なし	なし	あり
QIW	32	なし		あり	なし				あり	なし	なし	なし	あり
QIOW	D2	なし				あり	なし		あり	なし	なし	なし	あり
DDR_FAST_ _WRITE	DD	なし						あり	なし	あり	なし	なし	あり
DDRWRITE	DE	なし						あり	なし	あり	なし	なし	なし
DDRQIOW	D1	なし				あり	なし		なし	あり	なし	なし	あり
特殊セクタ メモリ アクセス													
SSWR	42	あり	なし				あり	あり	あり	なし	なし	なし	なし
SSRD	4B	あり	なし				あり	あり	あり	なし	なし	あり	なし
ECC および CRC													
CLECC	1B	あり	なし				あり	あり	あり	なし	なし	なし	なし
ECCRD	19	あり	なし				あり	あり	あり	なし	なし	なし	なし
CRCC	5B	あり	なし				あり	あり	あり	なし	なし	なし	なし
EPCS	75	あり	なし				あり	あり	あり	なし	なし	なし	なし
EPCR	7A	あり	なし				あり	あり	あり	なし	なし	なし	なし
ID およびシリアル番号													
RUID	4C	あり	なし				あり	あり	あり	なし	あり	なし	なし
RDID	9F	あり	なし				あり	あり	あり	なし	あり	なし	なし

Table 32 オペコード コマンド (続き)

コマンド		SPI バス インターフェース							データ 転送		レイテンシ		XIP
コマンド	オペ コード (HEX)	SPI	デュアル データ	クアッド データ	デュアル I/O	クアッド I/O	DPI	QPI	SDR	DDR	レイテ ンシの 登録	メモリ レイテ ンシ	Execu te-In- Place
WRSN	C2	あり	なし				あり	あり	あり	なし	あり	なし	なし
RDSN	C3	あり	なし				あり	あり	あり	なし	あり	なし	なし
電力モードとリセット													
DPD	B9	あり	NA				あり	あり	あり	なし	なし	なし	なし
HBN	BA	あり	NA				あり	あり	あり	なし	なし	なし	なし
RSTEN	66	あり	NA				あり	あり	あり	なし	なし	なし	なし
RST	99	あり	NA				あり	あり	あり	なし	なし	なし	なし

5.1.1 書き込みイネーブル制御コマンド

これらのコマンドは、ステータスレジスタ 1 (SR1[1]) の書き込みイネーブルラッチビットをセットまたはクリアします。

Table 33 書き込みイネーブル制御コマンド

コマンド	オペコード (Hex)	コマンドの説明
WREN	06	書き込みイネーブル - ステータス レジスタ 1 の WEL ビットを「1」に設定します。
WRDI	04	書き込みディセーブル - ステータス レジスタ 1 の WEL ビットを「0」にクリアします。

Table 34 書き込みイネーブル制御コマンドの詳細

オペコード (Hex)	アドレス長	SPI バス インターフェース							データ転送		XIP	レイテンシ	最大クロック周波数
		SPI	デュアルデータ	クアッドデータ	デュアル I/O	クアッド I/O	DPI	QPI	SDR	DDR	Execute-In-Place	ダミーサイクル	
06	0	あり	なし				あり	あり	あり	なし	なし	なし	108 MHz
04	0	あり	なし				あり	あり	あり	なし	なし	なし	108 MHz

5.1.1.1 書き込みイネーブル ラッチ セット (WREN, 06h)

WREN コマンドは、ステータスレジスタ 1 (SR1[1]) の WEL ビットを「1」に設定します。書き込みコマンドを発行する前に、WEL ビットを「1」に設定する必要があります。実行前に WEL を「1」に設定する必要があるコマンドは、WRSR, WRAR, WRITE, FAST_WRITE, DIW, DIOW, QIW, QIOW, DDR_FAST_WRITE, DDRWRITE, DDRQIOW, SSWR, および WRSN です。

命令バイトの 8 番目のビットが SI でラッチされた後、 \overline{CS} を論理 HIGH 状態に駆動する必要があります。8 ビットの WREN オペコードが正常にラッチされた後、 \overline{CS} が HIGH に駆動された後、WREN コマンドを実行し、WEL ビット (SR1 [1]) を「1」に設定します。

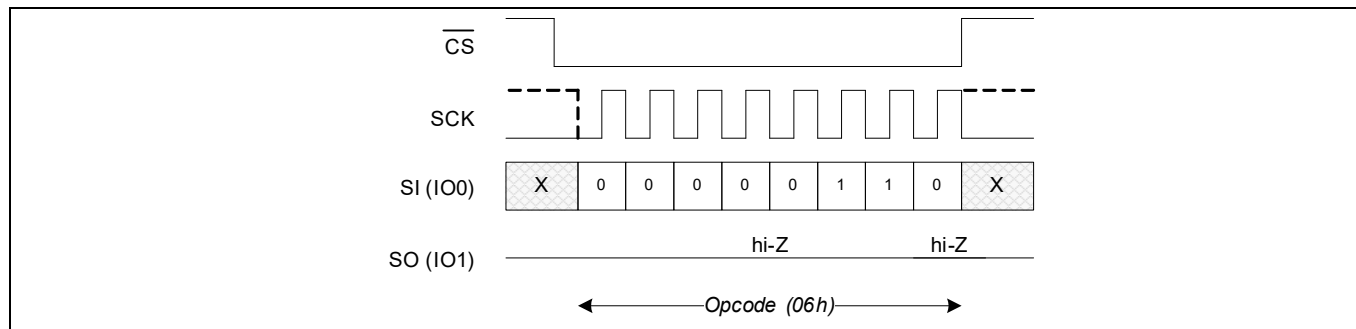


Figure 6 SPI モードでの WREN バス コンフィギュレーション

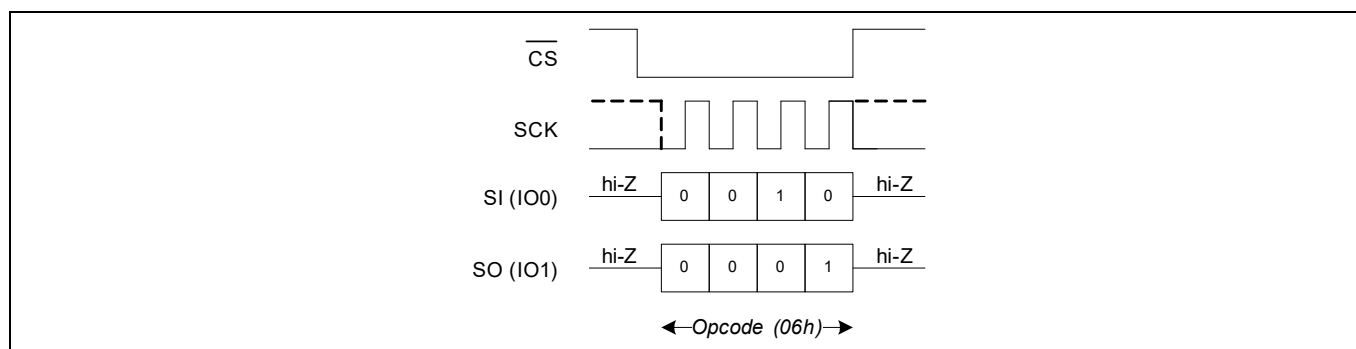


Figure 7 DPI モードでの WREN バス コンフィギュレーション

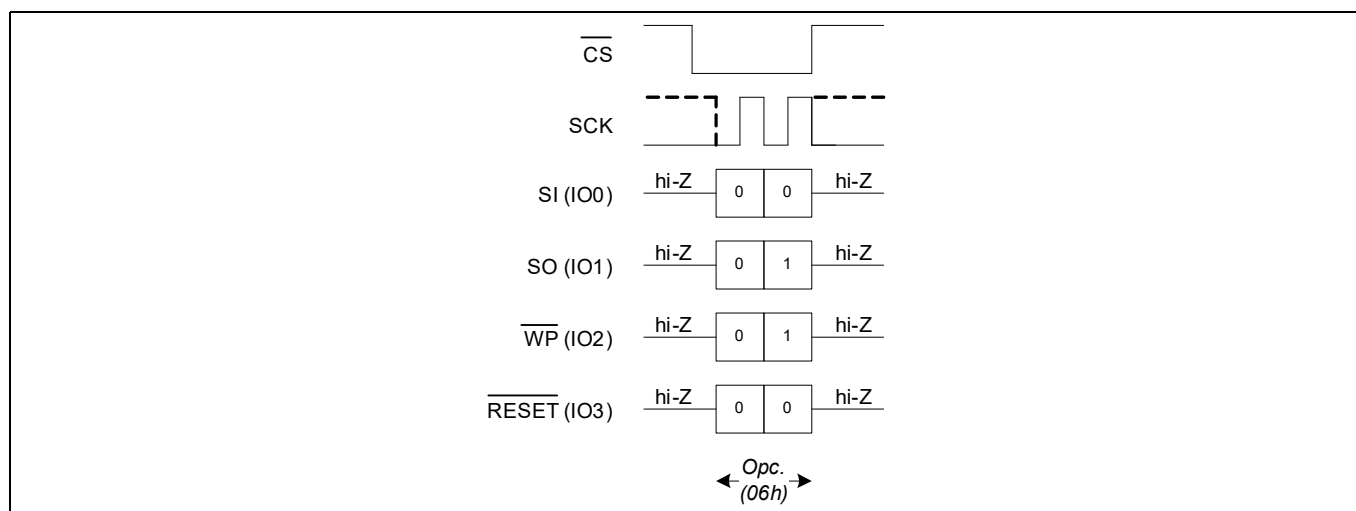


Figure 8 QPI モードでの WREN バス コンフィギュレーション

5.1.1.2 書き込みイネーブルラッチリセット (WRDI, 04h)

WRDI 命令は、ステータスレジスタ 1 (SR1[1]) の書き込みイネーブルラッチ (WEL) ビットを「0」にクリアします。これにより、書き込みステータスレジスタ (WRSR), 書き込み任意レジスタ (WRAR), 特殊セクタ書き込み (SSWR), および実行前に WEL を「1」に設定する必要があるその他の命令が無効になります。

WRDI 命令は、メモリと SPI レジスタを不注意による書き込みから保護するために使用できます。WIP ビット=1 の場合、組込み動作中に WRDI コマンドは無視されます。

命令バイトの 8 番目のビットが SI でラッチされた後、 $\overline{\text{CS}}$ を論理 HIGH 状態に駆動する必要があります。WRDI コマンドを実行し、8 ビット WRDI オペコードが正常にラッチされた後に $\overline{\text{CS}}$ が HIGH に駆動された後、WEL ビット (SR1[1]) を「0」にクリアします。

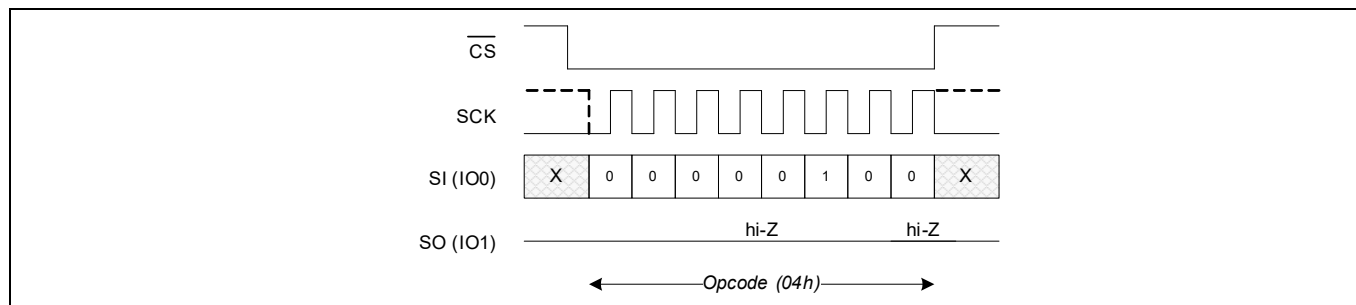


Figure 9 SPI モードでの WRDI バス コンフィギュレーション

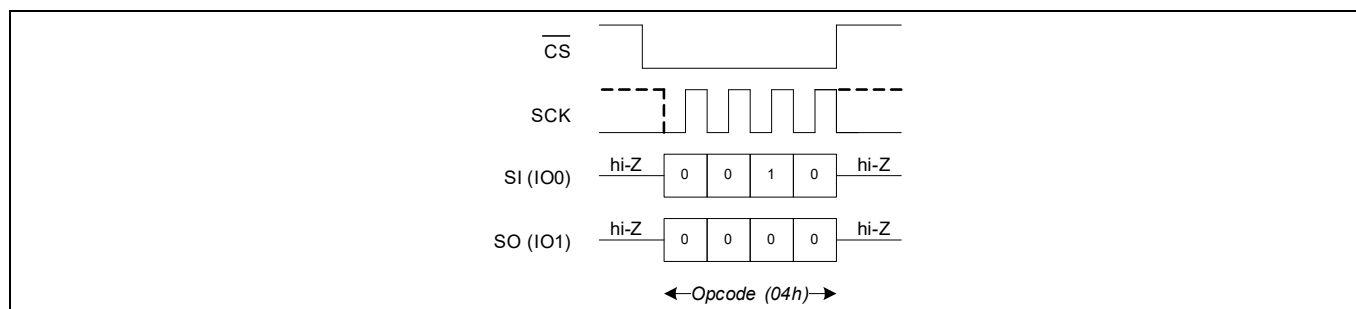


Figure 10 DPI モードでの WRDI バス コンフィギュレーション

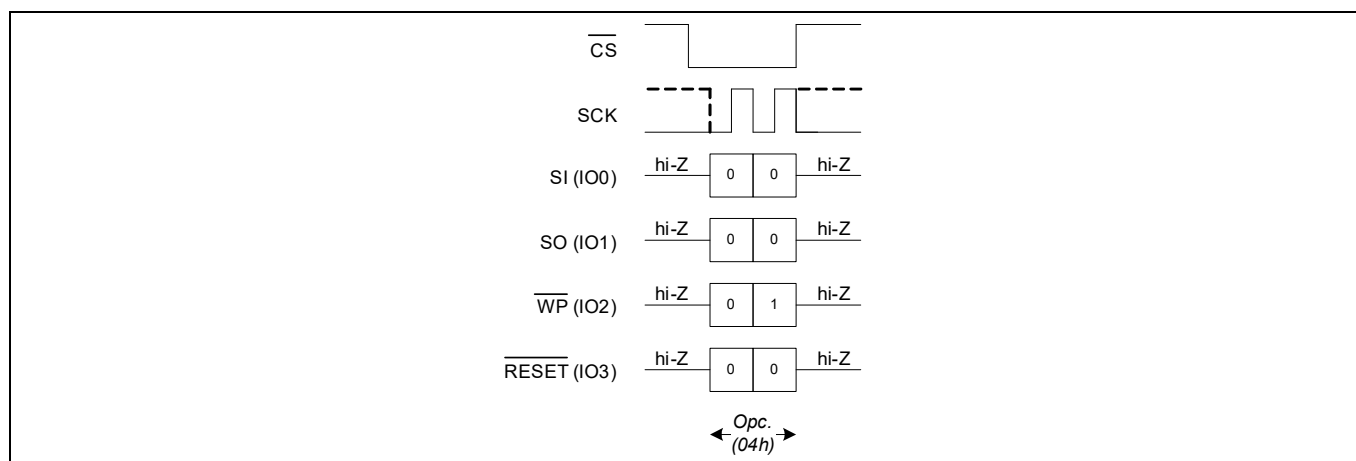


Figure 11 QPI モードでの WRDI バス コンフィギュレーション

5.1.2 レジスタ アクセスのコマンド

CY15X102QSN は各種のコンフィギュレーションとステータスレジスタを提供します。これらのレジスタはユーザ書き込みが可能であり、デバイスの状態を知るためにポーリングすることだけでなく、デバイスの特定のコンフィギュレーション / 機能を有効または無効にプログラムできます。これらのレジスタは、オペコードと呼ばれる特定のコマンドによってアクセスされます。

個々のレジスタビットは、書き込み / 読み出し、読み出し専用、または将来の使用のために予約済み (RFU) の複数のタイプのいずれかになります。各ビットの特定のタイプは、それぞれのレジスタセクションで指定されます。レジスタビットは、本質的に揮発性または不揮発性のいずれかです。すべての揮発性 (V) ビットは、パワーオンリセット (POR) またはリセットイベント (ハードウェアまたはソフトウェアのリセットによる) の後にデフォルト値に設定されます。一方、すべての不揮発性 (NV) ビットは、パワーオンリセット (POR) またはリセットイベント (ハードウェアまたはソフトウェアのリセットによる) の後に、ユーザーが設定した値に戻ります。

Table 35 レジスタ アクセスのコマンド

コマンド	オペコード (Hex)	コマンドの説明
WRSR	01	ステータス レジスタ 1 書き込み
RDSR1	05	ステータス レジスタ 1 読み出し
RDSR2	07	ステータス レジスタ 2 読み出し
RDCR1	35	コンフィギュレーションレジスタ 1 の読み出し
RDCR2	3F	コンフィギュレーションレジスタ 2 の読み出し
RDCR4	45	コンフィギュレーションレジスタ 4 の読み出し
RDCR5	5E	コンフィギュレーションレジスタ 5 の読み出し
WRAR	71	任意のレジスタの書き込み - ステータスレジスタ, コンフィギュレーションレジスタ, シリアル番号レジスタを含む
RDAR	65	任意のレジスタの読み出し - ステータスレジスタ, コンフィギュレーションレジスタ, CRC レジスタ, ECC レジスタ, シリアル番号レジスタ, ID レジスタを含む

Table 36 レジスタ アクセス コマンドの詳細

オペコード (Hex)	アドレス長	SPI バス インターフェース							データ転送		レイテンシの登録	最大クロック周波数	レイテンシの登録
		SPI	デュアルデータ	クアッドデータ	デュアル I/O	クアッド I/O	DPI	QPI	SDR	DDR	ダミーサイクル		
01	0	あり		なし			あり	あり	あり	なし	なし	108 MHz	なし
05	0	あり		なし			あり	あり	あり	なし	あり	108 MHz	あり
07	0	あり		なし			あり	あり	あり	なし	あり	108 MHz	あり
35	0	あり		なし			あり	あり	あり	なし	あり	108 MHz	あり
3F	0	あり		なし			あり	あり	あり	なし	あり	108 MHz	あり
45	0	あり		なし			あり	あり	あり	なし	あり	108 MHz	あり
5E	0	あり		なし			あり	あり	あり	なし	あり	108 MHz	あり
71	3 バイト	あり		なし			あり	あり	あり	なし	なし	108 MHz	なし
65	3 バイト	あり		なし			あり	あり	あり	なし	あり	108 MHz	あり

5.1.2.1 ステータスレジスタ書き込み (WRSR, 01h)

ステータスレジスタの書き込み (WRSR) 命令を使用すると、ステータスレジスタ 1 (SR1) に新しい値をプログラムできます。この命令は不揮発性 SR1 に書き込むため、パワーサイクル後も存続します。SR1 (SR1[7]) の SRWD ビットが「1」に設定され、 $\overline{\text{WP}}$ ピンが LOW にアサートされている場合、WRSR コマンドは無視されます。

注:

- WRSR 命令は、SR1 の WEL ビットが「1」に設定されている場合にのみ実行されます。それ以外の場合、WRSR 命令は無視されます。
- ステータスレジスタ1のWELビット(SR1[1])はWRSRコマンドが($\overline{\text{CS}}$ の立ち上りエッジで)終了した後、自動的に「0」にクリアされます。

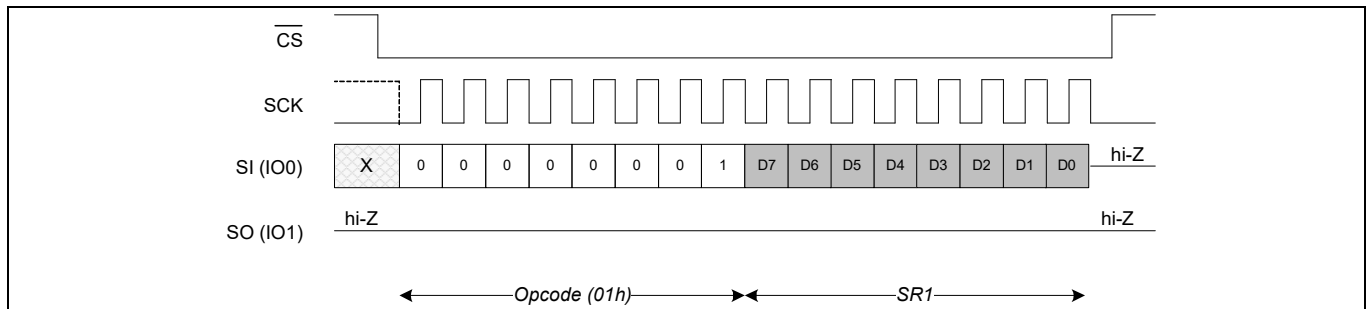


Figure 12 SPI モードの WRSR (WREN は非表示)

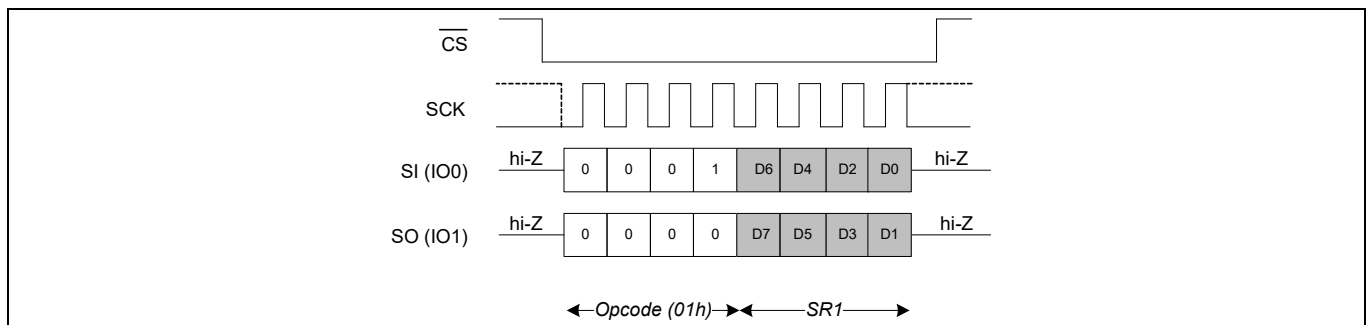


Figure 13 DPI モードの WRSR (WREN は非表示)

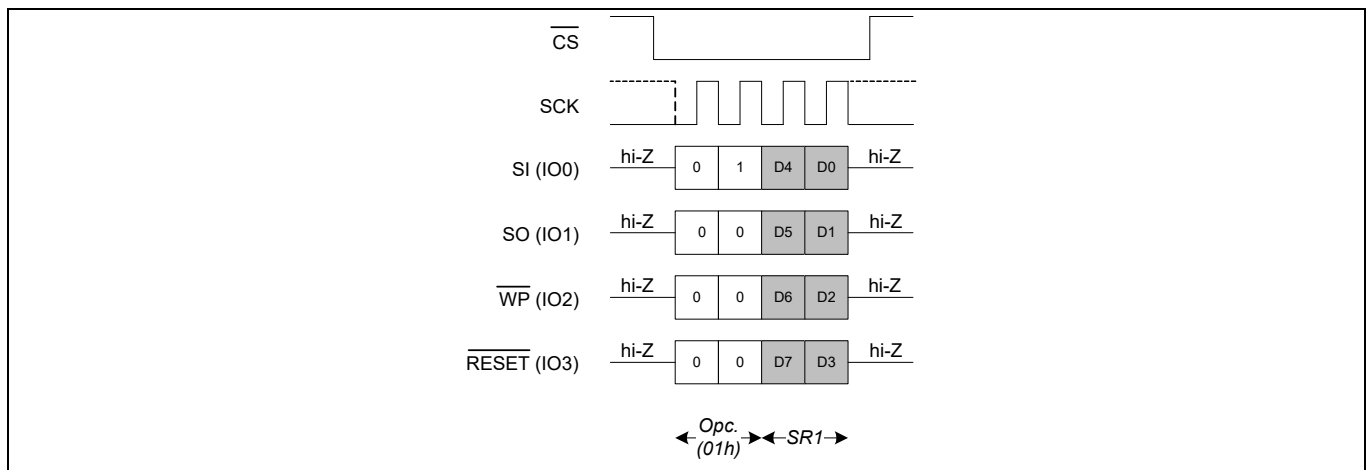


Figure 14 QPI モードの WRSR (WREN は非表示)

5.1.2.2 ステータスレジスタ 1 の読み出し (RDSR1, 05h)

RDSR1 コマンドを使用すると、バスマスターはステータスレジスタ 1 (SR1) の内容を確認できます。SR1 を読み出すと、書き込み保護機能の現在の状態, WEL, および WIP ステータスに関する情報が提供されます。RDSR1 オペコードに続いて、CY15X102QSN は 1 バイトの SR1 内容を返します。

注:

- RDSR1 は、SR1 の揮発性の内容を返します。
- 示されているダミーサイクルは CR5 のレジスタレイテンシコードビット (RLC0、RLC1) によるコンフィギュレーションオプションです。

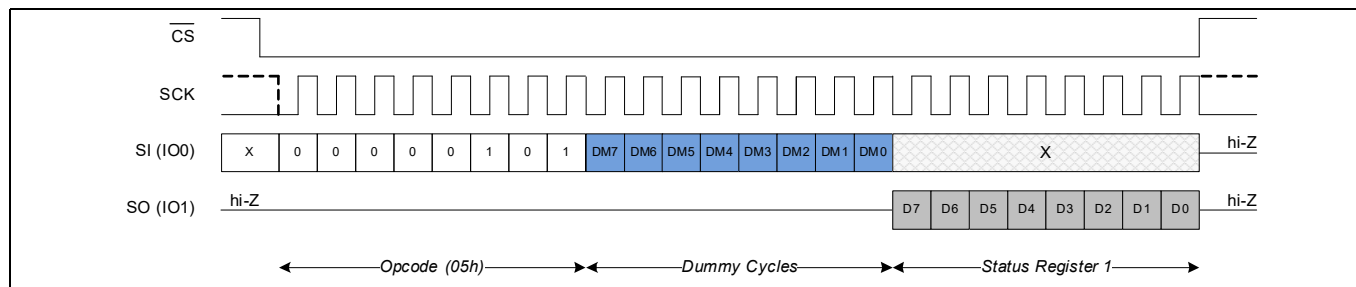


Figure 15 SPI モードでの SR1 (RDSR1) 読み出し

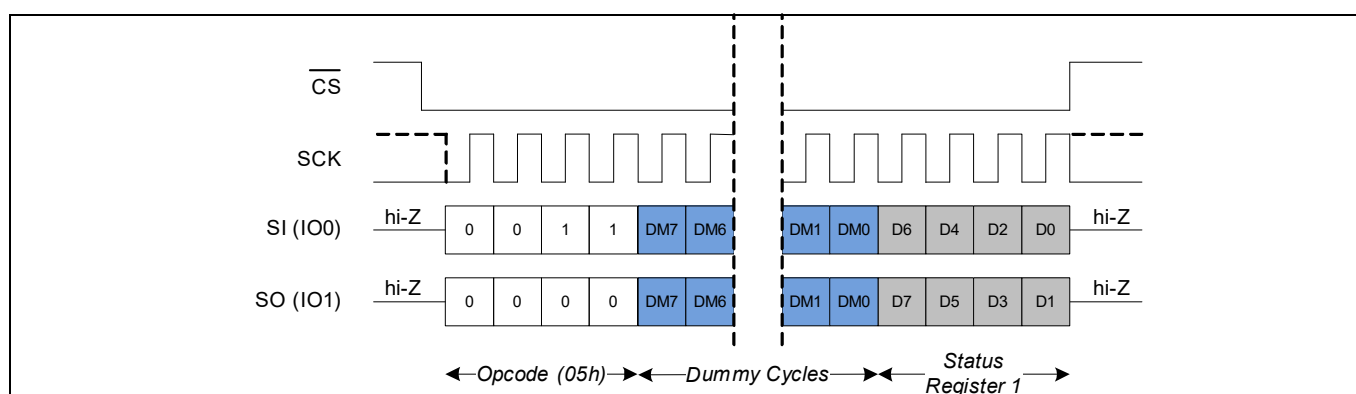


Figure 16 DPI での SR1 (RDSR1) 読み出し

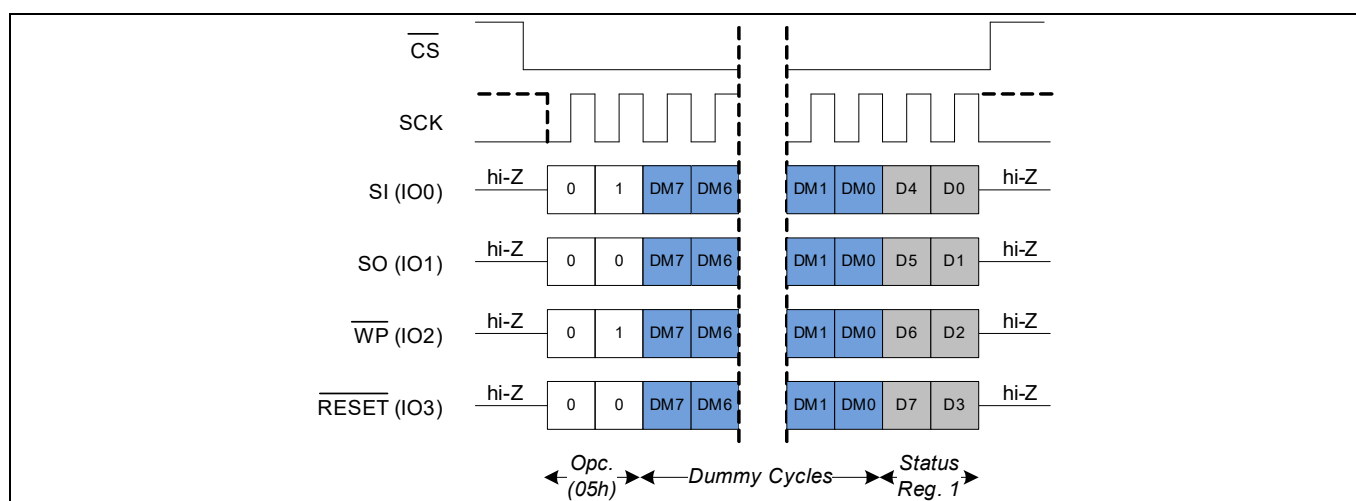


Figure 17 QPI での SR1 (RDSR1) 読み出し

5.1.2.3 ステータスレジスタ 2 読み出し (RDSR2, 07h)

RDSR2 コマンドを使用すると、バスマスターはステータスレジスタ 2 (SR2) の内容を確認できます。これは読み出し専用レジスタであり、CRC 中断と CRC 中止の状態を示します。SR1 の WIP が「0」のときにのみ、SR2 ビットは正しい状態 (CRCS および CRCA) を示します。WIP が「1」のときに SR2 を読み出すと、未定義な状態が返されます。

注:

- RDSR2 は、SR2 の揮発性の内容を返します。
- 示されているダミーサイクルは CR5 のレジスタレイテンシコードビット (RLC0、RLC1) によるコンフィギュレーションオプションです。

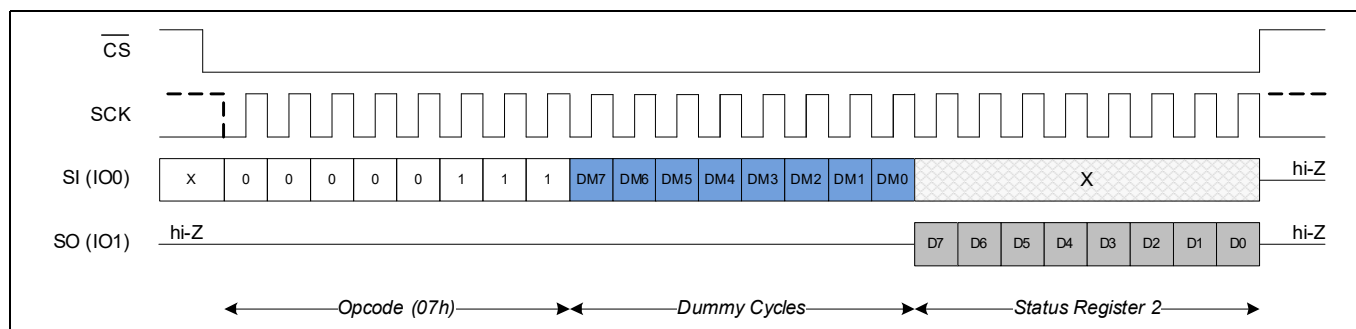


Figure 18 SPI モードでの SR2 (RDSR2) 読み出し

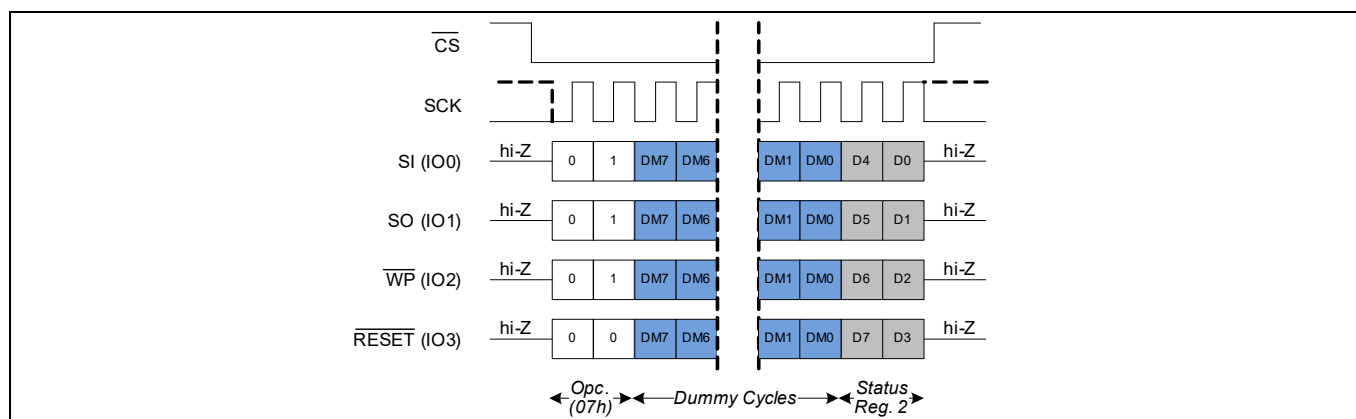


Figure 19 DPI モードでの SR2 (RDSR2) 読み出し

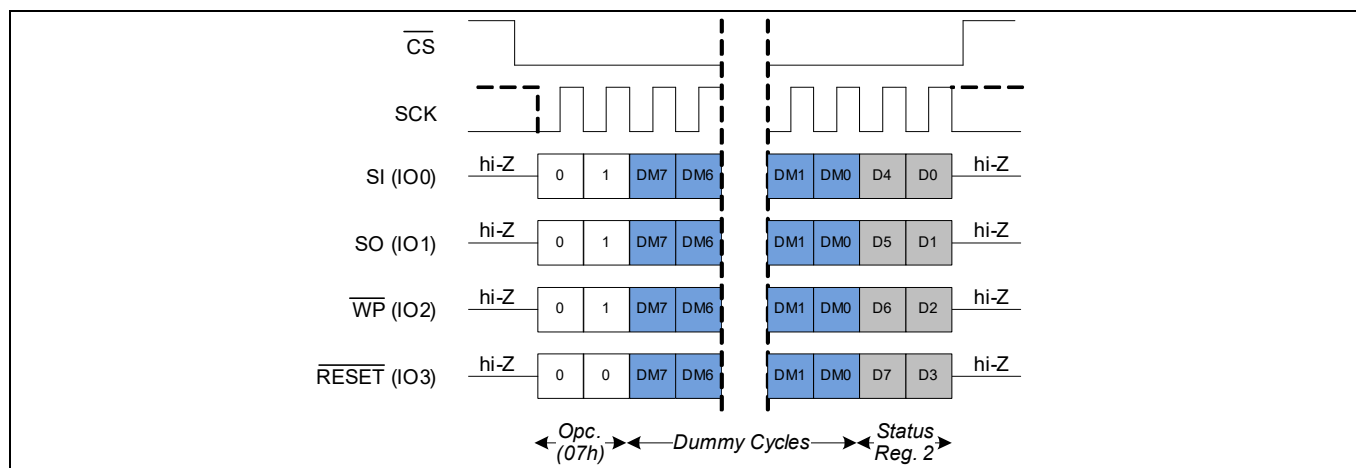


Figure 20 QPI モードでの SR2 (RDSR2) 読み出し

5.1.2.4 コンフィギュレーションレジスタ 1 の読み出し (RDCR1, 35h)

RDCR1 コマンドを使用すると、バスマスターはコンフィギュレーションレジスタ 1 (CR1) の内容を確認できます。CR1 を読み出すと、メモリレイテンシコードの現在の状態と QUAD ビットのステータスに関する情報が得られます。RDCR1 オペコードに続いて、CY15X102QSN は 1 バイトの CR1 内容を返します。

注:

- RDCR1 は、CR1 の揮発性の内容を返します。
- 示されているダミーサイクルは CR5 のレジスタレイテンシコードビット (RLC0、RLC1) によるコンフィギュレーションオプションです。

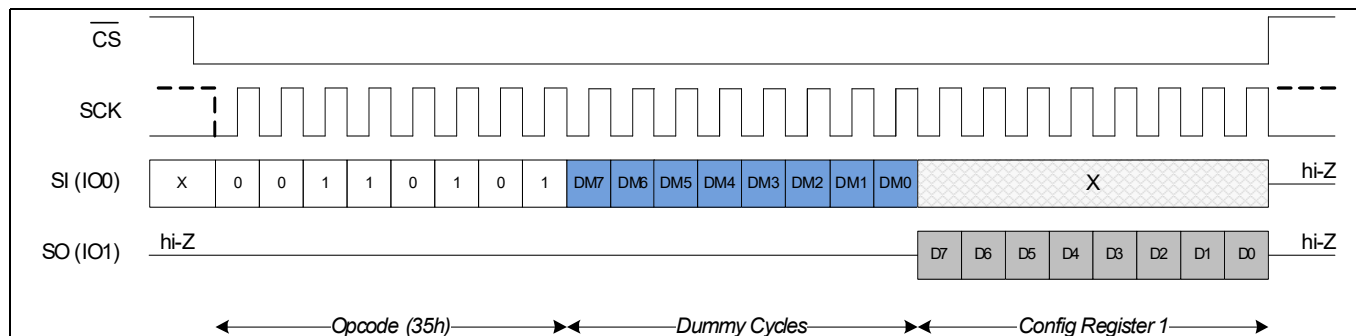


Figure 21 SPI モードでの CR1 (RDCR1) 読み出し

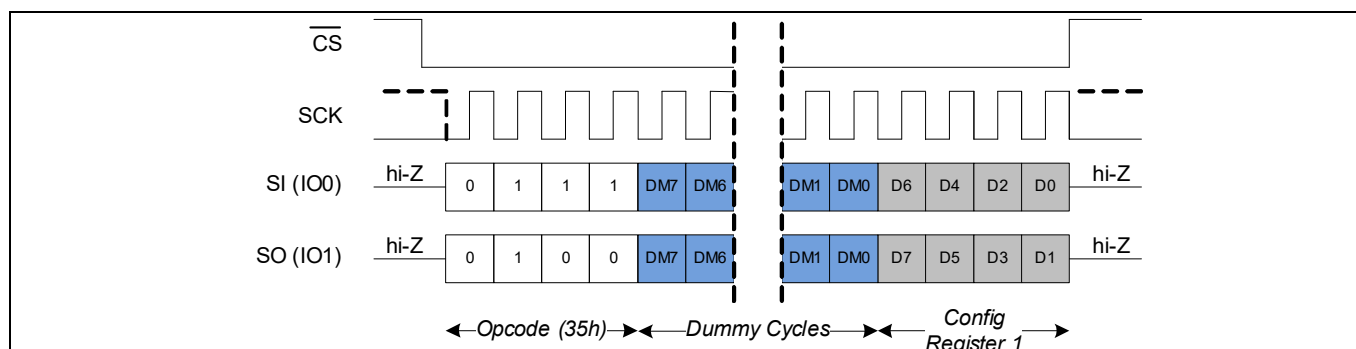


Figure 22 DPI モードでの CR1 (RDCR1) 読み出し

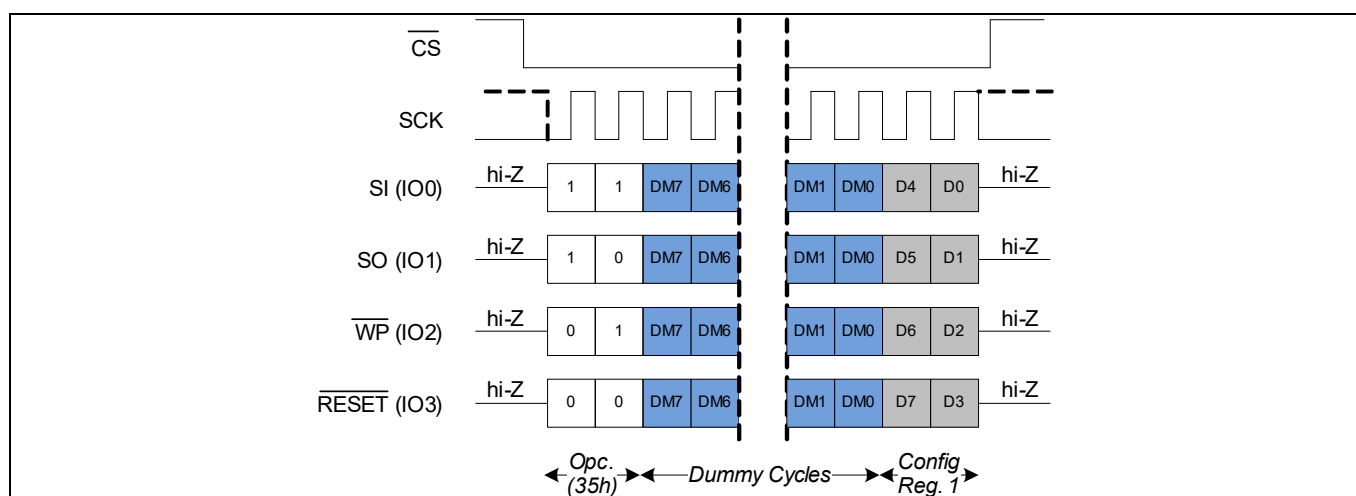


Figure 23 QPI モードでの CR1 (RDCR1) 読み出し

5.1.2.5 コンフィギュレーションレジスタ 2 の読み出し (RDCR2, 3Fh)

RDCR2 コマンドを使用すると、バスマスターはコンフィギュレーションレジスタ 2 (CR2) の内容を確認できます。CR2 を読み出すと、現在の SPI インターフェースオプション (SPI vs DPI vs QPI) および RESET/(I/O3) ステータスに関する情報が提供されます。RDCR2 オペコードに続いて、CY15X102QSN は 1 バイトの CR2 内容を返します。

注:

- RDCR2 は、CR2 の揮発性の内容を返します。
- 示されているダミーサイクルは CR5 のレジスタレイテンシコードビット (RLC0、RLC1) によるコンフィギュレーションオプションです。

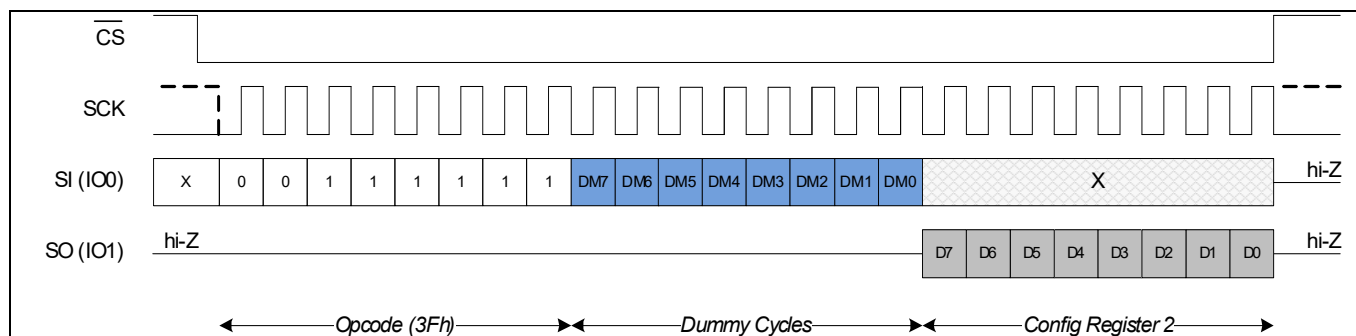


Figure 24 SPI モードでの CR2 (RDCR2) 読み出し

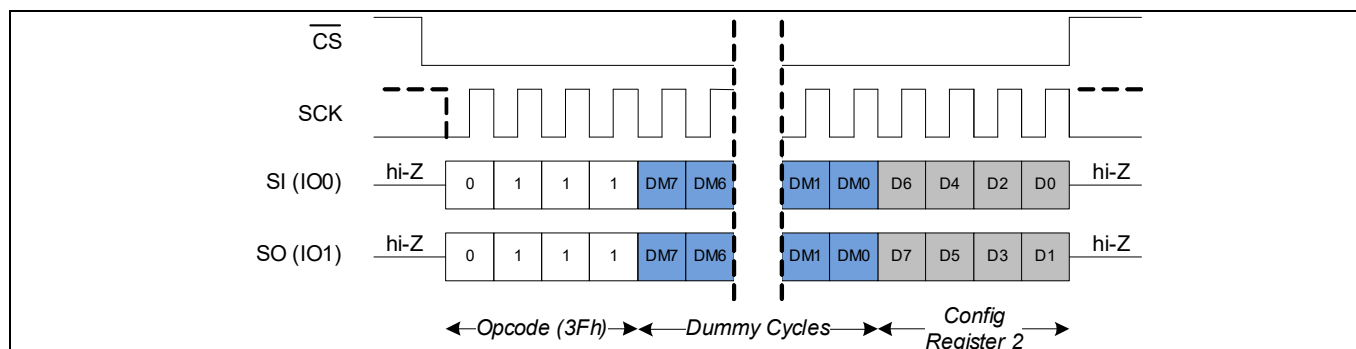


Figure 25 DPI モードでの CR2 (RDCR2) 読み出し

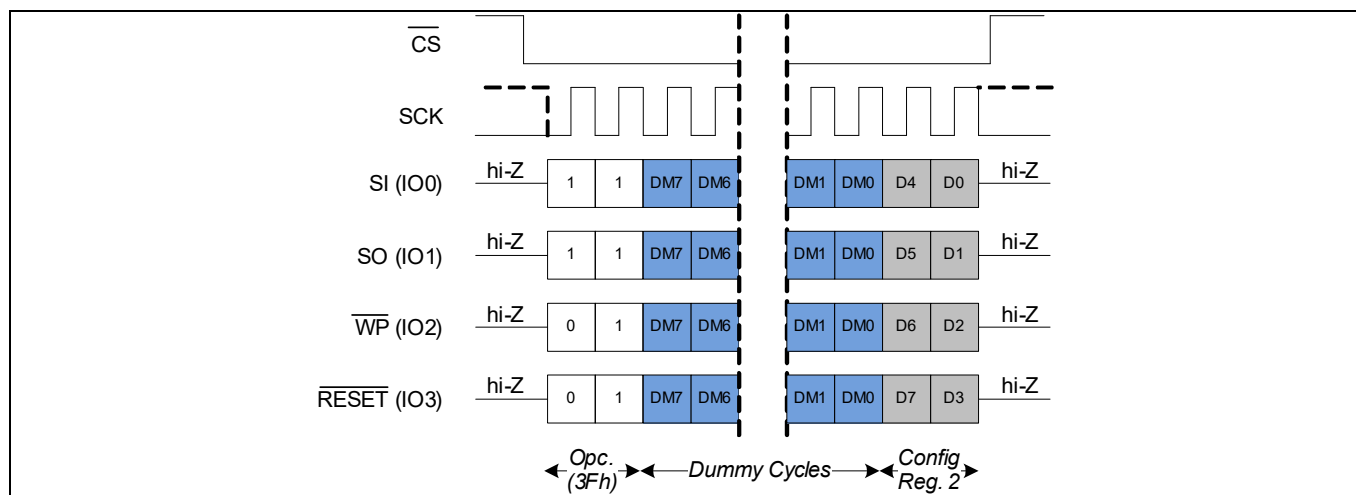


Figure 26 QPI モードでの CR2 (RDCR2) 読み出し

5.1.2.6 コンフィギュレーションレジスタ 4 の読み出し (RDCR4, 45h)

RDCR4 コマンドを使用すると、バスマスターはコンフィギュレーションレジスタ 4 (CR4) の内容を確認できます。CR4 を読み出すと、POR 後の出力インピーダンス設定とデバイスの電源モードステータス (ディープパワーダウンとスタンバイ) に関する情報が得られます。RDCR2 オペコードに続いて、CY15X102QSN は 1 バイトの CR4 内容を返します。

注:

- RDCR4 は、CR4 の揮発性の内容を返します。
- 示されているダミーサイクルは CR5 のレジスタレイテンシコードビット (RLC0、RLC1) によるコンフィギュレーションオプションです。

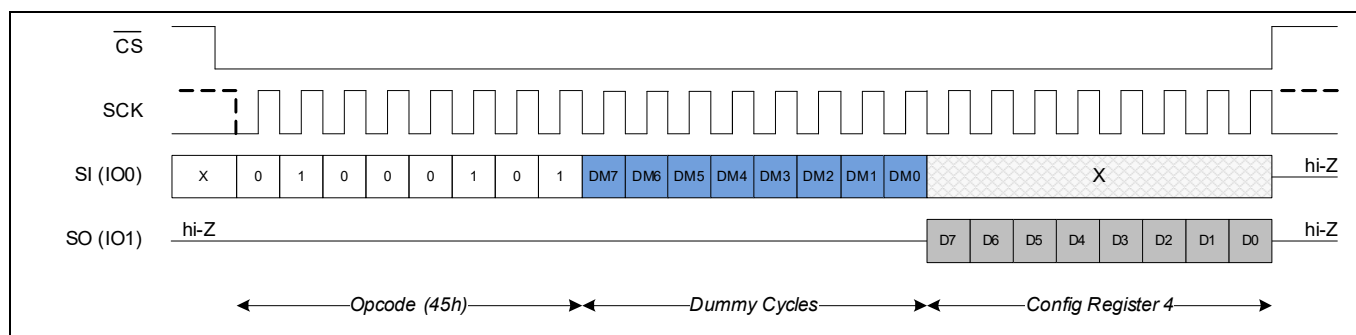


Figure 27 SPI モードでの CR4 (RDCR4) 読み出し

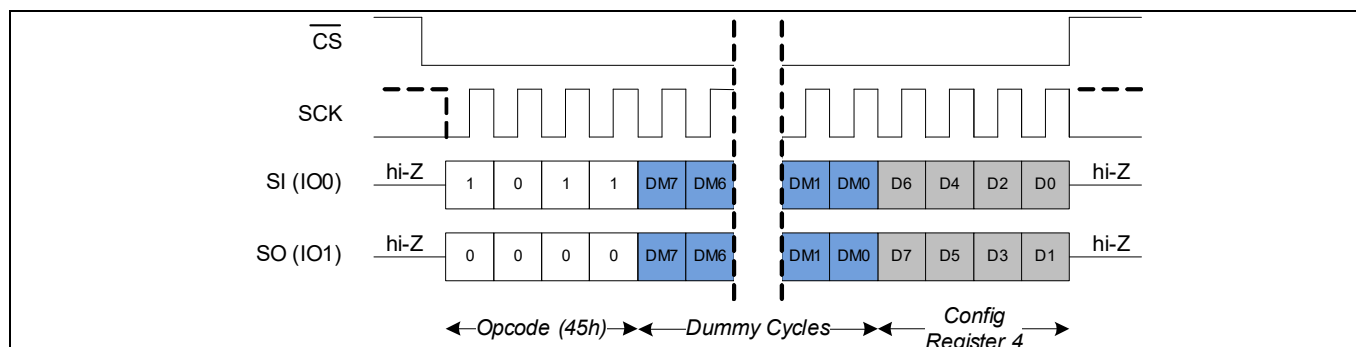


Figure 28 DPI モードでの CR4 (RDCR4) 読み出し

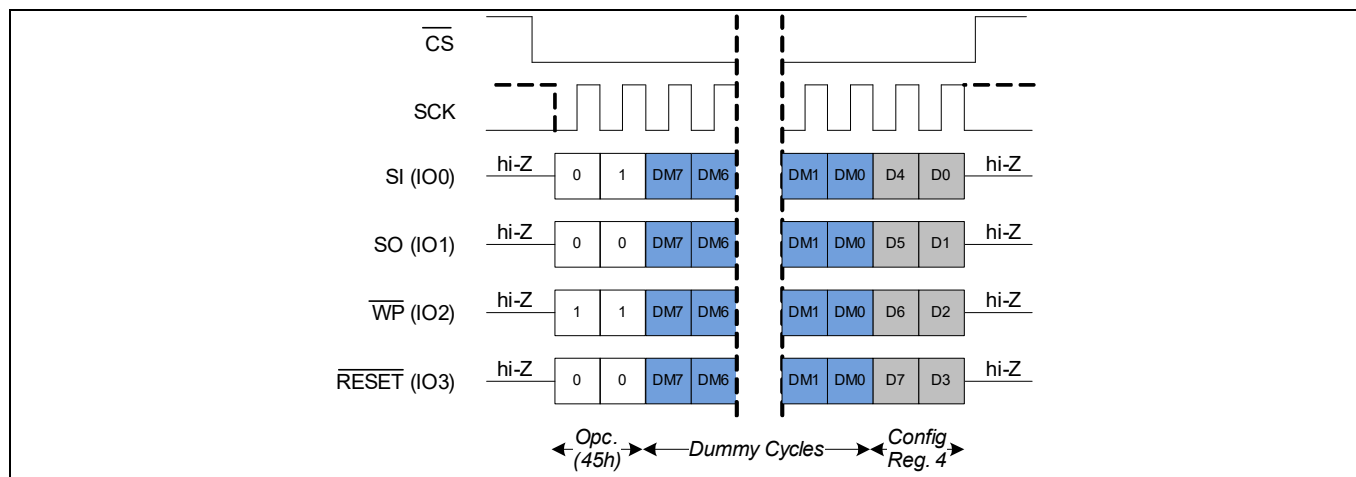


Figure 29 QPI モードでの CR4 (RDCR4) 読み出し

5.1.2.7 コンフィギュレーションレジスタ 5 の読み出し (RDCR5, 5Eh)

RDCR5 コマンドを使用すると、バスマスターはコンフィギュレーションレジスタ 5 (CR5) の内容を確認できます。CR5 の読み出しは、レジスタ読み出しレイテンシサイクル (RLC0、RLC1) 設定に関する情報を提供します。RDCR5 オペコードに続いて、CY15X102QSN は 1 バイトの CR5 内容を返します。

注:

- RDCR5 は、CR5 の揮発性の内容を返します。
- 示されているダミーサイクルは CR5 のレジスタレイテンシコードビット (RLC0、RLC1) によるコンフィギュレーションオプションです。

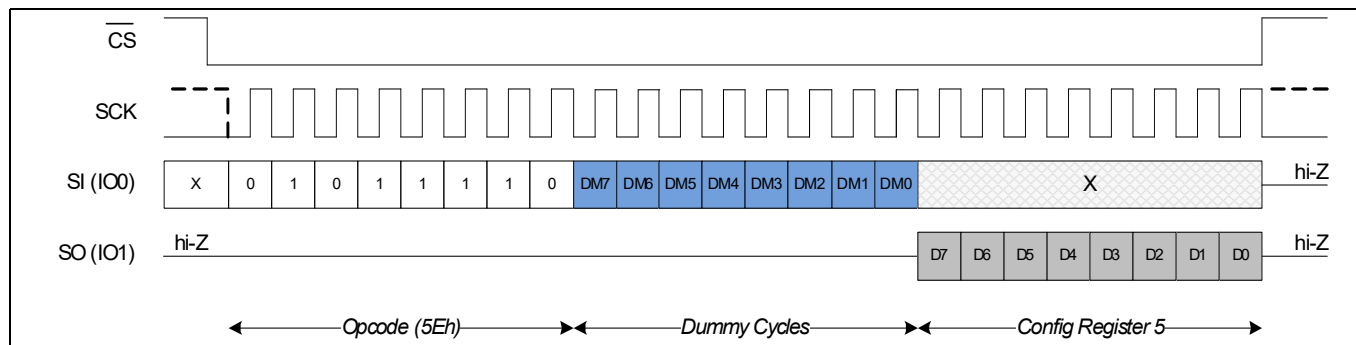


Figure 30 SPI モードでの CR5 (RDCR5) 読み出し

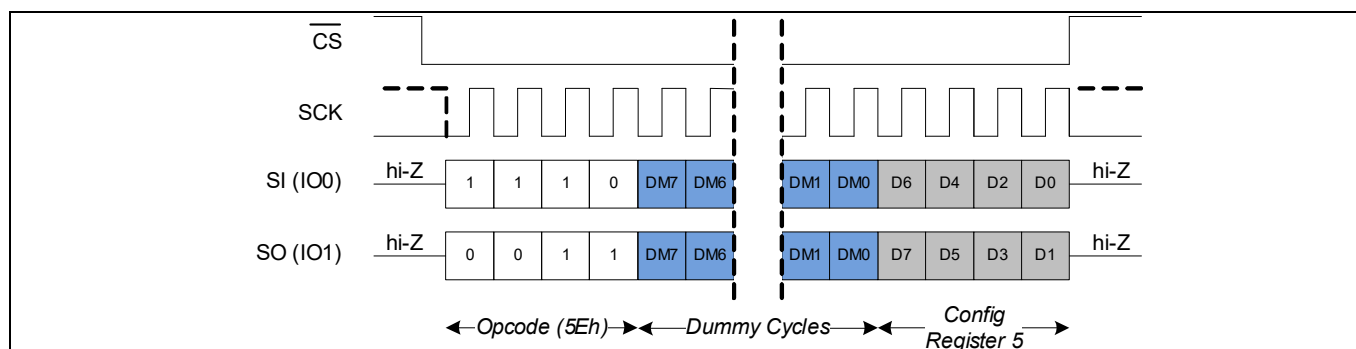


Figure 31 DPI モードでの CR5 (RDCR5) 読み出し

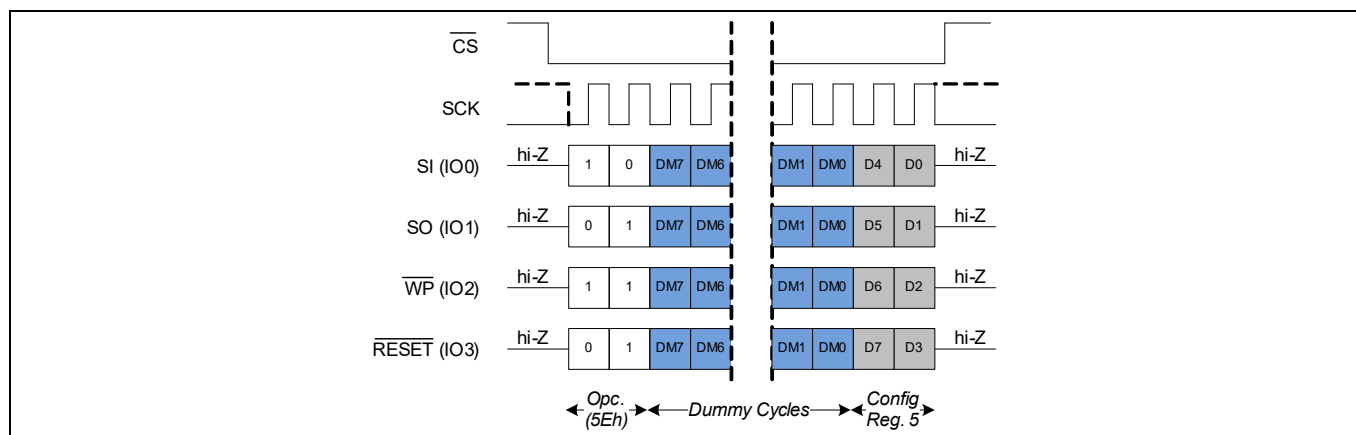


Figure 32 QPI モードでの CR5 (RDCR5) 読み出し

5.1.2.8 任意レジスタ書き込み (WRAR, 71h)

WRAR 命令により、CY15X102QSN レジスタに対し、3 バイト アドレッシングで 1 度に 1 つレジスタに書き込みができます。Table 38 に示すように、WRAR オペコードの後にレジスタの 3 バイトのアドレスが続き、その後に 1 バイトのレジスタデータが書き込まれます。WREN コマンドは WRAR コマンドの前にあり、WRAR の前に WEL ビット「1」を設定します。WEL ビットは WRAR コマンドが完了した後 ($\overline{\text{CS}}$ の立ち上りエッジ)、自動的に「1」にクリアされます。WRAR コマンドは、SR1 の SRWD ビット (SR1[7]) が「1」に設定され、 $\overline{\text{WP}}$ ピンが LOW に駆動される場合、無視されます。

注:

- WRAR コマンドは、指定されたレジスタアドレスでの WRAR コマンドごとに 1 バイトの書き込みのみをサポートします。WRAR コマンドフォーマットを Table 37 に示します。
- WRAR オペコードの後に 3 バイト アドレスフィールドで送信されるレジスタアドレスは、新しいコンフィギュレーションが揮発性ステータス / コンフィギュレーションレジスタのみにプログラムされるか、揮発性および不揮発性ステータス / コンフィギュレーションレジスタの両方にプログラムされるかを決定します。Table 38 に、揮発性レジスタと不揮発性レジスタの両方のレジスタアドレスを示します。

Table 37 汎用書き込み命令レジスタ

命令名	命令の説明	オペコード	アドレスバイト	データバイト
WRAR	任意レジスタ書き込み	71h	3	1

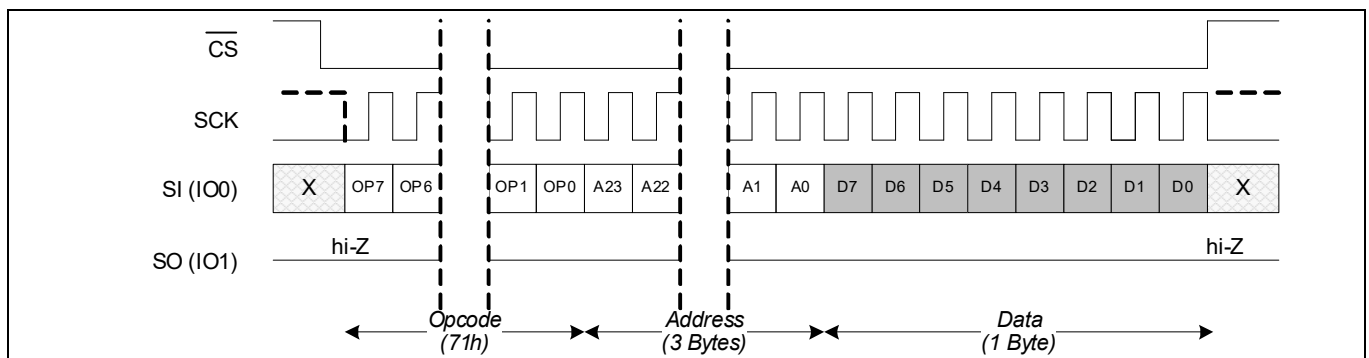


Figure 33 SPI モードでの任意レジスタ書き込み (WRAR)

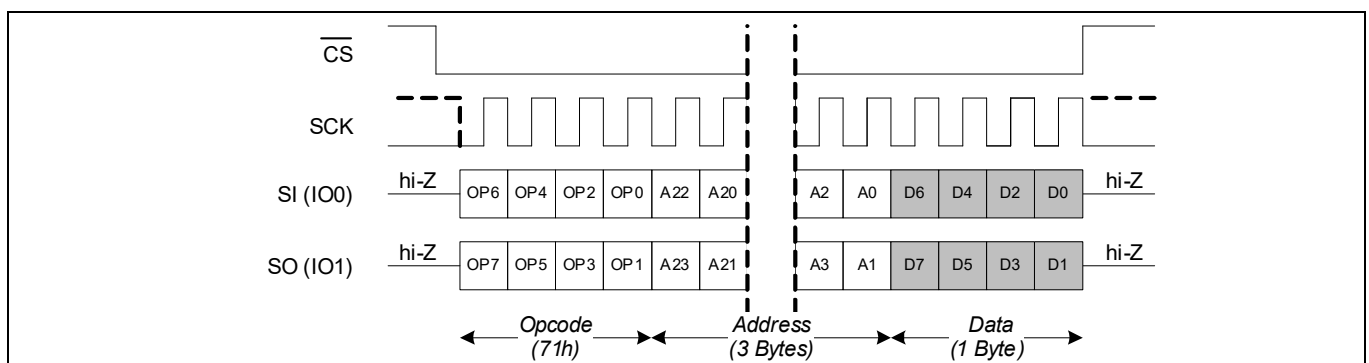


Figure 34 DPI モードでの任意レジスタ書き込み (WRAR)

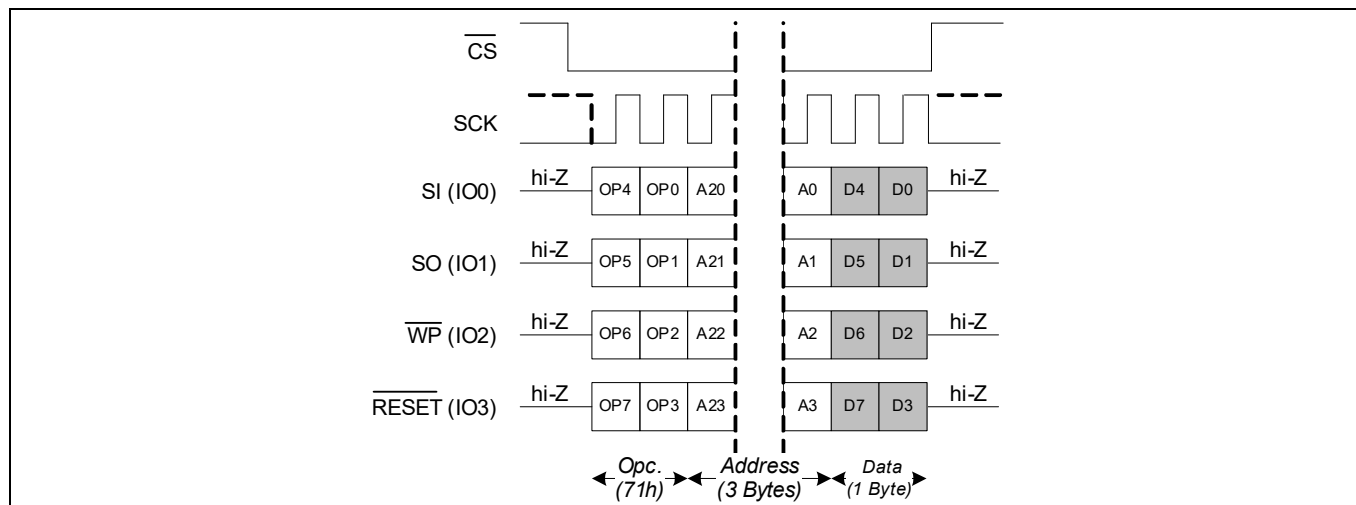


Figure 35 QPI モードでの任意レジスタ書き込み (WRAR)

Table 38 汎用レジスタ アクセスのレジスタ アドレス

機能	レジスタ タイプ	レジスタ コンテンツ ^[17]	WRAR	RDAR ^[17]	レジスタ アドレス ^[16]	
					揮発性	不揮発性
デバイスステータス	ステータス レジスタ 1	揮発性および不揮発性	あり	あり	0x070000	0x000000
	ステータス レジスタ 2	揮発性のみ	なし	あり	0x070001 または 0x000001	
デバイスコンフィギュレーション	コンフィギュレーション レジスタ 1	揮発性および不揮発性	あり	あり	0x070002	0x000002
	コンフィギュレーション レジスタ 2	揮発性および不揮発性	あり	あり	0x070003	0x000003
	コンフィギュレーション レジスタ 4	揮発性および不揮発性	あり	あり	0x070005	0x000005
	コンフィギュレーション レジスタ 5	揮発性および不揮発性	あり	あり	0x070006	0x000006

注:

16. 揮発性レジスタは、POR またはハードウェアリセット後にデフォルト状態に戻ります。POR またはリセットイベント後の揮発性レジスタのステータスについては、Table 59 を参照してください。
17. RDAR コマンドは、常に揮発性レジスタからコンテンツを返します。したがって、RDAR の後に揮発性レジスタアドレスまたは不揮発性レジスタアドレスのいずれかが続くと、同じ値が返されます (それぞれの揮発性レジスタからのみ)。揮発性のみのレジスタには、関連する不揮発性レジスタがありません。

Table 38 汎用レジスタ アクセスのレジスタ アドレス (続き)

機能	レジスタ タイプ	レジスタ コンテンツ ^[17]	WRAR	RDAR ^[17]	レジスタ アドレス ^[16]	
					揮発性	不揮発性
エラー コンフィ ギュレー ション	ECC ステータス レジスタ	揮発性のみ	なし	あり	0x070089 または 0x000089	
	ECC カウント レジスタ [7:0]	揮発性のみ	なし	あり	0x07008A または 0x00008A	
	ECC カウント レジスタ [15:8]	揮発性のみ	なし	あり	0x07008B または 0x00008B	
	ECC アドレストラップレ ジスタ [7:0]	揮発性のみ	なし	あり	0x07008E または 0x00008E	
	ECC アドレストラップレ ジスタ [15:8]	揮発性のみ	なし	あり	0x07008F または 0x00008F	
	ECC アドレストラップレ ジスタ [23:16]	揮発性のみ	なし	あり	0x070040 または 0x000040	
	ECC アドレストラップレ ジスタ [31:24]	揮発性のみ	なし	あり	0x070041 または 0x000041	
巡回冗長 検査 (CRC)	CRC レジスタ [7:0]	揮発性のみ	なし	あり	0x070095 または 0x000095	
	CRC レジスタ [15:8]	揮発性のみ	なし	あり	0x070096 または 0x000096	
	CRC レジスタ [23:16]	揮発性のみ	なし	あり	0x070097 または 0x000097	
	CRC レジスタ [31:24]	揮発性のみ	なし	あり	0x070098 または 0x000098	

注:

16. 揮発性レジスタは、POR またはハードウェアリセット後にデフォルト状態に戻ります。POR またはリセットイベント後の揮発性レジスタのステータスについては、[Table 59](#) を参照してください。
17. RDAR コマンドは、常に揮発性レジスタからコンテンツを返します。したがって、RDAR の後に揮発性レジスタアドレスまたは不揮発性レジスタアドレスのいずれかが続くと、同じ値が返されます (それぞれの揮発性レジスタからのみ)。揮発性のみのレジスタには、関連する不揮発性レジスタがありません。

5.1.2.9 任意レジスタ読み出し (RDAR, 65h)

RDAR 命令を使用すると、3 バイトのアドレス指定でアドレス指定可能なレジスタを一度に 1 つずつ読み出せます。RDAR オペコードに続いて、レジスタの 3 バイト アドレスとダミー サイクル (CR5 に設定されたレジスタレイテンシごと) が続き、その後 CY15X102QSN は出力バスを介して 1 バイトのレジスタ内容を返します。ホストは、1 つのレジスタバイトが受信された後に CS を HIGH にプルすることにより、RDAR コマンドを終了する必要があります。最初に受信したデータバイトの後で CS を LOW に保つと、未定義のデータバイトが返されます。RDAR 命令のタイミング図を [Figure 36](#) ~ [Figure 38](#) に示します。

注:

- ステータスおよびコンフィギュレーションレジスタの読み出しは常にその揮発性スペースからレジスタの内容を返すため、WRAR オペコードに続く 3 バイトのアドレスは、揮発性レジスタまたはそれに関連する不揮発性レジスタのいずれかのレジスタアドレスになります。[Table 38](#) に、揮発性レジスタと不揮発性レジスタの両方のレジスタアドレスを示します。
- 示されているダミーサイクルは CR5 のレジスタレイテンシコードビット (RLC0、RLC1) によるコンフィギュレーションオプションです。

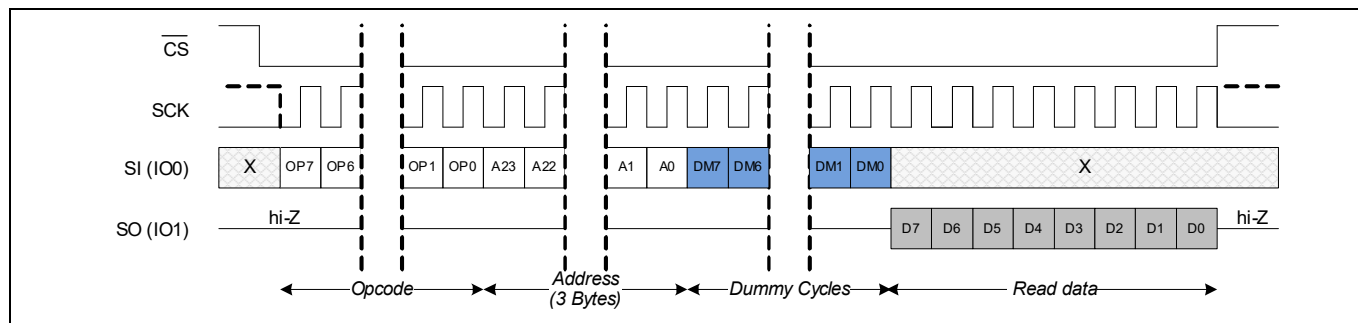


Figure 36 SPI モードでの任意のレジスタ (RDAR) 読み出し

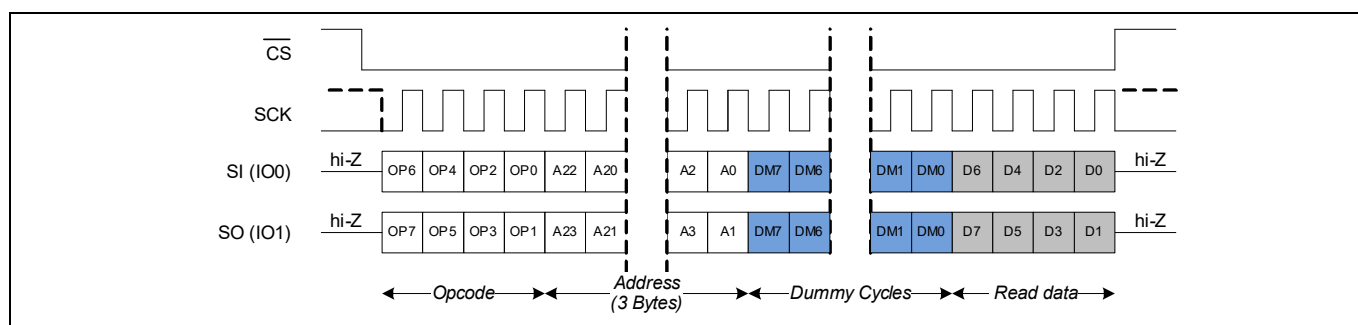


Figure 37 DPI モードでの任意のレジスタ (RDAR) 読み出し

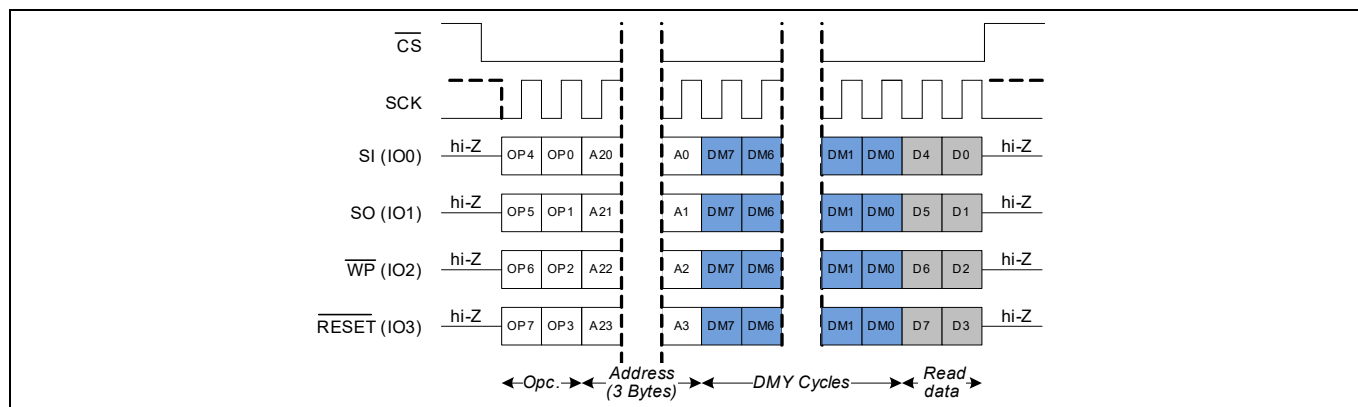


Figure 38 QPI モードでの任意のレジスタ (RDAR) 読み出し

5.1.3 メモリの動作

高いクロック周波数で動作が可能な SPI インターフェースは、F-RAM 技術の高速書き込み機能を際立たせます。シリアルフラッシュと違って、CY15X102QSN はバス速度でシーケンシャルに書き込みを実行できます。ページレジスタは不要で、任意の数の順次書き込みを実行できます。

5.1.4 メモリ書き込み動作コマンド

$\overline{\text{CS}}$ ピンを LOW にすると、メモリ書き込み命令が送信されます。書き込みオペコードの後、3 バイトアドレスと XIP モードバイト (該当する場合) が続きます。CY15X102QSN は、2M ビットコンフィギュレーションのための 18 ビットのアドレス空間が用意されています。最上位アドレスバイトでは A15, A16, A17 はアクティブビットであり、残りの A[23:18] ビットは「ドントケア」です。アドレスビット A17 ~ A0 は、サポートされる場合、(XIP) モードバイトに続いて、SPI バスを介して 3 バイトで送信されます。最後のアドレスビットまたは最後のモードビット (XIP がサポートされる場合) が送信された直後に、データバイト ([D7:0]) が入力ラインを介して送信されます。メモリ書き込み操作は、SDR および DDR バスインターフェースの SPI, 拡張 SPI, DPI, または QPI モードで許可されており、それらの一部は Execute-In-Place (XIP) をサポートします。Table 39 に、さまざまな SPI バスインターフェースおよびデータ転送モードでサポートされるメモリ書き込みコマンドのリストを示します。

注:

- ・バースト書き込みが保護されたブロック アドレスに到達すると、保護された空間へのアドレスのインクリメントを継続しますが、保護されたメモリにデータを書き込みません。アドレスがロールオーバーし、保護されていない空間でバースト書き込みを実行する場合、書き込みが再開されます。バースト書き込みが書き込み保護されたブロック内で開始された場合、同じ処理が行われます。
- ・書き込み中、バイト転送の途中で電源を喪失すると、最後に完了したバイトのみが書き込まれます。

Table 39 **メモリ書き込みコマンド**

コマンド	オペコード (Hex)	コマンドの説明
WRITE	02	メモリ書き込み - F-RAM アレイへの書き込み
DDRWRITE	DE	DDR 書き込み - QPI DDR モードでのメモリ書き込み
FAST_WRITE	DA	メモリ高速書き込み - インプレース実行によるメモリ書き込み
DDR_FAST_WRITE	DD	DDR 高速書き込み - DDR モードでのメモリ高速書き込み
DIW	A2	デュアル入力書き込み - コマンド, アドレス, およびモードバイトはシングル SI ラインで送信され、データバイトはデュアル入力ライン I/O1 (SO), I/O0 (SI) で送信
DIOW	A1	DDR デュアル I/O 書き込み - コマンドはシングル SI ライン, アドレスおよびモードバイトで送信され、データバイトはデュアル入力ライン I/O1 (SO), I/O0 (SI) で送信
QIW	32	クアッド入力書き込み - コマンド, アドレス, およびモードバイトは単一の SI ラインで送信され、データバイトはクアッド入力ライン I/O3 (RESET), I/O2 (WP), I/O1 (SO), I/O0 (SI) で送信
QIOW	D2	クアッド I/O 書き込み - コマンドは単一の SI ライン, アドレスおよびモードバイトで送信され、データバイトはクアッド入力ライン I/O3 (RESET), I/O2 (WP), I/O1 (SO), I/O0 (SI) で送信
DDRQIOW	D1	DDR クアッド I/O 書き込み - DDR モードでのクアッド I/O 書き込み

Table 40 メモリ書き込みコマンドの詳細

コマンド			SPI バス インターフェース							データ転送		XIP	最大クロック周波数
コマンド	オペコード (Hex)	アドレス長	SPI	デュアルデータ	クアッドデータ	デュアル I/O	クアッド IO	DPI	QPI	SDR	DDR	Execute-in-place (mode byte)	
WRITE	02	3 バイト	あり	なし				あり	あり	あり	なし	なし	108 MHz
DDRWRITE	DE	3 バイト	なし						あり	なし	あり	なし	54 MHz
FAST_WRITE	DA	3 バイト	あり	なし				あり	あり	あり	なし	あり	108 MHz
DDR_FAST_WRITE	DD	3 バイト	なし						あり	なし	あり	あり	54 MHz
DIW	A2	3 バイト	なし	あり	なし				あり	なし	あり	108 MHz	
DIOW	A1	3 バイト	なし			あり	なし			あり	なし	あり	108 MHz
QIW	32	3 バイト	なし		あり	なし				あり	なし	あり	108 MHz
QIOW	D2	3 バイト	なし				あり	なし		あり	なし	あり	108 MHz
DDRQIOW	D1	3 バイト	なし				あり	なし		なし	あり	あり	54 MHz

5.1.4.1 書き込み (WRITE, 02h)

書き込み操作は、書き込みデータとともに WRITE オペコードが SPI モードの場合は SI ピン、DPI モードの場合は I/O1 ピンと I/O0 ピン、または QPI モードの I/O3, I/O2, I/O1, および I/O0 ピンで送信される時に実行されます。バースト書き込みを使用すると、新しい WRITE 命令を発行せずに連続したアドレスを書き込みます。1 バイトだけが書き込まれる場合、D0 (データの LSB) が送信された後、 $\overline{\text{CS}}$ ピンを HIGH に駆動する必要があります。しかし、より多くのバイトを書き込む場合、 $\overline{\text{CS}}$ ピンを LOW に維持し、アドレスを自動的にインクリメントさせます。入力ピン上のデータバイトが連続するアドレスに書き込まれます。内部アドレスカウンタが 0x3FFFF に到達すると、アドレスは 0x00000 にロールオーバーし、デバイスは書き込みを継続します。

注:

- WRITE 命令は、WEL ビット (SR1[1]) が「1」に設定されている場合にのみ実行されます。
- WRITE 動作が完了しても WEL ビット (SR1[1]) は「0」にクリアされません。したがって、WRITE 動作に続くいかなる書き込みコマンドも、WEL ビットを「1」に設定するために WREN コマンドを先行させる必要はありません。

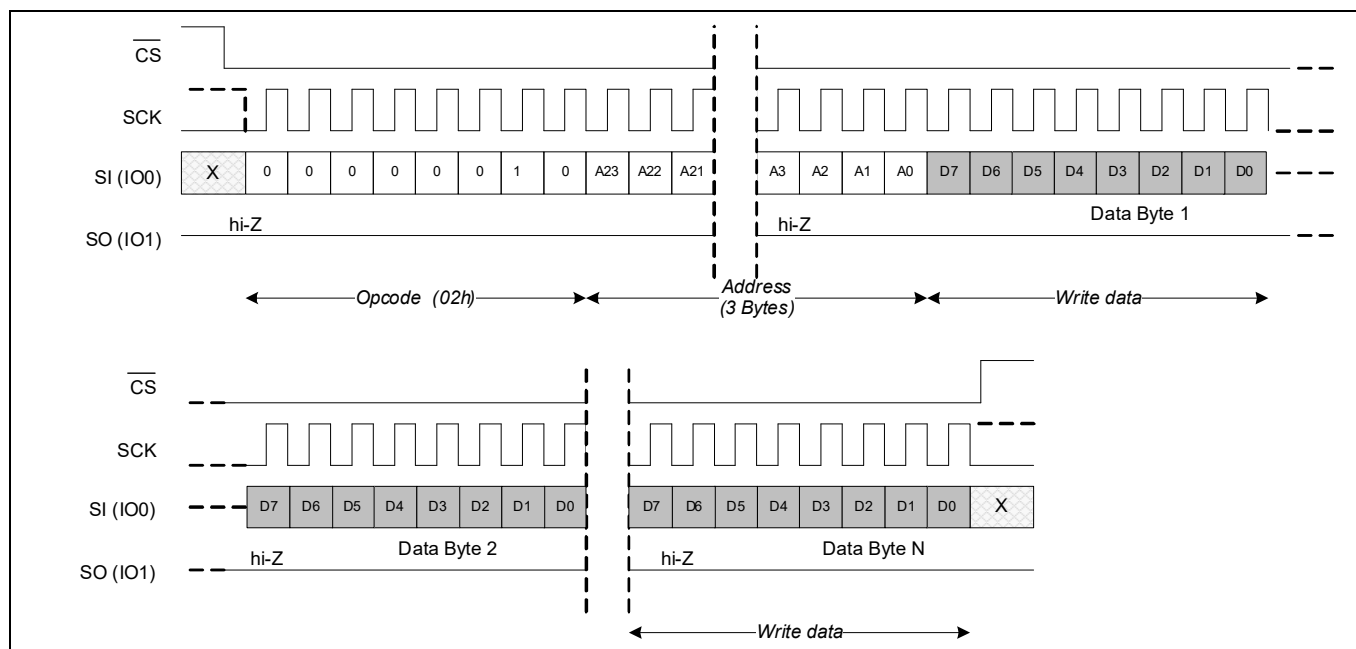


Figure 39 SPI モードでのメモリ書き込み (WRITE)

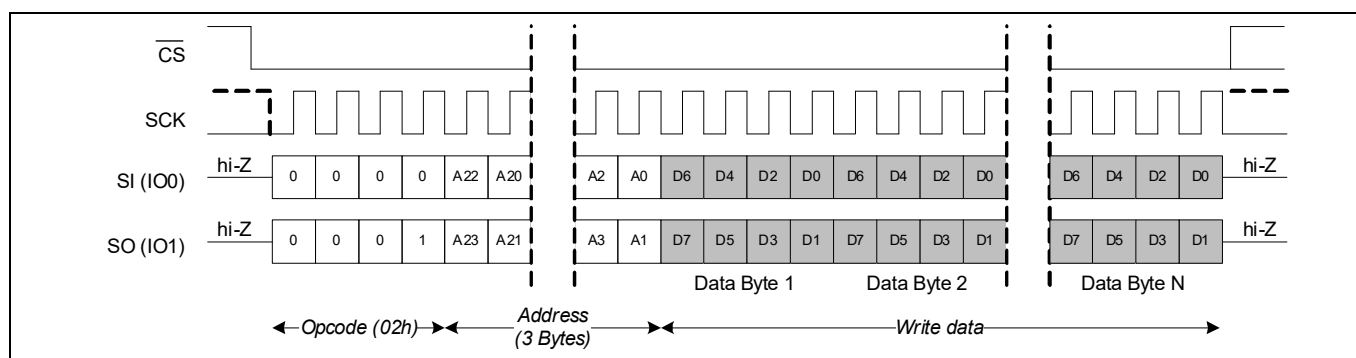


Figure 40 DPI モードでのメモリ書き込み (WRITE)

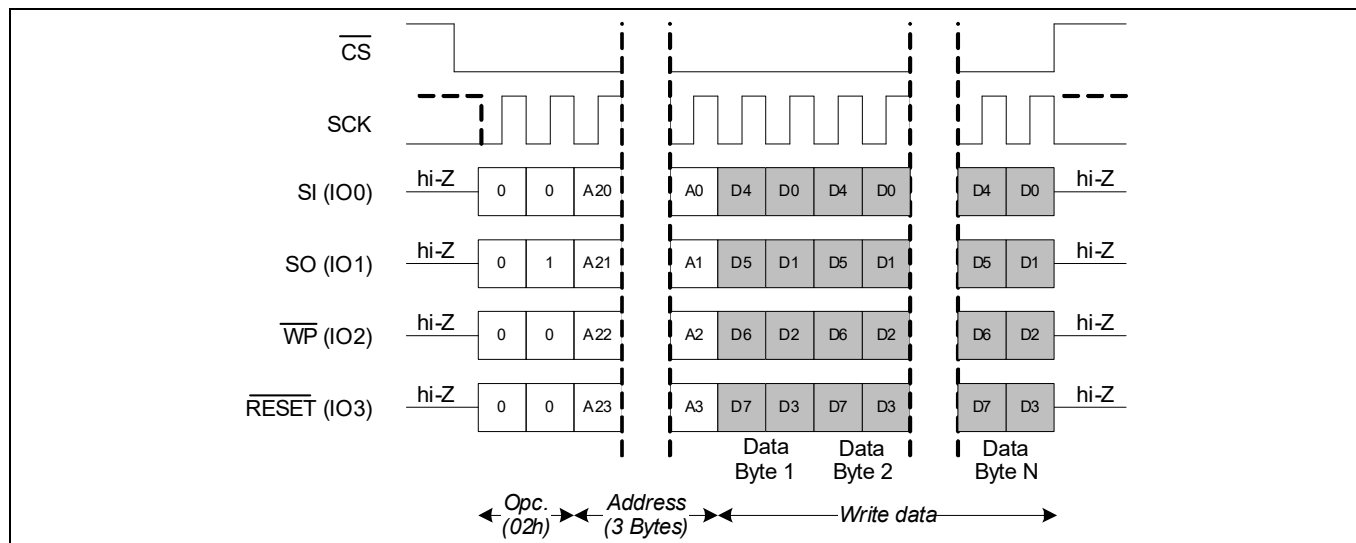


Figure 41 QPI モードでのメモリ書き込み (WRITE)

5.1.4.2 DDR 書き込み (DDRWRITE, DEh)

DDRWRITE 命令は、SCK の両端でアドレスビットとデータビットを転送することにより、帯域幅を改善します。アドレスはメモリ アレイの任意のバイト位置から開始できます。各データバイトがシフトアウトされた後、アドレスは次の上位アドレスに自動的にインクリメントします。したがって、メモリ全体を 1 つの書き込みオペコードと提供された開始アドレスで書き込めます。最高のアドレス 0x3FFFF に達すると、アドレスカウンタがラップアラウンドして 0x000000 にロールバックし、読み出しシーケンスを無期限に続行できるようにします。このオペコードは SPI モード 3 をサポートしません。

注：

- DDRWRITE 命令は、書き込み操作を有効にするために WEL ビットが「1」に設定されている場合にのみデバイスで実行できます。
- DDRWRITE 動作が完了しても、WEL ビットは「0」にリセットされません。

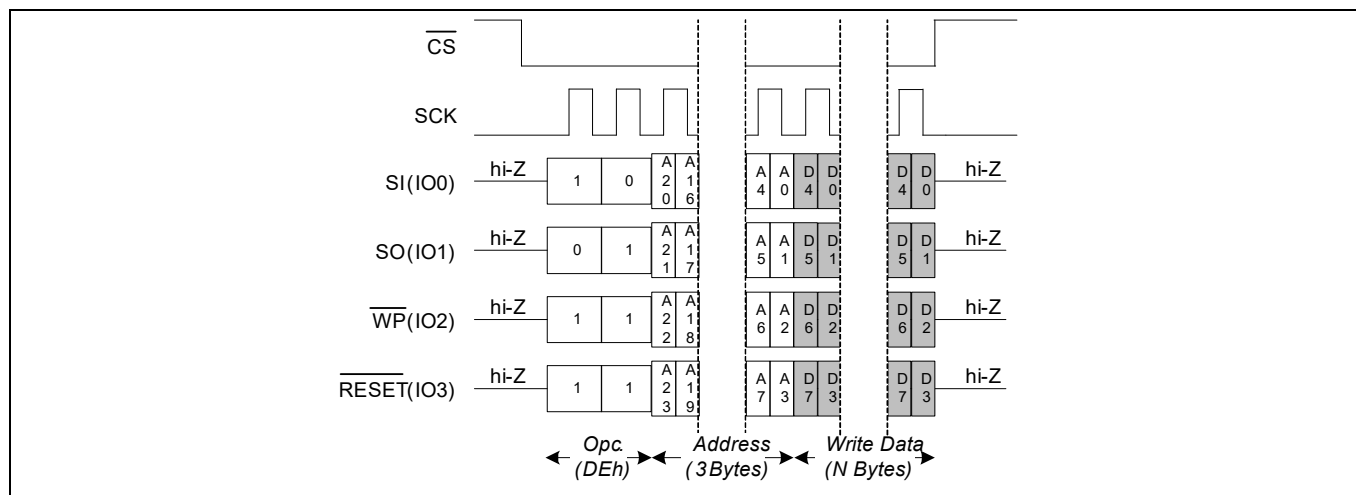


Figure 42 QPI モードでの DDR 書き込み (DDRWRITE)

5.1.4.3 高速書き込み (FAST_WRITE, DAh)

FAST_WRITE 命令は、モードバイトを介して設定された XIP 操作を許可することを出いて、WRITE 命令に似ています。モードビットは、最初の命令が Axh モードビット (「1010XXXX」) パターンを送信した後、一連の高速書き込み命令を可能にし、8 ビット オペコードを省略します。Execute-In-Place (XIP) と呼ばれるこの機能は、初期アクセス時間を短縮します (パフォーマンスを向上させます)。モードビットは、最初のバイト命令オペコードを含めるか除外するかによって、次の高速書き込み操作の長さを制御します。モードビットが Axh の場合、デバイスは連続高速書き込みモードに移行し、DAh オペコードを必要とせずに次のアドレスを書き込みます (CS を HIGH にしてから LOW にアサートした後)。そのため、命令シーケンスから 8 サイクルを省けます。そうでない場合、CS が HIGH から LOW にいったん遷移するとオペコードは必要となります。

注:

- !Axh (Axh バイトの論理否定) を含むモードビットは、FAST_WRITE XIP モードを終了します。
- FAST_WRITE 命令は、ステータスレジスタの書き込みイネーブルラッチ (WEL) が「1」に設定されて書き込み操作が有効になっている場合にのみ、デバイスで実行できます。
- FAST_WRITE 操作の完了時に、WEL ビットは「0」にリセットされません。

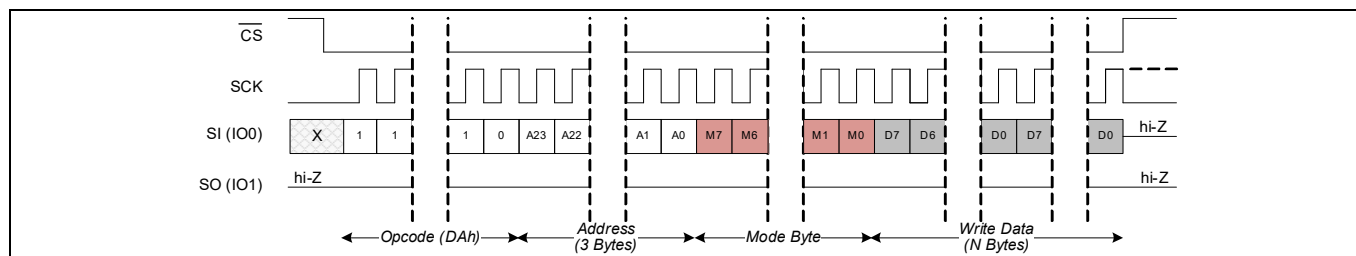


Figure 43 SPI モードでの高速書き込み (FAST_WRITE)

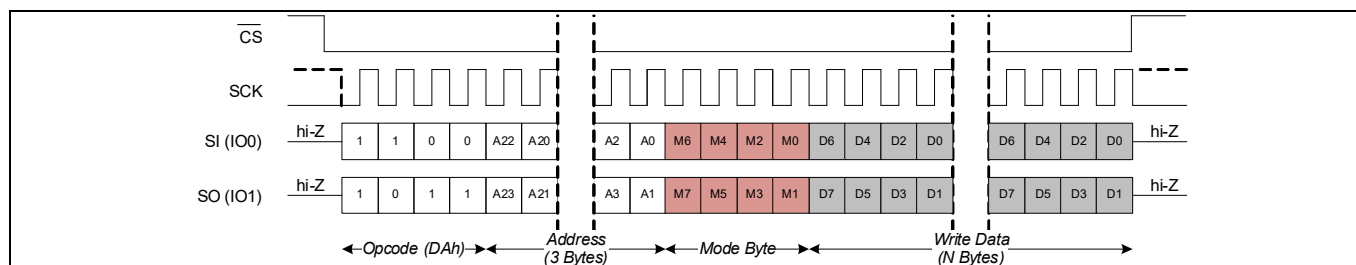


Figure 44 DPI モードでの高速書き込み (FAST_WRITE)

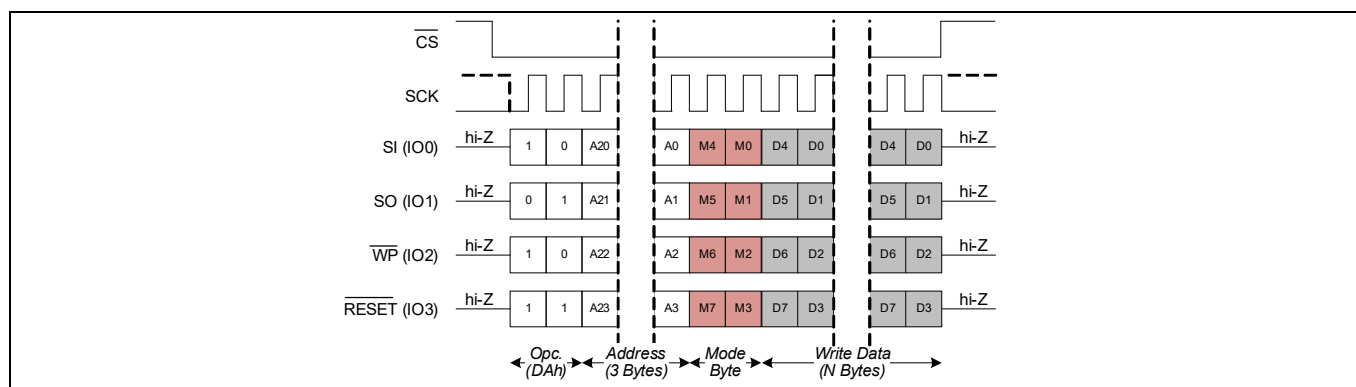


Figure 45 QPI モードでの高速書き込み (FAST_WRITE)

5.1.4.4 DDR 高速書き込み (DDR_FAST_WRITE, DDh)

DDR_FAST_WRITE 命令は XIP 動作を可能にする点を除いて、DDRWRITE 命令に似ています。

モードビットは、最初の命令が A5h モードビット (「10100101」) パターンを送信した後、一連の DDR_FAST_WRITE 命令を可能にし、8 ビット オペコードを省略します。Execute-In-Place (XIP) と呼ばれるこの機能は、初期アクセス時間を大幅に短縮します (パフォーマンスを向上させます)。モードビットは、最初のバイト命令オペコードを含めるか除外するかによって、次の DDR_FAST_WRITE 操作の長さを制御します。モードビットが A5h の場合、デバイスは連続 DDR_FAST_WRITE モードに移行し、DDh オペコードを必要とせずに次のアドレスを書き込みます (CS を HIGH にしてから LOW にアサートした後)。そのため、命令シーケンスから 8 サイクルを省けます。そうでない場合、CS が HIGH から LOW にいったん遷移するとオペコードは必要となります。このオペコードは SPI モード 3 をサポートしません。

注:

- モードビットが !A5h (A5h バイトの論理否定) の場合、DDR_FAST_WRITE XIP モードが終了します。
- 書き込み動作を行うために WEL ビットが「1」に設定される場合にのみ、DDR_FAST_WRITE 命令はデバイスによって実行されます。
- DDR_FAST_WRITE 動作が完了しても、WEL ビットは「0」にリセットされません。

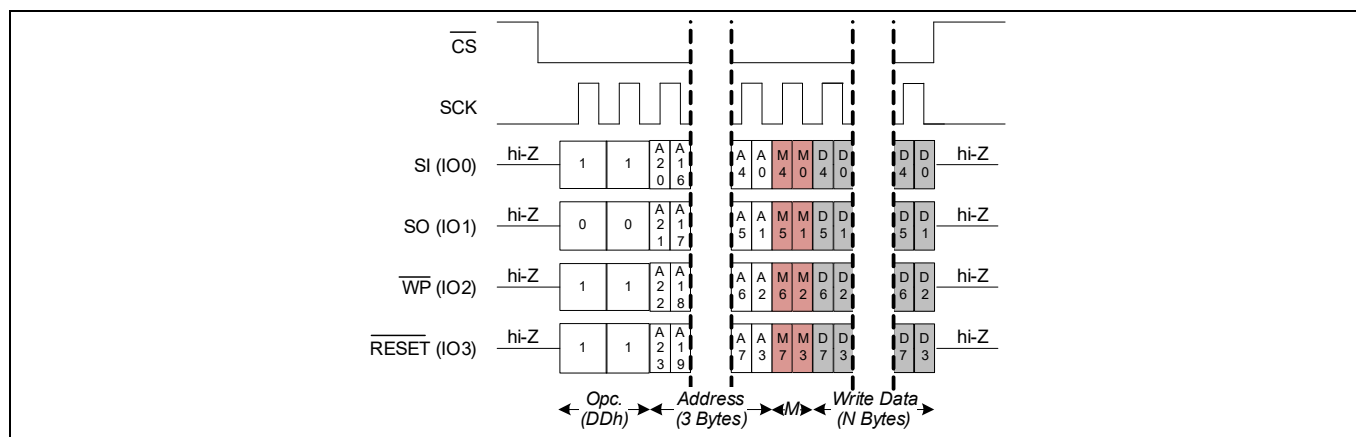


Figure 46 QPI モードでの DDR 高速書き込み (DDR_FAST_WRITE)

5.1.4.5 デュアル入力書き込み (DIW, A2h)

DIW 命令は、拡張 SPI 書き込み命令の一部であるデュアルデータモードで使用できます。デュアルデータモードでは、オペコード、アドレス、およびモードのバイトは、クロックサイクルごとに 1 ビットで SI ピンを介して送信されます。最後のアドレスビットが送信された直後、SO を I/O1、SI を I/O0 に再コンフィギュレーションします。この場合、データ (D[7:0]) は I/O1 を介して D7、I/O0 を介して D6 から始まりクロックサイクルごとに 2 ビット送信されます。

モードビットは、最初の命令が Axxh モードビット (「1010XXXX」) パターンを送信した後、一連の DIW 命令を可能にし、8 ビットオペコードを省略します。この機能は、Execute-In-Place (XIP) と呼ばれ、初期アクセス時間を短縮します (パフォーマンスを向上させます)。モードビットは、最初のバイト命令オペコードを含めるか除外するかによって、次の DIW 演算の長さを制御します。モードビットが Axxh の場合、デバイスは連続 DIW モードに移行し、A2h オペコードを必要とせずに次のアドレスを書き込みます (\overline{CS} を HIGH にしてから LOW にアサートした後)。そのため、命令シーケンスから 8 サイクルを省けます。そうでない場合、 \overline{CS} が HIGH から LOW にいったん遷移するとオペコードは必要となります。

注:

- モードビットが !Axxh (Axxh バイトの論理否定) の場合、DIW XIP モードが終了します。
- 書き込み動作を行うために WEL ビットが「1」に設定される場合にのみ、DIW 命令はデバイスによって実行されます。
- DIW 動作が完了しても、WEL ビットは「0」にリセットされません。

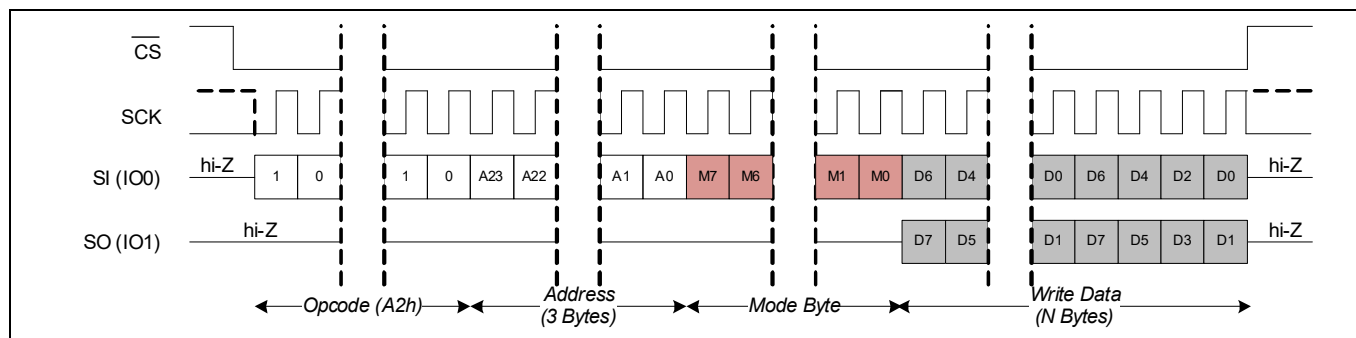


Figure 47 デュアル入力書き込み (DIW)

5.1.4.6 デュアル I/O 書き込み (DIOW, A1h)

DIOW 命令は、拡張 SPI 書き込み命令の一部であるデュアルアドレス / データモードで使用できます。デュアルアドレス / データモードでは、オペコードはクロックサイクルごとに 1 ビットで SI ピンを介して送信されます。最後のオペコードビットが送信された直後、SO を I/O1、SI を I/O0 に再コンフィギュレーションします。このとき、3 バイト アドレスが入力されるまで、モード バイトと共にアドレスは I/O1 を介して A23、I/O0 を介して A22 から始まりクロックサイクルごとに 2 ビット送信されます。最後のアドレスビットが送信された後、データ (D[7:0]) はデバイスに I/O1 を介して D7、I/O0 を介して D6 から始まる 2 ビットがクロックサイクルごとに送信されます。

モード ビットは、最初の命令が Axxh モード ビット (「1010XXXX」) パターンを送信した後、一連の DIOW 命令を可能にし、8 ビット オペコードを省略します。Execute-In-Place (XIP) と呼ばれるこの機能は、初期アクセス時間を大幅に短縮します (パフォーマンスを向上させます)。モード ビットは、最初のバイト命令オペコードを含めるか除外するかによって、次の DIOW 演算の長さを制御します。モード ビットが Axxh の場合、デバイスは連続 DIOW モードに移行し、A1h オペコードを必要とせずに次のアドレスを書き込みます ($\overline{\text{CS}}$ を HIGH にしてから LOW にアサートした後)。そのため、命令シーケンスから 8 サイクルを省けます。そうでない場合、 $\overline{\text{CS}}$ が HIGH から LOW にいったん遷移するとオペコードは必要です。

注:

- モード ビットが !Axxh (Axxh バイトの論理否定) の場合、DIOW XIP モードが終了します。
- 書き込み動作を行うために WEL ビットが「1」に設定される場合にのみ、DIOW 命令はデバイスによって実行されます。
- DIOW 動作が完了しても、WEL ビットは「0」にリセットされません。

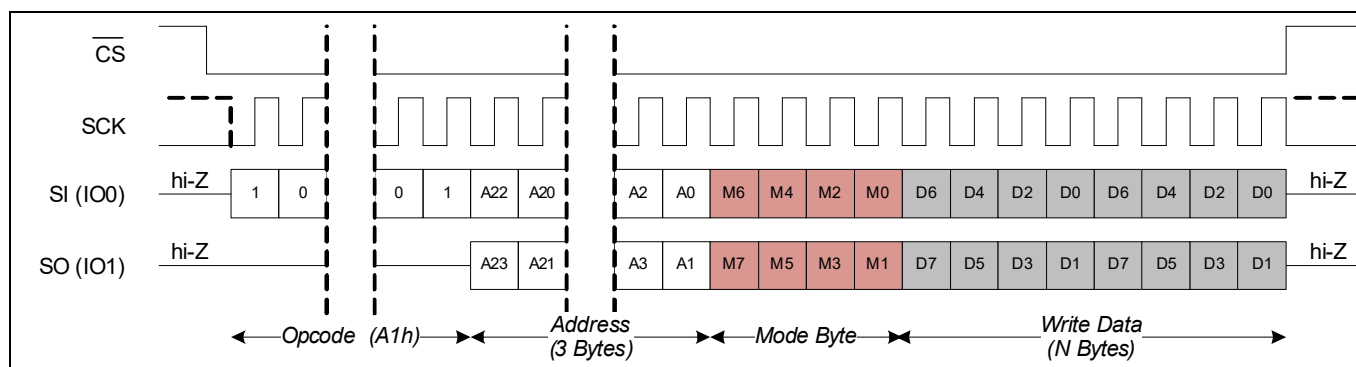


Figure 48 デュアル I/O 書き込み (DIOW)

5.1.4.7 クアッド入力書き込み (QIW, 32h)

QIW 命令は、拡張 SPI 書き込み命令の一部であるクアッドデータモードで使用されます。クアッドデータモードでは、オペコード、アドレス、およびモードのバイトは、クロックサイクルごとに 1 ビットで SI ピンを介して送信されます。最後のアドレスビットが送信された直後、RESET を I/O3、WP を I/O2、SO を I/O1、SI を I/O0 に再コンフィギュレーションします。この場合、データ (D7 ~ D0) は I/O3 を介して D7、I/O2 を介して D6、I/O1 を介して D5、I/O0 を介して D4 から始まる 4 ビットがクロックサイクルごとに送信されます。

モードビットは、最初の命令が Axh モードビット (「1010XXXX」) パターンを送信した後、一連の QIW 命令を可能にし、8 ビット オペコードを省略します。Execute-In-Place (XIP) と呼ばれるこの機能は、初期アクセス時間を大幅に短縮します (パフォーマンスを向上させます)。モードビットは、最初のバイト命令オペコードを含めるか除外するかによって、次の QIW 演算の長さを制御します。モードビットが Axh の場合、デバイスは連続 QIW モードに移行し、32h オペコードを必要とせずに次のアドレスを書き込みます (CS を HIGH にしてから LOW にアサートした後)。そのため、命令シーケンスから 8 サイクルを省けます。そうでない場合、CS が HIGH から LOW にいったん遷移するとオペコードは必要です。

注:

- モードビットが !Axh (Axh バイトの論理否定) の場合、QIW XIP モードが終了します。
- 書き込み動作を行うためにステータスレジスタの書き込みイネーブルラッチ (WEL) が「1」に設定される場合にのみ、QIW 命令はデバイスによって実行されます。
- QIW 動作が完了しても、WEL ビットは「0」にリセットされません。

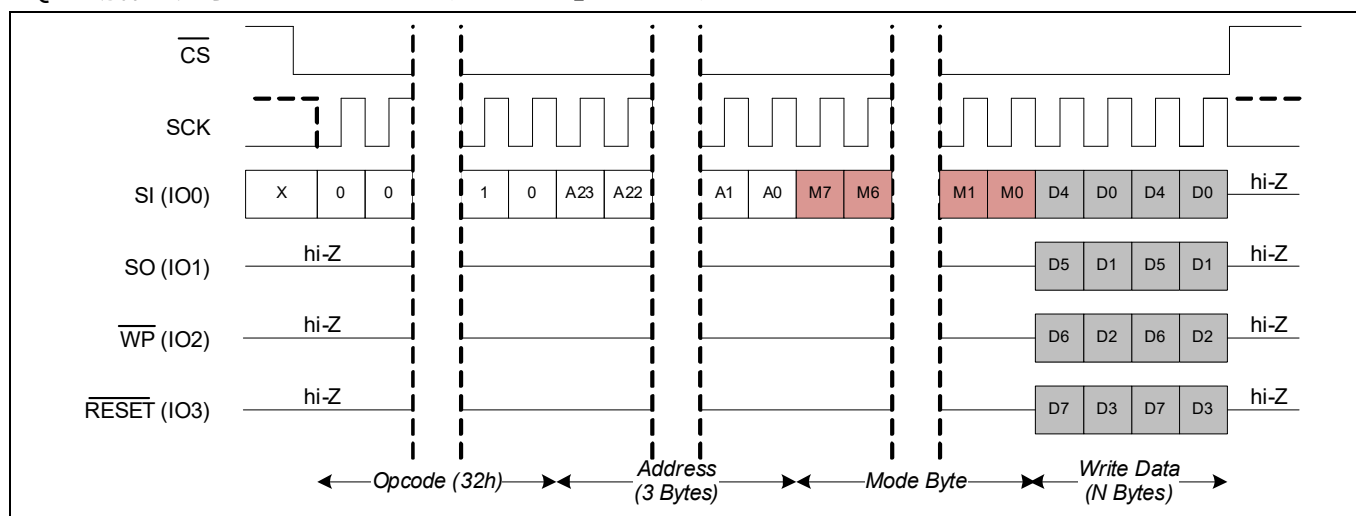


Figure 49 クアッド入力書き込み (QIW)

5.1.4.8 クアッド I/O 書き込み (QIOW, D2h)

QIOW 命令は拡張 SPI 書き込み命令の一部で、Quad アドレス / データ モードで使用できます。クアッド アドレス / データ モードでは、オペコードは SI ピンを介してクロックサイクルごとに 1 ビット送信されます。最後のオペコード ビットが送信された直後、RESET を I/O3、WP を I/O2、SO を I/O1、SI を I/O0 に再コンフィギュレーションします。このとき、3 バイト アドレスが入力されるまでアドレスは I/O3 を介して A23、I/O2 を介して A22、I/O1 を介して A21、I/O0 を介して A20 から始まる 4 ビットがクロックサイクルごとに送信されます。最後のアドレス ビットが送信された後、データ (D7 ~ D0) は I/O3、I/O2、I/O1、および I/O0 経由で (I/O3 を介して D7、I/O2 を介して D6、I/O1 を介して D5、I/O0 を介して D4 から始まる) 4 ビットがクロックサイクルごとに送信されます。

モードビットは、最初の命令が Axh モードビット (「1010XXXX」) パターンを送信した後、一連の QIOW 命令を可能にし、8 ビット オペコードを省略します。Execute-In-Place (XIP) と呼ばれるこの機能は、初期アクセス時間を大幅に短縮します (パフォーマンスを向上させます)。モードビットは、最初のバイト命令オペコードを含めるか除外するかによって、次の QIOW 演算の長さを制御します。モードビットが Axh の場合、デバイスは連続 D1OW モードに移行し、D2h オペコードを必要とせずに次のアドレスを書き込みます (CS を HIGH にしてから LOW にアサートした後)。そのため、命令シーケンスから 8 サイクルを省けます。そうでない場合、CS が HIGH から LOW にいったん遷移するとオペコードは必要です。

注:

- モードビットが !Axh (Axh バイトの論理否定) の場合、QIOW XIP モードが終了します。
- 書き込み動作を行うためにステータスレジスタの書き込みイネーブルラッチ (WEL) が「1」に設定される場合にのみ、QIOW 命令はデバイスによって実行されます。
- QIOW 動作が完了しても、WEL ビットは「0」にリセットされません。

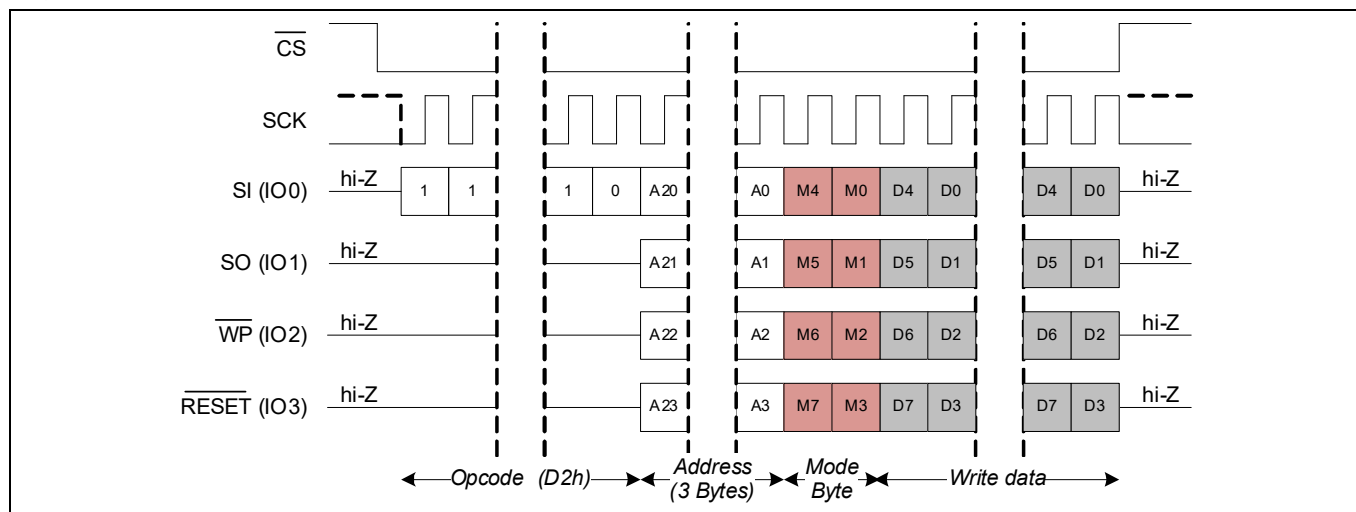


Figure 50 クアッド I/O 書き込み (QIOW)

5.1.4.9 DDR クアッド I/O 書き込み (DDRQIOW, D1h)

ダブルデータレート (DDR) のクアッド I/O 書き込みはクアッド I/O と似ていますが、アドレスとデータがクロックのすべてのエッジで送信され、DDRQIOW のモードビットパターンが A5h (「10100101」) である点が異なります。このオペコードは SPI モード 3 をサポートしません。

注: !A5h (A5h バイトの論理 NOT) を含むモードビットは、DDRQIOWXIP モードを終了します。

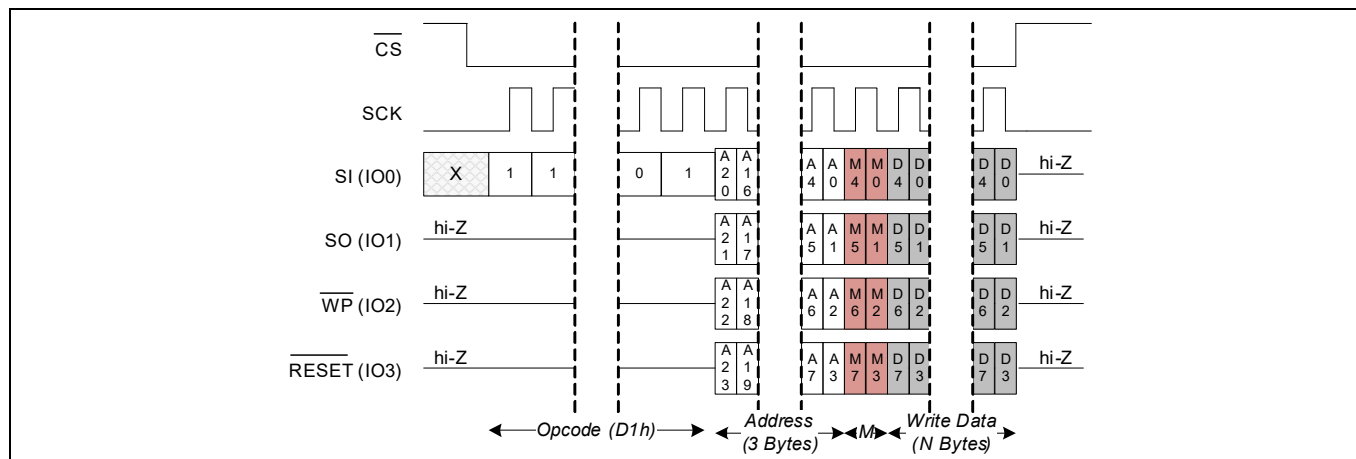


Figure 51 クアッド I/O 書き込み (QIOW)

5.1.5 メモリ読み出し動作コマンド

メモリ読み出し命令はデバイスを選択するために \overline{CS} ピンが LOW に遷移後に送られます。読み出されたオペコードの後に、XIP の 3 バイトのアドレスとモードバイトが続きます (該当する場合)。CY15X102QSN は、2M ビットコンフィギュレーションのための 18 ビットのアドレス空間が用意されています。最上位アドレスバイトには A15, A16, および A17 のアクティブビットが含まれ、残りのビットは「ドントケア」と見なされます。アドレス ビット A17 ~ A0 は SPI バスを介して 3 バイト送信され、その後、モードバイトとダミーサイクル (該当する場合) が送信されます。

メモリ読み出しは、SDR および DDR バスインターフェースで SPI, 拡張 SPI, DPI, または QPI モードをサポートし、インプレース実行 (XIP) サポートを含みます。Table 41 に、さまざまな SPI バスインターフェースおよびデータ転送モードでサポートされているメモリ読み出しコマンドのリストを示します。

Table 41 **メモリ読み出しコマンド**

コマンド	オペコード (Hex)	コマンドの説明
READ	03	メモリ読み出し - SPI/SDR モードではメモリレイテンシサイクルなしで最大 50MHz を読み出し、SPI, DPI, QPISDR モードではメモリレイテンシサイクルありで最大 108MHz を読み出します
FAST_READ	0B	メモリ高速読み出し - SPI, DPI, QPISDR モードのメモリレイテンシサイクルで最大 108MHz を読み出します
DDRFR	0D	DDR 高速読み出し - QPIDDR モードでの高速読み出し命令
DOR	3B	デュアル出力読み出し - コマンドバイトとアドレスバイトはシングル SI ラインで送信され、データはデュアル出力ライン I/O1 (SO), I/O0 (SI) で送信されます
DIOR	BB	デュアル I/O 読み出し - コマンドはシングル SI ラインで送信され、アドレス入力とデータ出力はデュアル出力ライン I/O1 (SO), I/O0 (SI) で送信されます。
QOR	6B	クアッド出力読み出し - コマンドとアドレスは単一の SI ラインで送信され、データはクアッド出力ライン I/O3 (RESET), I/O2 (WP), I/O1 (SO), I/O0 (SI) で送信されます。
QIOR	EB	クアッド I/O 読み出し - コマンドは単一の SI ラインで送信され、アドレス入力とデータ出力はクアッド出力ライン I/O3 (RESET), I/O2 (WP), I/O1 (SO), I/O0 (SI) で送信されます。このオペコードは、拡張 SPI (クアッド I/O) SDR および QPI SDR モードで実行されます
DDRQIOR	ED	SDR および DDR モードでのクアッド I/O 読み出し。このオペコードは、拡張 SPI (クアッド I/O) SDR および QPI DDR モードで実行されます。

Table 42 **メモリ読み出しコマンドの詳細**

オペコード (Hex)	アドレス長	SPI バス インターフェース							データ転送		XIP	メモリレイテンシ	最大クロック周波数
		SPI	デュアルデータ	クアッドデータ	デュアル I/O	クアッド I/O	DPI	QPI	SDR	DDR	Execute-in-place	ダミーサイクル	
03	3 バイト	あり	なし				あり	あり	あり	なし	なし	あり	108 MHz
0B	3 バイト	あり	なし				あり	あり	あり	なし	あり	あり	108 MHz
0D	3 バイト	なし						あり	なし	あり	あり	あり	54 MHz
3B	3 バイト	なし	あり	なし					あり	なし	あり	あり	108 MHz
BB	3 バイト	なし				あり	なし		あり	なし	あり	あり	108 MHz
6B	3 バイト	なし		あり	なし				あり	なし	あり	あり	108 MHz
EB	3 バイト	なし					あり	なし	あり	あり	なし	あり	108 MHz
ED	3 バイト	なし					あり	なし	あり	なし	あり	あり	54 MHz

5.1.5.1 メモリ読み出し (READ, 03h)

READ 命令は、指定されたアドレスのメモリの内容を読み出します。アドレスは、3 バイトアドレスによって決定される 2M ビットメモリアレイの任意のバイト位置から開始できます。各データバイトがシフトアウトされた後、アドレスは次の上位アドレスに自動的にインクリメントします。したがって、2 M ビットメモリ全体を、1つの読み出しオペコードとアドレスを指定して読み出せます。最高アドレス 0x3FFFF に到達すると、アドレスカウンタはラップアラウンドして 0x000000 に戻り、読み出しシーケンスは無制限に継続できます。このコマンドは、SPI, DPI, または QPI モードで実行されます。

注: ダミーサイクルは、CR1 のメモリレイテンシコードビット (MLC0 ~ MLC3) による設定オプションです。

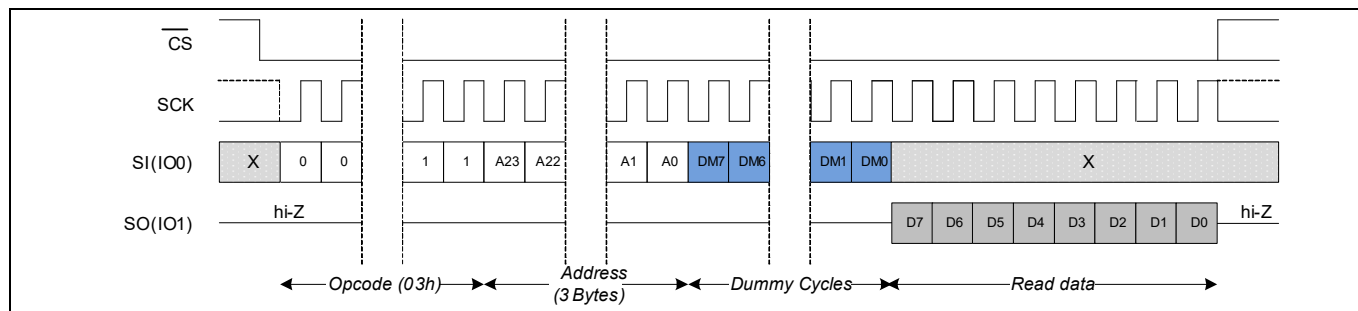


Figure 52 SPI モードでの READ

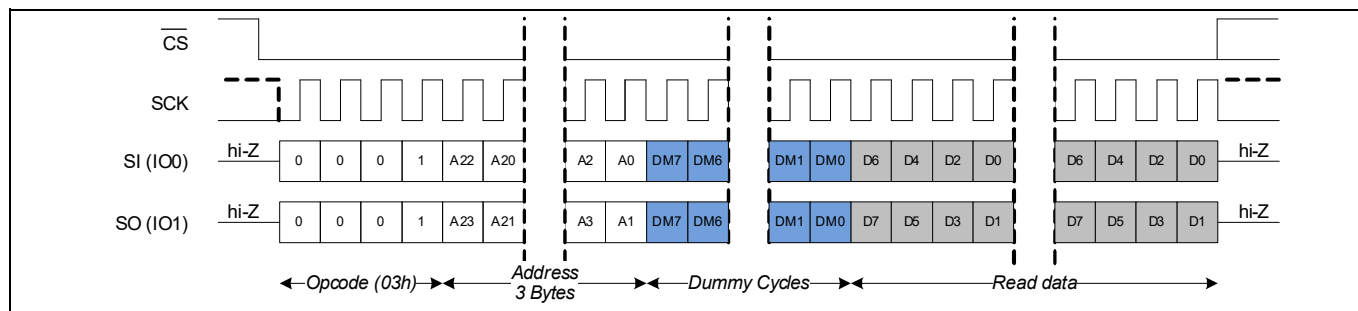


Figure 53 DPI モードでの READ

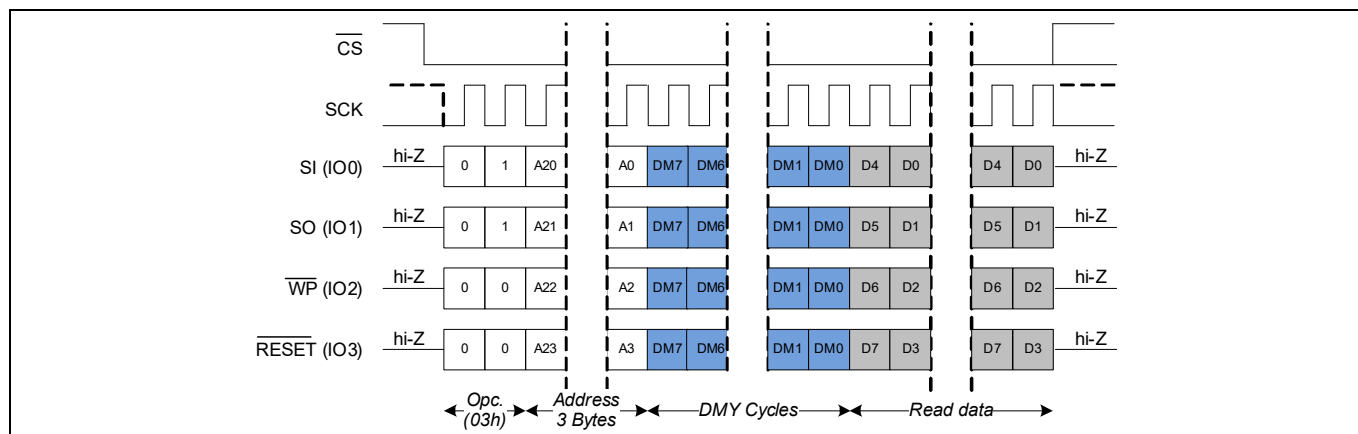


Figure 54 QPI モードでの READ

5.1.5.2 高速読み出し (FAST_READ, 0Bh)

FAST_READ 命令は、指定されたアドレスのメモリの内容を読み出します。アドレスは、3 バイトアドレスによって決定される 2M ビットメモリアレイの任意のバイト位置から開始できます。各データバイトがシフトアウトされた後、アドレスは次の上位アドレスに自動的にインクリメントします。したがって、メモリ全体を 1 つの読み出しオペコードとアドレスで読み出せます。最高アドレス 0x3FFFF に到達すると、アドレスカウンタはラップアラウンドして 0x000000 に戻り、読み出しシーケンスは無制限に継続できます。このコマンドは、SPI, DPI, または QPI モードで実行されます。

モードビットは、最初の命令が Axh モードビット (「1010XXXX」) パターンを送信した後、一連の高速読み出し命令を可能にし、8 ビット オペコードを省略します。Execute-In-Place (XIP) と呼ばれるこの機能は、初期アクセス時間を大幅に短縮します (パフォーマンスを向上させます)。モードビットは、最初のバイト命令オペコードを含めるか除外するかによって、次の FAST_READ 演算の長さを制御します。モードビットが Axh の場合、デバイスは連続 FAST_READ モードに移行し、0Bh オペコードを必要とせずに次のアドレスを書き込めます ($\overline{\text{CS}}$ を HIGH にしてから LOW にアサートした後)。そのため、命令シーケンスから 8 サイクルを省けます。そうでない場合、 $\overline{\text{CS}}$ が HIGH から LOW にいったん遷移するとオペコードが必要です。

注:

- モードビットが !Axh (Axh バイトの論理否定) の場合、FAST_READ XIP モードが終了します。
- ダミーサイクルは CR1 のメモリレイテンシコードビット (MLC0 ~ MLC3) によるコンフィギュレーションオプションです。

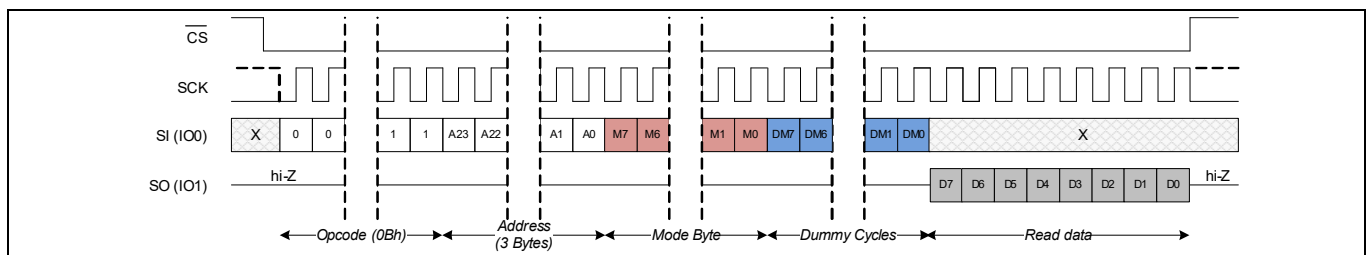


Figure 55 SPI モードでの FAST_READ

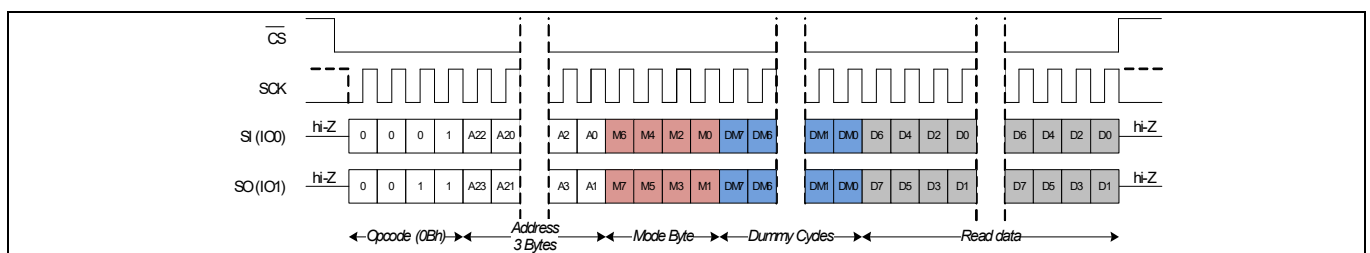


Figure 56 DPI での FAST_READ

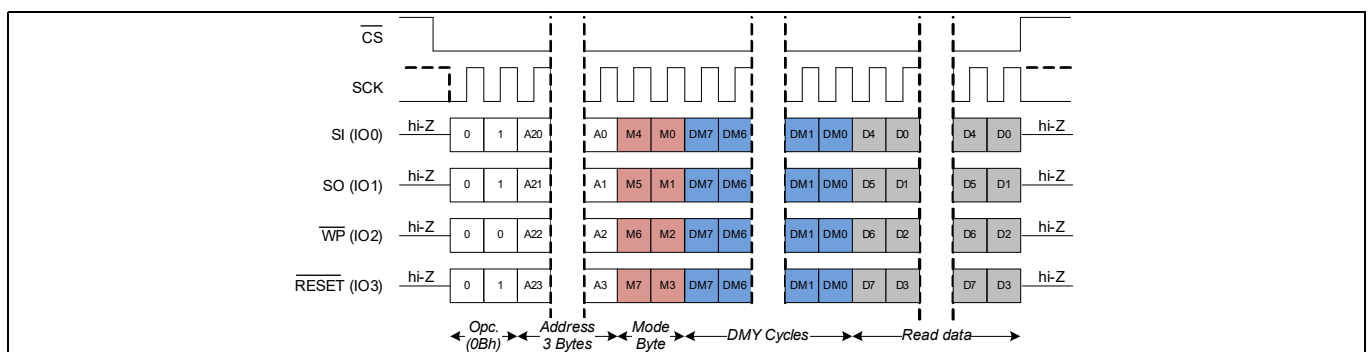


Figure 57 QPI での FAST_READ

5.1.5.3 DDR 高速読み出し (DDRF, 0Dh)

DDRF 命令は、クロックのすべてのエッジでアドレス、ダミービット、およびデータビットを転送することにより、帯域幅を改善します。アドレスは、3 バイトアドレスによって決定される 2M ビットメモリアレイの任意のバイト位置から開始できます。データの各バイトがシフトアウトされた後、アドレスは自動的に次のアドレスに順番にインクリメントされます。したがって、メモリ全体を 1 つの読み出しオペコードと提供された開始アドレスで読み出せます。最高アドレス 0x3FFFF に到達すると、アドレスカウンタはラップアラウンドして 0x000000 に戻り、読み出しシーケンスは無制限に継続できます。CS はダミーサイクル中 LOW のままでなければいけません。このコマンドは QPI モードで実行されます。

モードビットは、最初の命令が A5h モードビット (「10100101」) パターンを送信した後、一連の高速読み出し DDR 命令を可能にし、8 ビット オペコードを省略します。Execute-In-Place (XIP) と呼ばれるこの機能は、初期アクセス時間を大幅に短縮します (XIP のパフォーマンスを向上させます)。モードビットは、最初のバイト命令オペコードを含めるか除外するかによって、次の DDRF 演算の長さを制御します。モードビットが A5h の場合、デバイスは連続 DDR 高速読み出しモードに移行し、0Dh オペコードを必要とせずに次のアドレスを書き込めます (CS を HIGH にしてから LOW にアサートした後)。そのため、命令シーケンスから 8 サイクルを省けます。そうでない場合、CS が HIGH から LOW にいったん遷移するとオペコードが必要です。このオペコードは SPI モード 3 をサポートしません。

注:

- モードビットが !A5h (A5h バイトの論理否定) の場合、DDRF XIP モードが終了します。
- ダミーサイクルは CR1 のメモリレイテンシコードビット (MLC0 ~ MLC3) によるコンフィギュレーションオプションです。

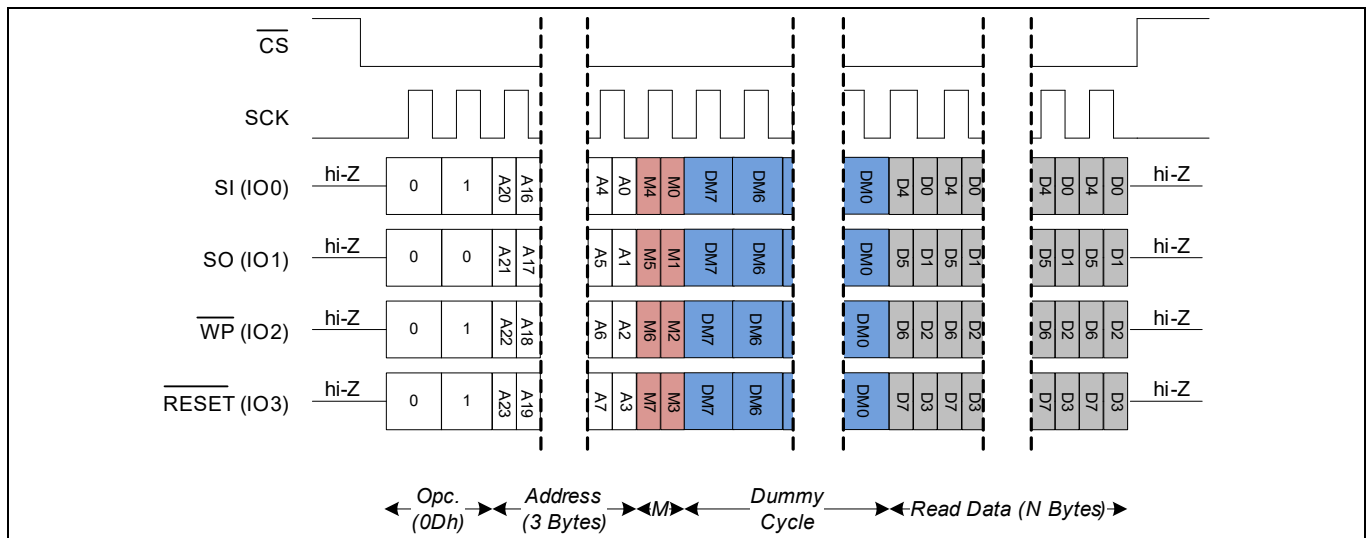


Figure 58 QPI モードでの DDRF

5.1.5.4 デュアル出力読み出し (DOR, 3Bh)

DOR 命令は拡張 SPI 読み出し命令の一部で、デュアル データ モードで使用されます。デュアル データ モードでは、オペコード、アドレス、モード バイト (A_{xh}) およびダミー サイクルは SI ピンを通じてクロック サイクルごとに 1 ビット送信されます。最後のダミー サイクルの SCK の立ち下りエッジでは、SO を I/O1、SI を I/O0 に再コンフィギュレーションします。特定のアドレス位置のデータ (D7 ~ D0) は、I/O1 を介して D7、I/O0 を介して D6 から始まってクロック サイクルごとに 2 ビットシフトアウトされます。アドレスはメモリアレイの任意のバイト位置から開始できます。各データ バイトがシフトアウトされた後、アドレスは次の上位アドレスに自動的にインクリメントします。したがって、メモリ全体を読み出せます。最高アドレス 0x3FFFF に到達すると、アドレスカウンタはラップアラウンドして 0x000000 に戻り、読み出しシーケンスは無制限に継続できます。

モードビットは、最初の命令が A_{xh} モードビット (「1010XXXX」) パターンを送信した後、一連の DOR 命令を可能にし、8 ビット オペコードを省略します。Execute-In-Place (XIP) と呼ばれるこの機能は、初期アクセス時間を大幅に短縮します (XIP のパフォーマンスを向上させます)。モードビットは、最初のバイト命令オペコードを含めるか除外するかによって、次の DOR 操作の長さを制御します。モードビットが A_{xh} の場合、デバイスは連続 DOR モードに移行し、3Bh オペコードを必要とせずに次のアドレスを書き込みます ($\overline{\text{CS}}$ を HIGH にしてから LOW にアサートした後)。そのため、命令シーケンスから 8 サイクルを省けます。そうでない場合、CS が HIGH から LOW にいったん遷移するとオペコードが必要です。

注:

- モードビットが !A_{xh} (A_{xh} バイトの論理否定) の場合、DOR XIP モードが終了します。
- ダミーサイクルは CR1 のメモリレイテンシコードビット (MLC0 ~ MLC3) によるコンフィギュレーションオプションです。

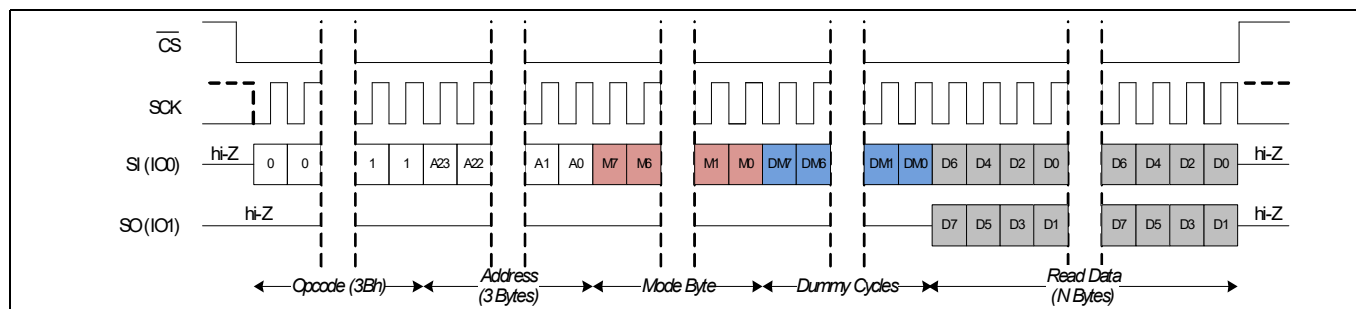


Figure 59 ダブル出力読み出し (DOR)

5.1.5.5 デュアル I/O 読み出し (DIOR, BBh)

DIOR 命令は拡張 SPI 読み出し命令の一部で、デュアル アドレス / データ モードで使用されます。デュアル アドレス / データ モードでは、オペコードは SI ピンを介してクロックサイクルごとに 1 ビット送信されます。オペコードの最後のビットの後、ピンは SO が I/O1 になり、SI が I/O0 になるように再設定されます。その後、3 バイト アドレスが入力されるまでアドレスはデバイスに I/O1、I/O0 経由で I/O1 を介して A23、I/O0 を介して A22 から始まりクロックサイクルごとに 2 ビット送信されます。特定のアドレス位置のデータ (D7 ~ D0) は I/O1 を介して D7、I/O0 を介して D6 から始まる 2 ビットがクロックサイクルごとにシフトアウトされます。各データバイトがシフトアウトされた後、アドレスは次の上位アドレスに自動的にインクリメントします。したがって、メモリ全体を読み出せます。最高アドレス 0x3FFFF に到達すると、アドレス カウンタはラップ アラウンドして 0x000000 に戻り、読み出しシーケンスは無制限に継続できます。

モード ビットは、最初の命令が Axx モード ビット (「1010XXXX」) パターンを送信した後、一連の DIOR 命令を可能にし、8 ビット オペコードを省略します。Execute-In-Place (XIP) と呼ばれるこの機能は、初期アクセス時間を大幅に短縮します (XIP のパフォーマンスを向上させます)。モード ビットは、最初のバイト命令オペコードを含めるか除外するかによって、次の DIOR 演算の長さを制御します。モード ビットが Axx の場合、デバイスは連続 DIOR モードに移行し、BBh オペコードを必要とせずに次のアドレスを書き込みます (CS を HIGH にしてから LOW にアサートした後)。そのため、命令シーケンスから 8 サイクルを省けます。そうでない場合、CS が HIGH から LOW にいったん遷移するとオペコードが必要です。

注:

- モード ビットが !Axx (Axx バイトの論理否定) の場合、FAST_READ XIP モードが終了します。
- ダミーサイクルは CR1 のメモリレイテンシコード ビット (MLC0 ~ MLC3) によるコンフィギュレーション オプションです。

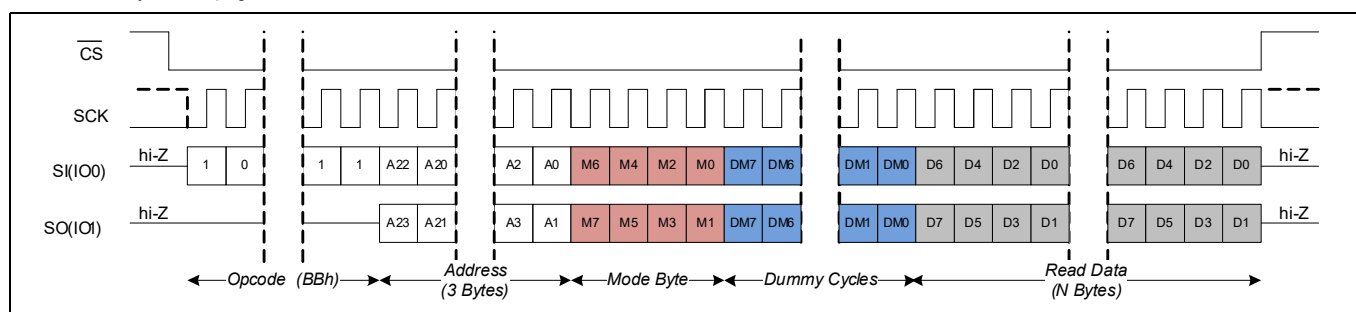


Figure 60 ダブル I/O 読み出し (DIOR)

5.1.5.6 クアッド出力読み出し (QOR, 6Bh)

QOR 命令は拡張 SPI 読み出し命令の一部で、クアッドデータモードで使用されます。クアッドデータモードでは、オペコード、アドレス、モードバイト (A_{xh})、およびダミーサイクルは SI ピンを通じてクロックサイクルごとに 1 ビット送信されます。最後のモードサイクルの SCK の立ち下りエッジで、ピンは RESET が I/O3 になり、WP が I/O2 になり、SO が I/O1 になり、SI が I/O0 になるように再設定されます。特定のアドレス位置のデータ (D7 ~ D0) は I/O3 を介して D7、I/O2 を介して D6、I/O1 を介して D5、I/O0 を介して D4 から始まる 4 ビットがクロックサイクルごとにシフトアウトされます。各データバイトがシフトアウトされた後、アドレスは次の上位アドレスに自動的にインクリメントします。したがって、メモリ全体を読み出せます。最高アドレス 0x3FFFF に到達すると、アドレスカウンタはラップアラウンドして 0x000000 に戻り、読み出しシーケンスは無制限に継続できます。

モードビットは、最初の命令が A_{xh} モードビット (「1010XXXX」) パターンを送信した後、一連の DOR 命令を可能にし、8 ビットオペコードを省略します。Execute-In-Place (XIP) と呼ばれるこの機能は、初期アクセス時間を大幅に短縮します (XIP のパフォーマンスを向上させます)。モードビットは、最初のバイト命令オペコードを含めるか除外するかによって、次の QOR 演算の長さを制御します。モードビットが A_{xh} の場合、デバイスは連続 QOR モードに移行し、6Bh オペコードを必要とせずに次のアドレスを書き込みます ($\overline{\text{CS}}$ を HIGH にしてから LOW にアサートした後)。そのため、命令シーケンスから 8 サイクルを省けます。そうでない場合、CS が HIGH から LOW にいったん遷移するとオペコードが必要です。

注:

- クアッドビット CR1[1] はコンフィギュレーションレジスタ 1 で「1」に設定する必要があります。
- モードビットが !A_{xh} (A_{xh} バイトの論理否定) の場合、DOR XIP モードが終了します。
- ダミーサイクルは CR1 のメモリレイテンシコードビット (MLC0 ~ MLC3) によるコンフィギュレーションオプションです。

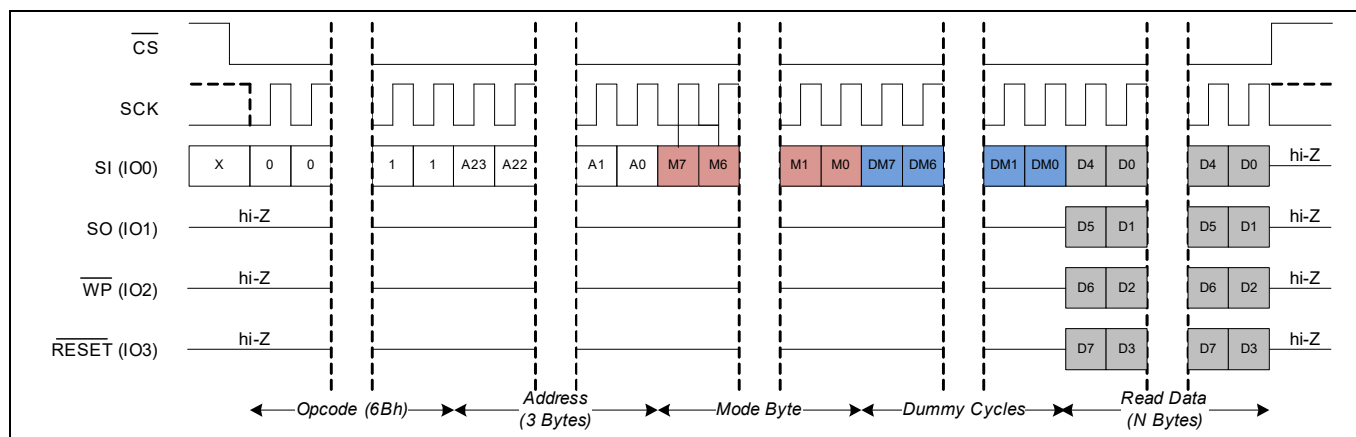


Figure 61 クアッド出力読み出し (QOR)

5.1.5.7 クアッド I/O 読み出し (QIOR, EBh) - 拡張 SPI モード

QIOR 命令は、拡張 SPI 読み出し命令の一部であるクアッドアドレス / データモードで使用されます。クアッドアドレス / データモードでは、オペコードは SI ピンを介してクロックサイクルごとに 1 ビット送信されます。オペコードの最後のビットが送信された後、RESET を I/O3 に、WP を I/O2、SO を I/O1 に、SI を I/O0 に再コンフィギュレーションされます。その後、3 アドレスバイトが入力されるまでアドレスはデバイスに I/O3、I/O2、I/O1、および I/O0 ピン経由で (I/O3 を介して A23、I/O2 を介して A22、I/O1 を介して A21、I/O0 を介して A20 から始まって) クロックサイクルごとに 4 ビット送信されます。特定のアドレス位置のデータ (D7 ~ D0) は、I/O3 を介して D7、I/O2 を介して D6、I/O1 を介して D5、I/O0 を介して D4 から始まる 4 ビットがクロックサイクルごとにシフトアウトされます。したがって、メモリ全体を読み出せます。最高アドレス 0x3FFFF に到達すると、アドレスカウンタはラップアラウンドして 0x000000 に戻り、読み出しシーケンスは無制限に継続できます。

モードビットは、最初の命令が Axh モードビット (「1010XXXX」) パターンを送信した後、一連の QIOR 命令を可能にし、8 ビットオペコードを省略します。Execute-In-Place (XIP) と呼ばれるこの機能は、初期アクセス時間を大幅に短縮します (XIP のパフォーマンスを向上させます)。モードビットは、最初のバイト命令オペコードを含めるか除外するかによって、次の QIOR 演算の長さを制御します。モードビットが Axh の場合、デバイスは連続 QIOR モードに移行し、EBh オペコードを必要とせずに次のアドレスを書き込みます (CS を HIGH にしてから LOW にアサートした後)。そのため、命令シーケンスから 8 サイクルを省けます。それ以外の場合、CS を HIGH にしてから LOW にアサートすると、オペコードが必要です。

注:

- クアッドビット CR1[1] はコンフィギュレーションレジスタ 1 で「1」に設定する必要があります。
- モードビットが !Axh (Axh バイトの論理否定) の場合、QIOR XIP モードが終了します。
- ダミーサイクルは CR1 のメモリレイテンシコードビット (MLC0 ~ MLC3) によるコンフィギュレーションオプションです。

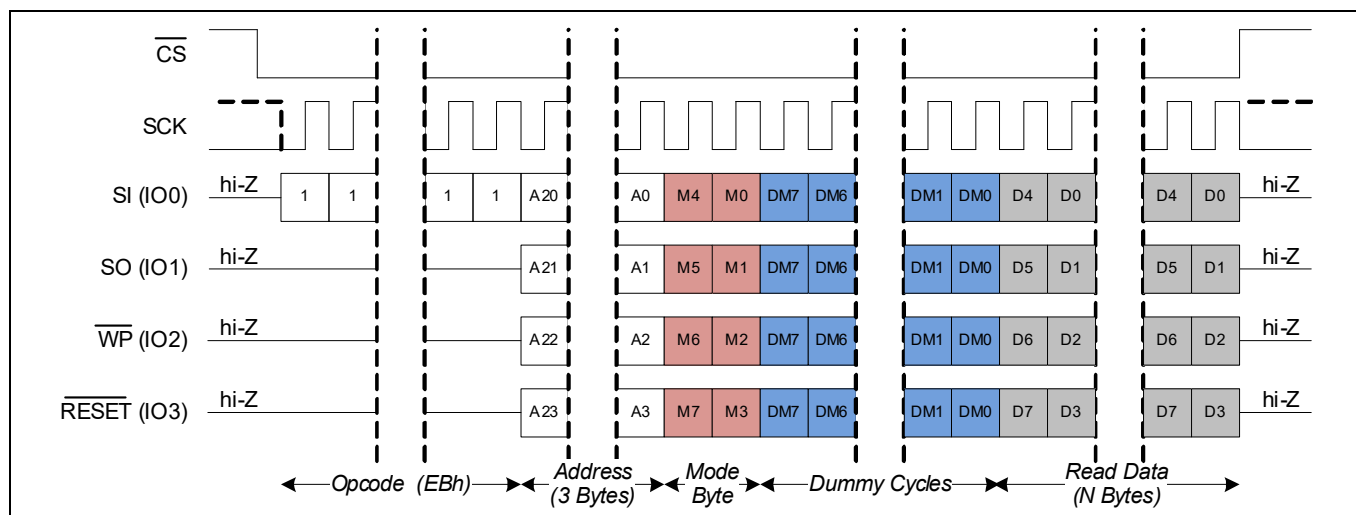


Figure 62 拡張 SPI モードでのクアッド I/O 読み出し (QIOR)

5.1.5.8 クアッド I/O 読み出し (QIOR, EBh) - QPI モード

QIOR のオペコードは QSPI モードでも実行できます。デバイスが QSPI モードであるため、オペコード、アドレス、およびモードバイトは 4 つの I/O すべてを介して送信されます。特定のアドレス位置のデータ (D7 ~ D0) は、I/O3 を介して D7、I/O2 を介して D6、I/O1 を介して D5、I/O0 を介して D4 から始まる 4 ビットがクロックサイクルごとにシフトアウトされます。

注:

- モードビットが !A_{xh} (A_{xh} バイトの論理否定) の場合、QIOR モードが終了します。
- ダミーサイクルは CR1 のメモリレイテンシコードビット (MLC0 ~ MLC3) によるコンフィギュレーションオプションです。

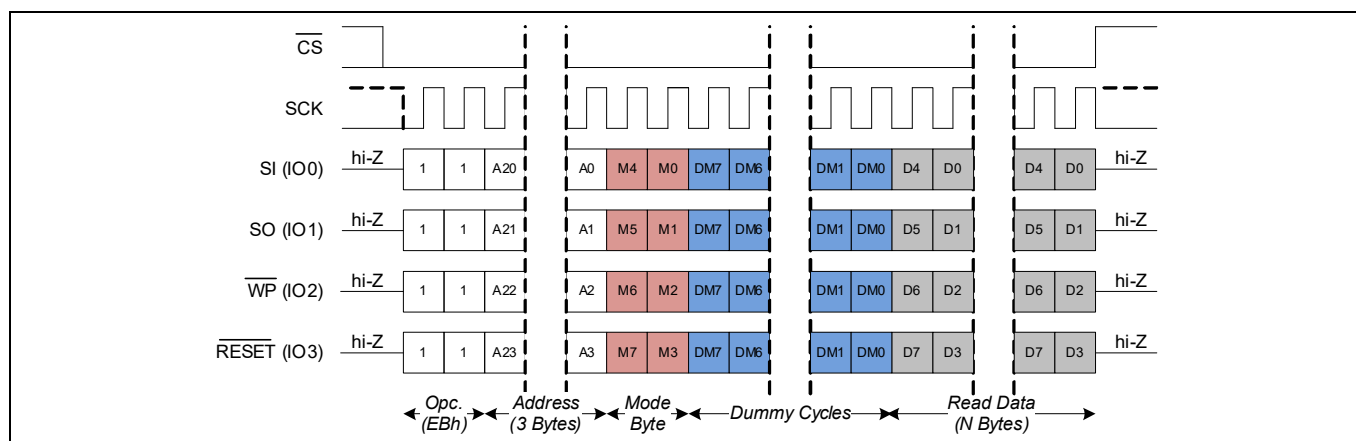


Figure 63 QPI モードでのクアッド I/O 読み出し (QIOR)

5.1.5.9 DDR クアッド I/O 読み出し (DDRQIOR EDh) - 拡張 SPI モード

DDRQIOR 命令は、4 つの I/O 信号 SI (I/O0), SO (I/O1), \overline{WP} (I/O2), および \overline{RESET} (I/O3) で帯域幅を改善します。クアッド I/O 読み出し命令に似ていますが、クロックのすべてのエッジでアドレス、モード、ダミー、またはデータビットを転送します。アドレスはメモリアレイの任意のバイト位置から開始できます。各データバイトがシフトアウトされた後、アドレスは次の上位アドレスに自動的にインクリメントします。したがって、メモリ全体を 1 つの読み出しオペコードとアドレスで読み出せます。最高のアドレス 0x3FFFF に達すると、アドレスカウンタがラップアラウンドして 0x000000 にロールバックし、読み出しシーケンスを無期限に続行できるようにします。ダミービット中に \overline{CS} を HIGH に駆動しないでください。これにより、ビットが不確定になる可能性があります。

モードビットは、最初の命令が A5h モードビットパターンを送信した後、一連の QIOR DDR 命令を可能にし、8 ビット オペコードを省略します。Execute-In-Place (XIP) と呼ばれるこの機能は、初期アクセス時間を大幅に短縮します (XIP のパフォーマンスを向上させます)。モードビットは、最初のバイト命令オペコードを含めるか除外するかによって、次の DDRQIOR 演算の長さを制御します。モードビットが Axh の場合、デバイスは連続 QIOR DDR モードに移行し、EDh オペコードを必要とせずに次のアドレスを書き込みます (\overline{CS} を HIGH にしてから LOW にアサートした後)。そのため、命令シーケンスから 8 サイクルを省けます。それ以外の場合、 \overline{CS} を HIGH にしてから LOW にアサートすると、オペコードが必要です。このオペコードは SPI モード 3 をサポートしません。

注:

- クアッドビット CR1[1] はコンフィギュレーションレジスタ 1 で「1」に設定する必要があります。
- モードビットが !A5h (A5h バイトの論理否定) の場合、DDRQIOR XIP モードが終了します。
- ダミーサイクルは CR1 のメモリレイテンシコードビット (MLC0 ~ MLC3) によるコンフィギュレーションオプションです。

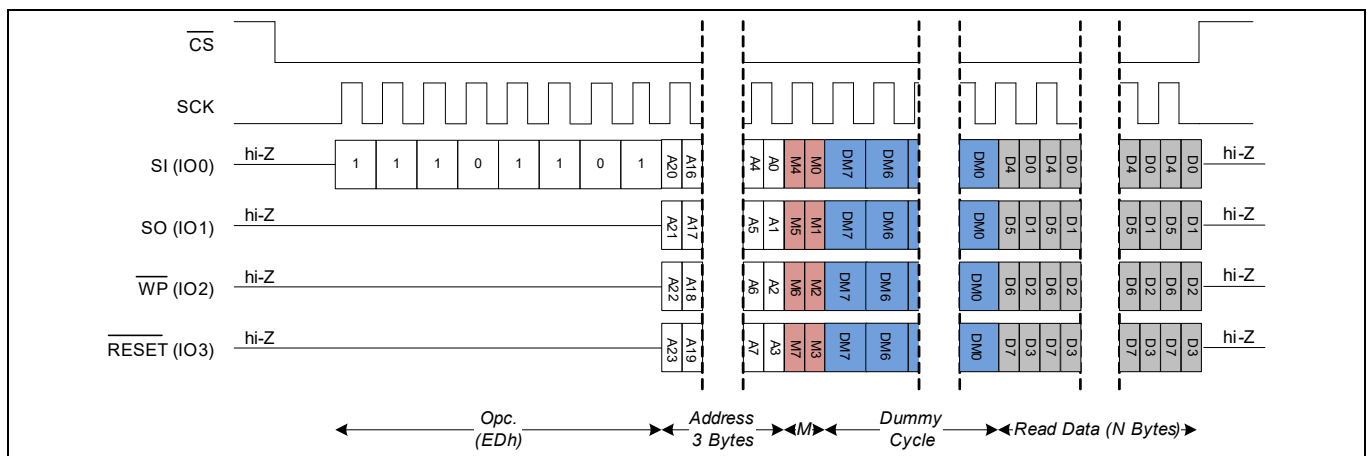


Figure 64 拡張 SPI モードでの DDR クアッド I/O 読み出し (DDRQIOR)

5.1.5.10 DDR クアッド I/O 読み出し (DDRQIOR EDh) - QPI モード

DDRQIOR のオペコードは QSPI モードでも実行できます。QPI モードの DDR クアッド入力 / 出力読み出し (DDRQIOR) の場合、データは DDR で読み出され (I/O0, I/O1, I/O2, I/O3)、アドレスビットとモードビットも DDR で送り出されます (I/O0, I/O1, I/O2, I/O3)。一方、オペコードは SDR で送り出されます (I/O0, I/O1, I/O2, I/O3)。

注:

- モードビットが !A5h (A5h バイトの論理否定) の場合、DDRQIOR XIP モードが終了します。
- ダミーサイクルは CR1 のメモリレイテンシコードビット (MLC0 ~ MLC3) によるコンフィギュレーションオプションです。

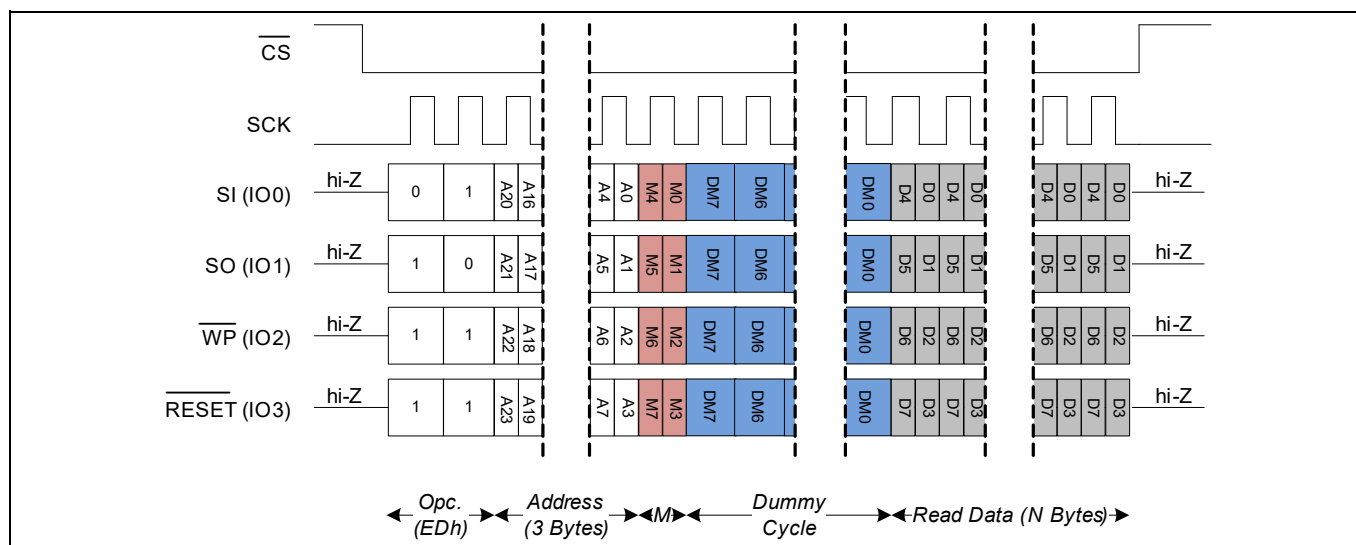


Figure 65 QPI モードでの DDR クアッド I/O 読み出し (DDRQIOR)

5.1.6 特殊セクタ メモリ アクセス コマンド

CY15X102QSN は、長さが 256 バイトの追加の特殊セクタメモリ領域も提供します。保存されたコンテンツの熱信頼性を高めるためのこの特殊セクタ領域が設計されます。この特殊セクタに保存されたデータは、最大 3 つの標準的なリフローサイクルに耐えられます。この特殊セクタの場所は、PCB モジュールの詳細、シリアル番号の詳細などを保存するために使用できます。特殊セクタ メモリ アクセス コマンドは、SPI, DPI, および QPI の動作モードをサポートします。

Table 43 特殊セクタ メモリ アクセス コマンド

コマンド	オペコード (Hex)	コマンドの説明
SSWR	42	特殊セクタ書き込み - 256 バイトの特殊セクタメモリに書き込むための専用コマンド
SSRD	4B	特殊セクタ読み出し - 特殊セクタメモリから 256 バイトを読み出すための専用コマンド

Table 44 特殊セクタ メモリ アクセス コマンドの詳細

オペコード (Hex)	アドレス長	SPI バス インターフェース							データ転送		メモリエイテンション	XIP	最大クロック周波数
		SPI	デュアルデータ	クアッドデータ	デュアル I/O	クアッド I/O	DPI	QPI	SDR	DDR	ダミーサイクル	Execute-in-place	
42		あり		なし			あり	あり	あり	なし	なし	なし	108 MHz
4B		あり		なし			あり	あり	あり	なし	あり	なし	108 MHz

5.1.6.1 特殊セクタ書き込み (SSWR, 42h)

特殊セクタの書き込み操作は、書き込みデータとともに SSWR オペコードが SPI モードの SI ピンまたはデュアルモード (DPI) の I/O1, I/O0 ピン、または I/O3, I/O2, クアッドモード (QPI) の I/O1 および I/O0 ピン。バースト書き込みを使用すると、新しい SSWR 命令を発行せずに連続したアドレスを書き込みます。1 バイトだけが書き込まれる場合、D0 (データの LSB) が送信された後、 \overline{CS} ピンを HIGH に駆動する必要があります。しかし、より多くのバイトを書き込む場合、 \overline{CS} ピンを LOW に維持し、アドレスを自動的にインクリメントさせます。入力ピン上のデータバイトが連続するアドレスに書き込まれます。内部アドレスカウンタが自動的に 0xFF にインクリメントされると、 \overline{CS} は SSWR 動作の実行を終了するために HIGH に切り替える必要があります。データは MSb から書き込みます。 \overline{CS} の立ち上りエッジで書き込み動作が終了します。

注:

- 3 バイトアドレスの最下位 8 ビット (A7~A0) にはセクタアドレスが含まれます。残りの 16 最上位ビットは「0」に設定されます。
- 書き込み動作を行うためにステータスレジスタの書き込みイネーブル ラッチ (WEL) が「1」に設定される場合にのみ、SSWR 命令はデバイスによって実行されます。
- SR1 の WEL ビット (SR1[1]) は SSWR コマンドが完了した後 (\overline{CS} の立ち上りエッジ)、自動で「0」にクリアされます。

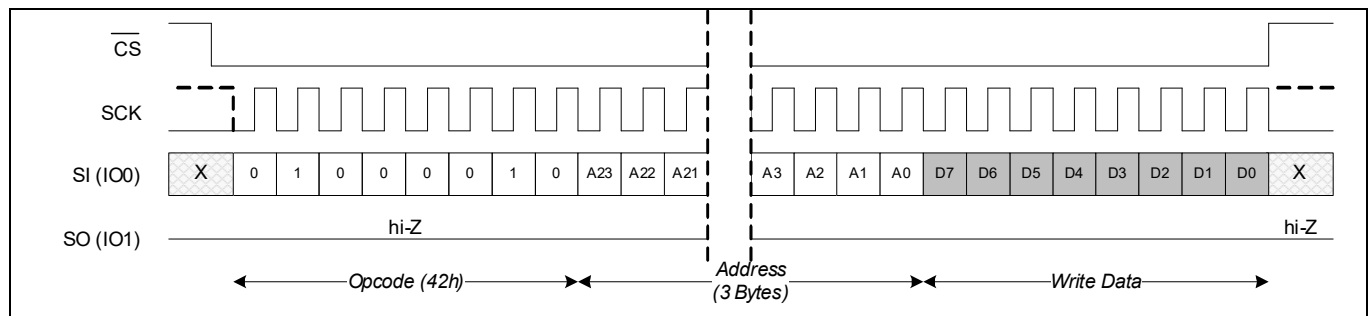


Figure 66 SPI モードでの特殊セクタ書き込み (SSWR) (WREN は非表示)

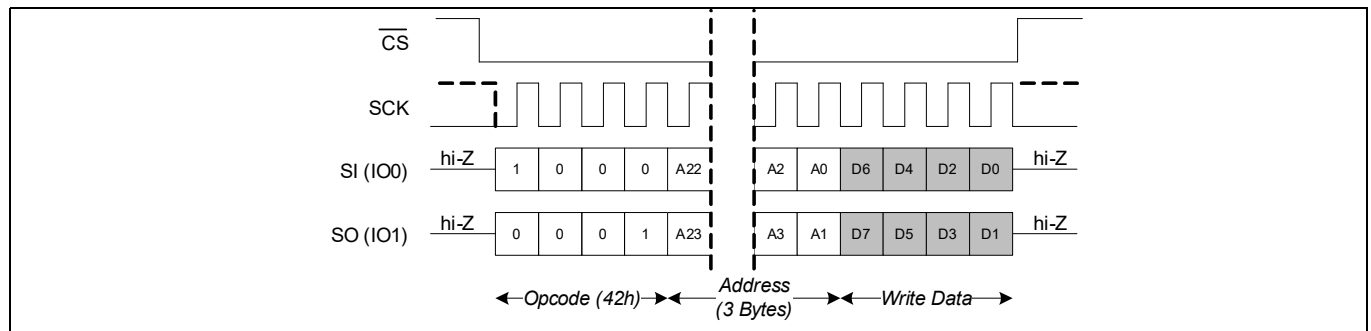


Figure 67 DPI モードでの特殊セクタ書き込み (SSWR) (WREN は非表示)

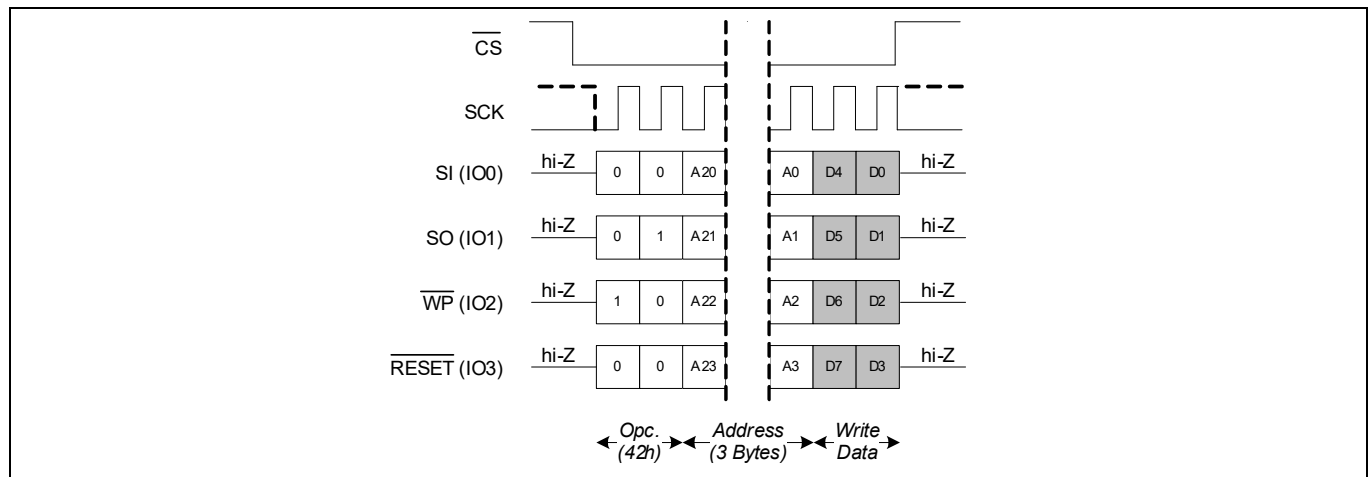


Figure 68 QPI モードでの特殊セクタ書き込み (SSWR) (WREN は非表示)

5.1.6.2 特殊セクタ読み出し (SSRD, 4Bh)

SSRD 命令は、指定されたアドレスのメモリ内容を読み出します。アドレスは、3 バイトのアドレスによって決定される 256 バイトの特殊セクタ メモリの任意のバイト位置から開始できます。各データバイトがシフトアウトされた後、アドレスは次の上位アドレスに自動的にインクリメントします。したがって、256 バイトの特殊セクタ全体を、1 つの特殊セクタ読み出しオペコードとアドレスを指定して読み出せます。内部アドレス カウンタが自動で 0xFF までインクリメントすると、ホストが SCK にクロック供給を続ける場合、デバイスは未定義データバイトを返します。

注：

- 3 バイトアドレスの最下位 8 ビット (A7～A0) にはセクタアドレスが含まれます。残りの 16 最上位ビットは「0」に設定されます。
- ダミーサイクルは CR1 のメモリレイテンシコードビット (MLC0～MLC3) によるコンフィギュレーションオプションです。
- 特殊セクタ F-RAM は、標準的なハンドリフローの最大 3 サイクルにわたってユーザデータの完全性を維持することを保証しています。

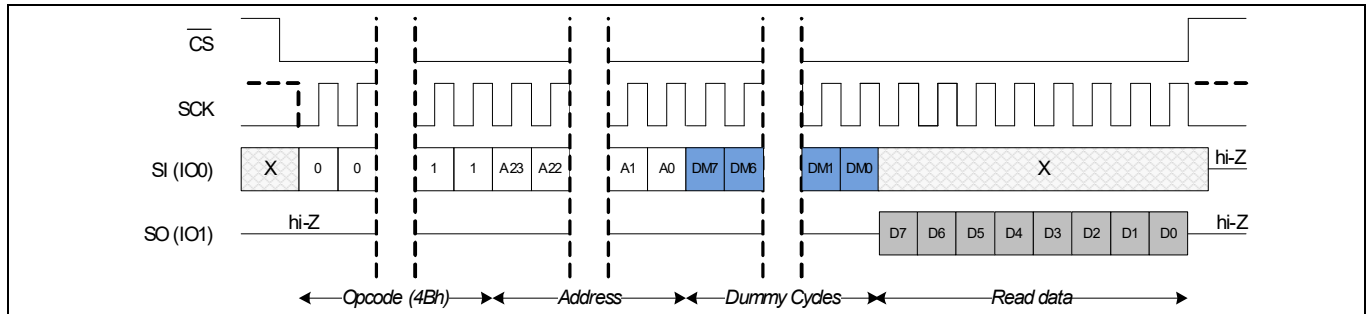


Figure 69 SPI モードでの特殊セクタ読み出し (SSRD)

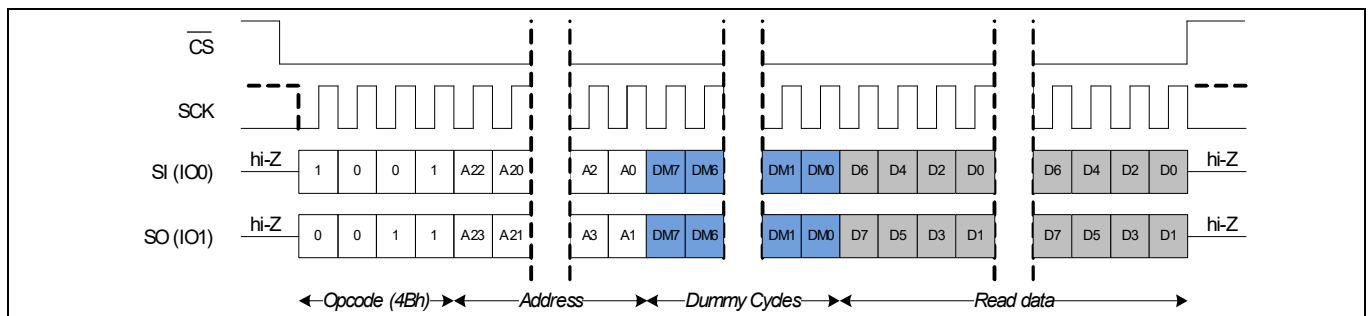


Figure 70 DPI モードでの特殊セクタ読み出し (SSRD)

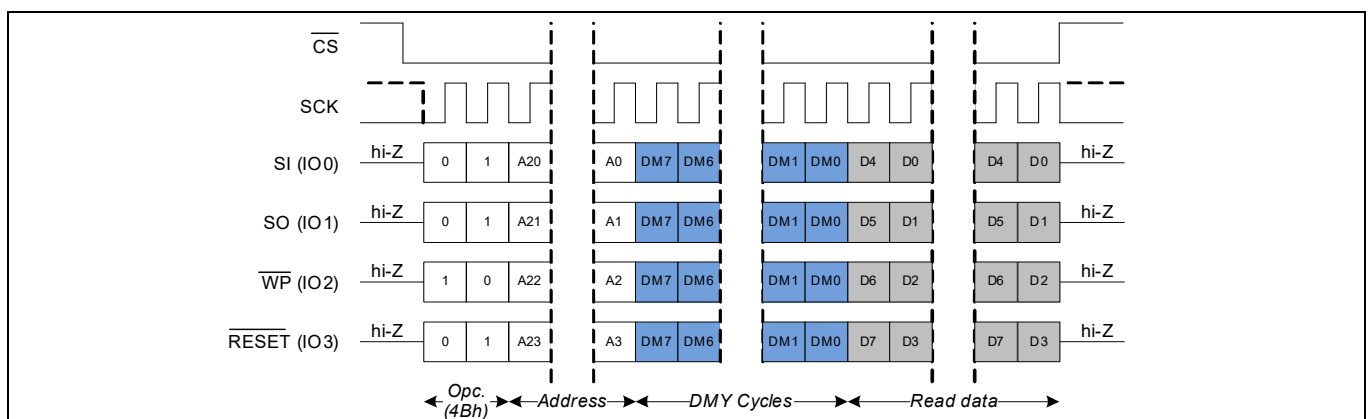


Figure 71 QPI モードでの特殊セクタ読み出し (SSRD)

5.1.7 エラー訂正コード (ECC) および巡回冗長検査コマンド

5.1.7.1 エラー訂正コード (ECC)

CY15X102QSN は、2 ビットのエラー検出と 8 バイト (64 ビット) のユニットデータのレポートを備えた組込みのハードウェアエラー訂正コード (ECC) を提供します。すべての F-RAM 読み出しが書き込みサイクル (リフレッシュサイクル) に続くため、1 ビットエラーは検出時に自動的に修正され、リフレッシュサイクル中に F-RAM アレイに書き戻されます。したがって、CY15X102QSN は 1 ビットエラーの検出を報告しません。これは同一のデータユニットに対する後続の ECC チェックは同じ 1 ビットエラーを再現しないからです。ECC は常に有効で、実行時に次の動作を監視します。

- F-RAM の読み出し中に 2 ビットエラーが検出されると、CY15X102QSN は ECC ステータスレジスタ (ECCSR) の「2BD」フラグビットを「1」に設定し (ECCSR は POR、リセット、または CLECC の後にクリアされます)、4 バイトの ADDRTRAP レジスタの対応するユニットデータアドレスもキャプチャされます。
- ADDRTRAP レジスタの最初の最下位 3 バイトは、POR、リセット、または CLECC の後に 8 バイト単位データで検出された最初の 2 ビットエラーの 3 バイト単位データアドレスを保持します。その後 2 ビットエラーが発生しても、ADDRTRAP レジスタは最新のデータユニットアドレスで上書きされません。
- CY15X102QSN は 2 ビットのエラーが検出されるたびに「1」ずつインクリメントする 2 バイトの ECC 検出カウンタ (ECCDC) レジスタを提供します。ECCDC レジスタは POR、いかなるリセットイベント、または CLECC コマンド実行後もクリアされます。
- ユーザーは、ADDRTRAP レジスタのゼロ以外の値 (アドレス 0x000000 で 2 ビットエラーが検出された場合を除く) を読み出すか、ECCSR レジスタの「2BD」フラグビットを読み出すか、2 ビットエラー検出の発生 の判断のため ECCDC レジスタのゼロ以外の値を読み出せます。
- さらに、ECCRD コマンドで送信されたユニットアドレスの ECCSR で「2BD」エラーフラグを「1」に設定することにより、8 バイトユニットデータで 2 ビットエラー検出ステータスを返す ECCRD (19h) コマンドもサポートします。

ECC は、256 バイトの特殊セクタメモリ、ステータスレジスタおよびコンフィギュレーションレジスタではサポートされません。

5.1.7.2 ECC ステータス レジスタ

ECC ステータスは ECC ステータス レジスタ (ECCSR) で表します。ECCSR の詳細を [Table 46](#) に示します。ECCSR の内容は、[任意レジスタ読み出し \(RDAR, 65h\)](#) で説明されているように、RDAR コマンドを使用し のみ読み出せます。ECCRD コマンドは、ユニットデータの ECCSR ステータスを返します。ユニット データは、ECC が計算されるバイト数として定義されます。CY15X102QSN には 8 バイトのユニットデー タがあります。

Table 45 ECC ステータス レジスタ

ECCSR[7]	ECCSR[6]	ECCSR[5]	ECCSR[4]	ECCSR[3]	ECCSR[2]	ECCSR[1]	ECCSR[0]
RFU (0)	RFU (0)	RFU (0)	2BD (0)	RFU (0)	RFU (0)	RFU (0)	RFU (0)

Table 46 ECC ステータス レジスタ - 揮発性のみ

ビット	ビット名	ビット機能	分類	読み出し / 書き込み (R/W)	説明
ECCSR[7]	RFU		予約済み (0)		将来の使用のため予約済み
ECCSR[6]	RFU		予約済み (0)		将来の使用のため予約済み
ECCSR[5]	RFU		予約済み (0)		将来の使用のため予約済み
ECCSR[4]	2BD	2 ビット ECC 検出	V	R	1 = 最後の ECCSR クリアコマンド (CLECC) 以降に発生した 2 ビットエラー検出 0 = 2 ビットエラー検出は、最後の ECCSR クリアコマンド (CLECC) 以降発生しません。
ECCSR[3]	RFU		予約済み (0)		将来の使用のため予約済み

Table 46 ECC ステータス レジスタ - 揮発性のみ (続き)

ビット	ビット名	ビット機能	分類	読み出し / 書き込み (R/W)	説明
ECCSR[2]	RFU	予約済み (0)			将来の使用のため予約済み
ECCSR[1]	RFU	予約済み (0)			将来の使用のため予約済み
ECCSR[0]	RFU	予約済み (0)			将来の使用のため予約済み

V - 揮発性

5.1.7.3 2 ビット ECC 検出 (2BD) ECCSR [4]

このビットは、最後のクリア ECC ステータスレジスタ以降に読み出されたデータで 2 ビット ECC 検出が発生したことを示します。CLECC 命令は、2BD ビットを「0」にリセットします。

5.1.7.4 ECC 検出カウンタ (ECCDC)

ECC 検出カウンタ (ECCDC) レジスタは、2 バイトの揮発性レジスタであり、最後の POR, リセットイベント, または CLECC コマンド以降のメモリ読み出し操作中に 2 ビットエラー検出が発生した回数を格納します。ECCDC レジスタの内容は、[任意レジスタ読み出し \(RDAR, 65h\)](#) で説明したように、RDAR コマンドを使用して読み出せます。

注:

- ECCDC カウントが 0xFFFF に到達すると、ECCDC はインクリメントをしません。
- ECCDC はディープパワーダウン (DPD) モードのときにその内容を失い、DPD 終了時に 0x0000 を返します。

Table 47 ECC 検出カウンタ レジスタ (ECCDC)

ビット	名称	機能	分類	読み出し / 書き込み (R/W)	初期状態	説明
15:0	ECCDC	ECC 2 ビットエラー検出カウンタ	V	R	0x0000	最後の POR または任意のリセットイベント以降の 2 ビット ECC 検出の合計カウント。CLECC コマンドはこのレジスタをクリアしません。

V - 揮発性

5.1.7.5 アドレストラップ レジスタ (ADDTRAP)

アドレストラップレジスタ (ADDTRAP) は、読み出し操作中に 2 ビットのエラー検出が発生した ECC ユニットのデータアドレスを格納する 4 バイトの揮発性レジスタです。ADDTRAP レジスタは、最後の Clear ECC 命令 (CLECC), POR, またはリセットイベント以降に 2 ビットエラーが検出された最初の ECC データユニットのアドレスを格納します。2 ビットエラーが検出された後続のデータユニットのアドレスは、ADDTRAP にキャプチャされません。この場合、ECCDC カウントのみが増加します。ADDTRAP レジスタの内容は、[任意レジスタ読み出し \(RDAR, 65h\)](#) で説明したように、RDAR コマンドを使用して読み出せます。

注: ADDTRAP レジスタは、ディープパワーダウン (DPD) モードのときに内容を失い、DPD の終了時に 0x00000000 で戻ります。

Table 48 アドレストラップ レジスタ

ビット	名称	機能	分類	読み出し / 書き込み (R/W)	初期状態	説明
31:0	ADDTRAP	ECC アドレスを格納	V	R	0x00000000	2 ビット ECC 検出が発生したユニットデータのアドレスを格納します。

V - 揮発性

5.1.7.6 ECC コマンド

ここでは、CY15X102QSN ECC コマンドについて説明します。

Table 49 ECC コマンド

コマンド (Hex)	オペコード	コマンドの説明
ECCRD	19	ECC ステータス読み出し - アドレス指定されたユニットデータの ECC ステータスを決定
CLECC	1B	ECC レジスタのクリア - ECC フラグとアドレストラップレジスタ

Table 50 ECC コマンドの詳細

オペコード (Hex)	アドレス長	SPI バス インターフェース							データ転送		メモリレイテンシ	XIP	最大クロック周波数
		SPI	デュアルデータ	クアッドデータ	デュアル I/O	クアッド I/O	DPI	QPI	SDR	DDR	ダミーサイクル	Execute-in-place	
19	3 バイト	あり		なし			あり	あり	あり	なし	あり	なし	108 MHz
1B	なし	あり		なし			あり	あり	あり	なし	なし	なし	108 MHz

5.1.7.7 ECC ステータス読み出し (ECCRD, 19h)

ECCRD 命令は、アドレス指定されたユニットデータの 2 ビットエラー検出ステータスを判別するために使用されます。そのためには、 \overline{CS} を LOW にプルし、ECCRD 命令の後に ECC データユニットアドレスを続けます。このアドレスでは、アドレスの最下位 3 ビット (LSb) をゼロに設定する必要があります。アドレスの最下位 3 ビット (LSb) がゼロに設定されていない場合でも、それらは内部で無視され、データユニットの開始アドレスは残りの MS ビットによって決定されます。

アドレスバイトの後には、メモリ読み出しの読み出しレイテンシ値によって選択されたダミーサイクル数が続きます。8 ビット ECC ステータスは出力ラインでシフトアウトされます。 \overline{CS} は 8 ビット ECC ステータスの読み出し後、HIGH にする必要があります。

注:

- 8 ビット ECC ステータスが読み出された後、 \overline{CS} が LOW のままであれば、後続の ECC ステータスデータは不定になります。次のデータユニットの ECC ステータスを読み出すためには、次のユニットアドレスと共に新しい ECCRD コマンドを送信する必要があります。
- ダミーサイクルは CR1 のメモリレイテンシコードビット (MLC0 ~ MLC3) によるコンフィギュレーションオプションです。

Table 51 ユニットデータ ECC ステータスバイトの詳細

ビット	名称	機能	読み出し / 書き込み (R/W)	初期状態	説明
7	RFU	予約済み	-	0	将来の使用のため予約済み
6	RFU	予約済み	-	0	将来の使用のため予約済み
5	RFU	予約済み	-	0	将来の使用のため予約済み
4	RFU	予約済み	-	0	将来の使用のため予約済み
3	EECC2D	ECC ユニットの 2 ビットエラー	R	0	1 = ECC ユニットで 2 ビットエラー検出 0 = エラーなし
2	RFU	予約済み	-	0	将来の使用のため予約済み
1	RFU	予約済み	-	0	将来の使用のため予約済み
0	RFU	予約済み	-	0	将来の使用のため予約済み

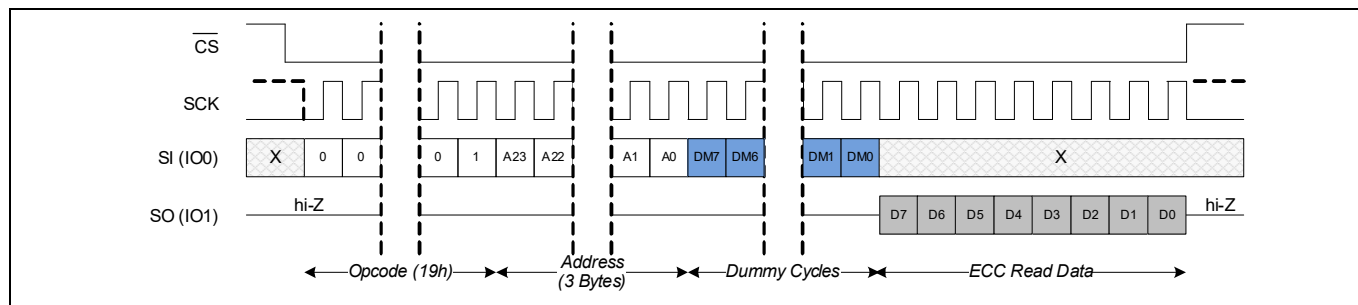


Figure 72 SPI モードでの ECC 読み出し (ECCRD)

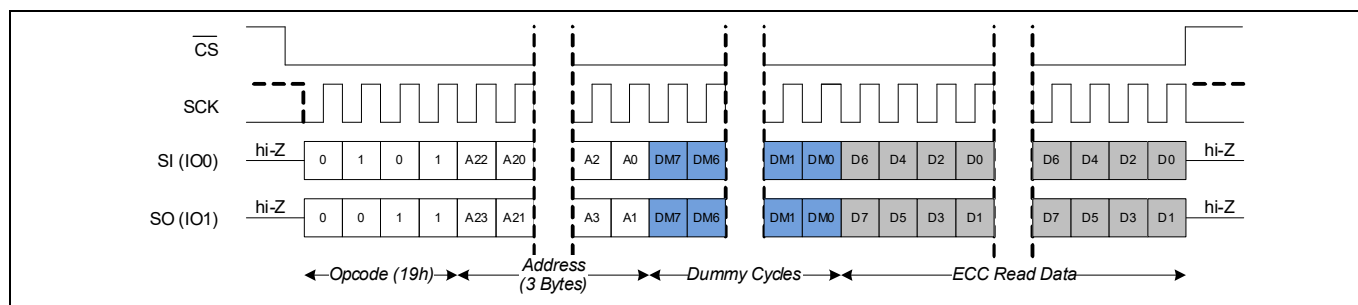


Figure 73 DPI モードでの ECC 読み出し (ECCRD)

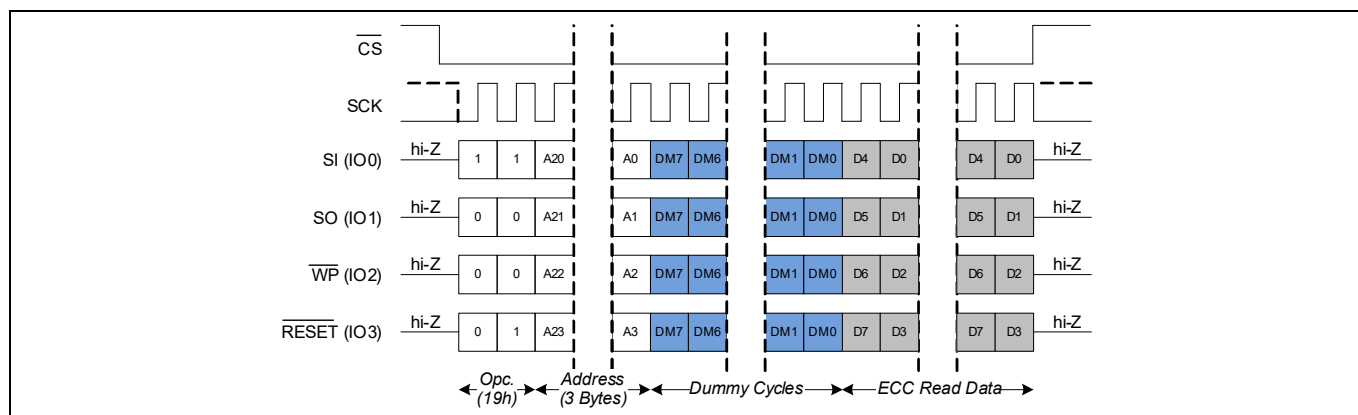


Figure 74 QPI モードでの ECC 読み出し (ECCRD)

5.1.7.8 クリア ECC (CLECC, 1Bh)

CLECC 命令は、すべての ECC フラグ, ADDTRAP, および ECCDC レジスタをクリアします。CLECC 命令を実行する前に WEL ビットを設定する必要はありません。

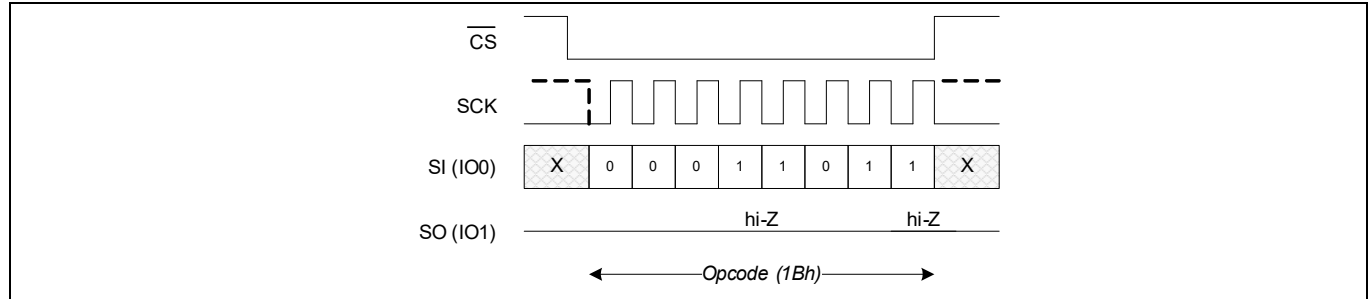


Figure 75 SPI モードでのクリア ECC (CLECC)

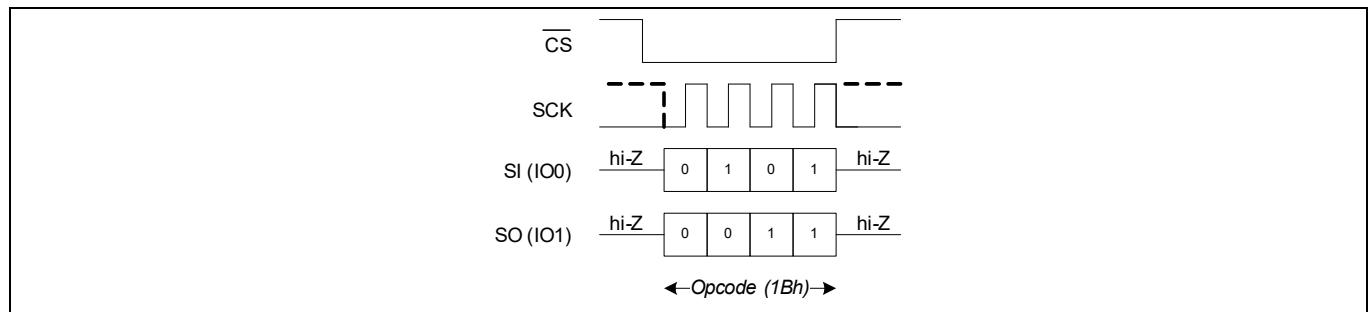


Figure 76 DPI モードでのクリア ECC (CLECC)

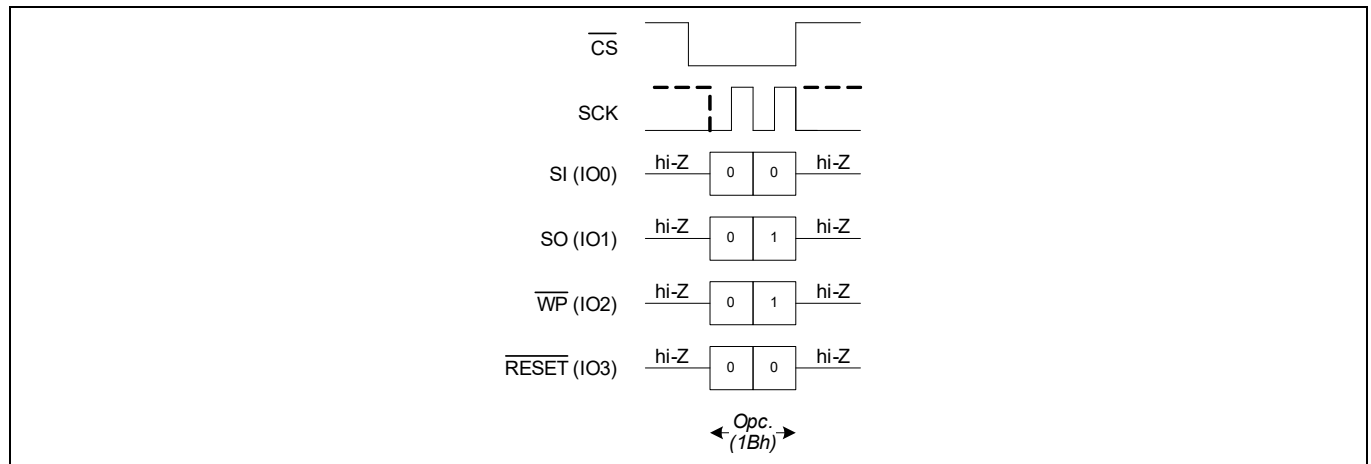


Figure 77 QPI モードでのクリア ECC (CLECC)

5.1.7.9 巡回冗長検査 (CRC)

CY15X102QSN はメモリ アレイ内に記憶されたデータのチェックシーケンスを計算する内蔵の巡回冗長検査 (CRC) エンジンを持っています。CRC は 256 バイト特殊セクタ メモリ、ステータスおよびコンフィギュレーションレジスタに対応しません。

CY15X102QSN は次のオペコードで CRC をサポートします。

Table 52 CRC アクセス コマンド

コマンド	オペコード (Hex)	コマンドの説明
CRCC	5B	CRC 計算 - ユーザー定義のアドレス範囲で CRC 計算を実行
EPCS	75	CRC 中断 - CRCC 操作を中断し、他のアクセスを許可
EPCR1	7A	CRC 再開 - 中断された CRCC 動作を再開

Table 53 CRC アクセス コマンド説明

オペコード (Hex)	アドレス長	SPI バス インターフェース							データ転送		メモリレイテンシ	XIP	最大クロック周波数
		SPI	デュアルデータ	クアッドデータ	デュアル I/O	クアッド I/O	DPI	QPI	SDR	DDR	ダミーサイクル	Execute-in-place	
5B	なし	あり	なし				あり	あり	あり	なし	なし	なし	108 MHz
75	なし	あり	なし				あり	あり	あり	なし	なし	なし	108 MHz
7A	なし	あり	なし				あり	あり	あり	なし	なし	なし	108 MHz

5.1.7.10 データ CRC 計算 (CRCC, 5Bh)

CRCC 命令シーケンスは CY15X102QSN にユーザが定義したアドレス範囲の巡回冗長検査 (CRCC) 計算を実行します。データ CRC イネーブル CY15X102QSN デバイスは、データの各ブロックに対して CRC チェックサムと呼ばれる固定長のバイナリシーケンスを計算し、それらをホストに送信します。ホストデバイスはデータブロックを受信すると、CRC チェックサムを再計算します。新しい CRC チェックサムがデータとともに送信された元のチェックサムと一致しない場合、ブロックにはデータエラーが含まれ、ホストデバイスはデータブロックの再送信を要求するなどの修正アクションを実行する場合があります。

CRCC プロセスは、開始アドレスと終了アドレスの間に格納されているデータのチェック値を計算します。

CRC 計算命令は、オペコードに続いて開始アドレスと終了アドレスを入力することから始まります。終了アドレスがラッチされた後、CS を HIGH に駆動する必要があります。これにより、開始アドレスから終了アドレスまでに含まれるデータのチェック値を計算する内部 CRC プロセスの開始が開始されます。最後のアドレスビットの後に CS を HIGH に駆動しない場合、CRC 計算は動作しません。CRCC コマンドは WEL の状態をチェックしません。しかし、CRC コマンド実行の前に WEL が「1」に設定されている場合、CRC 動作が完了した後に WEL は「0」にクリアされます。

終了アドレス (EA) は開始アドレス (SA) より高位置 (少なくとも 32 ビットのワード) でなければいけません。(EA < SA+3) の場合、CRC 計算は中止され、デバイスはスタンバイモードに戻ります。CRC 中断 (CRCA) ビット (SR2[3] = 「1」) はセットされて、中断されたことを示します。CRC レジスタ (CRCR) は不定のデータを格納します。

CRC 計算実行中の場合、CY15X102QSN は SR1 の WIP ビット (SR1[0]) を「1」に設定します。ユーザーは、WIP ステータスをポーリングして、進行中の CRCC 操作が完了し、デバイスにアクセスする準備ができたことを確認できます。WIP ビットは、CRC 計算が進行中の場合は「1」になり、計算が完了すると「0」になります。CRC レジスタ (CRCR) は、開始アドレスから終了アドレスまでに含まれるデータのチェック値を計算する CRC プロセスの結果を格納します。CRC レジスタの詳細を [Table 54](#) に示します。

機能説明

CRC チェック値ビット 0 ~ 31 は、**任意レジスタ読み出し (RDAR, 65h)** で説明されているように、「任意のレジスタの読み出し (RDAR)」コマンドを使用して CRC レジスタを読み出すことで読み出せます。

CRC レジスタビットは CRC 計算が始まるたびに、すべて 0 (0x00000000) に初期化されます。POR または任意のリセットイベントは CRC レジスタ値をすべて 0 に初期化します。

チェック値計算はメモリ アレイまたはレジスタからデータを読み出すために CRC 中断コマンド (EPCS、B0h) で中断できます。この中断状態中にステータスレジスタ 2 の CRC 中断 (CRCSSB) 状態ビットはセットされます (SR2[4] = 「1」)。中断すると、ホストはステータスレジスタの読み出し、アレイからのデータ読み出しができ、また CRC 再開コマンド (EPCR、30h) を使用して CRC 計算を再開できます。

CY15X102QSN は SA から EA までのデータに対して (SA と EA でのデータも含む) CRC チェックサムを計算するために t_{CRCC} がかかります。

32 ビット CRC (CRC-32C) 多項式 (0x1EDC6F41) は以下に定義されます。

$32X + 28X + 27X + 26X + 25X + 23X + 22X + 20X + 19X + 18X + 14X + 13X + 11X + 10X + 9X + 8X + 6X + 1X$

注: 4 バイト メモリ データは CRC 計算用に、内部で {data[7:0], data[15:8], data[23:16], data[31:24]} として読み出され、CRC[31:0] に割当てられます。

Table 54 CRC レジスタ説明

ビット	名称	機能	初期状態	説明
31:0	CRCR	CRC 値を確認	0x00000000	CRC 計算 (CRCC コマンド) 後に生成された CRC チェックサム値を格納するための揮発性レジスタ。

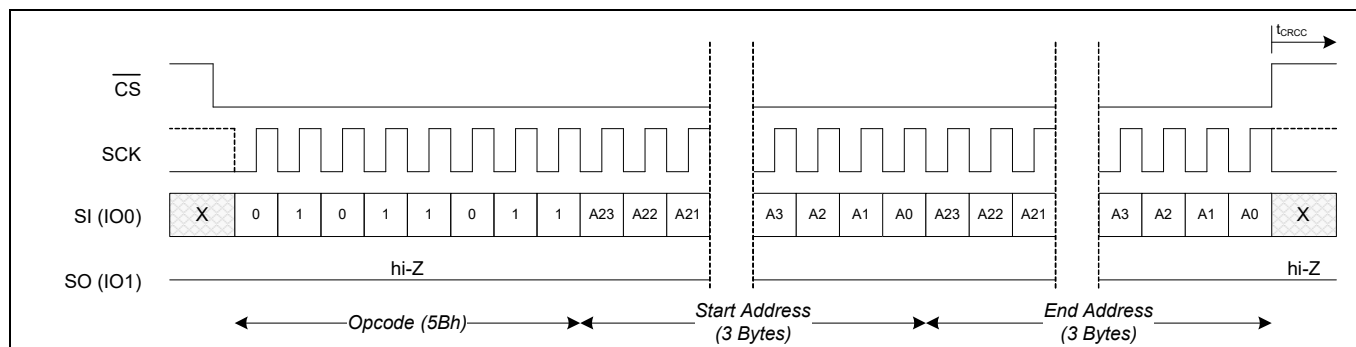


Figure 78 SPI モードでの CRC 計算 (CRCC)

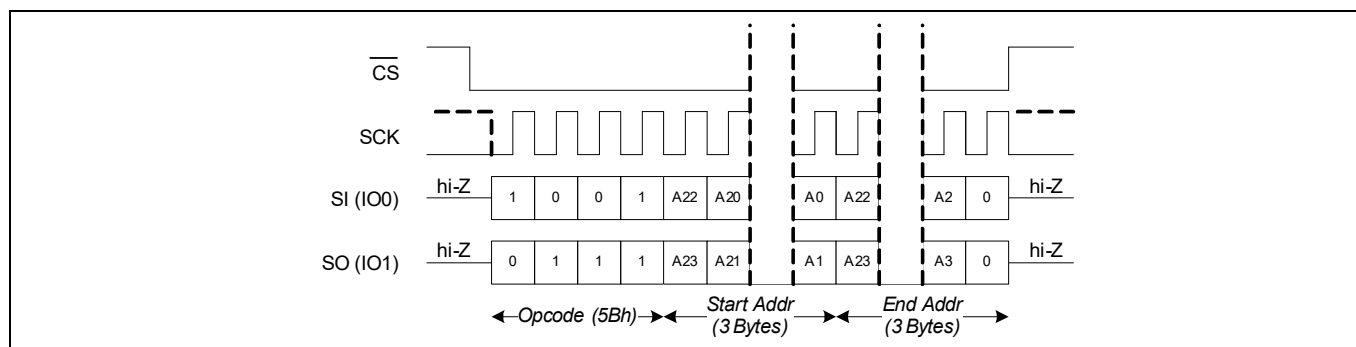


Figure 79 DPI モードでの CRC 計算 (CRCC)

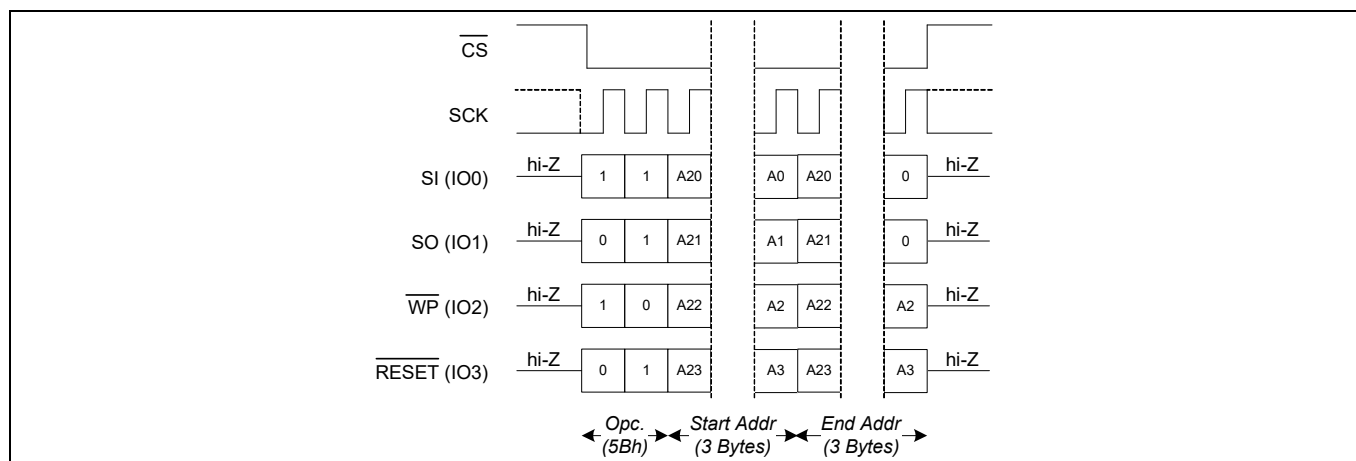


Figure 80 QPI モードでの CRC 計算 (CRCC)

5.1.7.11 CRC 中断 (EPCS, 75h)

EPCS はシステムが処理中の CRCC 動作を中断し、現在の CRC 動作が中断している間に他のアクセスを許可します。CRC が中断されている間に実行できるコマンドは次のとおりです。READ, RDSR1, RDSR2, FAST_READ, DDRFR, ECCRD, CLECC, RDCR1, DOR, RDCR2, RDCR4, SSRD, RDCR5, RDAR, RSTEN, QOR, EPCR, RST, RDID, DIOR, RDSN, QIOR, DDRQIOR。

CRC 中断は、CRC 計算操作中にのみ有効です。CRCC 動作が中断または完了したかを判断するためにステータスレジスタ 2 (SR2) をチェックできます。CRC ステータスビットはステータスレジスタ 1 の WIP ステータスビットが「0」に変化した時点で、CRCC 動作が中断されたか完了したかを示します。EPCS は CRC 動作中断を処理するために t_{CRCS} 時間がかかり、WIP ビットを「1」のままにします。EPCS コマンドが完全に実行される前に CRCC 計算が完了した場合、SR2 での CRCS ビット (SR2[4]) は「1」に設定されず、EPCS が実行されないことを示します。

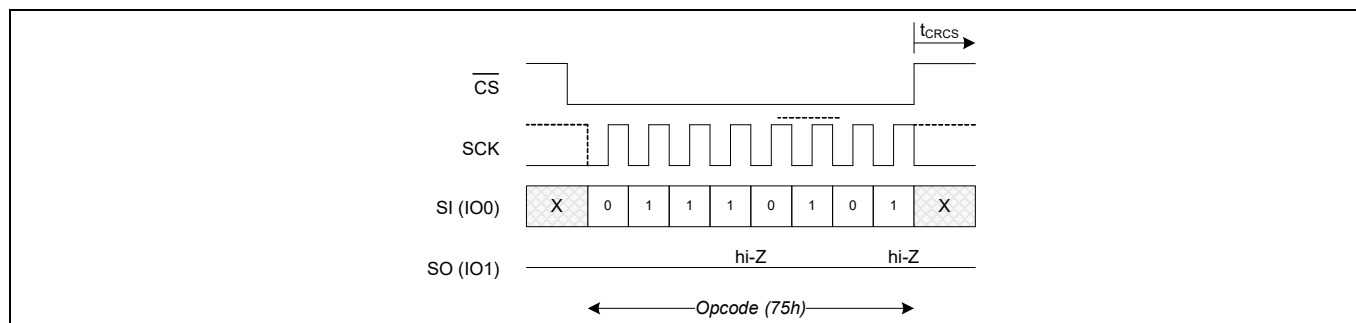


Figure 81 SPI モードでの CRC 中断 (EPCS)

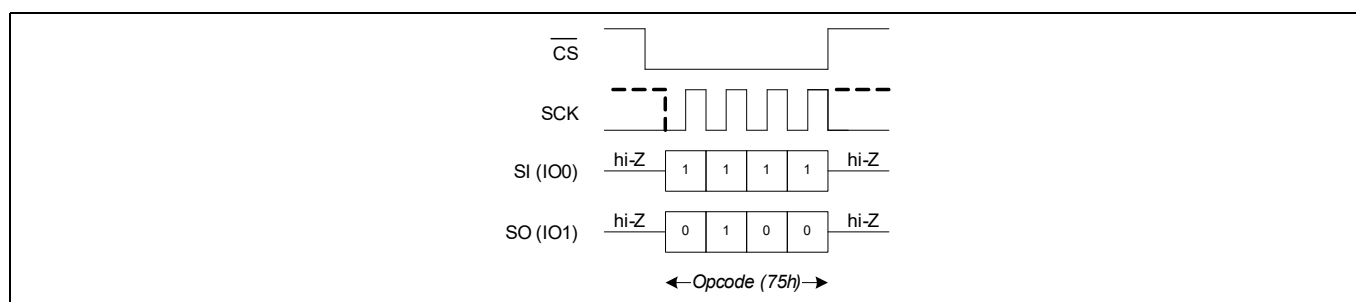


Figure 82 DPI モードでの CRC 中断 (EPCS)

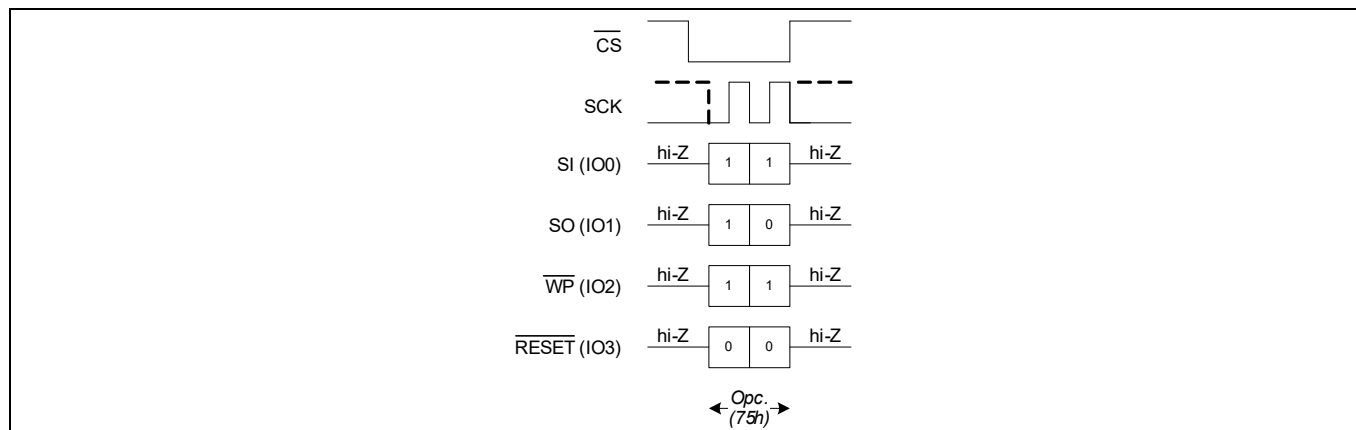


Figure 83 QPI モードでの CRC 中断 (EPCS)

5.1.7.12 CRC 再開 (EPCR, 7Ah)

EPCR は中断した CRCC 動作を再開します。CRC 再開命令を発行した後、WIP ビットは「1」に設定されます。CRCC 動作は必要に応じて中断できます。SR2 での CRCS ビット (SR2[4]) が「1」に設定される時のみ、EPCR は中断した CRCC 動作を再開します。そうでない場合、EPCR コマンドは無視されます。EPCR 命令を発行した後、WIP ビットは「1」に設定されます。必要に応じて CRCC 動作は中断して再開できます。

EPCR はコマンド処理のために t_{CRCR} 時間がかかり、終了アドレス (EA) まで残りのデータバイトに対して CRC 計算を再開します。

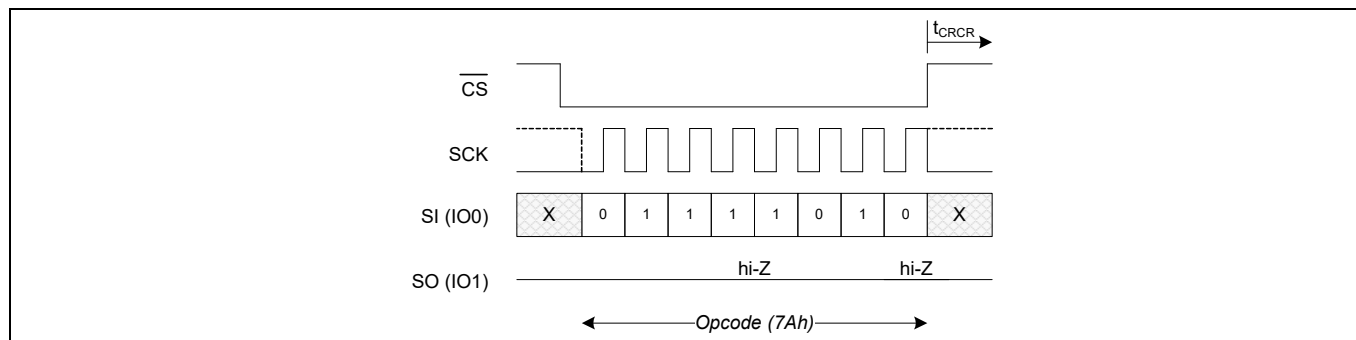


Figure 84 SPI モードでの CRC 再開 (EPCR)

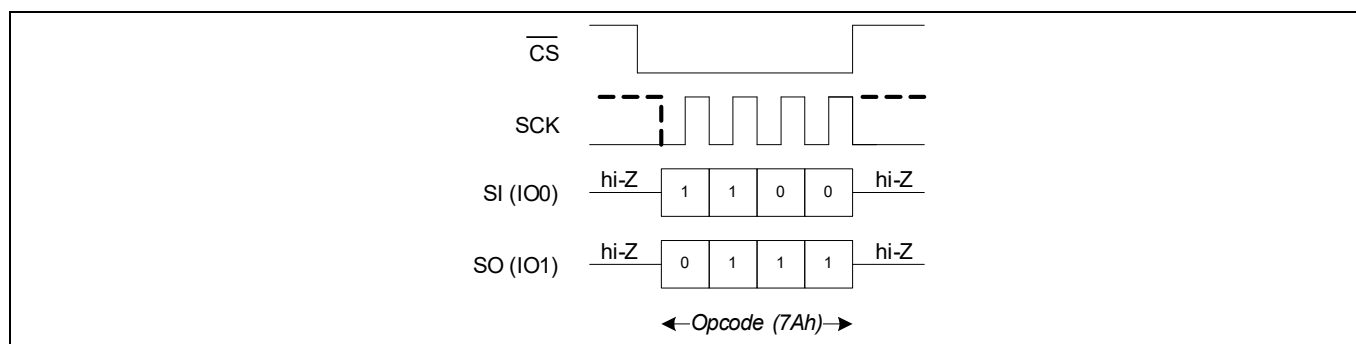


Figure 85 DPI モードでの CRC 再開 (EPCR)

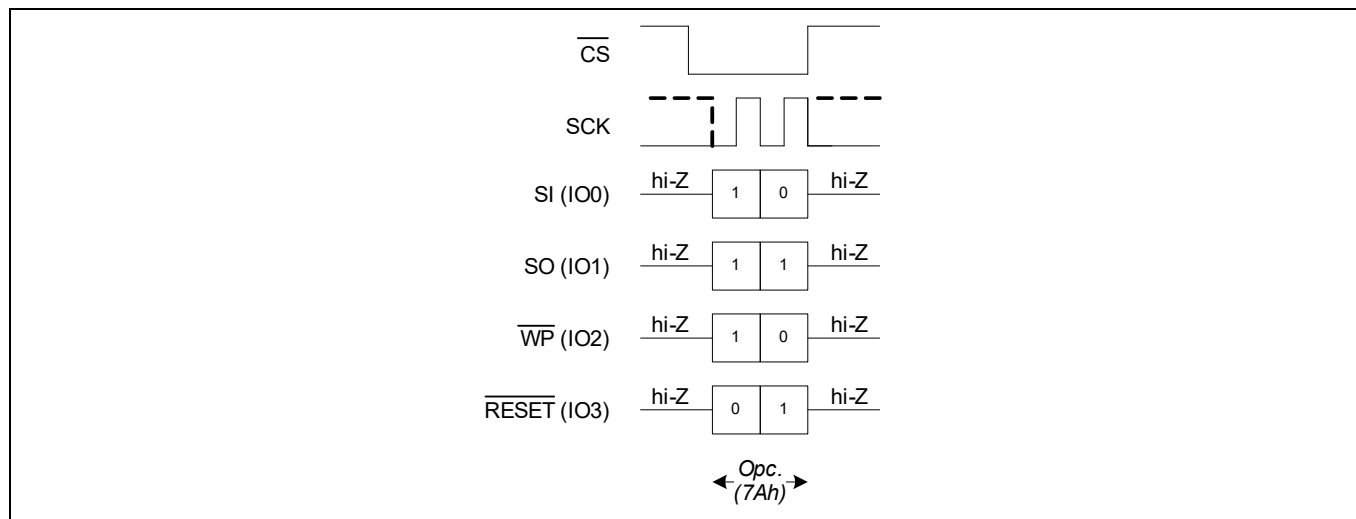


Figure 86 QPI モードでの CRC 再開 (EPCR)

5.1.8 ID およびシリアル番号コマンド

CY15X102QSN デバイスは、8 バイトの読み出し専用レジスタと 8 バイトの書き込み可能なシリアル番号レジスタであるデバイス ID と固有 ID を含む 3 種類の識別機能を提供します。それぞれの詳細については、以下で説明します。

5.1.8.1 デバイス ID 読み出し (RDID, 9Fh)

CY15X102QSN デバイスは、メーカー、製品 ID、ダイの版数について問い合わせられます。RDID オペコード 9Fh を使用すると、ユーザーは 8 バイトのメーカー ID と製品 ID を読み出せます。これらは両方とも読み出し専用バイトです。デバイス ID フィールドはデバイス ID フィールド表に記載されています。対応する製品番号のデバイス ID を、[注文情報](#)に示します。

注：

- 示されているダミーサイクルは CR5 のレジスタレイテンシコードビット (RLC0、RLC1) によるコンフィギュレーションオプションです。
- RDID データ設定 - LSb が先にシフトアウトし、MSb が最後にシフトアウトします。RDID コマンドではラップしません。8 バイト目の後、ホストがクロック供給を継続する場合、デバイスは未定義のデータバイトを返します。

Table 55 デバイス ID フィールド

ビット (ビット数)	63-32 (32 ビット)	31-21 (11 ビット)	20-8 (13 ビット)	7-3 (5 ビット)	2-0 (3 ビット)
説明	00000000000000000000000000000000 (予約済み)	00000110100 (メーカー ID)	製品 ID	容量 ID	ダイリビジョン

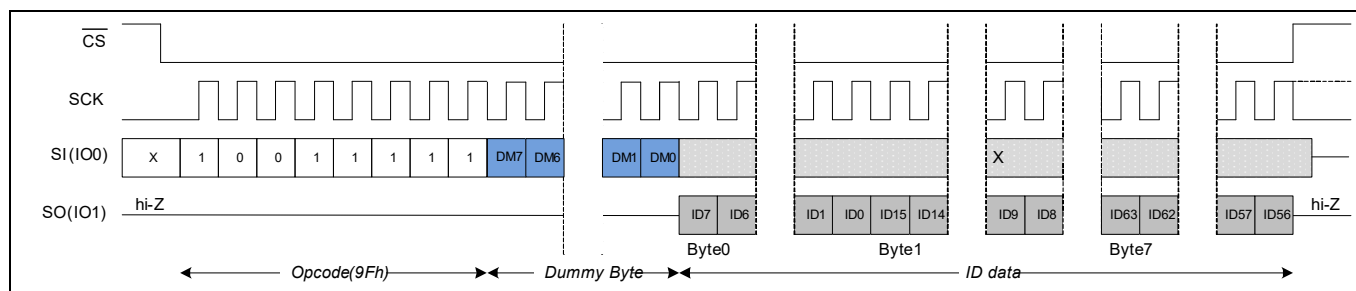


Figure 87 SPI モードでのデバイス ID 読み出し (RDID)

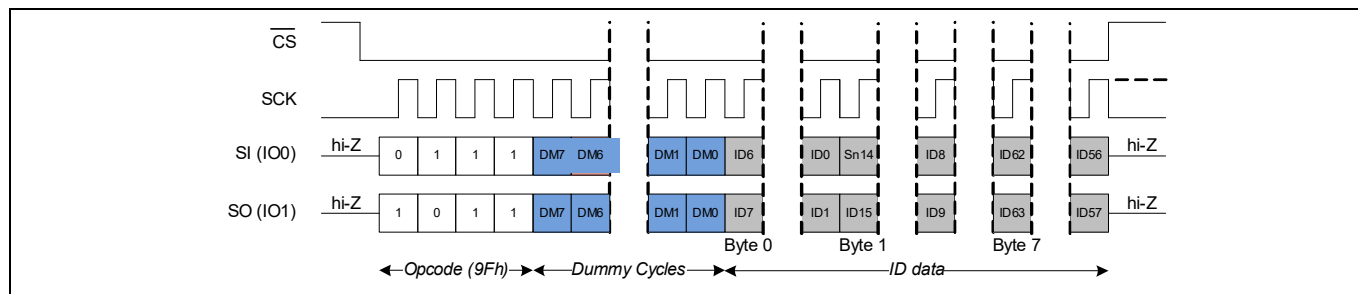


Figure 88 DPI モードでのデバイス ID 読み出し (RDID)

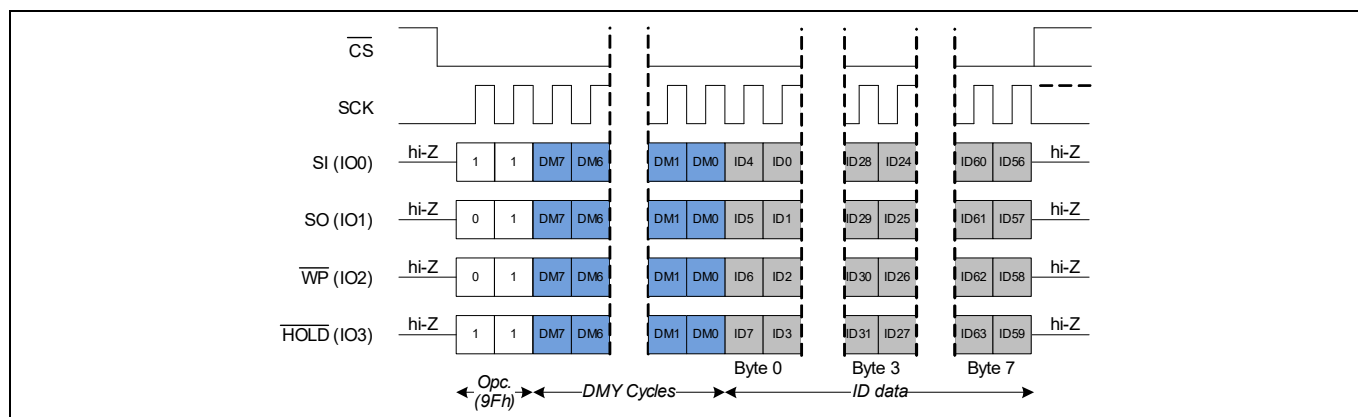


Figure 89 QPI モードでのデバイス ID 読み出し (RDID)

5.1.8.2 固有 ID 読み出し (RUID, 4Ch)

CY15X102QSN デバイスは、工場出荷時にプログラムされた各デバイスに固有の 64 ビット番号である固有 ID について問い合わせを行えます。RUID オペコード 4Ch は、8 バイトの読み出し専用固有 ID を読み出せます。

注:

- 示されているダミーサイクルは CR5 のレジスタレイテンシコードビット (RLC0、RLC1) によるコンフィギュレーションオプションです。
- RUID データ設定 - Lsb が先にシフトアウトし、MSb が最後にシフトアウトします。RDID コマンドではラップしません。8 バイト目の後、ホストがクロック供給を継続する場合、デバイスは未定義のデータバイトを返します。
- 固有 ID レジスタは、標準的なハンドリフローの最大 3 サイクルにわたってユーザデータを維持することを保証します。

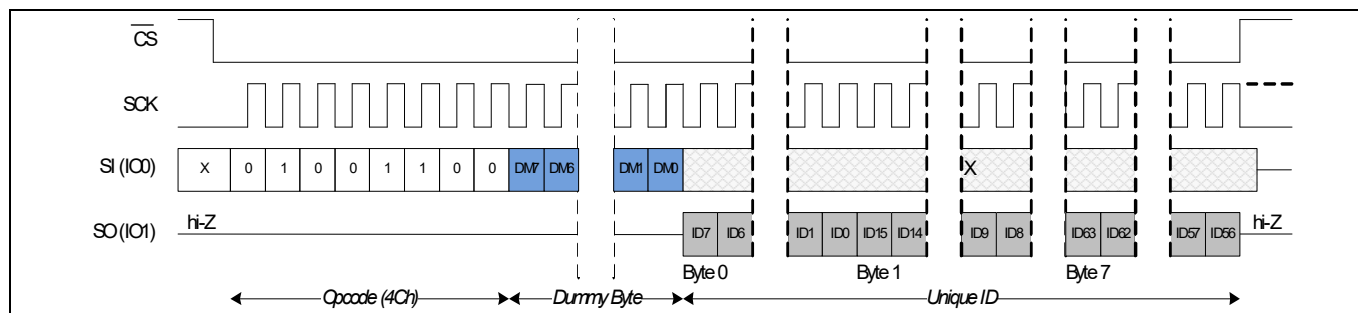


Figure 90 SPI モードでの固有 ID 読み出し

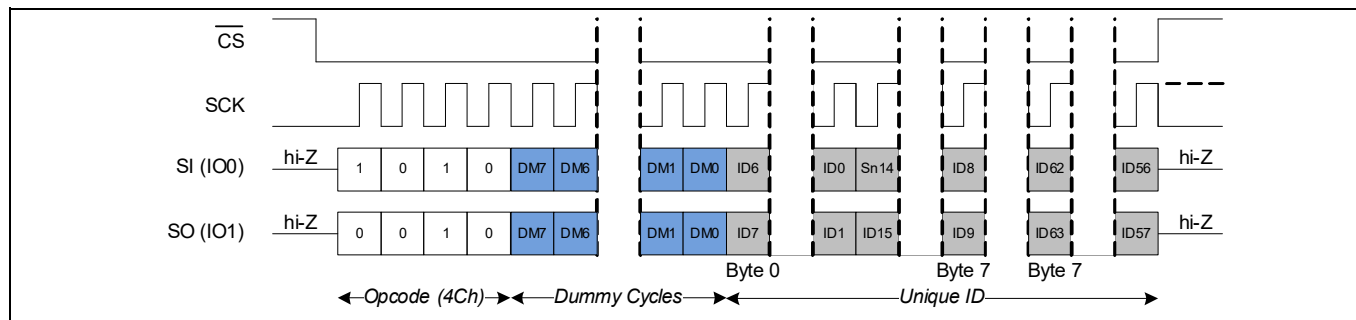


Figure 91 DPI モードでの固有 ID 読み出し

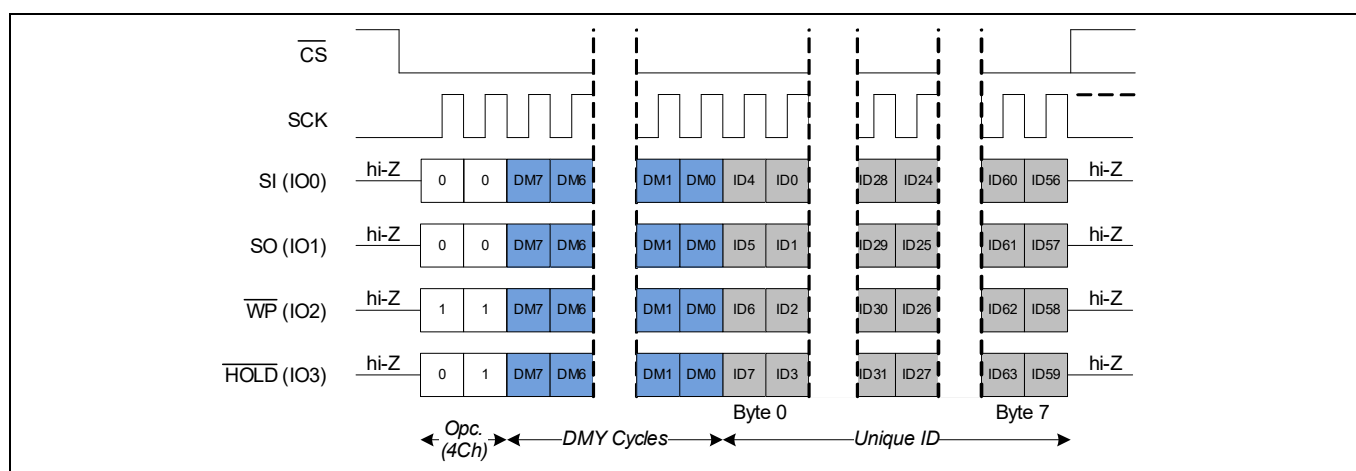


Figure 92 QPI モードでの固有 ID 読み出し

5.1.8.3 シリアル番号書き込み (WRSN, C2h)

シリアル番号は、PC 基板またはシステムを一義的に識別するためにユーザーに提供される 8 バイトのプログラマブルメモリ空間です。通常、シリアル番号は 2 バイトのカスタマー ID、その後続く固有の 5 バイトの一義のシリアル番号と 1 バイトの CRC チェックで構成されています。しかし、エンドアプリケーションでは、8 バイトのシリアル番号に独自フォーマットで定義できます。シリアル番号レジスタへのすべての書き込みは、CS がアサートおよびデアサートされている状態での WREN オペコードで始まります。次のオペコードは WRSN です。WRSN 命令は、シリアル番号の 8 バイトすべてを書き込むためにバーストモードで使用できます。シリアル番号の最後のバイトがシフトインされた後、WRSN 動作を完了するために CS を HIGH に駆動する必要があります。

注:

- 書き込み動作を行うためにステータスレジスタの書き込みイネーブルラッチ (WEL) が「1」に設定される場合にのみ、WRSN 命令はデバイスによって実行されます。WRSN 動作が終了すると、書き込みイネーブルラッチ (WEN) は「0」にセットされます。
- WRSN データ設定 -LSb が先にシフトインし、MSb が最後にシフトインします。
- 7 バイト ID の CRC チェックサムはデバイスによって計算されません。システムファームウェアは CRC チェックサムを計算し、チェックサムを 7 バイトのユーザー定義のシリアル番号に付け加えてから、8 バイトシリアル番号をシリアル番号レジスタにプログラムする必要があります。8 バイトシリアル番号の工場出荷時の初期値は「0x0000000000000000」です。
- WEL ビットは WRSN コマンドが完了した後 (CS の立ち上りエッジ)、自動的に「0」にクリアされます。
- 正確に 8 バイトを入力する必要があります。それ以外はシリアル番号書き込み (WRSN) は実行されません。

Table 56 8 バイト シリアル番号

16 ビット カスタマー 識別子		40 ビット 固有番号					8 ビット CRC
SN[63:56]	SN[55:48]	SN[47:40]	SN[39:32]	SN[31:24]	SN[23:16]	SN[15:8]	SN[7:0]

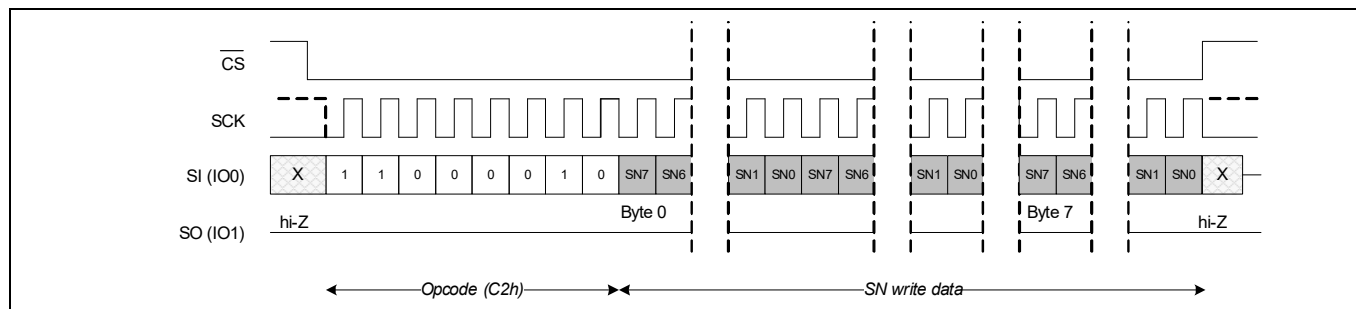


Figure 93 SPI モードでのシリアル番号書き込み (WREN は非表示)

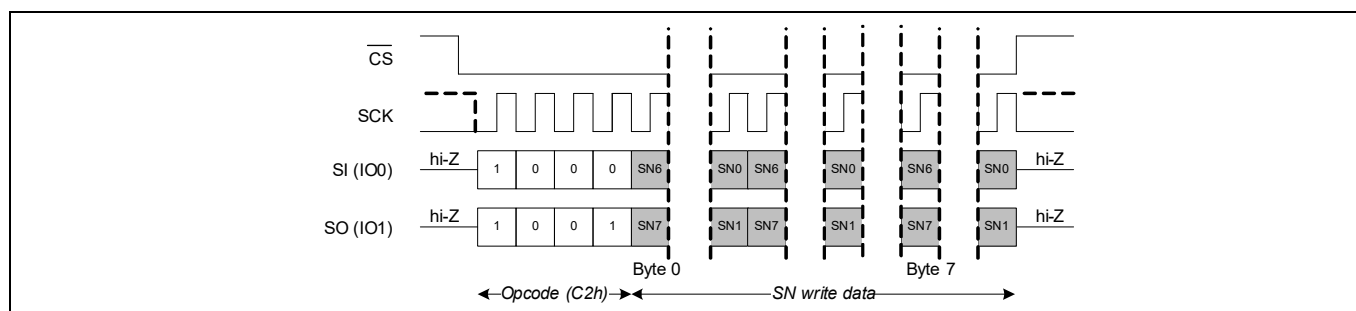


Figure 94 DPI モードでのシリアル番号書き込み (WREN は非表示)

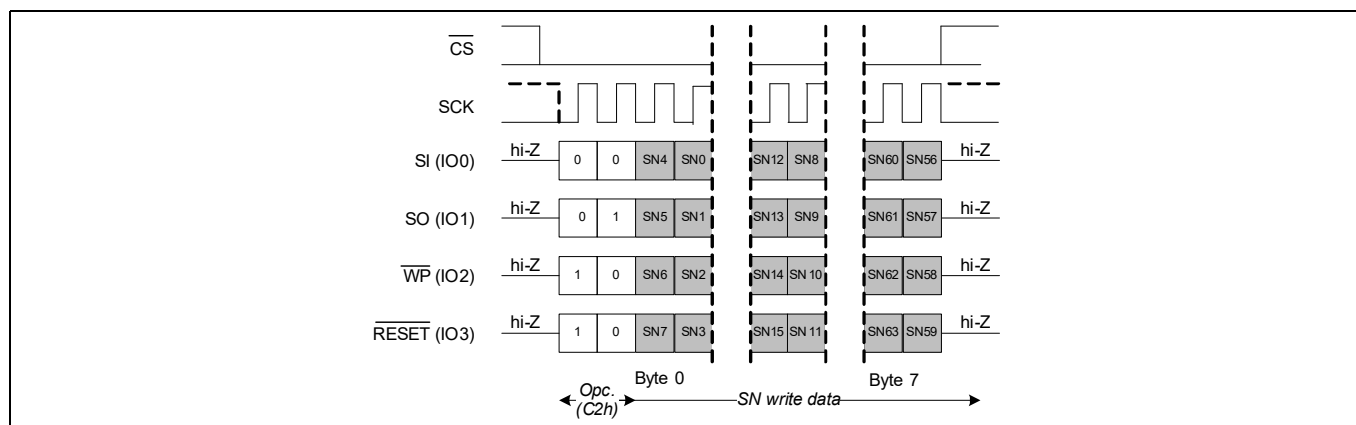


Figure 95 QPI モードでのシリアル番号書き込み (WREN は非表示)

5.1.8.4 シリアル番号読み出し (RDSN, C3h)

CY15X102QSN デバイスはデバイスを一意に識別するためにユーザーに提供される 8 バイトのシリアル番号のスペースを組み込んでいます。シリアル番号は RDSN 命令で読み出されます。シリアル番号読み出しは、バースト モードで実行して一度にすべての 8 バイトを読み出せます。シリアル番号の最後のバイトが読み出された後、ホストはクロッキングを停止し、CS を HIGH に駆動して、RDSN コマンドを終了する必要があります。CS が LOW になった後、RDSN のオペコードをシフトすることで RDSN 命令を発行できます。

注:

- 示されているダミーサイクルは CR5 のレジスタレイテンシコードビット (RLC0、RLC1) によるコンフィギュレーションオプションです。
- LSb が最初にシフトアウトし、MSb が最後にシフトアウトします。ホストが 8 バイト目以降もクロッキングを続けると、デバイスは未定義のデータバイトを返す可能性があります。

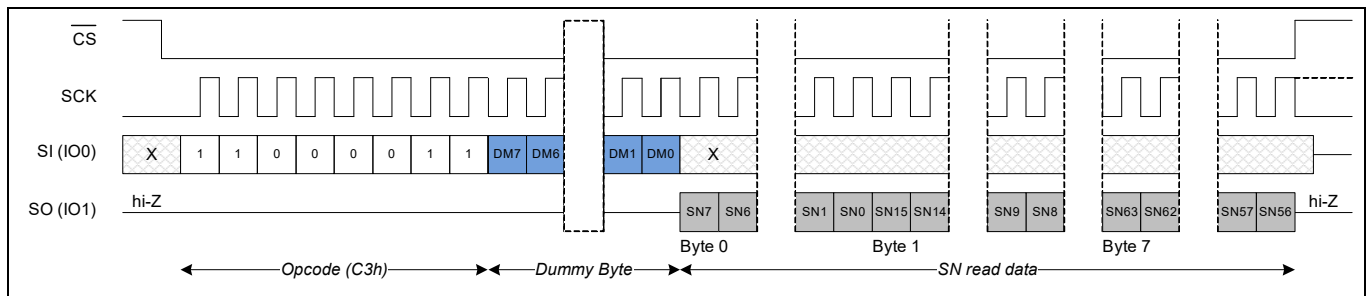


Figure 96 SPI モードでのシリアル番号読み出し (RDSN)

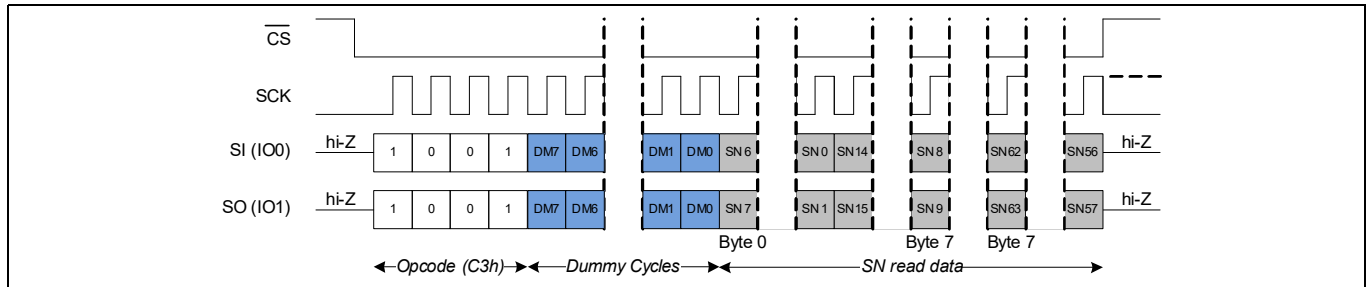


Figure 97 DPI モードでのシリアル番号読み出し (RDSN)

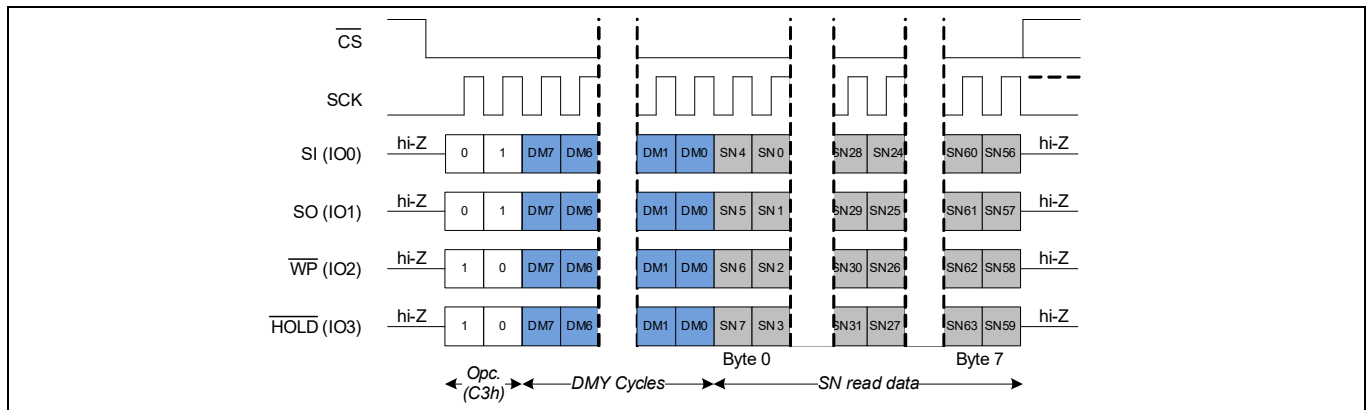


Figure 98 QPI モードでのシリアル番号読み出し (RDSN)

5.1.9 低消費電力モードとリセット

Table 57 低消費電力モードとリセット コマンド

コマンド	オペコード (Hex)	コマンドの説明
DPD	B9	ディープパワーダウン - ディープパワーダウンパワーモードに入ります
HBN	BA	ハイバネート モード - 休止状態の電源モードに入ります
RSTEN	66	リセットの有効化 - ソフトウェアのリセットを有効にするための事前コマンド
RST	99	ソフトウェアリセット - ソフトウェアリセットを開始するコマンド

Table 58 低消費電力モードとリセット コマンドの説明

オペコード (Hex)	アドレス長	SPI バス インターフェース							データ転送		レイテンシ (なし)	XIP	最大クロック周波数
		SPI	デュアルデータ	クアッドデータ	デュアル I/O	クアッド I/O	DPI	QPI	SDR	DDR	ダミーサイクル	Execute-in-place	
B9	なし	あり		なし			あり	あり	あり	なし	なし	なし	108 MHz
BA	なし	あり		なし			あり	あり	あり	なし	なし	なし	108 MHz
66	なし	あり		なし			あり	あり	あり	なし	なし	なし	108 MHz
99	なし	あり		なし			あり	あり	あり	なし	なし	なし	108 MHz

5.1.9.1 ディープパワーダウンモード (DPD, B9h)

DPD オペコード B9 がクロック入力され、 \overline{CS} が HIGH になる場合、デバイスはディープパワーダウンモードに移行します。ディープパワーダウンモードでは、SCK と SI ピンが無視され、SO が Hi-Z となりますが、デバイスは \overline{CS} ピンの監視を継続します。

t_{CSDPD} の \overline{CS} パルス幅またはハードウェアリセットは t_{EXTDPD} 時間後に DPD モードを終了します。 \overline{CS} パルス幅は、ダミーコマンドサイクルを送信するか、または SCK と I/O がドントケアになっている間に \overline{CS} のみをトグルすることによって生成できます。ディープパワーダウンモードからの復帰中は、I/O は Hi-Z 状態のままです。DPD の開始タイミングについては [Figure 99](#) を、DPD の終了タイミングについては [Figure 102](#) を参照してください。

注:

- [Figure 99](#) に示されているタイミング詳細は、DPI および QPI モードでそのまま適用できます。
- CRC レジスタ (CRCR) および ECC レジスタ (ECCDC および ADDRTRAP) は DPD モードで内容を失い、0x00 のデフォルト値に戻ります。
- WEL ビットの状態 (SR0[1]) は DPD モードで維持されません。DPD に移行する前に WEL が「1」の場合、DPD モードが終了すると「0」にクリアされます。

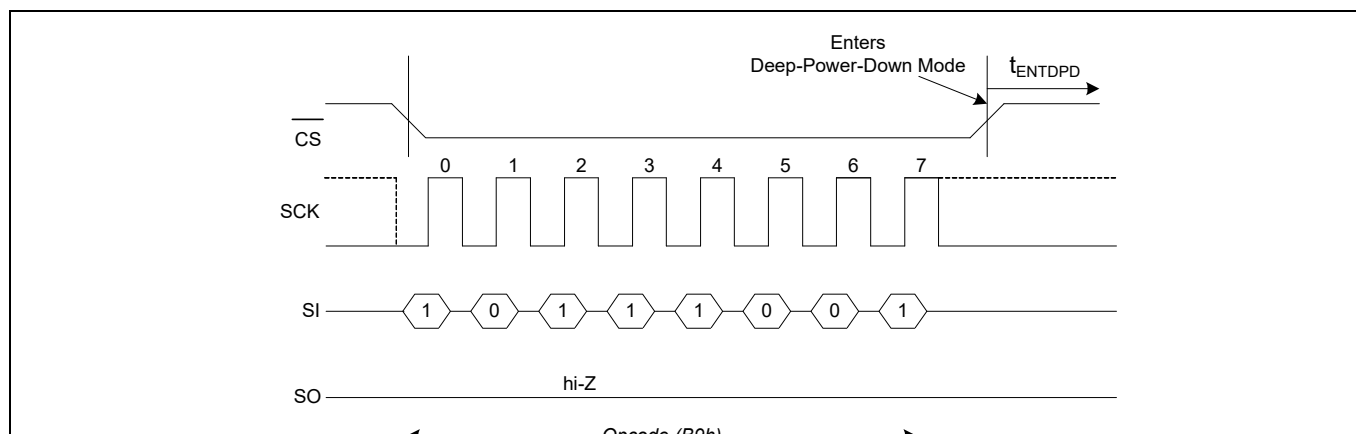


Figure 99 SPI モードでの DPD の開始

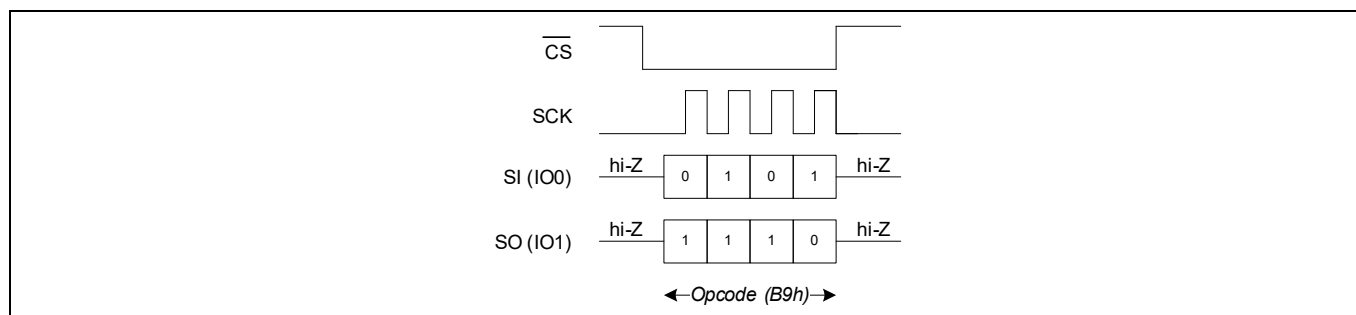


Figure 100 DPI モードでのディープ パワーダウン モード動作

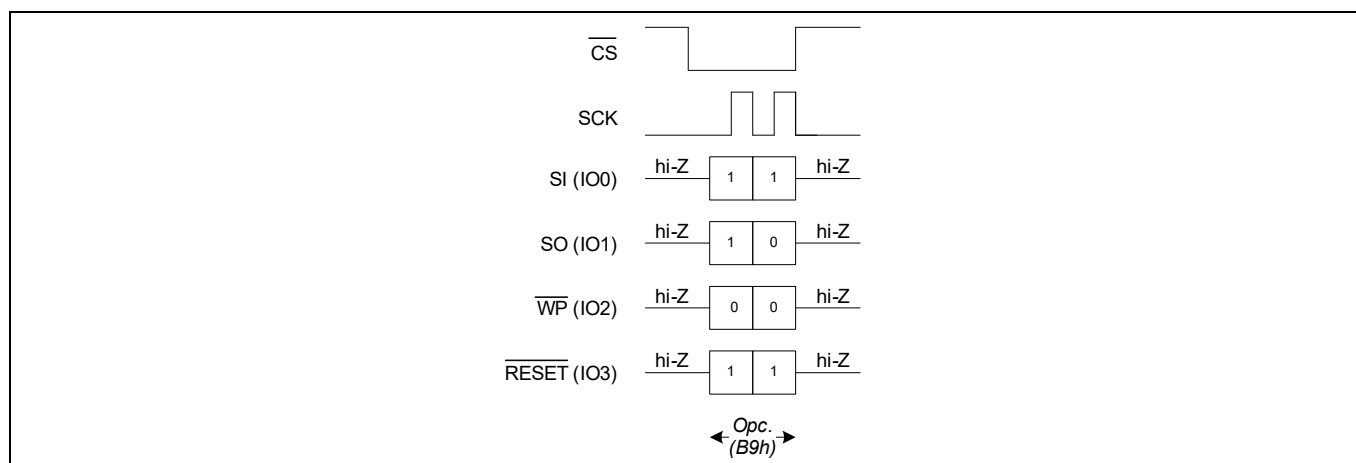


Figure 101 QPI モードでのディープ パワーダウン モード動作

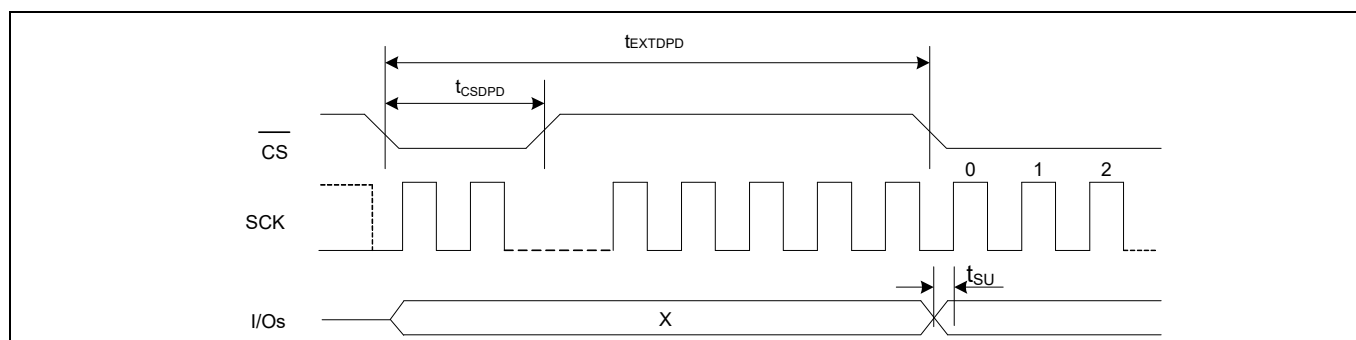


Figure 102 SPI モードでの DPD の終了

5.1.9.2 ハイバネート モード (HBN, BAh)

HBN オペコード BAh がクロックインされ、 \overline{CS} の立ち上りエッジが適用されると、デバイスは休止状態モードになります。ハイバネート モードになると SCK と SI ピンは無視され、SO は Hi-Z になりますが、デバイスは \overline{CS} ピンの監視を継続します。 \overline{CS} の次の立ち下りエッジで、デバイスは、 t_{EXTHIB} 以内に通常の動作に復帰します。ハイバネート モードからの復帰中、SO ピンは Hi-Z 状態のままです。デバイスはウェイクアップ期間内でオペコードに応答する必要はありません。ハイバネート モードを終了するために、コントローラは、例えば「ダミー」読み出しを送信し、残りの t_{EXTHIB} 時間待機することもあります。

注:

- SPI モードのタイミング図に示されているタイミング詳細は、DPI および QPI モードでそのまま適用できます。
- ハイバネート モードを終了すると、すべてのレジスタはデフォルト POR 値でリロードされます。POR 後のレジスタのデフォルト値の詳細については、Table 3 を参照してください。

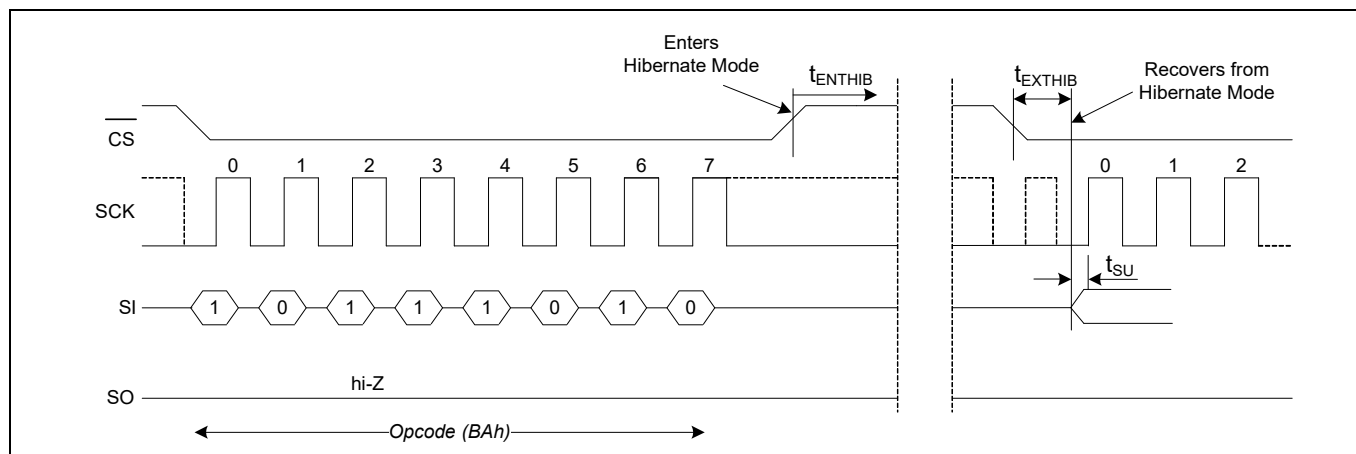


Figure 103 SPI モードでのハイバネート モード動作

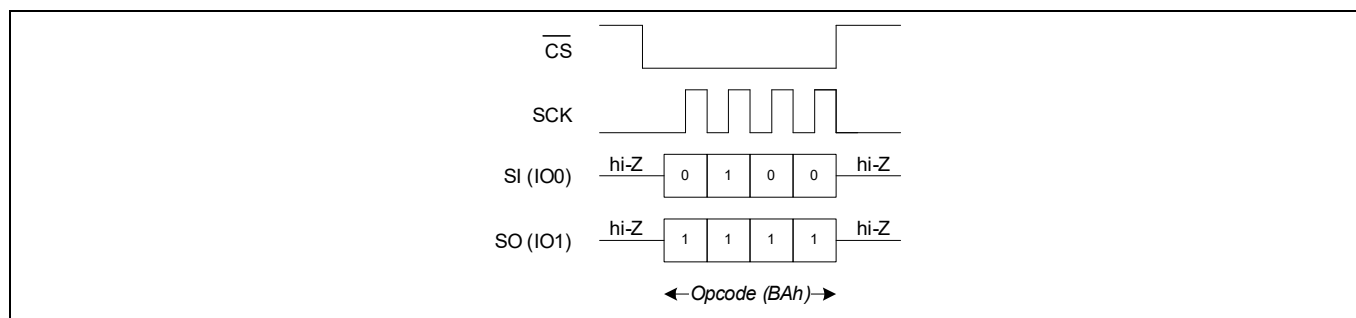


Figure 104 DPI モードでのハイバネート モード動作

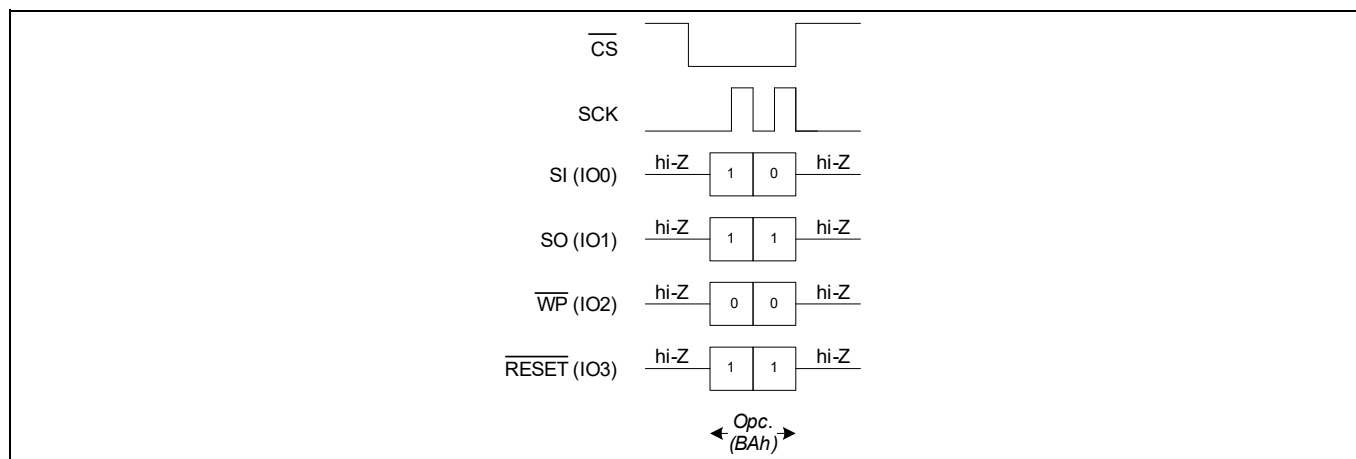


Figure 105 QPI モードでのハイバネートモード動作

5.1.9.3 ソフトウェアリセット

ソフトウェアリセット動作は、リセットイネーブル (RSTEN) 命令とそれに続くリセット (RST) 命令の 2 つの命令を組み合わせたものです。デバイス全体をリセットし、 t_{SRESET} 時間後にのみ命令を受信できるようにします。

注:

- RST を除き、RSTEN 命令に続くすべての命令はリセットイネーブル状態をクリアし、後の RST 命令が認識されないようにします。
- ソフトウェアリセット中、RDSR1 と RDAR コマンド (RDSR1 へのアクセス) のみはサポートされます。他のコマンドは無視されます。
- SPI モードのタイミング図に示されているタイミング詳細は、DPI および QPI モードでそのまま適用できます。

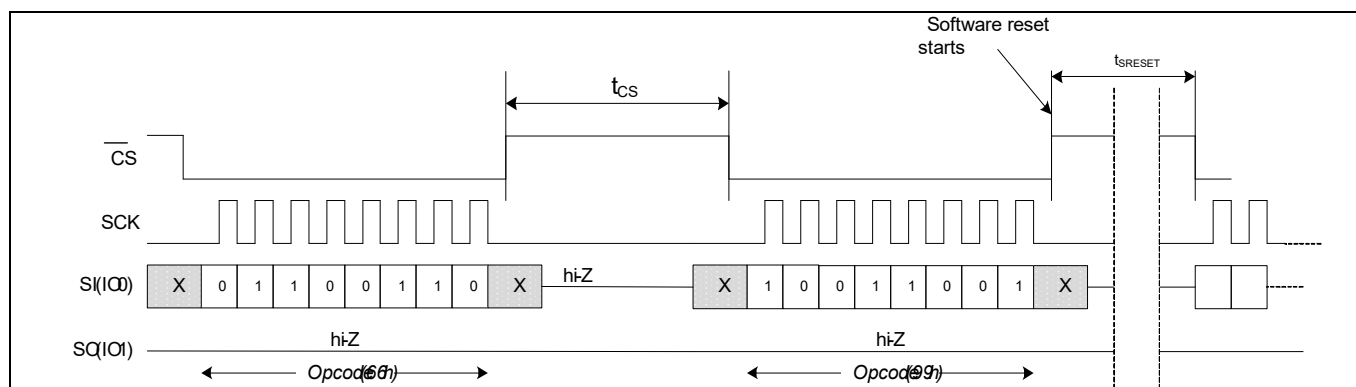


Figure 106 SPI モードでのソフトウェアリセットタイミング

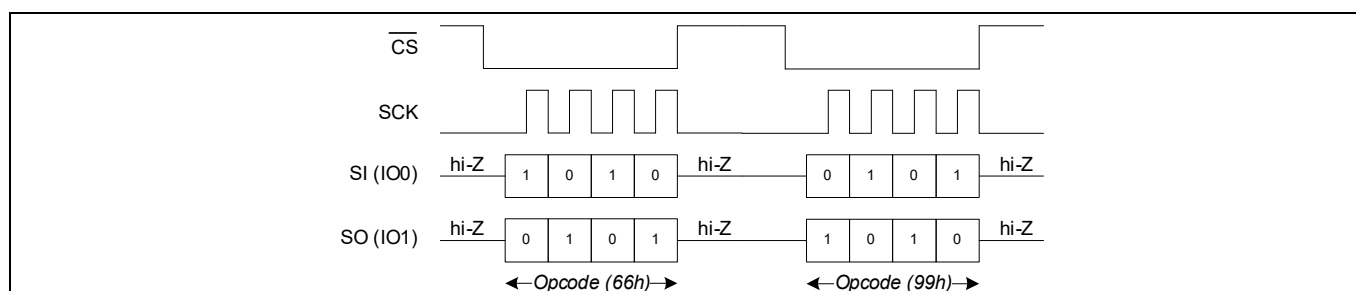


Figure 107 DPI モードでのソフトウェアリセットタイミング

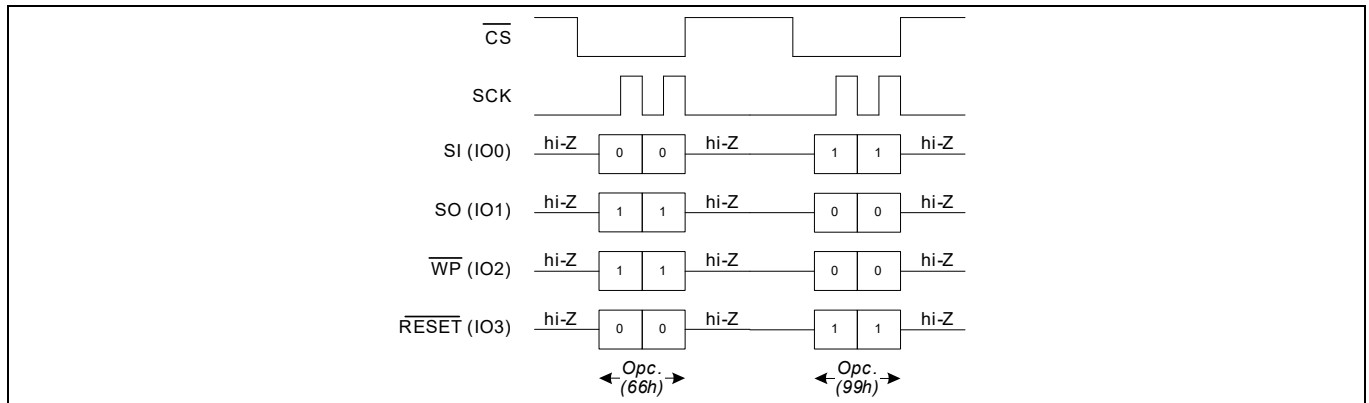


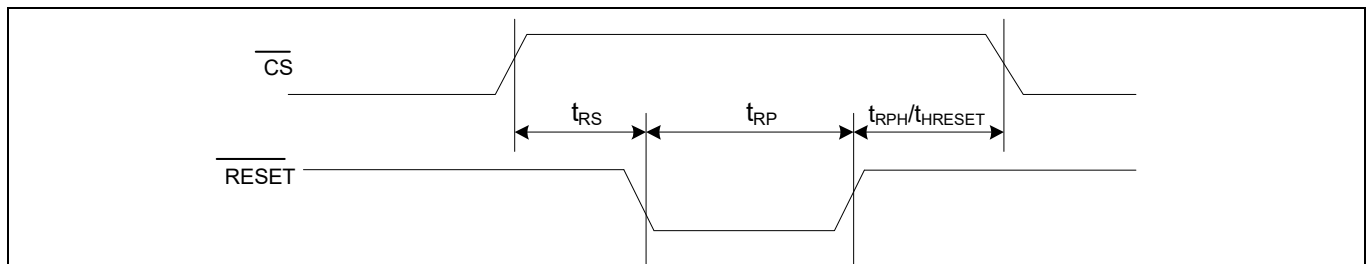
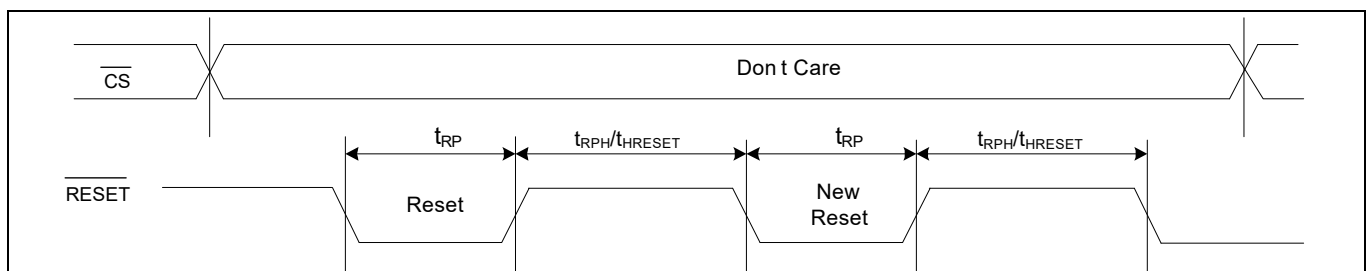
Figure 108 QPI モードでのソフトウェアリセット タイミング

5.1.9.4 ハードウェアリセット (RESET)

ハードウェアリセット入力 ($\overline{\text{RESET}}$) は $\overline{\text{RESET}}/(\text{I/O3})$ で多重化され、CY15X102QSN デバイスではアクティブ LOW 信号です。さまざまな SPI インターフェース間のハードウェアリセット ($\overline{\text{RESET}}$) ピン設定については、Table 21 を参照してください。 $\overline{\text{RESET}}$ ピンが LOW にプルされる時、CY15X102QSN は自己初期化し、それ自体のコンフィギュレーション設定を電源投入時の状態に戻します。 $\overline{\text{RESET}}$ サイクル後のさまざまなレジスタ設定については、Table 59 を参照してください。 $\overline{\text{RESET}}$ が発行されると、CY15X102QSN はリセット サイクルを完了するために $\overline{\text{RESET}}$ の立ち上がりエッジから $t_{\text{RPH}}/t_{\text{HRESET}}$ 時間がかかります。 t_{RPH} 時間中にアクセスできなくなります。Figure 109 ~ Figure 111 に、さまざまなリセットモードでの $\overline{\text{RESET}}$ タイミングを示します。

注:

- $\overline{\text{RESET}}$ ピンは QPI モードの I/O3 で多重化されます。ハードウェア ($\overline{\text{RESET}}$) を QPI モードで使用する場合、CS が High のときに I/O3 を $\overline{\text{RESET}}$ 入力として使用できるようにするためには、CR2[5] ビットを「1」に設定する必要があります。Figure 109 に QPI モードでの $\overline{\text{RESET}}/(\text{I/O3})$ タイミングを示します。
- $\overline{\text{RESET}}$ ピンのハードウェアリセット機能を有効にするためには、コンフィギュレーションレジスタ 1 の QUAD ビット CR1[1] を「0」に設定する必要があります。
- QPI モードの共有バス設定では、 $\overline{\text{RESET}}$ 機能が有効になっていると、同じバス上のマスターと別の QSPI スレーブ間の通信が進行するため、デバイスは ($\overline{\text{RESET}}/(\text{I/O3})$) が切り替わるたびにリセットされます。したがって、共有バス設定では $\overline{\text{RESET}}$ ピン機能を無効にすることを推奨します。

Figure 109 $\overline{\text{RESET}}$ タイミング - QUAD セット (CR1[1] = 1) または QPI 有効 (CR2[6] = 1) の SPIFigure 110 $\overline{\text{RESET}}$ タイミング - QUAD クリア (CR1[1] = 0) および QPI 無効 (CR2[6] = 0) の SPI

5.1.9.5 JEDEC SPI リセット

JEDEC SPI リセットは、デバイスの動作 I/O モードとは無関係にハードウェアリセットを開始するシグナリングプロトコルです。ステータスレジスタおよびコンフィギュレーションレジスタで選択されたデフォルトモードにデバイスを戻します。Table 59 に、デフォルトのリカバリが開始された後のデバイスのステータスを示します。

デフォルト モード回復のステップは以下のとおりです。

1. $\overline{\text{CS}}$ は、アクティブ Low を切り替えて SPI スレーブを選択します。
2. SCK は、High 状態でも Low 状態でも安定しています。
3. SI (I/O0) は、 $\overline{\text{CS}}$ が Low になると同時に High から Low に切り替わります。他の I/O (I/O1, I/O2, および I/O3) はドントケアのままです。
4. I/O0 が Low のままで、 $\overline{\text{CS}}$ が High に駆動されます。
5. $\overline{\text{CS}}$ の立ち下りエッジで SI (I/O0) の状態を交互に繰り返すたびに、上記の手順 1 ~ 4 を合計 4 回繰り返します。
6. 4 番目の $\overline{\text{CS}}$ が High (非アクティブ) になった後にリセットが発生します。

タイミングの詳細については、Figure 111 を参照してください。

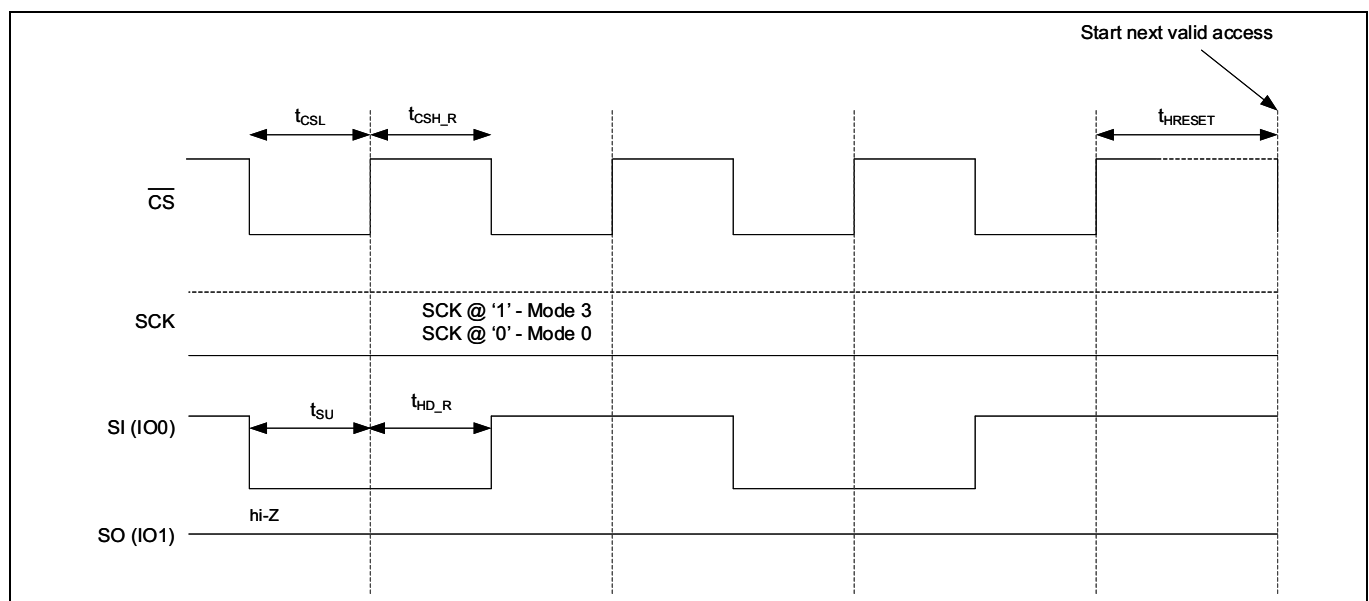


Figure 111 JEDEC SPI リセット

Table 59 さまざまなタイプのリセット後のレジスタのステータス

リセット機能	I/O 要件	ステータスレジスタ (SRx)	コンフィギュレーションレジスタ (CRx)	ECC ステータス	CRC レジスタ	ECC カウントレジスタ (ECCDC)	ADDR トラップレジスタ (ADDTRAP)	I/O モード
パワーオンリセット	\overline{CS} = 「1」 その他の入力 - 無視される すべての出力 - トライステート	SR1 - デフォルト値をロード SR2 - 0x00	CR1, CR2, CR4, CR5 デフォルト値をロード	0x00 をロード	0x00 をロード	0x00 をロード	0x00 をロード	変化なし
ハードウェアリセット	\overline{CS} = 「1」 その他の入力 - 無視される すべての出力 - トライステート	SR1 - デフォルト値をロード SR2 - 0x00	CR1, CR2, CR4, CR5 デフォルト値をロード	0x00 をロード	0x00 をロード	0x00 をロード	0x00 をロード	変化なし
ソフトウェアリセット	命令 (RSTEN, RST)	SR1 - 「1」を設定すると「0」にクリアされる WEL ビット以外は変化なし SR2 - 0x00	CR1, CR2, CR4, CR5 - 変化なし	0x00 をロード	0x00 をロード	0x00 をロード	0x00 をロード	変化なし
JEDEC リセット (デフォルトの回復)	\overline{CS} および SI (IO0) = トグル その他の入力 - 無視される すべての出力 - トライステート	SR1 - デフォルト値をロード SR2 - 0x00	CR1, CR2, CR4, CR5 デフォルト値をロード	0x00 をロード	0x00 をロード	0x00 をロード	0x00 をロード	変化なし

CY15X102QSN が未定義の状態に入り、すべての SPI コマンドへの応答を停止した場合、SPI ホストはハードウェア RESET または JEDEC SPI リセットを発行できます。誤ったオペコードか、誤ったオペコードのラッチを内部で発生させる可能性がある SPI 信号上のグリッチか、またはデバイスが正常に起動しなかった (t_{PU} 後にもビジー状態 WIP = 「1」を示し続ける) ことによって、CY15X102QSN は内部テストモードまたは未定義のモードに入ります。

注: ECC (ECCDC および ADDTRAP) レジスタは、DPD にある間は内容を失い、ECC レジスタのデフォルト値 0x00 に戻ります。Table 3 に示すように、休止状態から戻ると、電源投入時にすべてのレジスタがデフォルト値にリロードされます。

6 電気的特性

6.1 最大定格

最大定格を超えると、デバイスの寿命が短くなる可能性があります。ユーザガイドラインはテストされていません。

保存温度 -65°C ~ +125°C

最大累積保存時間

周囲温度 125 °C の場合 1000 時間

周囲温度 85 °C の場合 10 年

最大接合部温度 125°C

V_{SS} を基準にした V_{DD} の電源電圧

CY15V102QSN: -0.5 V ~ +2.4 V

CY15B102QSN: -0.5 V ~ +4.1 V

入力電圧 $V_{IN} \leq V_{DD} + 0.5 V$

High-Z 状態の出力に与えられる DC 電圧 -0.5 V ~ $V_{DD} + 0.5 V$

任意のピンのグランド電位での過渡電圧 (< 20 ns) - 2.0 V ~ $V_{DD} + 2.0 V$

パッケージ許容電力損失 ($T_A = 25^\circ C$) 1.0 W

表面実装はんだ付け温度 (3 秒) +260°C

DC 出力電流 (出力 1 本あたり、1 秒間) 15 mA

静電放電電圧

人体モデル (JEDEC 準拠 JESD22-A114-B) 2 kV

帯電デバイス モデル (JEDEC 準拠 JESD22-C101-A) 500 V

ラッチアップ電流 >140 mA

7 動作 範囲

Table 60 動作範囲

デバイス	周囲温度	V _{DD}
CY15V102QSN	産業用、-40°C ~ +85°C	1.71 V ~ 1.89 V
CY15B102QSN		1.8 V ~ 3.6 V

8 DC 電気的特性

Table 61 DC 電気的特性

動作範囲において

パラメータ	説明	テスト条件		Min	Typ ^[18]	Max	単位
V _{DD}	電源電圧	CY15V102QSN		1.71	1.8	1.89	V
		CY15B102QSN		1.8	3.0	3.6	V
I _{DD1}	SPI SDR モードでの V _{DD} 電源電流	V _{DD} = 1.71 V ～ 1.89 V。 SCK は V _{DD} - 0.2 V と V _{SS} の間でトグル。 他の入力は V _{SS} また は V _{DD} - 0.2 V。 出力負荷なし。	f _{SCK} = 50 MHz	–	4.9	6.0	mA
			f _{SCK} = 108 MHz	–	10	12	mA
		V _{DD} = 1.8 V ～ 3.6 V。 SCK は V _{DD} - 0.2 V と V _{SS} の間でトグル。 他の入力は V _{SS} また は V _{DD} - 0.2 V。 出力負荷なし。	f _{SCK} = 50 MHz	–	5.6	7.2	mA
			f _{SCK} = 108 MHz	–	11	14	mA
I _{DD2}	DPI SDR モードでの V _{DD} 電源電流	V _{DD} = 1.71 V ～ 1.89 V。 SCK は V _{DD} - 0.2 V と V _{SS} の間でトグル。 他の入力は V _{SS} また は V _{DD} - 0.2 V。 出力負荷なし。	f _{SCK} = 108 MHz	–	12	14	mA
		V _{DD} = 1.8 V ～ 3.6 V。 SCK は V _{DD} - 0.2 V と V _{SS} の間でトグル。 他の入力は V _{SS} また は V _{DD} - 0.2 V。 出力負荷なし。	f _{SCK} = 108 MHz	–	13	16	mA
I _{DD3}	QPI SDR モードでの V _{DD} 電源電流	V _{DD} = 1.71 V ～ 1.89 V。 SCK は V _{DD} - 0.2 V と V _{SS} の間でトグル。 他の入力は V _{SS} また は V _{DD} - 0.2 V。 出力負荷なし。	f _{SCK} = 108 MHz	–	16	19	mA
		V _{DD} = 1.8 V ～ 3.6 V。 SCK は V _{DD} - 0.2 V と V _{SS} の間でトグル。 他の入力は V _{SS} また は V _{DD} - 0.2 V。 出力負荷なし。	f _{SCK} = 108 MHz	–	17	21	mA

注:

18. Typ 値は 25°C, $V_{DD} = V_{DD}(\text{Typ})$ のものです。100% のテストはされていません。

DC 電気的特性

Table 61 DC 電気的特性 (続き)

動作範囲において

パラメータ	説明	テスト条件	Min	Typ ^[18]	Max	単位	
I _{DD3}	QPI DDR モードでの V _{DD} 電源電流	V _{DD} = 1.71 V ~ 1.89 V。 SCK は V _{DD} - 0.2 V と V _{SS} の間でトグル。 他の入力 は V _{SS} また は V _{DD} - 0.2 V。 出力負荷なし。	f _{SCK} = 54 MHz	-	16	19	mA
		V _{DD} = 1.8 V ~ 3.6 V。 SCK は V _{DD} - 0.2 V と V _{SS} の間でトグル。 他の入力 は V _{SS} また は V _{DD} - 0.2 V。 出力負荷なし。	f _{SCK} = 54 MHz	-	17	21	mA
I _{SB}	V _{DD} スタンバイ電 流	V _{DD} = 1.71 V ~ 1.89 V。 CS = V _{DD} 。 他の入力 は V _{SS} また は V _{DD} 。	T _A = 25°C	-	110	-	μA
			T _A = 85°C	-	-	209	μA
		V _{DD} = 1.8 V ~ 3.6 V。 CS = V _{DD} 。 他の入力 は V _{SS} また は V _{DD} 。	T _A = 25°C	-	200	-	μA
			T _A = 85°C	-	-	350	μA
I _{DPD}	ディープ パワーダ ウン電流	V _{DD} = 1.71 V ~ 1.89 V。 CS = V _{DD} 。 他の入力 は V _{SS} また は V _{DD} 。	T _A = 25°C	-	0.8	-	μA
			T _A = 85°C	-	-	15	μA
		V _{DD} = 1.8 V ~ 3.6 V。 CS = V _{DD} 。 他の入力 は V _{SS} また は V _{DD} 。	T _A = 25°C	-	1.0	-	μA
			T _A = 85°C	-	-	17	μA
I _{HBN}	ハイバネート モー ド電流	V _{DD} = 1.71 V ~ 1.89 V。 CS = V _{DD} 。 他の入力 は V _{SS} また は V _{DD} 。	T _A = 25°C	-	0.1	-	μA
			T _A = 85°C	-	-	0.9	μA
		V _{DD} = 1.8 V ~ 3.6 V。 CS = V _{DD} 。 他の入力 は V _{SS} また は V _{DD} 。	T _A = 25°C	-	0.1	-	μA
			T _A = 85°C	-	-	1.6	μA
I _{LI}	I/O ピンの入力リー ク電流	V _{SS} < V _{IN} < V _{DD}	-1	-	1	μA	
	WP および RESET の 入力リーク電流 (I/O2 および I/O3 機 能が無効の場合)		-100	-	1	μA	
I _{LO}	出力リーク電流	V _{SS} < V _{OUT} < V _{DD}	-1	-	1	μA	

注:

18. Typ 値は 25°C , $V_{DD} = V_{DD}(\text{Typ})$ でのものです。100% のテストはされていません。

2M ビット EXCELON™ Ultra 強誘電体 RAM (F-RAM)
シリアル (クアド SPI), 256K × 8, 108 MHz, 産業用



DC 電気的特性

Table 61 DC 電気的特性 (続き)

動作範囲において

パラメータ	説明	テスト条件	Min	Typ ^[18]	Max	単位
V_{IH}	入力電圧 HIGH レベル	–	$0.7 \times V_{DD}$	–	$V_{DD} + 0.3$	V
V_{IL}	入力電圧 LOW レベル	–	–0.3	–	$0.3 \times V_{DD}$	V
V_{OH1}	出力電圧 HIGH レベル	$I_{OH} = -1 \text{ mA}$, $V_{DD} = 2.7 \text{ V}$.	2.4	–	–	V
V_{OH2}	出力電圧 HIGH レベル	$I_{OH} = -100 \text{ } \mu\text{A}$	$V_{DD} - 0.2$	–	–	V
V_{OL1}	出力電圧 LOW レベル	$I_{OL} = 2 \text{ mA}$, $V_{DD} = 2.7 \text{ V}$	–	–	0.4	V
V_{OL2}	出力電圧 LOW レベル	$I_{OL} = 150 \text{ } \mu\text{A}$	–	–	0.2	V

注:

18. Typ 値は 25°C, $V_{DD} = V_{DD} (\text{Typ})$ のものです。100% のテストはされていません。

9 データ保持期間とアクセス可能回数

Table 62 データ保持期間とアクセス可能回数

パラメータ	説明	テスト条件	Min	Max	単位
T _{DR}	データ保持期間	T _A = 85°C	10	–	年
		T _A = 75°C	38	–	年
		T _A = 65°C	151	–	年
NV _C	アクセス可能回数	動作温度範囲内	10 ¹⁴	–	サイクル

10 静電容量

Table 63 静電容量

パラメータ ^[19]	説明	テスト条件	Max	単位
C_O	出力ピン静電容量 (SO)	$T_A = 25^\circ\text{C}, f = 1\text{ MHz}, V_{DD} = V_{DD}(\text{Typ})$	6	pF
C_I	入力ピン静電容量		5	pF

注:

19. このパラメータは定期的にサンプリングされているもので、完全なテストはされていません。

11 熱抵抗

Table 64 熱抵抗

パラメータ ^[20]	説明	テスト条件	8 ピン SOIC パッケージ	単位
Θ_{JA}	熱抵抗 (接合部から周囲)	テスト条件は、EIA/JESD51 による熱インピーダンスを測定するための標準的なテスト方法と手順に従う	44.9	°C/W
Θ_{JC}	熱抵抗 (接合部からケース)		20.2	°C/W

注:

20. このパラメータは定期的にサンプリングされているもので、完全なテストはされていません。

12 AC テスト条件

Table 65 AC テスト条件

パラメータ	値	
	CY15V102QSN	CY15B102QSN
入力パルスレベル ($0\text{ V} \sim V_{\text{DD}}$)	$0\text{ V} \sim V_{\text{DD}}$	$0\text{ V} \sim V_{\text{DD}}$
入力の立ち上がり時間と立ち下り時間 (10% ~ 90%)	$\leq 1.8\text{ ns}$	$\leq 2.0\text{ ns}$
入力タイミング基準電圧	$0.3 \times V_{\text{DD}} \sim 0.7 \times V_{\text{DD}}$	$0.3 \times V_{\text{DD}} \sim 0.7 \times V_{\text{DD}}$
出力タイミング基準電圧 (V_{T})	$V_{\text{DD}}/2$	$V_{\text{DD}}/2$
負荷容量 (C_{L})	30 pF	30 pF

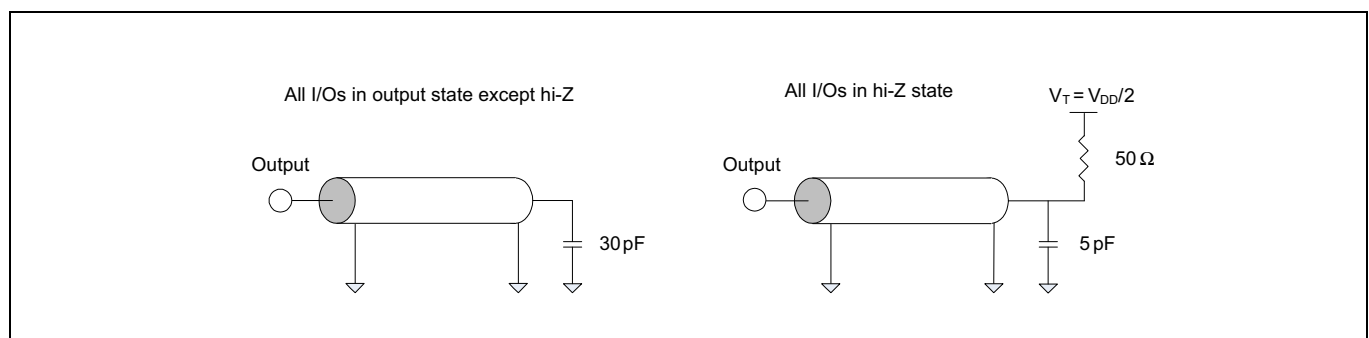


Figure 112 AC テスト負荷

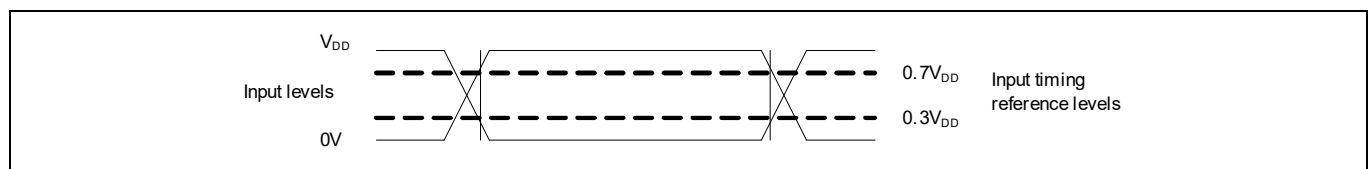


Figure 113 AC タイミング入力電圧基準レベル

13 SDR AC スイッチング特性

Table 66 SDR AC スイッチング特性

パラメータ ^[21]		説明	Min	Max	単位
パラメータ	代替パラメータ				
f_{SCK}	–	SCK クロック周波数	0	108	MHz
t_{CH}	–	クロック HIGH 時間	$0.45 \times 1/f_{\text{SCK}}$	–	ns
t_{CL}	–	クロック LOW 時間	$0.45 \times 1/f_{\text{SCK}}$	–	ns
t_{CSS}	t_{CSU}	チップセレクト ($\overline{\text{CS}}$) セットアップ時間	5	–	ns
t_{CSH}	t_{CSH}	チップセレクト ($\overline{\text{CS}}$) ホールド時間 - SPI モード 0	4	–	ns
t_{CSH1}	–	チップセレクト ($\overline{\text{CS}}$) ホールド時間 - SPI モード 3	9	–	ns
t_{HZCS}	t_{OD} ^[22, 23]	出力ディセーブル時間 - CY15B102QSN	–	10	ns
		出力ディセーブル時間 - CY15V102QSN	–	11	ns
t_{CO}		15 pF 負荷での出力データ有効時間 (出力ドライバは 45Ω に設定。動作範囲全体)	–	7	ns
		有効な出力へのクロック low - 15 pF 負荷 (出力ドライバは 45Ω に設定。V _{DD} = 2.7V ~ 3.6V の場合; 動作範囲を越える)	–	6.7	ns
		有効な出力へのクロック low - 30 pF 負荷 (出力ドライバは 45Ω に設定。V _{DD} = 2.7V ~ 3.6V の場合; 動作範囲を越える)	–	7	ns
		有効な出力へのクロック low - 30 pF 負荷 (出力ドライバはデフォルトの 30Ω に設定。動作範囲を越える)	–	7	ns
t_{OH}	–	出力ホールド時間	1	–	ns

注:

21.これらのパラメータは、AC テスト条件に従ってテストされます。

22. t_{OD} および t_{HZ} は、5 pF の負荷容量で規定されています。出力が高インピーダンス状態に入ると遷移が測定されます。

23.特性付けされていますが、量産時に 100% はテストされていません。

24. t_{CS} は新コマンド サイクルが特別の SPI モード (SPI, DPI, または QPI) で開始する前に最小のチップセレクト解除 (CS HIGH) 時間です。このパラメータはホストが新コマンド サイクルを開始する前に以前の動作が正常に完了されたことを保証します。Figure 116 を参照してください。

Table 66 SDR AC スイッチング特性 (続き)

パラメータ ^[21]		説明	Min	Max	単位
パラメータ	代替パラメータ				
t_{CS} ^[24]	t_D	SPI モードでコマンドサイクル前のチップセレクト解除 (\overline{CS} HIGH) 時間。すべてのアクセス (メモリアレイとレジスタ)	40	–	ns
		DPI モードでコマンドサイクル前のチップセレクト解除 (\overline{CS} HIGH) 時間。すべてのアクセス (メモリアレイを除く)	75	–	ns
		DPI モード (拡張 SPI のデュアルモードを含む) でのコマンドサイクル前のチップセレクト解除 (\overline{CS} HIGH) 時間。メモリアレイアクセス (非 XIP モード)	40	–	ns
		DPI モード (拡張 SPI のデュアルモードを含む) でのコマンドサイクル前のチップセレクト解除 (\overline{CS} HIGH) 時間。メモリアレイアクセス (XIP モード)	55	–	ns
		QPI モードでコマンドサイクル前のチップセレクト解除 (\overline{CS} HIGH) 時間。すべてのアクセス (メモリアレイを除く)	110	–	ns
		QPI モード (拡張 SPI のクアドモードを含む) でのコマンドサイクル前のチップセレクト解除 (\overline{CS} HIGH) 時間。メモリアレイアクセス (非 XIP モード)	90	–	ns
		QPI モード (拡張 SPI のクアドモードを含む) でのコマンドサイクル前のチップセレクト解除 (\overline{CS} HIGH) 時間。メモリアレイアクセス (XIP モード)	110	–	ns
t_{SD}	t_{SU}	セットアップ時間のデータ (SCK に関して)	2	–	ns
t_{HD}	t_H	ホールド時間のデータ (SCK に関して)	3	–	ns
t_{CLZ}	–	クロック Low から出力 Low-Z までの時間	0	–	ns
t_{CRCC}	–	CRC 計算時間 (100 μ s + (0.8 μ s/ データバイトの数))	0.10	440	ms
t_{CRCS}	–	\overline{CS} High から CRC 計算中断までの時間	–	100	μ s
t_{CRCR}	–	\overline{CS} High から CRC 計算再開までの時間	–	100	μ s

注:

- 21.これらのパラメータは、**AC テスト条件**に従ってテストされます。
22. t_{OP} および t_{HZ} は、5 pF の負荷容量で規定されています。出力が高インピーダンス状態に入ると遷移が測定されます。
- 23.特性付けされていますが、量産時に 100% はテストされていません。
24. t_{CS} は新コマンドサイクルが特別の SPI モード (SPI, DPI, または QPI) で開始する前に最小のチップセレクト解除 (\overline{CS} HIGH) 時間です。このパラメータはホストが新コマンドサイクルを開始する前に以前の動作が正常に完了されたことを保証します。**Figure 116** を参照してください。

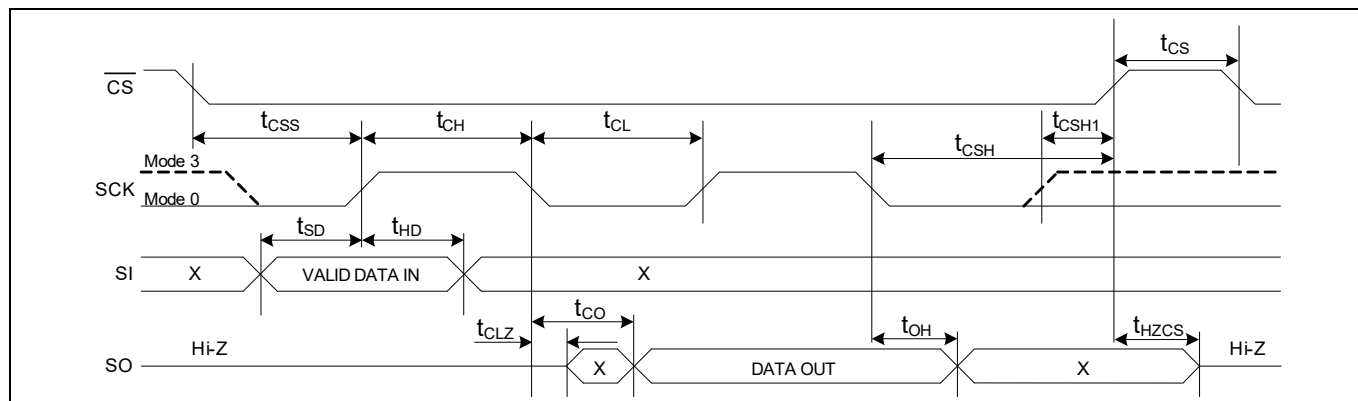


Figure 114 SPI スイッチング タイミング - シングル I/O, SDR (モード 0 および モード 3)

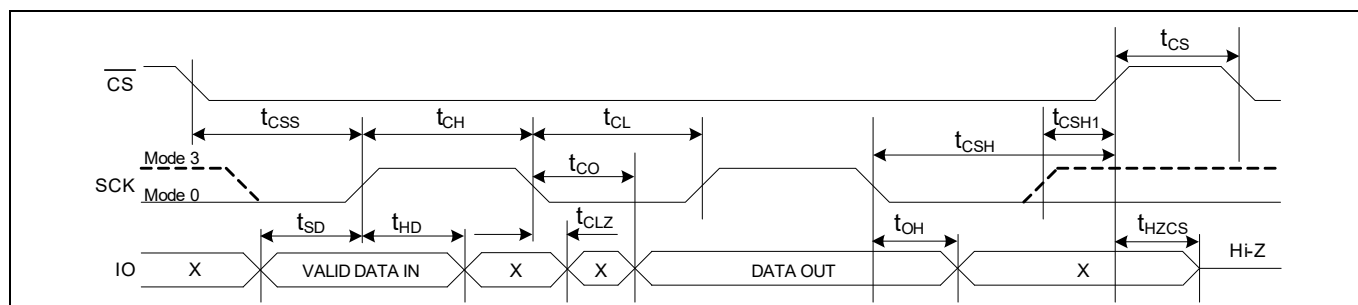


Figure 115 SPI スイッチング タイミング - マルチ I/O, SDR (モード 0 および モード 3)

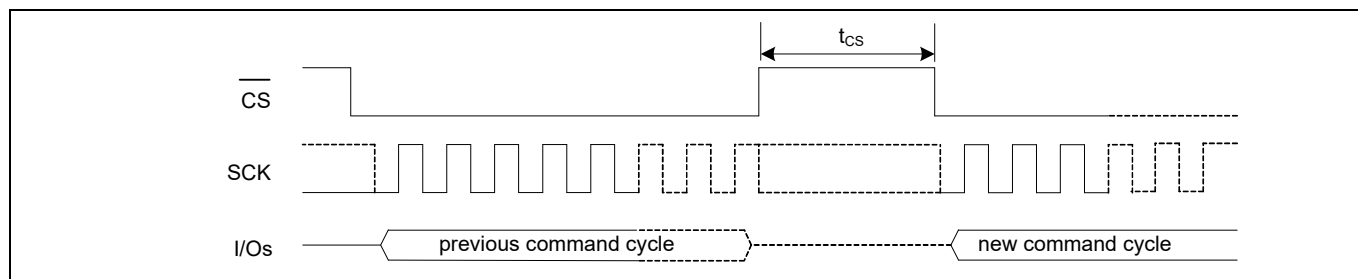


Figure 116 チップセレクト解除 (\overline{CS} HIGH) - t_{CS} タイミング

14 DDR AC スイッチング特性

Table 67 DDR AC スイッチング特性

動作範囲において

パラメータ ^[25]		説明	Min	Max	単位
パラメータ	代替パラメータ				
f_{SCK}	–	SCK クロック周波数	0	54	MHz
t_{CH}	–	クロック HIGH 時間	$0.45 \times 1/f_{\text{SCK}}$	–	ns
t_{CL}	–	クロック LOW 時間	$0.45 \times 1/f_{\text{SCK}}$	–	ns
t_{CSS}	t_{CSU}	チップセレクト ($\overline{\text{CS}}$) セットアップ時間	5	–	ns
t_{CSH}	t_{CSH}	チップセレクト ($\overline{\text{CS}}$) ホールド時間	5	–	ns
t_{HZCS}	$t_{\text{OD}}^{[26, 27]}$	出力ディセーブル時間 – CY15B102QSN	–	10	ns
		出力ディセーブル時間 – CY15V102QSN	–	11	ns
t_{CO}	–	15 pF 負荷での出力データ有効時間 (出力ドライバは 45 Ω に設定)。(動作範囲において)	–	7	ns
		有効な出力へのクロック Low – 15 pF 負荷 (出力ドライバは 45 Ω に設定。 $V_{\text{DD}} = 2.7 \text{ V} \sim 3.6 \text{ V}$ の場合; 動作範囲を越える)	–	6.7	ns
		有効な出力へのクロック Low – 30 pF 負荷 (出力ドライバは 45 Ω に設定。 $V_{\text{DD}} = 2.7 \text{ V} \sim 3.6 \text{ V}$ の場合; 動作範囲を越える)	–	7	ns
		有効な出力へのクロック Low – 30 pF 負荷 (出力ドライバは デフォルトの 30 Ω に設定。動作範囲を越える)	–	7	ns
t_{OH}	–	出力ホールド時間	1	–	ns
$t_{\text{CS}}^{[28]}$	t_{D}	SPI モードでコマンド サイクル前のチップセレクト解除 ($\overline{\text{CS}}$ HIGH) 時間。すべてのアクセス (メモリアレイとレジスタ)	40	–	ns
		QPI モードでコマンドサイクル前のチップセレクト解除 ($\overline{\text{CS}}$ HIGH) 時間。すべてのアクセス (メモリアレイを除く)	110	–	ns
		QPI モード (拡張 SPI のクアドモードを含む) でのコマンドサイクル前のチップセレクト解除 ($\overline{\text{CS}}$ HIGH) 時間。メモリアレイアクセス (非 XIP モード)	90	–	ns
		QPI モード (拡張 SPI のクアドモードを含む) でのコマンドサイクル前のチップセレクト解除 ($\overline{\text{CS}}$ HIGH) 時間。メモリアレイアクセス (XIP モード)	110	–	ns
t_{SD}	t_{SU}	セットアップ時間のデータ (SCK に関して)	4	–	ns

注:

25.これらのパラメータは、AC テスト条件に従ってテストされます。

26. t_{OD} および t_{HZ} は、5 pF の負荷容量で規定されています。出力が高インピーダンス状態に入ると遷移が測定されます。

27.特性付けされていますが、量産時に 100% はテストされていません。

28. t_{CS} は新コマンドサイクルが特別の SPI モード (SPI または QPI) で開始する前に最小のチップセレクト解除 ($\overline{\text{CS}}$ HIGH) 時間です。このパラメータはホストが新コマンドサイクルを開始する前に以前の動作が正常に完了されたことを保証します。Figure 116 を参照してください。

2M ビット EXCELON™ Ultra 強誘電体 RAM (F-RAM) シリアル (クアド SPI), 256K × 8, 108 MHz, 産業用



DDR AC スイッチング特性

Table 67 **DDR AC スイッチング特性 (続き)**

動作範囲において

パラメータ ^[25]		説明	Min	Max	単位
パラメータ	代替パラメータ				
t_{HD}	t_H	ホールド時間のデータ (SCK に関して)	4	–	ns
t_{CLZ}	–	クロック Low から出力 Low-Z までの時間	0	–	ns

注:

- 25.これらのパラメータは、**AC テスト条件**に従ってテストされます。
26. t_{OD} および t_{HZ} は、5 pF の負荷容量で規定されています。出力が高インピーダンス状態に入ると遷移が測定されます。
- 27.特性付けされていますが、量産時に 100% はテストされていません。
28. t_{CS} は新コマンドサイクルが特別の SPI モード (SPI または QPI) で開始する前に最小のチップセレクト解除 (CS HIGH) 時間です。このパラメータはホストが新コマンドサイクルを開始する前に以前の動作が正常に完了されたことを保証します。Figure 116 を参照してください。

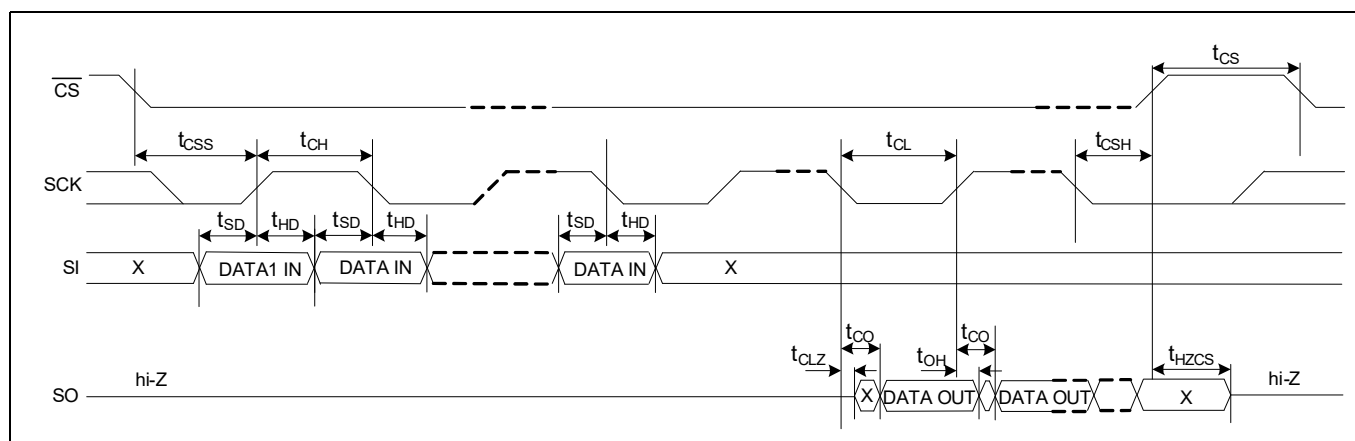


Figure 117 **SPI スイッチング タイミング - シングル I/O, DDR**

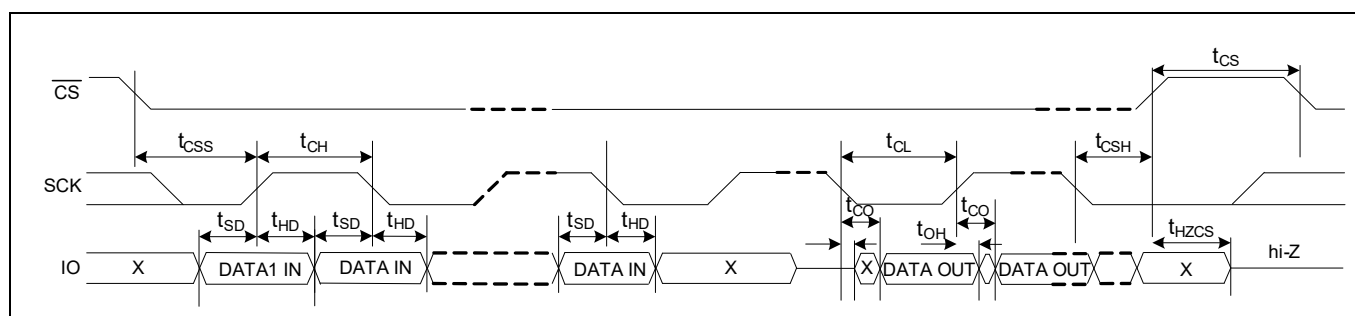


Figure 118 **SPI スイッチング タイミング - マルチ I/O, DDR^[29]**

注:

- 29.両方のクロックエッジでデータ入力をキャプチャする DDR モード入力タイミングは、アドレスおよびデータ入力サイクルにのみ適用できます。DDR オペコードは、オペコードサイクル中は常に SDR モードで送信されます。

15 書き込み保護 (\overline{WP}) タイミング パラメータ

Table 68 書き込み保護 (\overline{WP}) タイミング パラメータ

動作範囲において

パラメータ [30]		説明	Min	Max	単位
パラメータ	代替パラメータ				
t_{WPS}	t_{SW}	\overline{WP} セットアップ時間 (\overline{CS} に対して)	20	–	ns
t_{WPH}	t_{HW}	\overline{WP} ホールド時間 (\overline{CS} に対して)	20	–	ns

注:

30.これらのパラメータは、AC テスト条件に従ってテストされます。

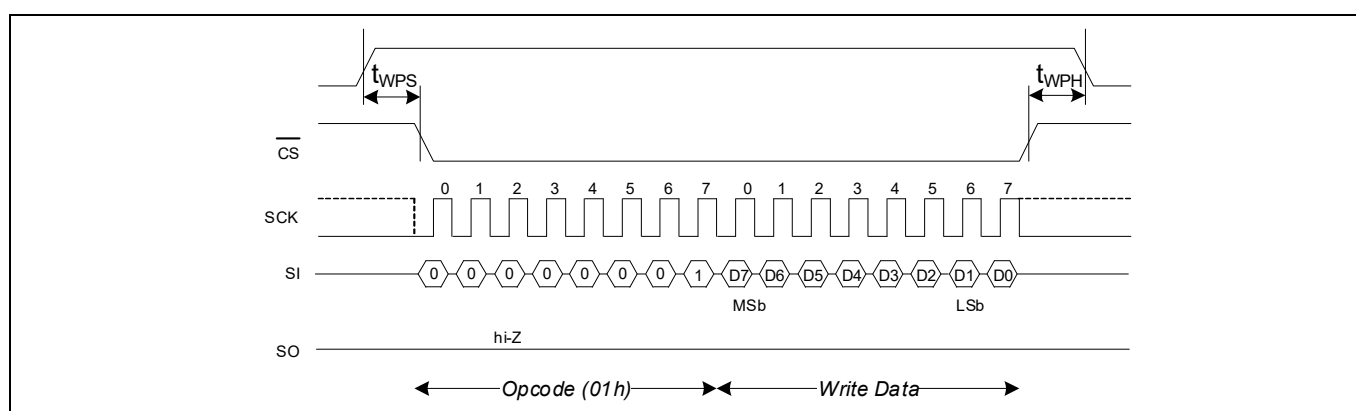


Figure 119 書き込み保護セットアップおよびホールド タイミング

16 リセット ($\overline{\text{RESET}}$) タイミング パラメータ

Table 69 リセット ($\overline{\text{RESET}}$) タイミング パラメータ

動作範囲において

パラメータ ^[31]		説明	Min	Max	単位
パラメータ	代替パラメータ				
t_{RS}	–	ハードウェア $\overline{\text{RESET}}$ セットアップ時間	50	–	ns
t_{RPH}	$t_{\text{RHSL}}, t_{\text{RH}}$	ハードウェア $\overline{\text{RESET}}$ ホールド時間	450	–	μs
t_{RP}	t_{RLRH}	ハードウェア $\overline{\text{RESET}}$ パルス幅	200	–	ns
t_{HRESET}	–	ハードウェア $\overline{\text{RESET}}$ 時間	–	450	μs
t_{SRESET}	–	ソフトウェア $\overline{\text{RESET}}$ 時間	–	100	μs
t_{CSL}	–	JEDEC リセットのチップセレクト ($\overline{\text{CS}}$) LOW 時間	500	–	ns
$t_{\text{CSH_R}}$	–	JEDEC リセットのチップセレクト ($\overline{\text{CS}}$) HIGH 時間	500	–	ns
t_{SU}	–	JEDEC リセットの SI (I/O) セットアップ時間 ($\overline{\text{CS}}$ HIGH に対する)	5	–	ns
$t_{\text{HD_R}}$	–	JEDEC リセットの SI (I/O) ホールド時間 ($\overline{\text{CS}}$ HIGH に対する)	5	–	ns

注:

31.これらのパラメータは、AC テスト条件に従ってテストされます。

17 パワー サイクル タイミング

Table 70 パワー サイクル タイミング

動作 範囲 において

パラメータ ^[32]		説明	Min	Max	単位
パラメータ	代替パラメータ				
t_{PU}	–	電源投入時の $V_{DD(min)}$ から最初のアクセス (\overline{CS} LOW) までの時間	450	–	μs
t_{VR} ^[33]	–	V_{DD} 電源投入時ランプレート	30	–	$\mu s/V$
t_{VF} ^[33]	–	V_{DD} 電源切断時ランプレート	20	–	$\mu s/V$
t_{ENTDPD} ^[34]	t_{DP}	\overline{CS} HIGH からディープパワーダウンモード開始までの時間 (\overline{CS} HIGH からハイバネートモード開始まで)	–	3	μs
t_{CSDPD} ^[34]	–	ディープパワーダウンモードから復帰するための \overline{CS} パルス幅	0.015	$4 \times 1/f_{SCK}$	μs
t_{EXTDPD} ^[35]	t_{RDP}	ディープパワーダウンモードからの回復時間 (\overline{CS} LOW からアクセス準備完了まで)	–	10	μs
t_{ENTHIB}	t_{HBN}	ハイバネートへの移行時間 (\overline{CS} HIGH からハイバネートモード開始まで)	–	3	μs
t_{EXTHIB} ^[36]	t_{REC}	ハイバネートモードからの回復時間 (\overline{CS} LOW からアクセス準備完了まで)	–	450	μs
$V_{DD(low)}$	–	初期化が必要となる低 V_{DD}	0.6	–	V
t_{PD}	–	$V_{DD(low)}$ が 0.6 V 時の $V_{DD(low)}$ 時間	130	–	μs
		$V_{DD(low)}$ が V_{SS} 時の $V_{DD(low)}$ 時間	70	–	

注:

32.これらのパラメータは、AC テスト条件に従ってテストされます。

33. V_{DD} 波形上の任意の点で測定した傾きです。

34.設計保証です。ディープスリープモードのタイミングについては Figure 99 および Figure 102 を参照してください。

35.設計保証です。ハイバネートモードのタイミングについては、Figure 103 を参照してください。

36.特性付けされていますが、量産時に 100% はテストされていません。

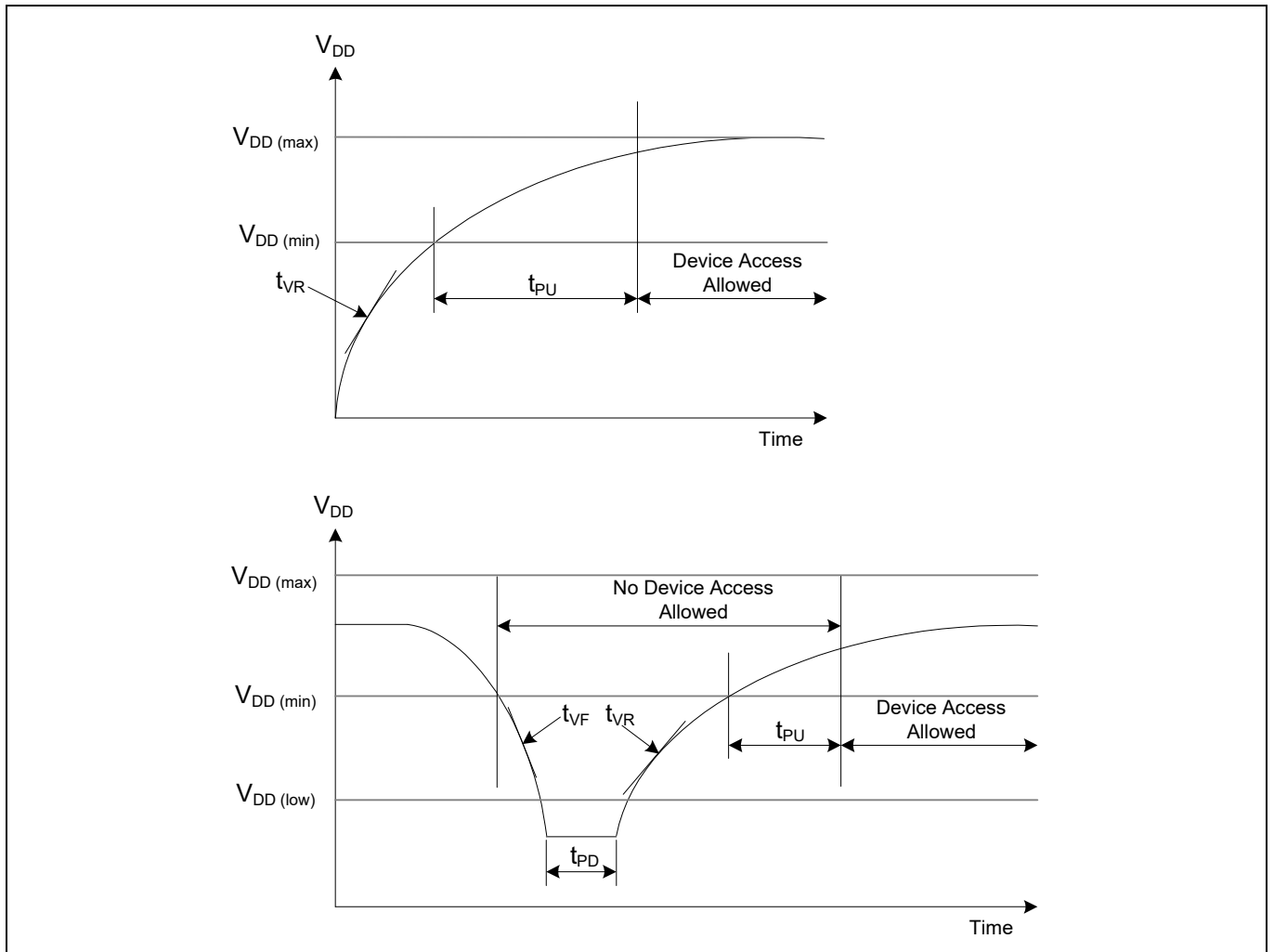


Figure 120 パワー サイクル タイミング

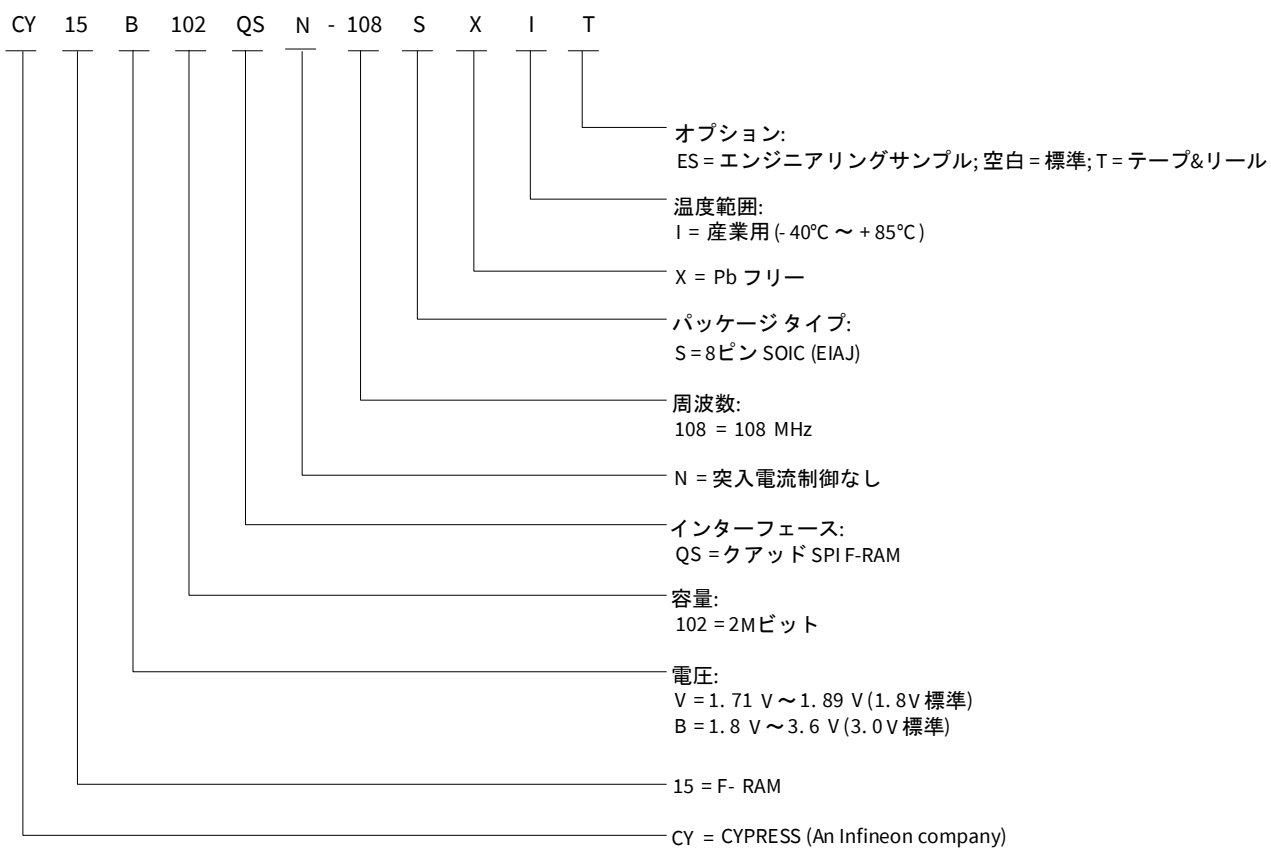
18 注文情報

Table 71 注文情報

注文コード	デバイス ID	パッケージ図	パッケージタイプ	動作範囲
CY15B102QSN-108SXI	0000000006825148	001-85261	8 ピン SOIC (EIAJ)	産業用
CY15V102QSN-108SXI	0000000006805148	001-85261	8 ピン SOIC (EIAJ)	産業用

これらすべての製品は鉛フリーです。在庫状況については、最寄りの当社販売代理店へお問い合わせください。

18.1 注文コードの定義



19 パッケージ外形図

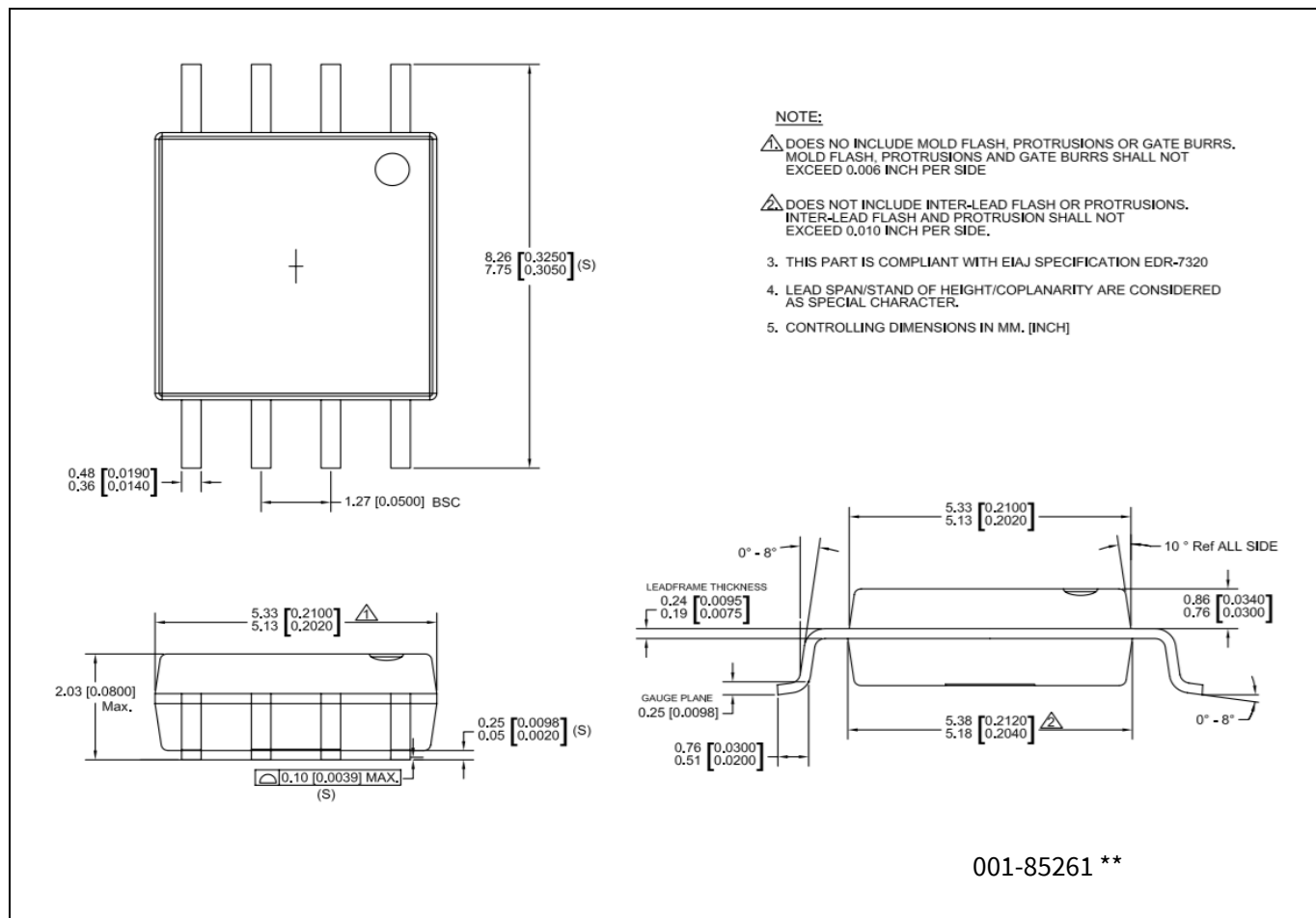


Figure 121 8 ピン SOIC (208 mil) パッケージ外形図 , 001-85261

20 略語

Table 72 本書で使用される略語

略語	説明
CPHA	clock phase (クロック位相)
CPOL	clock polarity (クロック極性)
CRC	cyclic redundancy check (巡回冗長検査)
DDR	double data rate (ダブル データ レート)
DPI	dual SPI (デュアル SPI)
ECC	Error Correction Code (エラー訂正コード)
EEPROM	Electrically Erasable Programmable Read-Only Memory (電氣的消去書き込み可能な読み出し専用メモリ)
EIA	electronic industries alliance (米国電子工業会)
F-RAM	ferroelectric random access memory (強誘電体ランダム アクセス メモリ)
I/O	input/output (入力 / 出力)
JEDEC	Joint Electron Devices Engineering Council (半導体技術協会)
JESD	JEDEC 準拠
LSb	least significant bit (最下位ビット)
MSb	most significant bit (最上位ビット)
RoHS	Restriction of Hazardous Substances (特定有害物質使用規制)
SDR	single data rate (シングル データ レート)
SPI	serial peripheral interface (シリアル周辺機器インターフェース)
SOIC	small outline integrated circuit (小型集積回路)

21 本書の表記法

21.1 測定単位

Table 73 測定単位

記号	単位
°C	摂氏温度
Hz	ヘルツ
kHz	キロヘルツ
kΩ	キロオーム
Mbit	メガビット
MHz	メガヘルツ
μA	マイクロアンペア
μF	マイクロファラド
μs	マイクロ秒
mA	ミリアンペア
ms	ミリ秒
ns	ナノ秒
Ω	オーム
%	百分率 (パーセント)
pF	ピコファラド
V	ボルト
W	ワット

2M ビット EXCELON™ Ultra 強誘電体 RAM (F-RAM)
シリアル (クアド SPI), 256K × 8, 108 MHz, 産業用



改訂履歴

改訂履歴

版数	発行日	変更内容
**	2020-11-17	これは英語版 002-26767 Rev. *B を翻訳した日本語版 002-28885 Rev. ** です。
*A	2022-07-25	これは英語版 002-26767 Rev. *C を翻訳した日本語版 002-28885 Rev. *A です。
*B	2023-02-02	これは英語版 002-26767 Rev. *D を翻訳した日本語版 002-28885 Rev. *B です。

Trademarks

All referenced product or service names and trademarks are the property of their respective owners.

Edition 2023-02-02
Published by
Infineon Technologies AG
81726 Munich, Germany

© 2023 Infineon Technologies AG.
All Rights Reserved.

Do you have a question about this document?
Go to www.infineon.com/support

Document reference
002-28885 Rev. *B

重要事項

本文書に記載された情報は、いかなる場合も、条件または特性の保証とみなされるものではありません（「品質の保証」）。本文に記された一切の事例、手引き、もしくは一般的な価値、および／または本製品の用途に関する一切の情報に関し、インフィニオンテクノロジーズ（以下、「インフィニオン」）はここに、第三者の知的所有権の不侵害の保証を含むがこれに限らず、あらゆる種類の一切の保証および責任を否定いたします。

さらに、本文書に記載された一切の情報は、お客様の用途におけるお客様の製品およびインフィニオン製品の一切の使用に関し、本文書に記載された義務ならびに一切の関連する法的要件、規範、および基準をお客様が遵守することを条件としています。

本文書に含まれるデータは、技術的訓練を受けた従業員のみを対象としています。本製品の対象用途への適合性、およびこれら用途に関連して本文書に記載された製品情報の完全性についての評価は、お客様の技術部門の責任にて実施してください。

警告事項

技術的要件に伴い、製品には危険物質が含まれる可能性があります。当該種別の詳細については、インフィニオンの最寄りの営業所までお問い合わせください。

インフィニオンの正式代表者が署名した書面を通じ、インフィニオンによる明示の承認が存在する場合を除き、インフィニオンの製品は、当該製品の障害またはその使用に関する一切の結果が、合理的に人的傷害を招く恐れのある一切の用途に使用することはできないこと予めご了承ください。