

2M ビット EXCELON™ Auto 強誘電体 RAM (F-RAM)

シリアル (SPI), 256K × 8, 車載用グレード 1

特長

- 256K × 8 論理構成として設計された 2M ビット強誘電体 RAM (F-RAM)
 - 10 兆回 (10^{13}) の読み出し / 書き込みサイクルの事実上無制限の耐久性
 - 121 年のデータ保持 ([データ保持期間およびアクセス可能回数を参照してください](#))
 - インフィニオン インスタント不揮発性書き込み技術
 - 高信頼性強誘電体プロセス
- 高速シリアル ペリフェラル インターフェース (SPI)
 - 50 MHz の最大周波数
 - SPI モード 0 (0, 0) および モード 3 (1, 1) をサポート
- 洗練された書き込み保護スキーム
 - 書き込み保護 (WP) ピンを使用したハードウェアによる保護
 - 書き込みディセーブル (WRDI) を使用したソフトウェアによる保護
 - アレイの 1/4, 1/2, または全体を対象としたソフトウェア ブロック保護
- デバイス ID とシリアル番号
 - メーカー ID および製品 ID を含むデバイス ID
 - 固有 ID
 - シリアル番号
- 256 バイト専用特殊セクタ F-RAM
 - 専用特殊セクタの書き込みと読み出し
 - 保存コンテンツは最大 3 回の標準はんだリフローサイクルに耐え得ます
- 低消費電力
 - 40 MHz での 3.7 mA (Typ) のアクティブ電流
 - 2.7 μ A (Typ) のスタンバイ電流
 - 1.1 μ A (Typ) のディープ パワーダウン モード電流
 - 0.1 μ A (Typ) のハイバネート モード電流
- 低電圧動作:
 - CY15V102QN: $V_{DD} = 1.71\text{ V} \sim 1.89\text{ V}$
 - CY15B102QN: $V_{DD} = 1.8\text{ V} \sim 3.6\text{ V}$
- 車載用動作温度範囲: $-40^{\circ}\text{C} \sim +125^{\circ}\text{C}$
- AEC-Q100 グレード 1 準拠
- 8 ピン 小型集積回路 (SOIC) パッケージ
- RoHS 準拠

機能説明

EXCELON™ Auto CY15X102QN は、強誘電体プロセスを使用した車載グレードの 2M ビット不揮発性メモリです。強誘電体ランダム アクセス メモリ (F-RAM) は不揮発性であり、RAM と同様に読み書きを実行します。シリアル フラッシュや EEPROM、その他の不揮発性メモリによる複雑さ、オーバーヘッド、システムレベルの信頼性関連問題を回避し、121 年間にわたって信頼できるデータ保持が可能です。

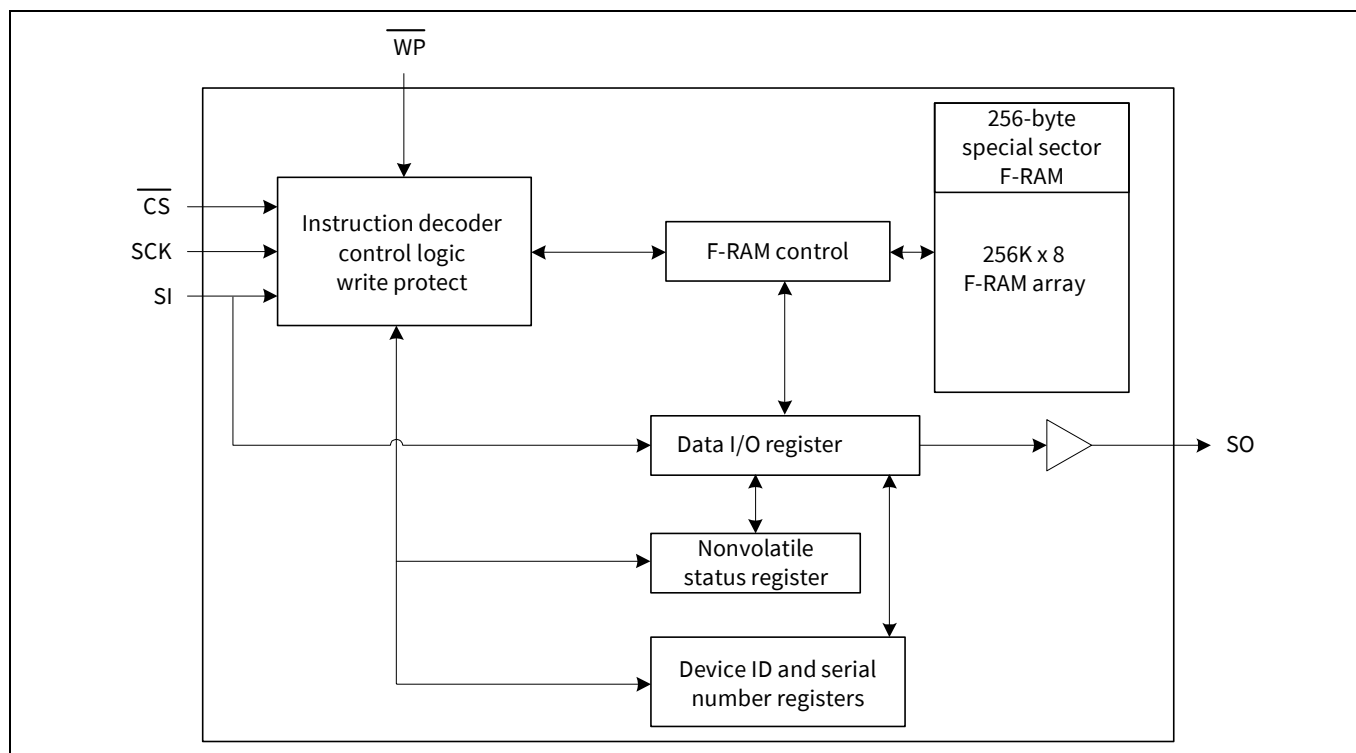
シリアル フラッシュや EEPROM と異なり、CY15X102QN はバス速度で書き込み動作を実行します。書き込み遅延は発生しません。データは各バイトがデバイスに正常に転送された直後にメモリアレイに書き込まれます。次のバスサイクルはデータポーリングを必要とせず開始できます。また、本製品は他の不揮発性メモリと比べ多くの書き換え可能回数を提供しています。CY15X102QN は 10^{13} 回の読み出し / 書き込みサイクル、すなわち EEPROM に比べ 1000 万倍の書き換えサイクルに対応できます。

これらの能力により、CY15X102QN は頻繁な高速書き込みを必要とする不揮発性メモリの用途に理想的なものになります。これらの用途例は書き込み回数を重視するデータ収集から、シリアルフラッシュまたは EEPROM の長い書き込み時間にデータの損失を引き起こす可能性がある厳しい産業用制御までおよびます。

CY15X102QN はハードウェア置き換えができるため、シリアル EEPROM やフラッシュを使用するユーザーに大幅な利点を提供します。CY15X102QN は F-RAM 技術の高速書き込み機能を強化する高速 SPI バスを使用します。本デバイスには読み出し専用のデバイス ID と固有 ID 機能が組み込まれており、ホストがメーカー、メモリ容量、レビジョン、および固有 ID を確定できます。また、本製品は基板またはシステムを特定するために使用できる書き込み可能な 8 バイトシリアル番号レジスタを備えています。

すべての関連資料の一覧については、[ここ](#)をクリックしてください。

論理ブロック図



目次

特長	1
機能説明.....	2
論理ブロック図.....	2
目次	3
1 ピン配置	4
2 ピンの機能	5
3 機能概要	6
4 メモリ アーキテクチャ	7
5 シリアル ペリフェラル インターフェース (SPI) バス	8
5.1 SPI 概要	8
5.2 SPI プロトコルで使用する用語	8
5.2.1 SPI マスター	8
5.2.2 SPI スレーブ	8
5.2.3 チップセレクト (\overline{CS})	8
5.2.4 シリアル クロック (SCK)	9
5.2.5 データ転送 (SI/SO)	9
5.2.6 最上位ビット (MSb)	10
5.2.7 シリアル オペコード	10
5.2.8 無効なオペコード	10
5.2.9 ステータス レジスタ	10
5.3 SPI モード	10
5.4 電源投入から最初のアクセスまでの時間	11
6 機能説明	12
6.1 コマンドの構成	12
6.1.1 書き込みイネーブル制御コマンド	13
6.1.2 レジスタ アクセス コマンド	15
6.1.3 メモリ動作	16
6.1.4 メモリ書き込み動作コマンド	16
6.1.5 メモリ読み出し動作コマンド	16
6.1.6 特殊セクタ メモリ アクセス コマンド	17
6.1.7 ID およびシリアル番号コマンド	18
6.1.8 低消費電力モード コマンド	20
7 最大定格	23
8 動作範囲	24
9 DC 電気的特性	25
10 データ保持期間およびアクセス可能回数	27
11 AEC-Q100 車載用アプリケーションでの F-RAM 製品寿命の例	28
12 静電容量	29
13 熱抵抗	30
14 AC テスト条件	31
15 AC スイッチング特性	32
16 パワー サイクル タイミング	34
17 注文情報	35
17.1 注文コードの定義	35
18 パッケージ図	36
19 略語	37
20 本書の表記法	38
20.1 測定単位	38
改訂履歴.....	39
免責事項.....	40

ピン配置

1 ピン配置

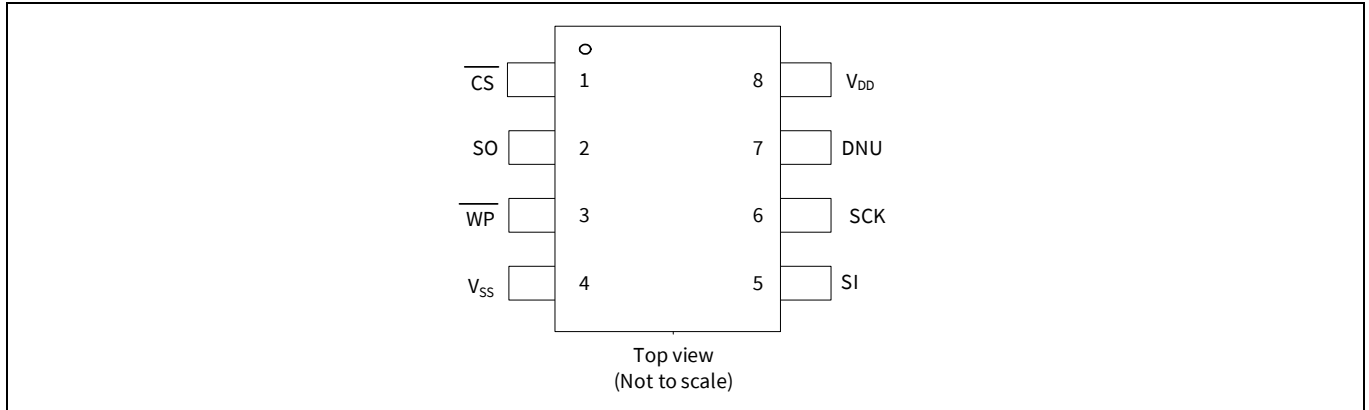


Figure 1 8 ピン SOIC ピン配置

ピンの機能

2 ピンの機能

Table 1 ピンの機能

ピン名	I/O タイプ	説明
$\overline{\text{CS}}$	入力	チップセレクト。 このアクティブ LOW 入力で、デバイスを起動させます。HIGH になった場合、デバイスは低消費電力のスタンバイモードに移行し、他の入力を無視し、出力はトライステートにされます。LOW になった場合、デバイスは SCK 信号を内部でアクティブにします。 $\overline{\text{CS}}$ の立ち下りエッジは、すべてのオペコードの発行前に発生しなければいけません。
SCK	入力	シリアル クロック。 すべての入出力はシリアル クロックに同期されます。入力はシリアル クロックの立ち上りエッジでラッチされ、出力は立ち下りエッジで駆動されます。クロック周波数は 0 ~ 50 MHz の範囲内であり、同期特性のためいつでも割り込まれる可能性があります。
SI ^[1]	入力	シリアル入力。 このピンからデバイスにデータを入力します。入力は SCK の立ち上りエッジでサンプリングされ、そのとき以外は無視されます。電源 (I_{DD}) 仕様を満たすために、常に有効な論理レベルに駆動する必要があります。
SO ^[1]	出力	シリアル出力。 データ出力ピンであり、読み出し中に駆動され、そのとき以外はトライステートのままになります。データ遷移はシリアル クロック SCK の立ち下りエッジで駆動されます。
$\overline{\text{WP}}$	入力	書き込み保護。 このアクティブ LOW ピンは、ステータスレジスタの WPEN ビットが「1」にセットされているとき、ステータスレジスタへの書き込み動作を防ぎます。その他の書き込み保護機能がステータスレジスタによって制御されるため、これは重要です。書き込み保護の詳細は Table 3 と Table 6 を参照してください。このピンを使用しない場合は、 V_{DD} に接続する必要があります。
DNU	使用禁止	使用禁止。 このピンは開放 (基板上で未接続) のままとするか、または V_{DD} に接続します。
V_{SS}	電源	デバイス グランド: システムのグランドに接続する必要があります。
V_{DD}	電源	デバイスの電源入力

注:

1. SI を SO と接続し、1 本のデータ インターフェースとして利用できます。

3 機能概要

CY15X102QN はシリアル F-RAM メモリです。メモリアレイは 262,144 × 8 ビットに論理構成され、業界標準のシリアルペリフェラルインターフェース (SPI) バスを使用してアクセスされます。F-RAM の機能動作はシリアルフラッシュやシリアル EEPROM と類似しています。同じピン配置の CY15X102QN とシリアルフラッシュや EEPROM との相違点は、F-RAM の優れた書き込み性能、高耐久性、および低消費電力です。

4 メモリ アーキテクチャ

CY15X102QN のアクセスには、それぞれが 8 データ ビットの 256,000ヶ所の位置をアドレス指定します。8 データ ビットは順次シフトイン / シフトアウトされます。アドレスは、チップセレクト (バス上で複数デバイスを可能にする), オペコード, および 3 バイトのアドレスを含む SPI プロトコルを使ってアクセスされます。アドレス範囲の上位 6 ビットは「ドント ケア」値です。18 ビットのアドレスで、一義的に各バイトアドレスを指定します。

CY15X102QN のほとんどの機能は、SPI インターフェースにより制御されるか、または基板に搭載された回路によって処理されます。メモリ動作に要するアクセス時間は、シリアル プロトコルに必要な時間以外は基本的に 0 です。すなわち、メモリは SPI バスの速度で読み書きされます。シリアル フラッシュや EEPROM と異なり、書き込み動作がバス速度で行われるので、デバイスの書き込み準備を知るためにポーリングする必要はありません。新しいバストランザクションがデバイスに送り込まれるまでに書き込み動作は完了します。これはインターフェースの節で詳しく説明されます。

5 シリアル パリフェラル インターフェース (SPI) バス

CY15X102QN は SPI スレーブ デバイス であり、最大 50 MHz の速度で動作します。高速シリアルバスにより、SPI マスターとの間で高性能なシリアル通信が可能です。多くの一般的なマイクロコントローラーは、直接インターフェースを可能にするハードウェア SPI ポートを持っています。この機能を持たないマイクロコントローラーでは、通常のポートピンを使用して SPI ポートをエミュレートすることは簡単です。CY15X102QN は SPI モード 0 および 3 で動作します。

5.1 SPI 概要

SPI は、チップ セレクト (\overline{CS})、シリアル入力 (SI)、シリアル出力 (SO)、およびシリアル クロック (SCK) ピンからなる 4 ピン インターフェースです。

SPI は、メモリ アクセスにクロックとデータピンを使用し、データバス上の複数デバイスをサポートする同期シリアル インターフェースです。SPI バス上のデバイスは、 \overline{CS} ピンを使用してアクティブにされます。

チップ セレクト、クロック、およびデータの相互関係は SPI モードによります。本デバイスは SPI モード 0 および 3 に対応しています。両方のモードで、 \overline{CS} がアクティブになった後の最初の立ち上りエッジから始まる SCK の立ち上りエッジで、データが F-RAM にクロック入力されます。

SPI プロトコルはオペコードによって制御されます。オペコードは、バスマスターからスレーブデバイスへのコマンドを指定します。 \overline{CS} がアクティブにされた後、バスマスターから最初に転送されるバイトがオペコードです。オペコードに続いて、アドレスとデータが転送されます。動作が完了した後、新しいオペコードが発行される前に、 \overline{CS} を非アクティブにする必要があります。

5.2 SPI プロトコルで使用される用語

SPI プロトコルで一般的に使用される用語は以下のとおりです。

5.2.1 SPI マスター

SPI マスター デバイスは SPI バス上の動作を制御します。SPI バスは、1 つまたは複数のスレーブ デバイスを制御する 1 つのマスターを持っている場合があります。すべてのスレーブが同じ SPI バスラインを共有し、マスターは \overline{CS} ピンを使用してスレーブ デバイスのいずれかを選択します。あらゆる動作を開始するためには、マスターがスレーブの \overline{CS} ピンを LOW にプルしてスレーブ デバイスをアクティブにする必要があります。マスターは SCK も生成し、SI と SO ライン上のすべてのデータ転送はこのクロックに同期されます。

5.2.2 SPI スレーブ

SPI スレーブ デバイスは、チップ セレクト ラインを介してマスターによってアクティブにされます。スレーブ デバイスは SPI マスターからの SCK を入力とし、すべての通信はこのクロックに同期されます。SPI スレーブはそれ自体として SPI バス上で通信を開始することではなく、マスターからの命令にのみ従って動作します。

CY15X102QN は SPI スレーブ として動作し、他の SPI スレーブ デバイスと SPI バスを共有する場合があります。

5.2.3 チップ セレクト (\overline{CS})

スレーブ デバイスを選択するためには、マスターは該当する \overline{CS} ピンをプルダウンする必要があります。 \overline{CS} ピンが LOW になっているときのみ、命令をスレーブ デバイスに発行できます。デバイスが選択されていない場合、SI ピン経由のデータは無視され、シリアル出力ピン (SO) は高インピーダンス状態が保持されます。

注: 新しい命令は \overline{CS} の立ち下りエッジで開始する必要があります。したがって、アクティブなチップ セレクト サイクルごとに 1 つのオペコードのみが発行されます。

5.2.4 シリアル クロック (SCK)

シリアル クロックは SPI マスターによって生成され、 \overline{CS} が LOW になった後、通信はこのクロックと同期されます。

CY15X102QN は、データ通信のために SPI モード 0 と 3 を有効にします。両方のモードでは、入力 は SCK の立ち上がりエッジでスレーブ デバイスによってラッチされ、出力は立ち下りエッジで発行されます。そのため、SCK の最初の立ち上がりエッジが、SPI 命令の最初の最上位ビット (MSb) が SI ピンに到着したことを意味します。さらに、すべてのデータの入力と出力は SCK と同期されます。

5.2.5 データ転送 (SI/SO)

SPI データバスは、シリアルデータ通信に SI と SO の 2 ラインで構成されます。SI はマスターアウト スレーブイン (MOSI)、SO はマスターイン スレーブアウト (MISO) とも呼ばれています。マスターは SI ピンを介してスレーブに命令を発行し、スレーブは SO ピンを介して応答します。複数のスレーブ デバイスは、前述のように SI と SO ラインを共有する場合があります。

CY15X102QN は、**Figure 2** に示すようにマスターと接続できる SI と SO 用の 2 本の独立したピンを備えています。専用 SPI バスを持たないマイクロコントローラーでは、汎用ポートを使用できます。コントローラーのハードウェアリソースを減らすために、2 本のデータピン (SI、SO) を 1 本にまとめて接続し、 \overline{WP} ピンを HIGH に固定接続できます。**Figure 3** に、ピンを 3 本のみ使用したコンフィギュレーションを示します。

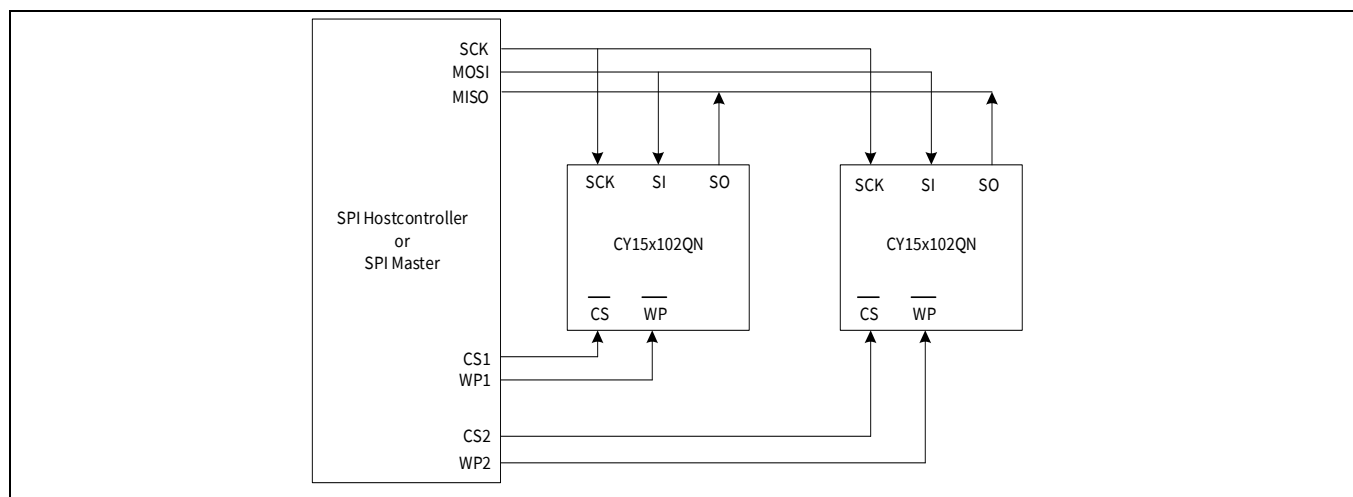


Figure 2 SPI ポートを使用するシステム コンフィギュレーション

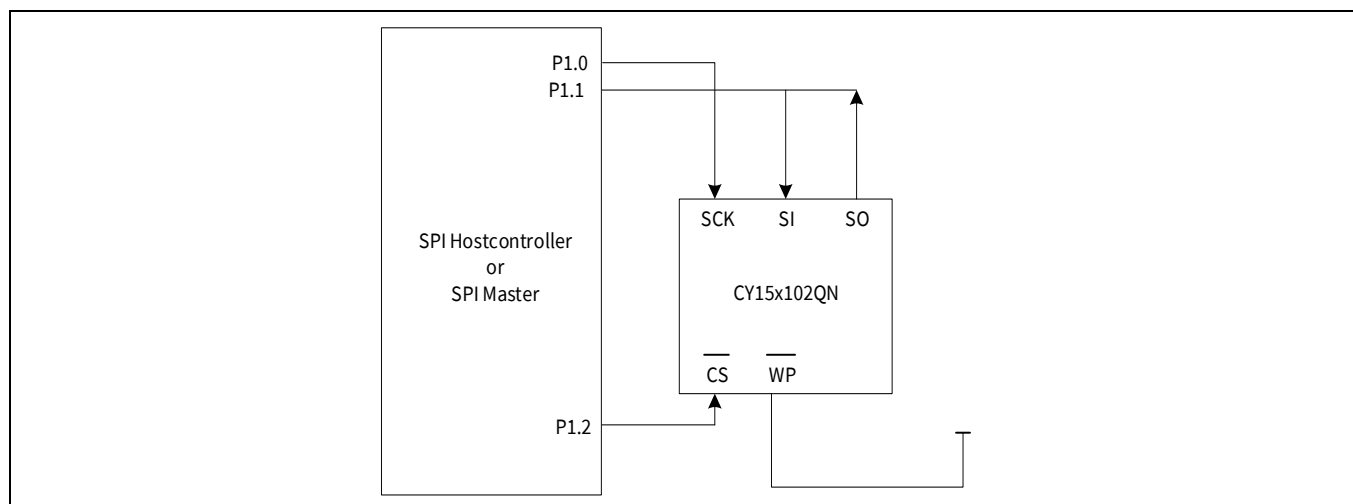


Figure 3 SPI ポートを使用しないシステム コンフィギュレーション

5.2.6 最上位ビット (MSb)

SPI プロトコルでは、送信される最初のビットが MSb である必要があります。この方式はアドレスとデータ転送ともに適用されます。

2M ビットシリアル F-RAM は、あらゆる読み出し / 書き込み動作のために 3 バイトアドレスを必要とします。アドレスは 18 ビットであるため、入力された最初の 6 ビットはデバイスによって無視されます。ビットは「ドント ケア」ですが、より大容量メモリへの円滑な移行を可能にするために、これらのビットを「0」にセットすることが推奨されます。

5.2.7 シリアル オペコード

$\overline{\text{CS}}$ が LOW になる状態でスレーブ デバイスが選択された後、最初に受信されたバイトは、意図されている動作のオペコードとして扱われます。CY15X102QN は標準オペコードをメモリアクセスに使用します。

5.2.8 無効なオペコード

無効なオペコードが受信されるとそのオペコードは無視され、デバイスは次の $\overline{\text{CS}}$ の立ち下りエッジまで SI ピン上にある追加のシリアルデータを無視し、SO ピンはトライステートのままです。

5.2.9 ステータス レジスタ

CY15X102QN には、8 ビットのステータス レジスタが 1 個あります。ステータス レジスタ内のビットはデバイス動作を設定するために使用されます。ビットは [Table 4](#) で説明されます。

5.3 SPI モード

CY15X102QN は、SPI パリフェラルが次の 2 つのモードのいずれかで動作するマイクロコントローラーによって駆動できます。

- SPI モード 0 (CPOL = 0, CPHA = 0)
- SPI モード 3 (CPOL = 1, CPHA = 1)

両方のモードでは、入力データは $\overline{\text{CS}}$ がアクティブにされた後の最初の立ち上りエッジから始まる SCK の立ち上りエッジでラッチされます。クロックが HIGH 状態から起動される場合 (モード 3) では、入力データはクロックトグル後の最初の立ち上りエッジでラッチされます。データは SCK の立ち下りエッジで出力されます。2 つの SPI モードは [Figure 4](#) と [Figure 5](#) に示します。バスマスターがデータを転送していないときのクロックの状態は以下のとおりです。

- モード 0 では、SCK が 0 のまま
- モード 3 では、SCK は 1 のまま

$\overline{\text{CS}}$ ピンを LOW にすることによりデバイスが選択されたとき、デバイスは SCK ピンの状態から SPI モードを検出します。デバイス選択時に、SCK ピンが LOW ならデバイスは SPI モード 0 で動作し、SCK ピンが HIGH ならデバイスは SPI モード 3 で動作します。

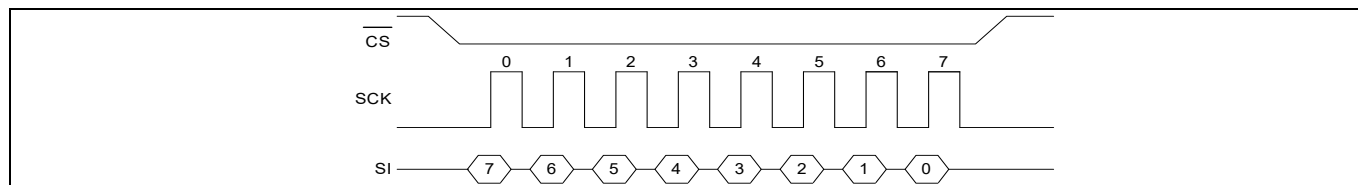


Figure 4 SPI モード 0

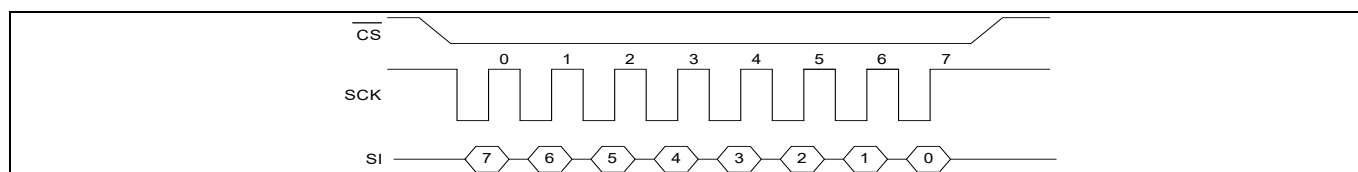


Figure 5 SPI モード 3

5.4 電源投入から最初のアクセスまでの時間

電源投入後、 t_{PU} の間 CY15X102QN へはアクセスできません。ユーザーは、 $t_{PU}(V_{DD}(\text{min}))$ から \overline{CS} が初めて LOW になるときまでの最短期間) のタイミング パラメーターに従わなければいけません。詳細は [パワーサイクル タイミング](#) を参照してください。

6 機能説明

6.1 コマンドの構成

バスマスターが CY15X102QN に発行するコマンド (オペコードと呼ばれる) は 15 個あります (Table 2 を参照してください)。オペコードはメモリが実行する機能を制御します。

Table 2 オペコード コマンド

名称	説明	オペコード		最大周波数 (MHz)
		16 進	2 進	
書き込みイネーブル制御				
WREN	書き込みイネーブル ラッチ セット	06h	0000 0110b	50
WRDI	書き込みイネーブル ラッチ リセット	04h	0000 0100b	50
レジスタ アクセス				
RDSR	ステータス レジスタ読み出し	05h	0000 0101b	50
WRSR	ステータス レジスタ書き込み	01h	0000 0001b	50
メモリ書き込み				
WRITE	メモリ データ書き込み	02h	0000 0010b	50
メモリ読み出し				
READ	メモリ データ読み出し	03h	0000 0011b	40
FSTRD	メモリ データ高速読み出し	0Bh	0000 1011b	50
特殊セクタ メモリ アクセス				
SSWR	特殊セクタ書き込み	42h	0100 0010b	50
SSRD	特殊セクタ読み出し	4Bh	0100 1011b	40
ID およびシリアル番号				
RDID	デバイス ID 読み出し	9Fh	1001 1111b	50
RUID	固有 ID 読み出し	4Ch	0100 1100b	50
WRSN	シリアル番号書き込み	C2h	1100 0010b	50
RDSN	シリアル番号読み出し	C3h	11000 011b	50
低消費電力モード				
DPD	ディープ パワーダウン開始	BAh	1011 1010b	50
HBN	ハイバネート モード開始	B9h	1011 1001b	50
予約済み				
予約済み	予約済み	未使用のオペコードは将来の使用のために予約されます。		-

6.1.1 書き込みイネーブル制御コマンド

6.1.1.1 書き込みイネーブル ラッチ セット (WREN, 06h)

CY15X102QN は書き込みが無効の状態です。電源投入されます。WREN コマンドを書き込み動作の前に発行する必要があります。WREN オペコードを送信することにより、書き込み動作の次のオペコードを発行できます。書き込み動作には、ステータスレジスタ書き込み (WRSR), メモリ書き込み (WRITE), 特殊セクタ書き込み (SSWR), およびシリアル番号書き込み (WRSN) が含まれます。

WREN オペコードを発行すると、内部書き込みイネーブル ラッチがセットされます。WEL と呼ばれるステータスレジスタ内のフラグビットはラッチの状態を示します。WEL = 「1」は、書き込みが許可されることを示します。ステータスレジスタの WEL ビットに書き込んでもこのビットをセットできます。WEL ビットは、WRDI, WRSR, WRITE, SSWR, または WRSN 動作に続く \overline{CS} の立ち上がりエッジで自動的にクリアされます。これにより、別の WREN コマンドが発行されなければ、ステータスレジスタまたは F-RAM アレイへのさらなる書き込みは許可されません。Figure 6 に WREN コマンドのバスコンフィギュレーションを示します。

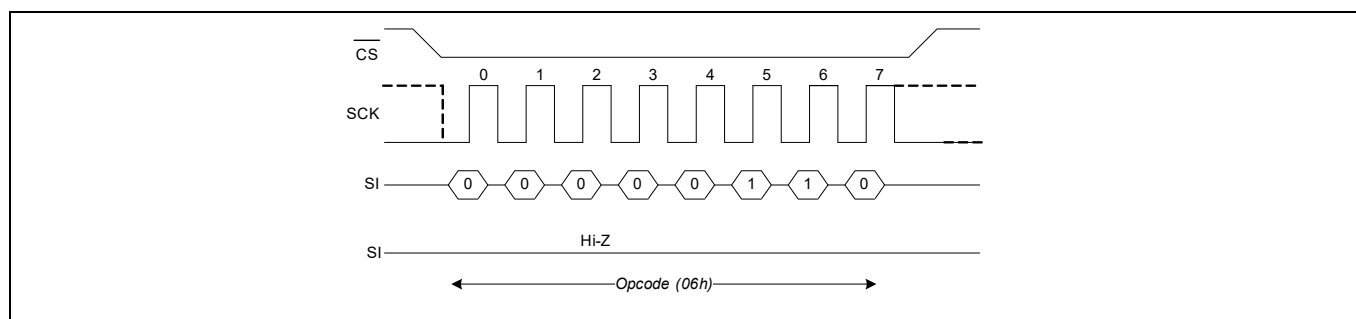


Figure 6 WREN バスコンフィギュレーション

6.1.1.2 書き込みイネーブル ラッチ リセット (WRDI, 04h)

WRDI コマンドは、書き込みイネーブルラッチをクリアすることによりすべての書き込み動作を無効にします。ステータスレジスタの WEL ビットを読み出して WEL = 「0」を確認することで、書き込みが無効になっていることを確認します。Figure 7 に WRDI コマンドのバスコンフィギュレーションを示します。

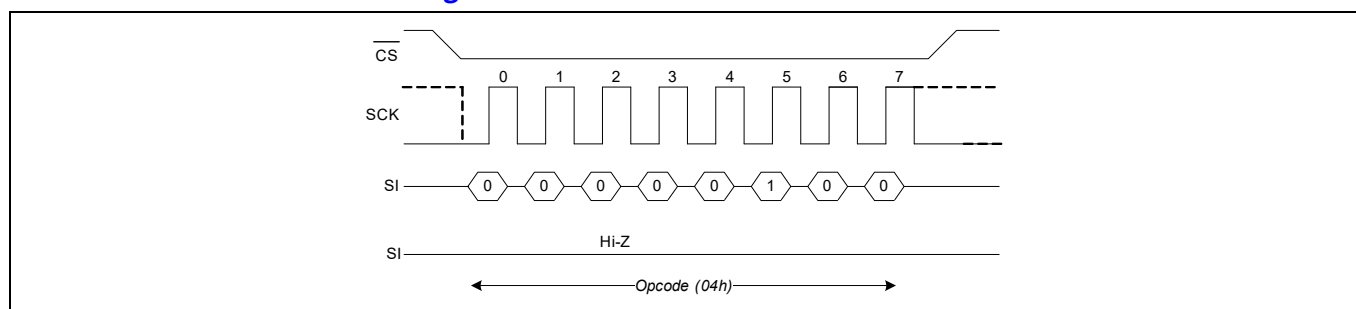


Figure 7 WRDI バスコンフィギュレーション

6.1.1.3 ステータスレジスタおよび書き込み保護

CY15X102QN の書き込み保護機能は多層的であり、ステータスレジスタによって有効にされます。ステータスレジスタは以下のように構成されています (工場出荷時の初期値は、WEL, BP0, BP1, ビット 4 ~ 5, WPEN は「0」, ビット 6 は「1」です)。

Table 3 ステータスレジスタ

ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
WPEN (0)	X (1)	X (0)	X (0)	BP1 (0)	BP0 (0)	WEL (0)	X (0)

Table 4 ステータスレジスタビット定義

ビット	定義	説明
ビット 0	ドント ケア	書き込み不可であり、読み出し時に常に「0」を返します。
ビット 1 (WEL)	書き込みイネーブル	WEL はデバイスの書き込みが有効かどうかを示します。電源投入時、このビットの初期値は「0」(無効)です。 WEL = 「1」--> 書き込みが有効 WEL = 「0」--> 書き込みが無効
ビット 2 (BP0)	ブロック保護ビット「0」	ブロック保護に使用されます。詳細は Table 5 を参照してください。
ビット 3 (BP1)	ブロック保護ビット「1」	
ビット 4 ~ 5	ドント ケア	書き込み不可であり、読み出し時に常に「0」を返します。
ビット 6	ドント ケア	書き込み不可であり、読み出し時に常に「1」を返します。
ビット 7 (WPEN)	書き込み保護イネーブルビット	書き込み保護ピン (\overline{WP}) の機能を有効にするために使用されます。詳細は Table 6 を参照してください。

ビット 0 と 4 ~ 5 は「0」に、ビット 6 は「1」に固定され、これらのビットは修正できません。F-RAM はリアルタイムで書き込まれ、ビジー状態がないため、ビット 0 (シリアルフラッシュや EEPROM では「Ready or Write in progress」(待機または書き込み中)) の状態を示すビット) は不要であり、「0」として読み出されます。ディープ パワーダウン モード (DPD, B9h) またはハイバネート モード (HBN, B9h) のいずれかからウェイクアップしている場合は例外です。BP1 と BP0 はソフトウェアの書き込み保護機能を制御する不揮発性ビットです。WEL フラグは、書き込みイネーブルラッチの状態を示します。ステータスレジスタの WEL ビットに直接書き込んでも状態は変わりません。このビットは内部で WREN および WRDI コマンドでそれぞれセットおよびクリアされます。

BP1 と BP0 はメモリブロックの書き込み保護ビットです。Table 5 に示すように書き込み保護されるメモリ領域を指定します。

Table 5 ブロックメモリの書き込み保護

BP1	BP0	保護されるアドレス範囲
0	0	無し
0	1	30000h ~ 3FFFFh (上位 1/4)
1	0	20000h ~ 3FFFFh (上位 1/2)
1	1	00000h ~ 3FFFFh (すべて)

BP1 と BP0 ビットおよび書き込みイネーブルラッチは、メモリへの書き込みを防止する唯一のメカニズムです。残りの書き込み保護機能は、ブロック保護ビットへの不用意な変更を防止します。

ステータスレジスタの書き込み保護イネーブルビット (WPEN) は、ハードウェア書き込み保護 (\overline{WP}) ピンの効果を制御します。 \overline{WP} ピンタイミング図は Figure 23 を参照してください。WPEN ビットが「0」にセットされると、 \overline{WP} ピンの状態は無視されます。WPEN ビットが「1」にセットされたとき、 \overline{WP} ピンが LOW になるとステータスレジスタへの書き込みが防止されます。したがって、ステータスレジスタは WPEN = 「1」かつ \overline{WP} = 「0」のときにのみ書き込みから保護されます。Table 6 に書き込み保護条件をまとめます。

Table 6 書き込み保護

WEL	WPEN	\overline{WP}	保護ブロック	非保護ブロック	ステータスレジスタ
0	X	X	保護	保護	保護
1	0	X	保護	非保護	非保護
1	1	0	保護	非保護	保護
1	1	1	保護	非保護	非保護

6.1.2 レジスタ アクセス コマンド

6.1.2.1 ステータス レジスタ読み出し (RDSR, 05h)

RDSR コマンドを使用すると、バスマスターはステータス レジスタの内容を検証できます。ステータス レジスタを読み出すことで、書き込み保護機能の現時点の状態情報を得ます。RDSR オペコードに続いて、CY15X102QN はステータス レジスタの内容を持つ 1 バイトを返します。

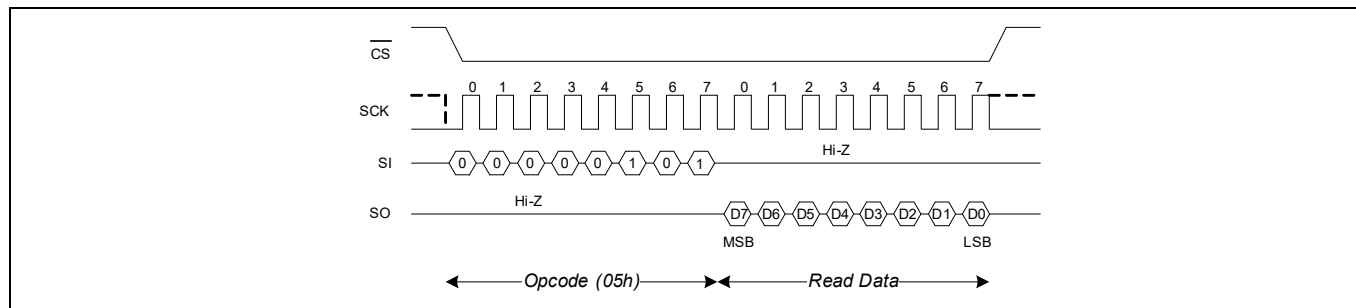


Figure 8 RDSR バス コンフィギュレーション

6.1.2.2 ステータス レジスタ書き込み (WRSR, 01h)

WRSR コマンドを使用すると、SPI バスマスターはステータス レジスタに書き込み、WPEN, BP0, および BP1 ビットを必要に応じて設定することで書き込み保護のコンフィギュレーションを変更できます。WRSR コマンドを発行する前に、WP ピンは HIGH または非アクティブである必要があります。CY15X102QN では、WP がメモリアレイではなくステータス レジスタのみに対する書き込みを防止することに注意してください。WRSR コマンドを送信する前に、書き込みを有効にするために WREN コマンドを送信する必要があります。WRSR コマンドの実行は書き込み動作に相当するため、書き込みイネーブルラッチがクリアされます。

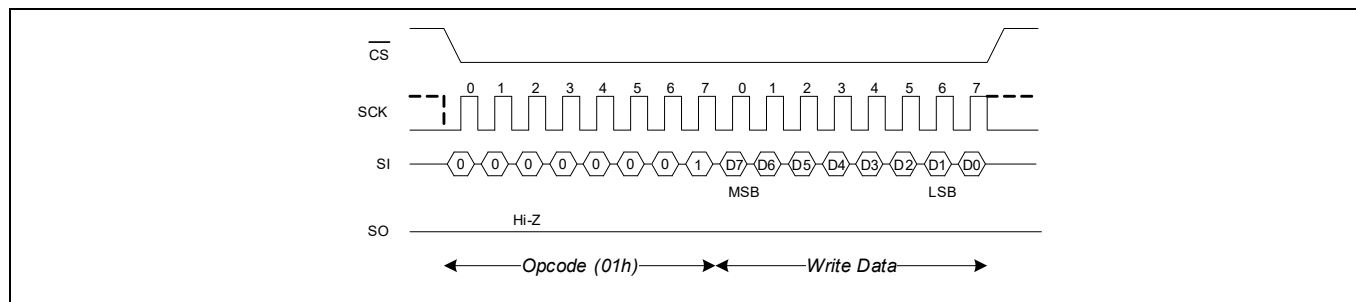


Figure 9 WRSR バス コンフィギュレーション (WREN が非表示)

6.1.3 メモリ動作

高いクロック周波数での動作が可能な SPI インターフェースは、F-RAM 技術の高速書き込み機能を際立たせます。シリアルフラッシュや EEPROM と異なり、CY15X102QN はバス速度でシーケンシャル書き込みを実行できます。ページレジスタは不要であり、シーケンシャルな書き込みは何回でも実行できます。

6.1.4 メモリ書き込み動作コマンド

6.1.4.1 書き込み (WRITE, 02h)

メモリへのすべての書き込みは、アサートおよびデアサートされている \overline{CS} を伴い WREN オペコードで始まります。次のオペコードは WRITE です。WRITE オペコードの後、メモリへ書き込む最初のデータバイトを指定する 18 ビットアドレス (A17 ~ A0) を含む 3 バイトアドレスが続きます。3 バイトアドレスの上位 6 ビットは無視されます。後続のバイトはシーケンシャルに書き込まれるデータバイトです。バスマスターがクロックを送り、 \overline{CS} を LOW に維持している限り、アドレスは内部でインクリメントされます。3FFFFh の最終アドレスに達すると、カウンタは 00000h に戻ります。データは MSb から書き込まれます。 \overline{CS} の立ち上りエッジで書き込み動作が終了します。CY15X102QN の書き込み動作を Figure 10 に示します。

注:

- バースト書き込みが保護されたブロックに達すると、アドレスの自動インクリメントは停止し、書き込み用に受信された後続のデータバイトのすべてがデバイスに無視されます。EEPROM はページバッファを使用して書き込みスループットを上げます。ページバッファは、書き込み動作が遅いという本来の特性を補完するものです。F-RAM メモリは、各データバイトが (8 番目のクロックの後) クロック入力された直後に F-RAM アレイに書き込まれるため、ページバッファを持ちません。そのため、ページバッファの遅延なしにバイトをいくつも書き込めます。
- 書き込み動作中に電源を喪失すると、最後に完了したバイトのみが書き込まれます。

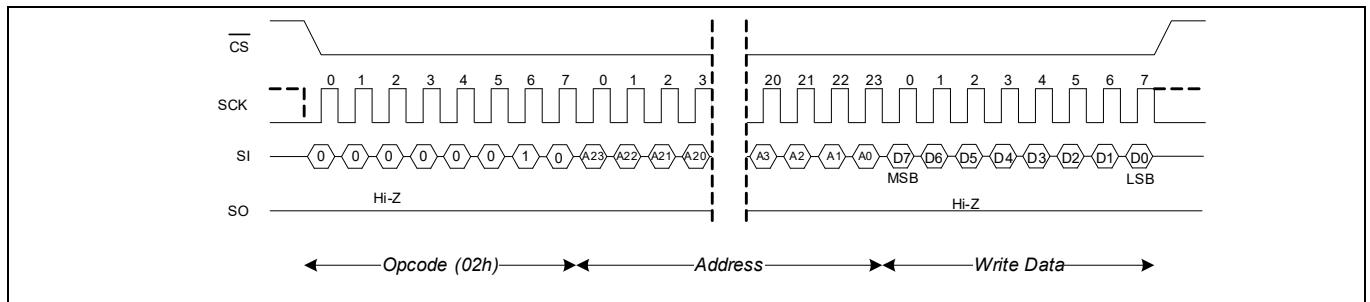


Figure 10 メモリ書き込み動作 (WREN が非表示)

6.1.5 メモリ読み出し動作コマンド

6.1.5.1 読み出し (READ, 03h)

\overline{CS} の立ち下りエッジの後、バスマスターは READ オペコードを発行できます。READ コマンドの後、読み出し動作の最初のバイトを指定する 18 ビットアドレス (A17 ~ A0) を含む 3 バイトアドレスが続きます。アドレスの上位 6 ビットは無視されます。オペコードとアドレスが発行された後、デバイスは次の 8 クロックサイクルの間読み出しデータを出力します。SI 入力は読み出しデータバイトの出力中は無視されます。後続のバイトはシーケンシャルに読み出されるデータバイトです。バスマスターがクロックを送り、 \overline{CS} が LOW である限り、アドレスは内部でインクリメントされます。3FFFFh の最終アドレスに達すると、カウンタは 00000h に戻ります。データは MSb から読み出されます。 \overline{CS} の立ち上りエッジで読み出し動作が終了し、SO ピンがトライステートになります。CY15X102QN の読み出し動作を Figure 11 に示します。

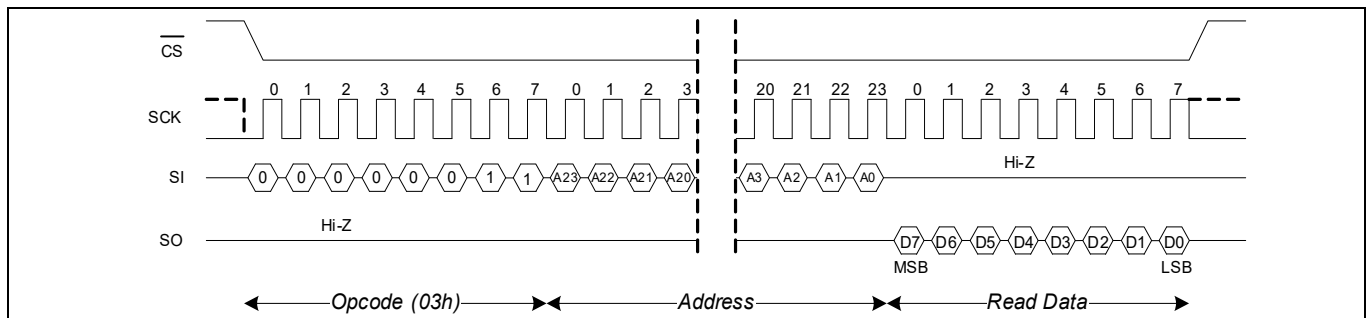


Figure 11 メモリ読み出し動作

6.1.5.2 高速読み出し (FAST_READ, 0Bh)

CY15X102QN は、シリアルフラッシュデバイスとのコード互換性のために提供される FAST_READ オペコード (0Bh) をサポートします。FAST_READ オペコードの後、読み出し動作の最初のバイトを指定する 18 ビットアドレス (A17 ~ A0) を含む 3 バイトアドレス、そして 1 ダミーバイトが続きます。ダミーバイトは 8 クロックサイクルの読み出し遅延を入れます。ダミーバイトを追加することを除き、高速読み出し動作は通常の読み出し動作と同じです。オペコード、アドレス、およびダミーバイトを受信した後、CY15X102QN は SO ラインで MSB からデータバイトを出力し始めます。またデバイスが選択されクロックが有効である限り出力を継続します。バルク読み出しの場合、内部アドレスカウンタは自動的にインクリメントされ、最終アドレス 3FFFFh に達するとカウンタは 00000h に戻ります。デバイスが SO ラインでデータを出力しているとき、SI ライン上の遷移は無視されます。CS の立ち上りエッジで高速読み出し動作が終了し、SO ピンがトライステートになります。CY15X102QN の高速読み出し動作を **Figure 12** に示します。

注: ダミーバイトは Axh (8'b1010xxxx) 以外のいかなる 8 ビット値も可能です。Axh の下位 4 ビットはドントケアビットです。したがって、Axh は本質的に 16 の異なる 8 ビット値を表し、ダミーバイトとして送信すべきではありません。ほとんどの場合、00h がダミーバイトとして使用されます。

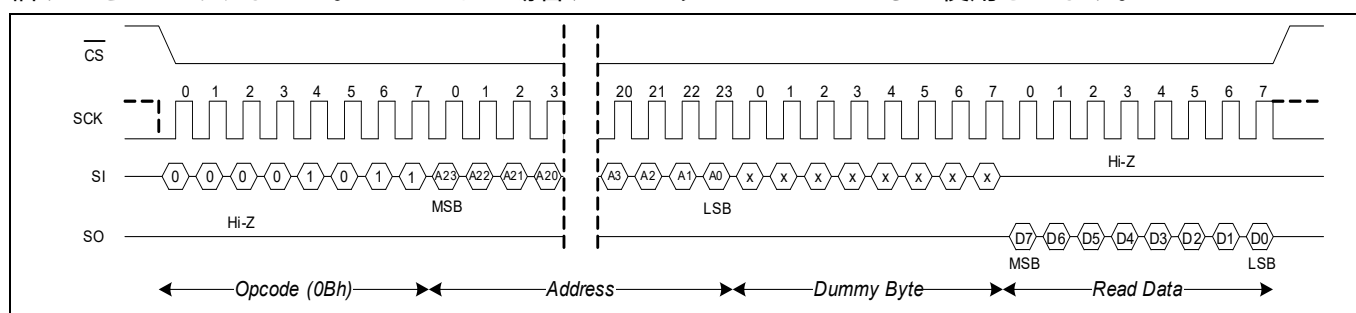


Figure 12 高速読み出し動作

6.1.6 特殊セクタ メモリ アクセス コマンド

6.1.6.1 特殊セクタ書き込み (SSWR, 42h)

256 バイトの特殊セクタへのすべての書き込みは、 $\overline{\text{CS}}$ がアサートおよびデアサートされている状態で WREN オペコードで始まります。次のオペコードは SSWR です。SSWR オペコードの後、特殊セクタメモリへ書き込む最初のデータバイトを指定する 8 ビットセクタアドレス (A7 ~ A0) を含む 3 バイトアドレスが続きます。3 バイトアドレスの上位 16 ビットは無視されます。後続のバイトはシーケンシャルに書き込まれるデータバイトです。バスマスターがクロックを送り、 $\overline{\text{CS}}$ を LOW に維持している限り、アドレスは内部でインクリメントされます。内部アドレスカウンタが自動的に XXXFFh にインクリメントすると、 $\overline{\text{CS}}$ は進行中の SSWR 動作を終了するために HIGH にトグルする必要があります。データは MSb から書き込まれます。 $\overline{\text{CS}}$ の立ち上りエッジで書き込み動作が終了します。CY15X102QN の特殊セクタ書き込み動作を **Figure 13** に示します。

注:

- 書き込み動作中に電源を喪失すると、最後に完了したバイトのみが書き込まれます。
- 特殊セクタ F-RAM メモリは、標準的なはんだリフローの最大 3 サイクルにわたってデータの完全性を維持することを保証します。

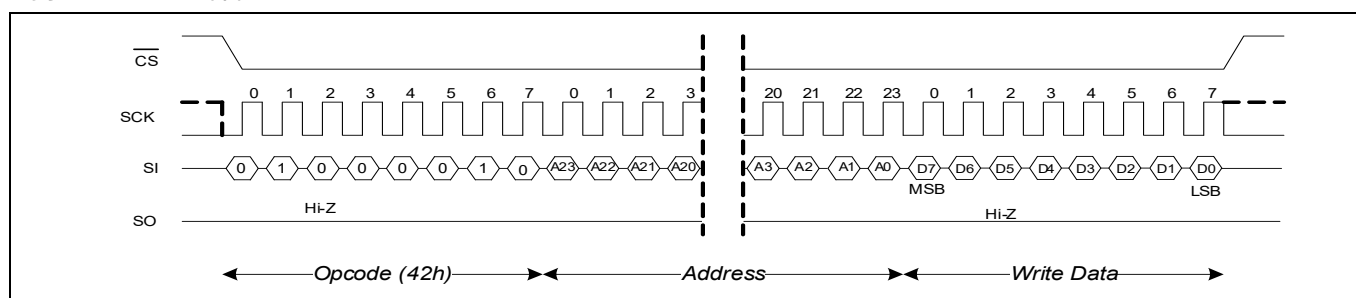


Figure 13 特殊セクタ書き込み動作 (WREN が非表示)

6.1.6.2 特殊セクタ読み出し (SSRD, 4Bh)

\overline{CS} の立ち下りエッジの後、バスマスターは SSRD オペコードを発行できます。SSRD コマンドの後、特殊セクタ読み出し動作の最初のバイトを指定する 8 ビットアドレス (A7 ~ A0) を含む 3 バイトアドレスが続きます。アドレスの上位 16 ビットは無視されます。オペコードとアドレスが発行された後、デバイスは次の 8 クロックサイクルの間読み出しデータを出力します。SI 入力は読み出しデータバイトの出力中は無視されます。後続のバイトはシーケンシャルに読み出されるデータバイトです。バスマスターがクロックを送り、 \overline{CS} が LOW である限り、アドレスは内部でインクリメントされます。内部アドレスカウンタが自動的に XXXFFh にインクリメントすると、 \overline{CS} は進行中の SSRD 動作を終了するために HIGH にトグルする必要があります。データは MSb から読み出されます。 \overline{CS} の立ち上りエッジで特殊セクタ読み出し動作が終了し、SO ピンがトライステートになります。CY15X102QN の特殊セクタの読み出し動作を **Figure 14** に示します。

注：特殊セクタ F-RAM メモリは、標準的なはんだリフローの最大 3 サイクルにわたってデータの完全性を維持することを保証します。

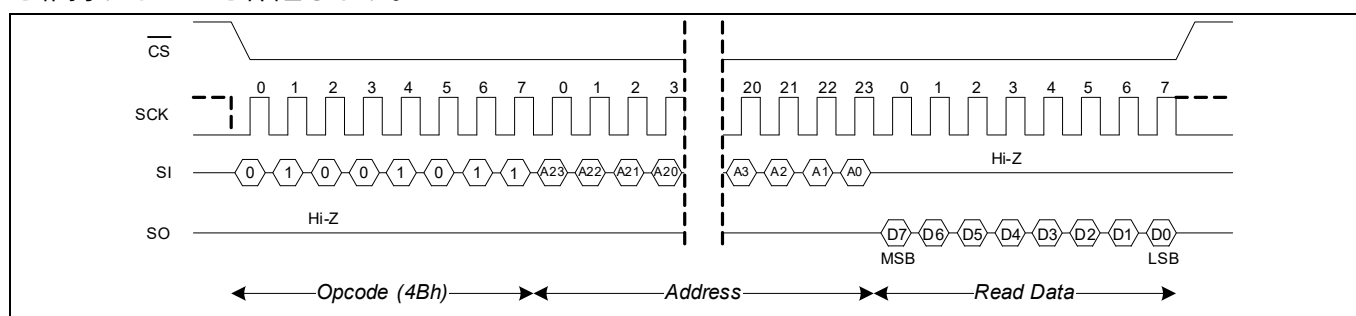


Figure 14 特殊セクタ読み出し動作

6.1.7 ID およびシリアル番号コマンド

6.1.7.1 デバイス ID 読み出し (RDID, 9Fh)

CY15X102QN デバイスは、メーカー、製品 ID、およびダイレビジョンについて問い合わせを行えます。RDID オペコード 9Fh を使用すると、両方とも読み出し専用バイトである 9 バイトのメーカー ID と製品 ID を読み出せます。JEDEC によって割り当てられたメーカー ID は、バンク 7 の中にインフィニオン (Ramtron) の ID を配置しています。そのため、連続コード 7Fh の 6 バイトとそれに続く C2h の 1 バイトがあります。2 バイトの製品 ID はファミリコードとメモリ容量コード、サブコード、および製品レビジョンコードを含みます。Table 6 に、9 バイト デバイス ID のフィールド説明を示します。各製品の 9 バイト デバイス ID については注文情報を参照してください。CY15X102QN のデバイス ID 読み出し動作を Figure 15 に示します。

注: 最下位のデータバイト (バイト 0) は最初に、最上位のデータバイト (バイト 8) は最後にシフトアウトされます。

Table 7 9 バイト デバイス ID

デバイス ID フィールドの説明							
メーカー ID [71:16]	ファミリ [15:13]	メモリ容量 [12:9]	突入電流 [8]	サブタイプ [7:5]	レビジョン [4:3]	電圧 [2]	周波数 [1:0]
56 ビット	3 ビット	4 ビット	1 ビット	3 ビット	2 ビット	1 ビット	2 ビット

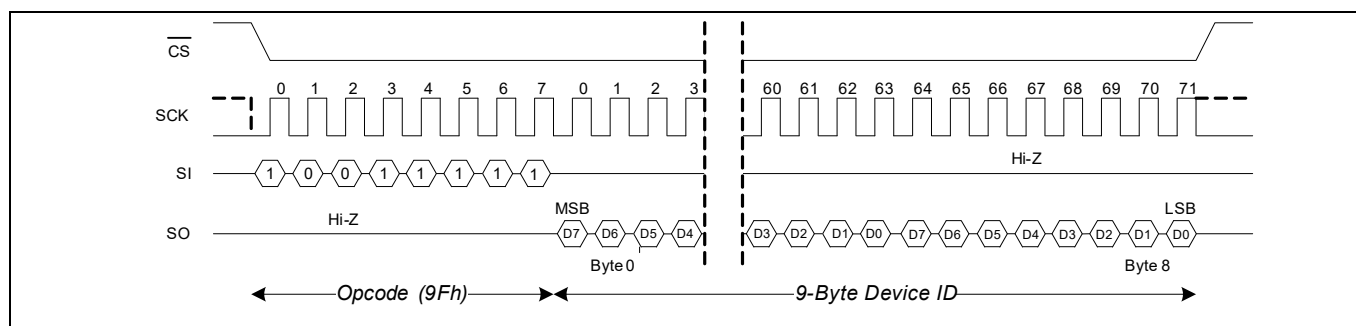


Figure 15 デバイス ID 読み出し

6.1.7.2 固有 ID 読み出し (RUID, 4Ch)

CY15X102QN デバイスは、工場出荷時にプログラムされたデバイスに固有の 64 ビット番号である固有 ID について問い合わせを行えます。RUID オペコード 4Ch を使用すると、8 バイトの読み出し専用固有 ID を読み出せます。CY15X102QN の固有 ID 読み出し動作を Figure 16 に示します。

注:

- 最下位のデータバイト (バイト 0) は最初に、最上位のデータバイト (バイト 7) は最後にシフトアウトされます。
- 固有 ID レジスタは、標準的なハンドリフローの最大 3 サイクルにわたってデータ安全性を保証します。

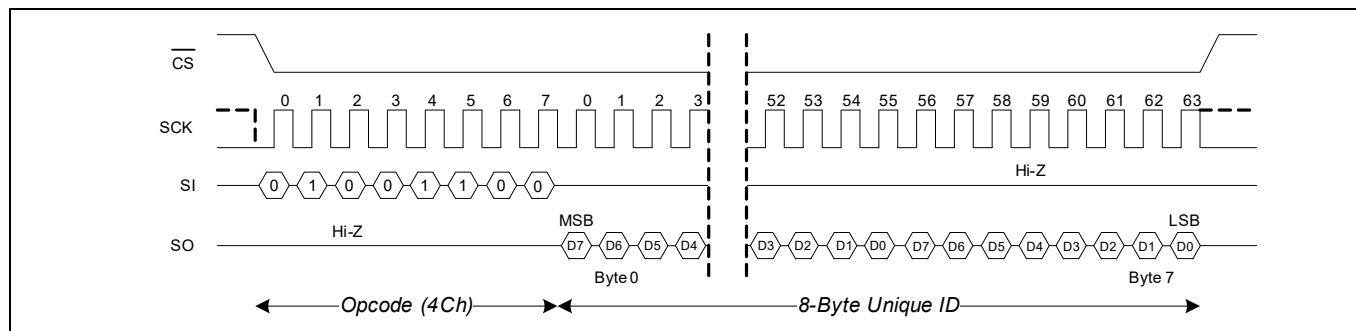


Figure 16 固有 ID 読み出し

6.1.7.3 シリアル番号書き込み (WRSN, C2h)

シリアル番号は、PC 基板またはシステムを一義的に識別するためにユーザーに提供される 8 バイトのワнтаムプログラマブルメモリ空間です。通常、シリアル番号は 2 バイトのカスタム ID とその後に続く 5 バイトの一義的なシリアル番号および 1 バイトの CRC チェックで構成されています。しかし、エンドアプリケーションでは、8 バイトのシリアル番号に独自フォーマットで定義ができます。シリアル番号レジスタへのすべての書き込みは、CS がアサートおよびデアサートされている状態で WREN オペコードで始まります。次のオペコードは WRSN です。WRSN 命令は、シリアル番号の 8 バイトすべてを書き込むためにバーストモードで使用できます。シリアル番号の最後のバイトがシフトインされた後、WRSN 動作を完了するために CS を HIGH に駆動する必要があります。CY15X102QN のシリアル番号書き込み動作を Figure 17 に示します。

注: CRC チェックサムはデバイスによって計算されません。システムファームウェアは 7 バイトの内容の CRC チェックサムを計算し、チェックサムを 7 バイトのユーザー定義のシリアル番号に付け加えてから、8 バイトシリアル番号をシリアル番号レジスタにプログラムする必要があります。8 バイトシリアル番号の工場出荷時の初期値は「0000000000000000h」です。

Table 8 8 バイト シリアル番号

16 ビット カスタム ID		40 ビット 固有番号					8 ビット CRC
SN[63:56]	SN[55:48]	SN[47:40]	SN[39:32]	SN[31:24]	SN[23:16]	SN[15:8]	SN[7:0]

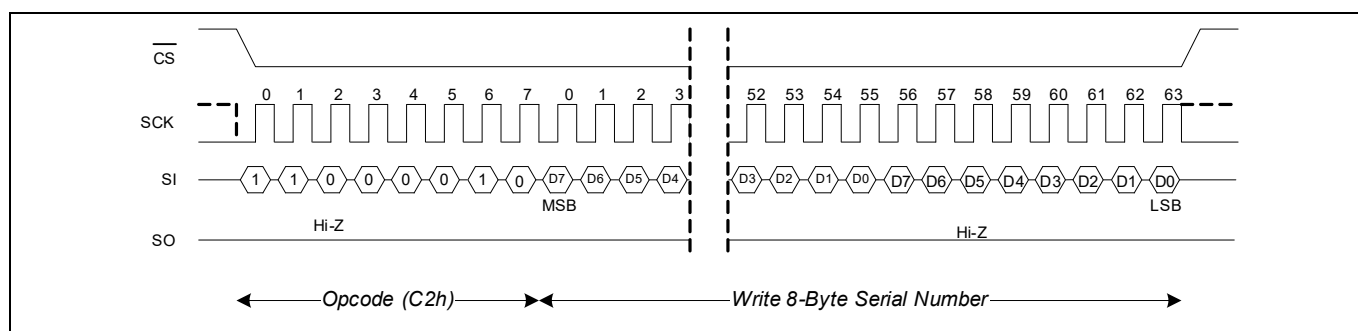


Figure 17 シリアル番号書き込み動作 (WREN が非表示)

6.1.7.4 シリアル番号読み出し (RDSN, C3h)

CY15X102QN デバイスはデバイスを一義的に識別するためにユーザーに提供される 8 バイトのシリアル番号のスペースを組み込んでいます。シリアル番号は RDSN 命令で読み出されます。シリアル番号読み出しをバーストモードで実行することで、一度にすべての 8 バイトを読み出せます。シリアル番号の最後のバイトが読み出されると、デバイスはシリアル番号の最初の (MSB) バイトにループバックします。

CS が LOW になった後、RDSN のオペコードをシフトすることで RDSN 命令を発行できます。

CY15X102QN のシリアル番号読み出し動作を Figure 18 に示します。

注: 最下位のデータバイト (バイト 0) は最初に、最上位のデータバイト (バイト 7) は最後にシフトアウトされます。

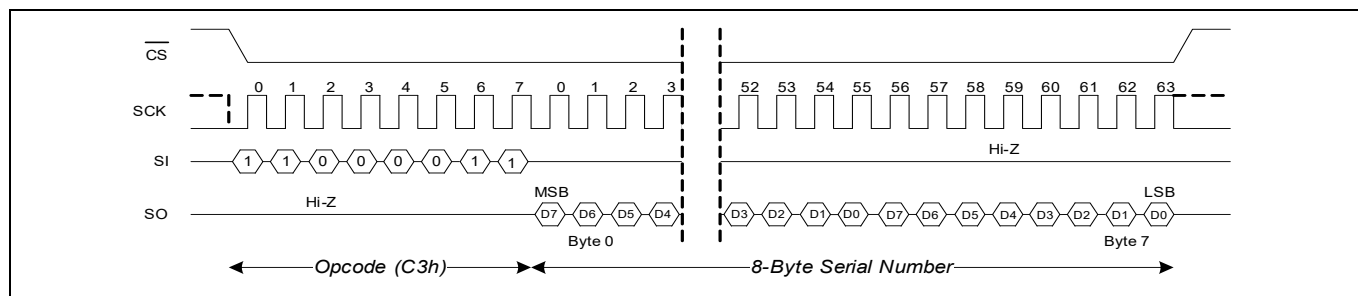


Figure 18 シリアル番号読み出し動作

6.1.8 低消費電力モード コマンド

6.1.8.1 ディープ パワーダウン モード (DPD, BAh)

CY15X102QN デバイスには省電力のディープパワーダウンモードが実装されています。デバイスは、DPD オペコード BAh がクロック入力され、 \overline{CS} の立ち上りエッジが適用されてから t_{ENTDPD} の時間後にディープパワーダウンモードに入ります。ディープパワーダウンモードでは、SCK と SI ピンは無視され、SO は Hi-Z になりますが、デバイスは \overline{CS} ピンの監視を継続します。

t_{CSDPD} の \overline{CS} パルス幅は、 t_{EXTDPD} 時間後に DPD モードを終了します。 \overline{CS} パルス幅は、ダミーコマンドサイクルを送信するか、または SCK と I/O がドントケアになっている間に \overline{CS} のみをトグルすることによって生成できます。ディープパワーダウンモードからの復帰中は、I/O は Hi-Z 状態のままです。DPD の開始と終了タイミングについては、それぞれ **Figure 19** と **Figure 20** を参照してください。

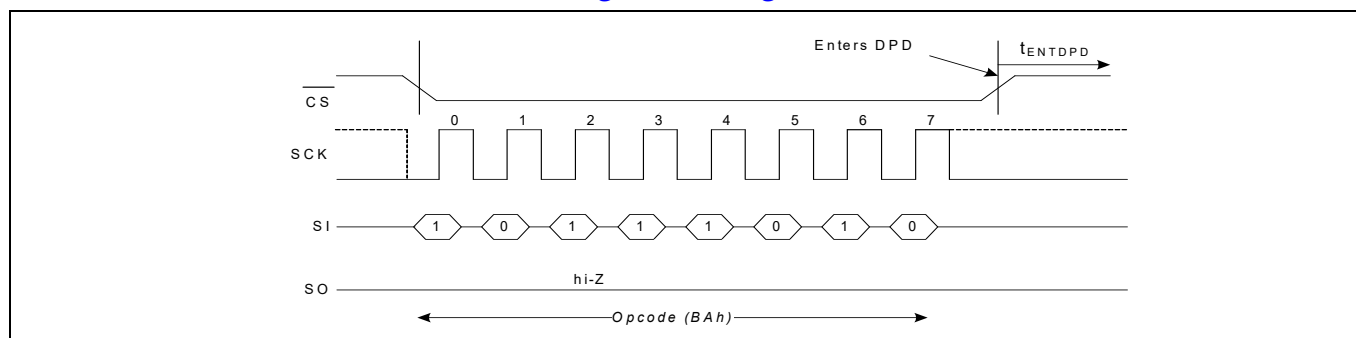


Figure 19 DPD 開始タイミング

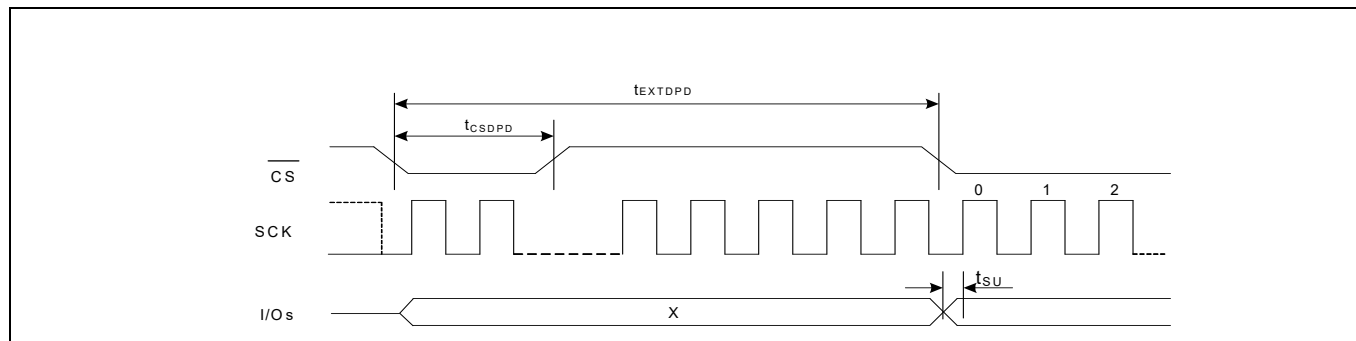


Figure 20 DPD 終了タイミング

6.1.8.2 ハイバネート モード (HBN, B9h)

CY15X102QN デバイスには最低消費電力のハイバネート モードが実装されています。デバイスは、HBN オペコード B9h がクロック入力され、 \overline{CS} の立ち上りエッジが適用されてから t_{ENTHIB} の時間後にハイバネート モードに入ります。ハイバネート モードでは、SCK と SI ピンが無視され、SO が Hi-Z になりますが、デバイスは \overline{CS} ピンの監視を続けます。 \overline{CS} の次の立ち下りエッジで、デバイスは、 t_{EXTHIB} 以内に通常の動作に復帰します。ハイバネート モードからの復帰中は、SO ピンは Hi-Z 状態のままです。デバイスは、復帰期間内では必ずしもオペコードに応答しません。ハイバネート モードを終了するために、コントローラーは、例えば「ダミー」読み出しを送信し、残りの t_{EXTHIB} 時間待機することがあります。

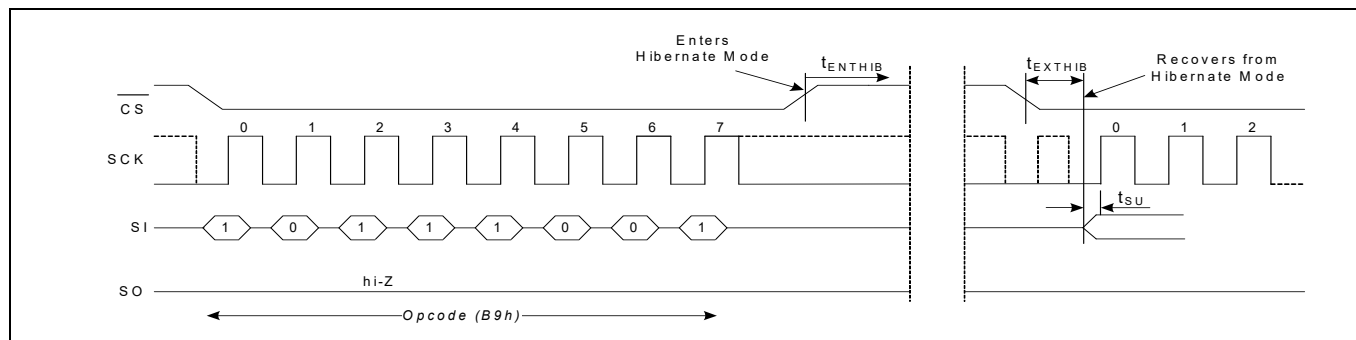


Figure 21 ハイバネート モード動作

6.1.8.3 アクセス可能回数

CY15X102QN デバイスは 10^{13} 回以上、読み書きを問わずアクセスできます。

F-RAM メモリは読み出しと復元メカニズムを伴い動作します。そのため、メモリアレイへのアクセス (読み出し / 書き込み) に対して、アクセスサイクルが行単位で適用されます。F-RAM のアーキテクチャは、64 ビットの列と 32,000 の行から成るアレイを基にしています。読み出し / 書き込みは行単位で行われます。1 行内のデータのアクセスバイト数に関わらず内部的に行に対するアクセスは 1 回です。行内の各バイトは、アクセス可能回数の計算では 1 回だけカウントされます。Table 9 に、オペコード、開始アドレス、シーケンシャル 64 バイトデータの流れを含む、64 バイトの繰り返しループに対応したアクセス可能回数を示します。これはループによって各バイトがアクセス 1 回を費やしたことになります。

Table 9 64 バイト ループの繰り返しでアクセス可能回数に達する期間

SCK 周波数 (MHz)	アクセス回数 (サイクル / 秒)	アクセス回数 (サイクル / 年)	10^{13} リミットに達するまでの年数
50	91,900	2.9×10^{12}	3.45
40	73,520	2.32×10^{12}	4.31
10	18,380	5.79×10^{11}	17.27
5	9,190	2.90×10^{11}	34.54

最大定格

7 最大定格

最大定格を超えると、デバイスの寿命が短くなる可能性があります。ユーザーガイドラインはテストされていません。

保存温度	-65°C ~ +150°C
最大累積保存時間	
周囲温度 150°C	1000 時間
周囲温度 125°C	11000 時間
周囲温度 85°C	121 年
最大接合部温度	135°C
V_{SS} を基準にした V_{DD} 電源電圧	
CY15V102QN:	-0.5 V ~ +2.4 V
CY15B102QN:	-0.5 V ~ +4.1 V
入力電圧	$V_{IN} \leq V_{DD} + 0.5 V$
High-Z 状態の出力に印加される DC 電圧	-0.5 V ~ $V_{DD} + 0.5 V$
グランド電位を基準にした任意のピンの過渡電圧 (< 20 ns)	-2.0 V ~ $V_{DD} + 2.0 V$
パッケージ許容電力損失 ($T_A = 25^\circ\text{C}$)	1.0 W
表面実装はんだ付け温度 (3 秒)	+260°C
DC 出力電流 (一度に 1 出力, 1 秒間)	15 mA
静電気の放電電圧	
人体モデル (JEDEC 規格 JESD22-A114-B)	2 kV
帯電デバイス モデル (JEDEC 規格 JESD22-C101-A)	500 V
ラッチアップ電流	>100 mA

8 動作範囲

Table 10 動作範囲

デバイス	範囲	周囲温度	V _{DD}
CY15V102QN	車載用拡張温度範囲	-40°C ~ +125°C	1.71 V ~ 1.89 V
CY15B102QN			1.8 V ~ 3.6 V

9 DC 電気的特性

Table 11 DC 電気的特性

動作範囲において

パラメーター	説明	テスト条件		Min	Typ ^[2, 3]	Max	単位
V _{DD}	電源	CY15V102QN		1.71	1.8	1.89	V
		CY15B102QN		1.8	3.3	3.6	
I _{DD}	V _{DD} 電源電流	V _{DD} = 1.71 V ～ 1.89 V。 SCK は V _{DD} -0.2 V と V _{SS} の間でトグル。他の 入力は V _{SS} または V _{DD} -0.2 V。 SO = 開放	f _{SCK} = 1 MHz	–	0.4	1.1	mA
			f _{SCK} = 40 MHz	–	3.7	6.0	
			f _{SCK} = 50 MHz	–	5.0	7.0	
		V _{DD} = 1.8 V ～ 3.6 V。 SCK は V _{DD} -0.2 V と V _{SS} の間でトグル。他の 入力は V _{SS} または V _{DD} -0.2 V。 SO = 開放	f _{SCK} = 1 MHz	–	0.5	1.4	
			f _{SCK} = 40 MHz	–	4.3	8.0	
			f _{SCK} = 50 MHz	–	6.0	8.0	
I _{SB}	V _{DD} スタンバイ 電流	V _{DD} = 1.71 V ～ 1.89 V。 CS = V _{DD} 。他のすべての の入力ピンは V _{SS} また は V _{DD} に接続します。	T _A = 25°C	–	2.7	–	
			T _A = 85°C	–	–	75	
			T _A = 125°C	–	–	340	
		V _{DD} = 1.8 V ～ 3.6 V。CS = V _{DD} 。他のすべての の入力ピンは V _{SS} または V _{DD} に接続します。	T _A = 25°C	–	3.2	–	
			T _A = 85°C	–	–	75	
			T _A = 125°C	–	–	350	
I _{DPD}	ディープ パワーダウン 電流	V _{DD} = 1.71 V ～ 1.89 V。 CS = V _{DD} 。他のすべての の入力ピンは V _{SS} また は V _{DD} に接続します。	T _A = 25°C	–	1.1	–	μA
			T _A = 85°C	–	–	15	
			T _A = 125°C	–	–	70	
		V _{DD} = 1.8 V ～ 3.6 V。CS = V _{DD} 。他のすべての の入力ピンは V _{SS} または V _{DD} に接続します。	T _A = 25°C	–	1.3	–	
			T _A = 85°C	–	–	17	
			T _A = 125°C	–	–	80	

注:

- Typ 値は 25°C , $V_{DD} = V_{DD(\text{typ})}$ です。
- このパラメーターは特性によって保証され、量産中にテストされません。

DC 電気的特性

Table 11 DC 電気的特性 (continued)

動作範囲において

パラメーター	説明	テスト条件	Min	Typ ^[2, 3]	Max	単位
I_{HBN}	ハイバネートモード電流	$V_{\text{DD}} = 1.71 \text{ V} \sim 1.89 \text{ V}$, $T_{\text{A}} = 25^{\circ}\text{C}$	–	0.1	–	μA
		$\overline{\text{CS}} = V_{\text{DD}}$, 他すべての入力ピンは V_{SS} または V_{DD} に接続します。 $T_{\text{A}} = 85^{\circ}\text{C}$	–	–	0.9	
		$T_{\text{A}} = 125^{\circ}\text{C}$	–	–	8.0	
		$V_{\text{DD}} = 1.8 \text{ V} \sim 3.6 \text{ V}$, $\overline{\text{CS}} = V_{\text{DD}}$, 他すべての入力ピンは V_{SS} または V_{DD} に接続します。 $T_{\text{A}} = 25^{\circ}\text{C}$	–	0.1	–	
		$T_{\text{A}} = 85^{\circ}\text{C}$	–	–	1.6	
		$T_{\text{A}} = 125^{\circ}\text{C}$	–	–	14	
I_{LI}	$\overline{\text{WP}}$ ピンを除く I/O ピンの入力リーク電流	$V_{\text{SS}} < V_{\text{IN}} < V_{\text{DD}}$	–5	–	5	V
	$\overline{\text{WP}}$ ピンの入力リーク電流		–100	–	5	
I_{LO}	出力リーク電流	$V_{\text{SS}} < V_{\text{OUT}} < V_{\text{DD}}$	–5	–	5	
V_{IH}	入力 HIGH 電圧		$0.7 \times V_{\text{DD}}$	–	$V_{\text{DD}} + 0.3$	
V_{IL}	入力 LOW 電圧		–0.3	–	$0.3 \times V_{\text{DD}}$	
V_{OH1}	出力 HIGH 電圧	$I_{\text{OH}} = -1 \text{ mA}$, $V_{\text{DD}} = 2.7 \text{ V}$	2.4	–	–	
V_{OH2}		$I_{\text{OH}} = -100 \mu\text{A}$	$V_{\text{DD}} - 0.2$	–	–	
V_{OL1}	出力 LOW 電圧	$I_{\text{OL}} = 2 \text{ mA}$, $V_{\text{DD}} = 2.7 \text{ V}$	–	–	0.4	
V_{OL2}		$I_{\text{OL}} = 150 \mu\text{A}$	–	–	0.2	

注:

- Typ 値は 25°C , $V_{\text{DD}} = V_{\text{DD}}(\text{typ})$ です。
- このパラメーターは特性によって保証され、量産中にテストされません。

10 データ保持期間およびアクセス可能回数

Table 12 データ保持期間およびアクセス可能回数

パラメーター	説明	テスト条件	Min	Max	単位
T _{DR}	データ保持期間	T _A = 125°C	11000	–	時間
		T _A = 105°C	11	–	年
		T _A = 85°C	121	–	
NV _C	アクセス可能回数	動作温度範囲内	10 ¹³	–	回

11 AEC-Q100 車載用アプリケーションでの F-RAM 製品寿命の例

アプリケーションは、全ライフタイムにおいて定常的な温度条件で動作するわけではありません。むしろアプリケーションのライフタイムを通じて様々な温度環境で動作することを期待されています。よって、アプリケーションに使用する F-RAM のデータ保持仕様は累積的に計算されます。多温度熱プロファイルの計算例を下表に示します。

Table 13 AEC-Q100 車載アプリケーションでの F-RAM 製品寿命の例

温度 T	時間係数 t	Tmax に応じる加速係数 A ^[4]	プロファイル要因 P	プロファイル ライフタイム L(P)
		$A = \frac{L(T)}{L(T_{\max})} = e^{\frac{E_a}{k} \left(\frac{1}{T} - \frac{1}{T_{\max}} \right)}$	$P = \frac{1}{\left(\frac{t_1}{A_1} + \frac{t_2}{A_2} + \frac{t_3}{A_3} + \frac{t_4}{A_4} \right)}$	$L(P) = P \times L(T_{\max})$
T1 = 125°C	t1 = 0.1	A1 = 1	8.33	> 10.46 年
T2 = 105°C	t2 = 0.15	A2 = 8.67		
T3 = 85°C	t3 = 0.25	A3 = 95.68		
T4 = 55°C	t4 = 0.50	A4 = 6074.80		

注:

4. ここでは、k は Boltzmann 定数 8.617×10^{-5} eV/K で、Tmax は製品の指定した最大温度で、T は F-RAM 製品の仕様範囲内の温度です。式では、すべての温度の単位はケルビンです。

12 静電容量

Table 14 静電容量

すべてのパッケージ

パラメーター [5]	説明	テスト条件	Max	単位
C_0	出力ピン静電容量 (SO)	$T_A = 25^\circ\text{C}$, $f = 1\text{ MHz}$, $V_{DD} = V_{DD(\text{typ})}$	8	pF
C_I	入力ピン静電容量		6	

注:

5. このパラメーターは特性によって保証され、量産中にテストされません。

熱抵抗

13 熱抵抗

Table 15 熱抵抗

パラメーター ^[6]	説明	テスト条件	8 ピン SOIC パッケージ	単位
Θ_{JA}	熱抵抗 (接合部から周囲)	テスト条件は、EIA/JESD51 による、熱インピーダンスを測定するための標準的なテスト方法と手順に従います。	88.6	°C/W
Θ_{JC}	熱抵抗 (接合部からケース)		56	

注:

6. このパラメーターは特性によって保証され、量産中にテストされません。

14 AC テスト条件

入力パルス レベル	V_{DD} の 10% と 90%
入力の立ち上がりと立ち下り時間	3 ns
入力と出力のタイミング参照レベル	$0.5 \times V_{DD}$
出力負荷容量	30 pF

15 AC スイッチング特性

Table 16 AC スイッチング特性

動作範囲において

パラメーター ^[7]		説明	40 MHz		50 MHz		単位
パラメーター	代替パラメーター		Min	Max	Min	Max	
f_{SCK}	–	SCK クロック周波数	0	40	0	50	MHz
t_{CH}	–	クロック HIGH 時間	11	–	9	–	ns
t_{CL}	–	クロック LOW 時間	11	–	9	–	
$t_{\text{CLZ}}^{[10]}$	–	クロック LOW から 出力 low-Z までの時間	0	–	0	–	
t_{CSS}	t_{CSU}	チップセレクトのセットアップ時間	5	–	5	–	
t_{CSH}	t_{CSH}	チップセレクト ホールド時間 - SPI モード 0	5	–	5	–	
t_{CSH1}	–	チップセレクト ホールド時間 - SPI モード 3	10	–	10	–	
$t_{\text{HZCS}}^{[8,9]}$	t_{OD}	出力ディセーブル時間	–	12	–	10	
t_{CO}	t_{ODV}	出力データ有効時間	–	9	–	8	
t_{OH}	–	出力ホールド時間	1	–	1	–	
t_{CS}	t_{D}	選択解除時間	40	–	40	–	
t_{SD}	t_{SU}	データ セットアップ時間	5	–	5	–	
t_{HD}	t_{H}	データ ホールド時間	5	–	5	–	
t_{WPS}	t_{WHSL}	$\overline{\text{WP}}$ セットアップ時間 ($\overline{\text{CS}}$ に対して)	20	–	20	–	
t_{WPH}	t_{SHWL}	$\overline{\text{WP}}$ ホールド時間 ($\overline{\text{CS}}$ に対して)	20	–	20	–	

注:

- テスト条件は **AC テスト条件** に示す 3 ns 以下の信号遷移時間、 $0.5 \times V_{\text{DD}}$ のタイミング参照レベル、 V_{DD} の 10% ~ 90% の入力パルスレベル、指定の $I_{\text{OL}}/I_{\text{OH}}$ の出力負荷および 30 pF の負荷容量を前提にしています。
- t_{HZCS} は 5 pF の負荷容量が付いている状態で測定されます。出力が高インピーダンス状態に入ると遷移が測定されます。
- このパラメーターは特性によって保証され、量産中にテストされません。
- 設計で保証されています。

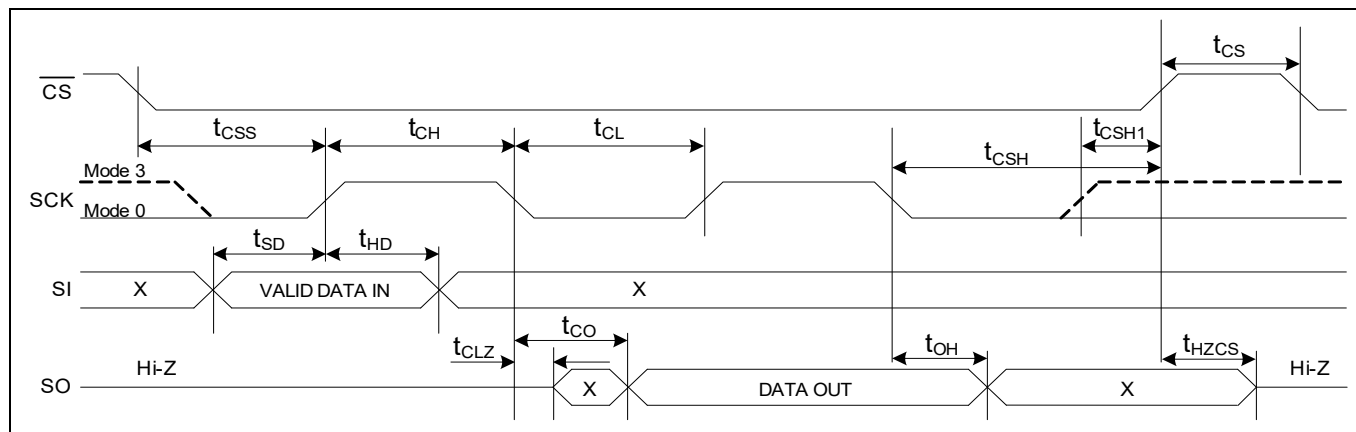


Figure 22 同期データ タイミング (モード 0 と モード 3)

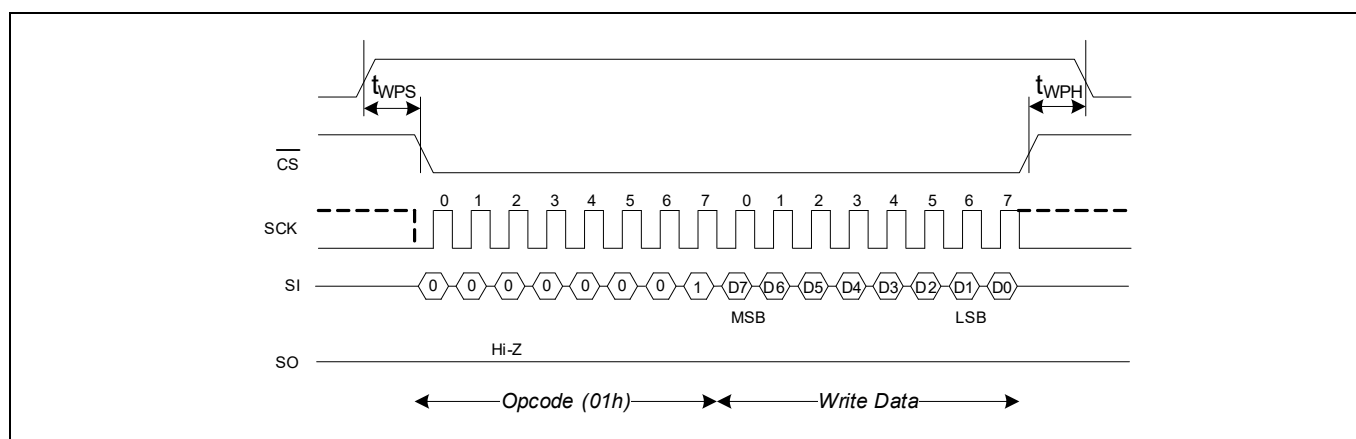


Figure 23 ステータス レジスタ書き込み (WRSR) 動作中の書き込み保護タイミング

16 パワー サイクル タイミング

Table 17 パワー サイクル タイミング

動作範囲において

パラメーター ^[11]		説明	Min	Max	単位
パラメーター	代替パラメーター				
t_{PU}	–	電源投入時 $V_{DD}(\min)$ から最初のアクセス (\overline{CS} LOW) までの時間	450	–	μs
t_{VR} ^[12]	–	V_{DD} 電源投入時ランプレート	30	–	$\mu s/V$
t_{VF} ^[12, 13]	–	V_{DD} 電源切断時ランプレート	20	–	
t_{ENTDPD} ^[14]	t_{DP}	\overline{CS} HIGH からディープパワーダウン開始までの時間 (\overline{CS} HIGH からディープパワーダウンモードまで)	–	3	μs
t_{CSDPD}	–	ディープパワーダウンモードから復帰するための \overline{CS} パルス幅	0.015	$4 \times 1/f_{SCK}$	
t_{EXTDPD}	t_{RDP}	ディープパワーダウンモードからの回復時間 (\overline{CS} LOW からアクセス準備完了まで)	–	10	
t_{ENTHIB} ^[15]	–	\overline{CS} HIGH からハイバネート開始までの時間 (\overline{CS} HIGH からハイバネートモード開始まで)	–	3	
t_{EXTHIB}	t_{REC}	ハイバネートモードからの回復時間 (\overline{CS} LOW からアクセス準備完了)	–	450	
$V_{DD}(\text{low})$ ^[13]	–	初期化が必要となる低 V_{DD}	0.6	–	V
t_{PD} ^[13]	–	$V_{DD}(\text{Low})$ が 0.6V 時の $V_{DD}(\text{Low})$ 時間	130	–	μs
		$V_{DD}(\text{Low})$ が V_{SS} 時の $V_{DD}(\text{Low})$ 時間	70	–	

注:

11. テスト条件は **AC テスト条件** に示す 3ns 以下の信号遷移時間、 $0.5 \times V_{DD}$ のタイミング参照レベル、 V_{DD} の 10% ~ 90% の入力パルスレベル、指定の I_{OL}/I_{OH} の出力負荷および 30pF の負荷容量を前提にしています。
12. V_{DD} 波形上の任意の点で測定した傾きです。
13. このパラメーターは特性によって保証され、量産中にテストされません。
14. 設計で保証されています。ディープスリープモードタイミングは **Figure 19** を参照してください。
15. 設計で保証されています。ハイバネートモードタイミングは **Figure 21** を参照してください。

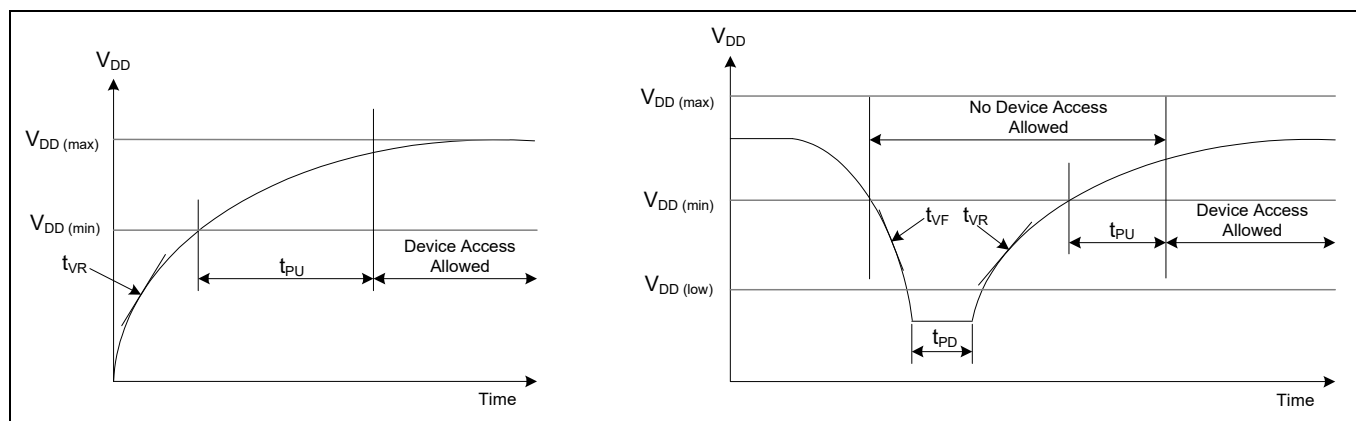


Figure 24 パワー サイクル タイミング

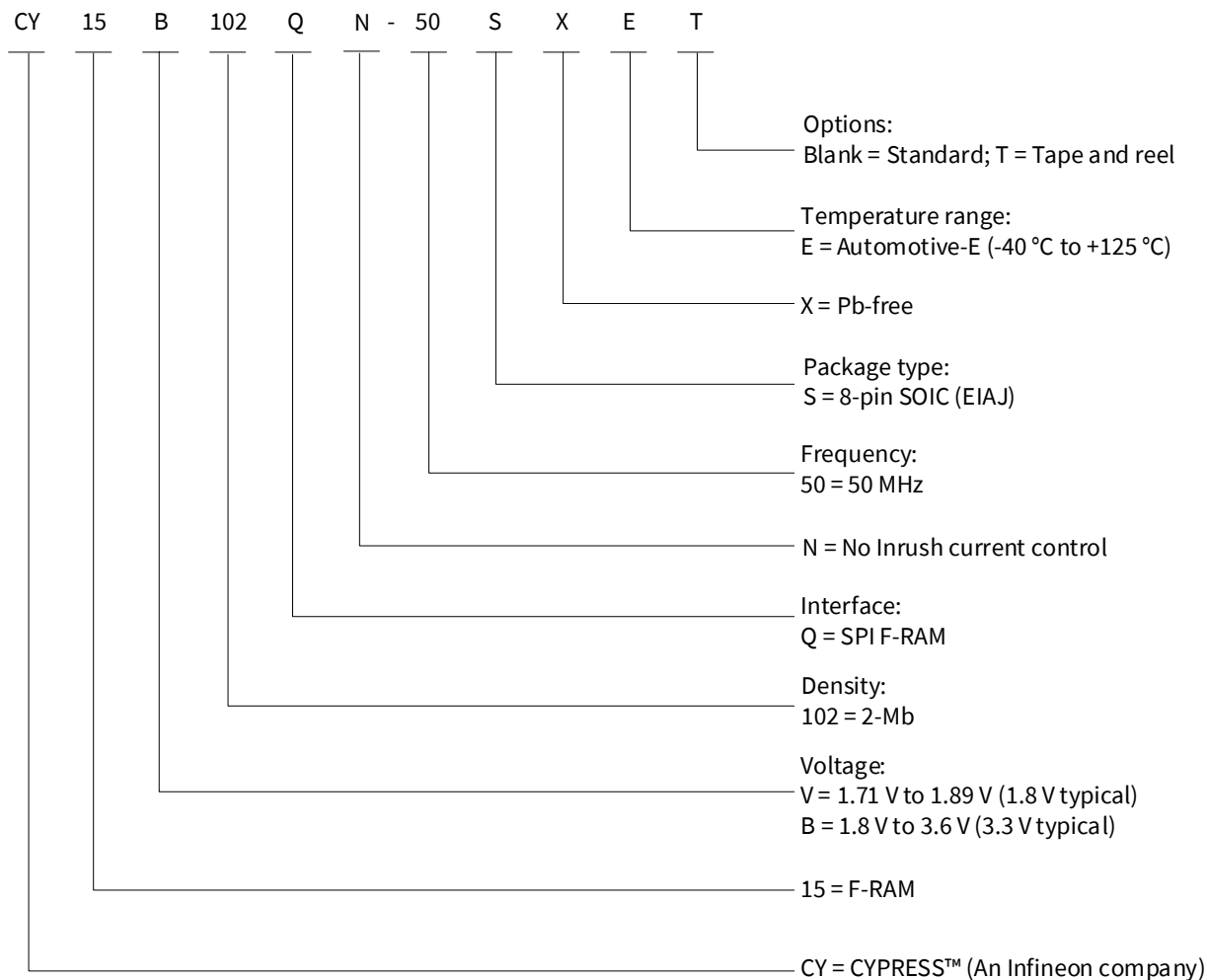
17 注文情報

Table 18 注文情報

注文コード	デバイス ID	パッケージ図	パッケージタイプ	動作範囲
CY15V102QN-50SXE	7F7F7F7F7F7FC22A64	001-85261	8 ピン SOIC (EIAJ)	車載用拡張温度
CY15V102QN-50SXET	7F7F7F7F7F7FC22A64			
CY15B102QN-50SXE	7F7F7F7F7F7FC22A60			
CY15B102QN-50SXET	7F7F7F7F7F7FC22A60			

これらすべての製品は鉛フリーです。在庫状況については、最寄りの当社の販売代理店にお問い合わせください。

17.1 注文コードの定義



18 パッケージ図

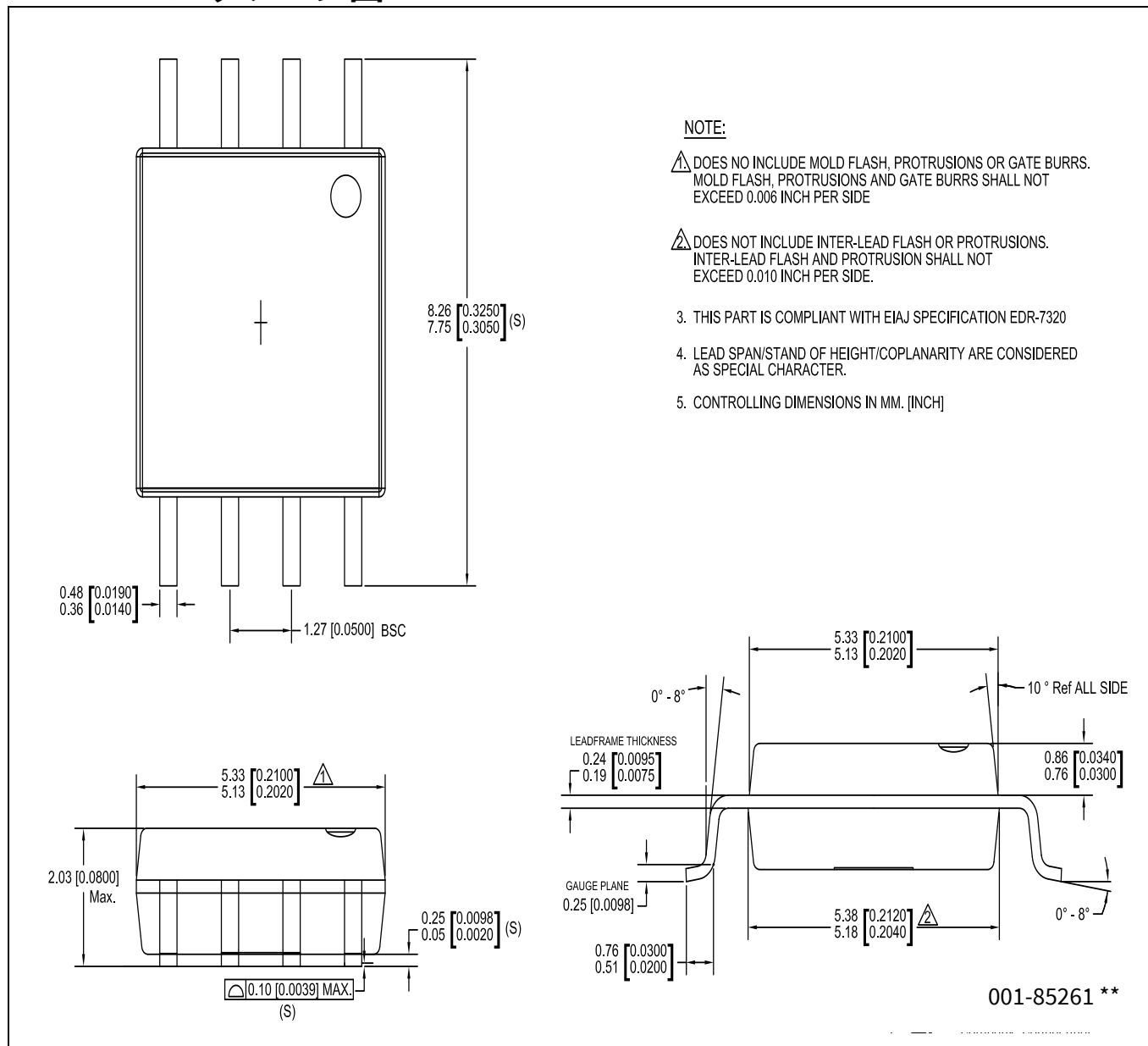


Figure 25 8 ピン SOIC (208 mil) パッケージ外形図, 001-85261 (PG-DSO-8)

19 略語

Table 19 本書で使用する略語

略語	説明
CPHA	Clock phase (クロック位相)
CPOL	Clock polarity (クロック極性)
EEPROM	Electrically erasable programmable read-only memory (電氣的消去書き込み可能な読み出し専用メモリ)
EIA	Electronic Industries Alliance (米国電子工業会)
F-RAM	Ferroelectric random access memory (強誘電体ランダム アクセス メモリ)
I/O	Input/Output (入力 / 出力)
JEDEC	Joint Electron Devices Engineering Council (半導体技術協会)
JESD	JEDEC 規格
LSB	Least significant bit (最下位ビット)
MSB	Most significant bit (最上位ビット)
RoHS	Restriction of Hazardous Substances (特定有害物質使用制限指令)
SPI	Serial peripheral interface (シリアル ペリフェラル インターフェース)
SOIC	Small outline integrated circuit (小型外形集積回路)

20 本書の表記法

20.1 測定単位

Table 20 測定単位

記号	測定単位
°C	摂氏温度
Hz	ヘルツ
kHz	キロヘルツ
kΩ	キロオーム
Mb	メガビット
MHz	メガヘルツ
μA	マイクロアンペア
μF	マイクロファラド
μs	マイクロ秒
mA	ミリアンペア
ms	ミリ秒
ns	ナノ秒
Ω	オーム
%	パーセント
pF	ピコファラド
V	ボルト
W	ワット

改訂履歴

版数	発行日	変更内容
**	2017-11-22	これは英語版 002-19073 Rev. *C を翻訳した日本語版 002-20525 Rev. ** です。
*A	2018-10-19	これは英語版 002-19073 Rev. *I を翻訳した日本語版 002-20525 Rev. *A です。
*B	2019-06-17	これは英語版 002-19073 Rev. *M を翻訳した日本語版 002-20525 Rev. *B です。
*C	2022-05-31	これは英語版 002-19073 Rev. *N を翻訳した日本語版 002-20525 Rev. *C です。
*D	2023-07-21	これは英語版 002-19073 Rev. *O を翻訳した日本語版 002-20525 Rev. *D です。

Trademarks

All referenced product or service names and trademarks are the property of their respective owners.

Edition 2023-07-21

Published by

Infineon Technologies AG

81726 Munich, Germany

**© 2023 Infineon Technologies AG.
All Rights Reserved.**

Do you have a question about this document?

Go to www.infineon.com/support

Document reference

002-20525 Rev. *D

重要事項

本文書に記載された情報は、いかなる場合も、条件または特性の保証とみなされるものではありません（「品質の保証」）。

本文に記された一切の事例、手引き、もしくは一般的な価値、および／または本製品の用途に関する一切の情報に関し、インフィニオンテクノロジーズ（以下、「インフィニオン」）はここに、第三者の知的所有権の不侵害の保証を含むがこれに限らず、あらゆる種類の一切の保証および責任を否定いたします。

さらに、本文書に記載された一切の情報は、お客様の用途におけるお客様の製品およびインフィニオン製品の一切の使用に関し、本文書に記載された義務ならびに一切の関連する法的要件、規範、および基準をお客様が遵守することを条件としています。

本文書に含まれるデータは、技術的訓練を受けた従業員のみを対象としています。本製品の対象用途への適合性、およびこれら用途に関連して本文書に記載された製品情報の完全性についての評価は、お客様の技術部門の責任にて実施してください。

警告事項

技術的要件に伴い、製品には危険物質が含まれる可能性があります。当該種別の詳細については、インフィニオンの最寄りの営業所までお問い合わせください。

インフィニオンの正式代表者が署名した書面を通じ、インフィニオンによる明示の承認が存在する場合を除き、インフィニオンの製品は、当該製品の障害またはその使用に関する一切の結果が、合理的に人的傷害を招く恐れのある一切の用途に使用することはできないこと予めご了承ください。