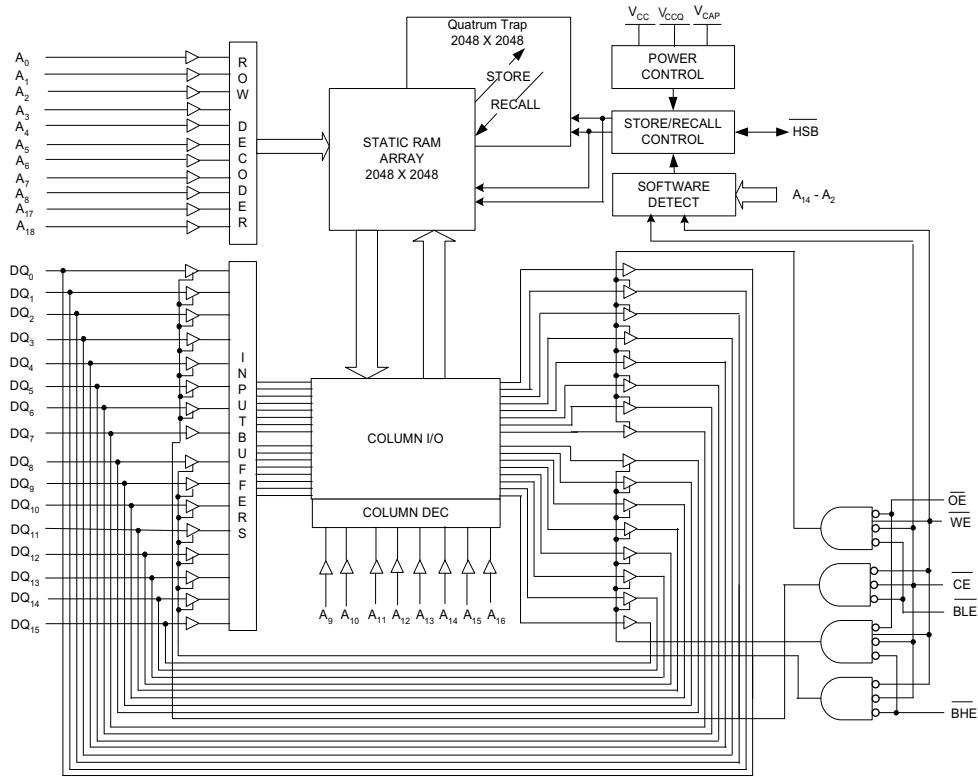


特長

- 25ns と 45ns のアクセス時間
- 512K × 8 (CY14V104LA) または 256 K × 16 (CY14V104NA) としてメモリを内部的に編成
- 小容量のコンデンサのみで電源切断時の自動 STORE を実行
- QuantumTrap 不揮発性素子への STORE をソフトウェア、デバイス ピン、または電源切断時の AutoStore により実行
- SRAMへのRECALL 处理はソフトウェアまたは電源投入により開始
- 回数に制限のない読み出し、書き込み、RECALL サイクル
- QuantumTrap に対する 100 万回の STORE サイクル
- 20 年のデータ保持期間
- コア V_{CC} = 3.0V ~ 3.6V ; IO V_{CCQ} = 1.65V ~ 1.95V
- 産業用温度範囲
- 48 ボール フайн ピッチ ボール グリッド アレイ (FBGA) パッケージ
- 鉛フリーおよび特定有害物質使用制限 (RoHS) に準拠

論理ブロック図 [1, 2, 3]



注 :

1. ×8 構成のアドレスは $A_0 \sim A_{18}$ 、×16 構成のアドレスは $A_0 \sim A_{17}$ です。
2. ×8 構成ではデータ $DQ_0 \sim DQ_7$ 、×16 構成ではデータ $DQ_0 \sim DQ_{15}$ 。
3. \overline{BHE} と \overline{BLE} は ×16 構成でのみ使用できます。

機能の詳細

サイプレスの CY14V104LA / CY14V104NA は、メモリ セルごとに不揮発性要素を組み込んだ高速スタティック RAM です。このメモリは 512K バイト ×8 ビットまたは 256K ワード ×16 ビットで構成されています。組み込み不揮発性素子には、世界最高級の信頼性を備えた不揮発性メモリを実現する QuantumTrap 技術を採用しています。回数に制限のない読み出しと書き込みを SRAM で可能にする一方、それとは別に不揮発性データを不揮発性素子に保持できるようにしています。SRAM から不揮発性素子へのデータ転送 (STORE 处理) は、電源切断時に自動的に実行されます。電源投入時には、不揮発性メモリから SRAM にデータが復元されます (RECALL 处理)。STORE と RECALL 両方の処理はソフトウェア制御でも実行することができます。

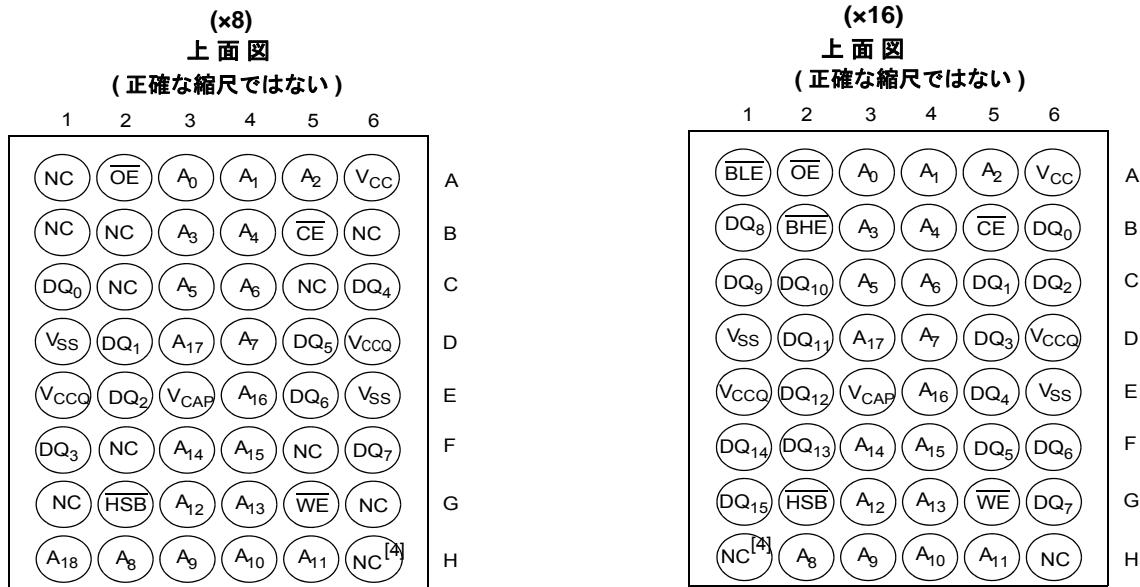
すべての関連資料の一覧については、[ここ](#)をクリックしてください。

目次

ピン配置	3	スイッチング波形	11
ピン機能	3	AutoStore／電源投入 RECALL	14
デバイスの動作	4	スイッチング波形	14
SRAM 読み出し	4	ソフトウェア制御 STORE/RECALL サイクル	15
SRAM 書き込み	4	スイッチング波形	15
AutoStore 処理	4	ハードウェア STORE サイクル	16
ハードウェア STORE 処理	4	スイッチング波形	16
ハードウェア RECALL (電源投入)	5	SRAM 真理値表	17
ソフトウェア STORE	5	注文情報	18
ソフトウェア RECALL	5	注文コードの定義	18
AutoStore の防止	6	パッケージ図	19
データ保護	6	略語	20
最大定格	7	本書の表記法	20
動作範囲	7	測定単位	20
DC 電気的特性	7	改訂履歴	21
データ保持期間およびアクセス可能回数	8	セールス、ソリューションおよび法律情報	22
静電容量	8	ワールドワイドな販売と設計サポート	22
熱抵抗	8	製品	22
AC テスト負荷	9	PSoC® ソリューション	22
AC テスト条件	9	サイプレス開発者コミュニティ	22
AC スイッチング特性	10	テクニカルサポート	22

ピン配置

図 1. ピン配置図 – 48 ポール FBGA



ピン機能

ピン名	入出力	説明
A ₀ ~ A ₁₈	入力	アドレス入力は、×8 構成で nvSRAM の 524,288 バイトのいずれかを選択するために使用される
A ₀ ~ A ₁₇		アドレス入力は、×16 構成で nvSRAM の 262,144 ワードのいずれかを選択するために使用される
DQ ₀ ~ DQ ₇	入力／出力	×8 構成の双方向データ I/O ライン。動作に応じて入力または出力ラインとして使用
DQ ₀ ~ DQ ₁₅		×16 構成の双方向データ I/O ライン。動作に応じて入力または出力ラインとして使用
WE	入力	書き込みイネーブル入力、アクティブ LOW。LOW を選択すると、I/O ピンのデータが、特定のアドレス位置に書き込まれる
CE	入力	チップイネーブル入力、アクティブ LOW。LOW の場合は、チップを選択。HIGH の場合は、チップの選択を解除
OE	入力	出力イネーブル、アクティブ LOW。アクティブ LOW OE 入力は、読み出しサイクル中にデータ出力バッファを有効にする。OE が HIGH にデアサートすると、I/O ピンはトライステートになる
BHE	入力	バイト HIGH イネーブル、アクティブ LOW。DQ ₁₅ ~ DQ ₈ を制御
BLE	入力	バイト LOW イネーブル、アクティブ LOW。DQ ₇ ~ DQ ₀ を制御
V _{SS}	グランド	デバイスのグランド。システムのグランドに接続する必要がある
V _{CC}	電源	デバイスコアへの電源入力。
V _{CCQ}	電源供給	デバイスの入出力用の電源入力
HSB	入力／出力	ハードウェア STORE ビジー (HSB)。 出力：LOW の時、nvSRAM のビジー状態を示す。ハードウェアおよびソフトウェア STORE 処理の後、HSB は HIGH 出力標準電流で短時間 (t_{HHD}) HIGH 駆動され、その後内部プルアップ抵抗で HIGH 状態を継続 (外部プルアップ抵抗接続はオプション)。 入力：このピンを外部で LOW にプルダウンすることによって実施されるハードウェア STORE
V _{CAP}	電源供給	AutoStore コンデンサ。SRAM から不揮発性素子にデータを格納するため、電力損失時に nvSRAM へ電源を供給
NC	未接続	未接続。このピンはダイに接続されていません

注：

4. 8M ピットのアドレス拡張に対応しています。NC ピンはダイに接続されていません。

デバイスの動作

CY14V104LA/CY14V104NA nvSRAM は、同じ物理セル内で、対になった 2 個の機能コンポーネントで構成されています。それらは SRAM メモリセル、および不揮発性 QuantumTrap セルです。SRAM メモリセルは標準の高速スタティック RAM として動作します。SRAM 内のデータは不揮発性セルに転送される (STORE 处理) か、または不揮発性セルから SRAM に転送されます (RECALL 处理)。この独特的なアーキテクチャを使って、すべてのセルは並行してストアされリコールされます。STORE 处理と RECALL 处理中、SRAM の読み出しと書き込み処理は禁止されています。CY14V104LA/CY14V104NA は、一般的な SRAM と同様に、回数無制限の読み書きに対応しています。さらに、不揮発性セルから回数無制限の RECALL 处理および最大 100 万回までの STORE 处理が可能です。読み出しと書き込みモードの詳細については、[17 ページの SRAM 真理値表](#) を参照してください。

SRAM 読み出し

CY14V104LA/CY14V104NA は、 \overline{CE} と \overline{OE} が LOW、 \overline{WE} と \overline{HSB} が HIGH の場合、読み出しサイクルを実行します。ピン $A_0 \sim 18$ または $A_0 \sim 17$ で指定されたアドレスは、524,288 データ バイトのどれが、または 262,144 ワード (16 ビット) のどれがアクセスされるかを決定します。バイト イネーブル (BHE、BLE) は、1 ワードが 16 ビットの場合にどのバイトを出力するかを決定します。アドレス遷移によって読み出しが開始された場合、出力は t_{AA} (読み出しサイクル 1) の遅延後に有効になります。CE または OE によって読み出しが開始された場合、出力は t_{ACE} と t_{DOE} のどちらか遅い方 (読み出しサイクル 2) の終了時点で有効になります。データ出力は、制御入力ピンでの変化を必要としないで t_{AA} アクセス時間内に繰り返してアドレス変更に応答します。これは、別のアドレス変更が発生するか、または CE か OE が HIGH になるか、あるいは WE か HSB が LOW になるまで有効な状態が続きます。

SRAM 書き込み

書き込みサイクルは、 \overline{CE} と \overline{WE} が LOW、 \overline{HSB} が HIGH の時に実行されます。アドレス入力が安定な状態になってから書き込みサイクルに入らなければいけません。また、サイクルの終わりに CE か WE が HIGH になるまで安定な状態を保つ必要があります。WE で制御する書き込み終了前に、または \overline{CE} で制御する書き込み終了前にデータが t_{SD} の間有効であれば、共通 I/O ピンである $DQ_0 \sim 15$ のデータはメモリに書き込まれます。バイト イネーブル入力 (BHE、BLE) は、1 ワードが 16 ビットの場合にどのバイトを書き込むかを決定します。共通 I/O ライン上でデータバスの競合を避けるために、書き込みサイクル中は OE を HIGH に維持し続けることを推奨します。 OE が LOW のままであると、WE が LOW になった後の t_{HZWE} 後に、内部回路が出力バッファを遮断します。

AutoStore 处理

CY14V104LA/CY14V104NA は、次の 3 つのストレージ動作のいずれかを使って nvSRAM にデータを格納します: HSB によって有効にされたハードウェア STORE；アドレスのシーケンスによって有効にされたソフトウェア STORE；デバイスの電源オフ時の AutoStore。AutoStore 处理は、QuantumTrap テクノロジー独自の機能であり、CY14V104LA/CY14V104NA ではデフォルトで有効になっています。

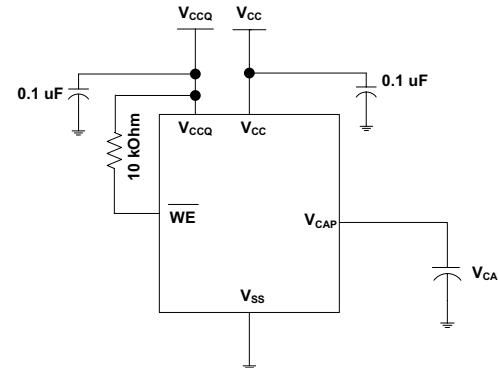
通常動作中にデバイスは、 V_{CAP} ピンに接続されたコンデンサを充電するのに V_{CC} から電流を引き込みます。充電量は、チップが一回の STORE 处理を実行するのに使う電荷分です。 V_{CC} ピンの電圧が V_{SWITCH} を下回ると、デバイスは V_{CC} と V_{CAP} ピンの接続を自動的に切ります。STORE 处理は、 V_{CAP} コンデンサから供給される電力で起動されます。

注: コンデンサが V_{CAP} ピンに接続されていない場合、[6 ページの AutoStore の防止](#) に指定したソフト シーケンスを使って AutoStore を無効にする必要があります。 V_{CAP} に接続されたコンデンサなしで AutoStore がイネーブルにされる場合、デバイスは STORE 处理を完了するための電荷が足りないまま AutoStore 处理を実行しようとします。これにより、nvSRAM 内に格納されたデータが破壊されます。

図 2 は、自動 STORE 处理用のストレージ コンデンサ (V_{CAP}) の適切な接続方法を示します。 V_{CAP} の容量については、[7 ページの DC 電気的特性](#) を参照してください。 V_{CAP} ピンの電圧は、内蔵レギュレータによって V_{CC} に送られます。電源投入時にアクティブにならないようするために、WE をプルアップ抵抗に接続する必要があります。このプルアップ抵抗は、電源投入時に WE 信号がトライステート状態にある場合のみ有効です。多くの MPU が電源投入時にそれらの制御信号をトライステートにします。プルアップ抵抗を使用する場合には確認してください。nvSRAM が電源投入時の RECALL から復帰する時、MPU がアクティブである、または MPU のリセットが終了するまで WE を非アクティブ状態に保つ必要があります。

不要な不揮発性 STORE 处理を減らすために、最後の STORE か RECALL サイクルが実行されてから少なくとも 1 回の書き込み処理が行われるまでは、AutoStore とハードウェア STORE 处理は無視されます。ソフトウェアにより起動された STORE サイクルは、書き込み処理が行われたかどうかに関係なく実行されます。

図 2. AutoStore モード



ハードウェア STORE 处理

CY14V104LA/CY14V104NA には、STORE 处理を制御し応答するための HSB ピンがあります。HSB ピンは、ハードウェア STORE サイクルの要求に使用してください。HSB ピンが LOW にされると、CY14V104LA/CY14V104NA は t_{DELAY} の後、条件に従って STORE 处理を開始します。実際の STORE サイクルは、最後の STORE または RECALL サイクル以降、SRAM への書き込みが実行された場合にのみ開始します。HSB ピンは、STORE 处理 (任意の手段で開始) 中にはビジー状態を示すために内部で LOW に駆動されるオープン ドレイン ドライバー (チップ内部に 100kΩ の弱いプルアップ抵抗) としても動作します。

注: ハードウェアおよびソフトウェア STORE 处理の後、HSB は標準出力 HIGH 電流で短時間 (t_{HHHD}) HIGH に駆動され、その後 100kΩ の内部プルアップ抵抗により HIGH 状態を継続します。

SRAM書き込み処理は $\overline{\text{HSB}}$ がLOWにされた時に実行中であれば、STORE処理が開始される前に t_{DELAY} 以内に終了します。しかし、HSBがLOWになった後に要求されたSRAM書き込みサイクルは、HSBがHIGHに戻るまで禁止されます。書き込みラッチがセットされていない場合、HSBはCY14V104LA/CY14V104NAによってLOWに駆動されることはありません。しかし、SRAMのすべての読み出しと書き込みサイクルは、MPUまたは他の外部ソースによりHSBがHIGH状態に戻るまで禁止されます。

STORE処理がどのように起動されたかに関わらず、その処理中には、CY14V104LA/CY14V104NAはHSBピンをLOWに駆動し続け、STORE処理が完了した時にのみ解除します。STORE処理が完了すると、CY14V104LA/CY14V104NAはHSBピンがHIGHに戻るまで無効のままであります。HSBピンは使用しない場合、開放してください。

ハードウェア RECALL (電源投入)

電源投入時または低電圧状態 ($V_{\text{CC}} < V_{\text{SWITCH}}$) の後は、内部的にRECALL要求がラッチされます。 V_{CC} が再度 V_{SWITCH} の検知電圧を超えた場合、RECALLサイクルが自動的に開始され、完了するのに t_{HRECALL} を要します。この間、HSBはHSBドライバーによってLOWに駆動されます。

ソフトウェア STORE

データは、ソフトウェアアドレスシーケンスによってSRAMから不揮発性メモリに転送されます。

CY14V104LA/CY14V104NAのソフトウェアSTOREサイクルは、 $\overline{\text{CE}}$ に制御された読み出し処理を、6つの特定のアドレスから正しい順番で実行することにより開始されます。STOREサイクルの間、以前の不揮発性データの消去が先に実行され、次に不揮発性素子のプログラムが実行されます。STOREサイクルが開始されると、それ以降の入出力はSTOREサイクルが完了するまで無効になります。

特定のアドレスからのREADのシーケンスがSTOREの開始に使われるため、シーケンス内で他の読み書きアクセスが干渉しないことが重要です。そうしないと、シーケンスがアボートされ、STOREやRECALLが実行されません。

ソフトウェア STORE サイクルを開始するために、次の読み出しシーケンスを実行する必要があります。

- アドレス 0x4E38 の読み出し - 有効 READ
- アドレス 0xB1C7 の読み出し - 有効 READ
- アドレス 0x83E0 の読み出し - 有効 READ
- アドレス 0x7C1F の読み出し - 有効 READ
- アドレス 0x703F の読み出し - 有効 READ
- アドレス 0x8FC0 の読み出し - STORE サイクルの開始

ソフトウェアシーケンスは $\overline{\text{CE}}$ に制御された読み出しあり $\overline{\text{OE}}$ に制御された読み出しありクロック供給され、全ての6つのREADシーケンスの間 $\overline{\text{WE}}$ をHIGH状態に維持することが必要です。シーケンスの6番目のアドレスが入力された後、STOREサイクルが開始され、チップが無効になります。HSBはLOWに駆動されます。 t_{STORE} サイクル時間が完了した後、SRAMは再度読み書き処理が有効になります。

ソフトウェア RECALL

データは、ソフトウェアアドレスシーケンスによって不揮発性メモリからSRAMに転送されます。ソフトウェアRECALLサイクルは、ソフトウェアSTOREの開始と同様の方法で、読み出し処理のシーケンスによって開始されます。RECALLサイクルを開始するために、 $\overline{\text{CE}}$ に制御された読み出し処理を以下の順番で実行してください。

- アドレス 0x4E38 の読み出し - 有効 READ
- アドレス 0xB1C7 の読み出し - 有効 READ
- アドレス 0x83E0 の読み出し - 有効 READ
- アドレス 0x7C1F の読み出し - 有効 READ
- アドレス 0x703F の読み出し - 有効 READ
- アドレス 0x4C63 の読み出し - RECALLサイクルの開始

内部的に、RECALLは2段階の手順を踏みます。まず、SRAMデータがクリアされます。次に、不揮発性情報がSRAMセルに転送されます。 t_{RECALL} サイクル時間が経過した後、SRAMは再度読み書き処理が有効になります。RECALL処理では、不揮発性素子内のデータは変更されません。

表 1. モード選択

$\overline{\text{CE}}$	$\overline{\text{WE}}$	$\overline{\text{OE}}$	$\overline{\text{BHE}}$ 、 $\overline{\text{BLE}}^{[5]}$	$\text{A}_{15} \sim \text{A}_0^{[6]}$	モード	I/O	電源
H	X	X	X	X	未選択	出力 High Z	スタンバイ
L	H	L	L	X	SRAM 読み出し	出力データ	アクティブ
L	L	X	L	X	SRAM 書き込み	入力データ	アクティブ
L	H	L	X	0x4E38 0xB1C7 0x83E0 0x7C1F 0x703F 0x8B45	SRAM 読み出し SRAM 読み出し SRAM 読み出し SRAM 読み出し SRAM 読み出し SRAM 読み出し AutoStore ディスエーブル	出力データ 出力データ 出力データ 出力データ 出力データ 出力データ 出力データ	アクティブ ^[7]

注:

- $\overline{\text{BHE}}$ と $\overline{\text{BLE}}$ は $\times 16$ 構成でのみ使用できます。
- CY14V104LAに19本のアドレス線がありますが(CY14V104NAは18本のアドレス線)、その内13本のアドレス線($\text{A}_{14} \sim \text{A}_2$)のみがソフトウェアモードの制御に使われます。残りのアドレス線は「ドントケア」です。
- 6つの連続アドレス位置は指定された順番でなければなりません。 $\overline{\text{WE}}$ は、不揮発性サイクルを可能にするため、全6サイクルの期間中はHIGHでなければなりません。

表 1. モード選択 (続き)

CE	WE	OE	BHE、BLE^[5]	A₁₅ ~ A₀^[6]	モード	I/O	電源
L	H	L	X	0x4E38 0xB1C7 0x83E0 0x7C1F 0x703F 0x4B46	SRAM 読み出し SRAM 読み出し SRAM 読み出し SRAM 読み出し SRAM 読み出し SRAM 読み出し AutoStore イネーブル	出力データ 出力データ 出力データ 出力データ 出力データ 出力データ 出力データ	アクティブ ^[8]
L	H	L	X	0x4E38 0xB1C7 0x83E0 0x7C1F 0x703F 0x8FC0	SRAM 読み出し SRAM 読み出し SRAM 読み出し SRAM 読み出し SRAM 読み出し 不揮発性 STORE	出力データ 出力データ 出力データ 出力データ 出力データ 出力 High Z	アクティブ I_{CC2} ^[8]
L	H	L	X	0x4E38 0xB1C7 0x83E0 0x7C1F 0x703F 0x4C63	SRAM 読み出し SRAM 読み出し SRAM 読み出し SRAM 読み出し SRAM 読み出し 不揮発性 RECALL	出力データ 出力データ 出力データ 出力データ 出力データ 出力 High Z	アクティブ ^[8]

AutoStore の防止

AutoStore 機能は AutoStore ディスエーブル シーケンスを開始することで無効にされます。読み出し処理のシーケンスは、ソフトウェア STORE の開始と同様の方法で実行されます。AutoStore ディスエーブル シーケンスを開始するために、CE に制御された読み出し処理を以下の順番で実行してください。

1. アドレス 0x4E38 の読み出し - 有効 READ
2. アドレス 0xB1C7 の読み出し - 有効 READ
3. アドレス 0x83E0 の読み出し - 有効 READ
4. アドレス 0x7C1F の読み出し - 有効 READ
5. アドレス 0x703F の読み出し - 有効 READ
6. アドレス 0x8B45 の読み出し、AutoStore を無効

AutoStore は、AutoStore イネーブル シーケンスを開始することによって再度有効になります。読み出し処理のシーケンスは、ソフトウェア RECALL の開始と同様の方法で実行されます。AutoStore イネーブル シーケンスを開始するために、CE に制御された読み出し処理を以下の順番で実行してください。

1. アドレス 0x4E38 の読み出し - 有効 READ
2. アドレス 0xB1C7 の読み出し - 有効 READ
3. アドレス 0x83E0 の読み出し - 有効 READ
4. アドレス 0x7C1F の読み出し - 有効 READ
5. アドレス 0x703F の読み出し - 有効 READ
6. アドレス 0x4B46 の読み出し、AutoStore を有効

AutoStore 機能が無効にされるか、または再度有効にされた場合、手動 STORE 処理（ハードウェアまたはソフトウェア）を行い、その後の電源オフ サイクルの間、AutoStore 状態を持続する必要があります。工場出荷時 AutoStore は有効になっており、すべてのセルに 0x00 と書き込まれています。

データ保護

CY14V104LA/CY14V104NA は、外部から実行された STORE および書き込み処理をすべて禁止することにより、低電圧状態の間での破損からデータを保護します。

低電圧状態は、 $V_{CC} < V_{SWITCH}$ の場合に検知されます。電源投入時に CY14V104LA/CY14V104NA が書き込みモードにある (CE と WE の両方が LOW) 場合、RECALL または STORE の後、 t_{LZHSB} (HSB から出力有効までの時間) が経過すると SRAM が有効になるまで書き込みは禁止されます。 $V_{CCQ} < V_{IODIS}$ 、I/O が無効の場合 (STORE が実行されません)。これは V_{CCQ} 電源の電圧低下状態の間に不注意による書き込みを保護します。

注

8. 6つの連続アドレス位置は指定された順番でなければなりません。 \overline{WE} は、不揮発性サイクルを可能にするため、全 6 サイクルの期間中は HIGH でなければなりません。

最大定格

最大定格を超えると、デバイスの寿命が短くなる可能性があります。これらのユーザー ガイドラインは試験されていません。	
保存温度	-65°C ~ +150°C
最大累積保存時間	
周囲温度 150°C 時	1000 時間
周囲温度 85°C で	20 年
最大接合部温度	150°C
V_{SS} を基準とした V_{CC} の電源電圧	-0.5V ~ 4.1V
V_{SS} を基準とした V_{CCQ} の電源電圧	-0.5V ~ 2.45V
High-Z 状態の出力に印加される電圧	-0.5V ~ $V_{CCQ} + 0.5V$

DC 電気的特性

動作範囲において

パラメーター	説明	テスト条件	Min	Typ ^[9]	Max	単位
V_{CC}	電源電圧	-	3.0	3.3	3.6	V
V_{CCQ}			1.65	1.8	1.95	V
I_{CC1}	平均 V_{CC} 電流	$t_{RC} = 25\text{ns}$ $t_{RC} = 45\text{ns}$ 出力負荷なしで得られた値 ($I_{OUT} = 0\text{mA}$)	-	-	70	mA
I_{CCQ1}			-	-	52	mA
I_{CC2}			-	-	15	mA
I_{CC3}			-	-	10	mA
I_{CC3}	$t_{RC} = 200\text{ns}$ 時の平均 V_{CC} 電流、 $V_{CC}(\text{Typ})$ 、25°C	すべての入力は CMOS レベルで動作。 出力負荷なしで得られた値 ($I_{OUT} = 0\text{mA}$)。	-	35	-	mA
I_{CCQ3}	$t_{RC} = 200\text{ns}$ 時の平均 V_{CCQ} 電流、 $V_{CCQ}(\text{Typ})$ 、25°C		-	5	-	mA
I_{CC4}	AutoStore サイクル中の平均 V_{CAP} 電流	すべての入力は「ドント ケア」。 t_{STORE} 期間の平均電流	-	-	8	mA
I_{SB}	V_{CC} スタンバイ電流	$CE \geq (V_{CC} - 0.2V)$ $V_{IN} \leq 0.2V$ または $\geq (V_{CC} - 0.2V)$ 。 不揮発性のサイクルが完了した後のスタンバイ電流レベル。入力はスタティック。 $f = 0\text{MHz}$	-	-	8	mA
$I_{IX}^{[10]}$	入力リーク電流 (HSB 以外)	$V_{CCQ} = \text{Max}$ 、 $V_{SS} \leq V_{IN} \leq V_{CCQ}$	-1	-	+1	μA
	入力リーク電流 (HSB 用)	$V_{CCQ} = \text{Max}$ 、 $V_{SS} \leq V_{IN} \leq V_{CCQ}$	-100	-	+1	μA
I_{OZ}	オフ状態の出力リーク電流	$V_{CCQ} = \text{Max}$ 、 $V_{SS} \leq V_{OUT} \leq V_{CCQ}$ 、 CE または $OE \geq V_{IH}$ あるいは $BHE/BLE \geq V_{IH}$ あるいは $WE \leq V_{IL}$	-1	-	+1	μA
$V_{CAP}^{[11]}$	ストレージ コンデンサ	V_{CAP} ピンと V_{SS} 間	61	68	180	μF
$V_{VCAP}^{[9, 12]}$	デバイスで V_{CAP} ピン上に駆動された最大電圧	$V_{CC} = \text{Max}$	-	-	V_{CC}	V

注

- 標準値は 25°C、 $V_{CC} = V_{CC}(\text{Typ})$ および $V_{CCQ} = V_{CCQ}(\text{Typ})$ 。100% のテストは行われていません。
- V_{OH} が 1.07V の時、アクティブ HIGH と LOW 両方のドライバーが無効になると、HSB ピンの I_{OUT} が $-4\mu\text{A}$ となります。それらのドライバーが有効になると、標準の V_{OH} と V_{OL} は有効になります。このパラメータは特性付けされていますが、テストされていません。
- V_{CAP} 最小値は、AutoStore 処理を完了するのに十分な電荷があることを保証するものです。 V_{CAP} 最大値は、即時の電源切断が発生しても AutoStore 処理がまだ正常に完了するようにパワーアップ RECALL サイクルの間に V_{CAP} のコンデンサが必要な最低電圧まで充電されることを保証するものです。したがって、指定した最小値と最大値の範囲内でコンデンサを使用することをお勧めします。 V_{CAP} オプションの詳細については、アプリケーションノート AN43593 を参照してください。
- V_{CAP} ピン (V_{VCAP}) の最大電圧は、 V_{CAP} コンデンサを選択する際に指針として提供されています。動作温度範囲内で V_{CAP} コンデンサの定格電圧は、 V_{VCAP} 電圧より高くなればなりません。

DC 電気的特性 (続き)

動作範囲において

パラメーター	説明	テスト条件	Min	Typ ^[9]	Max	単位
V_{IH}	入力 HIGH 電圧	—	$0.7 \times V_{CCQ}$ + 0.3	—	V_{CCQ}	V
V_{IL}	入力 LOW 電圧	—	— 0.3	—	$0.3 \times V_{CCQ}$	V
V_{OH}	出力 HIGH 電圧	$I_{OUT} = -1\text{mA}$	V_{CCQ} — 0.45	—	—	V
V_{OL}	出力 LOW 電圧	$I_{OUT} = 2\text{mA}$	—	—	0.45	V

データ保持期間およびアクセス可能回数

動作範囲において

パラメーター	説明	Min	単位
$DATA_R$	データ保持期間	20	年
NV_C	不揮発性 STORE 処理回数	1,000	K

静電容量

パラメーター ^[13]	説明	テスト条件	Max	単位
C_{IN}	入力容量 (BLE、BHE および HSB 以外)	$T_A = 25^\circ\text{C}$ 、 $f = 1\text{MHz}$ 、 $V_{CC} = V_{CC}(\text{Typ})$ 、 $V_{CCQ} = V_{CCQ}(\text{Typ})$	7	pF
	入力容量 (BLE、BHE、HSB)		8	pF
C_{OUT}	出力容量 (HSB 以外)		7	pF
	出力容量 (HSB)		8	pF

熱抵抗

下表では、熱抵抗のパラメーターを示します。

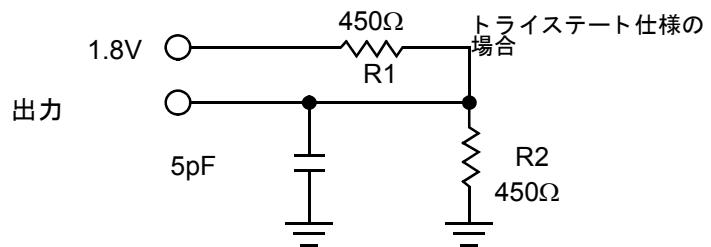
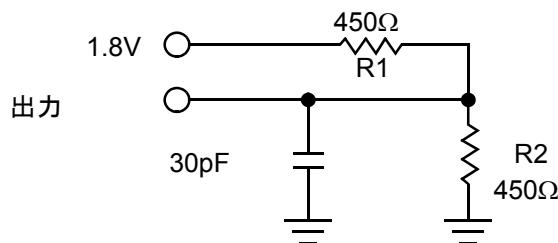
パラメーター ^[13]	説明	テスト条件	48 ポール FBGA	単位
Θ_{JA}	熱抵抗 (接合部から周囲)	テスト条件は、EIA/JESD51 による、熱インピーダンスを測定するための標準的なテスト方法と手順に従う	46.09	$^\circ\text{C/W}$
Θ_{JC}	熱抵抗 (接合部からケース)		7.84	$^\circ\text{C/W}$

注:

13. これらのパラメーターは設計上は保証されますが、テストされていません。

AC テスト負荷

図 3. AC テスト負荷



AC テスト条件

入力パルス レベル 0V ~ 1.8V

入力の立ち上がり／立ち下がり時間 (10% ~ 90%) ... ≤1.8ns

入力と出力タイミングの基準レベル 0.9V

AC スイッチング特性

動作範囲において

パラメーター ^[14]		説明	25ns		45ns		単位
サイプレス パラメーター	他社の パラメーター		Min	Max	Min	Max	
SRAM 読み出しサイクル							
t_{ACE}	t_{ACS}	チップ イネーブル アクセス時間	—	25	—	45	ns
$t_{RC}^{[15]}$	t_{RC}	読み出しサイクル時間	25	—	45	—	ns
$t_{AA}^{[16]}$	t_{AA}	アドレス アクセス時間	—	25	—	45	ns
t_{DOE}	t_{OE}	出力イネーブルからデータ有効までの時間	—	12	—	20	ns
$t_{OHA}^{[16]}$	t_{OH}	アドレス変更後の出力ホールド時間	3	—	3	—	ns
$t_{LZCE}^{[17, 18]}$	t_{LZ}	チップ イネーブルから出力アクティブまでの時間	3	—	3	—	ns
$t_{HZCE}^{[17, 18]}$	t_{HZ}	チップ ディスエーブルから出力非アクティブまでの時間	—	10	—	15	ns
$t_{LZOE}^{[17, 18]}$	t_{OLZ}	出力イネーブルから出力アクティブまでの時間	0	—	0	—	ns
$t_{HZOE}^{[17, 18]}$	t_{OHZ}	出力ディスエーブルから出力非アクティブまでの時間	—	10	—	15	ns
$t_{PU}^{[17]}$	t_{PA}	チップ イネーブルから電源アクティブまでの時間	0	—	0	—	ns
$t_{PD}^{[17]}$	t_{PS}	チップ ディスエーブルから電源スタンバイまでの時間	—	25	—	45	ns
t_{DBE}	—	バイト イネーブルからデータ有効までの時間	—	12	—	20	ns
$t_{LZBE}^{[17]}$	—	バイト イネーブルから出力アクティブまでの時間	0	—	0	—	ns
$t_{HZBE}^{[17]}$	—	バイト ディスエーブルから出力非アクティブまでの時間	—	10	—	15	ns
SRAM 書き込みサイクル							
t_{WC}	t_{WC}	書き込みサイクル時間	25	—	45	—	ns
t_{PWE}	t_{WP}	書き込みパルス幅	20	—	30	—	ns
t_{SCE}	t_{CW}	チップ イネーブルから書き込み終了までの時間	20	—	30	—	ns
t_{SD}	t_{DW}	データ セットアップから書き込み終了までの時間	10	—	15	—	ns
t_{HD}	t_{DH}	書き込み終了後のデータ ホールド時間	0	—	0	—	ns
t_{AW}	t_{AW}	アドレス セットアップから書き込み終了までの時間	20	—	30	—	ns
t_{SA}	t_{AS}	アドレス セットアップから書き込み開始までの時間	0	—	0	—	ns
t_{HA}	t_{WR}	書き込み終了後のアドレス ホールド時間	0	—	0	—	ns
$t_{HZWE}^{[17, 18, 19]}$	t_{WZ}	書き込みイネーブルから出力ディスエーブルまでの時間	—	10	—	15	ns
$t_{LZWE}^{[17, 18]}$	t_{OW}	書き込み終了後の出力アクティブ時間	3	—	3	—	ns
t_{BW}	—	バイト イネーブルから書き込み終了までの時間	20	—	30	—	ns

- 注:**
- テスト条件は、信号遷移時間が 1.8ns 以下、タイミング リファレンス レベルが $V_{CCQ}/2$ 、入力パルス レベルが $0 \sim V_{CCQ(\text{typ})}$ 、指定された I_{OL}/I_{OH} を与える出力負荷と負荷容量が [9 ページの図 3](#) に示す通りであることを前提にしています。
 - WE は SRAM 読み出し サイクル中は HIGH でなければなりません。
 - デバイスは、CE, OE および BHE / BLE が LOW で連続して選択されます。
 - これらのパラメーターは設計上は保証されますが、テストされていません。
 - 定常状態の出力電圧から $\pm 200\text{mV}$ で測定されました。
 - WE が LOW の場合、CE が LOW になると、出力は高インピーダンス状態で保持されます。
 - HSB は読み出しと書き込みサイクル中は HIGH でなければなりません。

スイッチング波形

図 4. SRAM 読み出しサイクル #1 (アドレス制御) [21, 22, 23]

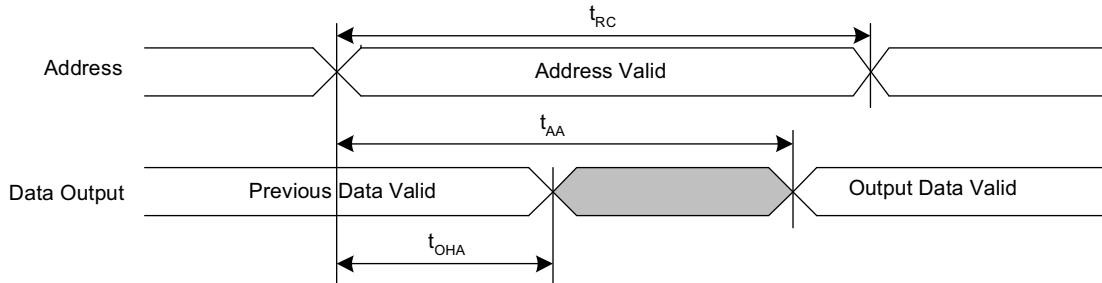
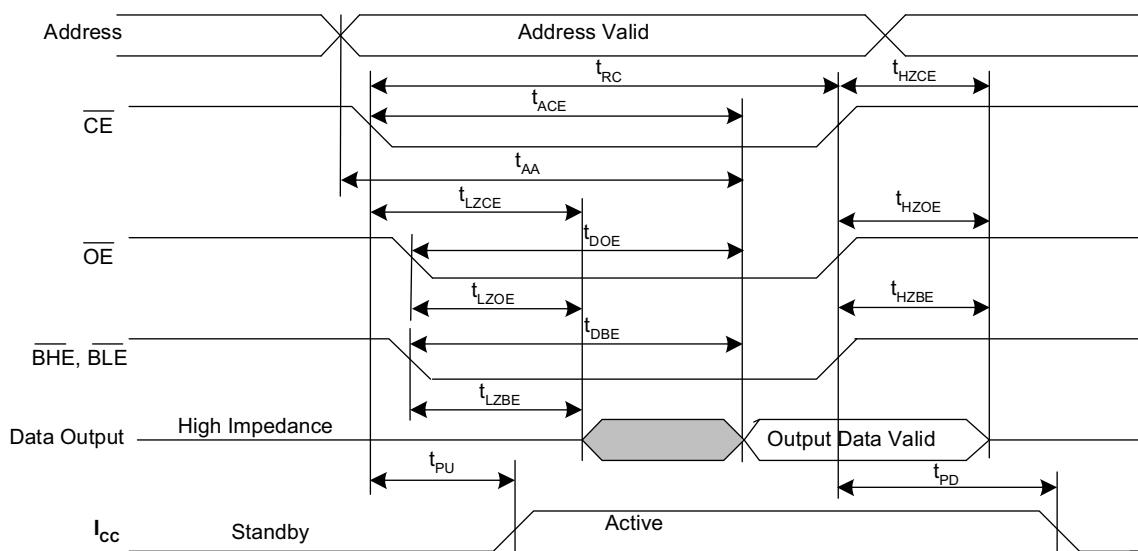


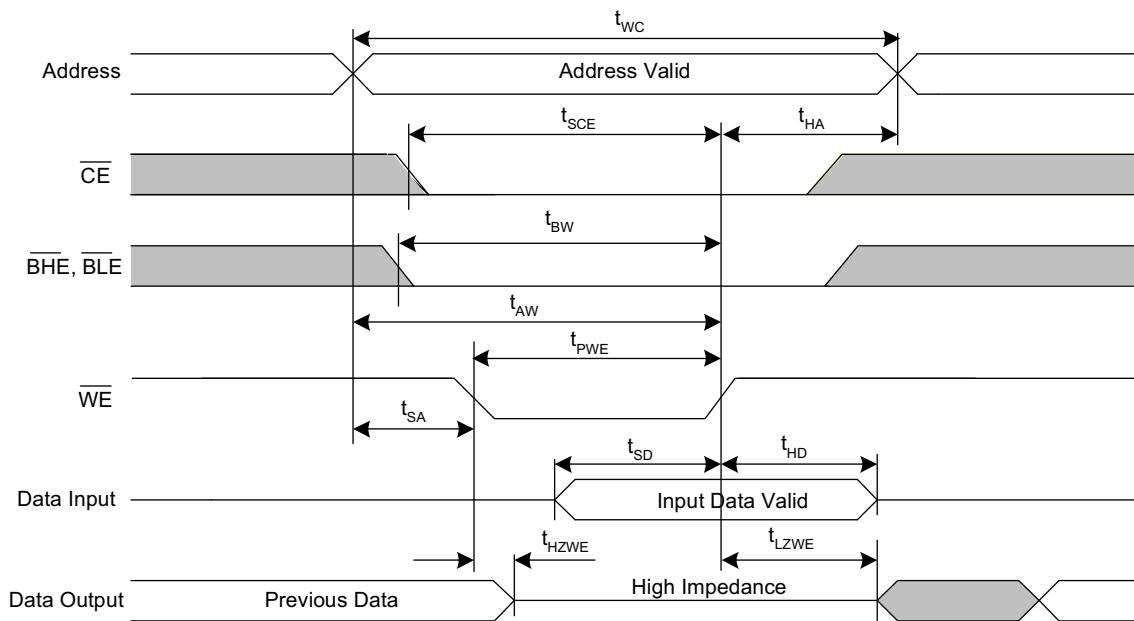
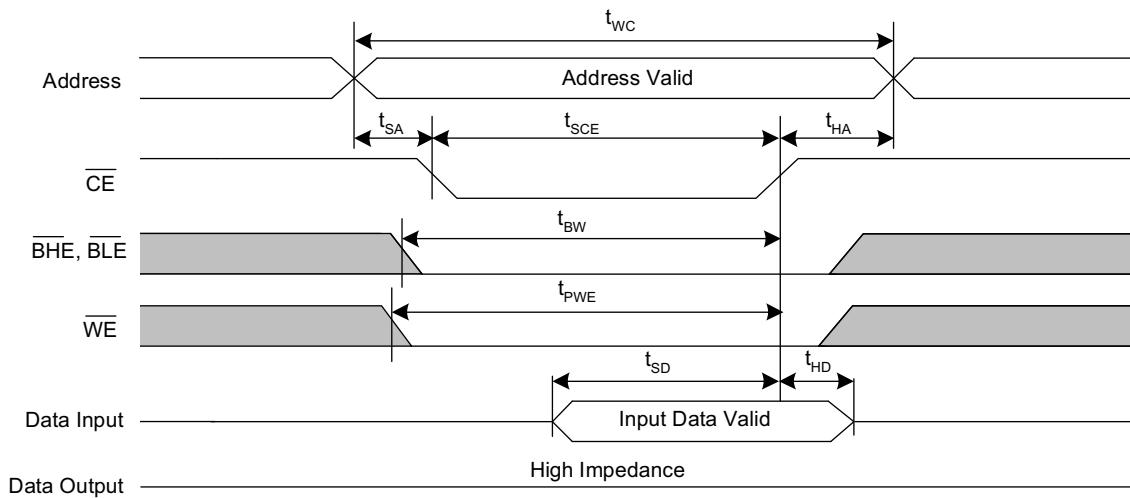
図 5. SRAM 読み出しサイクル #2 (\overline{CE} および \overline{OE} 制御) [21, 23, 24]



注:

21. \overline{WE} は SRAM 読み出しサイクル中は HIGH でなければなりません。
22. デバイスは、 \overline{CE} 、 \overline{OE} および \overline{BHE} / \overline{BLE} が LOW で連続して選択されます。
23. HSB は読み出しと書き込みサイクル中は HIGH でなければなりません。
24. 標準値は 25°C 、 $V_{CC} = V_{CC}(\text{Typ})$ および $V_{CCQ} = V_{CCQ}(\text{Typ})$ 。100% のテストは行われていません。

スイッチング波形 (続き)

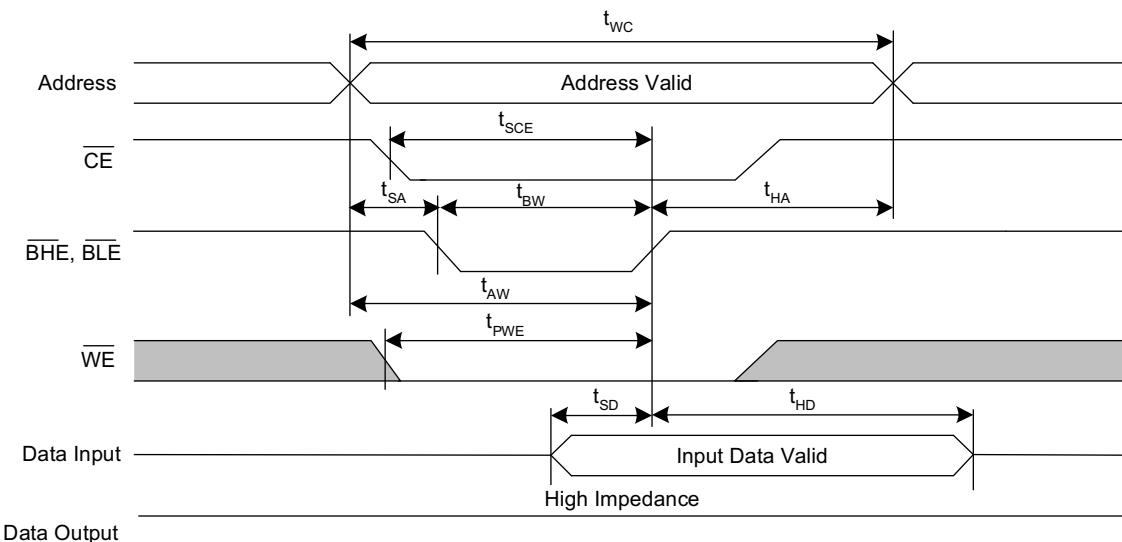
 図 6. SRAM 書き込みサイクル #1 (\overline{WE} 制御) [25, 26, 27, 28]

 図 7. SRAM 書き込みサイクル #2 (\overline{CE} 制御) [25, 26, 27, 28]


注:

25. \overline{HSB} は読み出しと書き込みサイクル中は HIGH でなければなりません。
26. \overline{BHE} および \overline{BLE} は x16 構成でのみ使用できます。
27. \overline{WE} が LOW の場合、 \overline{CE} が LOW になると、出力は高インピーダンス状態で保持されます。
28. \overline{CE} または \overline{WE} は、アドレス移行中は $\geq V_{IH}$ でなければなりません。

スイッチング波形 (続き)

図 8. SRAM 書き込みサイクル #3 ($\overline{\text{BHE}}$ と $\overline{\text{BLE}}$ 制御) [29、30、31、32]



注:

29. $\overline{\text{HSB}}$ は読み出しと書き込みサイクル中は HIGH でなければなりません。
30. $\overline{\text{BHE}}$ と $\overline{\text{BLE}}$ は $\times 16$ 構成でのみ使用できます。
31. $\overline{\text{WE}}$ が LOW の場合、 $\overline{\text{CE}}$ が LOW になると、出力は高インピーダンス状態で保持されます。
32. $\overline{\text{CE}}$ または $\overline{\text{WE}}$ は、アドレス移行中は $\geq V_{IH}$ でなければなりません。

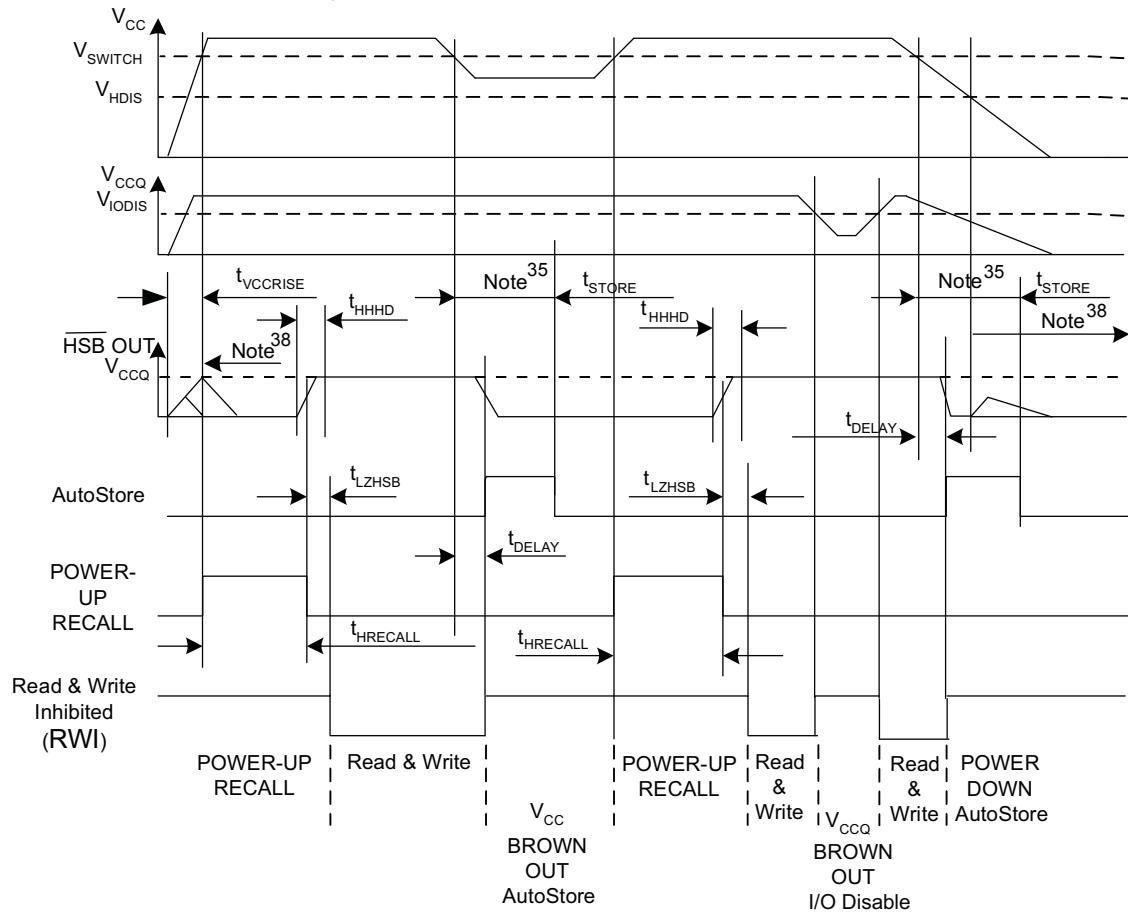
AutoStore ／電源投入 RECALL

動作範囲において

パラメーター	説明	CY14V104LA/CY14V104NA		単位
		Min	Max	
$t_{HRECALL}$ ^[33]	パワーアップ RECALL 期間	—	20	ms
t_{STORE} ^[34]	STORE サイクル期間	—	8	ms
t_{DELAY} ^[35]	SRAM 書き込みサイクルを完了する時間	—	25	ns
V_{SWITCH}	V_{CC} の低電圧トリガーレベル	—	2.90	V
V_{IODIS} ^[36]	V_{CCQ} での I/O ディスエーブル電圧	—	1.50	V
$t_{VCCRISE}$ ^[39]	V_{CC} 立ち上がり時間	150	—	μs
V_{HDIS} ^[39]	HSB V_{CC} での出力ディセーブル電圧	—	1.9	V
t_{LZHSB} ^[39]	HSB から出力アクティブまでの時間	—	5	μs
t_{HHHD} ^[39]	HSB HIGH アクティブ時間	—	500	ns

スイッチング波形

図 9. AutoStore またはパワーアップ RECALL^[37]



注

33. $t_{HRECALL}$ は、 V_{CC} が V_{SWITCH} を超えた時から始まります。
34. SRAM の書き込みが最後の不揮発性サイクル以降に行われていない場合は、AutoStore またはハードウェア STORE は行われません。
35. ハードウェア STORE と AutoStore の開始時に、SRAM の書き込み処理は、 t_{DELAY} 時間に応じて有効にされ続けています。
36. HSB は V_{IODIS} 電圧以下で定義されません。
37. 読み出しおよび書き込みサイクルは、STORE、RECALL、および V_{CC} が V_{SWITCH} 未満の時には無視されます。
38. 電源投入および電源遮断時、HSB ピンが外部抵抗を介してブルアップされると、HSB ピンにグリッチが発生します。
39. これらのパラメータは設計上は保証されますが、テストされていません。

ソフトウェア制御 STORE/RECALL サイクル

動作範囲において

パラメーター ^[40, 41]	説明	25ns		45ns		単位
		Min	Max	Min	Max	
t_{RC}	STORE/RECALL 開始のサイクル期間	25	—	45	—	ns
t_{SA}	アドレスセットアップ時間	0	—	0	—	ns
t_{CW}	クロックパルス幅	20	—	30	—	ns
t_{HA}	アドレスホールド時間	0	—	0	—	ns
t_{RECALL}	RECALL期間	—	200	—	200	μs

スイッチング波形

図 10. \overline{CE} と \overline{OE} 制御によるソフトウェア STORE/RECALL サイクル^[41]

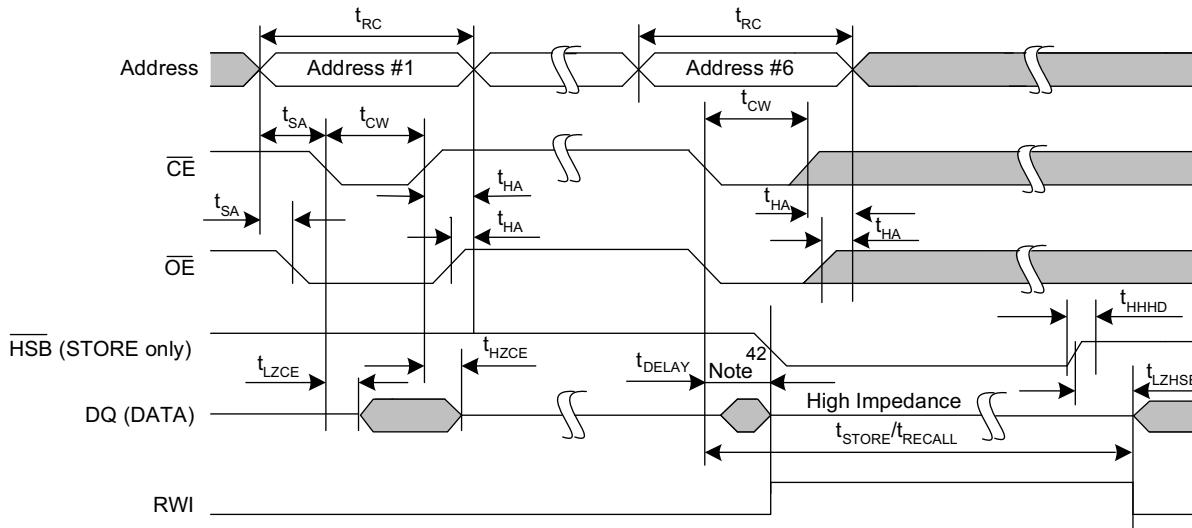
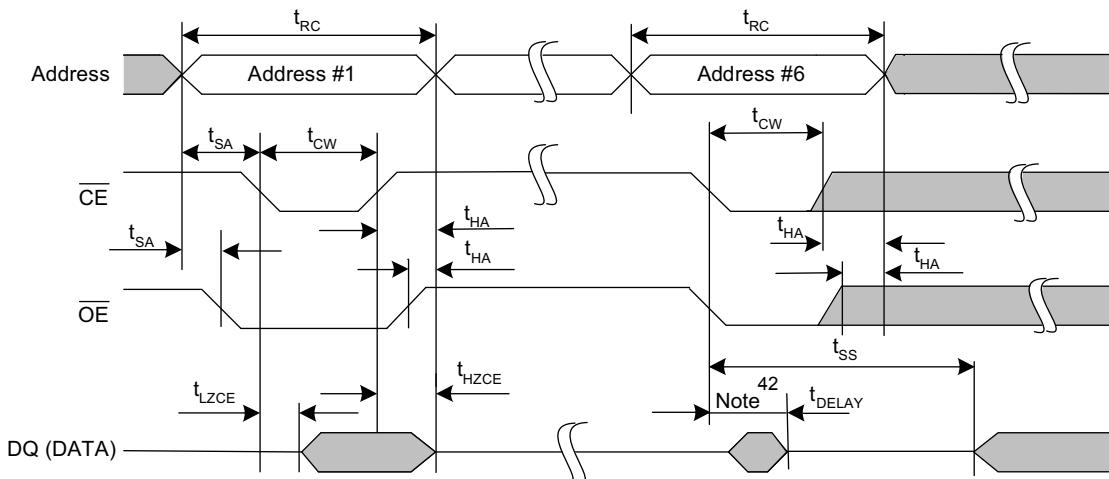


図 11. AutoStore イネーブル/ディスエーブルサイクル



注:

40. ソフトウェアのシーケンスは、 \overline{CE} または \overline{OE} を制御する読み込み処理を伴いクロックされます。
41. 6つの連続アドレスは 5 ページの表 1 に指定された順番で読み出す必要があります。WE は、すべての 6 連続サイクルの間 HIGH でなければなりません。
42. 出力が t_{DELAY} 時間でディスエーブルとなるので、6 番目に読み出された DQ 出力データは無効となる可能性があります。

ハードウェア STORE サイクル

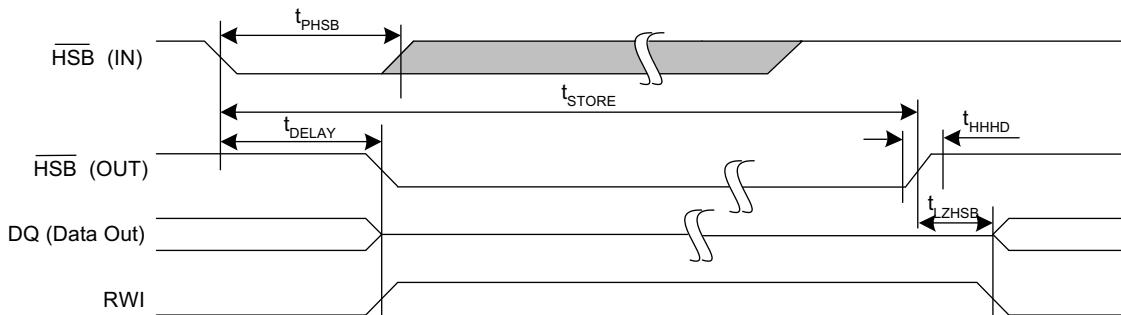
動作範囲において

パラメーター	説明	CY14V104LA/CY14V104NA		単位
		Min	Max	
t_{DHSB}	HSB から出力アクティブまでの時間 (書き込みラッチがセットされていない場合)	—	25	ns
t_{PHSB}	ハードウェア STORE パルス幅	15	—	ns
t_{SS} [43, 44]	ソフト シーケンス処理時間	—	100	μs

スイッチング波形

図 12. ハードウェア STORE サイクル [45]

Write latch set



Write latch not set

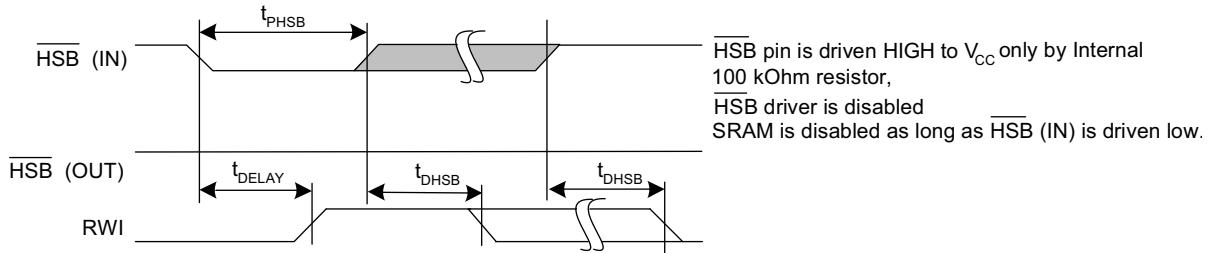
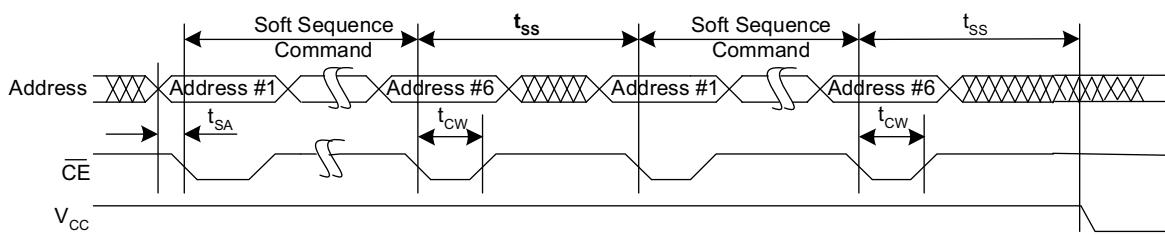


図 13. ソフト シーケンス処理時間 [43, 44]



注

43. これはソフト シーケンス コマンドを処理するのに要する時間です。効果的にコマンドを登録するには、 V_{CC} 電圧は HIGH でなければなりません。
 44. STORE や RECALL といったコマンドは、その処理が完了するまで I/O をロックアウトします。これが、この処理時間を増加させます。詳しくは個々のコマンドを参照してください。
 45. SRAM の書き込みが最後の不揮発性サイクル以降に行われていない場合は、AutoStore またはハードウェア STORE は行われません。

SRAM 真理値表

HSB は SRAM 動作では HIGH のままです。

表 2. $\times 8$ 構成の SRAM 真理値表

\overline{CE}	\overline{WE}	\overline{OE}	入力／出力 ^[46]	モード	電源
H	X	X	High Z	選択解除／電源遮断	スタンバイ
L	H	L	データ出力 (DQ ₀ ~ DQ ₇)	読み出し	アクティブ
L	H	H	High Z	出力ディスエーブル	アクティブ
L	L	X	データ入力 (DQ ₀ ~ DQ ₇)	書き込み	アクティブ

表 3. $\times 16$ 構成の SRAM 真理値表

\overline{CE}	\overline{WE}	\overline{OE}	\overline{BHE} ^[47]	\overline{BLE} ^[47]	入力／出力 ^[46]	モード	電源
H	X	X	X	X	High Z	選択解除／電源遮断	スタンバイ
L	X	X	H	H	High Z	出力ディスエーブル	アクティブ
L	H	L	L	L	データ出力 (DQ ₀ ~ DQ ₁₅)	読み出し	アクティブ
L	H	L	H	L	データ出力 (DQ ₀ ~ DQ ₇)、 DQ ₈ ~ DQ ₁₅ は High Z	読み出し	アクティブ
L	H	L	L	H	データ出力 (DQ ₈ ~ DQ ₁₅)、 DQ ₀ ~ DQ ₇ は High Z	読み出し	アクティブ
L	H	H	L	L	High Z	出力ディスエーブル	アクティブ
L	H	H	H	L	High Z	出力ディスエーブル	アクティブ
L	H	H	L	H	High Z	出力ディスエーブル	アクティブ
L	L	X	L	L	データ入力 (DQ ₀ ~ DQ ₁₅)	書き込み	アクティブ
L	L	X	H	L	データ入力 (DQ ₀ ~ DQ ₇)、 DQ ₈ ~ DQ ₁₅ は High Z	書き込み	アクティブ
L	L	X	L	H	データ入力 (DQ ₈ ~ DQ ₁₅)、 DQ ₀ ~ DQ ₇ は High Z	書き込み	アクティブ

注：

46. $\times 8$ 構成ではデータ DQ₀ ~ DQ₇、 $\times 16$ 構成ではデータ DQ₀ ~ DQ₁₅。

47. BHE と BLE は $\times 16$ 構成でのみ使用できます。

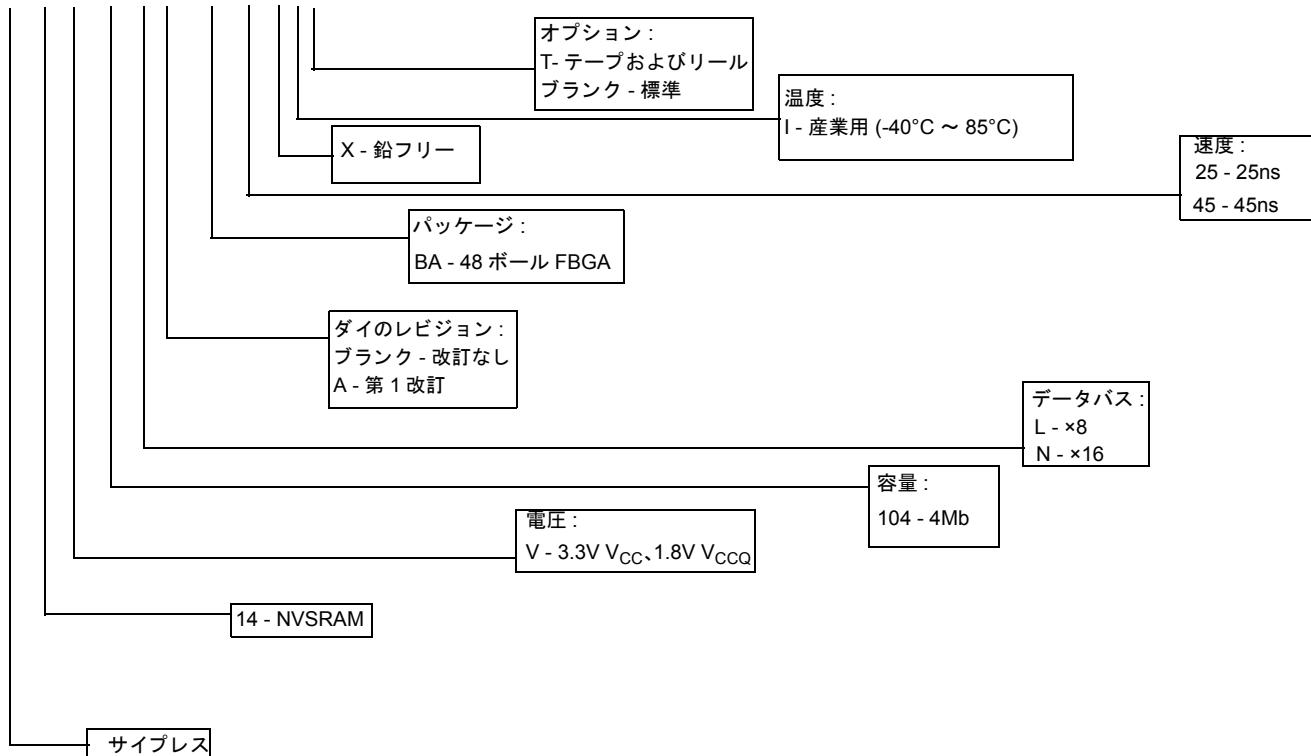
注文情報

速度 (ns)	注文コード	パッケージ図	パッケージ タイプ	動作範囲
25	CY14V104LA-BA25XIT	51-85128	48 ボール FBGA	産業用
	CY14V104LA-BA25XI			
	CY14V104NA-BA25XIT			
	CY14V104NA-BA25XI			
45	CY14V104LA-BA45XIT			
	CY14V104LA-BA45XI			
	CY14V104NA-BA45XIT			
	CY14V104NA-BA45XI			

在庫状況については、最寄りのサイプレスの販売代理店にお問い合わせください。

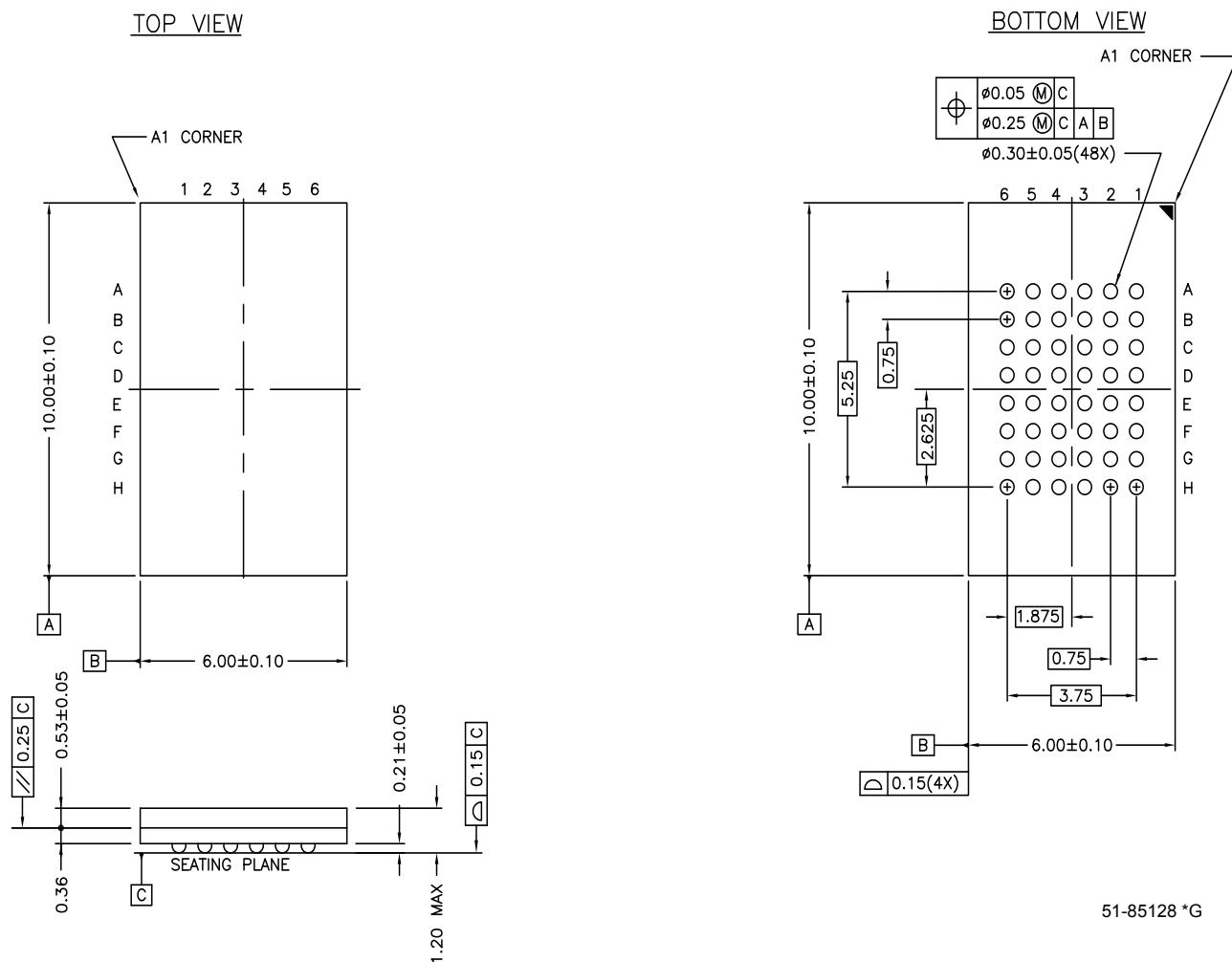
注文コードの定義

CY 14 V 104 L A - BA 25 X I T



パッケージ図

図 14. 48 ポール FBGA (6 × 10 × 1.2mm) BA48B、51-85128



略語

略語	説明
BHE	Byte High Enable (バイト HIGH イネーブル)
BLE	Byte Low Enable (バイト LOW イネーブル)
CE	Chip Enable (チップ イネーブル)
CMOS	Complementary Metal Oxide Semiconductor (相補型金属酸化膜半導体)
EIA	Electronic Industries Alliance (米国電子工業会)
FBGA	Fine-Pitch Ball Grid Array (フайн ピッチ ボール グリッド アレイ)
HSB	hardware store busy (ハードウェア ストア ビジー)
I/O	Input/Output (入力／出力)
nvSRAM	non-volatile Static Random Access Memory (不揮発性スタティック ランダム アクセス メモリ)
OE	Output Enable (出力イネーブル)
RoHS	Restriction of Hazardous Substances (特定有害物質使用規制)
SRAM	Static Random Access Memory (スタティック ランダム アクセス メモリ)
WE	Write Enable (書き込みイネーブル)

本書の表記法
測定単位

記号	測定単位
°C	摂氏温度
kΩ	キロオーム
MHz	メガヘルツ
μA	マイクロ アンペア
mA	ミリ アンペア
μF	マイクロ ファラード
μs	マイクロ秒
ms	ミリ秒
ns	ナノ秒
Ω	オーム
%	パーセント
pF	ピコファラッド
V	ボルト
W	ワット

改訂履歴

文書名 : CY14V104LA / CY14V104NA、4M ピット (512K × 8/256K × 16) nvSRAM
文書番号 : 001-95855

リビジョン	ECN 番号	変更者	発行日	変更内容
**	4709703	HZEN	04/07/2015	これは英語版 001-53954 Rev. *H を翻訳した日本語版 001-95855 Rev. ** です。

セールス、ソリューションおよび法律情報

ワールドワイドな販売と設計サポート

サイプレスは、世界中に事業所やソリューション センター、販売代理店を持っています。お客様の最寄りのオフィスについては、[サイプレスのロケーション ページ](#)をご覧ください。

製品

車載用	cypress.com/go/automotive
クロック & バッファ	cypress.com/go/clocks
インターフェース	cypress.com/go/interface
照明 & 電力制御	cypress.com/go/powerpsoc cypress.com/go/plc
メモリ	cypress.com/go/memory
PSoC	cypress.com/go/psoc
タッチ センシング	cypress.com/go/touch
USB コントローラー	cypress.com/go/USB
ワイヤレス／RF	cypress.com/go/wireless

PSoC® ソリューション

psoc.cypress.com/solutions
PSoC 1 PSoC 3 PSoC 4 PSoC 5LP

サイプレス開発者コミュニティ

コミュニティ フォーラム ブログ ビデオ トレーニング

テクニカル サポート

cypress.com/go/support
--

© Cypress Semiconductor Corporation, 2009-2015. 本文書に記載される情報は、予告なく変更される場合があります。Cypress Semiconductor Corporation (サイプレス セミコンダクタ社)は、サイプレス製品に組み込まれた回路以外のいかなる回路を使用することに対して一切の責任を負いません。サイプレス セミコンダクタ社は、特許またはその他の権利に基づくライセンスを譲渡することも、または含意することもありません。サイプレス製品は、サイプレスとの書面による合意に基づくものでない限り、医療、生命維持、救命、重要な管理、または安全の用途のために使用することを保証するものではなく、また使用することを意図したものでもありません。さらにサイプレスは、誤動作や故障によって使用者に重大な傷害をもたらすことが合理的に予想される生命維持システムの重要なコンポーネントとしてサイプレス製品を使用することを許可していません。生命維持システムの用途にサイプレス製品を供することは、製造者がそのような使用におけるあらゆるリスクを負うことを意味し、その結果サイプレスはあらゆる責任を免除されることを意味します。

全てのソース コード (ソフトウェアおよび／またはファームウェア) はサイプレス セミコンダクタ社 (以下「サイプレス」) が所有し、全世界の特許権保護 (米国およびその他の国)、米国の著作権法ならびに国際協定の条項により保護され、かつそれらに従います。サイプレスが本書面によりライセンサーに付与するライセンスは、個人的、非独占かつ譲渡不能のライセンスであり、適用される契約で指定されたサイプレスの集積回路と併用されるライセンサーの製品のみをサポートするカスタムソフトウェアおよび／またはカスタム ファームウェアを作成する目的に限って、サイプレスのソースコードの派生著作物をコピー、使用、変更そして作成するためのライセンス、ならびにサイプレスのソースコードおよび派生著作物をコンパイルするためのライセンスです。上記で指定された場合を除き、サイプレスの書面による明示的な許可なくして本ソース コードを複製、変更、変換、コンパイル、または表示することはすべて禁止します。

免責条項：サイプレスは、明示的または默示的を問わず、本資料に関するいかなる種類の保証も行いません。これには、商品性または特定目的への適合性の默示的な保証が含まれますが、これに限定されません。サイプレスは、本文書に記載される資料に対して今後予告なく変更を加える権利を留保します。サイプレスは、本文書に記載されるいかなる製品または回路を適用または使用したことによって生ずるいかなる責任も負いません。サイプレスは、誤動作や故障によって使用者に重大な傷害をもたらすことが合理的に予想される生命維持システムの重要なコンポーネントとしてサイプレス製品を使用することを許可していません。生命維持システムの用途にサイプレス製品を供することは、製造者がそのような使用におけるあらゆるリスクを負うことを意味し、その結果サイプレスはあらゆる責任を免除されることを意味します。

ソフトウェアの使用は、適用されるサイプレス ソフトウェア ライセンス契約によって制限され、かつ制約される場合があります。