

特性

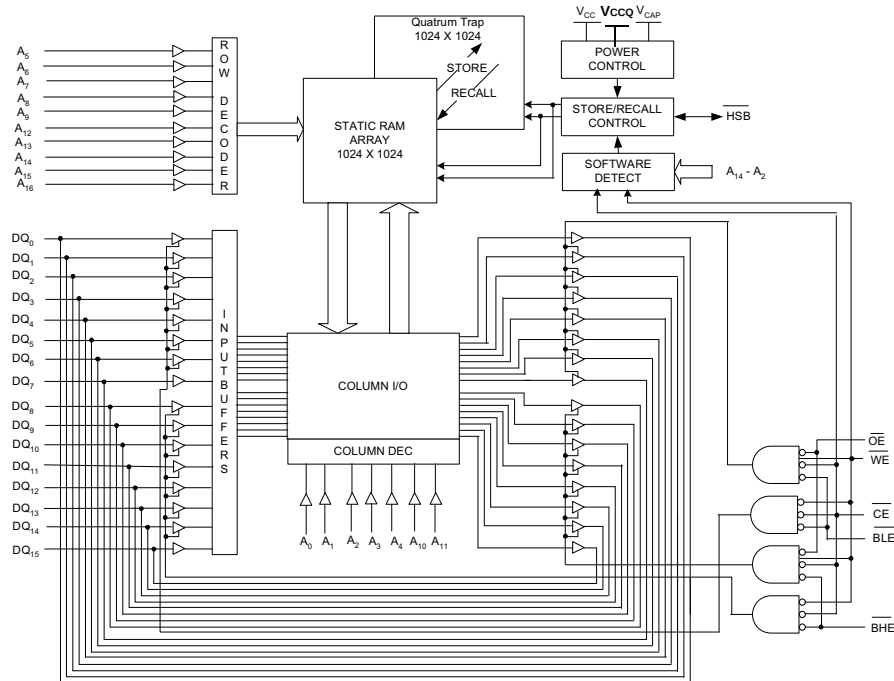
- 访问时间为 25 ns 和 45 ns
- 内部采用了 128 K × 8 (CY14V101LA) 或 64 K × 16 (CY14V101NA) 的组织方式
- 只需要一个小电容, 便能够实现断电时进行自动存储
- 可通过软件、器件引脚或断电时自动存储来触发存储至 QuantumTrap 非易失性元件
- 可通过软件或加电触发回读至 SRAM
- 无限次读、写和回读周期
- 一百万次的 QuantumTrap 存储周期
- 20 年的数据保留时间
- 内核 $V_{CC} = 3.0\text{ V}$ 至 3.6 V ; I/O $V_{CCQ} = 1.65\text{ V}$ 至 1.95 V
- 工业级温度
- 48 球型焊盘小间距球栅阵列 (FBGA) 封装
- 无铅, 并满足有害物质限制 (RoHS) 规定

功能说明

赛普拉斯 CY14V101LA/CY14V101NA 是一款快速的静态 RAM, 并且每个存储器元中都包含非易失性元件。该存储器采用了 “128K 字节、每字节 8 位” 或 “64K 字以及每字 16 位” 的组织方式。嵌入式非易失性元件通过采用 QuantumTrap 技术, 生产了世界上最可靠的非易失性存储器。SRAM 能够实现无限次的读写周期, 同时独立的非易失性数据应该存储在高度可靠的 QuantumTrap 元中。断电时, 数据将从 SRAM 自动转移到非易失性元件中 (“存储” 操作)。上电时, 数据会从非易失性存储器回读到 SRAM (“回读” 操作)。“存储” 和 “回读” 操作也可以在软件控制下执行。

要获取相关文档的完整列表, 请单击[此处](#)。

逻辑框图 [1、2、3]



注释:

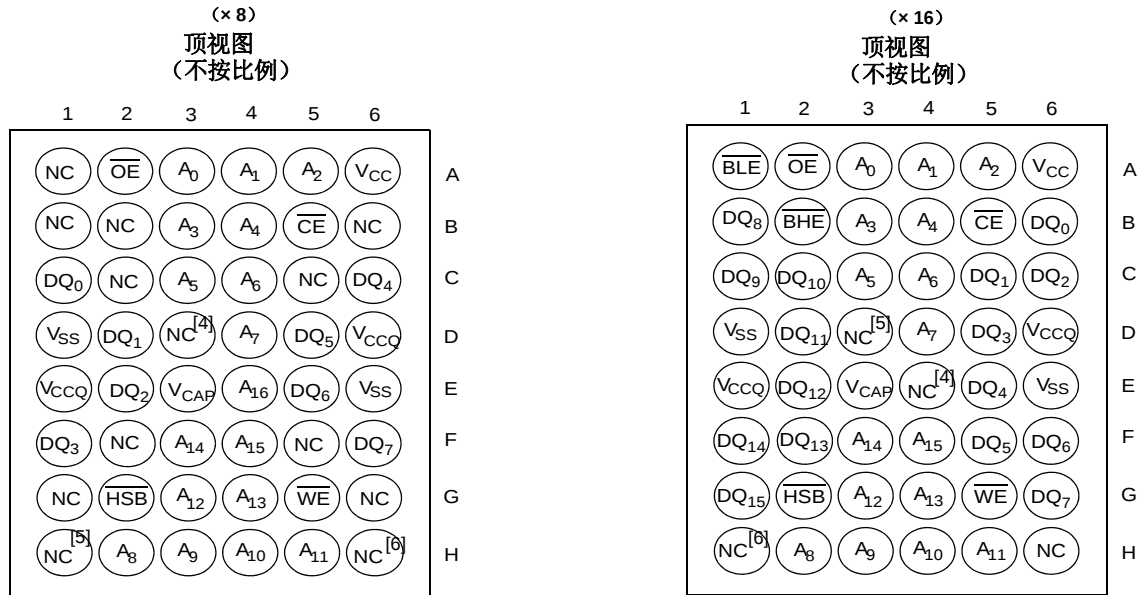
1. 地址 A_0 – A_{16} 适用于 × 8 配置; 地址 A_0 – A_{15} 适用于 × 16 配置。
2. 数据 DQ_0 – DQ_7 适用于 × 8 配置; 数据 DQ_0 – DQ_{15} 适用于 × 16 配置。
3. BHE 和 BLE 仅适用于 × 16 配置。

目录

引脚分布	3	SRAM 写周期	10
引脚定义	3	自动存储 / 加电回读	13
器件运行	4	切换波形	13
SRAM 读取	4	软件控制的存储 / 回读周期	14
SRAM 写入	4	开关波形	14
自动存储操作	4	硬件存储周期	15
硬件存储操作	4	开关波形	15
硬件回读（加电）	5	SRAM 操作的真值表	16
软件存储	5	订购信息	17
软件回读	5	订购代码定义	17
阻止自动存储	6	封装图	18
数据保护	6	缩略语	19
最大额定值	7	文档规范	19
工作范围	7	测量单位	19
直流电气特性	7	文档修订记录页	20
数据保留时间与耐久性	8	销售、解决方案和法律信息	21
电容值	8	全球销售和设计支持	21
热阻	8	产品	21
交流测试负载	9	PSoC® 解决方案	21
交流测试条件	9	赛普拉斯开发者社区	21
交流开关特性	10	技术支持	21
SRAM 读周期	10		

引脚分布

图 1. 48 球型焊盘 FBGA 引脚分配



引脚定义

引脚名称	I/O 类型	说明
A ₀ –A ₁₆	输入	地址输入。使用该引脚来选择用于 × 8 配置的 131,072 nvSRAM 字节中的一个。
A ₀ –A ₁₅		地址输入。使用该引脚来选择用于 × 16 配置的 65,536 nvSRAM 字中的一个。
DQ ₀ –DQ ₇	输入 / 输出	用于 × 8 配置的双向数据输入 / 输出线。根据操作将该引脚作为输入或输出线路使用。
DQ ₀ –DQ ₁₅		用于 × 16 配置的双向数据输入 / 输出线。根据操作将该引脚作为输入或输出线路使用。
WE	输入	低电平有效的写使能输入。当使能芯片，并且 WE 为低电平时，I/O 引脚上的数据将被写入到指定的地址内。
CE	输入	芯片使能输入，低电平有效。当该引脚为低电平时，将选择芯片。处于高电平时，则取消选择芯片。
OE	输入	低电平有效的输出使能。低电平有效输入 OE 在读周期内使能数据输出缓冲器。在取消激活高电平的 OE 时，I/O 引脚会进入三态。
BHE	输入	高字节使能，低电平有效。控制 DQ ₁₅ –DQ ₈ 。
BLE	输入	低字节使能，低电平有效。控制 DQ ₇ –DQ ₀ 。
V _{SS}	接地	器件的接地引脚。必须连接至系统地面。
V _{CC}	电源	器件内核的电源输入。
V _{CCQ}	电源	器件输入和输出的电源输入。
HSB	输入 / 输出	硬件存储繁忙 (HSB)。 输出：指示低电平时 nvSRAM 的繁忙状态。在每次硬件和软件存储操作之后，HSB 通过标准输出高电流在一小段时间 (t _{HHHD}) 变为高电平，然后通过内部弱上拉电阻一直保持高电平（外部上拉电阻连接可选）。 输入：通过外部将引脚置于低电平来实现硬件存储。
V _{CAP}	电源	自动存储电容。在断电期间为 nvSRAM 提供电源，以在该过程中将数据从 SRAM 存储到非易失性元件。
NC	无连接	无连接。该引脚未与芯片连接。

注释：

4. 2 Mbit 的地址扩展。NC 引脚未连接到裸片 (die)。
5. 4 Mbit 的地址扩展。NC 引脚未连接到裸片 (die)。
6. 8 Mbit 的地址扩展。NC 引脚未连接到裸片 (die)。

器件运行

CY14V101LA/CY14V101NA nvSRAM 由两个相同的物理单元中的成对功能组件组成。一个是 SRAM 存储器单元，另一个是非易失性 QuantumTrap 单元。SRAM 储存器单元可作为标准快速静态 RAM 工作。SRAM 中的数据被传输到非易失性单元（存储操作），或从非易失性单元传输到 SRAM（回读操作）。使用该独特的架构，所有单元都可以并行执行存储和回读操作。在存储和回读操作期间，SRAM 读写操作被禁止。与 SRAM 相同，CY14V101LA/CY14V101NA 支持无限次读写操作。此外，它还提供了无限次数的从非易失性单元的回读操作以及最多 100 万次的存储操作。请参考第 16 页上的 SRAM 操作的真值表了解读写模式的完整说明。

SRAM 读取

当 $\overline{\text{CE}}$ 和 $\overline{\text{OE}}$ 为低电平, 且 $\overline{\text{WE}}$ 和 $\overline{\text{HSB}}$ 为高电平时, CY14V101LA/CY14V101NA 将执行读周期。引脚 A_{0-16} 或 A_{0-17} 上指定的地址确定访问 131,072 个数据字节或 65,536 个 16 位的字的哪一个。字节使能 (BHE 、 BLE) 确定将哪些字节使能为输出 (在 16 位字的情况下)。当读取由地址转换触发时, 输出在经过 t_{AA} (读取周期 1) 时间后有效。如果 CE 或 OE 启动了读取操作, 输出在 t_{ACE} 或 t_{DOE} 中较晚者时有效 (读取周期 2)。数据输出在 t_{AA} 访问时间内反复响应地址变化而不需要切换任何控制输入引脚。这一直有效, 直到另一个地址变化或直到 CE 或 OE 变为高电平, 或 WE 或 HSB 变为低电平为止。

SRAM 写入

当 CE 和 WE 均为低电平且 HSB 为高电平时，将执行写循环。地址输入必须稳定才能进入写周期，并且必须保持稳定，直到 CE 或 WE 在周期结束时变为高电平为止。如果数据在 WE 控制的写入结束前或在 CE 控制的写入结束前的 t_{SD} 时有效，则公用 I/O 引脚 DQ₀₋₁₅ 上的数据被写入到存储器中。字节使能输入 (BHE、BLE) 确定在 16 位字的情况下写入哪些字节。在整个写周期期间保持 OE 为高电平以避免公用 I/O 线路上出现数据总线争用。如果 OE 为低电平，则内部电路将在 WE 变为低电平之后的 t_{HZWE} 时关闭输出缓冲区。

自动存储操作

CY14V101LA/CY14V101NA 通过下面三个方法中的一个可将数据存储到 nvSRAM 内：由 HSB 激活的硬件存储操作；由地址序列激活的软件存储操作；器件断电时进行自动存储。自动存储操作是 QuantumTrap 技术独有的特性，在 CY14V101LA/CY14V101NA 上默认启用了该特性。

在正常工作时，器件从 V_{CC} 接收电流，进而给与 V_{CAP} 引脚连接的电容充电。芯片使用该存储的电荷执行单个存储操作。如果 V_{CC} 引脚的电压下降到 V_{SWITCH} 以下，器件将自动断开 V_{CAP} 引脚与 V_{CC} 的连接。通过 V_{CAP} 电容所提供的电源触发存储操作。

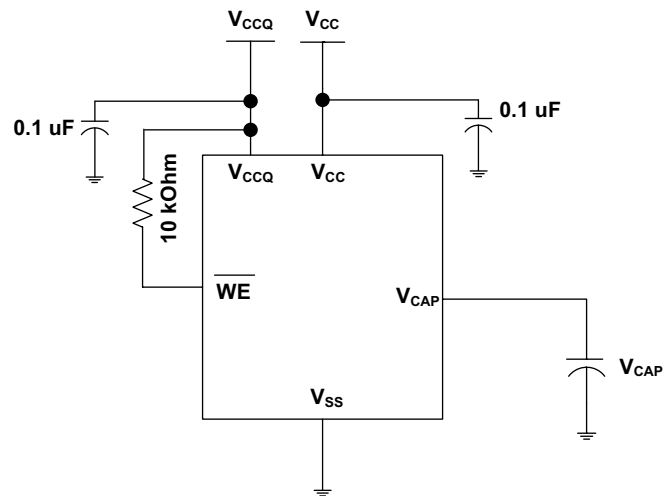
注意: 如果 V_{CAP} 引脚上没有连接一个电容, 则必须使用 [第 6 页上的阻止自动存储](#) 中指定的软序列来禁用自动存储。如果 V_{CAP} 引脚上没有连接电容时启用了自动存储性能, 则器件将在电荷不足的情况下尝试执行自动存储操作以完成存储。这样会破坏 nvSRAM 中存储的数据。

图 2 显示的是自动存储操作要求的正确存储电容 (V_{CAP}) 连接。请参考第 7 页上的直流电气特性，了解 V_{CAP} 的大小。 V_{CAP} 引脚上的电压通过芯片上的调节器输入到 V_{CC} 。将一个上拉设置为 WE ，以能够在加电过程中使其保持为非活动状态。只有 WE 信号

在加电期间为三态时，该上拉才有效。很多 MPU 在加电时使其控制引脚进入三态。使用上拉时必须验证该情况。当 nvSRAM 退出加电回读时，MPU 必须处于活动状态或者 $\overline{\text{WE}}$ 保持为非活动状态，直到 MPU 退出复位状态为止。

为了减少不必要的非易失性存储，需要忽略自动存储和硬件存储操作，除非在最新的存储或回读周期后至少要执行过一次写操作。无论是否发生写操作，都会执行软件触发的存储循环。

图 2. 自动存储模式



硬件存储操作

CY14V101LA/CY14V101NA 提供了 **HSB** 引脚以控制和确定存储操作。使用 **HSB** 引脚请求硬件存储周期。当 **HSB** 引脚被置为低电平时，CY14V101LA/CY14V101NA 将在 t_{DELAY} 后有条件地启动存储操作。仅在最后一个存储或回读周期后发生了对 **SRAM** 的写操作时才开始实际的存储周期。**HSB** 引脚还起到漏漏驱动器（内部 **100 k Ω** 弱上拉电阻）的作用，它在进行（通过任何手段触发的）存储时在内部变为低电平以指示繁忙状态。

注意：在每次进行硬件和软件存储操作后， $\overline{\text{HSB}}$ 会在一小段时间 (t_{HHD}) 通过标准输出高电流变为高电平，然后通过内部 100 k Ω 上拉电阻一直保持高电平。

在 **HSB** 通过任何手段变为低电平时进行的 **SRAM** 写操作要在启动存储操作之前给定的时间 (t_{DELAY}) 内完成。但是, 在 **HSB** 变为低电平后请求的任何 **SRAM** 写周期都被禁止, 直到 **HSB** 变回高电平。如果未设置写锁存, 则 **HSB** 不会被 **CY14V101LA/CY14V101NA** 置为低电平。但是直到 **MPU** 或其他外部源使 **HSB** 变回高电平, 所有 **SRAM** 读和写周期都被禁止。

在任何存储操作期间，无论它如何启动，CY14V101LA/CY14V101NA 都会继续将 HSB 引脚设置为低电平，仅在存储完成时才会释放。存储操作完成后，如果 HSB 引脚变回高电平，nVSRAM 存储器访问将在 tLZHSB 的时间内被禁止。如果不使用 HSB，请保持它的未连接状态。

硬件回读（加电）

加电时或所有进入低功耗状态后（ $V_{CC} < V_{SWITCH}$ ），内部回读请求都将被锁存。如果 V_{CC} 再次超过了 V_{SWITCH} 的检测电压，那么将自动启动回读周期并需要占用 $t_{HRECALL}$ 的时间来完成。在此期间内，HSB 驱动器将 HSB 置于低电平。

软件存储

通过软件地址序列将数据从 SRAM 传输到非易失性存储器内。通过按准确的顺序在六个特定地址执行连续的 $\overline{CE}$ 或 $\overline{OE}$ 控制的读周期，并以此来启动 CY14V101LA/CY14V101NA 软件存储周期。在存储周期期间内，首先会擦除上一个非易失性数据，然后将执行非易失性元件程序。启动存储周期后，将禁用后续的输入和输出，直到该周期完成。

由于特定地址的读取序列用于存储启动，所以在该序列中要避免其他读或写访问干预，否则该序列将被中止，并且不会发生任何存储或回读操作。想要启动软件存储周期，必须执行下列读取序列：

1. 读取地址 0x4E38 有效读取
2. 读取地址 0xB1C7 有效读取
3. 读取地址 0x83E0 有效读取
4. 读取地址 0x7C1F 有效读取
5. 读取地址 0x703F 有效读取
6. 读取地址 0x8FC0，启动存储周期

如果 $\overline{WE}$ 在六个读取序列中始终保持为高电平状态，那么可以通过 $\overline{CE}$ 控制的读取或 $\overline{OE}$ 控制的读取给软件序列提供时钟脉冲。在序列中输入第六个地址之后，存储周期将立即开始，且芯片被禁用。HSB 被置为低电平。达到 t_{STORE} 周期时间后，SRAM 再次被激活以进行读和写操作。

软件回读

通过软件地址序列将数据从 SRAM 传输到非易失性存储器内。软件回读周期以与软件存储启动类似的方式通过读操作序列启动。若要启动回读周期，必须执行下列 $\overline{CE}$ 或 $\overline{OE}$ 所控制的读操作序列：

1. 读取地址 0x4E38 有效读取
2. 读取地址 0xB1C7 有效读取
3. 读取地址 0x83E0 有效读取
4. 读取地址 0x7C1F 有效读取
5. 读取地址 0x703F 有效读取
6. 读取地址 0x4C63，启动回读周期

在内部，回读程序包括两个步骤。首先，清除 SRAM 数据。然后，将非易失性信息传输到 SRAM 单元内。在 t_{RECALL} 周期时间后，SRAM 再次处于就绪状态，以进行读和写操作。回读操作并不会更改非易失性元件中的数据。

表 1. 模式选择

$\overline{CE}$	$\overline{WE}$	$\overline{OE}$	$\overline{BHE}$ 、 $\overline{BLE}$ ^[7]	$A_{15}-A_0$ ^[8]	模式	I/O	电源
H	X	X	X	X	未选中	输出高阻态	待机
L	H	L	L	X	读取 SRAM	输出数据	活动
L	L	X	L	X	写入 SRAM	输入数据	活动
L	H	L	X	0x4E38 0xB1C7 0x83E0 0x7C1F 0x703F 0x8B45	读取 SRAM 读取 SRAM 读取 SRAM 读取 SRAM 读取 SRAM 自动存储禁用	输出数据 输出数据 输出数据 输出数据 输出数据 输出数据	活动 ^[9]

注释：

7. $\overline{BHE}$ 和 $\overline{BLE}$ 仅适用于 ×16 配置。

8. CY14V101LA 上有 17 个地址行（CY14V101NA 上有 16 个地址行）时，只有 13 个地址行（ $A_{14}-A_2$ ）用于控制软件模式。无需关注其余几个地址行。

9. 六个连续的地址必须按顺序列出。 $\overline{WE}$ 在六个周期期间必须保持为高电平才能使非易失性循环。

表 1. 模式选择 (续)

$\overline{\text{CE}}$	$\overline{\text{WE}}$	$\overline{\text{OE}}$	$\overline{\text{BHE}}, \overline{\text{BLE}}^{[7]}$	$\text{A}_{15}\text{--}\text{A}_0^{[8]}$	模式	I/O	电源
L	H	L	X	0x4E38 0xB1C7 0x83E0 0x7C1F 0x703F 0x4B46	读取 SRAM 读取 SRAM 读取 SRAM 读取 SRAM 读取 SRAM 自动存储使能	输出数据 输出数据 输出数据 输出数据 输出数据 输出数据	活动 ^[10]
L	H	L	X	0x4E38 0xB1C7 0x83E0 0x7C1F 0x703F 0x8FC0	读取 SRAM 读取 SRAM 读取 SRAM 读取 SRAM 读取 SRAM 非易失性存储	输出数据 输出数据 输出数据 输出数据 输出数据 输出高阻态	活动 $\text{I}_{\text{CC}2}^{[10]}$
L	H	L	X	0x4E38 0xB1C7 0x83E0 0x7C1F 0x703F 0x4C63	读取 SRAM 读取 SRAM 读取 SRAM 读取 SRAM 读取 SRAM 非易失性回读	输出数据 输出数据 输出数据 输出数据 输出数据 输出高阻态	活动 ^[10]

阻止自动存储

通过启动自动存储禁用的序列，可以禁用自动存储功能。以与软件存储启动类似的方式执行读操作序列。如要启动自动存储禁用序列，则必须执行下列 $\overline{\text{CE}}$ 所控制的读操作序列：

1. 读取地址 0x4E38 有效读取
2. 读取地址 0xB1C7 有效读取
3. 读取地址 0x83E0 有效读取
4. 读取地址 0x7C1F 有效读取
5. 读取地址 0x703F 有效读取
6. 读取地址 0x8B45 自动存储禁用

通过启动自动存储使能序列，可以重新使能自动存储。以与软件回读启动类似的方式执行读操作序列。如果要初始化自动存储使能序列，则必须执行下列 $\overline{\text{CE}}$ 所控制的读操作序列：

1. 读取地址 0x4E38 有效读取
2. 读取地址 0xB1C7 有效读取
3. 读取地址 0x83E0 有效读取
4. 读取地址 0x7C1F 有效读取
5. 读取地址 0x703F 有效读取
6. 读取地址 0x4B46 自动存储使能

如果禁用或重新使能了自动存储功能，则必须触发手动存储操作（软件或硬件）才能在后续的断电循环中保存自动存储。器件出厂时已使能自动存储功能，且已在所有单元中写入了 0x00。

数据保护

CY14V101LA/CY14V101NA 通过禁止外部启动的存储和写操作，在低电压状态下阻止破坏数据。当 $V_{\text{CC}} < V_{\text{SWITCH}}$ 时，会检测到低电压状态。如果 CY14V101LA/CY14V101NA 在加电时处于写模式（ $\overline{\text{CE}}$ 和 $\overline{\text{WE}}$ 均为低电平），在回读或存储后将禁止写操作，直到 t_{LZHSB} （HSB 到输出有效的时长）后 SRAM 被使能为止。当 $V_{\text{CCQ}} < V_{\text{IODIS}}$ 时，I/O 被禁用（无执行存储指令）。这样可以防止在 V_{CCQ} 加电期间内掉电条件下意外发生写操作。

注释：

10. 六个连续的地址必须按顺序列出。 $\overline{\text{WE}}$ 在六个周期期间必须为高电平才能使能非易失性循环。

最大额定值

超过最大额定值可能会缩短器件的使用寿命。这些用户指导未经过测试。

存储温度 -65 °C 到 +150 °C

最长的累积存储时间:

在 150°C 环境温度下 1000 个小时

在 85°C 环境温度下 20 年

最高结温 150°C

V_{CC} 的供电电压 (相对于 V_{SS}) -0.5 V 到 4.1 V

V_{CCQ} 的供电电压 (相对于 V_{SS}) -0.5 V 到 +2.45 V

应用于高阻态的输出电压 -0.5 V 到 $V_{CCQ} + 0.5 V$

输入电压 -0.5 V 到 $V_{CCQ} + 0.5 V$

在接地电位的所有引脚上的

瞬变电压 (< 20 ns) -2.0 V 到 $V_{CCQ} + 2.0 V$

封装功率散耗

($T_A = 25^\circ C$) 1.0 W

表面贴装铅焊温度 (3 秒) +260 °C

直流输出电流

(每次只输出 1 路电流, 持续时间 1 秒) 15 mA

静电放电电压

(根据 MIL-STD-883, 方法 3015) > 2001 V

栓锁电流 > 140 mA

工作范围

范围	环境温度	V_{CC}	V_{CCQ}
工业级	-40°C 到 +85°C	3.0 V 到 3.6 V	1.65 V 到 1.95 V

直流电气特性

在工作范围内

参数	说明	测试条件	最小值	典型值 ^[11]	最大值	单位
V_{CC}	供电电压		3.0	3.3	3.6	V
V_{CCQ}			1.65	1.8	1.95	V
I_{CC1}	平均电流 V_{CC}	$t_{RC} = 25 \text{ ns}$ $t_{RC} = 45 \text{ ns}$ 无输出负载下取得的值	—	—	70	mA
I_{CCQ1}	V_{CCQ} 平均电流	($I_{OUT} = 0 \text{ mA}$)	—	—	52	mA
			—	—	25	mA
			—	—	15	mA
I_{CC2}	存储过程中的 V_{CC} 平均电流	无需关注所有输入, $V_{CC} =$ 最大值 t_{STORE} 持续时间内的平均电流	—	—	10	mA
I_{CC3}	在 $t_{RC} = 200 \text{ ns}$, $V_{CC(Typ)}$, 25 °C 条件下的 V_{CC} 平均电流	所有输入在 CMOS 电平循环。 无输出负载下取得的值 ($I_{OUT} = 0 \text{ mA}$)	—	35	—	mA
I_{CCQ3}	在 $t_{RC} = 200 \text{ ns}$ 、 $V_{CCQ(Typ)}$ 、25 °C 条件下 V_{CCQ} 的平均电流		—	5	—	mA
I_{CC4}	自动存储周期期间的 V_{CAP} 平均电流	无需关注所有的输入。 t_{STORE} 期间的平均电流	—	—	8	mA
I_{SB}	V_{CC} 待机电流	$\overline{CE} \geq (V_{CCQ} - 0.2 \text{ V})$ 。 $V_{IN} \leq 0.2 \text{ V}$ 或者 $\geq (V_{CCQ} - 0.2 \text{ V})$ 。 非易失性周期完成后的待机电流强度。输入为静态。 $f = 0 \text{ MHz}$	—	—	8	mA
I_{IX} ^[12]	输入漏电流 (HSB 除外)	$V_{CCQ} =$ 最大值, $V_{SS} \leq V_{IN} \leq V_{CCQ}$	-1	—	+1	μA
	输入漏电流 (用于 HSB)	$V_{CCQ} =$ 最大值, $V_{SS} \leq V_{IN} \leq V_{CCQ}$	-100	—	+1	μA

注释:

11. 典型值为 25 °C, $V_{CC} = V_{CC(Typ)}$ 和 $V_{CCQ} = V_{CCQ(Typ)}$ 。并未经过 100% 测试。

12. 如果高电平有效和低电平有效的驱动程序均被禁用, 那么 V_{OH} 等于 1.7 V 时, HSB 引脚上的 $I_{OUT} = -4 \mu A$ 。使能这些驱动程序后, 标准 V_{OH} 和 V_{OL} 均有效。该参数被特性表征化, 但未经过测试。

直流电气特性（续）

在工作范围内

参数	说明	测试条件	最小值	典型值 ^[11]	最大值	单位
I_{OZ}	断开状态输出漏电流	$V_{CCQ} = \text{最大值}, V_{SS} \leq V_{OUT} \leq V_{CCQ}, \overline{CE} \text{ 或 } \overline{OE} \geq V_{IH} \text{ 或 } \overline{BHE}/\overline{BLE} \geq V_{IH} \text{ 或 } \overline{WE} \leq V_{IL}$	-1	-	+1	μA
V_{IH}	输入高电压	-	$0.7 \times V_{CCQ}$	-	$V_{CCQ} + 0.3$	V
V_{IL}	输入低电平电压	-	-0.3	-	$0.3 \times V_{CCQ}$	V
V_{OH}	输出高电压	$I_{OUT} = -1 \text{ mA}$	$V_{CCQ} - 0.45$	-	-	V
V_{OL}	输出低电压	$I_{OUT} = 2 \text{ mA}$	-	-	0.45	V
V_{CAP} ^[13]	存储电容	介于 V_{CAP} 引脚和 V_{SS} 之间	61	68	180	μF
V_{VCAP} ^[14, 15]	器件在 V_{CAP} 引脚上的最大驱动电压	$V_{CC} = \text{最大值}$	-	-	V_{CC}	V

数据保留时间与耐久性

参数	说明	最小值	单位
$DATA_R$	数据保留时间	20	年
NV_C	非易失性存储操作	1,000	K

电容值

参数 ^[14]	说明	测试条件	最大值	单位
C_{IN}	输入电容（ $\overline{BHE}$ 、 $\overline{BLE}$ 和 $\overline{HSB}$ 除外）	$T_A = 25^\circ C, f = 1 \text{ MHz}, V_{CC} = V_{CC(Typ)}, V_{CCQ} = V_{CCQ(Typ)}$	7	pF
	输入电容（适用于 $\overline{BHE}$ 、 $\overline{BLE}$ 和 $\overline{HSB}$ ）		8	pF
C_{OUT}	输出电容（ $\overline{HSB}$ 除外）		7	pF
	输出电容（用于 $\overline{HSB}$ ）		8	pF

热阻

参数 ^[14]	说明	测试条件	48 球形焊盘 FBGA	单位
Θ_{JA}	热阻（结温到室温）	根据 EIA/JESD51 的要求，测试条件遵循测试热阻的标准测试方法和过程。	48.19	$^\circ C/W$
Θ_{JC}	热阻（结至外壳）		6.5	$^\circ C/W$

注释：

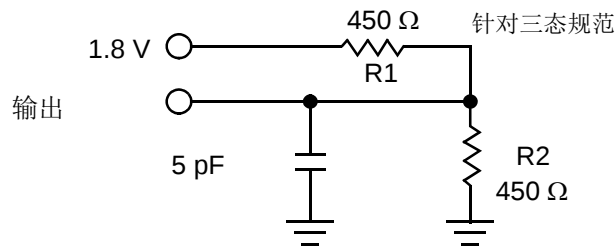
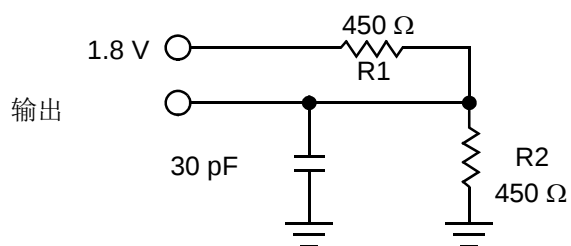
13. V_{CAP} 的最小值要确保提供了足够的电荷来完成自动存储操作。在加电回读周期内， V_{CAP} 的最大值确保使用了最小的电压给 V_{CAP} 上的电容充电。这样，在紧急断电期间，可以顺利地自动存储操作。因此，建议始终使用在指定最小和最大极限值内的电容。请参考应用手册 [AN43593](#)，了解更多有关 V_{CAP} 选项的详细信息。

14. 当选择 V_{CAP} 电容时，可提供 V_{CAP} 引脚上的最大电压（ V_{VCAP} ）作为指导。在工作温度范围内， V_{CAP} 电容的额定电压应高于 V_{VCAP} 电压。

15. 这些参数得到设计保证，但未经过测试。

交流测试负载

图 3. 交流测试负载



交流测试条件

输入脉冲电平 0 V 至 1.8 V

输入上升和下降时间（10% 至 90%） ≤ 1.8 ns

输入和输出时序参考电平 0.9 V

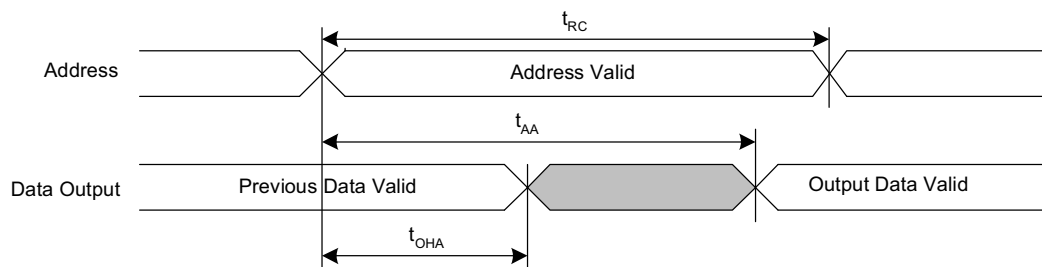
交流开关特性

在工作范围内

参数 ^[16]		说明	25 ns		45 ns		单位
赛普拉斯参数	备用参数		最小值	最大值	最小值	最大值	
SRAM 读周期							
t _{ACE}	t _{ACS}	芯片使能访问时间	—	25	—	45	ns
t _{RC} ^[17]	t _{RC}	读周期的时间	25	—	45	—	ns
t _{AA} ^[18]	t _{AA}	地址访问时间	—	25	—	45	ns
t _{DOE}	t _{OE}	输出使能到数据有效的时间	—	12	—	20	ns
t _{OHA} ^[18]	t _{OH}	地址更改后的输出保持时间	3	—	3	—	ns
t _{LZCE} ^[19、20]	t _{LZ}	芯片使能到输出有效的时间	3	—	3	—	ns
t _{HZCE} ^[19、20]	t _{HZ}	芯片禁用到输出无效的时间	—	10	—	15	ns
t _{LZOE} ^[19、20]	t _{OLZ}	从输出使能到输出有效的时间	0	—	0	—	ns
t _{HZOE} ^[19、20]	t _{OHZ}	从输出禁用到输出无效的时间	—	10	—	15	ns
t _{PU} ^[19]	t _{PA}	芯片被使能到电源有效的时间	0	—	0	—	ns
t _{PD} ^[19]	t _{PS}	芯片禁用到电源待机的时间	—	25	—	45	ns
t _{DBE} ^[19]	—	字节使能到数据有效的时间	—	12	—	20	ns
t _{LZBE} ^[19]	—	字节被使能到输出有效的时间	0	—	0	—	ns
t _{HZBE} ^[19]	—	字节被禁用到输出无效的时间	—	10	—	15	ns
SRAM 写周期							
t _{WC}	t _{WC}	写周期时间	25	—	45	—	ns
t _{PWE}	t _{WP}	写入脉冲宽度	20	—	30	—	ns
t _{SCE}	t _{CW}	芯片使能到写周期结束的时间	20	—	30	—	ns
t _{SD}	t _{DW}	数据建立到写周期结束的时间	10	—	15	—	ns
t _{HD}	t _{DH}	写周期结束后的数据保持时间	0	—	0	—	ns
t _{AW}	t _{AW}	地址建立到写周期结束的时间	20	—	30	—	ns
t _{SA}	t _{AS}	地址建立到写周期开始的时间	0	—	0	—	ns
t _{HA}	t _{WR}	写周期结束后的地址保持时间	0	—	0	—	ns
t _{HZWE} ^[19、20、21]	t _{WZ}	写周期使能到输出禁用的时间	—	10	—	15	ns
t _{LZWE} ^[19、20]	t _{OW}	写周期结束到输出有效的时间	3	—	3	—	ns
t _{BW}	—	字节使能到写周期结束的时间	20	—	30	—	ns

开关波形

图 4. 第一个 SRAM 读周期（地址控制）^[17, 18, 22]



注释:

- 测试条件采用的信号跳变时间不大于 1.8 ns, $V_{CCQ/2}$ 的时序参考电平, 0 至 $V_{CCQ(typ)}$ 的输入脉冲电平以及第 9 页上的图 3 中所示的指定 I_{OL}/I_{OH} 的输出负载和负载电容。
- 在 SRAM 读周期内, $\overline{WE}$ 必须保持高电平状态。
- 当 $\overline{CE}$ 、 $\overline{OE}$ 和 $\overline{BHE}/\overline{BLE}$ 均为低电平时, 一直选中器件。
- 这些参数得到设计保证, 但未经过测试。
- 稳定状态下所测量的输出电压为 ± 200 mV。
- 如果 $\overline{CE}$ 变为低电平时 $\overline{WE}$ 处于低电平状态, 则输出会保持为高阻抗状态。
- 在读和写周期内, $\overline{HSB}$ 必须保持为高电平状态。

开关波形（续）

图 5. 第二个 SRAM 读周期（ $\overline{\text{CE}}$ and $\overline{\text{OE}}$ 控制） [23、24、25]

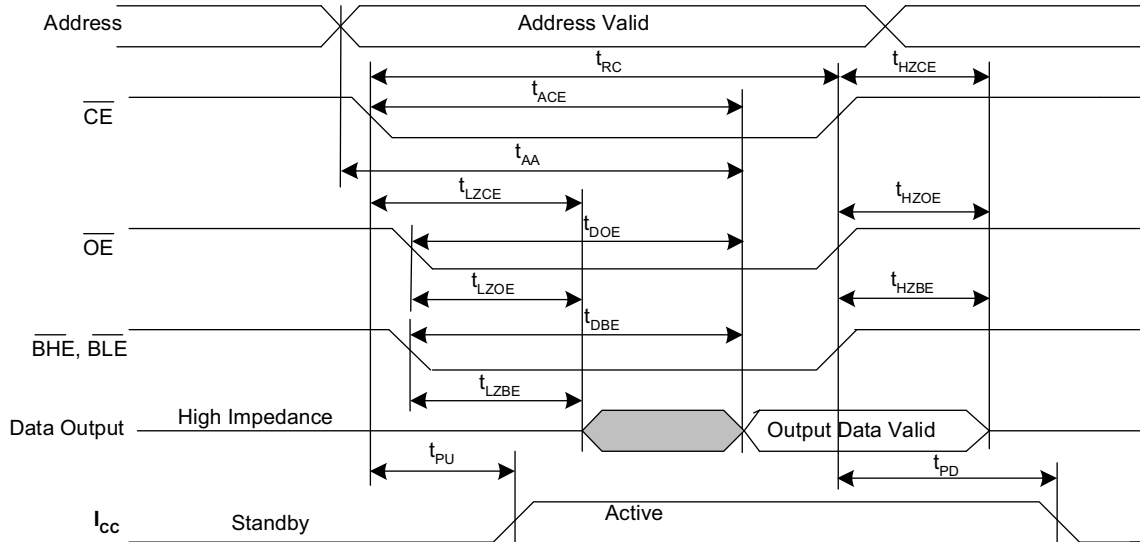
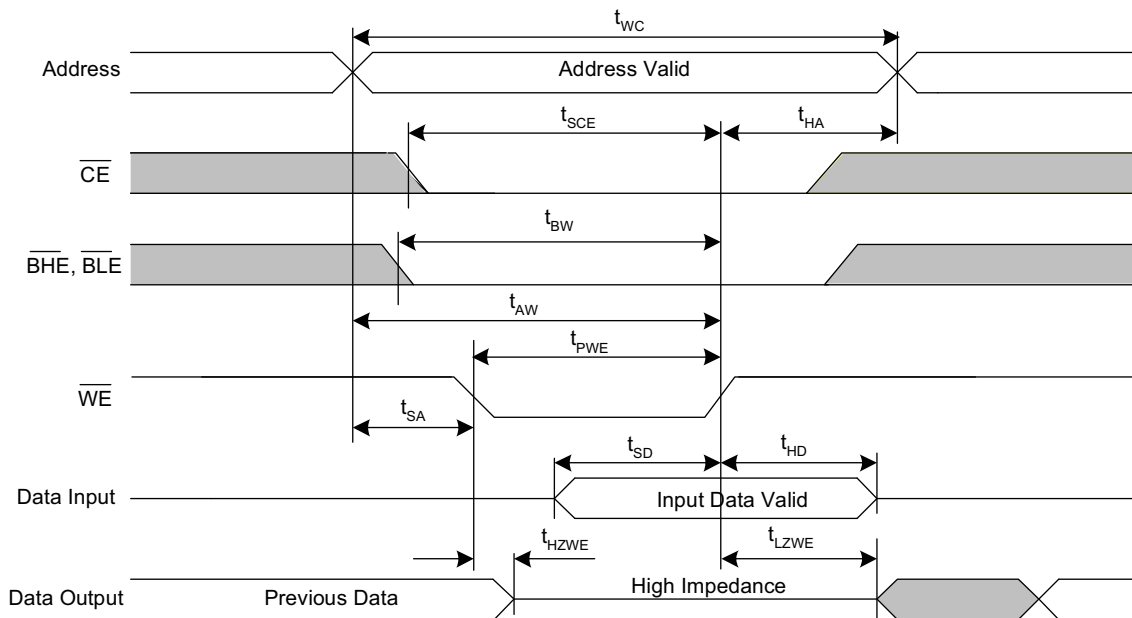


图 6. 第一个 SRAM 度周期（ $\overline{\text{WE}}$ 控制） [23、25、26、27]



注释:

23. $\overline{\text{BHE}}$ 和 $\overline{\text{BLE}}$ 仅适用于 $\times 16$ 配置。
24. $\overline{\text{WE}}$ 必须在 SRAM 读周期内保持高电平状态。
25. 在读和写周期内， $\overline{\text{HSB}}$ 必须保持为高电平状态。
26. 如果 $\overline{\text{CE}}$ 为低电平时 $\overline{\text{WE}}$ 处于低电平状态，那么输出会保持为高阻抗状态。
27. 地址转换期间， $\overline{\text{CE}}$ 或 $\overline{\text{WE}}$ 必须 $\geq V_{IH}$ 。

开关波形（续）

图 7. 第二个 SRAM 写周期（ $\overline{\text{CE}}$ 控制） [28、29、30、31]

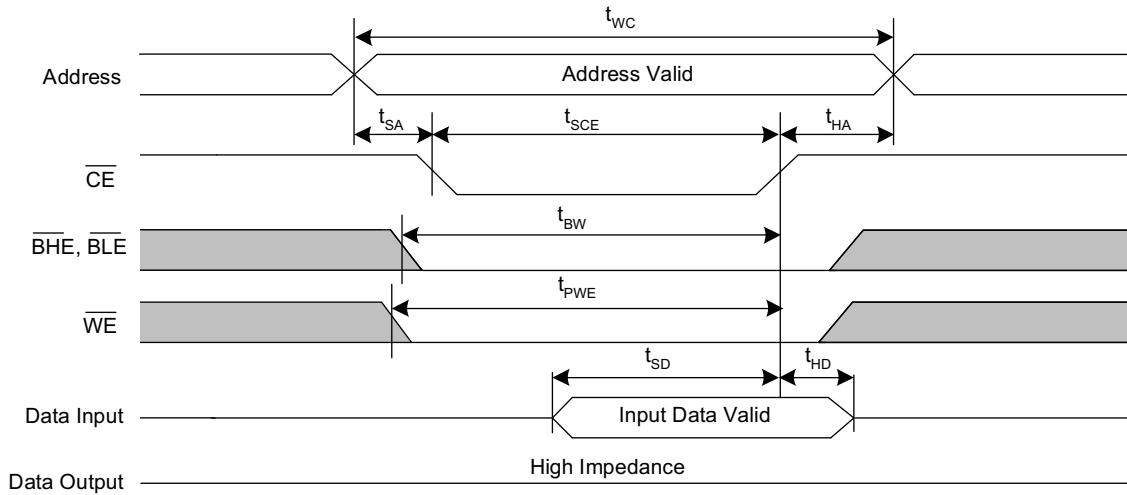
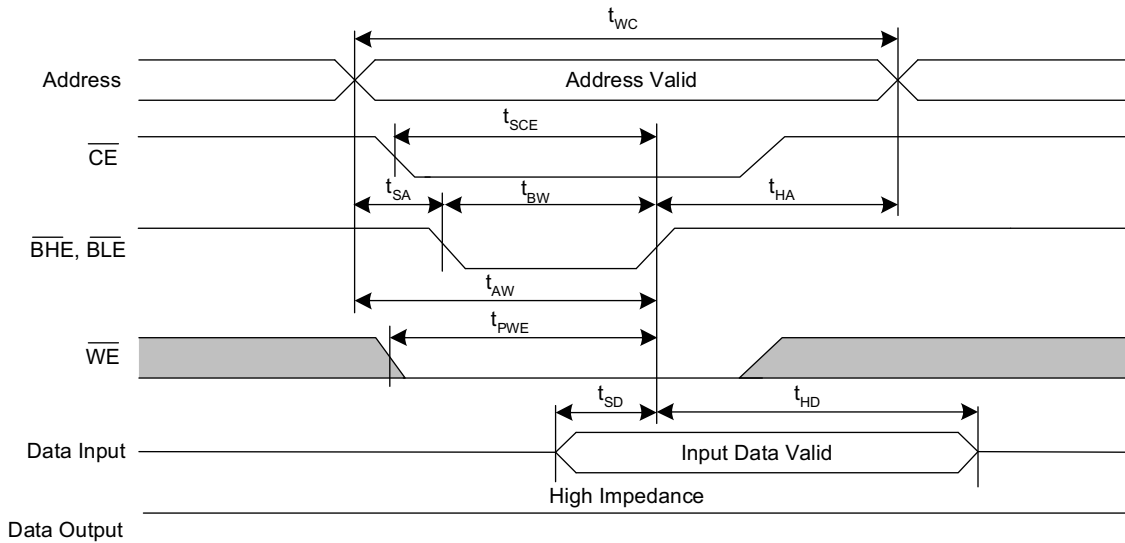


图 8. 第三个 SRAM 写周期（受 $\overline{\text{BHE}}$ 和 $\overline{\text{BLE}}$ 控制） [28、29、30、31]



注释:

28. $\overline{\text{BHE}}$ 和 $\overline{\text{BLE}}$ 仅适用于 $\times 16$ 配置。
29. 在读和写周期内， $\overline{\text{HSB}}$ 必须保持为高电平状态。
30. 如果 $\overline{\text{CE}}$ 变为低电平时 $\overline{\text{WE}}$ 处于低电平状态，那么输出会保持为高阻抗状态。
31. 地址转换期间， $\overline{\text{CE}}$ 或 $\overline{\text{WE}}$ 必须 $\geq V_{IH}$ 。

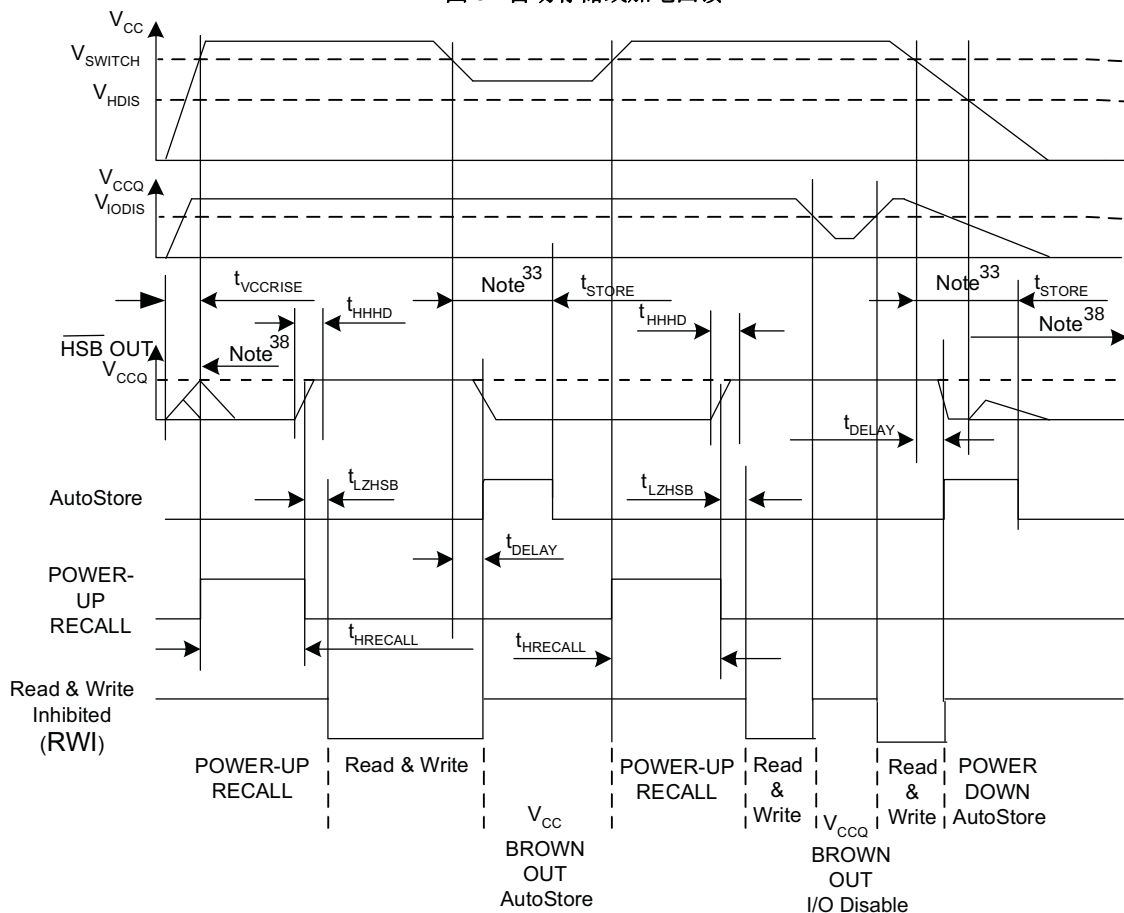
自动存储 / 加电回读

在工作范围内

参数	说明	CY14V101LA/CY14V101NA		单位
		最小值	最大值	
$t_{HRECALL}^{[32]}$	加电回读期间	—	20	ms
$t_{STORE}^{[33]}$	存储周期时间	—	8	ms
$t_{DELAY}^{[34]}$	完成 SRAM 写入周期所允许的时间	—	25	ns
V_{SWITCH}	V_{CC} 的低电压触发电平	—	2.90	V
$V_{IODIS}^{[35]}$	禁用 I/O 时的 V_{CCQ} 电压	—	1.50	V
$t_{VCCRRISE}^{[36]}$	V_{CC} 上升时间	150	—	μ s
$V_{HDIS}^{[36]}$	禁用 HSB 输出时的 V_{CC} 电压	—	1.9	V
$t_{LZHSB}^{[36]}$	HSB 到输出有效的时间	—	5	μ s
$t_{HHHD}^{[36]}$	HSB 高电平有效时间	—	500	ns

切换波形

图 9. 自动存储或加电回读^[37]



注释:

32. 当 V_{CC} 大于 V_{SWITCH} 时, 将开始计算 $t_{HRECALL}$ 。
 33. 如果最后一次非易失性循环完成后尚未对 SRAM 进行写操作, 则不会发生自动存储或硬件存储操作。
 34. 在启动硬件存储和自动存储时, 会在 t_{DELAY} 时间内持续使能 SRAM 写操作。
 35. HSB 被定义为不低于 V_{IODIS} 电压。
 36. 这些参数得到设计保证, 但未经过测试。
 37. 如果 V_{CC} 低于 V_{SWITCH} , 则在存储、回读的过程中会忽略读写周期。
 38. 在通电和断电期间, 如果通过外部电阻上拉 HSB 引脚, HSB 会发生短时脉冲。

软件控制的存储 / 回读周期

在工作范围内

参数 [39、40]	说明	25 ns		45 ns		单位
		最小值	最大值	最小值	最大值	
t_{RC}	存储 / 回读初始化周期的时间	25	—	45	—	ns
t_{SA}	地址建立时间	0	—	0	—	ns
t_{CW}	时钟脉冲宽度	20	—	30	—	ns
t_{HA}	地址保持时间	0	—	0	—	ns
t_{RECALL}	回读持续时间	—	200	—	200	μ s

开关波形

图 10. $\overline{CE}$ 和 $\overline{OE}$ 控制着软件存储 / 回读周期大小 [40]

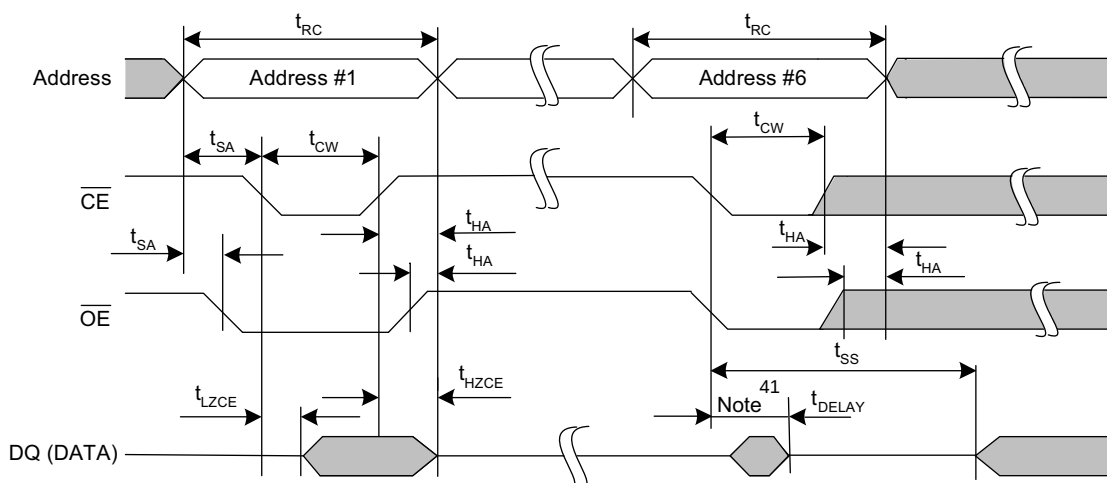
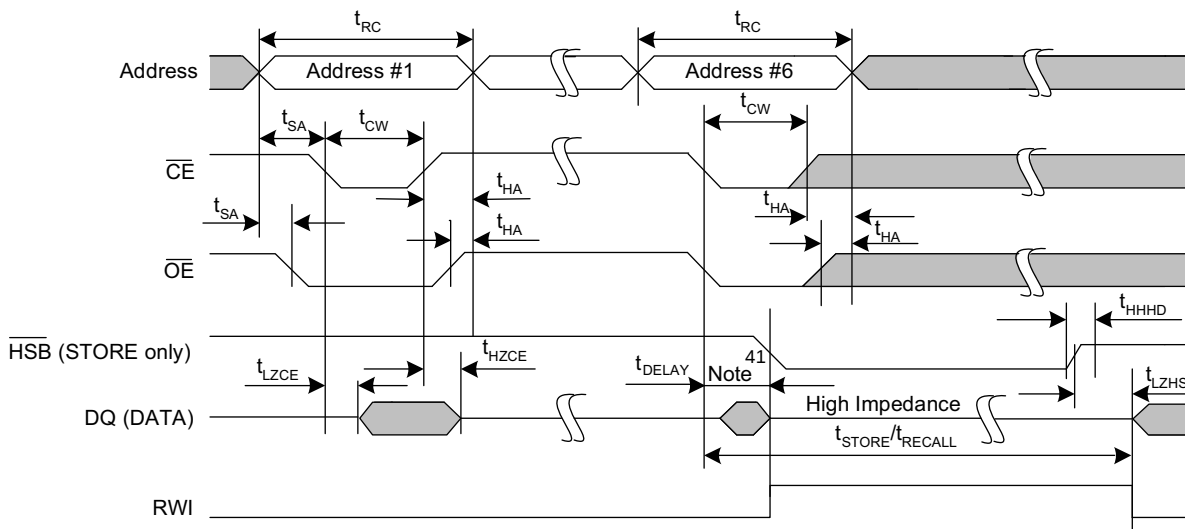


图 11. 自动存储使能 / 禁用周期



注释:

39. 软件序列由 $\overline{CE}$ 或 $\overline{OE}$ 所控制的读操作提供时钟脉冲。

40. 必须按第 5 页上的表 1 列出的顺序读取六个连续地址。在六个连续周期内, $\overline{WE}$ 必须保持为高电平状态。

41. 由于在 t_{DELAY} 时间内输出被禁用, 因此第六次读取的 DQ 输出数据可能无效。

硬件存储周期

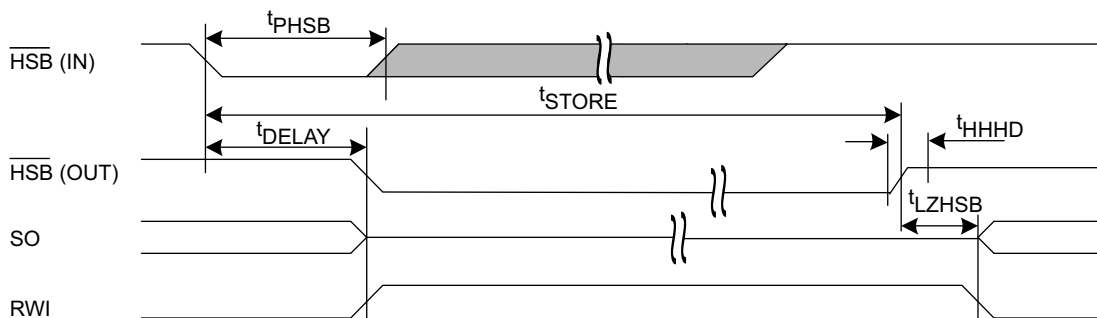
在工作范围内

参数	说明	CY14V101LA/CY14V101NA		单位
		最小值	最大值	
t_{DHSB}	未设置写入锁存时 HSB 到输出有效的时间	—	25	ns
t_{PHSB}	硬件存储脉冲宽度	15	—	ns
t_{SS} [42、43]	软序列处理时间	—	100	μs

开关波形

图 12. 硬件存储周期 [44]

Write Latch set



Write Latch not set

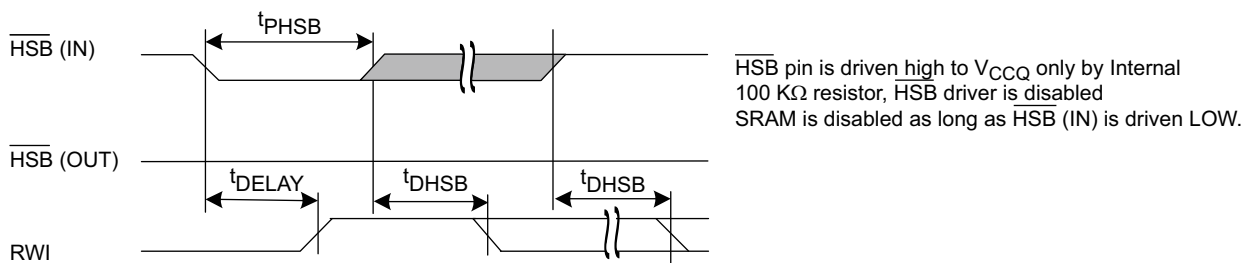
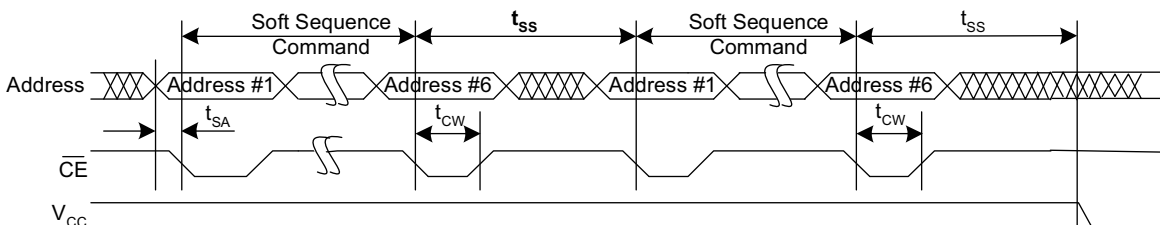


图 13. 软序列处理时间 [42、43]



注释:

42. 这是执行软序列指令所耗费的时间。V_{CC} 和 V_{CCQ} 电压必须保持高电平以保证有效地寄存指令。
43. 存储和回读等指令会锁定 I/O，直到操作完成为止，这样能够延长该时间。请参见特定的指令。
44. 如果最后一次非易失性循环完成后尚未对 SRAM 进行写操作，则将不会发生自动存储或硬件存储操作。

SRAM 操作的真值表

SRAM 操作过程中，必须保持 $\overline{\text{HSB}}$ 为高电平。

表 2. × 8 配置的真值表

CE	WE	OE	输入 / 输出 ^[45]	模式	电源
H	X	X	高阻态	取消选择 / 断电	待机
L	H	L	数据输出 (DQ ₀ –DQ ₇)	读取	活动
L	H	H	高阻态	输出处于禁用状态	活动
L	L	X	数据输入 (DQ ₀ –DQ ₇)	写入	活动模式

表 3. × 16 配置的真值表

CE	WE	OE	$\overline{\text{BHE}}$ ^[46]	$\overline{\text{BLE}}$ ^[46]	输入 / 输出 ^[45]	模式	电源
H	X	X	X	X	高阻态	取消选择 / 断电	待机
L	X	X	H	H	高阻态	输出处于禁用状态	活动
L	H	L	L	L	数据输出 (DQ ₀ –DQ ₁₅)	读取	活动
L	H	L	H	L	数据输出 (DQ ₀ –DQ ₇) ; DQ ₈ –DQ ₁₅ 处于高阻态	读取	活动
L	H	L	L	H	数据输出 (DQ ₈ –DQ ₁₅) ; DQ ₀ –DQ ₇ 处于高阻态	读取	活动
L	H	H	L	L	高阻态	输出处于禁用状态	活动
L	H	H	H	L	高阻态	输出处于禁用状态	活动
L	H	H	L	H	高阻态	输出处于禁用状态	活动
L	L	X	L	L	数据输入 (DQ ₀ –DQ ₁₅)	写入	活动
L	L	X	H	L	数据输入 (DQ ₀ –DQ ₇) ; DQ ₈ –DQ ₁₅ 处于高阻态	写入	活动
L	L	X	L	H	数据输入 (DQ ₈ –DQ ₁₅) ; DQ ₀ –DQ ₇ 处于高阻态	写入	活动

注释:

45. 数据 DQ₀–DQ₇ 适用于 × 8 配置; 数据 DQ₀–DQ₁₅ 适用于 × 16 配置。

46. BHE 和 BLE 仅适用于 × 16 配置。

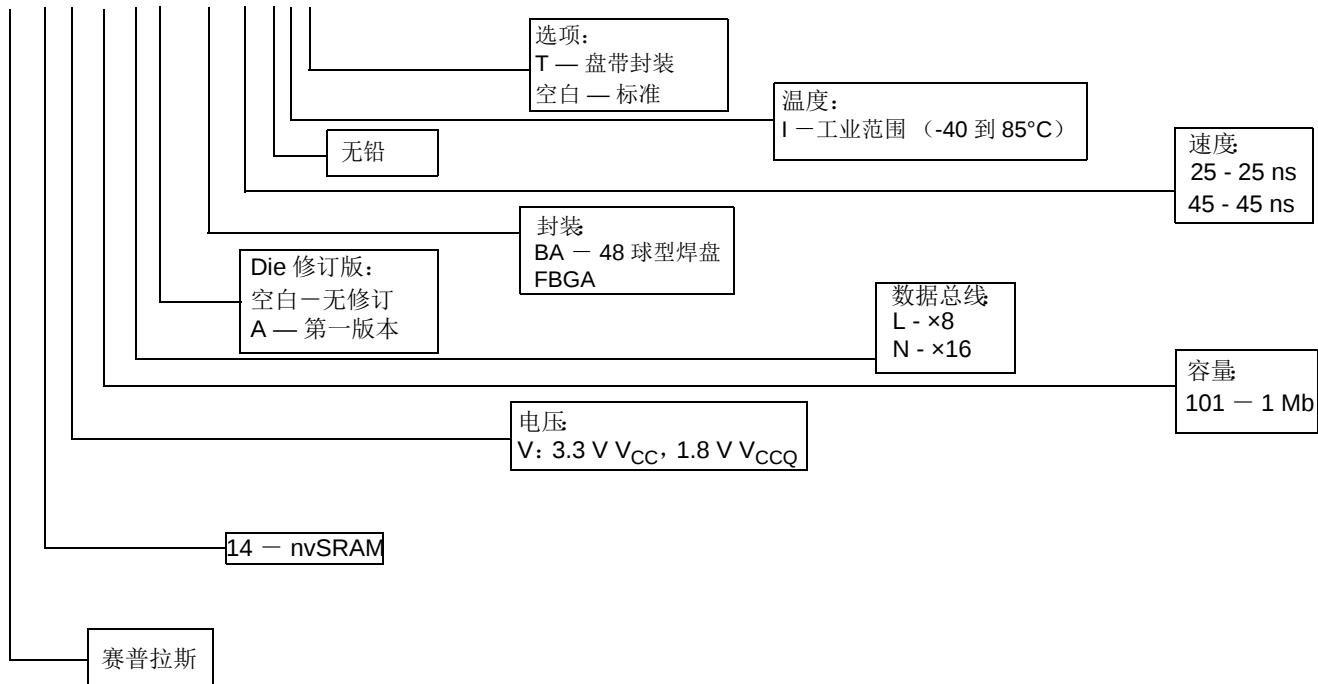
订购信息

速度 (ns)	订购代码	封装图	封装类型	工作范围
25	CY14V101LA-BA25XIT	51-85128	48 球形焊盘 FBGA	工业级
	CY14V101LA-BA25XI			
	CY14V101NA-BA25XIT			
	CY14V101NA-BA25XI			
45	CY14V101LA-BA45XIT			
	CY14V101LA-BA45XI			
	CY14V101NA-BA45XIT			
	CY14V101NA-BA45XI			

这些器件都是无铅的。上述列表包含了最终信息。要了解这些芯片的供应情况，请联系赛普拉斯本地销售代表。

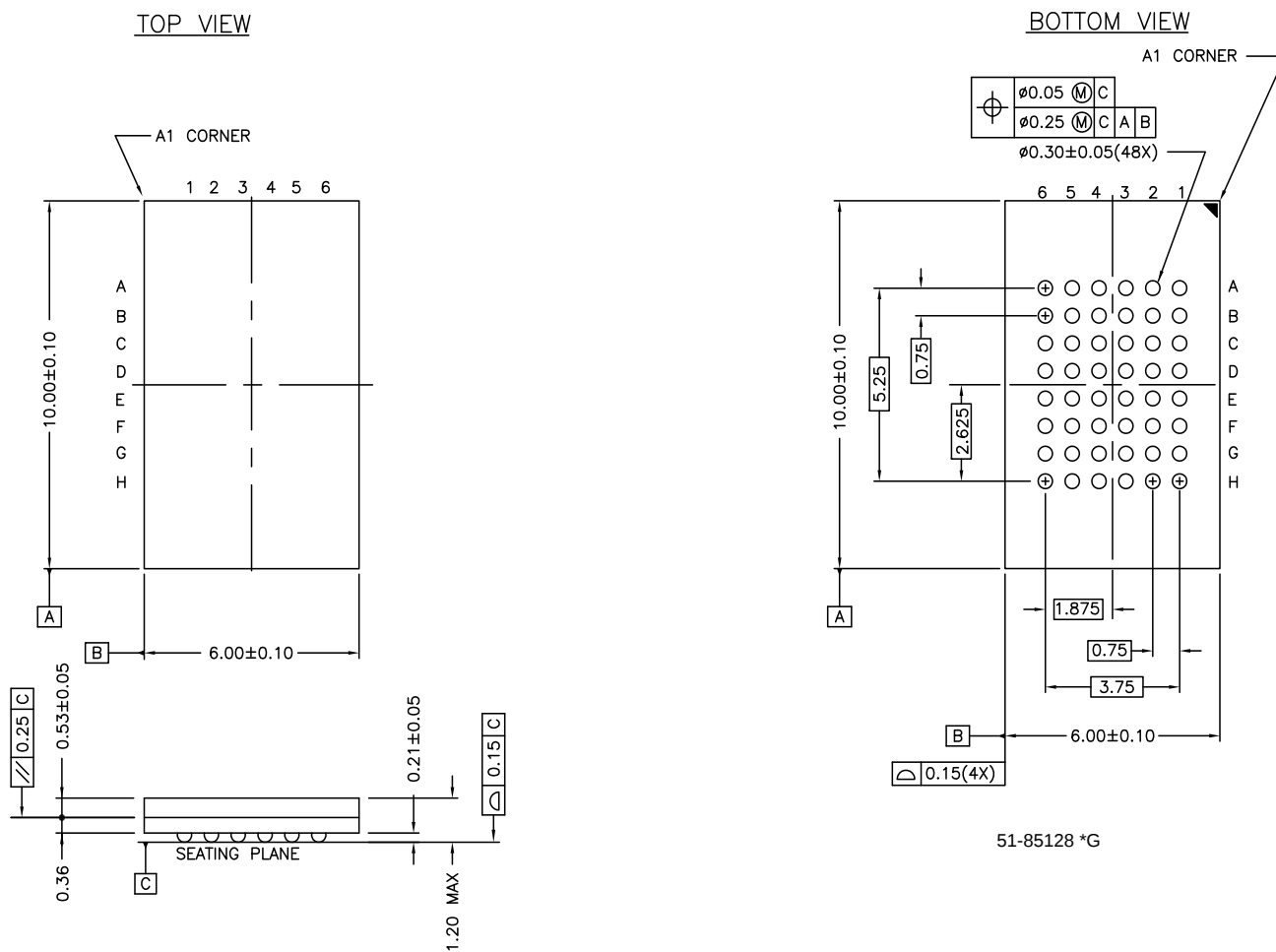
订购代码定义

CY 14 V 101 L A - BA 25 X I T



封装图

图 14. 48 球型焊盘 FBGA (6 × 10 × 1.2 mm) BA48B 封装外形, 51-85128



缩略语

缩略语	说明
BHE	字节高电平使能
BLE	字节低电平使能
$\overline{\text{CE}}$	芯片使能
CMOS	互补金属氧化物半导体
EIA	电子工业联盟
FBGA	小间距球栅阵列
HSB	硬件存储繁忙
I/O	输入 / 输出
nvSRAM	非易失性静态随机存取存储器
OE	输出使能
SRAM	静态随机存取存储器
RoHS	有害物质限制
RWI	禁止读和写
WE	写使能

文档规范

测量单位

符号	测量单位
°C	摄氏度
k Ω	千欧姆
μA	微安
mA	毫安
mm	毫米
μF	微法
MHz	兆赫兹
μs	微秒
ms	毫秒
ns	纳秒
Ω	欧姆
%	百分比
pF	皮法
V	伏特
W	瓦特

文档修订记录页

文档标题: CY14V101LA/CY14V101NA, 1 Mbit (128 K × 8/64 K × 16) nvSRAM 文档编号: 001-95815				
版本	ECN 编号	变更者	提交日期	变更说明
**	4691554	LYAO	03/30/2015	本文档版本号为 Rev**, 译自英文版 001-53953 Rev*K。

销售、解决方案和法律信息

全球销售和设计支持

赛普拉斯公司拥有一个由办事处、解决方案中心、厂商代表和经销商组成的全球性网络。要找到距您最近的办事处，请访问[赛普拉斯所在地](#)。

产品

汽车级产品	cypress.com/go/automotive
时钟与缓冲器	cypress.com/go/clocks
接口	cypress.com/go/interface
照明与电源控制	cypress.com/go/powerpsoc cypress.com/go/plc
存储器	cypress.com/go/memory
PSoC	cypress.com/go/psoc
触摸感应产品	cypress.com/go/touch
USB 控制器	cypress.com/go/USB
无线 / 射频	cypress.com/go/wireless

PSoC® 解决方案

psoc.cypress.com/solutions
PSoC 1 | PSoC 3 | PSoC 4 | PSoC 5LP

赛普拉斯开发者社区

[社区](#) | [论坛](#) | [博客](#) | [视频](#) | [训练](#)

技术支持

cypress.com/go/support

© 赛普拉斯半导体公司，2009-2015。此处，所包含的信息可能会随时更改，恕不另行通知。除赛普拉斯产品内嵌的电路外，赛普拉斯半导体公司不对任何其他电路的使用承担任何责任。也不会以明示或暗示的方式授予任何专利许可或其他权利。除非与赛普拉斯签订明确的书面协议，否则赛普拉斯不保证产品能够用于或适用于医疗、生命支持、救生、关键控制或安全应用领域。此外，对于可能发生运转异常和故障并对用户造成严重伤害的生命支持系统，赛普拉斯不授权将其产品用作此类系统的关键组件。若将赛普拉斯产品用于生命支持系统，则表示制造商将承担因此类使用而招致的所有风险，并确保赛普拉斯免于因此而受到任何指控。

所有源代码（软件和/或固件）均归赛普拉斯半导体公司（赛普拉斯）所有，并受全球专利法规（美国和美国以外的专利法规）、美国版权法以及国际条约规定的保护和约束。赛普拉斯据此向获许可者授予适用于个人的、非独占性、不可转让的许可，用以复制、使用、修改、创建赛普拉斯源代码的派生作品、编译赛普拉斯源代码和派生作品，并且其目的只能是创建自定义软件和/或固件，以支持获许可者仅将其获得的产品依照适用协议规定的方式与赛普拉斯集成电路配合使用。除上述指定的用途外，未经赛普拉斯明确的书面许可，不得对此类源代码进行任何复制、修改、转换、编译或演示。

免责声明：赛普拉斯不针对此材料提供任何类型的明示或暗示保证，包括（但不限于）针对特定用途的适销性和适用性的暗示保证。赛普拉斯保留在不做出通知的情况下对此处所述材料进行更改的权利。赛普拉斯不对此处所述之任何产品或电路的应用或使用承担任何责任。对于合理预计可能发生运转异常和故障，并对用户造成严重伤害的生命支持系统，赛普拉斯不授权将其产品用作此类系统的关键组件。若将赛普拉斯产品用于生命支持系统中，则表示制造商将承担因此类使用而招致的所有风险，并确保赛普拉斯免于因此而受到任何指控。

产品使用可能适用于赛普拉斯软件许可协议的限制。