

具有实时时钟功能的 1-Mbit (128 K × 8) 串行 (SPI) nvSRAM

特性

- 1 Mbit 非易失性静态随机存取存储器 (nvSRAM)
 - 内部采用 128K × 8 的组织方式
 - 在断电时自动启动 (自动存储) 或者由用户使用 SPI 指令 (软件存储) 或 HSB 引脚 (硬件存储) 启动到 QuantumTrap 非易失性元件的存储
 - 在加电时触发回读至 SRAM (加电回读) 或通过 SPI 指令触发回读至 SRAM (软件回读)
 - 只需一个小电容, 即可在断电时实现自动存储
- 可靠性高
 - 无限次读、写和回读循环
 - 一百万次 QuantumTrap 存储循环
 - 数据保留时间: 20 年 (85°C)
- 实时时钟 (RTC)
 - 功能齐全的 RTC
 - 看门狗定时器
 - 带可编程中断的时钟警报
 - 备用电源失败指示
 - 可编程频率 (1 Hz、512 Hz、4096 Hz、32.768 kHz) 方波输出
 - RTC 备用电容或电池
 - 备用电流为 0.45 μA (典型值)
- 40 MHz 和 104 MHz 高速串行外接口 (SPI)
 - 40 MHz 时钟频率 SPI 读写, 循环延迟为零
 - 104 MHz 时钟频率 SPI 读写 (使用特殊快速读取指令)
 - 支持 SPI 模式 0 (0,0) 和模式 3 (1,1)
- 对特殊功能的 SPI 访问
 - 非易失性存储 / 回读
 - 8 字节序列号
 - 制造商 ID 和产品 ID
 - 睡眠模式

■ 写保护

- 使用写保护 (WP) 引脚提供硬件保护
- 使用写禁用指令提供软件保护
- 可为 1/4、1/2 或整个阵列提供软件模块保护

■ 低功耗

- 频率为 40 MHz 时, 平均有功电流为 3 mA
- 待机模式下的平均电流为 250 μA
- 睡眠模式下的电流为 8 μA

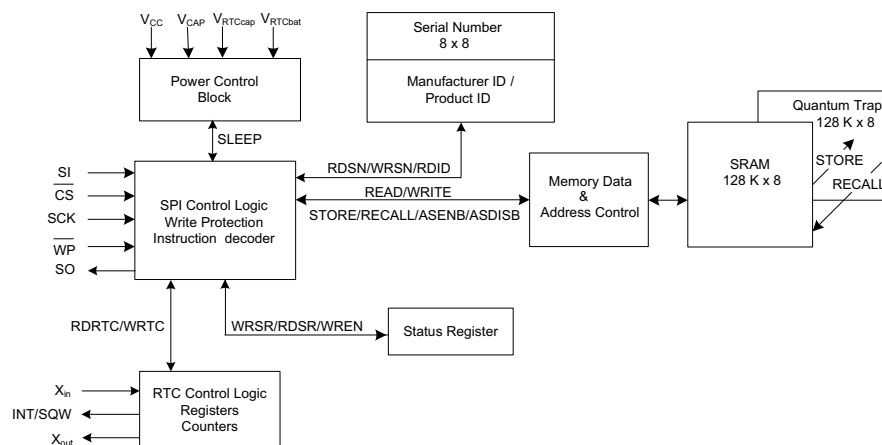
■ 行业标准配置

- 工作电压:
 - CY14C101PA: $V_{CC} = 2.4 \text{ V}$ 至 2.6 V
 - CY14B101PA: $V_{CC} = 2.7 \text{ V}$ 至 3.6 V
 - CY14E101PA: $V_{CC} = 4.5 \text{ V}$ 至 5.5 V
- 工业级温度
- 16 引脚小外形集成电路 (SOIC) 封装
- 符合有害物质限制 (RoHS)

概述

赛普拉斯 CY14X101PA 将 1 Mbit 的 nvSRAM^[1] 和功能齐全的 RTC 通过串行 SPI 接口整合在了一个单片集成电路中。该存储器采用“128 K 字, 每字 8 位”的组织方式。嵌入式非易失性元件通过采用 QuantumTrap 技术, 打造出了世界上最可靠的非易失性存储器。SRAM 能够实现无限次读写循环, 而 QuantumTrap 单元则能够提供高度可靠的非易失性数据存储空间。断电时, 数据会从 SRAM 自动转移到非易失性元件中 (“存储”操作)。加电时, 数据会从非易失性存储器回读到 SRAM (“回读”操作)。也可通过 SPI 指令触发“存储”和“回读”操作。

逻辑框图



注

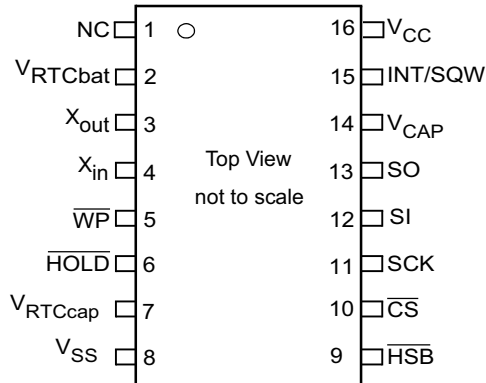
1. 在整个文档中该组件称为 nvSRAM。

目录

引脚分布	3	FAST_RDSN	
引脚定义	3	(序列号快速读取) 指令	18
组件操作	4	组件 ID	19
SRAM 写入	4	RDID (组件 ID 读取) 指令	19
SRAM 读取	4	FAST_RDID (组件 ID 快速读取) 指令	20
存储操作	4	保持引脚操作	20
自动存储操作	4	实时时钟操作	21
软件存储操作	5	nvTIME 操作	21
硬件存储和 HSB 引脚操作	5	时钟操作	21
回读操作	5	读取时钟	21
硬件回读 (加电)	5	设置时钟	21
软件回读	5	备用电源	21
禁用和启用自动存储	5	停止和启动振荡器	21
串行外设接口	6	校准时钟	22
SPI 概述	6	警报	22
SPI 模式	7	看门狗定时器	22
SPI 操作功能	8	可编程方波发生器	23
加电	8	功耗监控器	23
断电	8	备用电源监控器	23
有功功率模式和待机功率模式	8	中断	23
SPI 功能说明	9	中断寄存器	23
状态寄存器	10	标志寄存器	24
读取状态寄存器 (RDSR) 指令	10	最大额定值	30
快速读取状态寄存器		工作范围	30
(FAST_RDSR) 指令	10	直流电气特性	30
写入状态寄存器 (WRSR) 指令	10	数据保留与耐久性	31
写入保护和模块保护	11	电容	31
写入启用 (WREN) 指令	11	热阻	32
写入禁用 (WRDI) 指令	12	交流测试负载和波形	32
模块保护	12	交流测试条件	32
硬件写入保护 (WP 引脚)	12	RTC 特性	33
存储器访问	12	交流开关特性	33
读取序列 (READ) 指令	12	开关波形	34
快速读取序列 (FAST_READ) 指令	12	自动存储或加电回读	35
写入序列 (WRITE) 指令	13	开关波形	35
RTC 访问	15	软件控制的存储 / 回读循环	36
读取 RTC (RDRTC) 指令	15	开关波形	36
快速读取序列		硬件存储循环	37
(FAST_RDRTC) 指令	15	开关波形	37
写入 RTC (WRTC) 指令	16	订购信息	38
nvSRAM 特殊指令	16	订购代码定义	38
软件存储 (STORE) 指令	16	封装图	39
软件回读 (RECALL) 指令	16	缩略语	40
自动存储启用 (ASENB) 指令	16	文档规范	40
自动存储禁用 (ASDISB) 指令	17	测量单位	40
特殊指令	17	文档修订记录页	41
睡眠指令	17	销售、解决方案和法律信息	42
序列号	17	全球销售和 design 支持	42
WRSN (序列号写入) 指令	17	产品	42
RDSN (序列号读取) 指令	18	PSoC 解决方案	42

引脚分布

图 1. 16 引脚 SOIC 的引脚分布



引脚定义

引脚名称	I/O 类型	说明
CS	输入	芯片选择：当置于低电平状态时，激活该组件。驱动该引脚至高电平可以将组件置于低功耗待机模式。
SCK	输入	串行时钟：以 f_{SCK} 的最大速度运行。串行输入被锁存在本时钟的上升沿。串行输出被锁存在本时钟的下降沿。
SI	输入	串行输入：用于输入所有 SPI 指令和数据的引脚。
SO	输出	串行输出：用于通过 SPI 输出数据的引脚。
WP	输入	写保护：在 SPI 中实现硬件写入保护。
HOLD	输入	HOLD 引脚：暂停串行操作
HSB	输入 / 输出	硬件存储繁忙： 输出：低电平时指示 nvSRAM 繁忙状态。在每次硬件和软件存储操作之后， $\overline{HSB}$ 通过标准输出高电流变为高电平一小段时间 (t_{HHHD})，然后通过内部弱上拉电阻一直保持高电平（外部上拉电阻连接可选）。 输入：通过从外部将引脚置于低电平状态实现硬件存储。
V _{CAP}	电源	自动存储电容。在将数据从 SRAM 存储到非易失性元件的过程中断电时为 nvSRAM 提供电源。如果不需要自动存储，则必须将该引脚置于“无连接”状态。该引脚绝对不可以接地。
V _{RTCcap} ^[2]	电源	RTC 备用电容：如果使用 V _{RTCbat} ，则必须保持未连接状态。
V _{RTCbat} ^[2]	电源	RTC 备用电池：如果使用 V _{RTCcap} ，则必须保持未连接状态。
X _{out} ^[2]	输出	晶振输出连接
X _{in} ^[2]	输入	晶振输入连接
INT/SQW ^[2]	输出	中断输出 / 校准 / 方波。可编程，以响应时钟警报、看门狗定时器和功耗监控器。还可通过编程设置为高电平（推或拉）或低电平（开漏）有效。在校准模式下，可输出 512 Hz 方波。在方波模式下，用户可选择 1 Hz、512 Hz、4096 Hz 或 32768 Hz 频率做为连续输出。
NC	无连接	无连接。该引脚未连接到 die。
V _{SS}	电源	接地
V _{CC}	电源	电源

注

2. 如果不使用 RTC 功能，则必须让其保持未连接状态。

组件运行

CY14X101PA 是 1 Mbit nvSRAM 存储器，带集成 RTC 和 SPI 接口。对 nvSRAM 的所有读取和写入操作都发生在 SRAM 上，它为 nvSRAM 提供独一无二的处理无限次存储器写入操作的能力。SRAM 中的数据由存储序列保护，该序列将数据并行传输到非易失性 QuantumTrap 单元中。小电容 (V_{CAP}) 用于在断电时将 SRAM 数据自动存储到非易失性单元中，从而在断电时保障数据安全。通过可靠的 SONOS 技术制造的 QuantumTrap 非易失性元件使 nvSRAM 成为保护数据存储安全的最理想选择。

在 CY14X101PA 中，1 Mbit 存储器阵列采用“128 K 字，每字 8 位”的组织方式。该存储器可以通过标准 SPI 接口访问，该接口可以实现高达 40 MHz 的高时钟速度，且具有零循环延迟的读取和写入循环。nvSRAM 芯片支持 104 MHz 的 SPI 访问速度并通过特殊指令进行读取操作。CY14X101PA 支持 SPI 模式 0 和模式 3 (CPOL, CPHA = 0, 0 和 1, 1)，并做为 SPI 从组件工作。组件使用芯片选择 (CS) 引脚启用，通过串行输入 (SI)、串行输出 (SO) 和串行时钟 (SCK) 引脚访问。

CY14X101PA 通过 $\overline{WP}$ 引脚和 WRDI 指令提供硬件和软件写保护功能。CY14X101PA 还使用状态寄存器中的 BP0 和 BP1 引脚提供模块写保护机制 (1/4、1/2 或全阵列)。而且，HOLD 引脚可用于在未复位串行序列的情况下暂停任何串行通信。

CY14X101PA 使用标准 SPI 操作码进行存储器访问。除了用于读和写的通用 SPI 指令，CY14X101PA 还提供四个特殊指令，通过这四个特殊指令可以使用四个 nvSRAM 特定功能：存储、回读、自动存储禁用 (ASDISB) 和自动存储启用 (ASENB)。

nvSRAM 与串行 EEPROM 相比的主要优点是对 nvSRAM 的所有读和写操作都以 SPI 总线的速度执行，且循环延迟为零。因此，在任何存储器访问之后不需要等待时间。存储和回读操作需要有限时间来完成，在此期间将禁止所有存储器访问。当存储或回读操作进行时，组件的繁忙状态将由硬件存储繁忙 (HSB) 引脚指示，并且在状态寄存器的 RDY 位上反映出来。

SRAM 写入

对 nvSRAM 的所有写操作都在 SRAM 上执行，不会用完非易失性存储器的任何耐久性循环。这允许您执行无限次的写入操作。通过 WRITE 指令执行写循环。WRITE 指令通过 nvSRAM 的 SI 引脚发出，由 WRITE 操作码、三个字节的地址和一个字节的数据组成。对 nvSRAM 的写操作以 SPI 总线速度完成，并且循环延迟为零。

CY14X101PA 可以通过 SPI 执行突发模式写操作。这可以在不发出新的 WRITE 指令的情况下在连续的地址上启用写操作。当在突发模式到达存储器的最后一个地址时，地址翻转为 0x00000，该组件继续写入。

SPI 写循环序列在 SPI 协议说明的“存储器访问”一节中定义。

SRAM 读取

读取循环以 SPI 总线速度执行。在执行 READ 指令之后，可在零循环延迟的情况下读出数据。可用最大 40 MHz 的时钟速度使用 READ 指令。READ 指令通过 nvSRAM 的 SI 引脚发出，由 READ 操作码和三个字节的地址组成。该数据在 SO 引脚上读出。

如果速度超过 40 MHz (最大 104 MHz)，要求使用 FAST_READ 指令。FAST_READ 指令通过 nvSRAM 的 SI 引脚发出，由 FAST_READ 操作码和三个字节的地址和一个虚拟字节组成。该数据在 SO 引脚上读出。

CY14X101PA 可以通过 SPI 执行突发模式读操作。这可以在不发出新的 READ 指令的情况下在连续的地址上启用写操作。当在突发模式读取中到达存储器的最后一个地址时，地址翻转为 0x00000，该组件继续读取。

SPI 读循环序列在 SPI 协议说明的“存储器访问”一节中定义。

存储操作

存储操作将 SRAM 中的数据传送到非易失性 QuantumTrap 单元。CY14X101PA 使用三个存储操作之一将数据存储到非易失性单元：自动存储，组件断电时激活；软件存储，通过 STORE 指令激活；和硬件存储，通过 HSB 激活。在存储循环期间，首先擦除上一个非易失性数据，接下来执行非易失性元件程序。启动存储循环后，将禁止对 CY14X101PA 的读/写操作，直到循环完成。

系统可以监控状态寄存器中的 HSB 信号或 RDY 位以检测存储或软件回读循环是否在进行中。nvSRAM 的繁忙状态由被拉为低电平的 HSB 或被设置为“1”的 RDY 位指示。为了避免不必要的非易失性存储，将忽略自动存储和硬件存储操作，除非在最新的存储或回读循环之后发生了至少一次写操作。但是，无论是否发生写操作，都会执行软件触发的存储循环。

自动存储操作

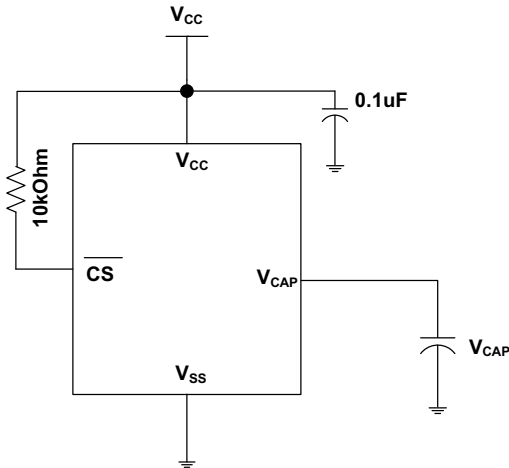
自动存储操作是 nvSRAM 的独有特性，可在断电期间自动将 SRAM 数据存储到 QuantumTrap 单元中。该存储利用外部电容 (V_{CAP})，在断电时，让组件可以安全地将数据存储到非易失性存储器中。

在正常工作时，组件从 V_{CC} 得到电流以对与 V_{CAP} 引脚连接的电容充电。在断电期间，当 V_{CC} 引脚上的电压降到 V_{SWITCH} 以下时，组件将禁止对 nvSRAM 的所有存储器访问，并使用来自 V_{CAP} 电容的电荷自动执行有条件的存储操作。如果在上一次回读之后未执行写入循环，则不触发自动存储操作。

注意：如果电容未连接至 V_{CAP} 引脚，则必须通过发出自动存储禁用指令 (第 17 页上的自动存储禁用 (ASDISB) 指令) 对自动存储进行禁用。如果在没有 V_{CAP} 引脚上的电容的情况下启用自动存储，则组件将在没有足够电荷的情况下尝试自动存储操作以完成存储。这将破坏 nvSRAM 中存储的数据、状态寄存器和序列号，并使 SNL 位解锁。若要恢复正常功能，必须发出 WRSR 指令以更新状态寄存器中的非易失性位 BP0、BP1 和 WPEN。

图 2 显示自动存储操作之存储电容 (V_{CAP}) 的正确连接。请参考第 30 页上的直流电气特性了解 V_{CAP} 的大小。

图 2. 自动存储模式



软件存储操作

软件存储可让用户通过特殊 SPI 指令触发存储操作。无论在上一次 NV 操作之后是否执行了写操作，都通过执行 STORE 指令启动存储操作。

存储循环需要 t_{STORE} 的时间才能完成，在此期间，所有对 nvSRAM 的存储器访问都被禁止。可以轮询状态寄存器的 RDY 位或 HSB 引脚以查找 nvSRAM 的就绪 / 繁忙状态。完成 t_{STORE} 循环时间后，SRAM 再次被激活以进行读和写操作。

硬件存储和 HSB 引脚操作

CY14X101PA 中的 HSB 引脚用于控制和确认存储操作。如果没有进行中的存储/回读操作，该引脚可以用于请求硬件存储循环。当 HSB 引脚被置为低电平时，CY14X101PA 在 t_{DELAY} 时间之后有条件地启动存储操作。存储循环仅在上一个存储或回读循环之后已经执行对 SRAM 写操作时开始。对存储器的读和写操作将被禁止 t_{STORE} 时间或在 HSB 引脚为低电平时都被禁止。HSB 引脚还起到开漏驱动器（内部 100 k Ω 弱上拉电阻）的作用，它在进行（通过任何手段触发的）存储时在内部变为低电平以指示繁忙状态。

注意：在每次硬件和软件存储操作之后，HSB 通过标准输出高电流变为高电平一小段时间 (t_{HHHD})，然后通过内部 100 k Ω 上拉电阻一直保持高电平。

注意：要成功进行上一个数据字节存储，硬件存储必须在收到上一个数据位 D0 之后的至少一个时钟周期时启动。

存储操作完成后，在 HSB 引脚变回高电平后，nvSRAM 存储器访问将被禁止 t_{LZHSB} 的时间。如果不使用 HSB 引脚，则必须让其保持未连接状态。

回读操作

回读操作将存储在非易失性 QuantumTrap 元件中存储的数据传输到 SRAM。在 CY14X101PA 中，回读可通过两种方式启动：硬件回读，在加电时启动；软件回读，通过 SPI 回读指令启动。

在内部，回读是两步程序。首先，清除 SRAM 数据。然后，将非易失性信息传输到 SRAM 单元。在进行回读循环时，所有存储器访问都将被禁止。回读操作不会更改非易失性元件中数据。

硬件回读（加电）

加电期间，当 V_{CC} 超过 V_{SWITCH} 时，将启动自动回读序列，将非易失性存储器的内容传输到 SRAM。数据之前已通过存储序列存储在非易失性存储器中。

加电回读循环需要 t_{FA} 的时间才能完成，在此期间，存储器访问将被禁用。HSB 引脚用于检测组件的就绪状态。

软件回读

软件回读可让您启动回读操作以将非易失性存储器上的内容重新存储到 SRAM 上。在 CY14X101PA 中，这可以通过在 SPI 中发出 RECALL 指令来完成。

软件回读需要 t_{RECALL} 时间才能完成，在此期间，对 nvSRAM 的所有存储器访问都被禁止。控制器必须在发出任何存储器访问指令之前提供完成回读操作所需的足够延迟。

禁用和启用自动存储

如果应用不需要自动存储功能，可通过 ASDISB 指令在 CY14X101PA 中禁用该功能。这样做之后，nvSRAM 在断电时将不会执行存储操作。

使用 ASENb 指令可以重新启用自动存储。但是，这些操作不是非易失性操作。如果您需要该设置来保持电源循环，则必须在自动存储禁用或启用操作之后执行存储操作。

注意：CY14X101PA 出厂时已启用自动存储。

Note：如果禁用自动存储，且不需要 V_{CAP} ，则必须让 V_{CAP} 引脚保持开路状态。 V_{CAP} 引脚绝对不可以接地。在任何情况下都不能禁用加电回读操作。

串行外设接口

SPI 概述

SPI 是带有芯片选择 ($\overline{CS}$)、串行输入 (SI)、串行输出 (SO) 和串行时钟 (SCK) 引脚的四引脚接口，CY14X101PA 通过 SPI 接口提供对 nvSRAM 的串行访问。除 RDRTC 和 READ 指令外，CY14X101PA 的 SPI 总线可在最大 104 MHz 的速度下运行。

SPI 是同步的串行接口，使用时钟和数据引脚进行存储器访问并支持数据总线上的多个组件。使用 $\overline{CS}$ 引脚可激活 SPI 总线组件。

芯片选择、时钟和数据之间的关系是由 SPI 模式决定的。CY14X101PA 支持 SPI 模式 0 和模式 3。在两种模式下，数据都将在 SCK 上升沿时钟脉冲打入 nvSRAM（从 $\overline{CS}$ 变为有效之后的第一个上升沿）。

SPI 协议由操作码控制。这些操作码规定了从总线主组件到从组件的所有命令。激活 $\overline{CS}$ 后，总线主组件传输的第一个字节便是操作码。在操作码之后，可以传输地址和数据。在完成某个操作并发出新的操作码之前， $\overline{CS}$ 必须变为有效。

以下是 SPI 协议中常用的术语：

SPI 主组件

SPI 主组件控制 SPI 总线上的操作。SPI 总线上仅有一个主组件，但可有一个或多个从组件。所有从组件共享同一 SPI 总线。主组件可通过 $\overline{CS}$ 引脚选择任一从组件。要启动操作，必须由主组件将从组件的 $\overline{CS}$ 引脚置于低电平状态来激活从组件。主组件生成串行时钟，SI 和 SO 线上的所有数据传输均与此时钟同步。

SPI 从组件

SPI 从组件由主组件通过芯片选择线激活。从组件将串行时钟做为经由 SPI 主组件的输入，所有通信均与此时钟同步。SPI 从组件不会在 SPI 总线上启动通信，也不会执行主组件发出的指令。

CY14X101PA 作为从组件工作，并与多个 CY14X101PA 组件或其他 SPI 组件共享 SPI 总线。

芯片选择 ($\overline{CS}$)

要选择任一从组件，主组件须下拉相应 $\overline{CS}$ 引脚。仅当 $\overline{CS}$ 引脚被置于低电平状态时，可发出任何指令到从组件。

当 $\overline{CS}$ 引脚被置于低电平状态时，可选择 CY14X101PA。未选择组件时，通过 SI 引脚数据被忽略，串行输出引脚 (SO) 保持高阻抗状态。

注意：新指令必须从 $\overline{CS}$ 的下降沿开始。因此，对每个活动的芯片选择循环只可发出一个操作码。

串行时钟 (SCK)

串行时钟由 SPI 主组件生成，在 $\overline{CS}$ 变为低电平后通信与该时钟同步。

CY14X101PA 运行采用 SPI 模式 0 和模式 3 进行数据通信。在两种模式下，输入被从组件在 SCK 的上升沿锁存，输出在下降沿发出。因此，SCK 的第一个上升沿代表 SI 引脚上 SPI 指令的第一位 (MSB) 的到达。此外，所以数据输入和输出均与串行时钟同步。

数据传输 SI/SO

SPI 数据总线由 SI 和 SO 两条线组成，可用于串行数据通信。SI 也称为主出从入 (MOSI)，SO 也称为主入从出 (MISO)。主组件通过 SI 引脚发出指令到从组件，从组件通过 SO 引脚进行响应。如上所述，多个从组件可共享 SI 和 SO 线。

CY14X101PA 为 SI 和 SO 提供两个独立的引脚，可连接至主组件，如第 7 页上的图 3 所示。

最高有效位 (MSB)

SPI 协议要求发送的第一位为最高有效位 (MSB)。该条件对地址和数据传输均有效。

CY14X101PA 要进行任何读或写操作，要求使用 3 字节地址。由于地址只有 17 位，所以组件会忽略载入的前七位。虽然无需关注前七位，但赛普拉斯建议将这些位当做 0，以通过无缝切换实现更高存储密度。

串行操作码

通过将 $\overline{CS}$ 置于低电平选择从组件后，可将收到的第一个字节做为操作码进行期望的操作。

CY14X101PA 使用标准操作码进行存储器访问。除存储器访问外，CY14X101PA 提供额外的操作码用于 nvSRAM 的特定功能存储、回读、自动存储启用和自动存储禁用。有关操作码的详细信息，请参见第 9 页上的表 1。

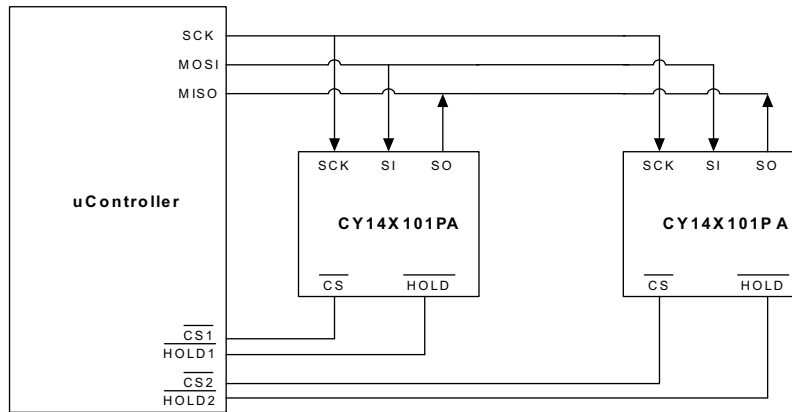
无效的操作码

如果收到无效的操作码，操作码将被忽略。组件将忽略在 SI 引脚上的任何额外串行数据，直到 $\overline{CS}$ 的下一个下降沿，SO 引脚保持三态。

状态寄存器

CY14X101PA 有一个 8 位的状态寄存器。状态寄存器中的位用于配置 SPI 总线。第 10 页上的表 3 对这些位进行了说明。

图 3. 采用 SPI nvSRAM 进行系统配置



SPI 模式

CY14X101PA 要驱动组件，可通过微控制器及 SPI 外设任以下两种模式中任一模式下运行：

- SPI 模式 0 (CPOL = 0, CPHA = 0)
- SPI 模式 3 (CPOL = 1, CPHA = 1)

在两种模式下，输入数据在 SCK 的上升沿被锁存（从 $\overline{CS}$ 变为有效之后的第一个上升沿开始）。如果时钟从高电平状态启动（在模式 3 中），第一个上升沿即为时钟触发后的第一个上升沿。输出数据在 SCK 的下降沿可用。

两种 SPI 模式如图 4 和图 5 所示。当总线主组件处于待机模式且不传输数据时，时钟的状态为：

- 模式 0 下，串行时钟保持为 0。
- 模式 3 下，串行时钟保持为 1。

模式 0 或模式 3 下，应在 SPI 控制器中设置 CPOL 和 CPHA 位。当通过将 $\overline{CS}$ 引脚变为低电平选择组件后，CY14X101PA 从 SCK 引脚的状态检测 SPI 模式。选择组件时如果 SCK 引脚处于低电平状态，则采用 SPI 模式 0。如果 SCK 引脚处于高电平状态，CY14X101PA 在 SPI 模式 3 下工作。

图 4. SPI 模式 0

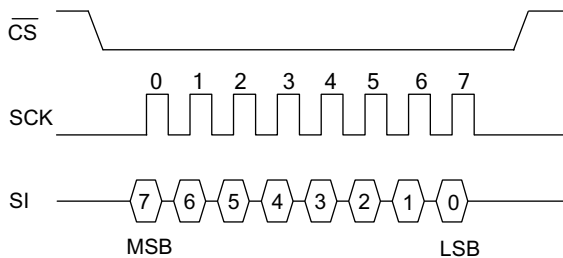
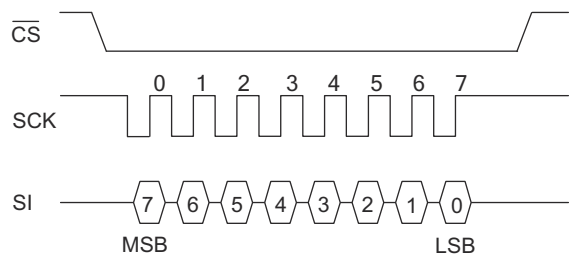


图 5. SPI 模式 3



SPI 操作功能

加电

当开启电源后 V_{CC} 超过 V_{switch} 电压时即为加电。

如上所述，在加电时，nvSRAM 进行加电回读操作，持续 t_{FA} 的时间。在此期间，所有存储器访问将被禁用。加电后，可检测 HSB 引脚以确定 nvSRAM 的就绪 / 繁忙状态。

以下为加电后的组件状态：

- 如果 $\overline{CS}$ 引脚处于低电平状态，则组件被选中（有效功耗模式）
- 如果 $\overline{CS}$ 引脚处于高电平状态，则组件未选中（待机功耗模式）
- 不处于保持条件
- 状态寄存器的状态：
 - 写入启用 (WEN) 位被复位为“0”。
 - WPEN、BP1 和 BP0 位从上一次存储操作后保持不变。

状态寄存器的 WPEN、BP1 和 BP0 位为非易失性位且从上一次存储操作后保持不变。

断电

断电时（ V_{CC} 连续减小），当 V_{CC} 上的电压从正常工作电压开始下降直至低于 V_{SWITCH} 的阈值电压时，组件对收到的任何指令停止响应。断电时，如果当前正在进行写循环且已经接收到最后一个数据位 D0，还有 t_{DELAY} 可完成写入。此后，将禁止所有存储器访问并进行有条件地自动存储操作（如果在上一次回读循环之后未执行写入，则不进行自动存储操作）。该功能用于在断电期间防止意外对 nvSRAM 进行写入。无论如何，为防止在断电期间意外写入发生，须确保组件处于未选中状态及待机功耗模式。CS 遵循应用于 V_{CC} 上的电压。

有功功耗模式和待机功耗模式

当 $\overline{CS}$ 处于低电平状态时，组件被选中且处于有功功耗模式。组件会消耗第 30 页上的直流电气特性中指定的 I_{CC} 电流。当 $\overline{CS}$ 处于高电平状态时，组件未选中。在 t_{SB} 后如果未进行存储或回读循环，则组件进入待机功耗模式。如果正在进行存储或回读循环，组件在完成存储或回读循环后进入待机功耗模式。在待机功耗模式中，由组件抽取的电流将下降至 I_{SB} 。

SPI 功能说明

CY14X101PA 采用 8 位指令寄存器。表 1 中列出了指令及对应操作代码。所有的指令、地址和数据都将首先传输 MSB，且从 $\overline{CS}$ 较高的电平向较低的电平过渡。共有 21 条 SPI 指令，用于提供对 nvSRAM 中大多数功能的访问。此外，WP、HOLD 和 HSB 引脚提供附加的通过硬件驱动的功能。

表 1. 指令集

指令类别	指令名	操作码	操作
状态寄存器控制指令			
状态寄存器访问	RDSR	0000 0101	读取状态寄存器
	FAST_RDSR	0000 1001	状态寄存器快速读取 – SPI 时钟 > 40 MHz
	WRSR	0000 0001	写入状态寄存器
写入保护和模块保护	WREN	0000 0110	设置写入启用锁存
	WRDI	0000 0100	复位写入启用锁存
SRAM 读 / 写指令			
存储器访问	读	0000 0011	从存储器阵列读取数据
	FAST_READ	0000 1011	快速读取 – SPI 时钟 > 40 MHz
	写	0000 0010	将数据写入存储器阵列
RTC 读 / 写指令			
RTC 访问	RDRTC	0001 0011	读取 RTC 寄存器
	FAST_RDRTC	0001 1101	RTC 寄存器快速读取 – SPI 时钟 > 25 MHz
	WRTC	0001 0010	写入 RTC 寄存器
特殊 NV 指令			
nvSRAM 特殊功能	STORE	0011 1100	软件存储
	RECALL	0110 0000	软件回读
	ASENB	0101 1001	自动存储启用
	ASDISB	0001 1001	自动存储禁用
特殊指令			
睡眠	SLEEP	1011 1001	睡眠模式启用
序列号	WRSN	1100 0010	写入序列号
	RDSN	1100 0011	读取序列号
	FAST_RDSN	1100 1001	序列号快速读取 – SPI 时钟 > 40 MHz
组件 ID 读取	RDID	1001 1111	读取制造商 JEDEC ID 和产品 ID
	FAST_RDID	1001 1001	制造商 JEDEC ID 和产品 ID 快速读取 – SPI 时钟 > 40 MHz
保留	- 保留 -	0001 1110	

CY14X101PA 中的 SPI 指令根据功能被分为以下几类：

■ 状态寄存器控制指令：

- 状态寄存器访问：RDSR、FAST_RDSR 和 WRSR 指令
- 写入保护和模块保护：与 WP 引脚和 WEN、BP0 和 BP1 位一起使用的 WREN 和 WRDI 指令

■ SRAM 读 / 写指令

- 存储器访问：READ、FAST_READ 和 WRITE 指令

■ RTC 读 / 写指令

- RTC 访问：RDRTC、FAST_RDRTC 和 WRTC 指令

■ 特殊 NV 指令

- nvSRAM 特殊指令：STORE、RECALL、ASENB 和 ASDISB

■ 特殊指令：SLEEP、WRSN、RDSN、FAST_RDSN、RDID 和 FAST_RDID 指令

状态寄存器

表 2 列出了状态寄存器的位。状态寄存器由就绪位 (RDY) 和数据保护位 BP1、BP0、WEN 和 WPEN 组成。可以在 nvSRAM 存储或软件回读循环进行的同时轮询 RDY 位以检查就绪 / 繁忙状态。状态寄存器可以通过 WRSR 指令进行修改，并通过 RDSR 或 FAST_RDSR 指令进行读取。但是，通过 WRSR 指令只能修改状态寄存器的 WPEN、BP1 和 BP0 位。WRSR 指令对 WEN 和 RDY 位没有任何效果。WEN、BP0、BP1、4-5 位、SNL 和 WPEN 的默认出厂设置值为“0”。

状态寄存器的 SNL (位 6) 用于锁定使用 WRSN 指令写入的序列号。可使用 WRSN 指令多次写入序列号，而该位仍然为“0”。当该位设置为“1”时，可防止对序列号进行任何修改。该位在出厂时设置为“0”，并且只能写入一次。当该位设置为“1”时，不能恢复到“0”。

表 2. 状态寄存器格式

位 7	位 6	位 5	位 4	位 3	位 2	位 1	位 0
WPEN (0)	SNL (0)	X (0)	X (0)	BP1 (0)	BP0 (0)	WEN (0)	RDY

表 3. 状态寄存器位定义

位	定义	说明
位 0 (RDY)	就绪	只读位指示组件执行存储器访问的就绪状态。组件在存储或软件回读循环过程的同时将该位设置为“1”。
位 1 (WEN)	写入启用	WEN 指示组件是否启用写入 加电时该位默认为“0” (禁用)。 WEN =“1”--> 写入启用 WEN =“0”--> 写入禁用
位 2 (BP0)	模块保护位“0”	用于模块保护 有关详细信息，请参见第 12 页上的表 4。
位 3 (BP1)	模块保护位“1”	用于模块保护 有关详细信息，请参见第 12 页上的表 4。
位 4-5	无需关注	这些位都是不可写的且读取时始终返回“0”。
位 6 (SNL)	序列号锁定	为锁定序列号将其设置成“1”
位 7 (WPEN)	写保护启用位	用于启用写保护引脚 (WP) 功能。有关详细信息，请参见第 12 页上的表 5。

读取状态寄存器 (RDSR) 指令

读取状态寄存器指令可提供以最大 40 MHz 的 SPI 频率对状态寄存器进行访问。该指令用于检测组件的写入启用状态或组件的就绪状态。只要存储或软件回读循环在进行，组件就会将 RDY 位设置为“1”。模块保护和 WPEN 位指示保护所覆盖的范围。

该指令是使用 RDSR 操作码在 $\overline{CS}$ 的下降沿之后发出的。

快速读取状态寄存器 (FAST_RDSR) 指令

利用 FAST_RDSR 指令可以高于 40 MHz 且不大于 104 MHz 的 SPI 频率读取状态寄存器。该指令用于检测组件的读或写启用状态。只要存储或软件回读循环在进行，组件就会将 RDY 位设置为“1”。模块保护和 WPEN 位指示保护所覆盖的范围。

该指令是使用 RDSR 操作码后跟一个虚拟字节在 $\overline{CS}$ 的下降沿之后发出的。

写入状态寄存器 (WRSR) 指令

用户可通过 WRSR 指令对状态寄存器进行写入。但是，该指令不可用于修改位 0 (RDY)、位 1 (WEN) 和位 4-5。BP0 和 BP1 位可用于选择模块保护的四个级别中的一个。此外，必须将 WPEN 位设置成“1”以启用写入保护 (WP) 引脚。

WRSR 指令是写入指令，需要在发出之前通过 WREN 指令进行启用 (WEN 位设置成“1”)。通过使用 WRSR 操作码在 $\overline{CS}$ 下降沿发出该指令，然后将数据的八位存储到状态寄存器中。WRSR 指令只可用于修改状态寄存器的位 2、位 3、位 6 和位 7。

注意：在 CY14X101PA 中，写入状态寄存器的有效值都将在存储操作之后被保存至非易失性存储器。如果自动存储已禁用，必须进行软件存储操作以保存对状态寄存器所做的修改。

图 6. 读取状态寄存器 (RDSR) 指令时序

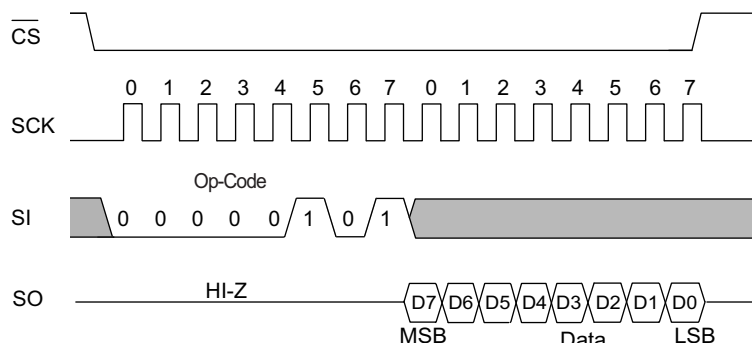


图 7. 快速读取状态寄存器 (FAST_RDSR) 指令时序

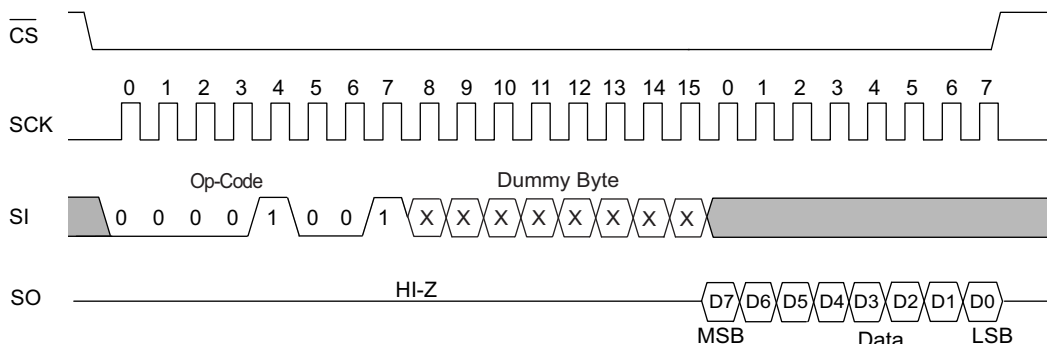
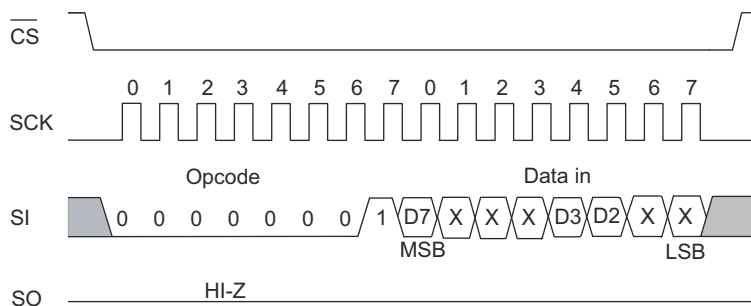


图 8. 写入状态寄存器 (WRSR) 指令时序



写入保护和模块保护

CY14X101PA 通过 WRDI 指令和 $\overline{WP}$ 提供软件和硬件写保护功能。此外，该组件还通过状态寄存器的 BP0 和 BP1 引脚提供模块保护机制。

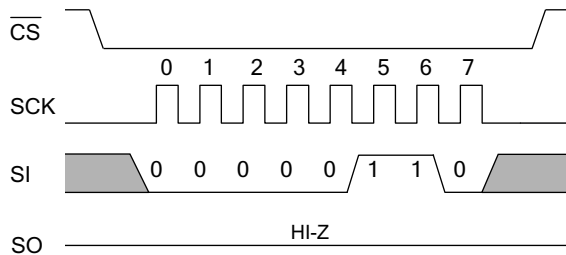
状态寄存器的 WEN 位指示组件的写启用和禁用状态。写入指令 (WRSR、WRITE、WRTC 和 WRSN) 以及 nvSRAM 特殊指令 (STORE、RECALL、ASENB 和 ASDISB) 都需要启用写入 (WEN 位 = “1”) 才能发出。

写入启用 (WREN) 指令

加电时，组件保持写入禁用状态。WRITE、WRSR、WRTC、WRSN 或 nvSRAM 特殊指令前面必须为写入启用指令。如果组件不是处于写入启用状态 (WEN = “0”)，则会忽视写入指令并在 CS 处于高电平状态时返回至待机状态。要重新启动串行通信，需要一个新的 CS 下降沿。指令在 CS 的下降沿发出。使用该指令时，状态寄存器的 WEN 位设置为 “1”。加电时，WEN 位默认为 “0”。

注意：在完成写入指令 (WRSR、WRITE、WRTC 或 WRSN) 或 nvSRAM 特殊指令 (存储、回读、ASENB 和 ASDISB) 之后，WEN 位将清除至 “0”。这样可以防止意外写入。因此，使用 WREN 指令后才能发出新的写入指令。

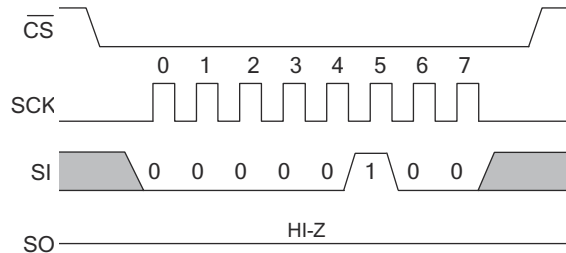
图 9. WREN 指令



写入禁用 (WRDI) 指令

写入禁用指令通过将 WEN 位清除至“0”防止意外写入的方法来禁用写入功能。该指令在 CS 的下降沿发出，后跟 WRDI 指令的操作码。在发出 WRDI 指令以后，在 CS 的上升沿清除 WEN 位。

图 10. WRDI 指令



模块保护

通过状态寄存器的 BP0 和 BP1 引脚提供模块保护。可通过 WRSR 指令设置这些位并通过 RDSR 指令检测这些位。nvSRAM 被分为四个阵列段。存储器段的四分之一、一半或者全部都将受到保护。受保护段内的任何数据都是只读的。表 4 显示了模块保护位的功能。

表 4. 模块写保护位

电平	状态寄存器位		保护阵列地址
	BP1	BP0	
0	0	0	None
1 (1/4)	0	1	0x18000–0x1FFFF
2 (1/2)	1	0	0x10000–0x1FFFF
3 (所有)	1	1	0x00000–0x1FFFF

硬件写保护 ($\overline{WP}$ 引脚)

写保护引脚 ($\overline{WP}$) 用于提供硬件写保护。当 $\overline{WP}$ 引脚保持高电平时，启用所有正常读写操作。当 $\overline{WP}$ 引脚被置于低电平且 WPEN 位为“1”时，所有写入到状态寄存器的操作被禁止。当 WPEN 位

为“0”时，硬件写保护功能被禁用。这允许您在 $\overline{WP}$ 引脚接地的系统内安装组件，并且仍对状态寄存器进行写入操作。

$\overline{WP}$ 引脚及状态寄存器的 WPEN 和模块保护位 (BP1 和 BP0) 可用于禁止写入到存储器。当 $\overline{WP}$ 引脚被置于低电平且 WPEN 位为“1”时，禁止对状态寄存器做任何修改。因此，可通过设置 BP0 和 BP1 位保护存储器。 $\overline{WP}$ 引脚禁止对状态寄存器位做任何修改并提供硬件写入保护。

注意：当 $\overline{CS}$ 处于低电平状态时， $\overline{WP}$ 变为低电平，对任何写入状态寄存器的操作都没有影响。

表 5 汇总了 CY14X101PA 中提供的所有保护功能。

表 5. 写入保护操作

WPEN	$\overline{WP}$	WEN	受保护模块	不受保护模块	状态寄存器
X	X	0	受保护	受保护	受保护
0	X	1	受保护	可写	可写
1	低电平	1	受保护	可写	受保护
1	高电平	1	受保护	可写	可写

存储器访问

所有存储器访问都是通过使用 READ 和 WRITE 指令完成的。在进行存储或回读循环过程中无法使用这些指令。可通过 HSB 引脚和状态寄存器的 RDY 位表示正在进行存储循环。

读取序列 (READ) 指令

CY14X101PA 上的读取操作是通过在 SI 引脚发出指令并在 SO 引脚读取输出完成的。需根据以下序列进行读取操作：将 CS 线置于低电平并选取组件后，通过 SI 线发送读取操作码，后跟三个字节的地址。最高有效地址字节在位 0 中包含 A16，无需关注其他位。地址位 A15 至 A0 在以下两地址字节中发送。在 SI 引脚发送地址最后位后，指定地址数据 (D7–D0) 在以 D7 开头的 SCK 下降沿移出 SO 线。忽略地址最后位后在 SI 线的任何数据。

CY14X101PA 允许通过 SPI 进行突发读取操作。SPI 可以在不发出新的读取指令的情况下读取连续的地址。如果只读取一个字节，读取完毕后应将 CS 线置于高电平。可通过将 CS 线保持在低电平状态延伸读取序列，地址自动递增，数据继续在 SO 引脚移出。当到达存储器的最后一个数据存储地址时，地址翻转为 0x00000，该组件继续读取。

注意：读取指令工作的最高 SPI 频率为 40 MHz。

快速读取序列 (FAST_READ) 指令

利用 FAST_READ 指令可以高于 40 MHz 且不大于 104 MHz 的 SPI 频率读取存储器。主机系统首先要通过将 CS 变为低电平选中组件，然后 FAST_READ 指令被写入到 SI，后跟三个地址字节，其中包含 17 位地址 (A16–A0) 和一个虚拟字节。

从随后的 SCK 下降沿，SO 线上特定地址的数据从最高有效位开始以串行方式被移出。指定的第一个字节可处于任何位置。输出每一个数据字节后，组件自动递增至下一个更高地址。只通过单一 FAST_READ 指令就可读取整个存储器阵列。当到达存储器阵列的最高地址时，地址计数器翻转为起始地址 0x00000，因此允许读取序列无限期继续。在数据输出时可以随时将 CS 置于高电平终止 FAST_READ 指令。

注意：FAST_READ 指令工作的最高 SPI 频率为 104 MHz。

写入序列 (WRITE) 指令

CY14X101PA 上的写入操作通过 SI 引脚完成。进行写入操作时，如果组件处于写入禁用状态，首先通过 WREN 指令在组件上启用写入功能。启用写入功能 (WEN = "1") 后，在 CS 的下降沿发出写入指令。写入指令继续在 SI 线传输写入操作码，后跟三个字节地址和要写入的数据 (D7-D0)。最高有效地址字节在

位 0 中包含 A16，无需关注其他位。地址位 A15 至 A0 在以下两地址字节中发送。

CY14X101PA 允许通过 SPI 进行突发写入操作。SPI 可以在不发出新的写入指令的情况下写入连续的地址。如果只写入一个字节，发送 D0 (数据的 LSB) 后应将 CS 线置于高电平。但是，如果要写入多个字节，应使 CS 线必须保持低电平状态，地址自动递增。以下字节在 SI 线被视为数据字节并写入连续地址中。当到达最后一个数据存储器地址 (0x1FFFF) 时，地址翻转为 0x00000，该组件继续写入。

在完成写入序列后，WEN 位复位为 0。

注意：当突发写入到达受保护的模块地址，地址在受保护空间保持地址，但是不写入任何数据到受保护的存储器。如果地址翻转采用突发写入到不受保护的地址，可恢复写入。如果在写入受保护的模块启用突发写入，则同一操作为真。

图 11. 读取指令时序

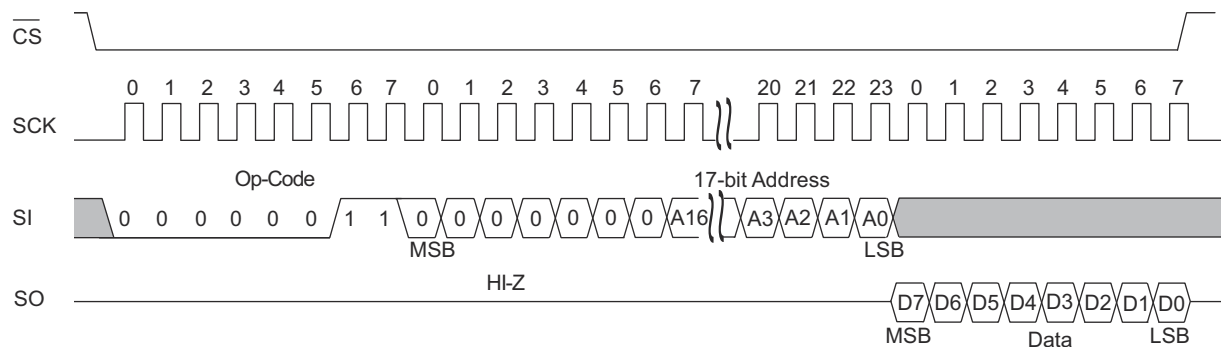


图 12. 突发模式读取指令时序

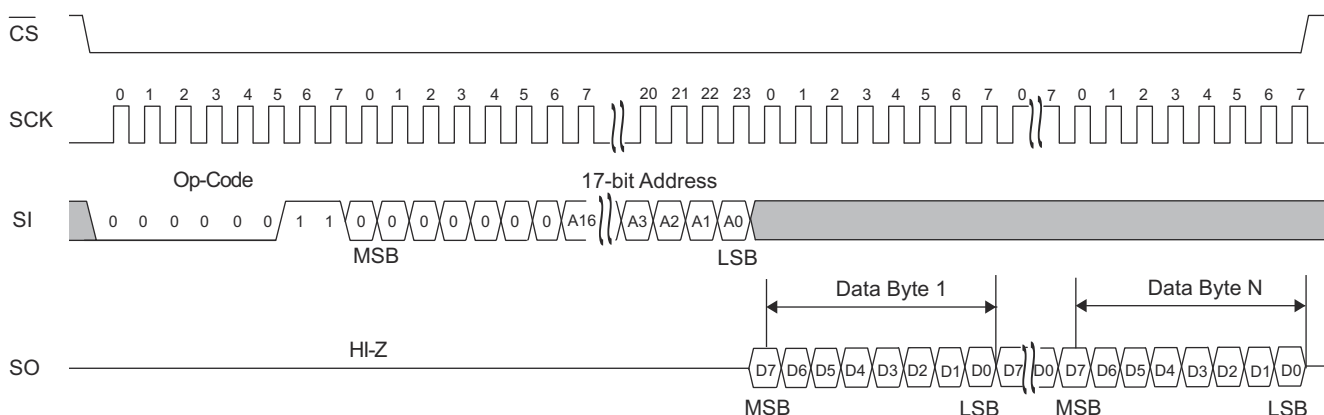


图 13. 快速读取指令时序

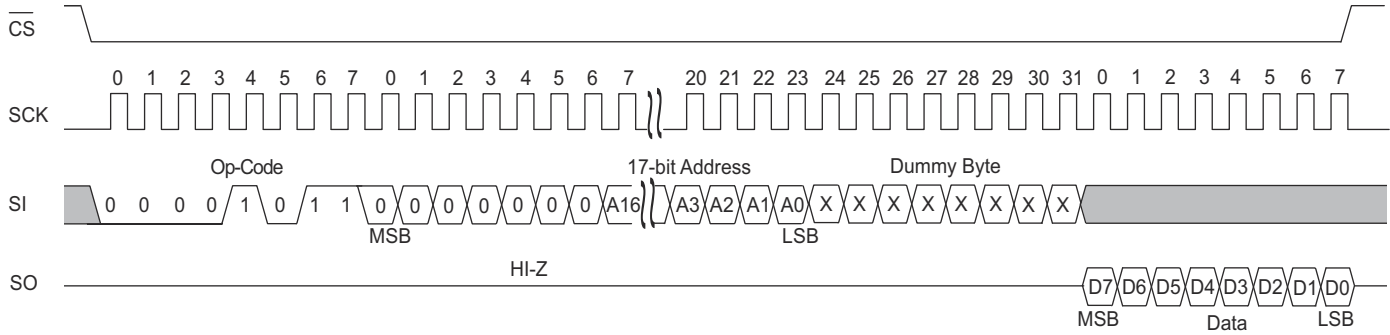


图 14. 写入指令时序

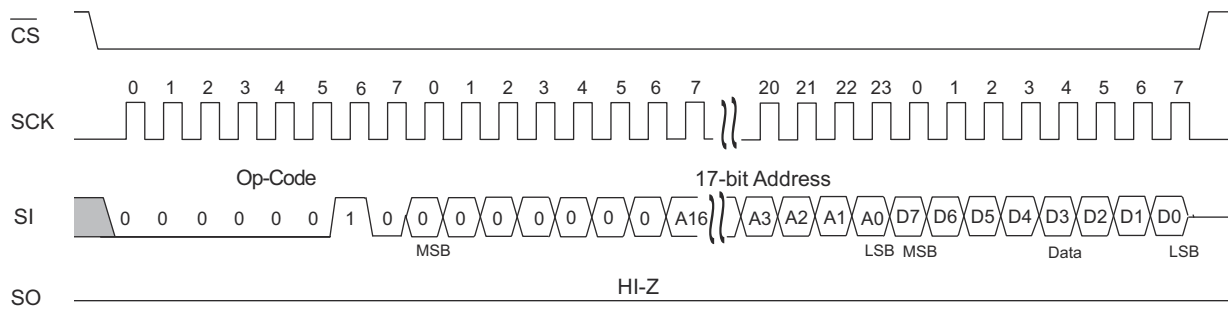
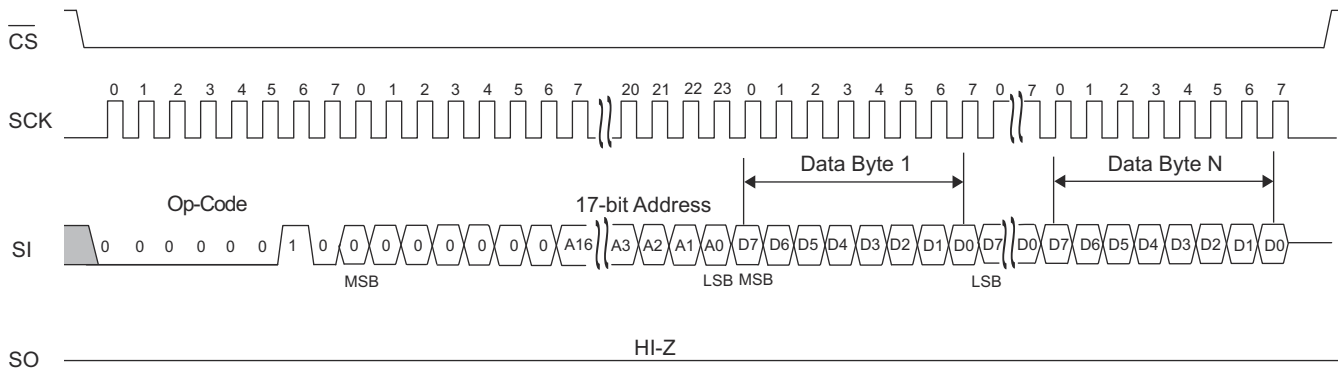


图 15. 突发模式写入指令时序



RTC 访问

CY14X101PA 为 RTC 提供 16 个寄存器。通过在突发模式下访问所有寄存或分别访问每个寄存器，可对寄存器进行读取或写入。RDRTC、FAST_RDRTC 和 WRTC 指令用于访问 RTC。

通过发出 RDRTC 和 FAST_RDRTC 指令可在突发模式下读取所有 RTC 寄存器，读取 16 个字节而不将 CS 引脚变为高电平。读取 RTC 计时寄存器时必须设置“R”位以确保时间的过渡值不被读取。

通过 WRTC 指令对 RTC 寄存器进行写入。写入 RTC 计时寄存器和控制寄存器时，只有标志寄存器的“W”位需要设置为“1”。当“W”位清除为“0”时，内部计数器的日期和时间设置被更新。通过 WRTC 指令可在突发模式下对所有 RTC 寄存器进行写入。

读取 RTC (RDRTC) 指令

利用读取 RTC 指令可以最高 25 MHz 的 SPI 频率读取 RTC 寄存器的内容。要通过 SO 引脚读取 RTC 寄存器，须按照以下读取序列：将 CS 线置于低电平并选取组件后，通过 SI 线发送 RDRTC 操作码，后跟八个用于选取寄存器的地址位。SI 线上地址位后的任何数据均被忽略。位于指定地址的数据 (D7–D0) 被移出 SO 线。RDRTC 运行在突发模式下进行读取操作。从 RTC 寄存器中读取多个字节时，在到达最后一个 RTC 寄存器地址 (0x0F) 后地址翻转为 0x00。

读取 RTC 计时寄存器前须将 RTC 标志寄存器中的“R”位设为“1”以避免读取过渡数据。要修改 RTC 标志寄存器，需写入 RTC 循环。在完成读取操作后，R 位将清除至“0”。

读取 RTC 寄存器最简单的方法是在突发模式中执行 RDRTC。从第一个 RTC 寄存器 (0x00) 开始读取，使 CS 保持低电平状态，这样数据才能通过 SO 引脚从 16 个 RTC 寄存器开始传输。

注意：RDRTC 指令工作的最高时钟频率为 25 MHz。操作码循环、地址循环和数据输出循环要以 25 MHz 频率运行才能使指令正常工作。

快速读取序列 (FAST_RDRTC) 指令

利用 FAST_READ 指令可高于 25 MHz 且不大于 104 MHz 的 SPI 频率读取存储器。主机系统首先要通过将 CS 变为低电平选中组件，然后 FAST_READ 指令被写入到 SI，后跟八位地址和一个虚拟字节。

从随后的 SCK 下降沿，SO 线上特定地址的数据从最高有效位开始以串行方式被移出。指定的第一个字节可处于任何位置。输出每一个数据字节后，组件自动递增至下一个更高地址。只通过单一 FAST_RDRTC 指令就可读取整个存储器阵列。当存储器阵列中的最高地址 (0x0F) 被锁存时，地址计数器翻转为起始地址 0x00，读取序列无限期继续。在数据输出时可以随时将 CS 置于高电平终止 FAST_RDRTC 指令。

注意：FAST_READ 指令工作的最高 SPI 频率为 104 MHz。

图 16. 读取 RTC (RDRTC) 指令时序

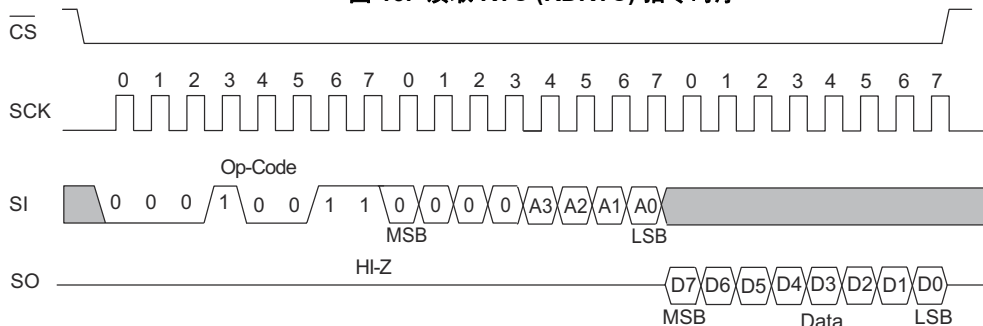
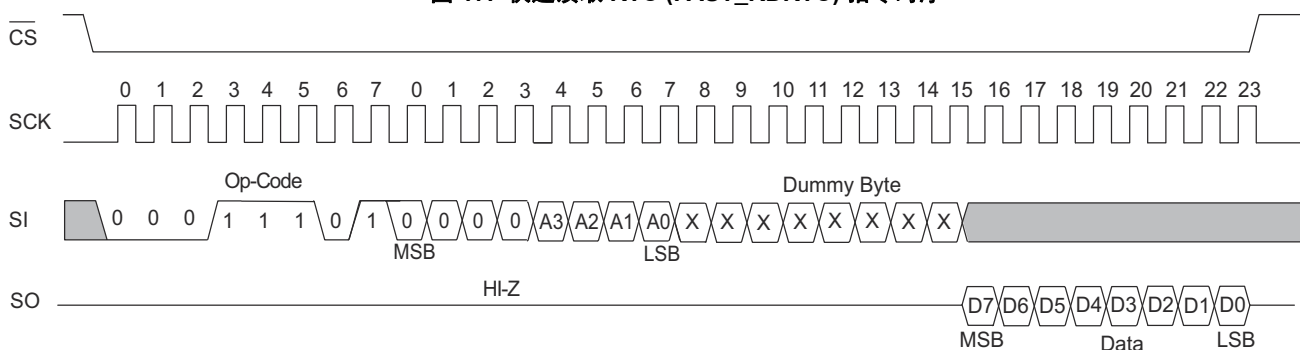


图 17. 快速读取 RTC (FAST_RDRTC) 指令时序



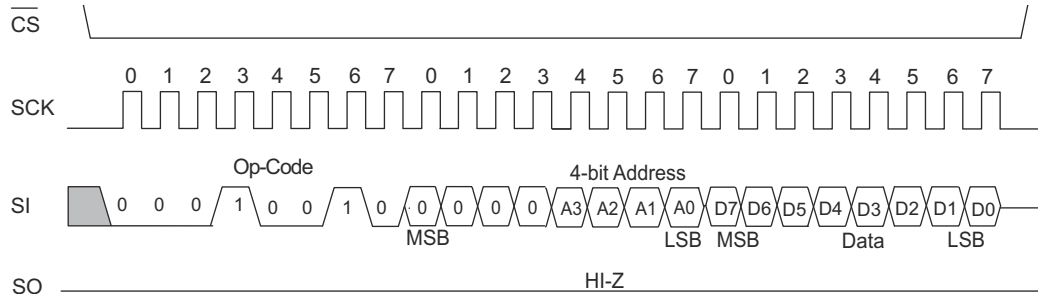
写入 RTC (WRTC) 指令

通过写入 RTC (WRTC) 指令可修改 RTC 寄存器的内容。发出 WRTC 指令前要将 WEN 位设置为“1”。如果 WEN 位为“0”，要发出 WREN 指令才能使用 WRTC。要写入 RTC 寄存器，须按照以下写入序列：将 CS 线置于低电平并选取组件后，通过 SI 线发送 WRTC 操作码，后跟八个用于标识待写入寄存器的地址位及一个或更多数据字节。WRTC 允许在突发模式下进行写入操作。在

突发模式中写入多个寄存器时，在到达最后一个 RTC 地址 (0x0F) 后地址翻转为 0x00。

注意：要写入 RTC 计时寄存器和控制寄存器，需要将 WEN 位设置为“1”。只有将“W”位清除为“0”后，RTC 寄存器中的值才开始生效。在完成 WRTC 指令后，写入启用位 (WEN) 自动清除为“0”。

图 18. 写入 RTC (WRTC) 指令时序



nvSRAM 特殊指令

CY14X101PA 提供四条允许访问 nvSRAM 特定功能的特殊指令：STORE、RECALL、ASDISB 和 ASENB。表 6 列出了这些指令。

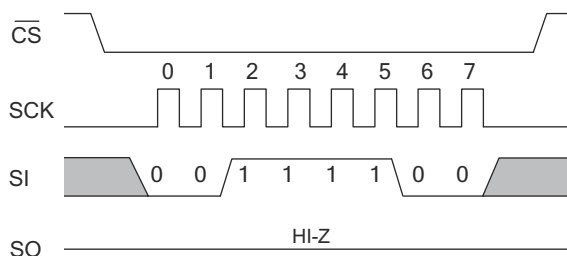
表 6. nvSRAM 特殊指令

函数名称	操作码	操作
STORE	0011 1100	软件存储
RECALL	0110 0000	软件回读
ASENB	0101 1001	自动存储启用
ASDISB	0001 1001	自动存储禁用

软件存储 (STORE) 指令

执行存储指令后，CY14X101PA 执行软件存储操作。不论自上一次存储或回读操作后是否写入，均执行存储操作。

图 19. 软件存储操作



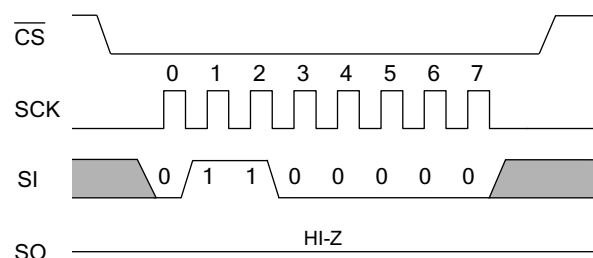
要发出该指令，组件必须启用写入功能 (WEN 位 =“1”)。指令通过在 CS 下降沿之后在 SI 引脚上传输存储操作码来执行。在发出存储指令后，在 CS 的正向沿清除 WEN 位。

软件回读 (RECALL) 指令

执行回读指令后，CY14X101PA 进行软件回读操作。要发出该指令，组件必须启用写入功能 (WEN 位 =“1”)。

指令通过在 CS 下降沿之后在 SI 引脚上传输回读操作码来执行。在发出回读指令以后，在 CS 的正向沿清除 WEN 位。

图 20. 软件回读操作

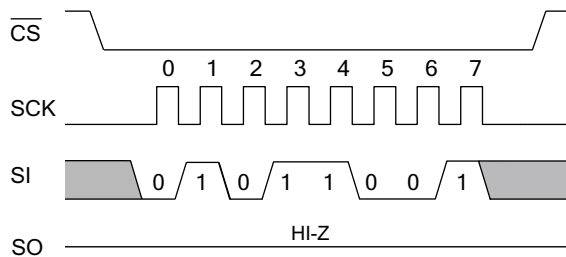


自动存储启用 (ASENB) 指令

可通过自动存储启用指令在 CY14X101PA 上启用自动存储功能。该设置不是非易失性的，要后跟存储序列（如果在电源循环后不发生改变需要此操作）。

要发出该指令，组件必须启用写入功能 (WEN =“1”)。指令通过在 CS 下降沿之后在 SI 引脚上传输 ASENB 操作码来执行。在发出 ASENB 指令以后，在 CS 的正向沿清除 WEN 位。

图 21. 自动存储启用操作

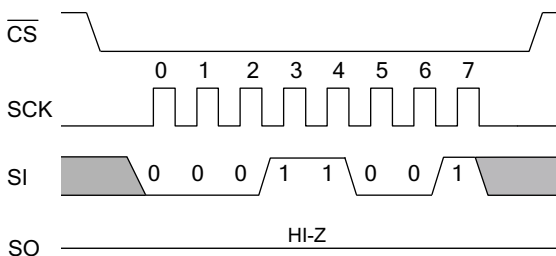


自动存储禁用 (ASDISB) 指令

CY14X101PA 中默认启用自动存储功能。自动存储禁用指令禁用 CY14X101PA 中的自动存储功能。该设置不是非易失性的，要后跟存储序列（如果在电源循环后不发生改变需要此操作）。

要发出该指令，组件必须启用写入功能（WEN 位 = “1”）。指令通过在 CS 下降沿之后在 SI 引脚上传输 ASDISB 操作码来执行。在发出 ASDISB 指令以后，在 CS 的正向沿清除 WEN 位。

图 22. 自动存储禁用操作



特殊指令

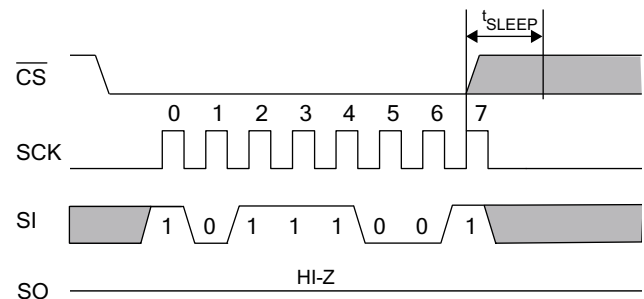
睡眠指令

可通过睡眠指令使 nvSRAM 进入睡眠模式。发出睡眠指令后，nvSRAM 需要花费 t_{SS} 的时间来处理睡眠请求。在成功寄存和处理 SLEEP 命令后，nvSRAM 将 HSB 切换为低电平，执行存储操作将数据保存到非易失性存储器中，然后进入睡眠模式。从睡眠指令被寄存起来的这一刻起，组件在 t_{SLEEP} 后开始消耗 I_{ZZ} 电流。发出睡眠指令后，组件无法通过正常操作访问。一旦处于睡眠模式，SCK 和 SI 引脚将被忽略，SO 引脚将被置于 High-Z 状态，但是组件继续监控 CS 引脚。

要将 nvSRAM 从睡眠模式唤醒，必须通过将 CS 引脚从高电平跳转至低电平状态选择组件。在检测到 CS 引脚的下降沿后，持续 t_{WAKE} 后，组件被唤醒并可通过正常操作访问。

注意：只要进入睡眠模式，nvSRAM 就会启动非易失性存储循环，在每次执行睡眠命令后都会产生耐久性循环。存储循环仅在上一个存储或回读循环之后已经执行对 SRAM 写操作时开始。

图 23. 进入睡眠模式



序列号

序列号为提供给用户以对该组件进行唯一标识的 8 字节可编程存储空间。它通常由两个字节的客户 ID、五个字节的唯一序列号及一个字节的循环冗余校验组成。nvSRAM 不计算循环冗余校验，系统设计者可通过任何方式利用八个字节的存储空间。八个字节位置的默认值设置为“0x00”。

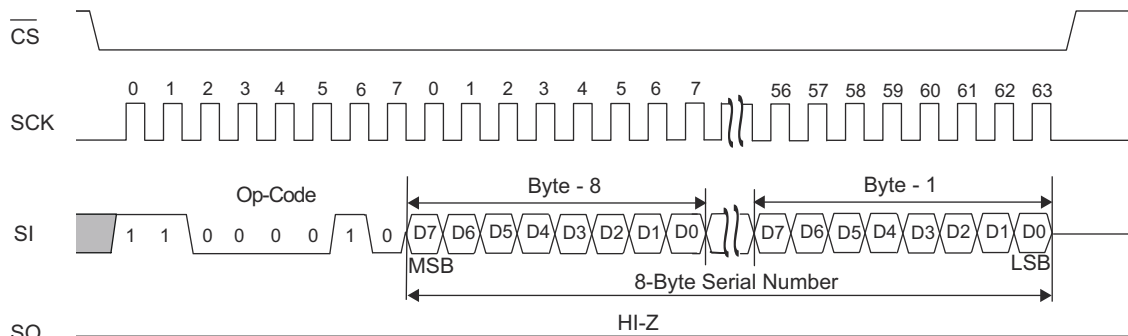
WRSN（序列号写入）指令

序列号可通过 WRSN 指令写入。要写入序列号，必须通过 WRSN 指令启用写入功能。可在突发模式下采用 WRSN 指令写入 8 字节的序列号。

可使用状态寄存器的 SNL 位锁定序列号。将该位设置为“1”后，无法对序列号进行任何修改。在将 SNL 位设置为“1”后，使用 WRSN 指令对序列号不产生任何影响。

需要通过存储操作（自动存储或软件存储）将序列号存储到非易失性存储器。如果自动存储已禁用，必须执行软件存储操作来保存和锁定序列号。如将 SNL 位设置为“1”，而且不保存（自动存储禁用），在下次电源循环中，SNL 位和序列号默认为 0。如将 SNL 位设置为“1”并保存，SNL 位无法清除为“0”。执行该指令前需要设置 WEN 位。完成该指令后，WEN 位复位为“0”。

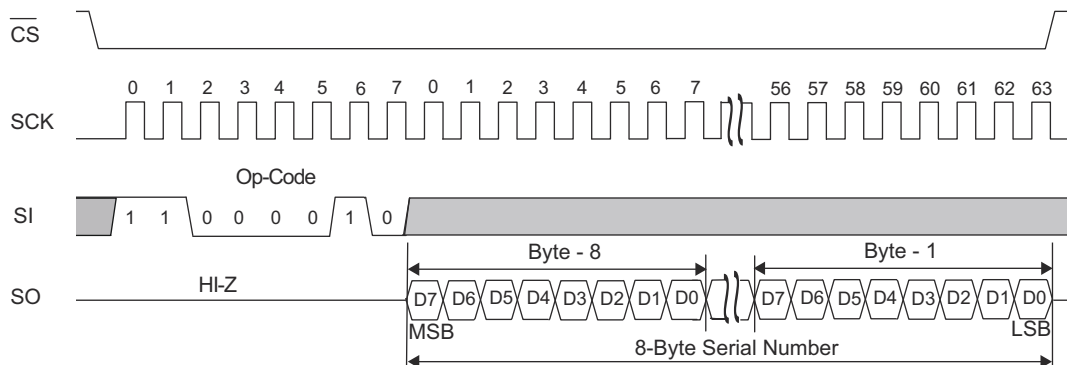
图 24. WRSN 指令



RDSN（序列号读取）指令

序列号通过 RDSN 指令以最高 40 MHz 的 SPI 频率进行读取。可在突发模式下一次性读取序列号以一次性读取全部八个字节。在读取序列号最后的字节后，组件不进行回环。RDSN 指令可在 CS 变低后通过 nvSRAM 的 SI 引脚移入 RDSN 的操作码发出。此后 nvSRAM 通过 SO 引脚移出八字节序列号。

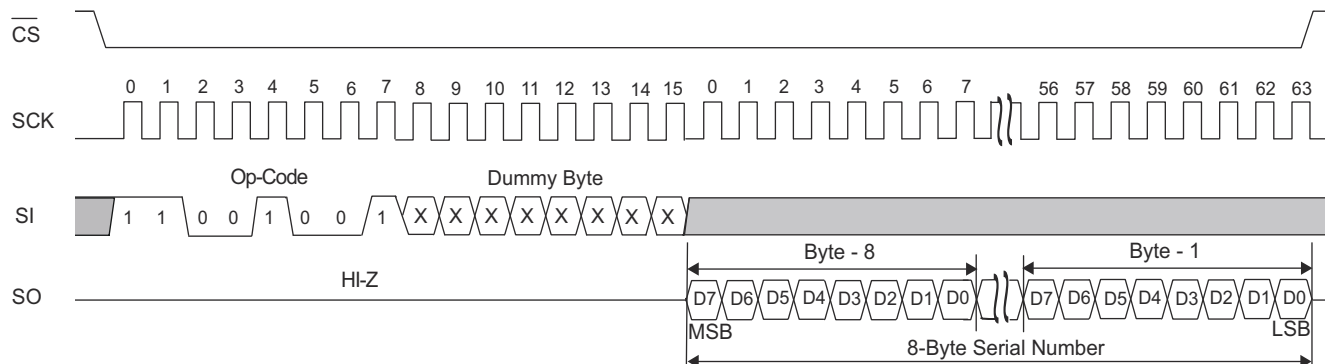
图 25. RDSN 指令



FAST_RDSN（序列号快速读取）指令

FAST_RDSN 指令用于以高于 40 MHz 且不大于 104 MHz 的 SPI 频率读取序列号。可在突发模式下一次性读取序列号以一次性读取全部八个字节。在读取序列号最后的字节后，组件不进行回环。FAST_RDSN 指令可在 CS 变低后通过 nvSRAM 的 SI 引脚移入 FAST_RDSN 的操作码并后跟虚拟字节发出。此后 nvSRAM 通过 SO 引脚移出八字节序列号。

图 26. FAST_RDSN 指令



组件 ID

组件 ID 为 4 字节的只读代码，用于唯一标识某类产品。组件 ID 包括产品系列代码、产品配置和密度。

表 7. 组件 ID

组件	组件 ID (4 字节)	组件 ID 描述			
		31–21 (11 位)	20–7 (14 位)	6–3 (4 位)	2–0 (3 位)
		制造商 ID	产品 ID	密度 ID	Die 修订版
CY14C101PA	0x0681C0A0	00000110100	000011100000001	0100	000
CY14B101PA	0x0681C8A0	00000110100	000011100100001	0100	000
CY14E101PA	0x0681D0A0	00000110100	000011101000001	0100	000

组件 ID 分为四部分，如表 7 中所示：

1. 制造商 ID（11 位）

这是由 JEDEC 为赛普拉斯分配的制造商 ID。JEDEC 将制造商 ID 分配至不同组。制造商 ID 前三位代表 ID 所在组。后八位代表制造商 ID。

赛普拉斯制造商 ID 为 0x34，所属的组为 0。因此，所有赛普拉斯 nvSRAM 产品的制造商 ID 如下所示：

赛普拉斯 ID — 000_0011_0100

2. 产品 ID（14 位）

组件的产品 ID 如表 7 所示。

3. 密度 ID（4 位）

4 位密度 ID 用法如表 7 所示，代表产品的密度为 1 Mb。

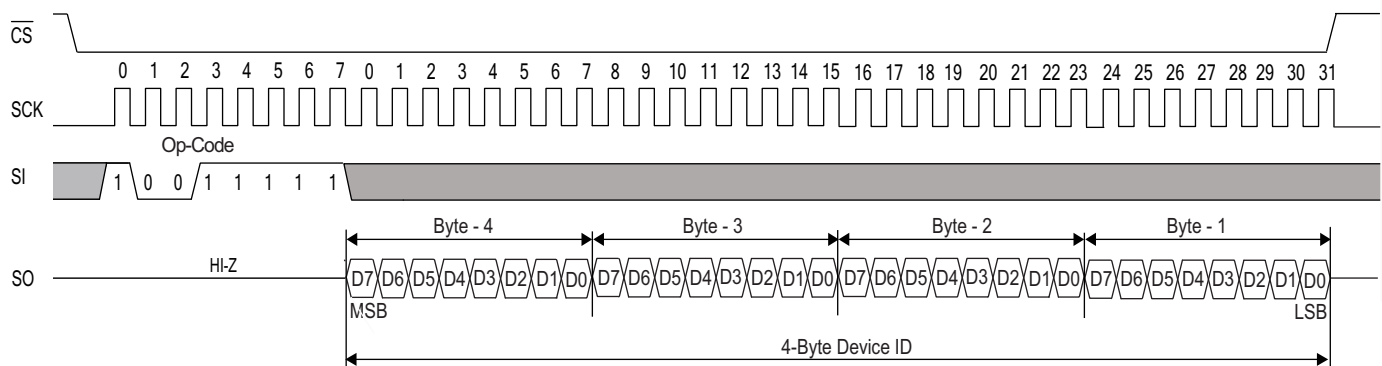
4. Die 修订版（3 位）

表示产品设计的任何重大变更。其初始设置始终为 0x0。

RDID（组件 ID 读取）指令

该指令用于以最高 40 MHz 的频率读取 JEDEC 为组件分配的制造商 ID 和产品 ID。该指令可用于识别总线上组件。RDID 指令可在 CS 变低后通过 nvSRAM 的 SI 引脚移入 RDID 的操作码发出。此后 nvSRAM 通过 SO 引脚移出四个字节的组件 ID。

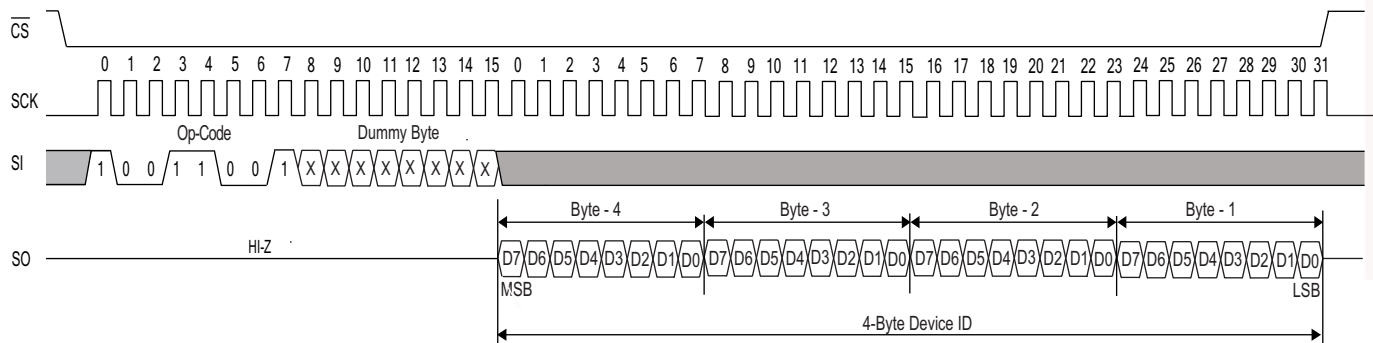
图 27. RDID 指令



FAST_RDID（组件 ID 快速读取）指令

利用 FAST_RDID 指令，用户可以高于 40 MHz 且不大于 104 MHz 的 SPI 频率读取 JEDEC 分配的制造商 ID 和产品 ID。FAST_RDID 指令可在 CS 变低后通过 nvSRAM 的 SI 引脚移入 FAST_RDID 的操作码并后跟虚拟字节发出。此后 nvSRAM 通过 SO 引脚移出四个字节的组件 ID。

图 28. FAST_RDID 指令

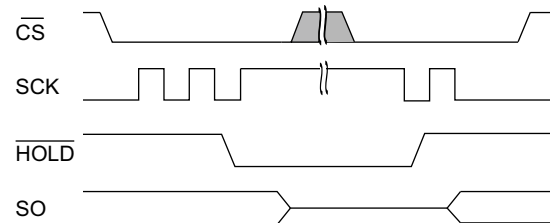


HOLD 引脚操作

HOLD 引脚用于暂停串行通信。在已选取组件且串行序列正在运行时，HOLD 引脚可通过主控组件在未复位串行序列的情况下暂停串行通信。要暂停，必须在 SCK 引脚为低电平时将 HOLD 引脚置于低电平。要恢复串行通信，必须在 SCK 引脚为低电平时将 HOLD 引脚置于高电平（SCK 可能会在 HOLD 的过程中切换）。当组件串行通信暂停后，SI 引脚输入被忽略且 SO 引脚处于高阻抗状态。

主组件可将该引脚与 CS 引脚一起使用来暂停串行通信，方法是先将引脚 HOLD 置于低电平并取消选中 SPI 从组件以建立与另一个从组件的通信，而不复位串行通信。稍后可通过选择组件并将 HOLD 引脚置为高电平恢复串行通信。

图 29. HOLD 操作



实时时钟操作

nvTIME 操作

CY14X101PA 提供了具有时钟、警报、看门狗、中断和控制功能的内部寄存器。RTC 寄存器占用单独的 nvSRAM 地址空间，可通过寄存器地址为 0x00 至 0x0F 的 RTC 寄存器读和写序列进行访问。计时寄存器采用双缓冲技术防止在读或写操作期间访问内部过渡时钟数据。双缓冲技术还避免了在访问时钟数据期间影响正常的定时计数或内部时钟的准确性。时钟和警报寄存器以 BCD 格式存储数据。

时钟操作

时钟寄存器以一秒的增量保存时间，最长达 9,999 年。时间可被设置为任何日历时间；时钟自动记录某月某日、某周某日、闰年及世纪转换。共有八个专用于时钟功能的寄存器，用于基于写周期设置时间以及基于读周期读取时间。这些寄存器包含 BCD 格式的时间。定义为“0”的位目前不可用，这些位被保留以供赛普拉斯将来使用。

读取时钟

双缓冲 RTC 寄存器结构降低了从时钟读取错误数据的可能性。当读取位“R”（位于标志寄存器 0x00 位置）设置为“1”时，在读取时钟数据之前对 CY14X101PA 计时寄存器的内部更新将停止，以防止读取过渡数据。停止寄存器更新不影响时钟精度。

当 RTC 组件读取序列启动后，用户计时寄存器更新将停止，直到向读取位“R”（在位于 0x00 的标志寄存器中）写入“0”后才重新开始更新。读取序列完成后，所有 RTC 寄存器在 20 ms 内同时更新。

设置时钟

对 RTC 组件进行写访问将使计时寄存器更新停止，而当写入位“W”（位于标志寄存器 0x00 位置）设置为“1”时允许用户设置时间。然后，正确的星期、日期和时间被写入寄存器（必须为 24 小时 BCD 格式）。写入的时间称为“基准时间”。该值保存在非易失性寄存器中，用于计算当前时间。当通过写入“0”清除写入位“W”时，计时寄存器的值被传输到实际的时钟计数器，然后该时钟恢复正常运行。

如果写入 RTC 寄存器的时间不是正确的 BCD 格式，则 RTC 寄存器中每个无效的半字节在翻滚至 0x0 前继续计数至 0xF，然后 RTC 寄存器恢复正常运行。

注意：“W”位设置为“0”后，写入计时、警报、校准和中断寄存器的值在 t_{RTCp} 时间后被传输到 RTC 计时计数器中。这些计数器值必须通过启动软件 / 硬件存储或自动存储操作保存在非易失性存储器中。在自动存储禁用模式下， t_{RTCp} 时间后执行存储操作，同时写入 RTC 寄存器以正确记录所做的修改。

备用电源

CY14X101PA 中的 RTC 用于永久带电操作。在实际应用中，根据是选择了电容还是电池来连接 V_{RTCcap} 或 V_{RTCbat} 引脚。当主电源 V_{CC} 断电并下降至 V_{SWITCH} 以下时，组件切换至备用电源。

时钟振荡器消耗的电流非常少，因此最大程度地延长了备用电源的供电时间。主电源移除后，无论时钟操作如何，存储在 nvSRAM 中的数据都是安全的，因为断电后这些数据被存储在非易失性元件中。

在备用电源操作期间，室温下 CY14X101PA 消耗 0.45 μA (Typ) 的电流。用户必须根据实际应用选择电容或电池值。

下面的表 8 显示了基于最大电流规格的备用时间。额定备用时间大约比这些时间长两倍。

表 8. RTC 备用时间

电容值	备用时间 (CY14B101PA)
0.1 F	60 小时
0.47 F	12 天
1.0 F	25 天

使用电容具有明显的优势，即每次系统加电时可对备用电源充电。当主电源移除时，如果使用电池，推荐使用 3V 锂电池，CY14X101PA 仅使用该电池产生的电流。然而，CY14X101PA 在任何时候不会对电池进行充电。必须根据系统生命周期期间总的预期累计断电时间选择电池容量。

停止和启动振荡器

位于 0x08 的校准寄存器中的 OSCEN 位控制振荡器的启用的禁用。该位是非易失性的，交付给客户时处于“启用”（设置为“0”）状态。系统存放不用时，为了保持电池寿命，OSCEN 必须设置为“1”。这样将关闭振荡器电路，从而延长电池寿命。如果 OSCEN 位从“禁用”变为“启用”，振荡器大约需要一秒钟（最多两秒）时间进行启动。

当系统电源关闭时，如果备用电源（ V_{RTCcap} 或 V_{RTCbat} ）的电压降至各自最低水平以下，振荡器可能掉电。当系统电源恢复时，CY14X101PA 能够检测振荡器是否掉电。这记录在位于 0x00 的标志寄存器的振荡器掉电标志 (OSCF) 中。当系统通电时（ V_{CC} 大于 V_{SWITCH} ），检查 OSCEN 位是否为“启用”状态。如果 OSCEN 位为“启用”状态，振荡器在 5 ms 内未激活，会将 OSCF 位设置为“1”。系统必须检查该条件，然后写入“0”以清除标志。

注意：除设置 OSCF 标志位之外，时间寄存器重置为“基准时间”，这是上次写入计时寄存器的值。控制寄存器或校准寄存器与 OSCEN 位不受“振荡器失败”条件影响。

首次对时间寄存器进行写入时，OSCF 值必须重置为“0”。这将初始化该位的状态（系统首次加电时可能已设置）。

要重置 OSCF，需要将写位“W”（在位于 0x00 的标志寄存器中）设置为“1”以便启用对标志寄存器的写入。对 OSCF 位写入“0”，然后将写位重置为“0”以禁用写操作。

校准时钟

RTC 由一个石英控制的晶振以 32.768 kHz 的额定频率驱动。时钟精度取决于晶振和校准的质量。市场中的晶振通常有 ± 20 ppm 到 ± 35 ppm 的误差。然而，CY14X101PA 应用一种在 25°C 可将精度提高至 $\pm 1/-2$ ppm 的校准电路。这表示每月有 +2.5 秒到 -5 秒的误差。

校准电路对振荡器分频器电路增加或减少计数来实现此精度。抑制（减少，负校准）或拆分（增加，正校准）的脉冲数量取决于加载到位于 0x08 的校准寄存器中的五个校准位的值。校准位占用校准寄存器中的五个低位。这些位被设置为以二进制形式表示“0”和 31 之间的任何值。D5 位是一个符号位，其中“1”表示正校准，“0”表示负校准。增加计数可使时钟加速，减少计数可使时钟减速。如果将一个二进制“1”加载到寄存器中，其对应振荡器误差中 4.068 或 -2.034 ppm 偏移的调整，具体取决于信号。

校准在 64 分钟周期内发生。对于周期内的头 62 分钟（每分钟一次），可能每 128 个振荡器周期缩短一秒或每 256 个振荡器周期延长一秒。如果将二进制“1”加载到寄存器中，则仅修改 64 分钟周期内的头两分钟。如果将二进制 6 加载到寄存器中，则影响头 12 分钟，以此类推。因此，每个校准步骤对每 125、829 和 120 个实际振荡器周期具有增加 512 个或减少 256 个振荡器周期的作用，即校准寄存器中的每个校准步骤有 4.068 或 -2.034 ppm 的调整。

为了确定所需的校准，标志寄存器 (0x00) 中的 CAL 位必须设置为“1”。这导致 INT 引脚以 512 Hz 的额定频率切换。任何偏离 512 Hz 的偏差表示所需纠正的大小和方向。例如，读数 512.01024 Hz 表示误差为 +20 ppm。因此，必须将十进制值 -10 (001010b) 加载到校准寄存器中以抵消该误差。

注意：设置或改变校准寄存器不影响测试输出频率。

要将设置或清除 CAL，需要将写位“W”（在位于 0x00 的寄存器中）设置为“1”以便启用对标志寄存器的写入。将某个值写入 CAL，然后将写位重置为“0”以禁用写入。

警报

警报功能将用户编写的警报时间值和日期（存储在寄存器 0x01-5 中）与相应的时间和日期值相比较。当出现匹配时，将设置警报内部标志 (AF)，而且如果设置了警报中断启用 (AIE) 位，将在 INT 引脚上生成中断。

有四个警报匹配字段—日期、小时、分和秒。上述每个字段有一个匹配位，用于确定字段是否被用于警报匹配逻辑。将匹配位设

置为“0”表示相应的字段用于匹配处理。根据匹配位的不同，警报可以明确到每月发生一次或频繁到每分钟发生一次。不选择任何匹配位（都为 1）表示不需要匹配，因此禁用警报。选择所有的匹配位（都为 0）会导致精确的时间和日期匹配。

可通过两种方法来检测警报事件：读取 AF 标志或监控 INT 引脚。位于标志寄存器 0x00 中的 AF 标志表示发生了日期或时间匹配。当发生匹配时，AF 位设置为“1”。读取标志寄存器会清除警报标志位（和所有其他位）。硬件中断引脚也可能被用于检测警报事件。

要设置、清除或启用警报，需要将“W”位（在标志寄存器 0x00 中）设置为“1”以便启用对警报寄存器的写入。写入警报值后，将“W”位清除为“0”以使更改生效。

注意：CY14X101PA 要求将针对秒的警报匹配位（警报秒寄存器 0x02 中的“D7”位）设置为“0”以便正确操作警报标志和中断。

看门狗定时器

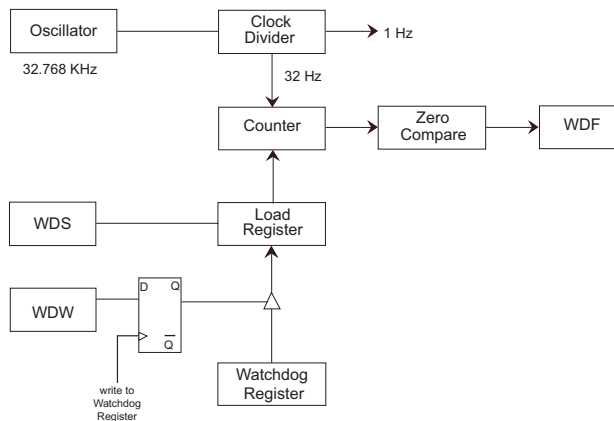
看门狗定时器是一个自由运行且使用从晶体振荡器获得的 32Hz 时钟 (31.25 ms) 的递减计数器。必须运行振荡器才能使看门狗正常运行。看门狗定时器从看门狗定时器寄存器中加载的值开始递减计数。

定时器由一个可加载的寄存器和一个自由运行的计数器组成。在加电时，寄存器 0x07 中的看门狗超时值加载到计数器加载寄存器中。计数从加电开始并在看门狗探针 (WDS) 位设置为“1”的任何时候从可加载值重新开始。计数器与终止值“0”进行比较。如果计数器达到此值，则产生内部标志和可选中断输出。可以通过在计数器到达“0”之前将 WDS 位设置为“1”来阻止超时中断。这导致计数器重新加载看门狗超时值并重启。只要用户在计数器到达终值之前对 WDS 位进行设置，中断和 WDT 标志就不会产生。

新的时间输出值通过将看门狗写位设置为“0”来写入。当 WDW 值为“0”时，看门狗超时值位 D5-D0 写功能启用以修改超时值。当 WDW 为“1”时，对 D5-D0 位的写入被忽略。WDW 功能使用户能在不考虑看门狗定时器值被修改的情况下设置 WDS 位。看门狗定时器逻辑图如第 23 页上的图 30 所示。注意：将看门狗超时值设置为“0”会禁用看门狗功能。

看门狗定时器的输出为标志位 WDF（如果看门狗允许超时，将设置该标志位）。如果中断寄存器中的看门狗中断启用 (WIE) 位被设置，看门狗超时将产生 INT 引脚硬件中断。当用户读取标志寄存器时，标志和硬件中断都会被清除。

图 30. 看门狗定时器框图



可编程方波生成器

方波生成器模块使用晶振输出在组件的 INT 引脚上生成所需的频率。输出频率可编程为以下频率之一：

1. 1 Hz
2. 512 Hz
3. 4096 Hz
4. 32768 Hz

当组件使用备用电源运行时，不生成方波输出。

功耗监控器

CY14X101PA 提供具有断电中断功能的电源管理方案。它也控制内部开关为时钟提供备用电源并保护存储器在低 V_{CC} 条件下不被访问。功耗监控器基于内部带隙参考电路，此电路将 V_{CC} 电压与 V_{SWITCH} 阈值相比较。

如第 4 页上的自动存储操作中所述，达到 V_{SWITCH} 后，由于 V_{CC} 由于断电而发生衰减，将启动从 SRAM 到非易失性元素的数据存储操作，以保存最后的 SRAM 数据状态。电源也从 V_{CC} 切换到备用电源（电池或电容）来运行 RTC 振荡器。

当使用备用电源运行时，对 nvSRAM 的读取和写入操作被禁止且 RTC 功能对用户不可用。RTC 时钟继续在后台运行。 V_{CC} 存储到组件后，更新后的 RTC 计时寄存器对用户可用（请参见第 35 页上的自动存储或加电回读）。

备用电源监控器

CY14X101PA 提供一个可检测备用电源（备用电池或电容）故障的功耗监控系统。如果发生备用电源故障，备用电源故障标志（BPF）在下次加电时发出。如果备用电压低于 V_{BAKFAL} ，将设置 BPF 标志。即使 RTC 在备用模式下运行，仍会监控备用电源。备用模式运行中检测到的低电压通过 BPF 标志进行标记。BPF 只能将数据保持到出现定义的备用电压 (V_{DR}) 低电压电平。

中断

CY14X101PA 有一个标志寄存器、中断寄存器和将中断信号传送到微控制器的中断逻辑。有三个潜在中断源：看门狗定时器、功耗监控器和警报定时器。通过在中断寄存器（0x06）中适当的设置，可以单独启用上述三个中断源来驱动 INT 引脚。此外，在标志寄存器（0x00）中，每种断源有相应的标志位，主机处理器使用这些标志位来确定中断原因。当中断发生时，INT 引脚驱动器有两个能指定其行为的位。

只有当三个断源中的一个产生中断标志并且各自位于中断寄存器中的中断启用位被启用（设置为“1”）时，才会产生中断。中断源处于活动状态后，两个可编程位 H/L 和 P/L 决定 INT 引脚上输出引脚驱动器的行为。这两个位位于中断寄存器中，可用于驱动 INT 引脚中电平或脉冲模式输出。在脉冲模式中，脉冲宽度内部固定在大约 200 ms。此模式旨在重置将主机微控制器。在电平模式中，引脚进入其活动性极，直到用户读取标志寄存器。此模式用作对主机微控制器的中断。中断寄存器一节对控制位进行了总结。

只有使用常规电源时才生成中断，系统以备用电源模式运行时不会触发中断。

注意：只有在加电回读序列完成后，CY14X101PA 才生成有效中断。加电后，INT 引脚上的所有事件必须被忽略 t_{FA} 的时间。

中断寄存器

看门狗中断启用 (WIE)：当设置为“1”时，如果发生看门狗超时，看门狗定时器驱动 INT 引脚和一个内部标志。当 WIE 设置为“0”时，看门狗定时器只影响标志寄存器中的 WDF 标志。

警报中断启用 (AIE)：当设置为“1”时，警报匹配驱动 INT 引脚和一个内部标志。当 AIE 设置为“0”时，警报匹配只影响标志寄存器中的 AF 标志。

断电中断启用 (PFE)：当设置为“1”时，断电监控器驱动引脚和一个内部标志。当 PFE 设置为“0”时，断电监控器只影响标志寄存器中的 PF 标志。

方波启用 (SQWE)：当设置为“1”，INT 引脚生成具有可编程频率的方波。频率由中断寄存器的 SQ1 和 SQ0 位决定。该位是非易失性的，在电源循环后保持不变。SQWE 位覆盖所有其他中断。然而，CAL 位优先于方波发生器。该位在出厂时设置为“0”。

高电平 / 低电平 (H/L): 当设置为“1”时，INT 引脚为高电平有效且驱动器模式为推挽式。只有当 V_{CC} 高于 V_{SWITCH} 时，INT 引脚才驱动高电平。当设置为“0”时，INT 引脚为低电平有效且驱动器模式为开漏式。INT 引脚必须通过一个 10 k 电阻上拉至 V_{CC} ，同时使用低电平有效模式的中断。

脉冲 / 电平 (P/L): 当设置为“1”且发生中断时，会将 INT 引脚驱动约 200 ms。当 P/L 设置为“0”时，INT 引脚驱动至高电平或低电平（由 H/L 决定），直到标志寄存器被读取。

SQ1 和 SQ0. 当 SQWE 位设置为“1”时，这些位一起用于修正 INT 引脚输出的中波频率。这些位是非易失性的，在电源循环后保持不变。下表显示了输出频率是如何决定的。

表 9. SQW 输出选择

SQ1	SQ0	频率	注释
0	0	1 Hz	1 Hz 信号
0	1	512 Hz	适用于校准
1	0	4096 Hz	4 kHz 时钟输出
1	1	32768 Hz	振荡器输出频率

当启用的中断源激活 INT 引脚时，外部主机读取标志寄存器来确定原因。请记住，当寄存器被读取时，所有标志都被清除。如果 INT 引脚编程为电平模式，条件将清除并且 INT 引脚返回到其非活动状态。如果引脚编程为脉冲模式，读取标志也能清除引脚中

的标志。如果标志寄存器被读取，脉冲模式不能完成指定的持续时间。如果 INT 引脚用作主机复位，则复位期间标志寄存器不被读取。

该概要表显示了 INT 引脚的状态。

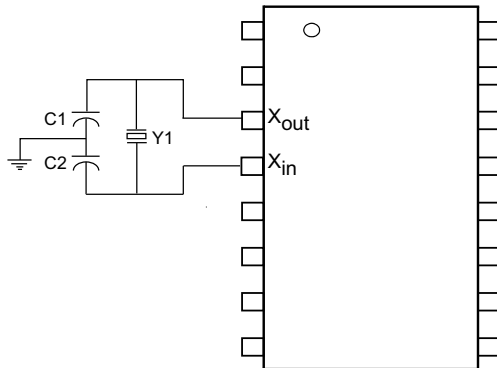
表 10. INT 引脚状态

CAL	SQWE	WIE/AIE/PFE	INT 引脚输出
1	X	X	512 Hz
0	1	X	方波输出
0	0	1	警报
0	0	0	HI-Z

标志寄存器

标志寄存器有三个标志位：用于生成中断的 WDF、AF 和 PF。这些标志分别由看门狗超时、警报匹配或断电监控器设置。处理器可以轮询此寄存器或使系统通知中断（如果设置了标志）。寄存器被读取后，这些标志会自动复位。在加电时，标志寄存器自动加载值 0x00（OSCF 位除外。请参见第 21 页上的[停止和启动振荡器](#)）。

图 31. RTC 建议的组件配置^[3]



Recommended Values

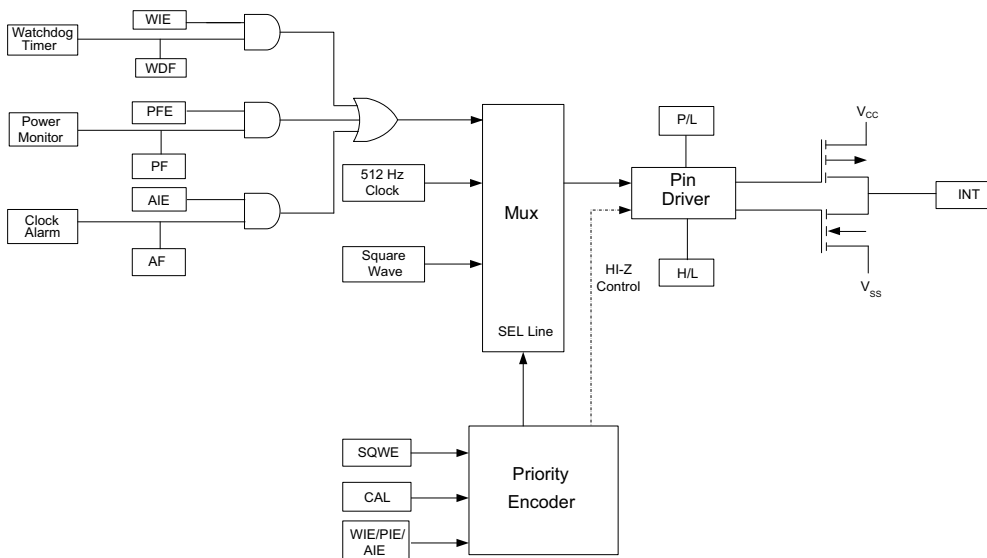
Y1 = 32.768 kHz (12.5 pF)

C₁ = 12 pF

C₂ = 69 pF

Note: The recommended values for C₁ and C₂ include board trace capacitance.

图 32. 中断框图



WDF — 看门狗定时器标志
WIE — 看门狗中断启用
PF — 断电标志
PFE — 断电启用
AF — 警报标志
AIE — 警报中断启用
P/L — 脉冲电平
H/L — 高电平 / 低电平
SQWE — 方波启用

注

3. 有关 nvSRAM RTC 的设计指南和最佳实践，请参见应用笔记 [AN61546](#)。

表 11. RTC 寄存器映射 [4、5]

寄存器	BCD 格式数据								功能 / 范围
	D7	D6	D5	D4	D3	D2	D1	D0	
0x0F	年 (x10)				年				年: 00–99
0x0E	0	0	0	月 (x10)	月				月: 01–12
0x0D	0	0	日期 (x10)		日期				日期: 01–31
0x0C	0	0	0	0	0	星期			星期: 01–07
0x0B	0	0	小时 (x10)		小时				小时: 00–23
0x0A	0	分钟 (x10)			分钟				分钟: 00–59
0x09	0	秒 (x10)			秒				秒: 00–59
0x08	OSCEN (0)	0	校准符号 (0)	校准 (00000)					校准值 ^[6]
0x07	WDS (0)	WDW (0)	WDT (000000)						看门狗 ^[6]
0x06	WIE (0)	AIE (0)	PFE (0)	SQWE (0)	H/L (1)	P/L (0)	SQ1 (0)	SQ0 (0)	中断 ^[6]
0x05	M (1)	0	警报日期 (x10)		警报日期				警报, 日期: 01–31
0x04	M (1)	0	警报小时 (x10)		警报小时				警报, 小时: 00–23
0x03	M (1)	警报分钟 (x10)			警报分钟				警报, 分钟: 00–59
0x02	M (1)	警报秒 (x10)			警报秒				警报, 秒: 00–59
0x01	世纪 (x10)				世纪				世纪: 00–99
0x00	WDF	AF	PF	OSCF ^[7]	BPF ^[7]	CAL (0)	W (0)	R (0)	标志 ^[6]

注

4. () 指明出厂数值。
5. RTC 寄存器未使用的位被保留以供将来使用, 应设置为 “0”。
6. 这是二进制值, 而非 BCD 值。
7. 用户复位 OSCF 和 BPF 标志位后, 应在 t_{RTCp} 时间后更新标志寄存器。

表 12. 寄存器映射详细信息

0x0F	计时一年							
	D7	D6	D5	D4	D3	D2	D1	D0
	年 (x10)				年			
	包含年的两个较低 BCD 数字。低位半字节（四位）包含年值；高位半字节（四位）包含以 10 年为单位的值。每半字节的范围为 0 到 9。寄存器的范围是 0 到 99。							
0x0E	计时一月							
	D7	D6	D5	D4	D3	D2	D1	D0
	0	0	0	月 (x10)	月			
	包含月的 BCD 数字。低位半字节（四位）包含低位数字，范围为 0 到 9；高位半字节（一位）包含高位数字，范围为 0 到 1。寄存器的范围是 1 到 12。							
0x0D	计时一日期							
	D7	D6	D5	D4	D3	D2	D1	D0
	0	0	日期 (x10)		日期			
	包含日期的 BCD 数字。低位半字节（四位）包含低位数字，范围为 0 到 9；高位半字节（两位）包含 x10 数字，范围为 0 到 3。寄存器的范围是 1 到 31。可针对闰年进行自动调整。							
0x0C	计时一星期							
	D7	D6	D5	D4	D3	D2	D1	D0
	0	0	0	0	0	星期		
	低位半字节（三位）包含一个与星期相关的值。星期是一个环形计数器，从 1 计数到 7，然后返回到 1。用户必须给星期值指定含义，因为星期不与日期集成。							
0x0B	计时一小时							
	D7	D6	D5	D4	D3	D2	D1	D0
	0	0	小时 (x10)		小时			
	包含小时（24 小时格式）的 BCD 值。低位半字节（四位）包含低位数字，范围为 0 到 9；高位半字节（两位）包含高位数字，范围为 0 到 2。寄存器的范围是 0 到 23。							
0x0A	计时一分钟							
	D7	D6	D5	D4	D3	D2	D1	D0
	0	分钟 (x10)			分钟			
	包含分钟的 BCD 值 低位半字节（四位）包含低位数字，范围为 0 到 9；高位半字节（三位）包含高位数字，范围为 0 到 5。寄存器的范围是 0 到 59。							
0x09	计时一秒							
	D7	D6	D5	D4	D3	D2	D1	D0
	0	秒 (x10)			秒			
	包含秒的 BCD 值 低位半字节（四位）包含低位数字，范围为 0 到 9；高位半字节（三位）包含高位数字，范围为 0 到 5。寄存器的范围是 0 到 59。							
0x08	校准 / 控制							
	D7	D6	D5	D4	D3	D2	D1	D0
	OSCEN	0	校准符号	校准				
OSCEN	振荡器启用。当设置为“1”时，振荡器停止。当设置为“0”时，振荡器运行。禁用振荡器可在存储过程中节省电池或电容电源。							
校准符号	确定校准调整是作为对时基增加 (1) 还是作为从时基中减少进行应用 (0)。							
校准	这五个位控制时钟的校准。							
0x07	看门狗定时器							
	D7	D6	D5	D4	D3	D2	D1	D0
	WDS	WDW	WDT					

表 12. 寄存器映射详细信息 (续)

WDS	看门狗探针。将该位设置为“1”可重新加载并重启看门狗定时器。将该位设置为“0”不起作用。看门狗定时器复位后，该位被自动清除。WDS 位是只写的。读取该位始终返回“0”。							
WDW	看门狗写启用。将此位设置为“1”可禁用对看门狗超时值 (D5–D0) 的任何写入。这使用户可以在不影响超时值的情况下设置看门狗探针位。当下一个写循环完成时，将此位设置为“0”允许 D5–D0 位写入看门狗寄存器。 第 22 页上的看门狗定时器 中详细介绍了该功能。							
WDT	看门狗超时选择。看门狗定时器间隔由该寄存器中的 6 位值选择。它代表一个 32 Hz 计数 (31.25 ms) 的乘数。超时值范围为 31.25 ms（设置为 1）到 2 秒（设置为 3 Fh）。将看门狗定时器寄存器设置为 0 将禁用定时器。仅当在上一个周期中 WDW 位设置为“0”时才能对这些位进行写入。							
0x06	中断状态 / 控制							
	D7	D6	D5	D4	D3	D2	D1	D0
	WIE	AIE	PFE	SQWE	H/L	P/L	SQ1	SQ0
WIE	看门狗中断启用。当设置为“1”时，当看门狗超时发生时，看门狗定时器驱动 INT 引脚和 WDF 标志。当设置为“0”时，看门狗定时器只影响 WDF 标志。							
AIE	警报中断启用。当设置为“1”时，警报匹配驱动 INT 引脚和 AF 标志。当设置为“0”时，警报匹配只影响标志 AF 标志。							
PFE	断电启用。当设置为“1”时，警报匹配驱动 INT 引脚和 AF 标志。当设置为“0”时，断电监视器只影响 PF 标志。							
SQWE	方波启用。当设置为“1”时，在 INT 引脚上以使用 SQ1 和 SQ0 位编程的频率驱动方波。方波输出优先于中断逻辑。如果将 SQWE 设置为“1”，当启用的中断源处于活动状态时，只产生相应的标志，INT 引脚继续驱动方波。							
H/L	高电平 / 低电平。当设置为“1”时，将 INT 引脚驱动为高电平有效。当设置为“0”时，INT 引脚为开漏，低电平有效。							
P/L	脉冲 / 电平。当设置为“1”时，INT 引脚由一个约 200 ms 的中断源驱动有效（由 H/L 决定）。当设置为“0”时，INT 引脚驱动到有效电平状态（由 H/L 设置），直到标志寄存器被读取。							
SQ1, SQ0	SQ1, SQ0。当 SQWE 设置为“1”时，这些位用于决定 INT 引脚输出上的方波频率。以下为每个 (SQ1, SQ0) 组合的频率输出： (0, 0) — 1 Hz (0, 1) — 512 Hz (1, 0) — 4096 Hz (1, 1) — 32768 Hz							
0x05	警报—日期							
	D7	D6	D5	D4	D3	D2	D1	D0
	M	0	警报日期 (x10)			警报日期		
	包含警报日期值和用于选择或取消选择日期值的掩码位。							
M	匹配。当此位设置为“0”时，在警报匹配中使用日期值。将此位设置为“1”会导致匹配电路忽略日期值。							
0x04	警报—小时							
	D7	D6	D5	D4	D3	D2	D1	D0
	M	0	警报小时 (x10)			警报小时		
	包含警报小时值和用于选择或取消选择小时值的掩码位。							
M	匹配。当此位设置为“0”时，在警报匹配中使用小时值。将此位设置为“1”会导致匹配电路忽略小时值。							
0x03	警报—分钟							
	D7	D6	D5	D4	D3	D2	D1	D0
	M	警报分钟 (x10)			警报分钟			
	包含警报分钟值和用于选择或取消选择分钟值的掩码位。							
M	匹配。当此位设置为“0”时，在警报匹配中使用分钟值。将此位设置为“1”会导致匹配电路忽略分钟值。							
0x02	警报—秒							
	D7	D6	D5	D4	D3	D2	D1	D0
	M	警报秒 (x10)			警报秒			
	包含警报秒值和用于选择或取消选择秒值的掩码位。							
M	匹配。当此位设置为“0”时，在警报匹配中使用秒值。将此位设置为“1”会导致匹配电路忽略秒值。							

表 12. 寄存器映射详细信息 (续)

0x01	计时—世纪							
	D7	D6	D5	D4	D3	D2	D1	D0
	世纪 (x10)				世纪			
	包含世纪的 BCD 值 低位半字节（四位）包含低位数字，范围为 0 到 9；高位半字节（四位）包含高位数字，范围为 0 到 9。寄存器的范围是 0 到 99 世纪。							
0x00	标志							
	D7	D6	D5	D4	D3	D2	D1	D0
	WDF	AF	PF	OSCF	BPF	CAL	W	R
WDF	看门狗定时器标志。当看门狗定时器允许在没有被用户复位的情况下可达到 0 时，该只读位设置为“1”。当标志寄存器被读或加电时，该位被清除为“0”。							
AF	警报标志。当时间和日期与储存在警报寄存器的值匹配且匹配位为“0”时，此只读位设置为“1”。当标志寄存器被读或加电时，警报标志清除。							
PF	断电标志。当电源下降到断电阈值 V_{SWITCH} 时，只读位设置为“1”。当标志寄存器被读时，中断标志清除。							
OSCF	振荡器失败标志。如果振荡器启用而且在头 5 秒操作时间内未运行，加电时设置为“1”。这表示 RTC 备用电源中断而且时钟值不再有效。该位在电源循环后保持不变，从不被芯片内部清除。用户必须检查此条件并写入“0”以清除该标志。当用户复位 OSCF 标志位时，在 t_{RTCp} 时间后位将更新。							
BPF	备用电源中断标志。如果备用电源（电池或电容）中断，加电时设置为“1”。备用电源中断条件由电压下降到低于其各自最低指定电压确定。BPF 只能将数据保持到出现定义的备用电压 (V_{DR}) 低电压电平。用户必须将此位复位以清除标志。用户复位 BPF 标志位后，在 t_{RTCp} 时间后位将更新。							
CAL	校准模式。当设置为“1”时，INT 引脚输出 512 Hz 的方波。当设置为“0”时，INT 引脚恢复正常操作。该位优先于 SQ0/SQ1 和其他功能。加电时，该位默认为“0”（禁用）。							
W	写入启用：将“W”设置为“1”将冻结对 RTC 寄存器的更新。然后用户可写入 RTC 寄存器、警报寄存器、校准寄存器、中断寄存器和标志寄存器。如果时间已更改，将“W”设置为“0”会导致 RTC 寄存器中的内容传输到计时计数器中。此传输过程需要花费 t_{RTCp} 的时间。加电时，此位默认为 0。							
R	读取启用。如果将“R”位设置为“1”，则会停止用户 RTC 寄存器中的时钟更新，以便在读取过程中不显示时钟更新。将“R”位设置为“0”以恢复对保持寄存器的时钟更新。设置该位不需要将“W”位设置为“1”。加电时，该位默认为 0。							

最大额定值

超过最大额定值可能会缩短组件的使用寿命。这些用户指导未经过测试。

存放温度 -65 °C 至 +150 °C

最长累积存储时间

在 150°C 环境温度下 1000 个小时

在 85°C 环境温度下 20 年

最高结温 150 °C

相对于 V_{SS} 的 V_{CC} 供电电压

CY14C101PA: -0.5 V 至 +3.1 V

CY14B101PA: -0.5 V 至 +4.1 V

CY14E101PA: -0.5 V 至 +7.0 V

应用于 High Z 状态下的输出

的直流电压 -0.5 V 到 $V_{CC} + 0.5 V$

输入电压 -0.5 V 到 $V_{CC} + 0.5 V$

处于接地电位的

任何引脚的瞬变电压 ($< 20 \text{ ns}$) -2.0 V 至 $V_{CC} + 2.0 V$

封装功率散耗

能力 ($T_A = 25^\circ\text{C}$) 1.0 W

表面组装铅焊

温度 (3 秒) +260 °C

直流输出电流 (一次输出 1, 持续 1 秒) 15 mA

静电放电电压

(根据 MIL-STD-883, 方法 3015) > 2001 V

栓锁电流 > 140 mA

工作范围

组件	范围	环境温度	V_{CC}
CY14C101PA	工业	-40 °C - +85 °C	2.4 V 至 2.6 V
CY14B101PA			2.7 V 至 3.6 V
CY14E101PA			4.5 V 至 5.5 V

直流电气特性

在工作范围内

参数	说明	测试条件	最小值	典型值 ^[8]	最大值	单位
V_{CC}	电源	CY14C101PA	2.4	2.5	2.6	V
		CY14B101PA	2.7	3.0	3.6	V
		CY14E101PA	4.5	5.0	5.5	V
I_{CC1}	平均 V_{CC} 电流	$f_{SCK} = 40 \text{ MHz}$; 无输出负载下取得的值 ($I_{OUT} = 0 \text{ mA}$)	-	-	3	mA
		CY14C101PA				
		CY14B101PA	-	-	4	mA
I_{CC2}	存储期间平均 V_{CC} 电流	$f_{SCL} = 104 \text{ MHz}$; 无输出负载下获得的值 ($I_{OUT} = 0 \text{ mA}$)	-	-	10	mA
		所有输入无需关注, $V_{CC} = \text{最大值}$ t_{STORE} 持续时间的平均电流	-	-	3	mA
I_{CC3}	平均 V_{CC} 电流 $f_{SCK} = 1 \text{ MHz}$; $V_{CC} = V_{CC}(\text{Typ})$, 25 °C	所有输入在 CMOS 电平循环。 无输出负载下取得的值 ($I_{OUT} = 0 \text{ mA}$)	-	-	1	mA
I_{CC4}	自动存储循环期间平均 V_{CAP} 电流	所有输入无需关注。 t_{STORE} 持续期间平均电流	-	-	3	mA
I_{SB}	V_{CC} 待机电流	$\overline{CS} \geq (V_{CC} - 0.2 \text{ V})$ 。 $V_{IN} \leq 0.2 \text{ V}$ 或 $\geq (V_{CC} - 0.2 \text{ V})$ 。“W”位设置为“0”。非易失性循环完成后 待机电流电平 输入为静态。 $f_{SCK} = 0 \text{ MHz}$ 。	-	-	250	μA
I_{ZZ}	睡眠模式电流	寄存 SLEEP 指令后的 t_{SLEEP} 时间。所有输入均为静态并以 CMOS 逻辑电平配置。	-	-	8	μA
$I_{IX}^{[9]}$	输入漏电流 (HSB 除外)		-1	-	+1	μA
	输入漏电流 (针对 HSB)		-100	-	+1	μA

注

- 典型值的温度为 25°C, $V_{CC} = V_{CC}(\text{Typ})$ 。非 100% 测试。
- 当高电平有效和低电平有效的驱动程序均被禁用时, 对于 HSB 引脚, 当 V_{OH} 为 2.4 V 时 $I_{OUT} = -2 \mu\text{A}$ 将其启用后, 标准 V_{OH} 和 V_{OL} 有效。该参数被特性表征化, 但未进行测试。

直流电气特性 (续)

在工作范围内

参数	说明	测试条件		最小值	典型值 [8]	最大值	单位
I _{OZ}	关闭状态输出漏电流			-1	-	+1	μA
V _{IH}	输入高电平电压		CY14C101PA	1.7	-	V _{CC} + 0.5	V
			CY14B101PA	2.0	-	V _{CC} + 0.5	V
			CY14E101PA				
V _{IL}	输入低电平电压		CY14C101PA	V _{ss} - 0.5	-	0.7	V
			CY14B101PA	V _{ss} - 0.5	-	0.8	V
			CY14E101PA				
V _{OH}	输出高电平电压	I _{OUT} = -1 mA	CY14C101PA	2.0	-	-	V
		I _{OUT} = -2 mA	CY14B101PA	2.4	-	-	V
			CY14E101PA	V _{CC} - 0.4	-	-	
V _{OL}	输出低电平电压	I _{OUT} = 2 mA	CY14C101PA	-	-	0.4	V
		I _{OUT} = 4 mA	CY14B101PA	-	-	0.4	V
			CY14E101PA				
V _{CAP} ^[10]	存储电容	在 V _{CAP} 引脚和 V _{SS} 之间	CY14C101PA	170	220	270	μF
			CY14B101PA	42	47	180	μF
			CY14E101PA				
V _{ZCAP} ^[11、12]	组件在 V _{CAP} 引脚驱动的最大电压	V _{CC} = Max	CY14C101PA	-	-	V _{CC}	V
			CY14B101PA				
			CY14E101PA	-	-	V _{CC} - 0.5	V

数据保留和耐久性

在工作范围内

参数	说明	最小值	单位
$DATA_R$	数据保留	20	年
NV_C	非易失性存储操作	1,000	K

电容

参数 [12]	说明	测试条件	最大值	单位
C_{IN}	输入电容	$T_A = 25^\circ C, f = 1 \text{ MHz}, V_{CC} = V_{CC(Typ)}$	7	pF
C_{OUT}	输出引脚电容		7	pF

注

10. V_{CAP} 的最小值可保证提供顺利完成自动存储所需要的电荷。 V_{CAP} 的最大值可保证 V_{CAP} 的电容在加电回读循环期间充电至最小电压，以便紧急断电循环可以顺利完成自动存储。因此，建议在规定的最小极限值和最大极限值内使用电容。有关 V_{CAP} 选项的详细信息，请参见应用笔记 [AN43593](#)。

11. 当选择 V_{CAP} 电容的时候，会提供 V_{CAP} 引脚上的最大电压 (V_{VCAP}) 供指导之用。在工作温度范围之内的 V_{CAP} 电容的额定电压应高于 V_{VCAP} 电压。

12. 这些参数仅由设计保证，未进行过测试。

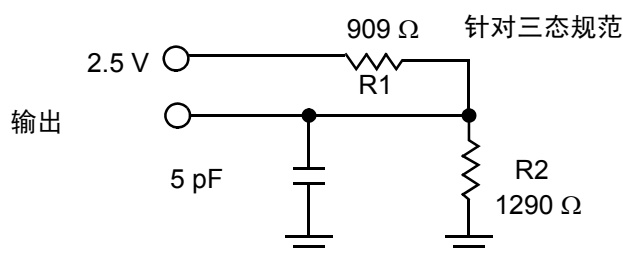
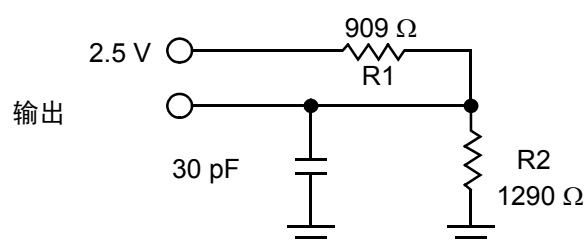
热阻

参数 ^[13]	说明	测试条件	16 引脚 SOIC	单位
Θ_{JA}	热电阻 (结温)	根据 EIA/JESD51 的要求, 测试条件遵循测试热阻的标准测试方法和过程。	56.68	°C/W
Θ_{JC}	热电阻 (壳温)		32.11	°C/W

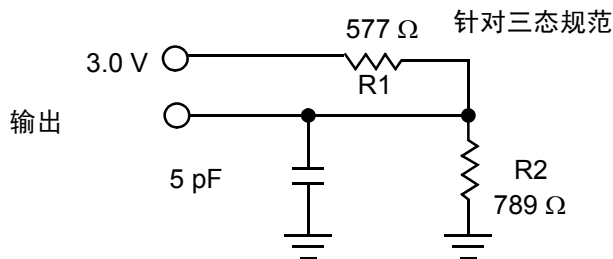
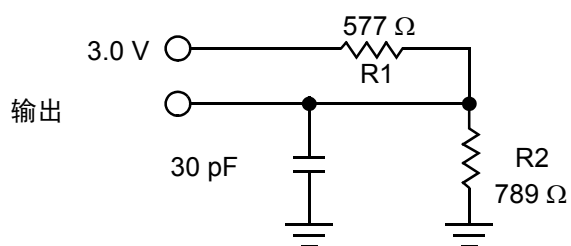
交流测试负载和波形

图 33. 交流测试负载和波形

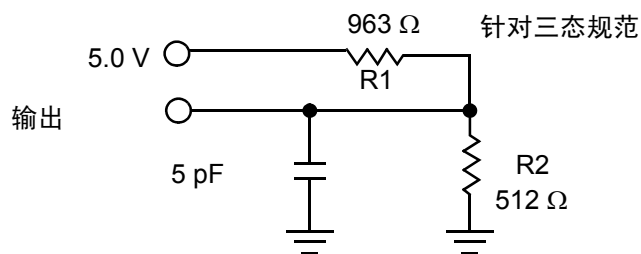
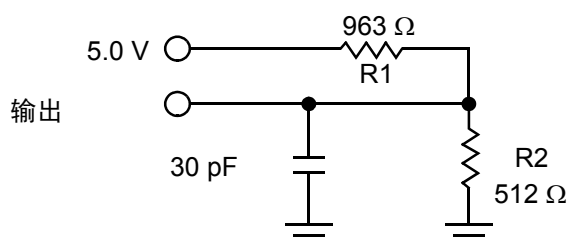
对于 2.5 V (CY14C101PA):



对于 3 V (CY14B101PA):



对于 5 V (CY14E101PA):



交流测试条件

说明	CY14C101PA	CY14B101PA	CY14E101PA
输入脉冲电平	0 V 到 2.5 V	0 V 到 3 V	0 V 到 3 V
输出上升和下降时间 (10%–90%)	≤ 3 ns	≤ 3 ns	≤ 3 ns
输入和输出时序参考电平	1.25 V	1.5 V	1.5 V

注

13. 这些参数仅由设计保证, 未进行过测试。

RTC 特性

在工作范围内

参数	说明	最小值	典型值 ^[14]	最大值	单位
V_{RTCbat}	RTC 电池引脚电压	1.8	3.0	3.6	V
$I_{BAK}^{[15]}$	RTC 备用电流	T_A (Min)	—	0.45	μA
		25 °C	0.45	—	μA
		T_A (Max)	—	0.60	μA
$V_{RTCCap}^{[16]}$	RTC 电容引脚电压	T_A (Min)	—	3.6	V
		25 °C	3.0	3.6	V
		T_A (Max)	—	3.6	V
t_{OCS}	RTC 振荡器启动时间	—	1	2	秒
$V_{BAKFAIL}$	备用电压故障阈值	1.8	—	2	V
V_{DR}	BPF 标志保留电压	1.6	—	—	V
t_{RTCp}	RTC 从“W”位末设置到“0”的处理时间。	—	—	1	ms
R_{BKCHG}	RTC 备用电容充电限流电阻	350	—	850	Ω

交流开关特性

在工作范围内

参数 ^[17]		说明	25 MHz (RDRTC 指令) ^[18]		40 MHz		104 MHz		单位
赛普拉斯 参数	替代 参数		最小值	最大值	最小值	最大值	最小值	最大值	
f_{SCK}	f_{SCK}	时钟频率, SCK	—	25	—	40	—	104	MHz
$t_{CL}^{[19]}$	t_{WL}	时钟脉冲宽度低电平	18	—	11	—	4.5	—	ns
$t_{CH}^{[19]}$	t_{WH}	时钟脉冲宽度高电平	18	—	11	—	4.5	—	ns
t_{CS}	t_{CE}	$\overline{CS}$ 高电平时间	20	—	20	—	20	—	ns
t_{CSS}	t_{CES}	$\overline{CS}$ 设置时间	10	—	10	—	5	—	ns
t_{CSH}	t_{CEH}	$\overline{CS}$ 保持时间	10	—	10	—	5	—	ns
t_{SD}	t_{SU}	数据输入的建立时间	5	—	5	—	4	—	ns
t_{HD}	t_H	数据输入的保持时间	5	—	5	—	3	—	ns
t_{HH}	t_{HD}	$\overline{HOLD}$ 保持时间	5	—	5	—	3	—	ns
t_{SH}	t_{CD}	$\overline{HOLD}$ 建立时间	5	—	5	—	3	—	ns
t_{CO}	t_V	输出有效	—	15	—	9	—	8	ns
$t_{HHZ}^{[19]}$	t_{HZ}	$\overline{HOLD}$ 输出 high-Z	—	15	—	15	—	8	ns
$t_{HLZ}^{[19]}$	t_{LZ}	$\overline{HOLD}$ 输出 low-Z	—	15	—	15	—	8	ns
t_{OH}	t_{HO}	输出保持时间	0	—	0	—	0	—	ns
$t_{HZCS}^{[19]}$	t_{DIS}	输出禁用时间	—	25	—	20	—	8	ns

- 注
14. 典型值的温度为 25°C, $V_{CC} = V_{CC(Typ)}$ 非 100% 测试。
15. 当 $V_{CC} < V_{SWITCH}$ 时, 从 V_{RTCCap} 或 V_{RTCbat} 抽取的电流。
16. 如果 $V_{RTCCap} > 0.5 V$, 或没有电容连接到 V_{RTCCap} 引脚, 振荡器将在 t_{OCS} 内启动。如果已连接备用电容且 $V_{RTCCap} < 0.5 V$, 要启动振荡器, 必须允许将电容充电至 0.5 V。
17. 测试条件采用等于或小于 3 ns 的信号跃迁时间, $V_{CC}/2$ 的时序参考电平, 0 至 $V_{CC(Typ)}$ 的输入脉冲电平以及图 33 中所示的指定 I_{OL}/I_{OH} 的输出负载和负载电容。
18. 适用于 RTC 操作码周期、地址周期和数据输出周期。
19. 这些参数仅由设计保证, 未进行过测试。

开关波形

图 34. 同步数据时序 (模式 0)

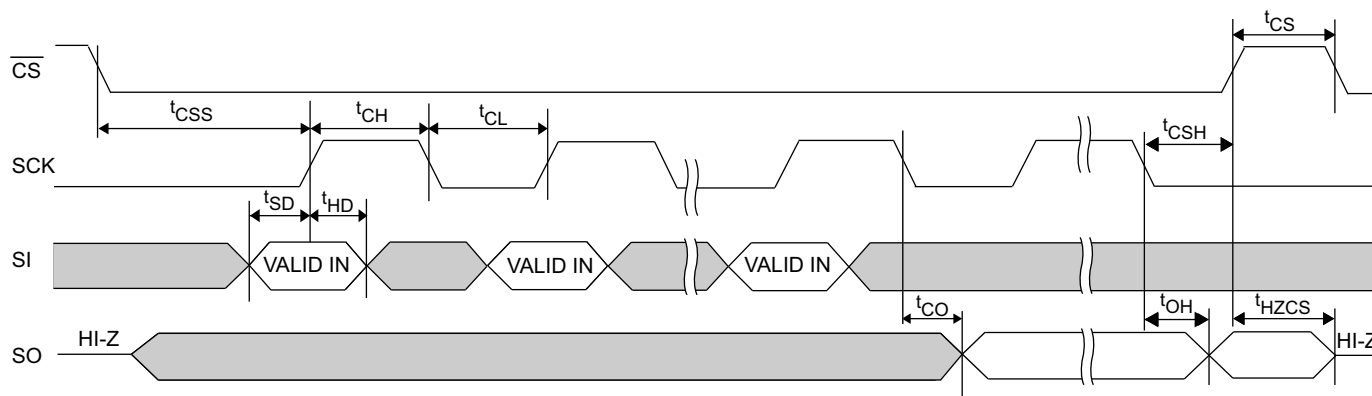
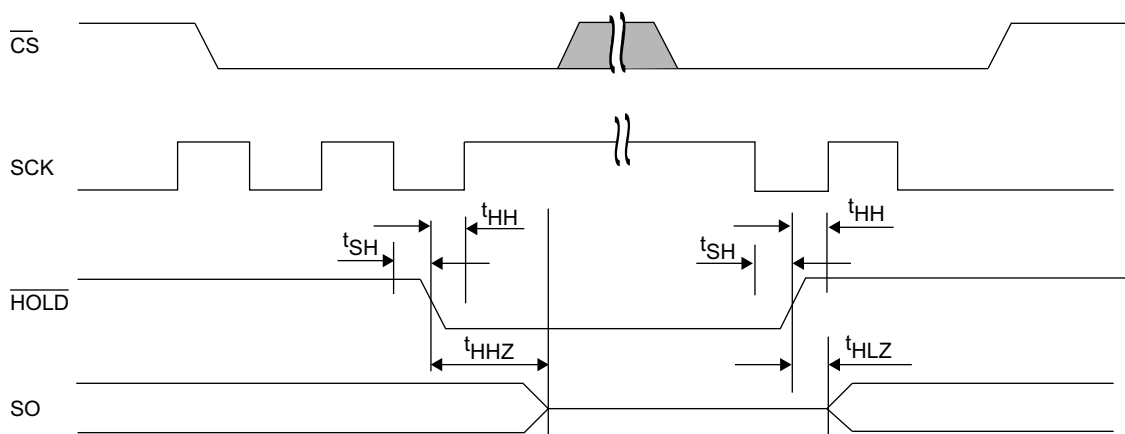


图 35. $\overline{HOLD}$ 时序



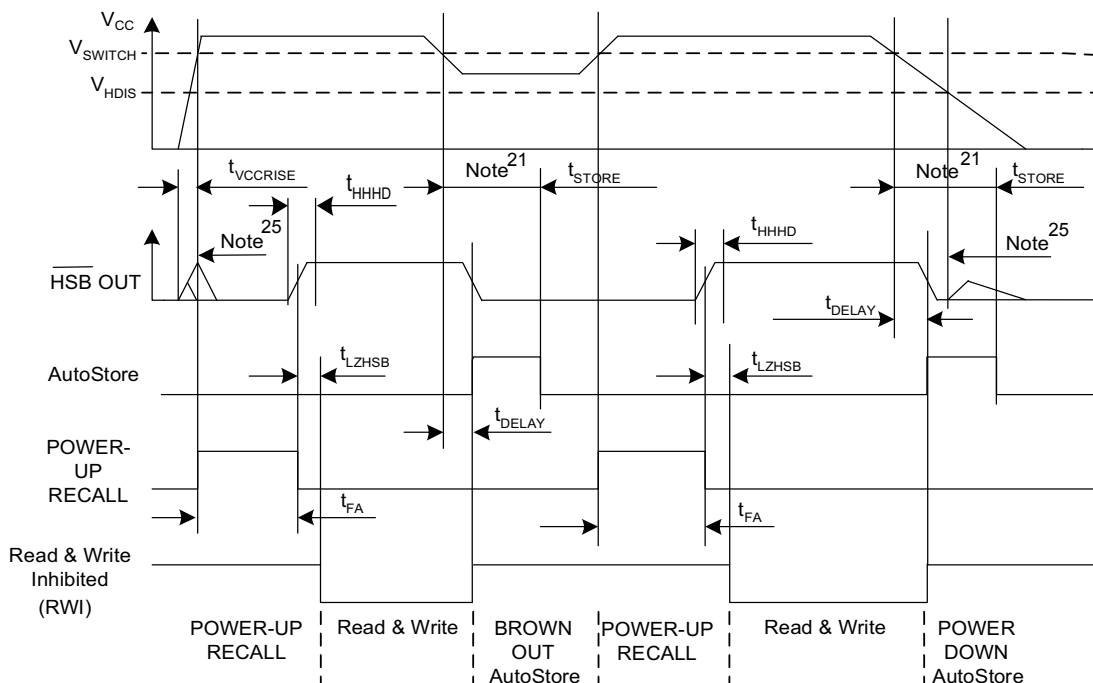
自动存储或加电回读

在工作范围内

参数	说明		CY14X101PA		单位
			最小值	最大值	
$t_{FA}^{[20]}$	加电回读持续时间	CY14C101PA	—	40	ms
		CY14B101PA	—	20	ms
		CY14E101PA	—	20	ms
$t_{STORE}^{[21]}$	存储循环持续时间		—	8	ms
$t_{DELAY}^{[22]}$	完成 SRAM 写入循环的可用时间		—	25	ns
V_{SWITCH}	低电压触发电平	CY14C101PA	—	2.35	V
		CY14B101PA	—	2.65	V
		CY14E101PA	—	4.40	V
$t_{VCCRRISE}^{[23]}$	V_{CC} 上升时间		150	—	μs
$V_{HDIS}^{[23]}$	HSB 输出禁用电压		—	1.9	V
$t_{LZHSB}^{[23]}$	HSB 高电平到 nvSRAM 激活的时间。		—	5	μs
$t_{HHHD}^{[23]}$	HSB 高电平有效时间		—	500	ns
t_{WAKE}	从睡眠模式唤醒 nvSRAM 的时间	CY14C101PA	—	40	ms
		CY14B101PA	—	20	ms
		CY14E101PA	—	20	ms
t_{SLEEP}	发出 SLEEP 指令后进入睡眠模式的时间		—	8	ms
$t_{SB}^{[23]}$	CS 进入高电平后进入待机模式的时间		—	100	μs

开关波形

图 36. 自动存储或加电回读 ^[24]



注

20. t_{FA} 从 V_{CC} 超过 V_{SWITCH} 的那一刻开始。
21. 如果自上一个非易失性循环后未进行过 SRAM 写入，则不会发生自动存储或硬件存储。
22. 硬件存储和自动存储启动后，SRAM 写入操作在 t_{DELAY} 时间内持续启用。
23. 这些参数仅由设计保证，未进行过测试。
24. 在 V_{CC} 低于 V_{SWITCH} 的情况下，在存储、回读的过程中会忽略读写循环。
25. 在加电和断电期间，在通过外部电阻上拉 HSB 引脚时，HSB 发生短时脉冲。

软件控制的存储 / 回读循环

在工作范围内

参数	说明	CY14X101PA		单位
		最小值	最大值	
t_{RECALL}	回读持续时间	—	600	μs
$t_{\text{SS}}^{[26, 27]}$	软件序列处理时间	—	500	μs

开关波形

图 37. 软件存储循环^[27]

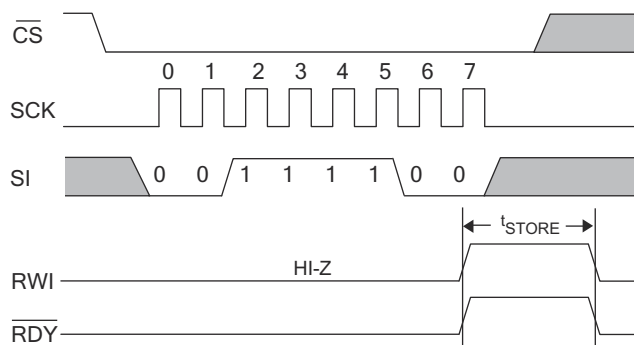


图 38. 软件回读循环^[27]

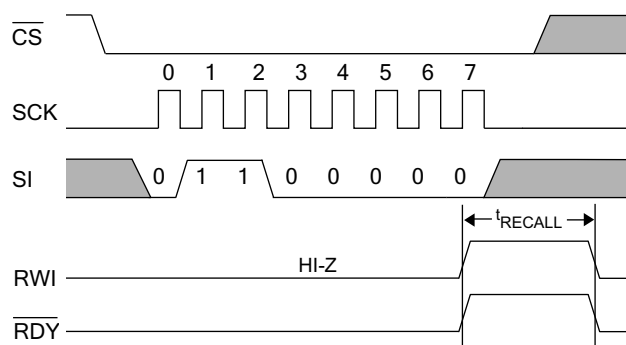


图 39. 自动存储启用循环

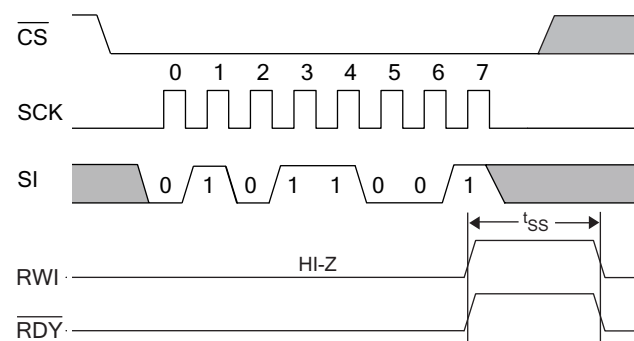
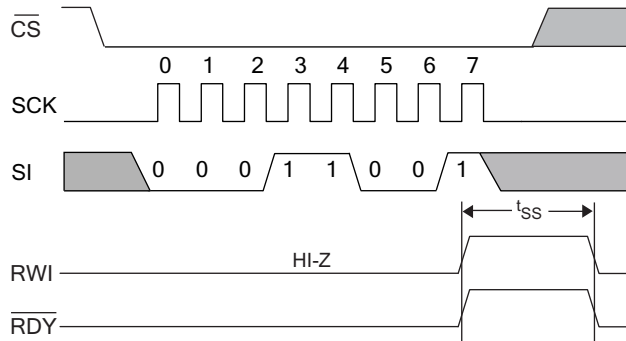


图 40. 自动存储禁用循环



注

26. 这是执行软序列命令所耗费的时间。 V_{CC} 电压必须保持高电平以保证有效地寄存命令。
27. 存储和回读等命令会锁定 I/O，直到操作完成，这会进一步增加该时间。请参见特定的命令。

硬件存储循环

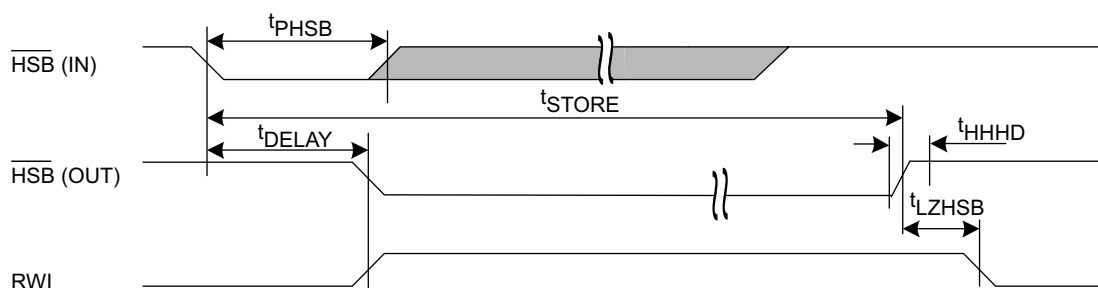
在工作范围内

参数	说明	CY14X101PA		单位
		最小值	最大值	
t_{PHSB}	硬件存储脉冲宽度	15	—	ns

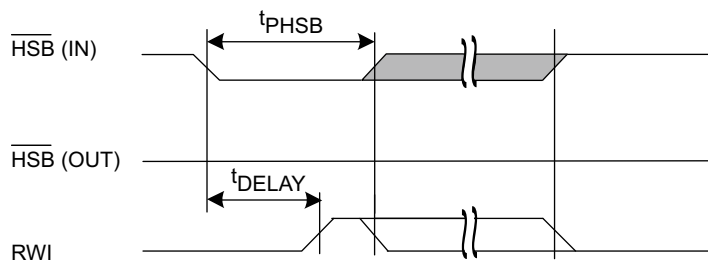
开关波形

图 41. 硬件存储循环^[28]

Write Latch set



Write Latch not set



$\overline{HSB}$ pin is driven HIGH to V_{CC} only by Internal 100 K Ω resistor, $\overline{HSB}$ driver is disabled
SRAM is disabled as long as $\overline{HSB}$ (IN) is driven LOW.

注

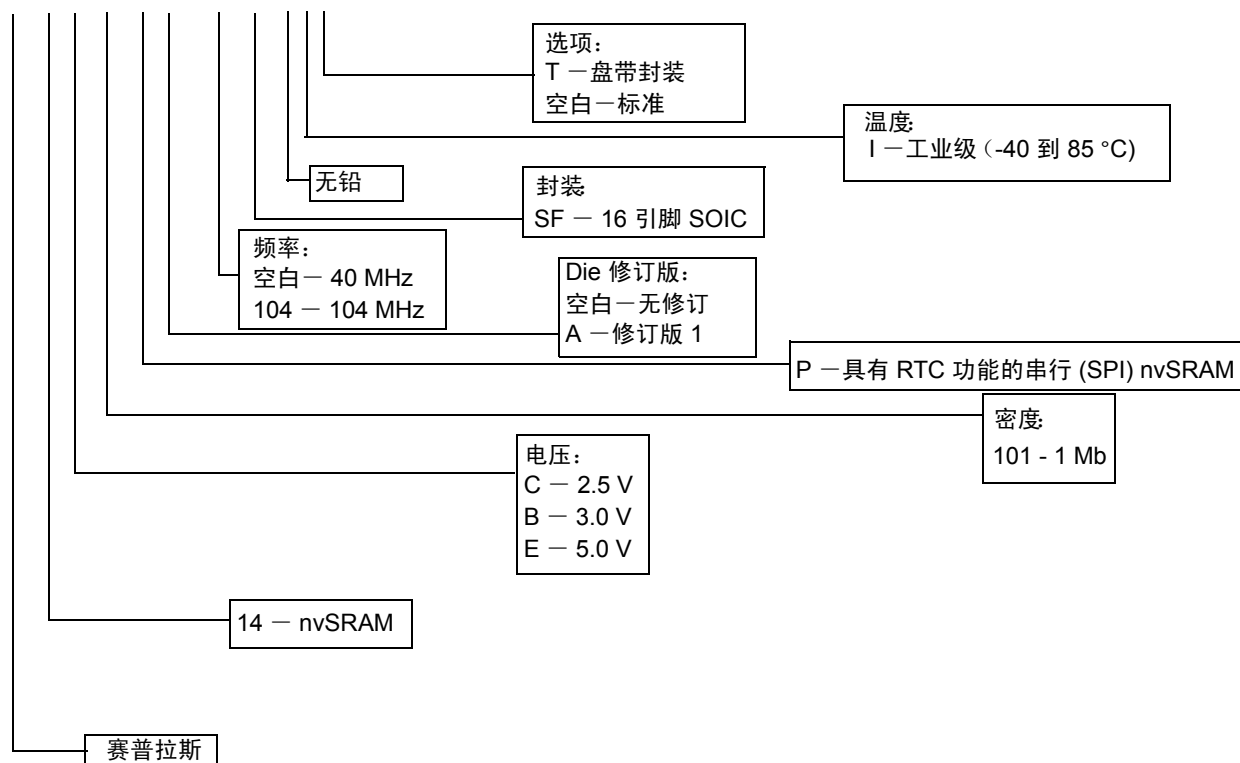
28. 如果自上一个非易失性循环后未进行过 SRAM 写入，则不会发生自动存储或硬件存储。

订购信息

订购代码	封装图	封装类型	工作范围
CY14B101PA-SFXIT	51-85022	16 引脚 SOIC, 40 MHz	工业
CY14B101PA-SFXI			

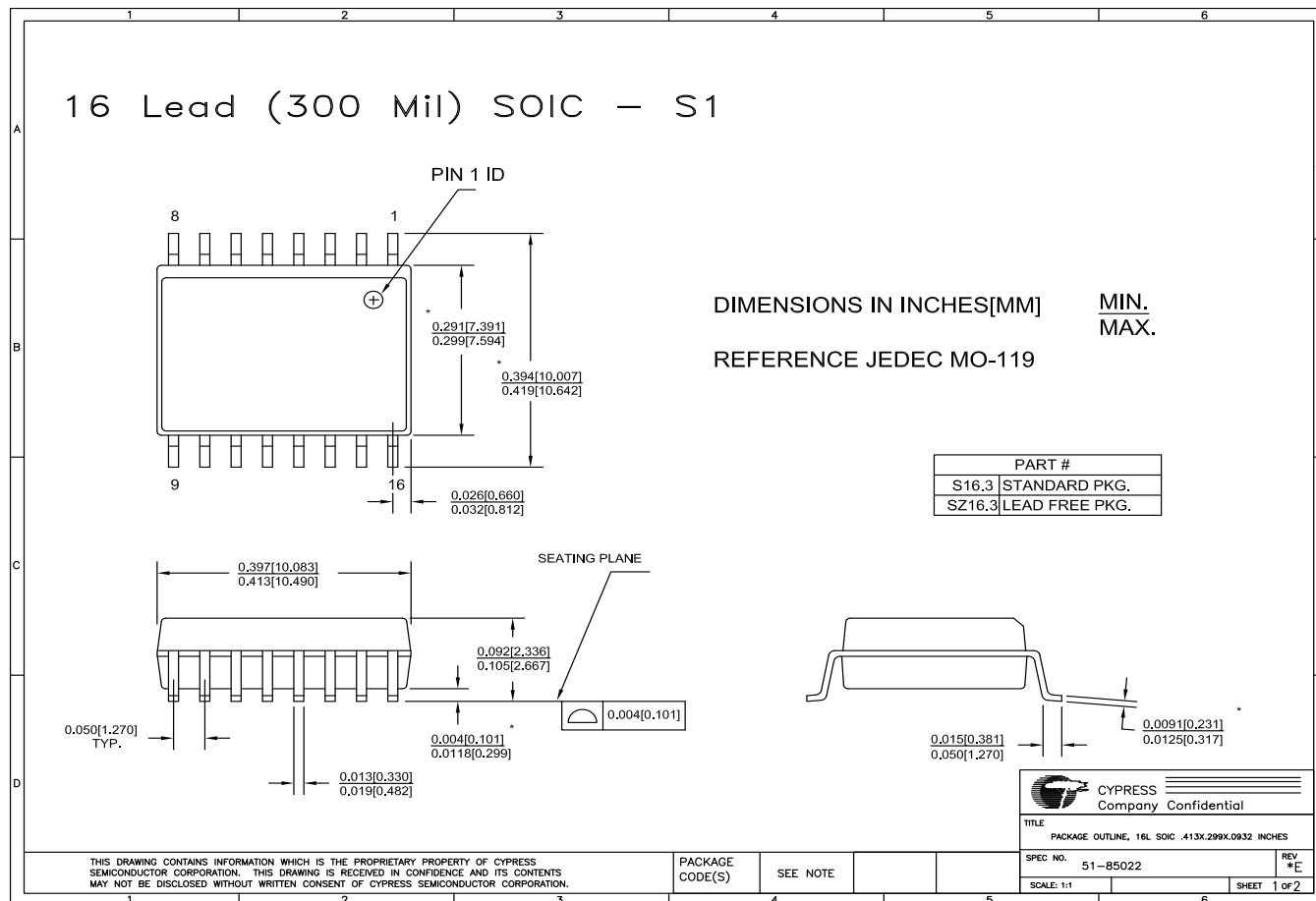
这些部件都不含铅。

订购代码定义



封装图

图 42. 16 引脚 SOIC (0.413 × 0.299 × 0.0932 英寸) 封装外形, 51-85022



缩略语

缩略语	说明
BCD	二进制十进数
CPHA	时钟相位
CPOL	时钟极性
CMOS	互补金属氧化物半导体
CRC	循环冗余校验
EEPROM	电可擦除可编程只读存储器
EIA	电子工业联盟
I/O	输入 / 输出
JEDEC	联合电子组件工程委员会
LSB	最低有效位
MSB	最高有效位
nvSRAM	非易失性静态随机存取存储器
OSCF	振荡器失败标志
RWI	读写禁止
RTC	实时时钟
RoHS	有害物质限制
SNL	序列号锁定
SPI	串行外设接口
SONOS	微米硅氧化氮氧化硅半导体
SOIC	小外形集成电路
SRAM	静态随机存取存储器

文档规范

测量单位

符号	测量单位
°C	摄氏度
F	法拉
Hz	赫兹
kHz	千赫兹
kΩ	千欧
MHz	兆赫兹
μA	微安
mA	毫安
μF	微法
μs	微秒
ms	毫秒
ns	纳秒
Ω	欧姆
%	百分比
pF	皮法
ppm	百万分率
sec	秒
V	伏特
W	瓦特

文档修订记录页

文档标题: CY14C101PA、CY14B101PA、CY14E101PA, 具有实时时钟功能的 1-Mbit (128 K × 8) 串行 (SPI) nvSRAM
文档编号: 001-87306

修订版	ecm 编号	提交日期	变更方	变更说明
**	3980705	04/24/2013	HLIN	本文档版本号为 Rev**, 译自英文版 001-87306 Rev*J

销售、解决方案和法律信息

全球销售和设计支持

赛普拉斯公司拥有一个由办事处、解决方案中心、工厂代表和经销商组成的全球性网络。要找到距您最近的办事处，请访问[赛普拉斯所在地](#)。

产品

汽车用产品	cypress.com/go/automotive
时钟与缓冲器	cypress.com/go/clocks
接口	cypress.com/go/interface
照明与电源控制	cypress.com/go/powerpsoc cypress.com/go/plc
存储器	cypress.com/go/memory
光学与图像传感器	cypress.com/go/image
PSoC	cypress.com/go/psoc
触摸感应产品	cypress.com/go/touch
USB 控制器	cypress.com/go/USB
无线 /RF	cypress.com/go/wireless

PSoC 解决方案

psoc.cypress.com/solutions
PSoC 1 | PSoC 3 | PSoC 5

© 赛普拉斯半导体公司，2013。此处所包含的信息可能会随时更改，恕不另行通知。除赛普拉斯产品的内嵌电路之外，赛普拉斯半导体公司不对任何其他电路的使用承担任何责任。也不根据专利或其他权利以明示或暗示的方式授予任何许可。除非与赛普拉斯签订明确的书面协议，否则赛普拉斯产品不保证能够用于或适用于医疗、生命支持、救生、关键控制或安全应用领域。此外，对于可能发生运转异常和故障并对用户造成严重伤害的生命支持系统，赛普拉斯不授权将其产品用作此类系统的关键组件。若将赛普拉斯产品用于生命支持系统，则表示制造商将承担因此类使用而招致的所有风险，并确保赛普拉斯免于因此而受到任何指控。

所有源代码（软件和 / 或固件）均归赛普拉斯半导体公司（赛普拉斯）所有，并受全球专利法规（美国和美国以外的专利法规）、美国版权法以及国际条约规定的保护和约束。赛普拉斯据此向获许可者授予适用于个人的、非独占性、不可转让的许可，用以复制、使用、修改、创建赛普拉斯源代码的派生作品、编译赛普拉斯源代码和派生作品，并且其目的只能是创建自定义软件和 / 或固件，以支持获许可者仅将其获得的产品依照适用协议规定的方式与赛普拉斯集成电路配合使用。除上述指定的用途之外，未经赛普拉斯的明确书面许可，不得对此类源代码进行任何复制、修改、转换、编译或演示。

免责声明：赛普拉斯不针对此材料提供任何类型的明示或暗示保证，包括（但不限于）针对特定用途的适销性和适用性的暗示保证。赛普拉斯保留在不另行通知的情况下对此处所述材料进行更改的权利。赛普拉斯不对此处所述之任何产品或电路的应用或使用承担任何责任。对于可能发生运转异常和故障并对用户造成严重伤害的生命支持系统，赛普拉斯不授权将其产品用作此类系统的关键组件。若将赛普拉斯产品用于生命支持系统中，则表示制造商将承担因此类使用而招致的所有风险，并确保赛普拉斯免于因此而受到任何指控。

产品使用可能受适用的赛普拉斯软件许可协议限制。