

特性

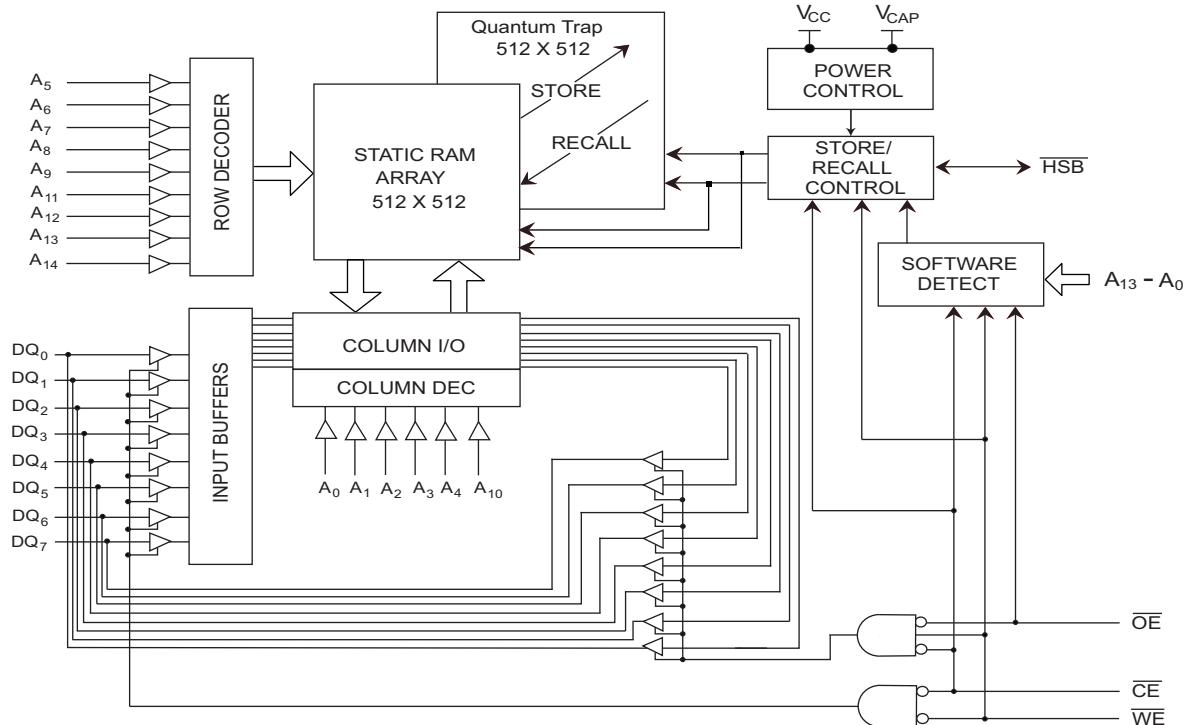
- 访问时间为 25 ns 和 45 ns
- 内部采用了 32 K × 8 的组织方式 (CY14B256LA)
- 只需一个小电容，即可在断电时实现自动存储
- 可通过软件、器件引脚或断电时自动存储来触发存储至 QuantumTrap 非易失性元件
- 可通过软件或加电触发回读至 SRAM
- 无限次读、写和回读周期
- 一百万次的 QuantumTrap 存储周期
- 20 年的数据保留时间
- 在 3 V (+20% 到 –10%) 的单电源供电情况下的操作
- 工业级温度
- 44 引脚薄小外型封装 (TSOP) II 型、48 引脚紧缩小外形封装 (SSOP) 和 32 引脚小外形集成电路 (SOIC) 封装
- 无铅，并满足有害物质限制 (RoHS) 规定

功能说明

赛普拉斯 CY14B256LA 是一种快速静态 RAM，且每个存储器单元中都包含非易失性元件。该存储器采用“32 K 字节，每字节 8 位”的组织方式。嵌入式非易失性元件通过采用 QuantumTrap 技术，打造出了世界上最可靠的非易失性存储器。SRAM 能够实现无限次读写周期，而独立的非易失性数据则存储在高度可靠的 QuantumTrap 单元中。断电时，数据会从 SRAM 自动转移到非易失性元件内（“存储”操作）。加电时，数据会从非易失性存储器存储到 SRAM（“回读”操作）。也可以在软件控制下执行“存储”和“回读”操作。

要获取相关文档的完整列表，请单击[此处](#)。

逻辑框图



目录

引脚分布	3
引脚定义	4
器件运行	5
SRAM 读取	5
SRAM 写入	5
自动存储操作	5
硬件存储操作	5
硬件回读（加电）	6
软件存储	6
软件回读	6
阻止自动存储	7
数据保护	7
最大额定值	8
工作范围	8
直流电气特性	8
数据保留时间与耐久性	9
电容	9
热阻	9
交流测试负载	10
交流测试条件	10
交流切换特性	11
切换波形	11
自动存储 / 加电回读	13
切换波形	13
软件控制的存储 / 回读周期	14
切换波形	14
硬件存储周期	15
切换波形	15
SRAM 操作的真值表	16
订购信息	16
订购代码定义	16
封装图	17
缩略语	20
文档规范	20
测量单位	20
文档修订记录页	21
销售、解决方案和法律信息	22
全球销售和设计支持	22
产品	22
PSoC 解决方案	22

引脚分布

图 1. 44 引脚 TSOP II /48 引脚 SSOP 的引脚分配

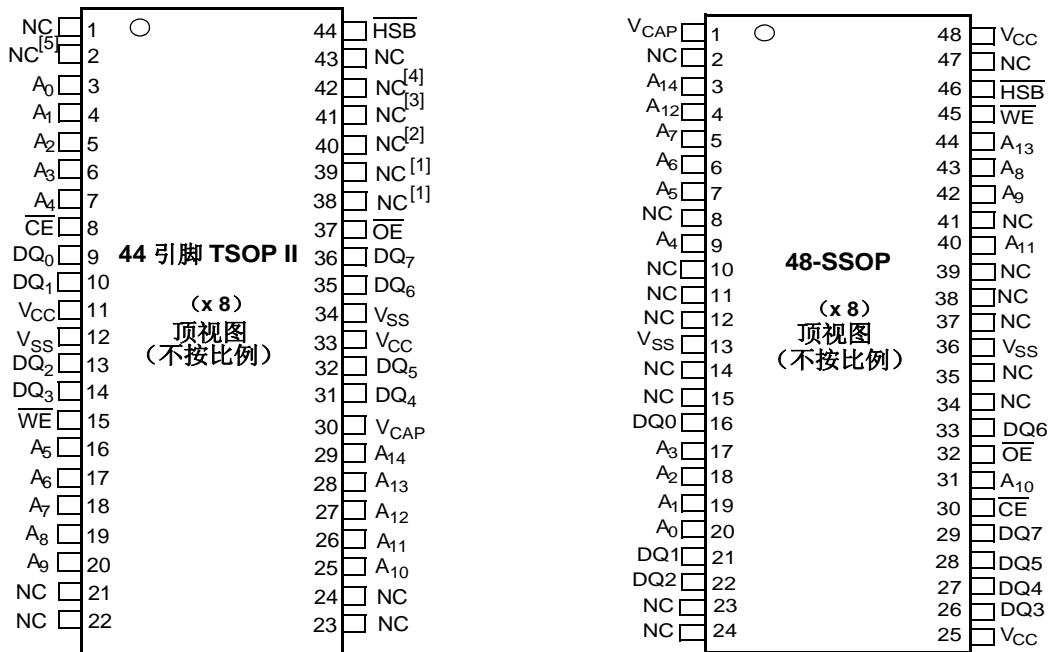
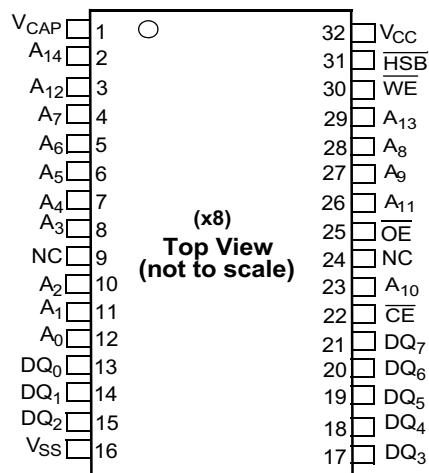


图 2. 32 引脚 SOIC 的引脚分布



注释:

1. 1 Mbit 的地址扩展。 NC 引脚未连接到芯片。
2. 2 Mbit 的地址扩展。 NC 引脚未连接到芯片。
3. 4 Mbit 的地址扩展。 NC 引脚未连接到芯片。
4. 8 Mbit 的地址扩展。 NC 引脚未连接到芯片。
5. 16 Mbit 的地址扩展。 NC 引脚未连接到芯片。

引脚定义

引脚名称	I/O 类型	说明
A ₀ -A ₁₄	输入	地址输入。用于选择 nvSRAM 的 32,768 字节中的某个字节。
DQ ₀ -DQ ₇	输入 / 输出	双向数据 I/O 线。根据操作将该引脚作为输入或输出线路使用。
WE	输入	低电平有效的写使能输入。当使能芯片，并 WE 为低电平时，I/O 引脚上的数据被写入到指定的地址位置内。
CE	输入	低电平有效的芯片使能输入。如果该引脚为低电平，将选择芯片。如果该引脚为高电平，则取消选择芯片。
OE	输入	低电平有效的输出使能。低电平有效输入 OE 在读周期内使能数据输出缓冲器。在取消激活高电平的 OE 时，I/O 引脚会进入三态。
V _{SS}	接地	器件的接地引脚。必须连接至系统地面。
V _{CC}	电源	器件的电源输入。3.0 V + 20%，-10%
HSB	输入 / 输出	硬件存储繁忙 (HSB)。当该输出为低电平时，它表示硬件存储正在执行过程中。当在芯片外部将其置于低电平时，它表示一个非易失性存储操作。每当实现硬件和软件存储后，HSB 在较短时间 (t_{HHD}) 内通过标准输出高电流变为高电平，然后通过内部弱上拉电阻一直保持高电平状态（外部上拉电阻连接可选）。
V _{CAP}	电源	自动存储电容。在断电期间给 nvSRAM 供电是为了在该过程中将数据从 SRAM 存储到非易失性元件内。
NC	无连接	无连接。该引脚未连接到芯片。

器件运行

CY14B256LAnvSRAM由两个相同物理单元中的成对功能组件组成。它们分别是一个 SRAM 存储器单元和一个非易失性 QuantumTrap 单元。SRAM 储存器单元可作为标准快速静态 RAM 工作。SRAM 中的数据被传输到非易失性单元（存储操作），或从非易失性单元传输到 SRAM（回读操作）。使用该独特的架构，所有单元都可以并行执行存储和回读操作。在执行存储和回读操作期间，SRAM 读写操作被禁止。与典型的 SRAM 相同，CY14B256LA 支持无限次的读写操作。此外，它还提供无限次从非易失性单元的回读操作以及最多 100 万次存储操作。请参考第 16 页上的 SRAM 操作的真值表，了解读写模式完整的说明。

SRAM 读取

当 \overline{CE} 和 \overline{OE} 均为低电平，并且 \overline{WE} 和 \overline{HSB} 均为高电平时，CY14B256LA 将执行读周期。 A_{0-14} 引脚上所指定的地址决定了将对 32,768 个数据字节中进行访问的字节。当通过某个地址转换触发读取操作时，输出将经过 t_{AA} （读取周期 1）时长的延迟后有效。如果读取由 CE 或 OE 触发，则输出在 t_{ACE} 或 t_{DOE} 中较迟者的时间内有效（读取周期 2）。数据输出在 t_{AA} 访问时间内反复响应地址变化，而不需要切换任何控制输入引脚。这一直有效，直到另一个地址变化或直到 CE 或 OE 变为高电平，或 WE 或 HSB 变为低电平为止。

SRAM 写入

当 \overline{CE} 和 \overline{WE} 均为低电平且 \overline{HSB} 为高电平时，将执行写循环。地址输入稳定下来后才能进入写周期，并且该输入必须保持稳定状态，直到 CE 或 WE 在周期结束时变为高电平为止。如果在 WE 控制的写操作结束前或在 CE 控制的写操作结束前，数据在 t_{SD} 时间内有效，那么通用 I/O 引脚 DQ_{0-7} 上的数据将被写入到存储器中。在整个写周期期间保持 OE 为高电平可以避免通用 I/O 线路上出现数据总线冲突。如果 OE 为低电平，那么在 WE 变为低电平之后，内部电路将在 t_{HZWE} 时间内关闭输出缓冲器。

自动存储操作

CY14B256LA 通过下面三个方法中的一个，可以将数据存储到 nvSRAM 内：由 HSB 激活的硬件存储操作；由地址序列激活的软件存储操作；器件断电时的自动存储操作。自动存储操作是 QuantumTrap 技术独有的特性，在 CY14B256LA 上默认使能了该特性。

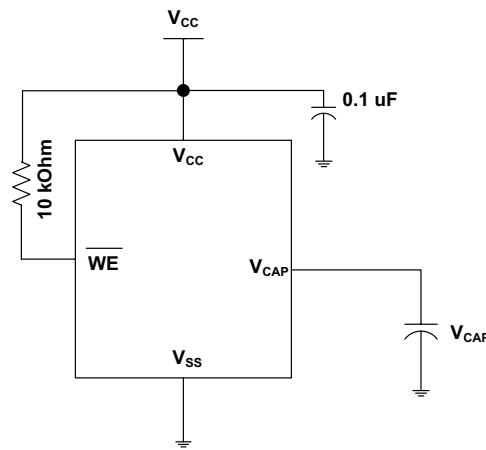
在正常工作时，器件从 V_{CC} 接收电流，进而给与 V_{CAP} 引脚连接的电容充电。芯片使用该存储的电荷执行单个存储操作。如果 V_{CC} 引脚的电压降到 V_{SWITCH} 以下，器件将自动断开 V_{CAP} 引脚与 V_{CC} 的连接。通过 V_{CAP} 电容提供的电源触发存储操作。

注意：如果电容未与 V_{CAP} 引脚连接，那么必须使用 第 7 页上的阻止自动存储 中指定的软序列来禁用自动存储操作。如果在没有 V_{CAP} 引脚上的电容时使能自动存储，则器件将在未足够电荷的情况下尝试自动存储操作以完成存储。这样会破坏 nvSRAM 中存储的数据。

图 3 显示的是自动存储操作要求的存储电容 (V_{CAP}) 正确连接。请参考第 8 页上的 直流电气特性，了解 V_{CAP} 的大小。 V_{CAP} 引脚上的电压通过芯片上的电压调节器输入到 V_{CC} 。将一个上拉电阻 放置在 WE 上，以便在加电过程中使其保持为非活动状态。只有 WE 信号在加电期间处于三态时，该上拉电阻才有效。很多 MPU 在加电时会使它们的控制引脚进入高阻态。使用上拉电阻时必须验证这种情况。当 nvSRAM 退出加电回读时，MPU 必须处于活动状态或者 WE 保持无效状态，直到 MPU 退出复位状态为止。

为了降低不必要的非易失性存储，将忽略自动存储和硬件存储操作，除非在最新的存储或回读周期后至少发生了一次写操作。无论是否发生写操作，都会执行软件触发的存储循环。系统会监控 HSB 信号，以检测是否正在执行自动存储周期。

图 3. 自动存储模式



硬件存储操作

CY14B256LA 提供了 \overline{HSB} 引脚，用于控制和确定存储操作。使用 \overline{HSB} 引脚来请求硬件存储周期。当 \overline{HSB} 引脚被设置为低电平时，CY14B256LA 将经过 t_{DELAY} 时间后有条件地启动存储操作。仅在最后一个存储或回读周期后发生了对 SRAM 的写操作时才开始实际的存储周期。HSB 引脚还作为开漏驱动器（内部 100 k Ω 弱上拉电阻）使用，它在进行存储操作（通过任何手段触发）时会内部变为低电平，以指示其繁忙状态。

注意：每次进行硬件和软件存储操作后， \overline{HSB} 都会在一段较短的时间内 (t_{HHHD}) 从标准输出高电流变为高电平，然后通过内部 100 k Ω 的上拉电阻保持这种高电平状态。

在 \overline{HSB} 通过某些手段变为低电平时所进行的 SRAM 写操作要在启动存储操作前给定的时间 (t_{DELAY}) 内完成。但是，在 \overline{HSB} 变为低电平后请求的任何 SRAM 写周期都被禁止，直到 \overline{HSB} 变回高电平。如果未设置写锁存，那么 \overline{HSB} 不会被 CY14B256LA 置为低电平。但是所有 SRAM 读和写周期都被禁止，直到 MPU 或其他外部源使 \overline{HSB} 变回高电平为止。

在任何存储操作期间，无论它如何启动，CY14B256LA 都会继续将 HSB 引脚置为低电平，仅在存储完成时才会释放。完成存储操作，并且 HSB 引脚返回到高电平后，nvSRAM 存储器访问将在 t_{LZHSB} 时间内被禁止。如果不使用 HSB，请保持它的未连接状态。

硬件回读（加电）

上电时或任何低功率状态之后 ($V_{CC} < V_{SWITCH}$)，内部回读请求将被锁存。如果 V_{CC} 再次超过了 V_{SWITCH} 的检测电压，将自动启动回读周期并需要经过 t_{RECALL} 的时间来完成。在此期间内，HSB 驱动器会将 HSB 置为低电平。

软件存储

通过软件地址序列将数据从 SRAM 传输到非易失性存储器内。按顺序准确从六个特定地址执行连续的 CE 或 OE 控制的读周期后，可以启动 CY14B256LA 软件存储周期。在存储周期期间，首先擦除上一个非易失性数据，接下来执行非易失性元件程序。启动存储周期后，将禁用后续的输入和输出，直到该周期完成为止。

由于特定地址的读取序列用于存储启动，所以在该序列中要避免其他读或写访问的干预，否则该序列将被中止，并且不会发生任何存储或回读操作。

想要启动软件存储周期，必须执行下列读取序列：

1. 读取地址 0x0E38，有效读取
2. 读取地址 0x31C7，有效读取
3. 读取地址 0x03E0，有效读取
4. 读取地址 0x3C1F，有效读取
5. 读取地址 0x303F，有效读取
6. 读取地址 0x0FC0，启动存储周期

当 \overline{WE} 在六个读取序列中始终保持为高电平状态时，可以通过 \overline{CE} 控制的读取或 \overline{OE} 控制的读取给软件序列提供时钟脉冲。在序列中输入第六个地址之后，存储周期将立即开始，且芯片被禁用。HSB 被置为低电平。达到 STORE 周期时间后，SRAM 再次被激活以进行读和写操作。

软件回读

通过软件地址序列将非易失性存储器内的数据传输到 SRAM 中。软件回读周期以与软件存储启动类似的方式通过读操作序列启动。若要启动回读周期，必须执行下列 CE 或 OE 所控制的读操作序列：

1. 读取地址 0x0E38，有效读取
2. 读取地址 0x31C7，有效读取
3. 读取地址 0x03E0，有效读取
4. 读取地址 0x3C1F，有效读取
5. 读取地址 0x303F，有效读取
6. 读取地址 0x0C63，启动回读周期

在内部，回读程序包括两个步骤。首先，清除 SRAM 数据。然后，将非易失性信息传输到 SRAM 单元中。经过 t_{RECALL} 周期时间后，SRAM 再次处于就绪状态，以进行读和写操作。回读操作不会更改非易失性元件中的数据。

表 1. 模式选择

\overline{CE}	\overline{WE}	\overline{OE}	$A_{14}-A_0^{[6]}$	模式	I/O	电源
H	X	X	X	未选中	输出高阻态	待机
L	H	L	X	读取 SRAM	输出数据	活动
L	L	X	X	写入 SRAM	输入数据	活动
L	H	L	0x0E38 0x31C7 0x03E0 0x3C1F 0x303F 0x0B45	读取 SRAM 读取 SRAM 读取 SRAM 读取 SRAM 读取 SRAM 自动存储禁用	输出数据 输出数据 输出数据 输出数据 输出数据 输出数据	有效 ^[7]

注释：

6. CY14B256LA 上有 15 个地址行，其中只有较低的 14 个地址行被用于控制软件模式。
7. 六个连续的地址必须按顺序列出。 \overline{WE} 在六个周期期间必须为高电平才能使能非易失性循环。

表 1. 模式选择 (续)

CE	WE	OE	A₁₄-A₀^[6]	模式	I/O	电源
L	H	L	0x0E38 0x31C7 0x03E0 0x3C1F 0x303F 0x0B46	读取 SRAM 读取 SRAM 读取 SRAM 读取 SRAM 读取 SRAM 自动存储使能	输出数据 输出数据 输出数据 输出数据 输出数据 输出数据	活动 ^[8]
L	H	L	0x0E38 0x31C7 0x03E0 0x3C1F 0x303F 0x0FC0	读取 SRAM 读取 SRAM 读取 SRAM 读取 SRAM 读取 SRAM 非易失性存储	输出数据 输出数据 输出数据 输出数据 输出数据 输出高阻态	活动 I_{CC2} ^[8]
L	H	L	0x0E38 0x31C7 0x03E0 0x3C1F 0x303F 0x0C63	读取 SRAM 读取 SRAM 读取 SRAM 读取 SRAM 读取 SRAM 非易失性回读	输出数据 输出数据 输出数据 输出数据 输出数据 输出高阻态	活动 ^[8]

阻止自动存储

通过启动自动存储禁用的序列，可以禁用自动存储功能。以与软件存储启动类似的方式执行读操作序列。如要启动自动存储禁用序列，必须执行下面 CE 或 OE 控制的读操作序列：

1. 读取地址 0xE38，有效读取
2. 读取地址 0x31C7，有效读取
3. 读取地址 0x03E0，有效读取
4. 读取地址 0x3C1F，有效读取
5. 读取地址 0x303F，有效读取
6. 读取地址 0xB45，自动存储被禁用

通过启动自动存储使能序列，可以重新使能自动存储功能。以与软件回读启动类似的方式执行读操作序列。如果要启动自动存储使能序列，必须执行下列 CE 或 OE 控制的读操作序列：

1. 读取地址 0xE38，有效读取
2. 读取地址 0x31C7，有效读取
3. 读取地址 0x03E0，有效读取
4. 读取地址 0x3C1F，有效读取
5. 读取地址 0x303F，有效读取
6. 读取地址 0xB46，自动存储使能

如果禁用或重新使能自动存储功能，则必须触发手动存储操作（软件或硬件）才能在后续的断电循环中保存自动存储。器件出厂时已使能自动存储功能，且已在所有单元中写入了 0x00。

数据保护

CY14B256LA 通过禁止外部启动的存储和写操作，可以避免在低电压状态下破坏数据。当 V_{CC} 低于 V_{SWITCH} 时，将检测到低电压状态。如果 CY14B256LA 在加电时处于写模式（CE 和 WE 均为低电平），则在回读或存储后将禁止写操作，直到经过 t_{LZHSB} （HSB 到输出有效的时间）时间后使能 SRAM 为止。这样可以防止在加电或断电时发生意外写操作。

注释：

8. 六个连续的地址必须按顺序列出。 \overline{WE} 在六个周期期间必须为高电平才能使能非易失性循环。

最大额定值

超过最大额定值可能会影响器件的使用寿命。这些用户指导未经测试。

存储温度 -65 °C 到 +150 °C

最长的累积存储时间：

在 150°C 环境温度下，

累积存储时间为 1000 个小时

在 85°C 环境温度下，累积存储时间为 20 年

最高结温 150°C

V_{CC} (相对于 V_{SS}) 的供电电压范围为 -0.5 V 到 4.1 V

应用于高阻态的输出电压 -0.5 V 到 $V_{CC} + 0.5$ V

输入电压 -0.5 V 到 $V_{CC} + 0.5$ V

处于接地电位的所有引脚上的
瞬变电压 (< 20 ns) -2.0 V 到 $V_{CC} + 2.0$ V

封装功率率散耗能力
($T_A = 25$ °C) 1.0 W

表面贴装铅焊温度 (3 秒) +260 °C

直流输出电流
(每次只输出 1 路电流，持续时间为 1 秒) 15 mA

静电放电电压
(根据 MIL-STD-883, 方法 3015) > 2001 V

闩锁电流 > 200 mA

工作范围

范围	环境温度	V_{CC}
工业级	-40°C 至 +85°C	2.7 V 至 3.6 V

直流电气特性

在工作范围内

参数	说明	测试条件	最小值	典型值 ^[9]	最大值	单位
V_{CC}	电源		2.7	3.0	3.6	V
I_{CC1}	平均电流 V_{CC}	$t_{RC} = 25$ ns $t_{RC} = 45$ ns 无输出负载下取得的值 ($I_{OUT} = 0$ mA)	-	-	70 52	mA mA
I_{CC2}	存储过程中的 V_{CC} 平均电流	所有输入无需关注, $V_{CC} = t_{STORE}$ 期间的最大平均电流	-	-	10	mA
I_{CC3}	在 $t_{RC} = 200$ ns、 $V_{CC(Typ)}$ 、25 °C 条件下的 V_{CC} 平均电流	所有输入在 CMOS 电平循环。 无输出负载下取得的值 ($I_{OUT} = 0$ mA)。	-	35	-	mA
I_{CC4}	自动存储周期期间的 V_{CAP} 平均电流	所有输入无需关注。 t_{STORE} 期间的平均电流	-	-	5	mA
I_{SB}	V_{CC} 待机电流	$\bar{CE} \geq (V_{CCQ} - 0.2$ V)。 $V_{IN} \leq 0.2$ V 或 $\geq (V_{CC} - 0.2$ V)。 非易失性循环完成后的待机电流强度。 输入处于静态状态。 $f = 0$ MHz。	-	-	5	mA
$I_{IX}^{[10]}$	输入漏电流 (\overline{HSB} 除外)	$V_{CC} =$ 最大值, $V_{SS} \leq V_{IN} \leq V_{CC}$	-1	-	+1	μA
	输入漏电流 (适用于 \overline{HSB})	$V_{CC} =$ 最大值, $V_{SS} \leq V_{IN} \leq V_{CC}$	-100	-	+1	μA
I_{OZ}	断开状态输出漏电流	$V_{CC} =$ 最大值, $V_{SS} \leq V_{OUT} \leq V_{CC}$, CE 或 $OE \geq V_{IH}$ 或 $WE \leq V_{IL}$	-1	-	+1	μA
V_{IH}	输入高电平电压		2.0	-	$V_{CC} + 0.5$	V
V_{IL}	输入低电平电压		$V_{SS} - 0.5$	-	0.8	V
V_{OH}	输出高电平电压	$I_{OUT} = -2$ mA	2.4	-		V
V_{OL}	输出低电平电压	$I_{OUT} = 4$ mA	-	-	0.4	V

- 注释:**
- 9. 典型值的温度为 25°C、 $V_{CC} = V_{CC(Typ)}$ 。并未经过 100% 测试。
 - 10. 如果高电平有效和低电平有效的驱动程序均被禁用，那么对于 \overline{HSB} 引脚，当 V_{OH} 等于 2.4 V 时， $I_{OUT} = -2$ μA。使能这些驱动程序后，标准 V_{OH} 和 V_{OL} 均有效。该参数被特性化，且非 100% 均经过测试。

直流电气特性（续）

在工作范围内

参数	说明	测试条件	最小值	典型值 ^[9]	最大值	单位
$V_{CAP}^{[11]}$	存储电容	介于 V_{CAP} 引脚和 V_{SS} 之间	61	68	180	μF
$V_{VCAP}^{[12, 13]}$	器件在 V_{CAP} 引脚上的最大驱动电压	$V_{CC} = \text{最大值}$	-	-	V_{CC}	V

数据保留时间与耐久性

在工作范围内

参数	说明	最小值	单位
$DATA_R$	数据保留时间	20	年
NV_C	执行非易失性存储操作的次数	1,000	K

电容

参数 ^[13]	说明	测试条件	最大值	单位
C_{IN}	输入电容（HSB 除外）	$T_A = 25^\circ C, f = 1 MHz, V_{CC} = V_{CC(\text{Typ})}$	7	pF
	输入电容（适用于 HSB）		8	pF
C_{OUT}	输出电容（HSB 除外）		7	pF
	输出电容（适用于 HSB）		8	pF

热阻

参数 ^[13]	说明	测试条件	48 引脚 SSOP	44 引脚 TSOP II	32 引脚 SOIC	单位
Θ_{JA}	热电阻 (结温到室温)	根据 EIA/JESD51 的要求，测试条件遵循测试热电阻的标准测试方法和流程。	37.47	41.74	41.55	$^\circ C/W$
Θ_{JC}	热电阻 (结温至壳温)		24.71	11.9	24.43	$^\circ C/W$

注释：

11. 最小的 V_{CAP} 值要保证能够提供顺利完成自动存储操作所需要的电荷。在加电回读周期内， V_{CAP} 的最大值确保使用了最小的电压给 V_{CAP} 上的电容充电。这样，在紧急断电期间，可以顺利地完成自动存储操作。因此，建议始终使用在指定最小和最大极限值内的电容。请参考应用笔记 AN43593，了解有关 V_{CAP} 选项的详细信息。
12. 当选择 V_{CAP} 电容时，可提供 V_{CAP} 引脚上的最大电压 (V_{VCAP}) 作为指导。在工作温度范围内， V_{CAP} 电容的额定电压应高于 V_{VCAP} 电压。
13. 这些参数由设计保证，但未进行过测试。

交流测试负载

图 4. 交流测试负载



交流测试条件

输入脉冲电平 0 V 到 3 V
 输入上升和下降时间 (10% – 90%) ≤ 3 ns
 输入和输出的时序参考电平 1.5 V

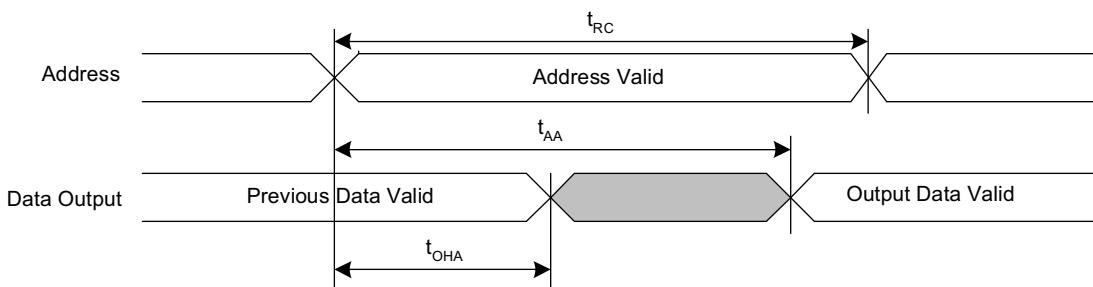
交流切换特性

在工作范围内

参数 ^[14]	说明	25 ns		45 ns		单位
		最小值	最大值	最小值	最大值	
SRAM 读周期						
t _{ACE}	t _{ACS}	芯片使能访问时间	—	25	—	45 ns
t _{RC} ^[15]	t _{RC}	读周期的时间	25	—	45	— ns
t _{AA} ^[16]	t _{AA}	地址访问时间	—	25	—	45 ns
t _{DOE}	t _{OE}	输出使能到数据有效的时间	—	12	—	20 ns
t _{OHA} ^[16]	t _{OH}	地址更改后的输出保持时间	3	—	3	— ns
t _{LZCE} ^[17, 18]	t _{LZ}	芯片使能到输出有效的时间	3	—	3	— ns
t _{HZCE} ^[17, 18]	t _{HZ}	芯片禁用到输出无效的时间	—	10	—	15 ns
t _{LZOE} ^[17, 18]	t _{OLZ}	从输出使能到输出有效的时间	0	—	0	— ns
t _{HZOE} ^[17, 18]	t _{OHZ}	从输出禁用到输出无效的时间	—	10	—	15 ns
t _{PU} ^[17]	t _{PA}	芯片使能到电源有效的时间	0	—	0	— ns
t _{PD} ^[17]	t _{PS}	芯片禁用到电源待机的时间	—	25	—	45 ns
SRAM 写周期						
t _{WC}	t _{WC}	写周期时间	25	—	45	— ns
t _{PWE}	t _{WP}	写入脉冲宽度	20	—	30	— ns
t _{SCE}	t _{CW}	芯片使能到写周期结束的时间	20	—	30	— ns
t _{SD}	t _{DW}	数据建立到写周期结束的时间	10	—	15	— ns
t _{HD}	t _{DH}	写周期结束后数据保持时间	0	—	0	— ns
t _{AW}	t _{AW}	地址建立到写周期结束的时间	20	—	30	— ns
t _{SA}	t _{AS}	从地址建立到写周期开始的时间	0	—	0	— ns
t _{HA}	t _{WR}	写周期结束后地址保持时间	0	—	0	— ns
t _{HZWE} ^[17, 18, 19]	t _{WZ}	从写周期使能到输出禁用的时间	—	—	—	15 ns
t _{LZWE} ^[17, 18]	t _{OW}	写周期结束后输出有效时间	3	—	3	— ns

切换波形

图 5. 第一个 SRAM 读周期（地址控制）^[15, 16, 20]



注释：

14. 测试条件采用等于或短于 3 ns 的信号跳变时间, $V_{CC}/2$ 的时序参考电平, 0 至 $V_{CC}(\text{typ})$ 的输入脉冲电平以及图中所示的指定 I_{OL}/I_{OH} 的输出负载和负载电容。
15. WE 必须在 SRAM 读周期内保持高电平状态。
16. 当 CE 和 OE 均为低电平时, 会一直选中器件。
17. 这些参数由设计保证, 但未进行过测试。
18. 稳定状态下所测量的输出电压为 $\pm 200 \text{ mV}$ 。
19. 如果 CE 变为低电平时 WE 处于低电平状态, 输出会保持高阻抗状态。
20. 在读和写周期内, HSB 必须保持高电平状态。

切换波形 (续)

图 6. 第二个 SRAM 读周期 ($\overline{\text{CE}}$ 和 $\overline{\text{OE}}$ 控制) [21、22]

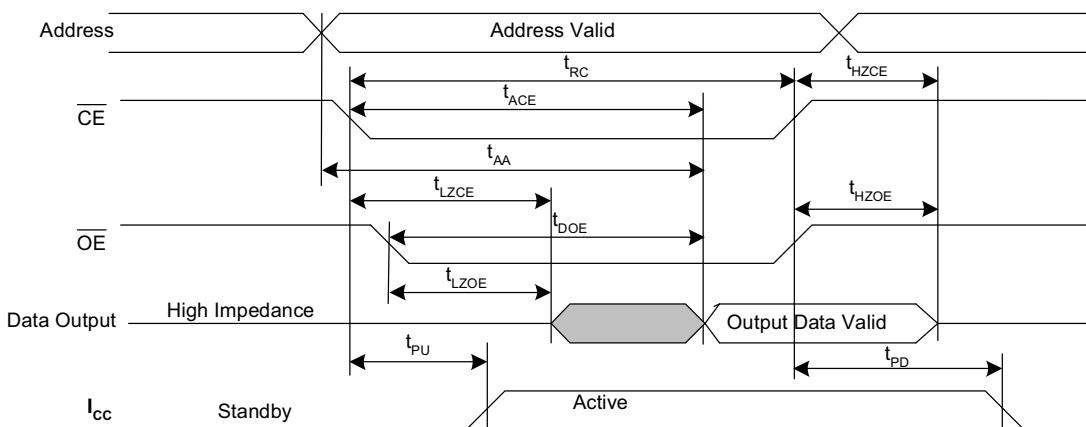


图 7. 第一个 SRAM 写周期 ($\overline{\text{WE}}$ 控制) [22、23、24]

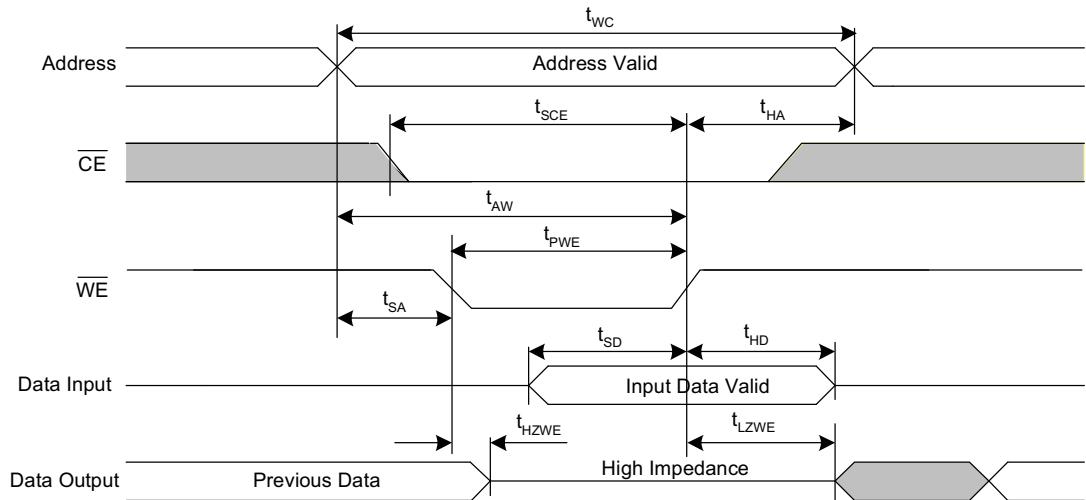
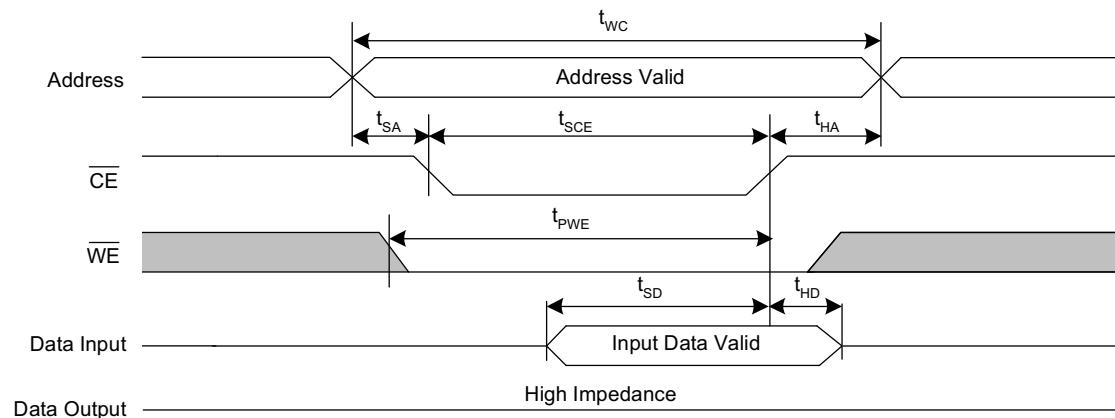


图 8. 第二个 SRAM 写周期 ($\overline{\text{CE}}$ 控制) [22、23、24]



注释:

21. $\overline{\text{WE}}$ 必须在 SRAM 读周期内保持高电平状态。
22. 在读和写周期内，HSB 必须保持高电平状态。
23. 如果 $\overline{\text{CE}}$ 变为低电平时 $\overline{\text{WE}}$ 处于低电平状态，输出会保持高阻抗状态。
24. 地址转换期间， $\overline{\text{CE}}$ 或 $\overline{\text{WE}}$ 必须 $\geq V_{IH}$ 。

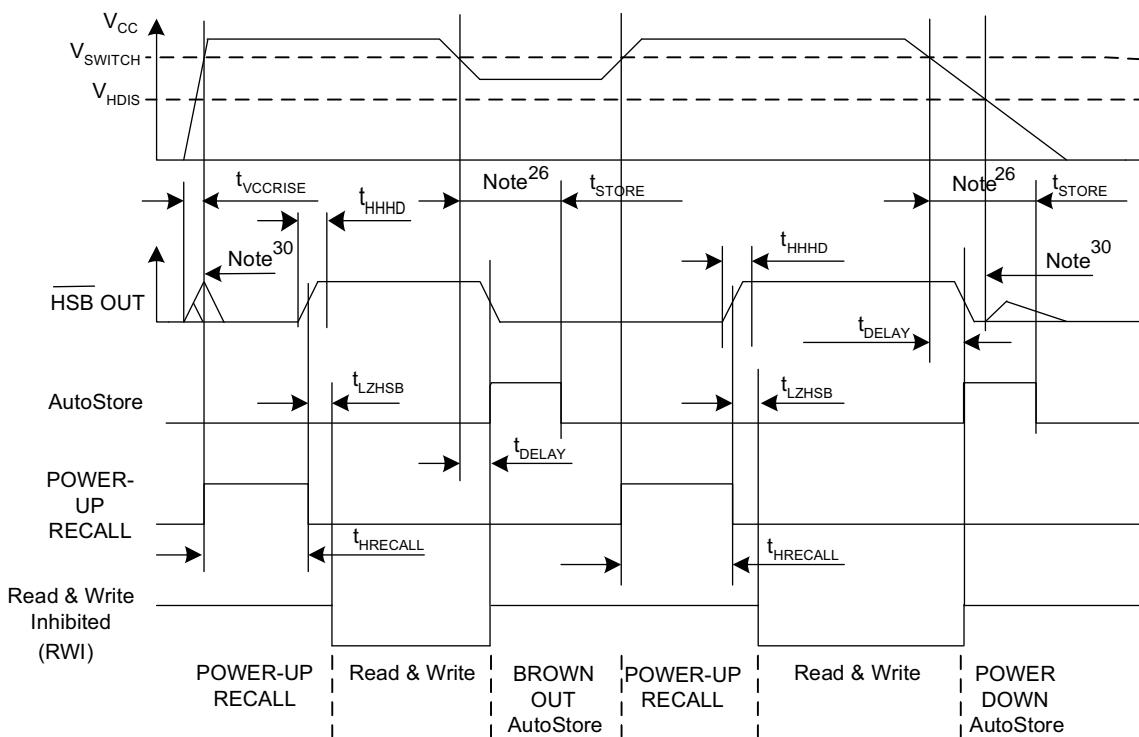
自动存储 / 加电回读

在工作范围内

参数	说明	CY14B256LA		单位
		最小值	最大值	
$t_{HRECALL}$ [25]	加电回读时间	—	20	ms
t_{STORE} [26]	存储周期时间	—	8	ms
t_{DELAY} [27]	完成 SRAM 写入周期所允许的时间	—	25	ns
V_{SWITCH}	低电压触发电平	—	2.65	V
$t_{VCCRISE}$ [28]	V_{CC} 上升时间	150	—	μ s
V_{HDIS} [28]	\overline{HSB} 输出禁用电压	—	1.9	V
t_{LZHSB} [28]	从 \overline{HSB} 到输出有效的时间	—	5	μ s
t_{HHHD} [28]	\overline{HSB} 高电平有效时间	—	500	ns

切换波形

图 9. 自动存储或加电回读 [29]



注释:

25. 当 V_{CC} 大于 V_{SWITCH} 时, 将开始计算 $t_{HRECALL}$ 。
26. 如果完成最后一次非易失性循环后尚未对 SRAM 进行写操作, 则不会执行自动存储或硬件存储操作。
27. 在启动硬件存储和自动存储时, SRAM 写操作会在 t_{DELAY} 时间内持续使能。
28. 这些参数由设计保证, 但未进行过测试。
29. 在 V_{CC} 低于 V_{SWITCH} 的情况下, 在存储、回读的过程中会忽略读写周期。
30. 在通电和断电期间, 如果通过外部电阻上拉 HSB 引脚的电平, HSB 会发生短时脉冲。

软件控制的存储 / 回读周期

在工作范围内

参数 [31、32]	说明	25 ns		45 ns		单位
		最小值	最大值	最小值	最大值	
t_{RC}	存储 / 回读初始化周期的时间	25	-	45	-	ns
t_{SA}	地址建立时间	0	-	0	-	ns
t_{CW}	时钟脉冲宽度	20	-	30	-	ns
t_{HA}	地址保持时间	0	-	0	-	ns
t_{RECALL}	回读持续时间	-	200	-	200	μs

切换波形

图 10. \overline{CE} 和 \overline{OE} 控制着软件存储 / 回读周期 [32]

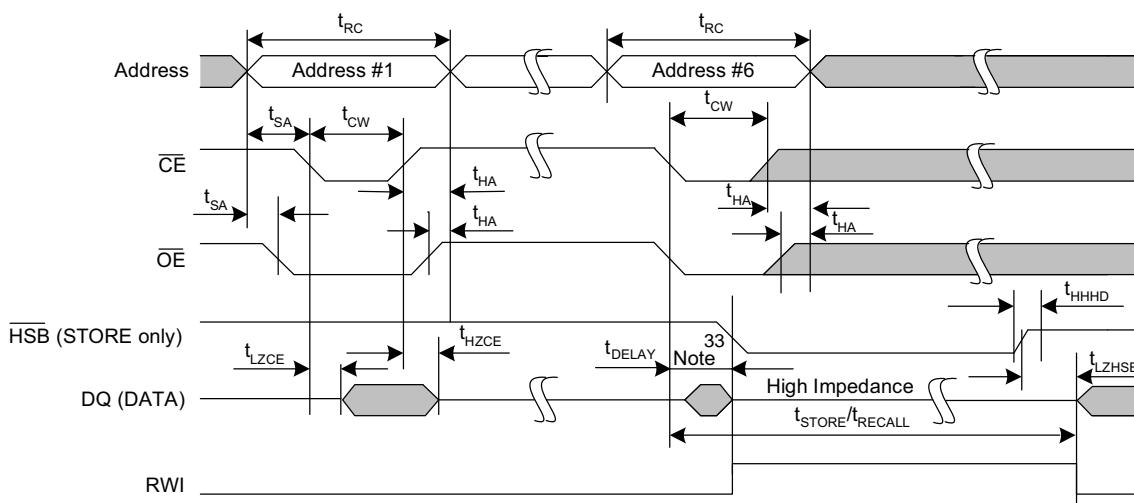
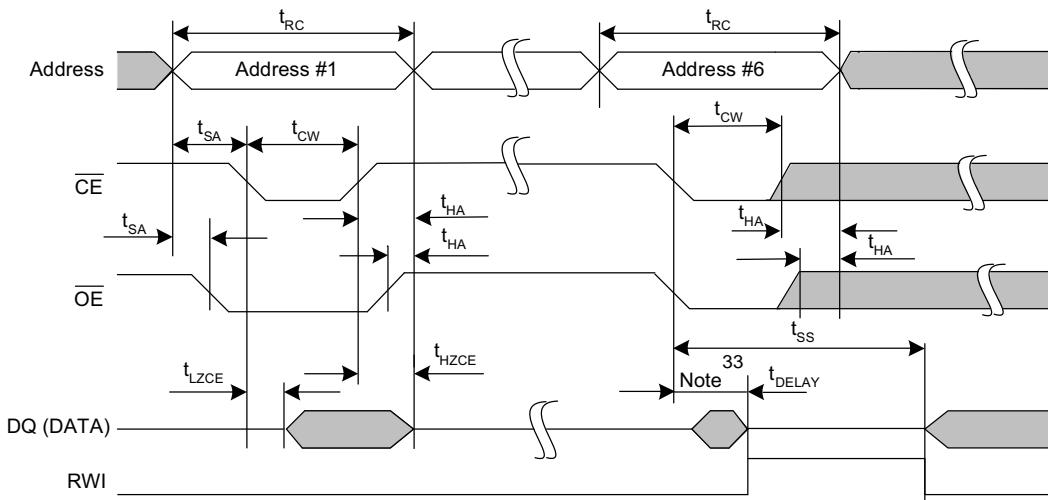


图 11. 自动存储使能 / 禁用周期 [32]



注释:

31. 由 \overline{CE} 控制的或 \overline{OE} 控制的读操作为软件序列提供时钟脉冲。
32. 必须按第 6 页上的表 1 列出的顺序读取六个连续地址。在六个连续周期内, \overline{WE} 必须保持高电平状态。
33. 由于在 t_{DELAY} 时间内禁用输出, 第六次读取的 DQ 输出数据可能无效。

硬件存储周期

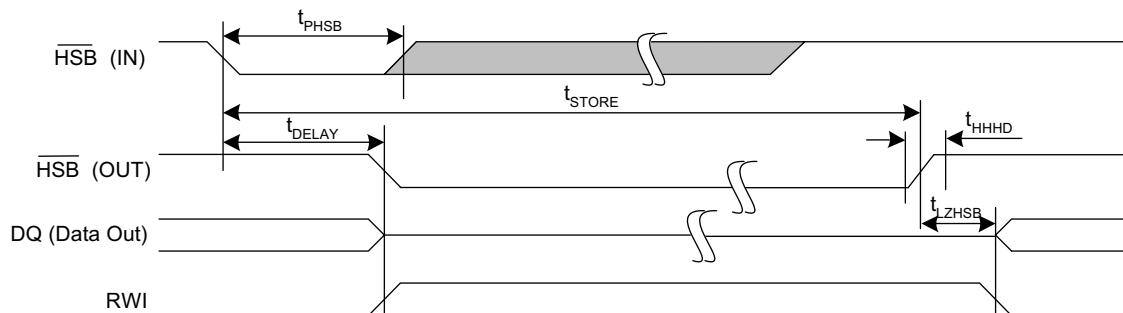
在工作范围内

参数	说明	CY14B256LA		单位
		最小值	最大值	
t_{DHSB}	未设置写入锁存时从 HSB 到输出有效的时间	—	25	ns
t_{PHSB}	硬件存储脉冲宽度	15	—	ns
$t_{ss}^{[34, 35]}$	软序列处理时间	—	100	ms

切换波形

图 12. 硬件存储周期 [36]

Write latch set



Write latch not set

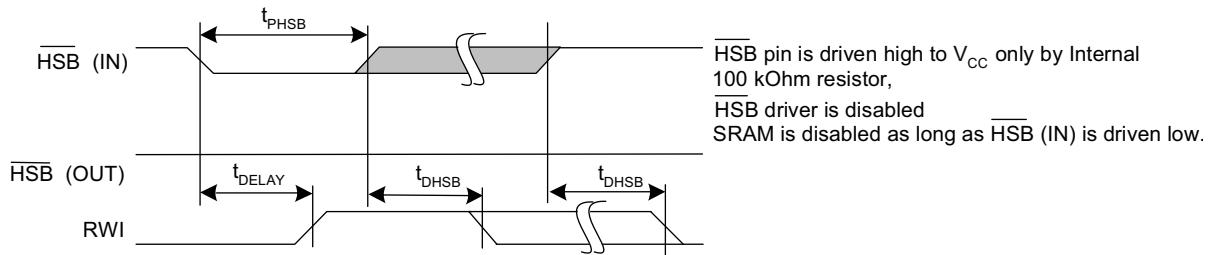
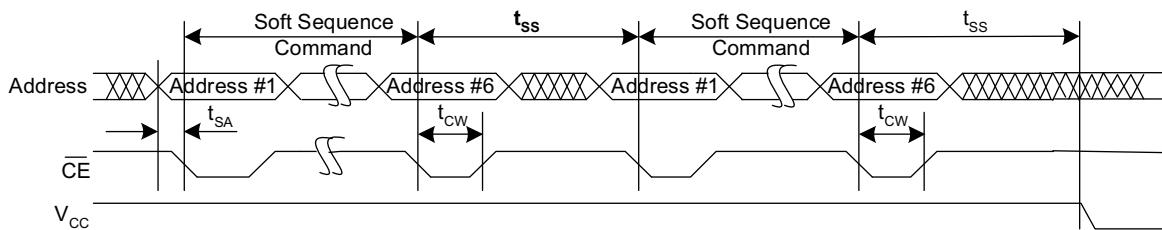


图 13. 软序列处理时间 [34、35]



注释:

- 34. 这是执行软序列指令所需要的时间。 V_{CC} 电压必须保持高电平以保证有效地寄存指令。
- 35. 存储和回读等指令会锁定 I/O，直到完成操作为止，这样会使该时间延长更久。请参见特定的指令。
- 36. 如果完成最后一次非易失性循环后尚未对 SRAM 进行写操作，则不会执行自动存储或硬件存储操作。

SRAM 操作的真值表

在 SRAM 操作过程中，HSB 必须保持高电平状态。

表 2. 真值表

CE	WE	OE	输入 / 输出	模式	电源
H	X	X	高阻态	取消选择 / 断电	待机
L	H	L	数据输出 (DQ ₀ -DQ ₇) ;	读取	活动
L	H	H	高阻态	输出处于禁用状态	活动
L	L	X	数据输入 (DQ ₀ -DQ ₇) ;	写入	活动

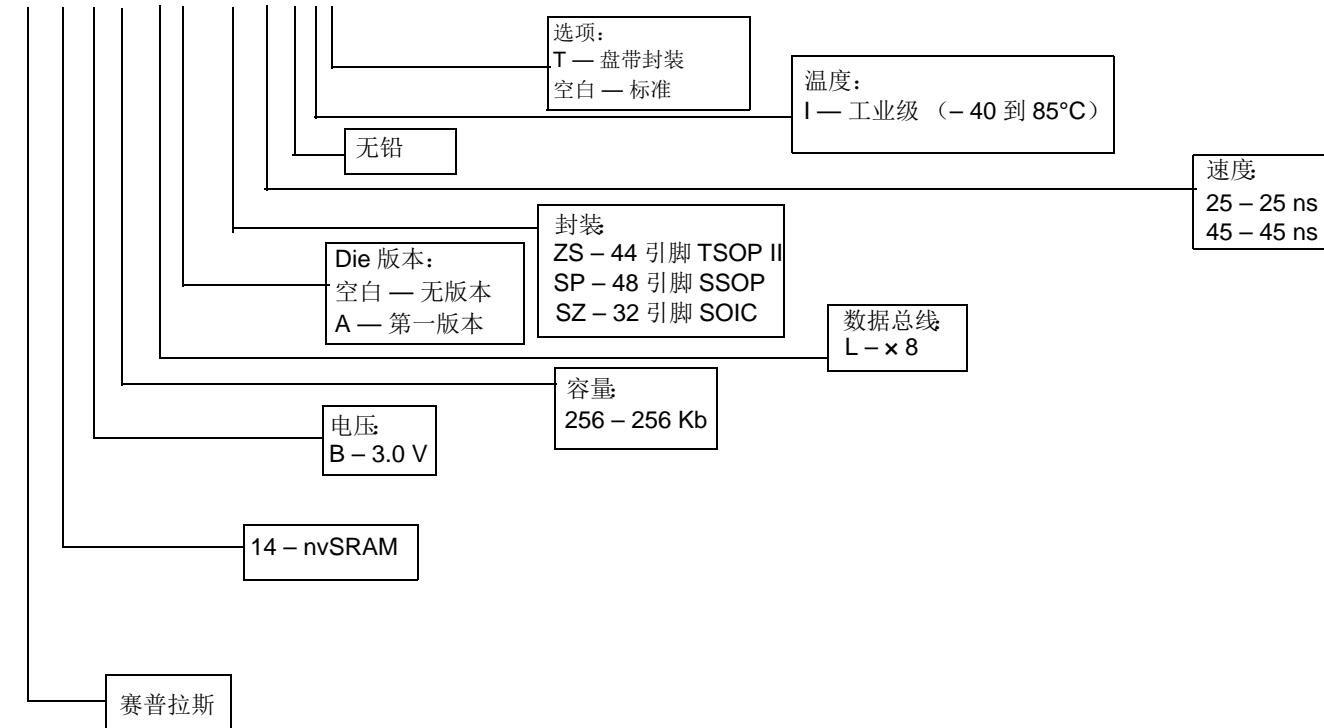
订购信息

速率 (ns)	订购代码	封装图	封装类型	工作范围
25	CY14B256LA-ZS25XIT	51-85087	44 引脚 TSOP II	工业级
	CY14B256LA-ZS25XI	51-85087	44 引脚 TSOP II	
	CY14B256LA-SP25XIT	51-85061	48 引脚 SSOP	
	CY14B256LA-SP25XI	51-85061	48 引脚 SSOP	
	CY14B256LA-SZ25XIT	51-85127	32 引脚 SOIC	
	CY14B256LA-SZ25XI	51-85127	32 引脚 SOIC	
45	CY14B256LA-SP45XIT	51-85061	48 引脚 SSOP	
	CY14B256LA-SP45XI	51-85061	48 引脚 SSOP	
	CY14B256LA-SZ45XIT	51-85127	32 引脚 SOIC	
	CY14B256LA-SZ45XI	51-85127	32 引脚 SOIC	

上述所有器件都是无铅的。

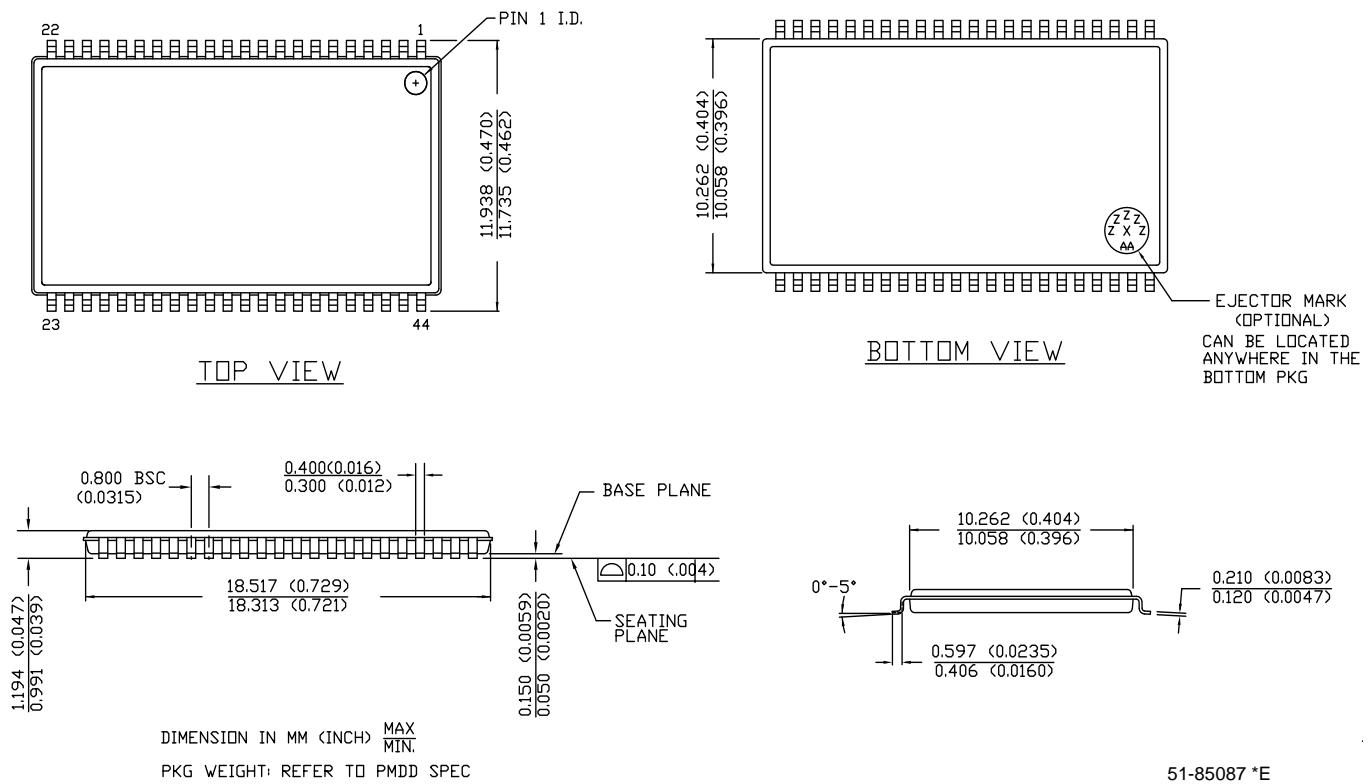
订购代码定义

CY 14 B 256 L A - ZS 25 X I T



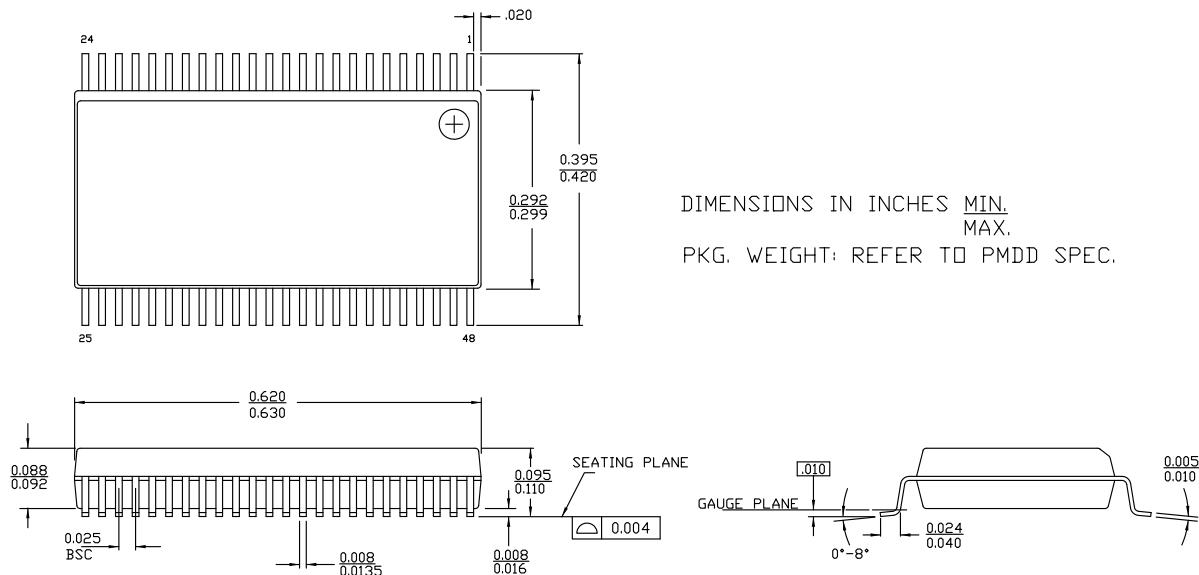
封装图

图 14. 44 引脚 TSOP II 封装外形，51-85087

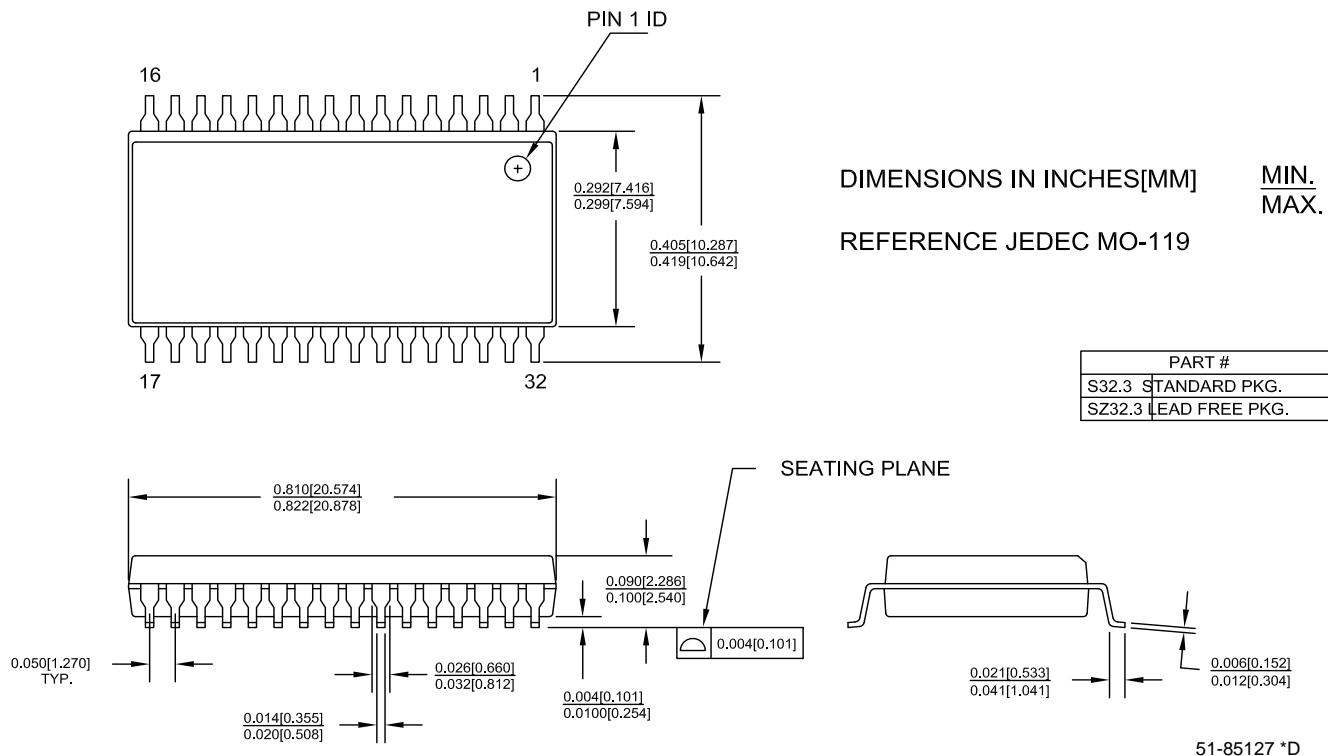


封装图（续）

图 15. 48 引脚 SSOP (300 Mil) 封装外形, 51-85061



51-85061 *F

封装图（续）
图 16. 32 引脚 SOIC (300 Mil) 封装外形，51-85127


缩略语

缩略语	说明
CE	芯片使能
CMOS	互补金属氧化物半导体
EIA	电子工业联盟
HSB	硬件存储繁忙
I/O	输入 / 输出
nvSRAM	非易失性静态随机存取存储器
OE	输出使能
RoHS	有害物质限制
RWI	禁止读和写
SRAM	静态随机存取存储器
SSOP	紧缩小外形封装
SOIC	小外形集成电路
TSOP	薄小外型封装
WE	写入使能

文档规范

测量单位

符号	测量单位
°C	摄氏度
kΩ	千欧姆
MHz	兆赫兹
μA	微安
μF	微法
μs	微秒
mA	毫安
ms	毫秒
ns	纳秒
Ω	欧姆
%	百分比
pF	皮法
V	伏特
W	瓦特

文档修订记录页

文档标题: CY14B256LA, 256 Kbit (32 K × 8) nvSRAM
文档编号: 001-95817

版本	ECN	变更者	提交日期	变更说明
**	4691556	LYAO	04/01/2015	本文档版本号为 Rev**, 译自英文版 001-54707 Rev*K。

销售、解决方案和法律信息

全球销售和设计支持

赛普拉斯公司拥有一个由办事处、解决方案中心、厂商代表和经销商组成的全球性网络。要找到距您最近的办事处，请访问[赛普拉斯所在地](#)。

产品

汽车级产品	cypress.com/go/automotive
时钟与缓冲器	cypress.com/go/clocks
接口	cypress.com/go/interface
照明与电源控制	cypress.com/go/powerpsoc cypress.com/go/plc
存储器	cypress.com/go/memory
光学与图像传感器	cypress.com/go/image
PSoC	cypress.com/go/psoc
触摸感应产品	cypress.com/go/touch
USB 控制器	cypress.com/go/USB
无线 / 射频	cypress.com/go/wireless

PSoC 解决方案

psoc.cypress.com/solutions
PSoC 1 PSoC 3 PSoC 5

© 赛普拉斯半导体公司，2009-2015。此处，所包含的信息可能会随时更改，恕不另行通知。除赛普拉斯产品内嵌的电路外，赛普拉斯半导体公司不对任何其他电路的使用承担任何责任。也不会以明示或暗示的方式授予任何专利许可或其他权利。除非与赛普拉斯签订明确的书面协议，否则赛普拉斯不保证产品能够用于或适用于医疗、生命支持、救生、关键控制或安全应用领域。此外，对于可能发生运转异常和故障并对用户造成严重伤害的生命支持系统，赛普拉斯不授权将其产品用作此类系统的关键组件。若将赛普拉斯产品用于生命支持系统，则表示制造商将承担因此类使用而招致的所有风险，并确保赛普拉斯免于因此而受到任何指控。

所有源代码（软件和/或固件）均归赛普拉斯半导体公司（赛普拉斯）所有，并受全球专利法规（美国和美国以外的专利法规）、美国版权法以及国际条约规定的保护和约束。赛普拉斯据此向获许可者授予适用于个人的、非独占性、不可转让的许可，用以复制、使用、修改、创建赛普拉斯源代码的派生作品、编译赛普拉斯源代码和派生作品，并且其目的只能是创建自定义软件和/或固件，以支持获许可者仅将其获得的产品依照适用协议规定的方式与赛普拉斯集成电路配合使用。除上述指定的用途外，未经赛普拉斯明确的书面许可，不得对这类源代码进行任何复制、修改、转换、编译或演示。

免责声明：赛普拉斯不针对此材料提供任何类型的明示或暗示保证，包括（但不仅限于）针对特定用途的适销性和适用性的暗示保证。赛普拉斯保留在不做出通知的情况下对此处所述材料进行更改的权利。赛普拉斯不对此处所述之任何产品或电路的应用或使用承担责任。对于合理预计可能发生运转异常和故障，并对用户造成严重伤害的生命支持系统，赛普拉斯不授权将其产品用作此类系统的关键组件。若将赛普拉斯产品用于生命支持系统中，则表示制造商将承担因此类使用而招致的所有风险，并确保赛普拉斯免于因此而受到任何指控。

产品使用可能适用于赛普拉斯软件许可协议的限制。