



**CY14B116L/CY14B116N/CY14B116S
CY14E116L/CY14E116N/CY14E116S**

**16 Mbit (2048 K x 8/1024 K x 16/512 K x 32)
nvSRAM**

特性

- 16 Mbit 的非易失性静态随机存取存储器 (nvSRAM)
 - 访问时间为 25 ns、30 ns 和 45 ns
 - 内部组织方式为 2048K x 8 (CY14X116L)、1024K x 16 (CY14X116N)、512K x 32 (CY14X116S)
 - 只需连接一个小电容器，即可在断电时实现自动存储
 - 通过软件、器件引脚或自动存储 (断电时) 可触发存储至 QuantumTrap 非易失性元件中
 - 通过软件或加电触发回读至 SRAM
- 可靠性高
 - 无限读、写和回读周期
 - 一百万次 QuantumTrap 存储周期
 - 数据保留: 20 年
- 睡眠模式操作
- 低功耗
 - 读周期时间为 45 ns 时，有效模式下的电流为 75 mA
 - 待机模式下的电流为 650 μ A
 - 睡眠模式下的电流为 10 μ A
- 工作电压:
 - CY14B116X: $V_{CC} = 2.7$ V 至 3.6 V
 - CY14E116X: $V_{CC} = 4.5$ V 至 5.5 V
- 工业温度范围: -40 °C 至 +85 °C
- 封装
 - 44 pin 薄小外形封装 (TSOP II)
 - 44 pin 薄小外形封装 (TSOP I)
 - 54 pin 薄型小尺寸封装 (TSOP II)
 - 60 ball 小间距球栅阵列 (FBGA) 封装
 - 165 ball 细间距球栅阵列 (FBGA) 封装
- 符合有害物质限制 (RoHS)

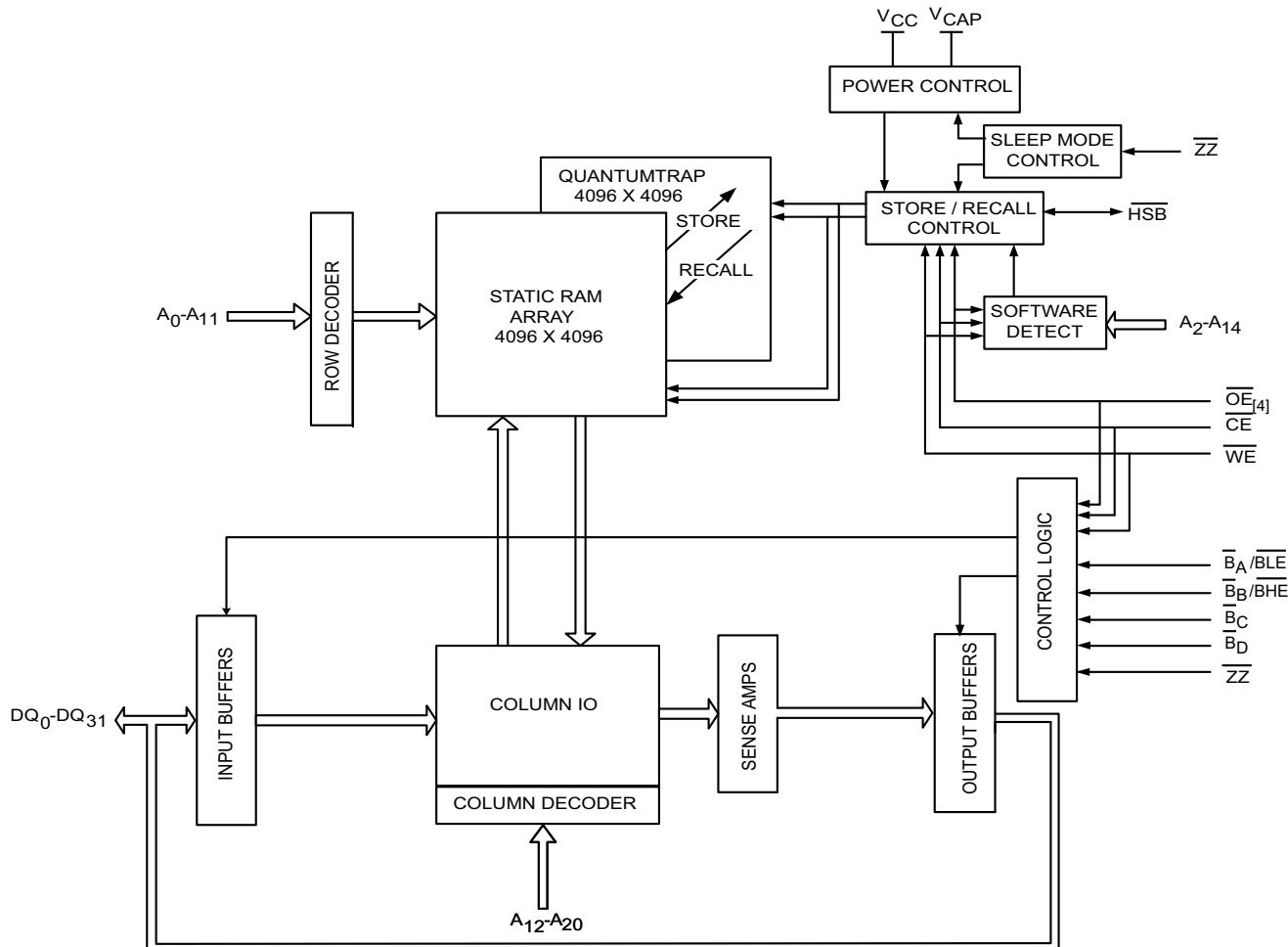
■ 提供的速度

- 44 pin TSOP II: 25 ns 和 45 ns
- 48 pin TSOP I: 30 ns 和 45 ns
- 54 pin TSOP II: 25 ns 和 45 ns
- 60 ball FBGA
- 165 ball FBGA: 25 ns 和 45 ns

功能描述

赛普拉斯Y14X116L/CY14X116N/CY14X116S是一种快速SRAM，且每个存储器单元中都包含非易失性元件。该存储器采用 2048K 字节，每字节 8 位；或 1024K 字，每字 16 位；或 512 K 字，每字 32 位的组织方式。嵌入式非易失性元件通过采用 QuantumTrap 技术，打造出了世界上最可靠的非易失性存储器。可以在无限制的时间内对 SRAM 进行读写操作。对 SRAM 进行读操作时，位于非易失性单元内的数据保持不变。断电时，数据会从 SRAM 自动传输到非易失性元件内 (即存储操作)。加电时，数据会从非易失性存储器存储到 SRAM (即回读操作)。存储和回读操作均能在软件控制下执行。

要获取相关文档的完整列表，请单击 [此处](#)。

逻辑框图 [1, 2, 3]

注释:

1. 地址 A₀–A₂₀ 适用于 x8 配置；地址 A₀–A₁₉ 适用于 x16 配置；地址 A₀–A₁₈ 适用于 x32 配置。
2. 数据 DQ₀–DQ₇ 适用于 x8 配置；数据 DQ₀–DQ₁₅ 适用于 x16 配置以及数据 DQ₀–DQ₃₁ 适用于 x32 配置。
3. BLE、BHE 可用于 x16 的配置；BA、BB、BC、BD 仅用于 x32 的配置。
4. 以单一 CE 选项提供 TSOP II 封装。以双 CE 选项提供了 TSOP I 和 BGA 封装。在此数据手册中，对于双 CE 器件，CE 是 CE₁ 和 CE₂ 的内部逻辑结合。当 CE₁ 为低电平和 CE₂ 为高电平时，CE 将为低电平。在其他情况下，CE 为高电平。

目录

引脚分布	4	软件控制的存储和回读特性	22
引脚定义	7	硬件存储特性	23
器件操作	8	SRAM 操作的真值表	24
SRAM 读取	8	对于 $\times 8$ 配置	24
SRAM 写入	8	对于 $\times 8$ 配置	24
自动存储操作 (断电)	8	对于 $\times 16$ 配置	24
硬件存储 (HSB) 操作	9	对于 $\times 16$ 配置	25
硬件回读 (加电时)	9	对于 $\times 32$ 配置	25
软件存储	9	订购信息	26
软件回读	9	订购代码定义	27
睡眠模式	10	封装图	28
阻止自动存储	12	缩略语	33
数据保护	12	文档规范	33
最大额定值	13	测量单位	33
工作范围	13	文档修订记录页	34
直流电气特性	13	销售、解决方案和法律信息	35
数据保留与耐久性	14	全球销售和设计支持	35
电容	14	产品	35
热电阻	14	PSoC® 解决方案	35
交流测试条件	15	赛普拉斯开发者社区	35
交流切换特性	16	技术支持	35
自动存储 / 加电回读特性	20		
睡眠模式的特性	21		

引脚分布

图 1. 引脚框图: 44 pin TSOP II (x8)

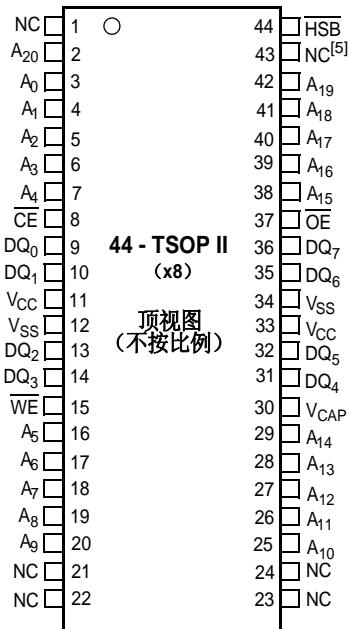


图 2. 引脚框图: 54 pin TSOP II (x16)

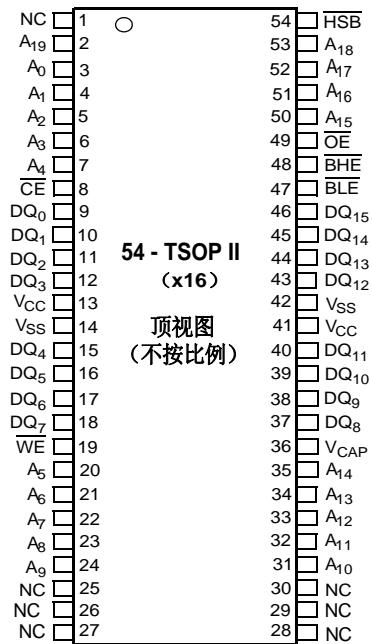
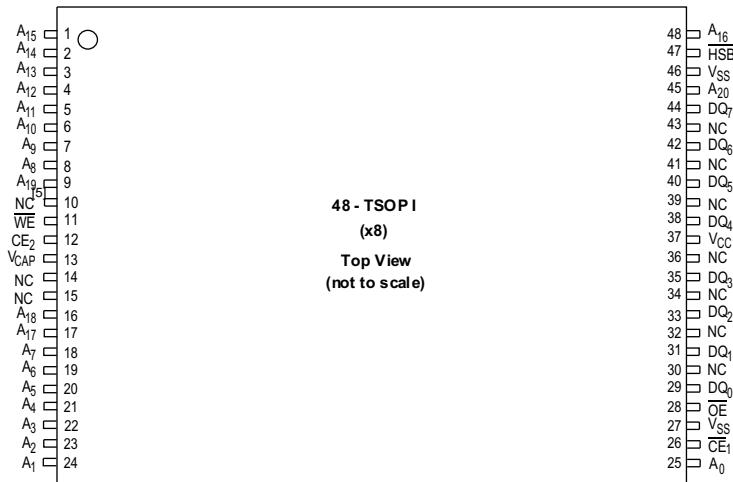


图 3. 引脚框图: 48 pin TSOP I (x8)



注释:

5. 32 Mbit 的地址扩展。NC 引脚未连接到裸片 (die)。

引脚分布 (续)

图 4. 引脚框图: 48 pin TSOP I (x16)

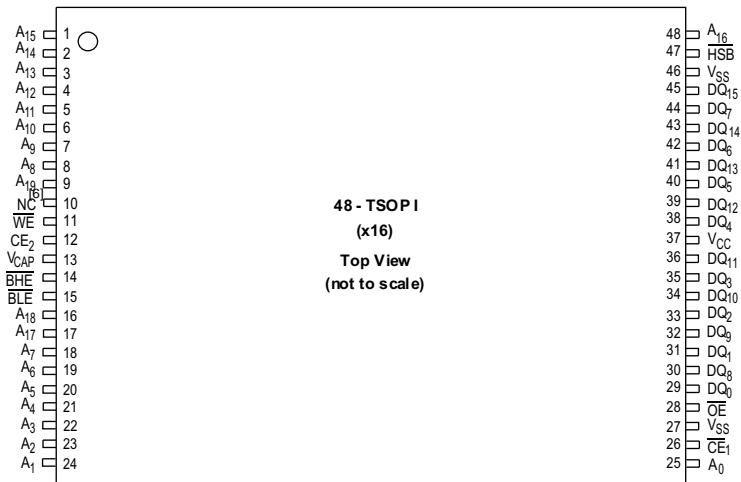
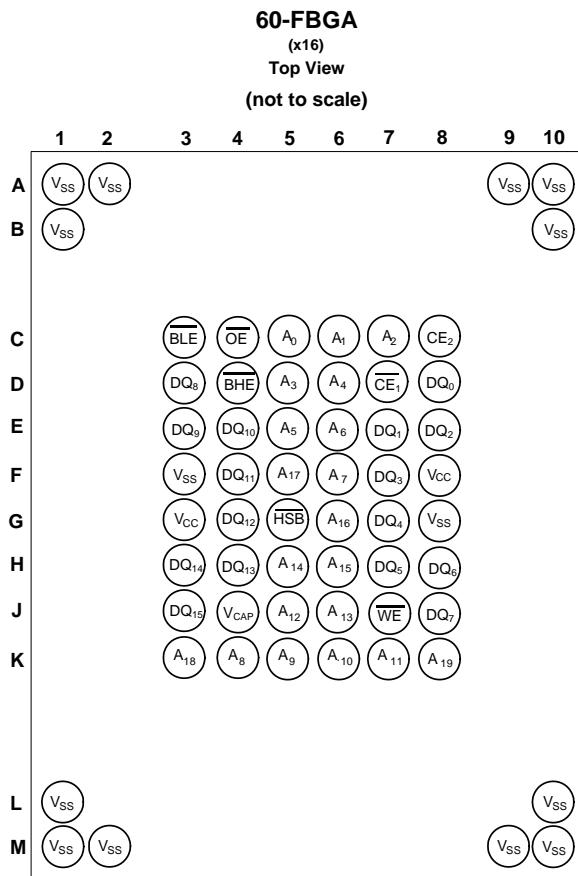


图 5. 60 ball FBGA 引脚分配 (x 16)



注释:

6. 32 Mbit 的地址扩展。NC 引脚未连接到裸片 (die)。

引脚分布 (续)
图 6. 引脚框图: 165 ball FBGA (x16)

	1	2	3	4	5	6	7	8	9	10	11
A	NC	A ₆	A ₈	\overline{WE}	\overline{BLE}	\overline{CE}_1	NC	\overline{OE}	A ₅	A ₃	NC
B	NC	DQ ₀	DQ ₁	A ₄	\overline{BHE}	\overline{CE}_2	NC	A ₂	NC	NC	NC
C	\overline{ZZ}	NC	NC	V _{SS}	A ₀	A ₇	A ₁	V _{SS}	NC	DQ ₁₅	DQ ₁₄
D	NC	DQ ₂	NC	V _{SS}	V _{SS}	V _{SS}	V _{SS}	V _{SS}	NC	NC	NC
E	NC	V _{CAP}	NC	V _{CC}	V _{SS}	V _{SS}	V _{SS}	V _{CC}	NC	DQ ₁₃	NC
F	NC	DQ ₃	NC	V _{CC}	V _{CC}	V _{SS}	V _{CC}	V _{CC}	NC	NC	DQ ₁₂
G	\overline{HSB}	NC	NC	V _{CC}	V _{CC}	V _{SS}	V _{CC}	V _{CC}	NC	NC	NC
H	NC	NC	V _{CC}	V _{CC}	V _{CC}	V _{SS}	V _{CC}	V _{CC}	V _{CC}	NC	NC
J	NC	NC	V _{CC}	V _{CC}	V _{SS}	V _{CC}	V _{CC}	V _{CC}	NC	DQ ₈	NC
K	NC	NC	DQ ₄	V _{CC}	V _{CC}	V _{SS}	V _{CC}	V _{CC}	NC	NC	NC
L	NC	DQ ₅	NC	V _{CC}	V _{SS}	V _{SS}	V _{SS}	V _{CC}	NC	NC	DQ ₉
M	NC	NC	NC	V _{SS}	V _{SS}	V _{SS}	V _{SS}	V _{SS}	NC	DQ ₁₀	NC
无	NC	DQ ₆	DQ ₇	V _{SS}	A ₁₁	A ₁₀	A ₉	V _{SS}	NC	NC	NC
P	NC	NC	NC	A ₁₃	A ₁₉	NC	A ₁₈	A ₁₂	NC	DQ ₁₁	NC
R	NC	NC	A ₁₅	NC	A ₁₇	NC	A ₁₆	NC ^[7]	A ₁₄	NC	NC

图 7. 引脚框图: 165 ball FBGA (x32)

	1	2	3	4	5	6	7	8	9	10	11
A	NC	A ₆	A ₈	\overline{WE}	\overline{B}_A	\overline{CE}_1	\overline{B}_C	\overline{OE}	A ₅	A ₃	NC
B	NC	DQ ₀	DQ ₁	A ₄	\overline{B}_B	\overline{CE}_2	\overline{B}_D	A ₂	NC	NC	DQ ₃₁
C	\overline{ZZ}	NC	DQ ₄	V _{SS}	A ₀	A ₇	A ₁	V _{SS}	NC	DQ ₂₇	DQ ₂₆
D	NC	DQ ₂	DQ ₅	V _{SS}	V _{SS}	V _{SS}	V _{SS}	V _{SS}	NC	NC	DQ ₃₀
E	NC	V _{CAP}	DQ ₆	V _{CC}	V _{SS}	V _{SS}	V _{SS}	V _{CC}	NC	DQ ₂₅	DQ ₂₉
F	NC	DQ ₃	DQ ₇	V _{CC}	V _{CC}	V _{SS}	V _{CC}	V _{CC}	NC	NC	DQ ₂₄
G	\overline{HSB}	NC	DQ ₁₂	V _{CC}	V _{CC}	V _{SS}	V _{CC}	V _{CC}	NC	NC	DQ ₂₈
H	NC	NC	V _{CC}	V _{CC}	V _{CC}	V _{SS}	V _{CC}	V _{CC}	V _{CC}	NC	NC
J	NC	NC	DQ ₁₃	V _{CC}	V _{CC}	V _{SS}	V _{CC}	V _{CC}	NC	DQ ₂₀	DQ ₁₉
K	NC	NC	DQ ₈	V _{CC}	V _{CC}	V _{SS}	V _{CC}	V _{CC}	NC	NC	DQ ₁₈
L	NC	DQ ₉	DQ ₁₄	V _{CC}	V _{SS}	V _{SS}	V _{SS}	V _{CC}	NC	NC	DQ ₂₁
M	NC	NC	DQ ₁₅	V _{SS}	V _{SS}	V _{SS}	V _{SS}	V _{SS}	NC	DQ ₂₂	DQ ₁₇
否	NC	DQ ₁₀	DQ ₁₁	V _{SS}	A ₁₁	A ₁₀	A ₉	V _{SS}	NC	NC	DQ ₁₆
P	NC	NC	NC	A ₁₃	NC	NC	A ₁₈	A ₁₂	NC	DQ ₂₃	NC
R	NC	NC	A ₁₅	NC	A ₁₇	NC	A ₁₆	NC ^[7]	A ₁₄	NC	NC

注释:

7. 32 Mbit 的地址扩展。NC 引脚未连接到芯片。

引脚定义

引脚名称	I/O 类型	说明
A ₀ – A ₂₀	输入	地址输入。对于 $\times 8$ 配置，该引脚用于选择 nvSRAM 的 2,097,152 nvSRAM 字节的其中一个。
A ₀ – A ₁₉		地址输入。对于 $\times 16$ 配置，该引脚用于选择 nvSRAM 的 1,048,576 nvSRAM 字节中的其中一个。
A ₀ – A ₁₈		地址输入。对于 $\times 32$ 配置，该引脚用于选择 nvSRAM 的 524,288 字节中的其中一个。
DQ ₀ – DQ ₇	输入 / 输出	用于 $\times 8$ 配置的双向数据输入 / 输出线。根据操作将该引脚作为输入或输出使用。
DQ ₀ – DQ ₁₅		用于 $\times 16$ 配置的双向数据输入 / 输出线。根据操作将该引脚作为输入或输出使用。
DQ ₀ – DQ ₃₁		用于 $\times 32$ 配置的双向数据输入 / 输出线。根据操作将该引脚作为输入或输出使用。
WE	输入	写使能输入，低电平有效。该引脚被置为低电平时，I/O 引脚上的数据被写入到指定的地址。
CE	输入	TSOP II 封装的芯片使能输入，低电平有效。处于低电平时，该引脚将选择芯片。处于高电平时，则取消选择芯片。
CE ₁ , CE ₂		FBGA 封装中的芯片使能输入。器件被选中，并且在 \overline{CE}_1 的下降沿 (CE_2 为 HIGH) 或在 CE_2 的上升沿 (\overline{CE}_1 为 LOW) 上访问存储器。
OE	输入	输出使能，低电平有效。低电平有效输入 \overline{OE} 在读周期内使能数据输出缓冲器。将 \overline{OE} 为高电平将使 I/O 引脚进入三态。
BLE/B _A ^[8]	输入	字节使能，低电平有效。选中 LOW (低) 时，使能 DQ ₇ –DQ ₀ 。
BHE/B _B ^[8]	输入	字节使能，低电平有效。该引脚处于低电平时，将使能 DQ ₁₅ –DQ ₈ 。
B _C ^[8]	输入	字节使能，低电平有效。该引脚处于低电平时，将使能 DQ ₂₃ –DQ ₁₆ 。
B _D ^[8]	输入	字节使能，低电平有效。该引脚处于低电平时，将使能 DQ ₃₁ –DQ ₂₄ 。
ZZ ^[9]	输入	睡眠模式使能。当 \overline{ZZ} 引脚被置为低电平时，器件将进入低功耗睡眠模式，这时器件的功耗是最低的。由于对该输入与 CE 进行逻辑 “AND” 运算，所以为了正常运行， \overline{ZZ} 必须为高电平。
V _{CC}	电源	器件的电源输入。
V _{SS}	电源	器件的接地引脚。必须连接至系统地面。
HSB	输入 / 输出	硬件存储繁忙 (HSB) 。该输出为低电平时表示硬件存储操作正在执行。当在芯片外部将其置于低电平时，则表示非易失性存储操作。在每次硬件和软件存储操作结束之后， \overline{HSB} 通过标准输出高电流在短时间 (t_{HHD}) 内被驱动为高电平，然后通过内部弱上拉电阻使其保持高电平状态 (外部上拉电阻连接是可选的)。
V _{CAP}	电源	自动存储电容。在断电期间为 nvSRAM 上电将把数据从 SRAM 存储到非易失性元件内。
NC	NC	未连接。芯片焊盘尚未连接到封装引脚。

注释：

8. \overline{BLE} 、 \overline{BHE} 用于 $\times 16$ 的配置； \overline{B}_A 、 \overline{B}_B 、 \overline{B}_C 、 \overline{B}_D 仅用于 $\times 32$ 的配置。

9. 165 ball FBGA 封装才支持睡眠模式性能。

器件操作

CY14X116L/CY14X116N/CY14X116S nvSRAM 由两个相同物理单元中的成对功能组件组成。它们是一个 SRAM 存储器单元和一个非易失性 QuantumTrap 单元。SRAM 储存器单元可作为标准快速静态 RAM 工作。加电时，SRAM 中的数据被自动传输到非易失性单元（存储操作），或从非易失性单元传输到 SRAM（回读操作）。存储和回读操作均能在软件控制下执行。使用该独特的架构，所有单元都可以同时存储和回读。在存储和回读操作期间，SRAM 读写操作被禁止。CY14X116L/CY14X116N/CY14X116S 支持对 SRAM 进行无限制的读写操作。此外，它还提供无限次从非易失性单元的回读操作以及最多 100 万次存储操作。欲了解读写模式的完整说明，请参考 [第 24 页上的 SRAM 操作的真值表](#)。

SRAM 读取

当 \overline{CE} 和 \overline{OE} 为低电平，且 \overline{WE} 、 \overline{ZZ} 和 \overline{HSB} 为高电平时，CY14X116L/CY14X116N/CY14X116S 将执行读周期。引脚 A_0 – A_{20} 或 A_0 – A_{19} 或 A_0 – A_{18} 上指定的地址确定 2,097,152 数据字节中的访问字节或 1,048,576 字（每字的大小为 16 位）中的访问字或 524,288 字（每字的大小为 32 位）。对于 16 位字，字节使能 (\overline{BLE} , \overline{BHE}) 确定使能输出的哪个字节；对于 32 位字，字节使能 (\overline{B}_A , \overline{B}_B , \overline{B}_C , \overline{B}_D) 确定使能输出的字节。当读取由地址转换触发时，输出在经过 t_{AA} (读取周期 1) 时间后有效。如果 \overline{CE} 或 \overline{OE} 启动了读取操作，输出会在 t_{ACE} 或 t_{DOE} 中较晚者时有效 (读取周期 2)。数据输出在 t_{AA} 访问时间内反复响应地址变化，而不需要切换任何控制输入引脚。该操作一直有效，直到另一个地址变化或直到 \overline{CE} 或 \overline{OE} 变为高电平，或者 \overline{WE} 或 \overline{HSB} 变为低电平为止。

SRAM 写入

当 \overline{CE} 和 \overline{WE} 均为低电平且 \overline{HSB} 为高电平时，将执行写循环。地址输入稳定下来后，才能进入写周期，并且该输入必须保持稳定状态，直到 \overline{CE} 或 \overline{WE} 在周期结束时变为高电平为止。如果数据在 \overline{WE} 控制的写入结束前或在 \overline{CE} 控制的写入结束前的 t_{SD} 时有效，则通用 I/O 引脚 DQ_0 – DQ_{31} 上的数据被写入到存储器中。对于 16 位字，字节使能输入 (\overline{BLE} , \overline{BHE}) 确定写入的是哪个字节；对于 32 位字，字节使能输入 (\overline{B}_A , \overline{B}_B , \overline{B}_C , \overline{B}_D) 确定写入的是哪个字节。在整个写周期中保持 \overline{OE} 为高电平状态，以防止通用 I/O 线路上出现数据总线竞争现象。如果 \overline{OE} 为低电平，则内部电路将在 \overline{WE} 变为低电平之后的 t_{HZWE} 时间内关闭输出缓冲器。

自动存储操作 (断电)

CY14X116L/CY14X116N/CY14X116S 使用三个存储操作之一将数据存储到非易失性 QuantumTrap 单元：具体如下：由 HSB 激活的硬件存储操作；由地址序列激活的软件存储操作；器件断电时自动存储操作。自动存储操作是 nvSRAM 的唯一特性，在 CY14X116L/CY14X116N/CY14X116S 上默认使能该特性。

在正常工作时，器件从 V_{CC} 吸取电流，以给 V_{CAP} 引脚连接的电容充电。在断电期间，芯片使用所存储的电荷执行存储操作。如果 V_{CC} 引脚的电压降到 V_{SWITCH} 以下，器件将自动断开 V_{CAP} 引脚与 V_{CC} 的连接。这时，一个使用 V_{CAP} 电容电源的存储操作将被启动。

注意：如果电容未与 V_{CAP} 引脚连接，则必须使用 [第 12 页上的阻止自动存储](#) 中指定的软序列禁用自动存储。如果在没有 V_{CAP} 引脚上的电容的情况下启用自动存储，则器件将在没有足够电荷的情况下尝试自动存储操作以完成存储。这样会破坏 nvSRAM 中存储的数据。

图 8. 自动存储模式

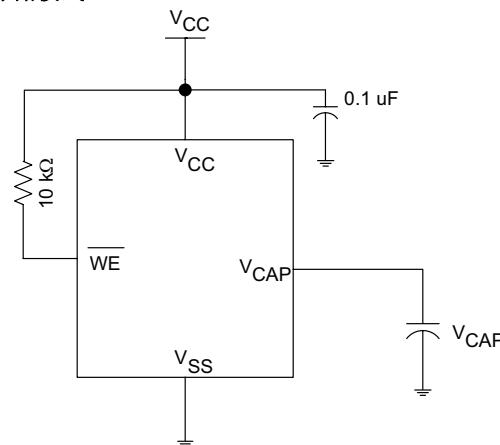


图 8 显示的是自动存储操作的正确存储电容 (V_{CAP}) 连接。请参考 [第 13 页上的直流电气特性](#) 了解 V_{CAP} 的大小。 V_{CAP} 引脚上的电压通过芯片上的电压调压器输入到 V_{CC} 。上拉电阻应该置于 \overline{WE} 上，以在加电期间保持其处于非活动状态。仅当 \overline{WE} 信号在加电期间为三态时，该上拉电阻才有效。当 nvSRAM 退出加电回读时，主微控制器必须处于活动状态或者 \overline{WE} 保持处于非活动状态，直到主微控制器退出复位状态为止。

为了降低不必要的非易失性存储，将忽略自动存储和硬件存储操作，除非在最新的存储或回读周期后至少发生了一次写操作（这些操作设置写入锁存）。无论是否发生写操作，都会执行软件触发的存储周期。

硬件存储 (HSB) 操作

CY14X116L/CY14X116N/CY14X116S 提供 $\overline{\text{HSB}}$ 引脚以控制和确定存储操作。 $\overline{\text{HSB}}$ 引脚用于请求一个硬件存储周期。当 $\overline{\text{HSB}}$ 引脚被设置为低电平时，器件将在 t_{DELAY} 的时间后有条件地启动存储操作。仅在最后一个存储或回读周期后发生了对 **SRAM** 的写操作时，存储周期才开始。 $\overline{\text{HSB}}$ 引脚还起到开漏驱动器（内部 $100\text{ k}\Omega$ 弱上拉电阻）的作用，它在进行存储（通过任何手段触发的）时在内部变为低电平以指示繁忙状态。

注意：在每次硬件和软件存储操作之后， $\overline{\text{HSB}}$ 通过标准输出高电流一小段时间 (t_{HHHD}) 变为高电平，然后通过内部 $100\text{ k}\Omega$ 上拉电阻一直保持高电平。

通过其他手段将 $\overline{\text{HSB}}$ 变为低电平时，如果仍在执行 **SRAM** 写操作，则需要在启动存储操作前给定的时间 (t_{DELAY}) 内完成该写操作。但是，在 $\overline{\text{HSB}}$ 变为低电平后请求的任何 **SRAM** 写周期都被禁止，直到 $\overline{\text{HSB}}$ 变回高电平。如果未设置写锁存，则 $\overline{\text{HSB}}$ 不会被器件置为低电平。但是所有 **SRAM** 读和写周期都被禁止，直到主微控制器或其他外部源使 $\overline{\text{HSB}}$ 变回高电平。

在任何存储操作期间，无论它如何启动，器件都会继续将 $\overline{\text{HSB}}$ 引脚设置为低电平，仅在存储完成时才会释放。存储操作完成后，如果 $\overline{\text{HSB}}$ 引脚变回高电平，**nvSRAM** 存储器访问将在 t_{LZHSB} 的时间内被禁止。如果不使用 $\overline{\text{HSB}}$ ，让其保持未连接状态即可。

硬件回读（加电时）

加电时或在低功率状态发生之后 ($V_{\text{CC}} < V_{\text{SWITCH}}$)，内部回读请求将被锁存。如果加电时 V_{CC} 再次超过 V_{SWITCH} 时，将自动启动回读周期并需要 t_{HRECALL} 的时间来完成。在此期间， $\overline{\text{HSB}}$ 驱动器将 $\overline{\text{HSB}}$ 引脚设置为低电平，对 **nvSRAM** 的所有读和写操作都将被禁止。

软件存储

通过软件地址序列将数据从 **SRAM** 传输到非易失性存储器内。软件存储周期通过以准确的顺序在六个特定地址执行连续的 $\overline{\text{CE}}$ 或 $\overline{\text{OE}}$ 控制的读周期来启动。在存储周期期间，首先擦除上一个非

易失性数据，接下来执行非易失性元件程序。启动存储周期后将禁用续写操作，直到该周期完成。

由于特定地址的读取序列用于存储启动，所以在该序列中要避免其他读或写访问干预。否则该序列将被中止，并且不会发生任何存储或回读操作。

若要启动软件存储周期，必须执行下列读取序列：

1. 读取地址 0x4E38，有效读取
2. 读取地址 0xB1C7，有效读取
3. 读取地址 0x83E0，有效读取
4. 读取地址 0x7C1F，有效读取
5. 读取地址 0x703F，有效读取
6. 读取地址 0x8FC0，启动存储周期

通过 $\overline{\text{CE}}$ 控制的或 $\overline{\text{OE}}$ 控制的读操作都可以给软件序列提供时钟。与此同时， $\overline{\text{WE}}$ 要保持六个读序列时长的高电平状态。在序列中输入第六个地址之后，存储周期将立即开始，且芯片被禁用。 $\overline{\text{HSB}}$ 被驱动为低电平。达到 **STORE** 周期时间后，**SRAM** 将再次被激活以执行读和写操作。

软件回读

通过软件地址序列将数据从非易失性存储器传输到 **SRAM**。同软件存储周期的启动相似，当想要启动软件回读操作时，也会以相同的方式执行一个读序列。若要启动回读周期，需要执行下列 $\overline{\text{CE}}$ 或 $\overline{\text{OE}}$ 控制的读操作序列：

1. 读取地址 0x4E38，有效读取
2. 读取地址 0xB1C7，有效读取
3. 读取地址 0x83E0，有效读取
4. 读取地址 0x7C1F，有效读取
5. 读取地址 0x703F，有效读取
6. 读取地址 0x4C63，启动回读周期

在内部，回读是两步程序。首先，清除 **SRAM** 数据；然后，将非易失性信息传输到 **SRAM** 单元。在 t_{RECALL} 周期时间后，**SRAM** 再次处于就绪状态，以进行读和写操作。回读操作不会更改非易失性元件中的数据。

睡眠模式

在睡眠模式下，器件的电源 (I_{ZZ}) 功耗为最低的。 \overline{ZZ} 引脚被置为低电平后，器件将进入低功耗睡眠模式。进入睡眠模式后，nvSRAM 执行一个存储操作，将数据存储到非易失性的存储器，然后进入低功耗模式。从睡眠模式初始时，器件在 t_{SLEEP} 时间后开始消耗 I_{ZZ} 电流。当 \overline{ZZ} 引脚为低电平时，除了 \overline{ZZ} 引脚外，忽略所有输入引脚。在睡眠模式下，无法对 nvSRAM 进行正常操作访问。

\overline{ZZ} 引脚被取消激活，即被设置为高电平时，在用户可以访问器件前将发生一段延迟时间 t_{WAKE} 。如果不采用睡眠模式，应该将 \overline{ZZ} 引脚连接到 V_{CC} 。

注意：当 nvSRAM 进入睡眠模式时，它会启动一个非遗失性存储周期。除非在最后一次非遗失性存储 / 回读操作完成后，尚未将数据写入到 nvSRAM 内。否则，每次进入睡眠模式，都会丢失一次擦写循环。

注意：如果加电过程中 \overline{ZZ} 引脚为低电平，则器件将不会进入睡眠模式。然而，I/O 处于三态的，直到 \overline{ZZ} 引脚被取消激活（高电平）为止。

图 9. 睡眠模式 (\overline{ZZ}) 流程图

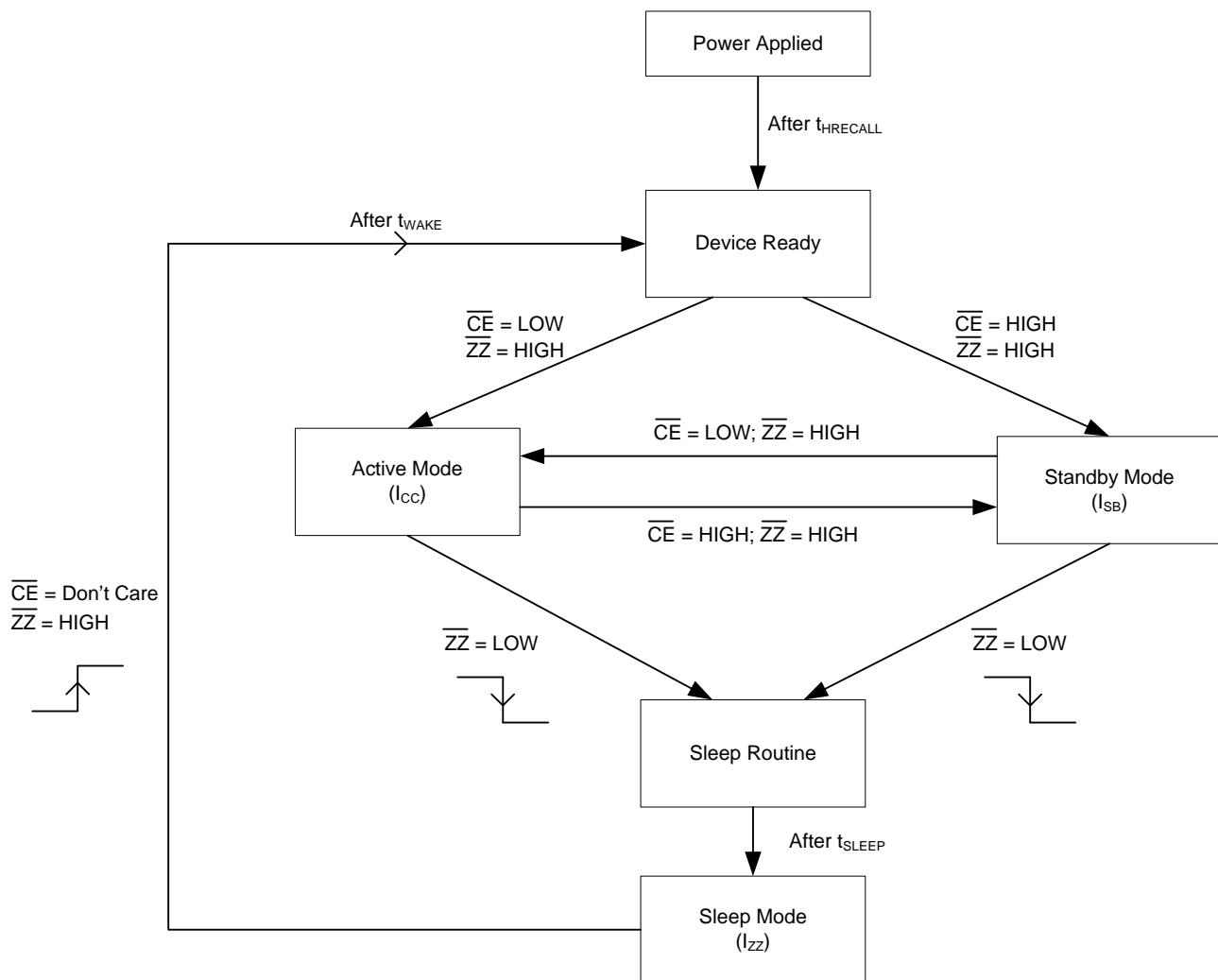


表 1. 模式选择

$\overline{CE}^{[10]}$	\overline{WE}	\overline{OE}	\overline{BLE}、\overline{BHE} / \overline{B}_A、\overline{B}_B、\overline{B}_C、$\overline{B}_D^{[11]}$	$A_{15} - A_0^{[12]}$	模式	I/O	功耗
H	X	X	X	X	未选中	输出高阻态	待机
L	H	L	L	X	读取 SRAM	输出数据	活动
L	L	X	L	X	写入 SRAM	输入数据	活动
L	H	L	X	0x4E38 0xB1C7 0x83E0 0x7C1F 0x703F 0x8B45	读取 SRAM 读取 SRAM 读取 SRAM 读取 SRAM 读取 SRAM 自动存储禁用	输出数据 输出数据 输出数据 输出数据 输出数据 输出数据	活动 ^[13]
L	H	L	X	0x4E38 0xB1C7 0x83E0 0x7C1F 0x703F 0x4B46	读取 SRAM 读取 SRAM 读取 SRAM 读取 SRAM 读取 SRAM 自动存储使能	输出数据 输出数据 输出数据 输出数据 输出数据 输出数据	活动 ^[13]
L	H	L	X	0x4E38 0xB1C7 0x83E0 0x7C1F 0x703F 0x8FC0	读取 SRAM 读取 SRAM 读取 SRAM 读取 SRAM 读取 SRAM 非易失性存储	输出数据 输出数据 输出数据 输出数据 输出数据 输出高阻态	激活 $I_{CC2}^{[13]}$
L	H	L	X	0x4E38 0xB1C7 0x83E0 0x7C1F 0x703F 0x4C63	读取 SRAM 读取 SRAM 读取 SRAM 读取 SRAM 读取 SRAM 非易失性回读	输出数据 输出数据 输出数据 输出数据 输出数据 输出高阻态	活动 ^[13]

注释：

10. 以单一 \overline{CE} 选项提供 TSOP II 封装。以双 \overline{CE} 选项提供 TSOP I 和 BGA 封装。在本数据手册中，对于双 \overline{CE} 器件， \overline{CE} 是 \overline{CE}_1 和 CE_2 的内部逻辑结合。当 \overline{CE}_1 为低电平和 CE_2 为高电平时， \overline{CE} 将为低电平。在其他情况下， \overline{CE} 为高电平。芯片使能引脚（即单芯片使能器件的 \overline{CE} ；以及双芯片使能器件的 \overline{CE}_1 和 CE_2 ）上不支持中间电压电平。
11. \overline{BLE} 、 \overline{BHE} 可用于 $\times 16$ 的配置； \overline{B}_A 、 \overline{B}_B 、 \overline{B}_C 、 \overline{B}_D 仅适用于 $\times 32$ 的配置。
12. CY14X116L 上有 21 个地址行（CY14X116N 上有 20 个地址行和 CY14X116S 上有 19 个地址行），只有 13 个地址行（ $A_{14} - A_2$ ）用于控制软件模式。余下的地址行无需关注。
13. 六个连续的地址必须按顺序列出。 \overline{WE} 在六个周期期间必须为高电平才能使能非易失性周期。

阻止自动存储

通过启动自动存储禁用的序列，可以禁用自动存储功能。使用与软件存储启动相类似的方式执行读操作序列。若要启动自动存储禁用的序列，必须执行下列 \overline{CE} 或 \overline{OE} 控制的读操作序列：

1. 读取地址 0x4E38，有效读取
2. 读取地址 0xB1C7，有效读取
3. 读取地址 0x83E0，有效读取
4. 读取地址 0x7C1F，有效读取
5. 读取地址 0x703F，有效读取
6. 读取地址 0x8B45，自动存储禁用

通过启动自动存储使能序列，可以重新使能自动存储。使用与软件回读启动类似的方式执行读操作序列。若要启动自动存储使能序列，必须执行下列 CE 或 OE 控制的读操作序列：

1. 读取地址 0x4E38，有效读取
2. 读取地址 0xB1C7，有效读取
3. 读取地址 0x83E0，有效读取
4. 读取地址 0x7C1F，有效读取
5. 读取地址 0x703F，有效读取
6. 读取地址 0x4B46，自动存储使能

如果禁用或重新使能自动存储功能，必须手动执行软件存储操作，以便在下一个断电周期中保存自动存储状态。器件出厂时已使能自动存储功能，且已在所有单元中写入了 0x00。

数据保护

CY14X116L/CY14X116N/CY14X116S 通过禁止外部 启动的存储 和 写入 操作，在低电压状态下阻止破坏数据。在 V_{CC} 小于 V_{SWITCH} 时，将检测低电压条件。如果 CY14X116L/CY14X116N/CY14X116S 在加电时处于写模式 (\overline{CE} 和 WE 均为低电平)，在回读或存储后将禁止写操作，直到 t_{LZHSB} (HSB 到输出有效的时间) 后使能 $SRAM$ 为止。这样可以防止在加电或掉电时发生意外写操作。

最大额定值

超过最大额定值可能会影响器件的使用寿命。这些用户指南未经测试。

存储温度 -65°C 到 $+150^{\circ}\text{C}$

最长存储时间

在 150°C 环境温度下, 累积存储时间为 1000 个小时

在 85°C 环境温度下 20 年

最高结温 150°C

V_{CC} 上相对于 V_{SS} 的供电电压

CY14B116X: -0.5 V 至 $+4.1\text{ V}$

CY14E116X: -0.5 V 至 $+7.0\text{ V}$

应用于高阻态的输出电压 -0.5 V 到 $V_{\text{CC}} + 0.5\text{ V}$

输入电压 -0.5 V 至 $V_{\text{CC}} + 0.5\text{ V}$

处于接地电位的任何引脚的跳变电压
($< 20\text{ ns}$) -2.0 V 至 $V_{\text{CC}} + 2.0\text{ V}$

封装功率散耗能力为 ($T_A = 25^{\circ}\text{C}$) 1.0 W

表面组装铅焊温度 (3 秒) $+260^{\circ}\text{C}$

直流输出电流
(每次只输出 1 路电流, 持续时间 1 秒) 20 mA

静电放电电压
(根据 MIL-STD-883, 方法 3015) $> 2001\text{ V}$

闩锁电流 $\pm 140\text{ mA}$

工作范围

产品	范围	环境温度 (T_A)	V_{CC}
CY14B116X	工业级	-40°C 至 $+85^{\circ}\text{C}$	2.7 V ~ 3.6 V
CY14E116X			4.5 V ~ 5.5 V

直流电气特性

适用条件为 [工作范围](#)

参数	说明	测试条件	最小值	典型值 ^[14]	最大值	单位
V_{CC}	电源		CY14B116X	2.7	3.0	V
			CY14E116X	4.5	5.0	V
$I_{\text{CC}1}$	V_{CC} 平均电流	无输出负载下获得的值 ($I_{\text{OUT}} = 0\text{ mA}$)	$t_{\text{RC}} = 25/30\text{ ns}$	—	—	mA
			$t_{\text{RC}} = 45\text{ ns}$	—	—	mA
$I_{\text{CC}2}$	存储期间 V_{CC} 平均电流	所有输入无需关注, $V_{\text{CC}} = V_{\text{CC}}$ (最大值)。 t_{STORE} 期间的平均电流	—	—	10	mA
$I_{\text{CC}3}$	在 $t_{\text{RC}} = 200\text{ ns}$ 条件下的 V_{CC} 平均电流 V_{CC} (典型值), 25°C	所有输入在 CMOS 电平循环。 无输出负载下获得的值 ($I_{\text{OUT}} = 0\text{ mA}$)。	—	50	—	mA
$I_{\text{CC}4}^{[15]}$	自动存储周期期间的 V_{CAP} 平均电流	无需关注所有输入。 t_{STORE} 期间的平均电流	—	—	6	mA
I_{SB}	V_{CC} 待机电流	$\overline{\text{CE}} \geq (V_{\text{CC}} - 0.2\text{ V})$ 。 $V_{\text{IN}} \leq 0.2\text{ V}$ 或 $\geq (V_{\text{CC}} - 0.2\text{ V})$ 。 非易失性周期完成后的待机电流。输入为静态。 $f = 0\text{ MHz}$	$t_{\text{RC}} = 25/30\text{ ns}$	—	—	μA
			$t_{\text{RC}} = 45\text{ ns}$	—	—	μA
I_{ZZ}	睡眠模式下的电流	所有输入在 CMOS 电平为静态	—	—	10	μA
$I_{\text{IX}}^{[16]}$	输入漏电流 ($\overline{\text{HSB}}$ 除外)	$V_{\text{CC}} = V_{\text{CC}}$ (最大值), $V_{\text{SS}} \leq V_{\text{IN}} \leq V_{\text{CC}}$	—1	—	+1	μA
	输入漏电流 (适用于 HSB)	$V_{\text{CC}} = V_{\text{CC}}$ (最大值), $V_{\text{SS}} \leq V_{\text{IN}} \leq V_{\text{CC}}$	-100	—	+1	μA

注释:

14. 典型值的温度为 25°C 、 $V_{\text{CC}} = V_{\text{CC}}$ (典型值)。并非 100% 经过了测试。

15. 该参数仅在设计上得到保证, 但未经过测试。

16. 如果高电平有效和低电平有效的驱动器均被禁用, 对于 $\overline{\text{HSB}}$ 引脚, 当 V_{OH} 等于 2.4 V 时, $I_{\text{OUT}} = -2\text{ }\mu\text{A}$ 。使能这些驱动器后, 标准 V_{OH} 和 V_{OL} 均有效。该参数在特性表中记录, 但未经过测试。

直流电气特性 (续)

适用条件为[工作范围](#)

参数	说明	测试条件	最小值	典型值 ^[14]	最大值	单位
I_{OZ}	关闭状态的输出漏电流	$V_{CC} = V_{CC}$ (最大值), $V_{SS} \leq V_{OUT} \leq V_{CC}$, \overline{CE} 或 $\overline{OE} \geq V_{IH}$ 或 \overline{BLE} , $\overline{BHE}/\overline{B}_A, \overline{B}_B, \overline{B}_C, \overline{B}_D \geq V_{IH}$ 或 $\overline{WE} \leq V_{IL}$	-1	-	+1	μA
V_{IH}	输入高电平电压		2.0	-	$V_{CC} + 0.5$	V
V_{IL}	-		$V_{SS} - 0.5$	-	0.8	V
V_{OH}	输出高电平电压	$I_{OUT} = -2$ mA	2.4	-	-	V
V_{OL}	输出低电平电压	$I_{OUT} = 4$ mA	-	-	0.4	V
V_{CAP} ^[17]	存储电容	在 V_{CAP} 引脚和 V_{SS} 之间	19.8	22.0	82.0	μF
V_{VCAP} ^[18, 19]	器件在 V_{CAP} 引脚上驱动的最大电压	$V_{CC} = V_{CC}$ (max)	-	-	5.0	V

数据保留与耐久性

在[工作范围](#)

参数	说明	最小值	单位
$DATA_R$	数据保留时间	20	年
NV_C	非易失性存储操作	1,000,000	周期

电容

下表列出了各种电容参数。^[19]

参数	说明	测试条件	最大值 (所有封装, 60-FBGA 和 165-FBGA 除外)	最大值 (60-FBGA 封装和 165-FBGA 封装)	单位
C_{IN}	输入电容	$T_A = 25$ °C, $f = 1$ MHz, $V_{CC} = V_{CC}$ (典型值)	8	10	pF
C_{IO}	输入 / 输出电容		8	10	pF
C_{OUT}	输出电容		8	10	pF

热电阻

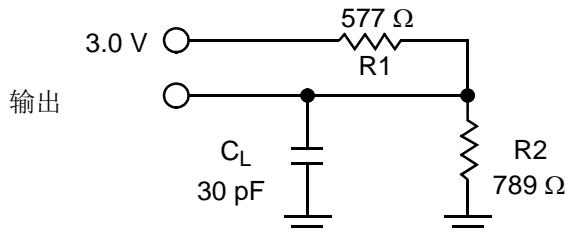
下表列出了各种热电阻参数。^[19]

参数	说明	测试条件	44-TSOP II	48-TSOP I	54-TSOP II	60-FBGA	165-FBGA	单位
Θ_{JA}	热阻 (结至环境)	根据 EIA/JESD51 的 要求, 测试条件要遵 循测试热阻的标准 测试方法和流程。	44.6	35.6	41.1	21	15.6	°C/W
Θ_{JC}	热阻 (结到外壳)		2.4	2.33	4.6	3	2.9	°C/W

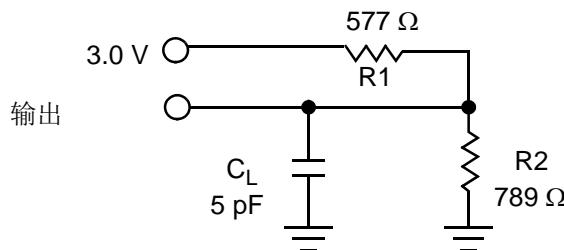
注释:

17. V_{CAP} 的最小值要确保提供足够的电荷来完成自动存储操作。在加电回读周期内, V_{CAP} 的最大值确保使用最小的电压来给 V_{CAP} 上的电容充电。这样, 在紧急断电期间, 可以顺利完成自动存储操作。因此, 建议使用在指定最小和最大极限值内的电容值。
18. 当选择 V_{CAP} 电容时, 可得到 V_{CAP} 引脚上的最大电压 (V_{VCAP}) 作为指导。在工作温度范围内的 V_{CAP} 电容的额定电压应高于 V_{VCAP} 电压。
19. 这些参数仅在设计上得到保证, 但未经过测试。

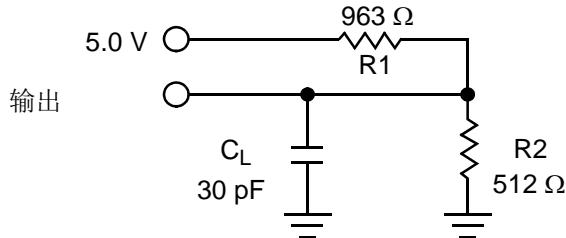
对于 3 V (CY14B116X) :



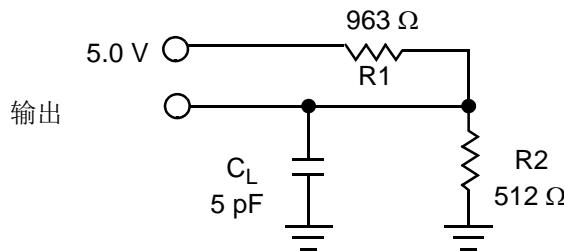
针对三态规范



对于 5 V (CY14E116X) :



针对三态规范



交流测试条件

	CY14B116X	CY14E116X
输入脉冲电平	0 V 到 3 V	0 V 到 3 V
输出上升和下降时间 (10%–90%)	≤ 3 ns	≤ 3 ns
输入和输出时序参考电平	1.5 V	1.5 V

交流切换特性

在工作范围^[20]的条件下

参数		说明	25 ns		30 ns		45 ns		单位
			最小值	最大值	最小值	最大值	最小值	最大值	
SRAM 读周期									
t_{ACE}	t_{ACS}	芯片使能访问时间	—	25	—	30	—	45	ns
t_{RC} ^[22]	t_{RC}	读周期时间	25	—	30	—	45	—	ns
t_{AA} ^[23]	t_{AA}	地址访问时间	—	25	—	30	—	45	ns
t_{DOE}	t_{OE}	输出使能到数据有效的时间	—	12	—	14	—	20	ns
t_{OHA} ^[23]	t_{OH}	地址更改后输出保持的时间	3	—	3	—	3	—	ns
t_{LZCE} ^[24]	t_{LZ}	芯片使能到输出有效的时间	3	—	3	—	3	—	ns
t_{HZCE} ^[21、24]	t_{HZ}	芯片禁用到输出无效的时间	—	10	—	12	—	15	ns
t_{LZOE} ^[24]	t_{OLZ}	输出使能到输出有效的时间	0	—	0	—	0	—	ns
t_{HZOE} ^[21、24]	t_{OHZ}	输出禁用到输出无效的时间	—	10	—	12	—	15	ns
t_{PU} ^[24]	t_{PA}	芯片使能到电源有效的时间	0	—	0	—	0	—	ns
t_{PD} ^[24]	t_{PS}	芯片禁用到电源待机的时间	—	25	—	30	—	45	ns
t_{DBE}		字节使能到数据有效的时间	—	12	—	14	—	20	ns
t_{LZBE} ^[24]		字节使能到输出有效的时间	0	—	0	—	0	—	ns
t_{HZBE} ^[21, 24]		字节禁用到输出无效的时间	—	10	—	12	—	15	ns
SRAM 写周期									
t_{WC}	t_{WC}	写周期时间	25	—	30	—	45	—	ns
t_{PWE}	t_{WP}	写入脉冲宽度	20	—	24	—	30	—	ns
t_{SCE}	t_{CW}	芯片使能到写周期结束的时间	20	—	24	—	30	—	ns
t_{SD}	t_{DW}	数据建立到写周期结束的时间	10	—	14	—	15	—	ns
t_{HD}	t_{DH}	写周期结束后数据保持的时间	0	—	0	—	0	—	ns
t_{AW}	t_{AW}	地址建立到写周期结束的时间	20	—	24	—	30	—	ns
t_{SA}	t_{AS}	地址建立到写周期开始的时间	0	—	0	—	0	—	ns
t_{HA}	t_{WR}	写周期结束后地址保持的时间	0	—	0	—	0	—	ns
t_{HZWE} ^[21、24、25]	t_{WZ}	写周期使能到输出禁用的时间	—	10	—	12	—	15	ns
t_{LZWE} ^[24]	t_{OW}	写周期结束后到输出有效的时间	3	—	3	—	3	—	ns
t_{BW}		字节使能到写周期结束的时间	20	—	24	—	30	—	ns

注释:

20. 测试条件采用等于或短于 3 ns 的信号跳变时间, $V_{CC}/2$ 的时序参考电平, 0 至 $V_{CC(typ)}$ 的输入脉冲电平以及图 10 中所示的指定 I_{OL}/I_{OH} 的输出负载和 30 pF 负载电容。
21. t_{HZCE} 、 t_{HZOE} 、 t_{HZBE} 和 t_{HZWE} 的负载电容为 5 pF。转换电压在稳定状态输出电压 ± 200 mV 的条件下测量。
22. \overline{WE} 必须在 SRAM 读周期内保持高电平状态。
23. 当 \overline{CE} 、 \overline{OE} 和 \overline{BLE} 、 $\overline{BHE}/\overline{B_A}$ 、 $\overline{B_B}$ 、 $\overline{B_C}$ 、 $\overline{B_D}$ 为低电平时, 一直选中器件。
24. 这些参数仅在设计上得到保证, 但未经过测试。
25. 如果 \overline{CE} 为低电平时 \overline{WE} 也处于低电平状态, 则输出会保持高阻态状态。

图 11. 第一个 SRAM 读周期: 地址控制 [26、27、28]

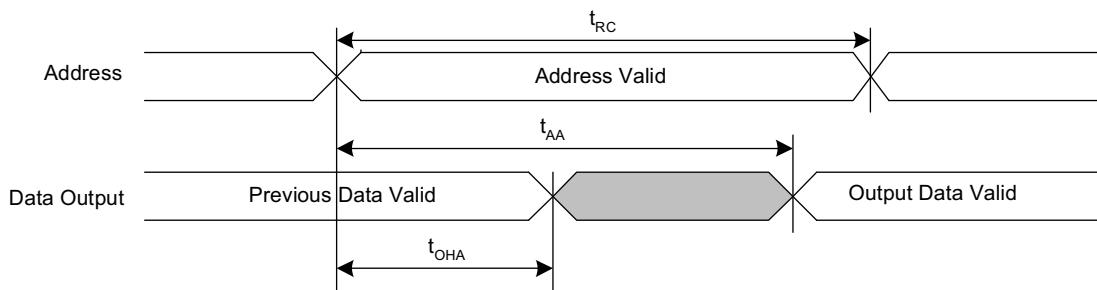
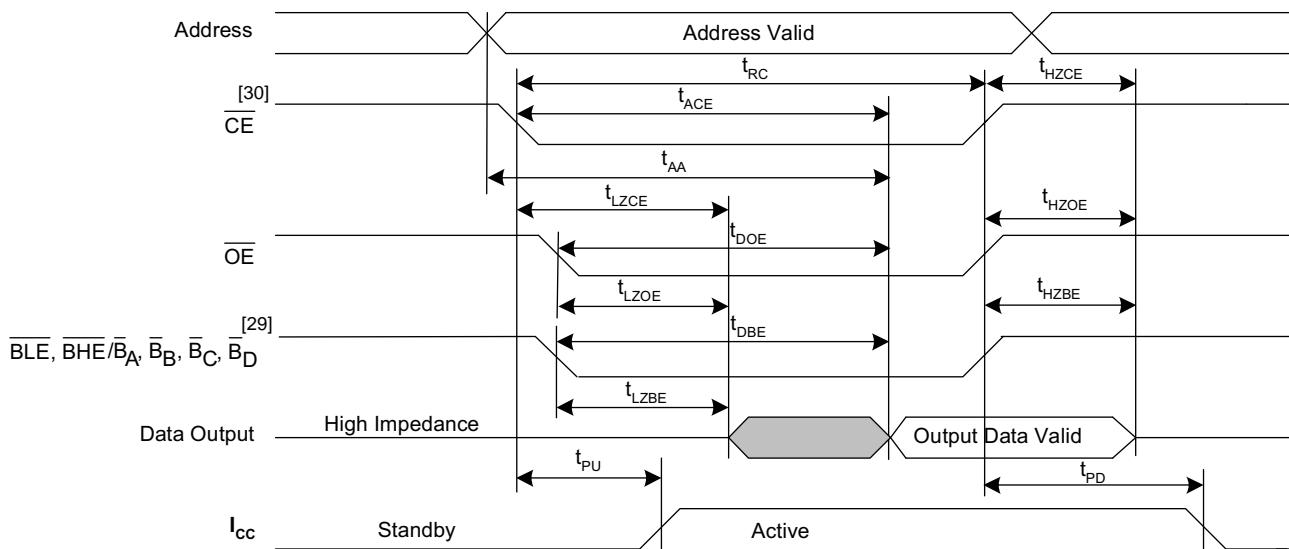


图 12. 第二个 SRAM 读周期: \overline{CE} 和 \overline{OE} 控制 [26、28]



注释:

26. \overline{WE} 必须在 SRAM 读周期内保持高电平状态。
27. 当 \overline{CE} 、 \overline{OE} 和 \overline{BLE} 、 $\overline{BHE}/\overline{B}_A$ 、 \overline{B}_B 、 \overline{B}_C 、 \overline{B}_D 为低电平时, 一直选中器件。
28. \overline{HSB} 必须在读和写周期内保持高电平状态
29. \overline{BLE} 、 \overline{BHE} 适用于 $\times 16$ 的配置; \overline{B}_A 、 \overline{B}_B 、 \overline{B}_C 、 \overline{B}_D 仅适用于 $\times 32$ 的配置。
30. TSOP II 封装基于单 \overline{CE} 选项, 而 BGA 封装则基于双 \overline{CE} 选项。在本数据手册中, 对于双 \overline{CE} 器件, \overline{CE} 是 \overline{CE}_1 和 \overline{CE}_2 的内部逻辑总和。当 \overline{CE}_1 为 LOW 和 \overline{CE}_2 为 HIGH 时, \overline{CE} 将为 LOW。在其他情况下, \overline{CE} 为高电平。芯片使能引脚 (即单芯片使能器件的 \overline{CE} ; 以及双芯片使能器件的 \overline{CE}_1 和 \overline{CE}_2) 上不支持中间电压电平。

图 13. 第一个 SRAM 写周期: \overline{WE} 控制 [32、34、36]

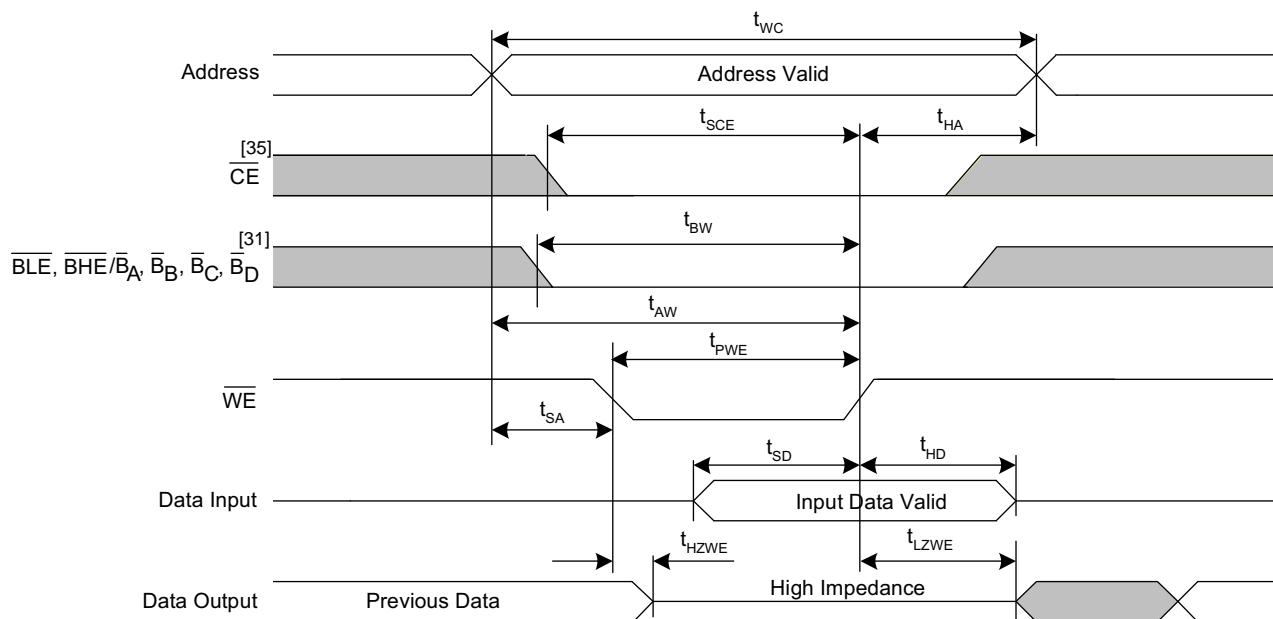
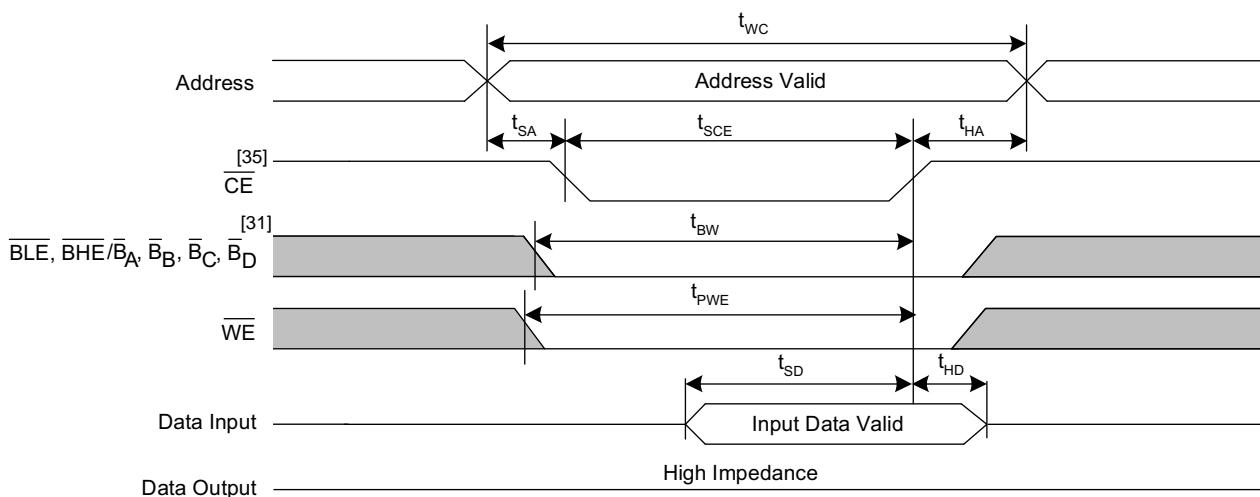


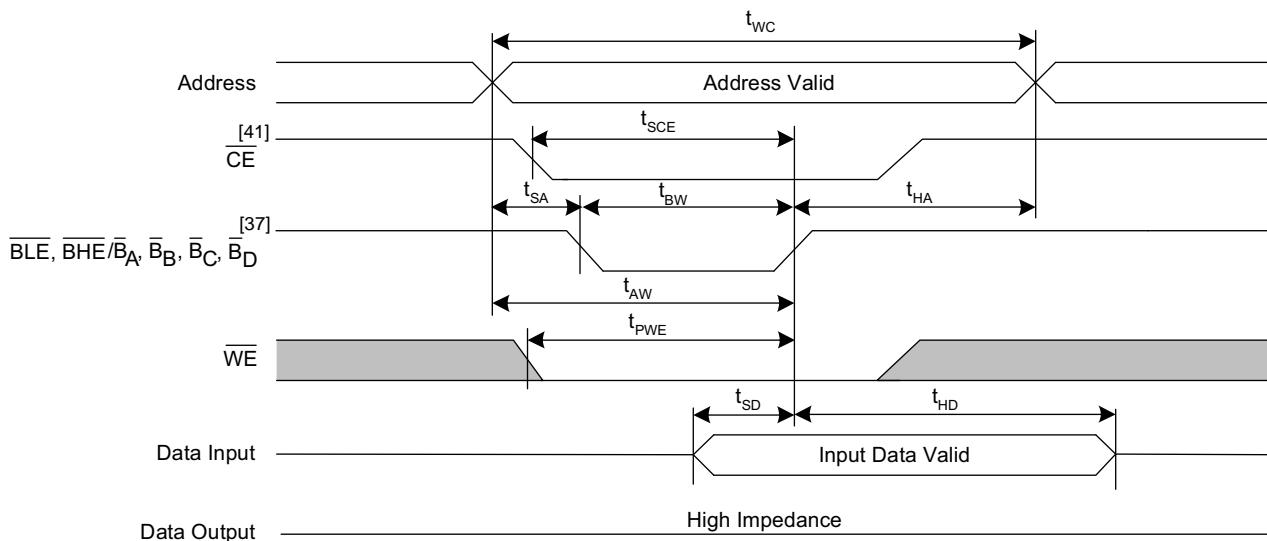
图 14. 第二个 SRAM 写周期: \overline{CE} 控制 [32、34、36]



注释:

31. \overline{BLE} 、 \overline{BHE} 可用于 $\times 16$ 的配置; $\overline{B_A}$ 、 $\overline{B_B}$ 、 $\overline{B_C}$ 、 $\overline{B_D}$ 仅适用于 $\times 32$ 的配置。
32. 如果 \overline{CE} 为低电平时 \overline{WE} 也处于低电平状态, 则输出会保持高阻态。
33. \overline{WE} 必须在 SRAM 读周期中保持高电平状态
34. \overline{HSB} 必须在读和写周期内保持高电平状态
35. 以单一 \overline{CE} 选项提供 TSOP II 封装。以双 \overline{CE} 选项提供了 TSOP I 和 BGA 封装。在此数据手册中, 对于双 \overline{CE} 器件, \overline{CE} 是 \overline{CE}_1 和 CE_2 的内部逻辑总和。当 \overline{CE}_1 为低电平和 CE_2 为高电平时, \overline{CE} 将为低电平。在其他情况下, \overline{CE} 为 HIGH。芯片使能引脚 (即单芯片使能器件的 \overline{CE} ; 以及双芯片使能器件的 \overline{CE}_1 和 CE_2) 上不支持中间电压电平。
36. 在地址转换期间, \overline{CE} 或 \overline{WE} 必须大于 V_{IH} 。

图 15. 第三个 SRAM 写周期: $\overline{\text{BHE}}$ 、 $\overline{\text{BLE}}/\overline{\text{B}_A}$ 、 $\overline{\text{B}_B}$ 、 $\overline{\text{B}_C}$ 、 $\overline{\text{B}_D}$ 控制 [38、39、40]



注释:

37. $\overline{\text{BLE}}$ 、 $\overline{\text{BHE}}$ 可用于 $\times 16$ 的配置; $\overline{\text{B}}_{\text{A}}$ 、 $\overline{\text{B}}_{\text{B}}$ 、 $\overline{\text{B}}_{\text{C}}$ 、 $\overline{\text{B}}_{\text{D}}$ 仅适用于 $\times 32$ 的配置。

38. 如果 $\overline{\text{CE}}$ 为低电平时 $\overline{\text{WE}}$ 也处于低电平状态，则输出会保持高阻态状态。

39. $\overline{\text{HSB}}$ 必须在读和写周期内保持高电平状态

40. 在地址转换期间, $\overline{\text{CE}}$ 或 $\overline{\text{WE}}$ 必须大于 V_{IH} 。

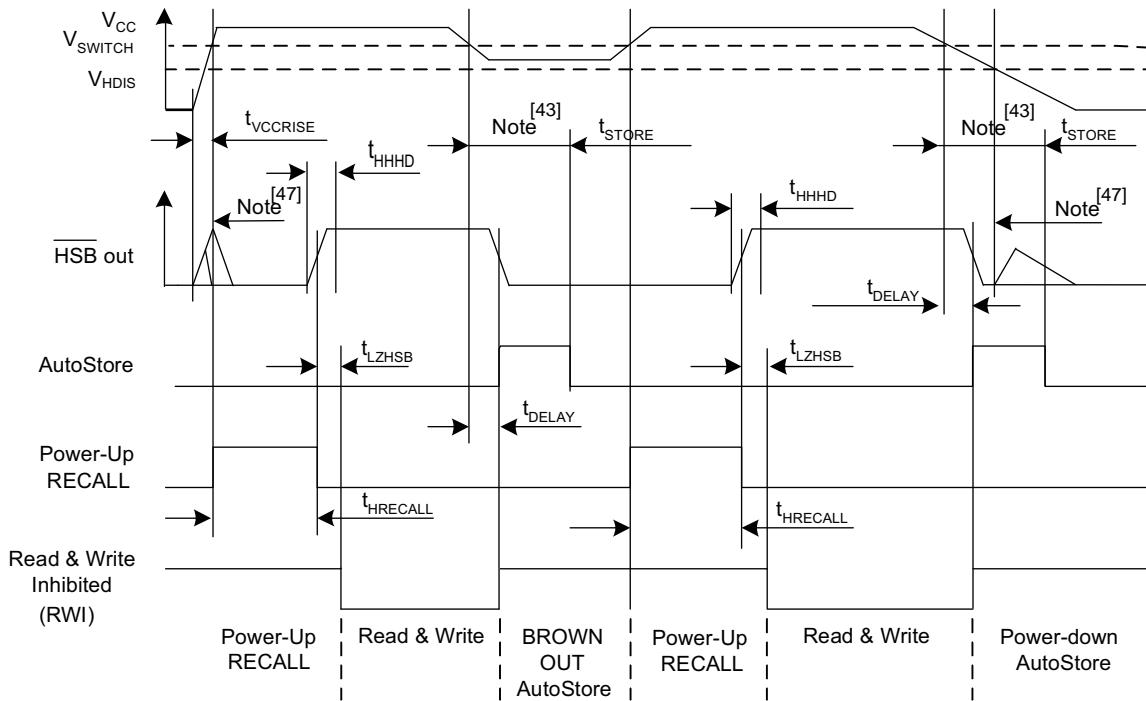
41. 以单一 $\overline{\text{CE}}$ 形式提供 TSOP II 封装。以双 $\overline{\text{CE}}$ 选项提供了 TSOP I 和 BGA 封装。在此数据手册中, 对于双 $\overline{\text{CE}}$ 器件, $\overline{\text{CE}}$ 是 $\overline{\text{CE}}_1$ 和 CE_2 的内部逻辑总和。当 $\overline{\text{CE}}_1$ 为低电平和 CE_2 为高电平时, $\overline{\text{CE}}$ 将为低电平。在其他情况下, $\overline{\text{CE}}$ 为高电平。芯片使能引脚 (即单芯片使能器件的 $\overline{\text{CE}}$, 以及双芯片使能器件的 $\overline{\text{CE}}_1$ 和 CE_2) 上不支持中间电压电平。

自动存储 / 加电回读特性

适用条件为工作范围

参数	说明	最小值	最大值	单位	
$t_{HRECALL}$ [42]	加电回读时间	—	30	ms	
t_{STORE} [43]	存储周期时间	—	8	ms	
t_{DELAY} [44, 45]	完成 SRAM 写入周期的时间	—	25	ns	
V_{SWITCH}	低电压触发电平	CY14B116X	—	2.65	V
		CY14E116X	—	4.40	V
$t_{VCCRISE}$ [45]	V_{CC} 上升时间	150	—	μ s	
V_{HDIS} [45]	HSB 输出禁用电压	—	1.9	V	
t_{LZHSB} [45]	HSB 到输出有效的时间	—	5	μ s	
t_{HHHD} [45]	HSB 高电平有效时间	—	500	ns	

图 16. 自动存储或加电回读 [46]



注释:

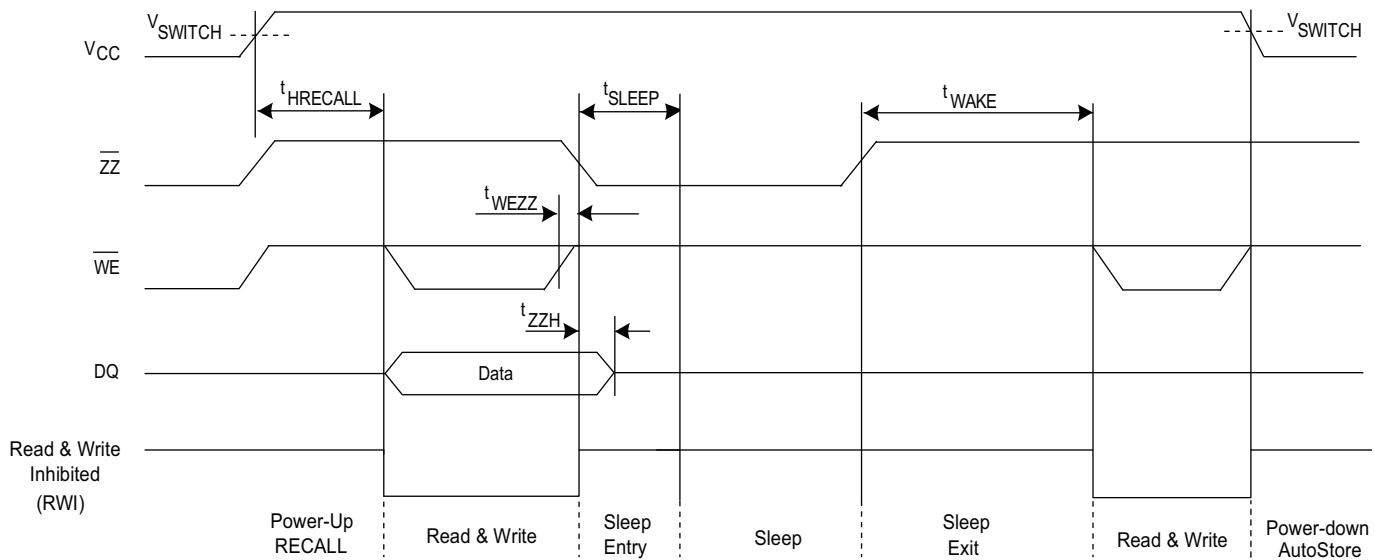
42. 当 V_{CC} 超过 V_{SWITCH} 时, 将开始计算 $t_{HRECALL}$ 。
43. 如果最后非易失性循环结束后尚未对 SRAM 进行写操作, 则将不会发生自动存储或硬件存储操作。
44. 在启动硬件存储和自动存储时, 会在 t_{DELAY} 时间内持续使能 SRAM 写操作。
45. 这些参数仅在设计上得到保证, 但未经过测试。
46. 在 V_{CC} 低于 V_{SWITCH} 的情况下, 在存储、回读的过程中会忽略读写周期。
47. 在通电和断电期间, 如果通过外部电阻上拉 \overline{HSB} 引脚, \overline{HSB} 会发生短时脉冲。

睡眠模式的特性

适用条件为工作范围

参数	说明	最小值	最大值	单位
t_{WAKE}	睡眠模式退出时间 (\overline{ZZ} 为高电平到唤醒后进行第一次访问)	—	30	ms
t_{SLEEP}	睡眠模式进入时间 (\overline{ZZ} 低电平到 \overline{CE} 无需关注的时间)	—	8	ms
t_{ZZL}	\overline{ZZ} 为低电平有效的时间	50	—	ns
t_{WEZZ}	从最后写入操作到进入睡眠模式的时间	0	—	μs
t_{ZZH}	\overline{ZZ} 有效到 DQ 为高阻态的时间	—	70	ns

图 17. 睡眠模式 [48]



注释:

48. 器件启动睡眠子程序，然后在 t_{SLEEP} 时间后进入睡眠模式。

软件控制的存储和回读特性

适用条件为工作范围 [49、50]

参数	说明	25 ns		30 ns		45 ns		单位
		最小值	最大值	最小值	最大值	最小值	最大值	
t_{RC}	存储 / 回读初始化周期的时间	25	—	30	—	45	—	ns
t_{SA}	地址建立时间	0	—	0	—	0	—	ns
t_{CW}	时钟脉冲宽度	20	—	24	—	30	—	ns
t_{HA}	地址保持时间	0	—	0	—	0	—	ns
t_{RECALL}	回读时间	—	600	—	600	—	600	μ s
t_{SS} [51、52]	软序列处理时间	—	500	—	500	—	500	μ s

图 18. \overline{CE} 和 \overline{OE} 控制的软件存储和回读周期 [50]

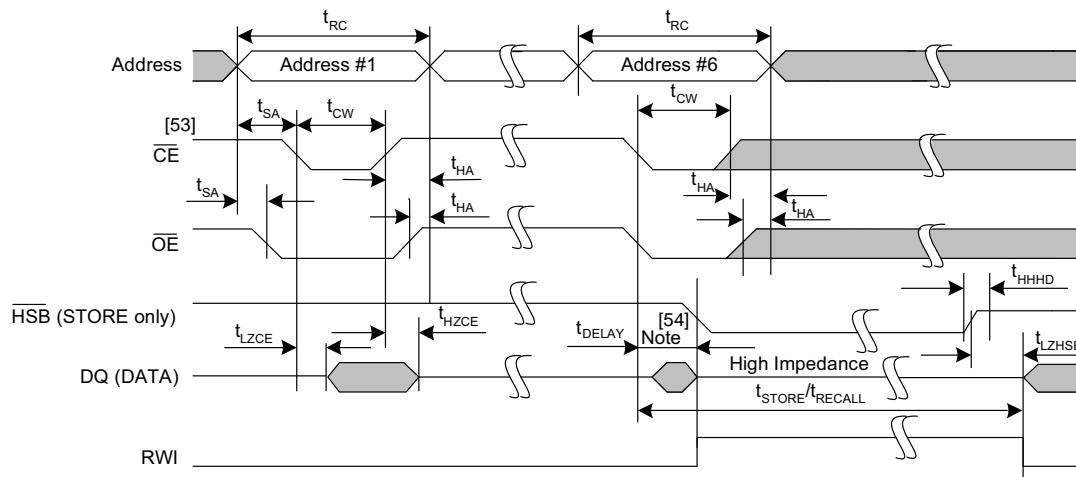
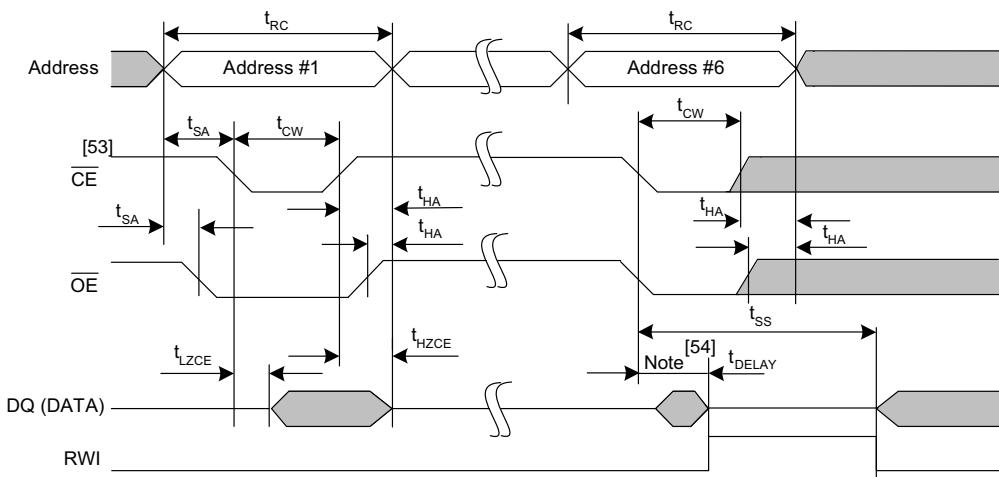


图 19. 自动存储使能和禁用周期



注释:

49. 由 \overline{CE} 控制或 \overline{OE} 控制的读操作为软件序列提供时钟脉冲。
50. 必须按列出的顺序读取六个连续地址表 1。在六个连续周期内, \overline{WE} 必须保持高电平状态。
51. 这是执行软序列指令所需要的时间。必须将 VCC 电源保持高电平状态, 以确保有效地寄存指令。
52. 各指令 (如存储和回读) 将锁定 I/O, 直到操作完成为止, 这样可以延长该时间。请参见特定的指令。
53. 以单一 \overline{CE} 选项提供 TSOP II 封装。以双 \overline{CE} 选项提供了 TSOP I 和 BGA 封装。在此数据手册中, 对于双 \overline{CE} 器件, \overline{CE} 是 \overline{CE}_1 和 \overline{CE}_2 的内部逻辑总和。当 \overline{CE}_1 为低电平和 \overline{CE}_2 为高电平时, \overline{CE} 将为高电平。在其他情况下, \overline{CE} 为低电平。芯片使能引脚 (即单芯片使能器件的 \overline{CE} ; 以及双芯片使能器件的 \overline{CE}_1 和 \overline{CE}_2) 上不支持中间电压电平。
54. 由于输出在 t_{DELAY} 时间内被禁用, 因此, 第六次读取的 DQ 输出数据可能无效。

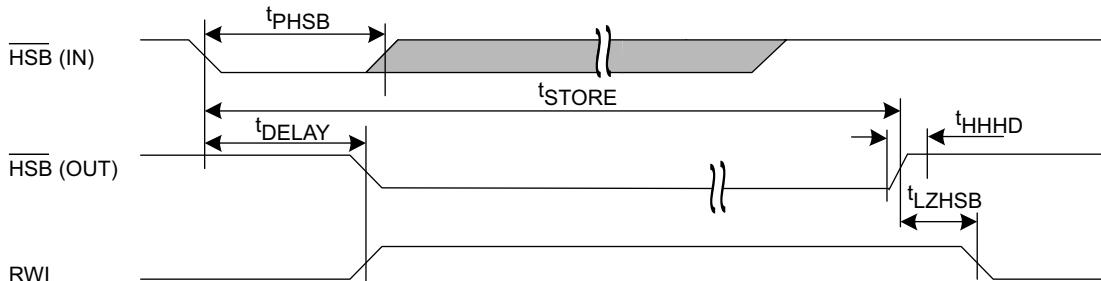
硬件存储特性

在工作范围

参数	说明	最小值	最大值	单位
t_{DHSB}	未设置写入锁存时从 $\overline{\text{HSB}}$ 到输出有效时间	—	25	ns
t_{PHSB}	硬件存储脉冲宽度	15	—	ns

图 20. 硬件存储周期 [55]

Write Latch set



Write Latch not set

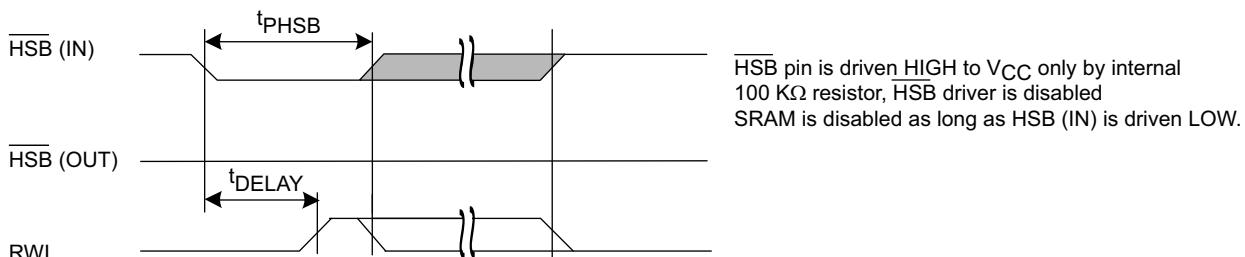
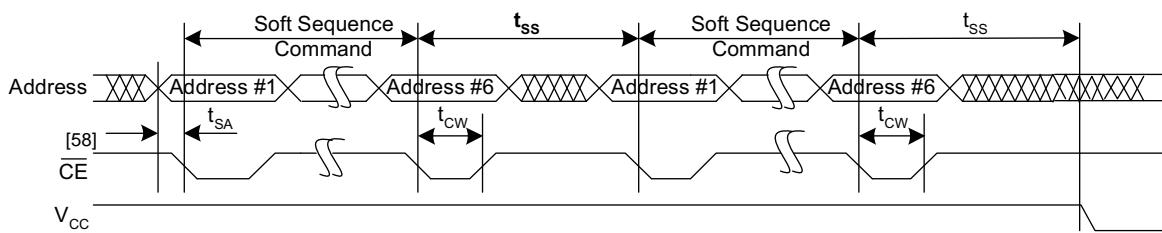


图 21. 软序列处理时间 [56, 57]



注释:

55. 如果最后非易失性循环结束后尚未对 SRAM 进行写操作，则将不会发生自动存储或硬件存储操作。
56. 这是执行软序列指令所需要的时间。必须将 VCC 电源保持高电平状态，以确保有效地寄存指令。
57. 各指令（如存储和回读）将锁定 I/O，直到操作完成为止，这样可以延长该时间。请参见特定的指令。
58. 以单一 $\overline{\text{CE}}$ 选项提供 TSOP II 封装。以双 $\overline{\text{CE}}$ 选项提供了 TSOP I 和 BGA 封装。在此数据手册中，对于双 $\overline{\text{CE}}$ 器件， $\overline{\text{CE}}$ 是 $\overline{\text{CE}}_1$ 和 $\overline{\text{CE}}_2$ 的内部逻辑总和。当 $\overline{\text{CE}}_1$ 为低电平且 $\overline{\text{CE}}_2$ 为高电平时， $\overline{\text{CE}}$ 将为低电平。在其他情况下， $\overline{\text{CE}}$ 为高电平。芯片使能引脚（即单芯片使能器件的 $\overline{\text{CE}}$ ，以及双芯片使能器件的 $\overline{\text{CE}}_1$ 和 $\overline{\text{CE}}_2$ ）上不支持中间电压电平。

SRAM 操作的真值表

SRAM 操作过程中，必须保持 \overline{HSB} 为高电平。

对于 $\times 8$ 配置

单芯片使能选项 (44 pin TSOP II 封装)

\overline{CE}	\overline{WE}	\overline{OE}	输入和输出	模式	功耗模式
H	X	X	高阻	取消选择 / 断电	待机
L	H	L	数据输出 (DQ ₀ –DQ ₇)	读取	活动
L	H	H	高阻态	输出禁用	活动模式
L	L	X	数据输入 (DQ ₀ –DQ ₇)	写入	活动

对于 $\times 8$ 配置

双芯片使能选项 (48 pin TSOP I 封装)

\overline{CE}_1	\overline{CE}_2	\overline{WE}	\overline{OE}	输入和输出	模式	功耗
H	X	X	X	高阻态	取消选择 / 断电	待机
X	L	X	X	高阻态	取消选择 / 断电	待机
L	H	H	L	数据输出 (DQ ₀ –DQ ₇)	读取	活动
L	H	H	H	高阻态	输出禁用	活动
L	H	L	X	数据输入 (DQ ₀ –DQ ₇)	写入	活动

对于 $\times 16$ 配置

单芯片使能选项 (54 pin TSOP II 封装)

\overline{CE}	\overline{WE}	\overline{OE}	\overline{BLE}	\overline{BHE}	输入和输出	模式	功耗
H	X	X	X	X	高阻态	取消选择 / 断电	待机
L	X	X	H	H	高阻态	输出禁用	活动
L	H	L	L	L	数据输出 (DQ ₀ –DQ ₁₅)	读取	活动
L	H	L	L	H	数据输出 (DQ ₀ –DQ ₇) ; 高阻态的 DQ ₈ –DQ ₁₅	读取	活动
L	H	L	H	L	数据输出 (DQ ₈ –DQ ₁₅) ; 高阻态的 DQ ₀ –DQ ₇	读取	活动
L	H	H	X	X	高阻态	输出禁用	活动
L	L	X	L	L	数据输入 (DQ ₀ –DQ ₁₅)	写入	活动
L	L	X	L	H	数据输入 (DQ ₀ –DQ ₇) ; 高阻态的 DQ ₈ –DQ ₁₅	写入	活动
L	L	X	H	L	数据输入 (DQ ₈ –DQ ₁₅) ; 高阻态的 DQ ₀ –DQ ₇	写入	活动

对于 x16 配置

双芯片使能选项 (48 pin TSOP I 封装和 165 pin FBGA 封装)

$\overline{CE_1}$	$\overline{CE_2}$	\overline{WE}	\overline{OE}	\overline{BLE}	\overline{BHE}	输入和输出	模式	功耗
H	X	X	X	X	X	高阻态	取消选择 / 断电	待机
X	L	X	X	X	X	高阻态	取消选择 / 断电	待机
L	H	X	X	H	H	高阻态	输出禁用	活动
L	H	H	L	L	L	数据输出 (DQ ₀ –DQ ₁₅)	读取	活动
L	H	H	L	L	H	数据输出 (DQ ₀ –DQ ₇) ; 高阻态的 DQ ₈ –DQ ₁₅	读取	活动
L	H	H	L	H	L	数据输出 (DQ ₈ –DQ ₁₅) ; 高阻态的 DQ ₀ –DQ ₇	读取	活动
L	H	H	H	X	X	高阻态	输出禁用	活动
L	H	L	X	L	L	数据输入 (DQ ₀ –DQ ₁₅)	写入	活动
L	H	L	X	L	H	数据输入 (DQ ₀ –DQ ₇) ; 高阻态的 DQ ₈ –DQ ₁₅	写入	活动
L	H	L	X	H	L	数据输入 (DQ ₈ –DQ ₁₅) ; 高阻态的 DQ ₀ –DQ ₇	写入	活动

对于 x32 配置

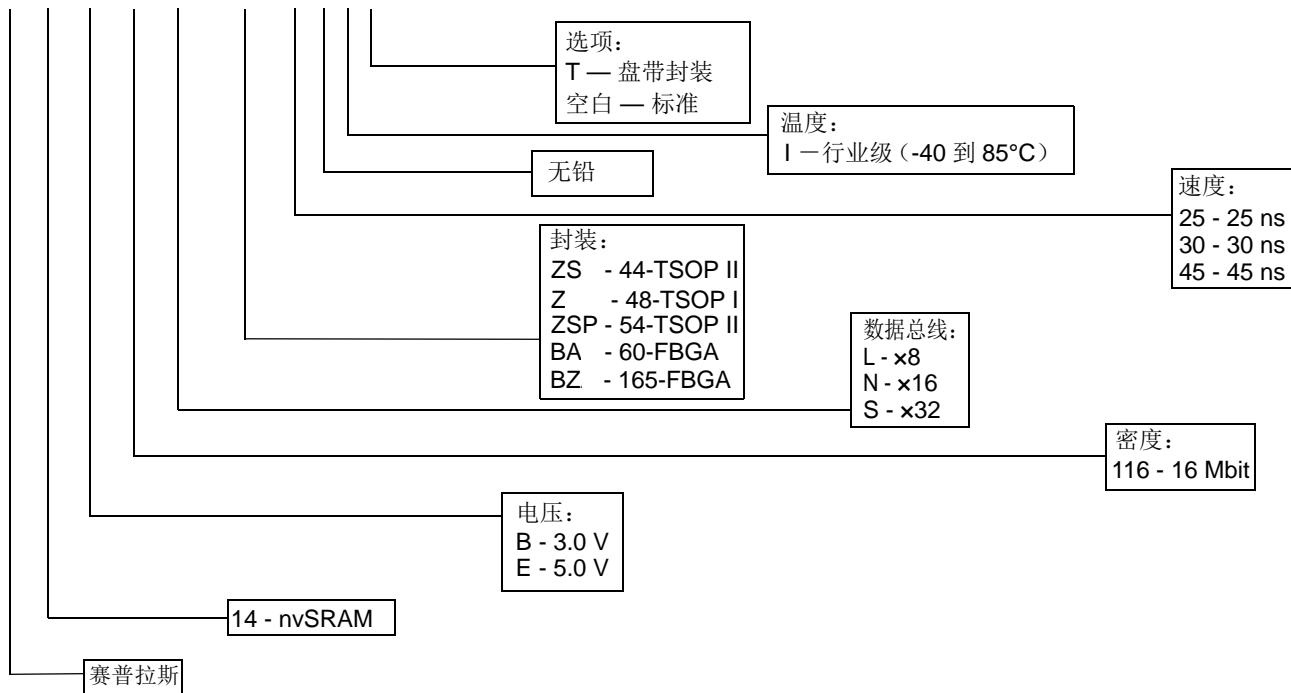
双芯片使能选项 (165 ball FBGA 封装)

$\overline{CE_1}$	$\overline{CE_2}$	\overline{WE}	\overline{OE}	$\overline{B_A}$	$\overline{B_B}$	$\overline{B_C}$	$\overline{B_D}$	DQ_0–DQ_7	DQ_8–DQ_{15}	DQ_{16}–DQ_{23}	DQ_{24}–DQ_{31}	模式	功耗
H	X	X	X	X	X	X	X	高阻态	高阻态	高阻态	高阻态	取消选择 / 断电	待机
X	L	X	X	X	X	X	X	高阻态	高阻态	高阻态	高阻态	取消选择 / 断电	待机
L	H	X	X	X	X	X	X	高阻态	高阻态	高阻态	高阻态	选择	活动
L	H	H	L	L	L	L	L	数据输出	数据输出	数据输出	数据输出	读取所有位	活动
L	H	H	L	L	H	H	H	数据输出	高阻态	高阻态	高阻态	读取	活动
L	H	H	L	H	L	H	H	高阻态	数据输出	高阻态	高阻态	读取	活动
L	H	H	L	H	H	L	H	高阻态	高阻态	数据输出	高阻态	读取	活动
L	H	H	L	H	H	H	L	高阻态	高阻态	高阻态	数据输出	读取	活动
L	H	L	X	L	L	L	L	数据输入	数据输入	数据输入	数据输入	写入所有位	活动
L	H	L	X	L	H	H	H	数据输入	高阻态	高阻态	高阻态	写入	活动
L	H	L	X	H	L	H	H	高阻态	数据输入	高阻态	高阻态	写入	活动
L	H	L	X	H	H	L	H	高阻态	高阻态	数据输入	高阻态	写入	活动
L	H	L	X	H	H	H	L	高阻态	高阻态	高阻态	数据输入	写入	活动
L	H	H	H	X	X	X	X	高阻态	高阻态	高阻态	高阻态	输出禁用	活动

订购信息

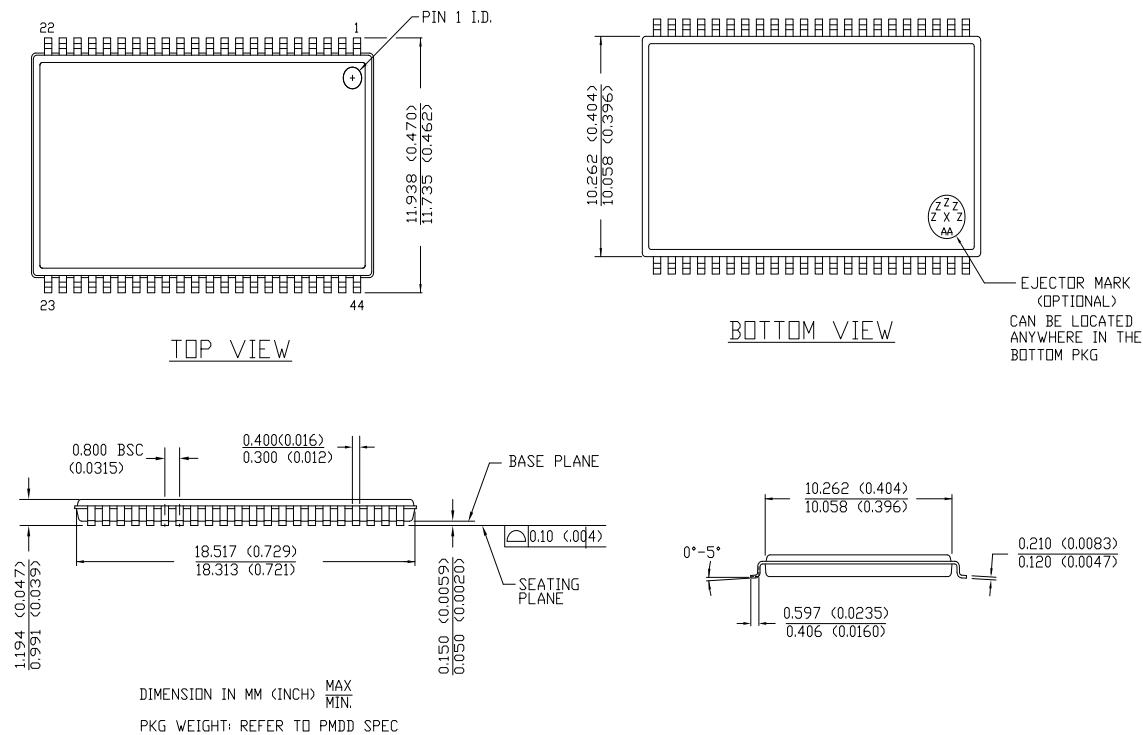
速率 (ns)	订购代码	封装图	封装类型	工作范围
25	CY14B116L-ZS25XI	51-85087	44-TSOP II	工业
	CY14B116L-ZS25XIT	51-85087	44-TSOP II	
	CY14E116L-ZS25XI	51-85087	44-TSOP II	
	CY14E116L-ZS25XIT	51-85087	44 pin TSOP II	
	CY14B116N-ZSP25XI	51-85160	54 pin TSOP II	
	CY14E116N-ZSP25XI	51-85160	54 pin TSOP II	
	CY14B116N-BA25XI	002-00193	60 ball FBGA	
	CY14B116N-BA25XIT	002-00193	60 ball FBGA	
	CY14B116N-BZ25XI	51-85195	165 ball FBGA	
	CY14B116N-BZ25XIT	51-85195	165 ball FBGA	
	CY14B116S-BZ25XI	51-85195	165 ball FBGA	
	CY14B116S-BZ25XIT	51-85195	165 ball FBGA	
	CY14E116S-BZ25XI	51-85195	165 ball FBGA	
	CY14E116S-BZ25XIT	51-85195	165 ball FBGA	
30	CY14B116L-Z30XI	51-85183	48 pin TSOP I	
	CY14B116L-Z30XIT	51-85183	48 pin TSOP I	
	CY14E116L-Z30XI	51-85183	48 pin TSOP I	
	CY14E116L-Z30XIT	51-85183	48 pin TSOP I	
	CY14B116N-Z30XI	51-85183	48 pin TSOP I	
	CY14B116N-Z30XIT	51-85183	48 pin TSOP I	
	CY14E116N-Z30XI	51-85183	48 pin TSOP I	
	CY14E116N-Z30XIT	51-85183	48 pin TSOP I	
45	CY14B116L-ZS45XI	51-85087	44 pin TSOP II	
	CY14B116L-ZS45XIT	51-85087	44-TSOP II	
	CY14E116L-ZS45XI	51-85087	44 pin TSOP II	
	CY14E116L-ZS45XIT	51-85087	44-TSOP II	
	CY14B116L-Z45XI	51-85183	48 pin TSOP I	
	CY14B116L-Z45XIT	51-85183	48 pin TSOP I	
	CY14E116L-Z45XI	51-85183	48 pin TSOP I	
	CY14E116L-Z45XIT	51-85183	48 pin TSOP I	
	CY14B116N-Z45XI	51-85183	48 pin TSOP I	
	CY14B116N-Z45XIT	51-85183	48 pin TSOP I	
	CY14B116N-ZSP45XI	51-85160	54 pin TSOP II	
	CY14B116N-ZSP45XIT	51-85160	54 pin TSOP II	
	CY14E116N-Z45XI	51-85183	48 pin TSOP I	
	CY14E116N-Z45XIT	51-85183	48 pin TSOP I	
	CY14B116N-BZ45XI	51-85195	165 ball FBGA	
	CY14B116N-BZ45XIT	51-85195	165 ball FBGA	
	CY14B116S-BZ45XI	51-85195	165 ball FBGA	
	CY14B116S-BZ45XIT	51-85195	165 ball FBGA	

这些器件都是无铅的。要了解这些器件的供应情况,请联系赛普拉斯本地销售代表。

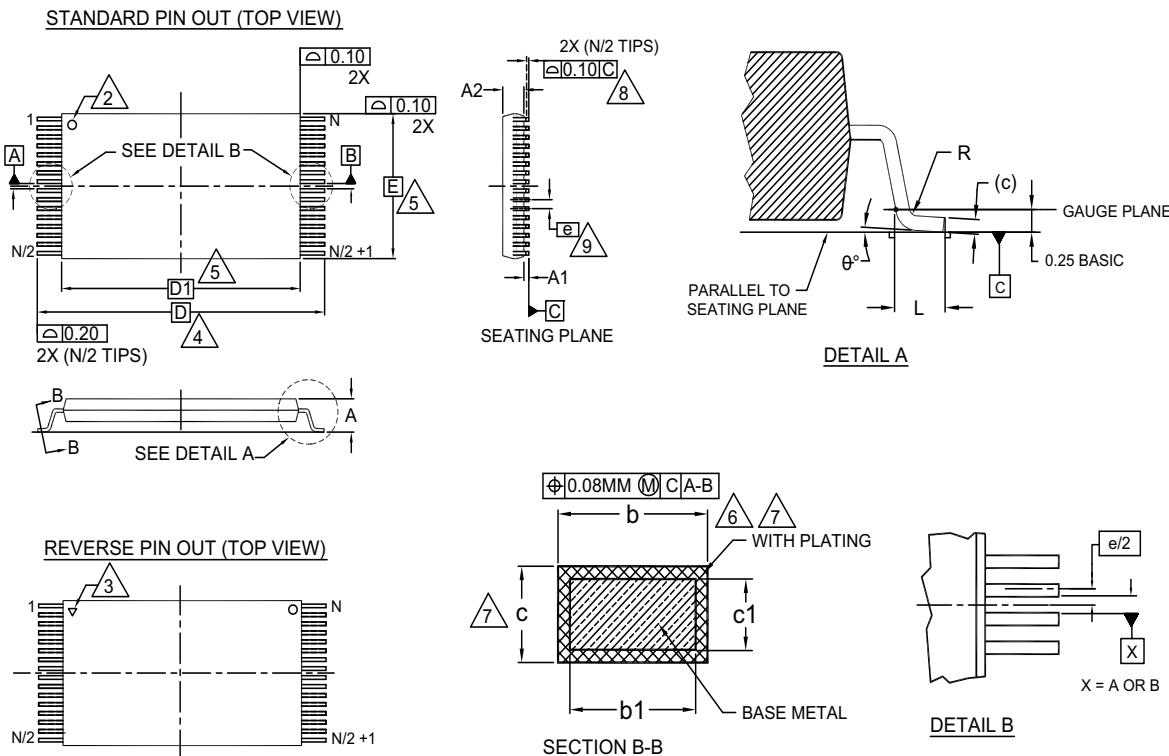
订购代码定义
CY14 B 116 L - ZS 25 X IT


封装图

图 22. 44 pin TSOP II 封装外形, 51-85087



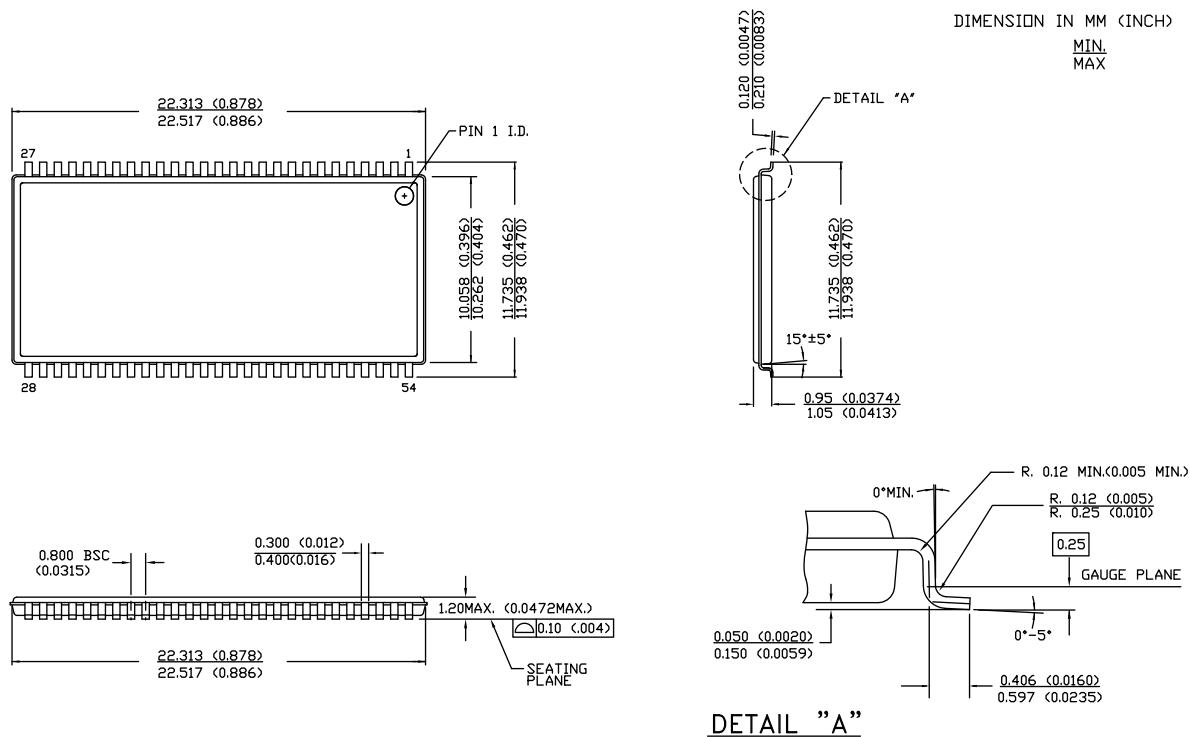
51-85087 *E

封装图 (续)
图 23. 48 pin TSOP I (12 x 18.4 x 1.0 mm) 封装外形, 51-85183


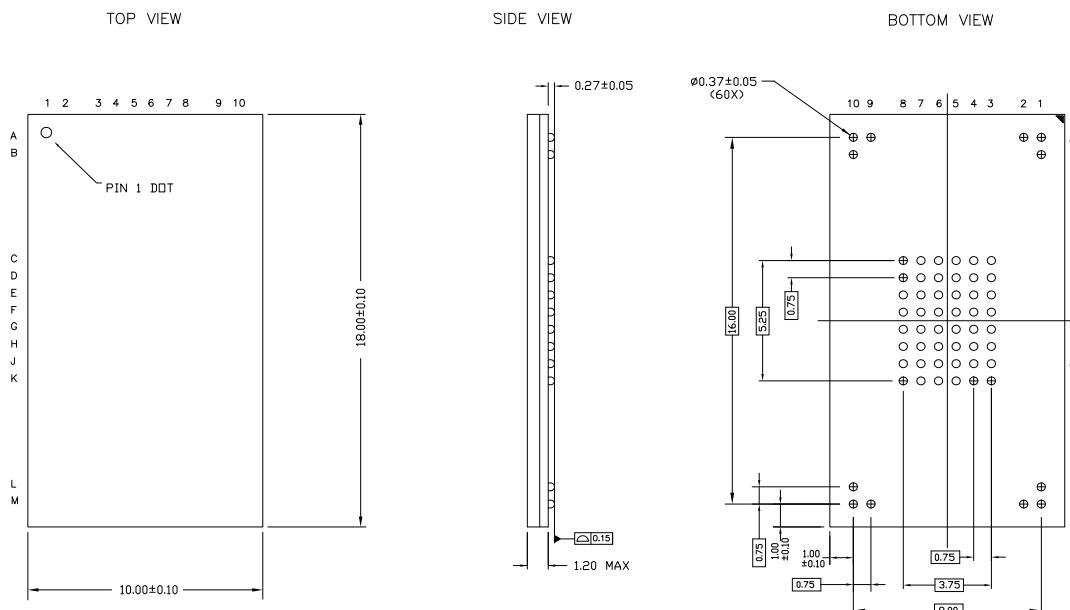
SYMBOL	DIMENSIONS		
	MIN.	NOM.	MAX.
A	—	—	1.20
A1	0.05	—	0.15
A2	0.95	1.00	1.05
b1	0.17	0.20	0.23
b	0.17	0.22	0.27
c1	0.10	—	0.16
c	0.10	—	0.21
D	20.00 BASIC		
D1	18.40 BASIC		
E	12.00 BASIC		
e	0.50 BASIC		
L	0.50	0.60	0.70
θ	0°	—	8
R	0.08	—	0.20
N	48		

NOTES:

1. DIMENSIONS ARE IN MILLIMETERS (mm).
2. PIN 1 IDENTIFIER FOR STANDARD PIN OUT (DIE UP).
3. PIN 1 IDENTIFIER FOR REVERSE PIN OUT (DIE DOWN): INK OR LASER MARK.
4. TO BE DETERMINED AT THE SEATING PLANE $[-C-]$. THE SEATING PLANE IS DEFINED AS THE PLANE OF CONTACT THAT IS MADE WHEN THE PACKAGE LEADS ARE ALLOWED TO REST FREELY ON A FLAT HORIZONTAL SURFACE.
5. DIMENSIONS D1 AND E DO NOT INCLUDE MOLD PROTRUSION. ALLOWABLE MOLD PROTRUSION ON E IS 0.15mm PER SIDE AND ON D1 IS 0.25mm PER SIDE.
6. DIMENSION b DOES NOT INCLUDE DAMBAR PROTRUSION. ALLOWABLE DAMBAR PROTRUSION SHALL BE 0.08mm TOTAL IN EXCESS OF b DIMENSION AT MAX. MATERIAL CONDITION. DAMBAR CANNOT BE LOCATED ON LOWER RADIUS OR THE FOOT. MINIMUM SPACE BETWEEN PROTRUSION AND AN ADJACENT LEAD TO BE 0.07mm.
7. THESE DIMENSIONS APPLY TO THE FLAT SECTION OF THE LEAD BETWEEN 0.10mm AND 0.25mm FROM THE LEAD TIP.
8. LEAD COPLANARITY SHALL BE WITHIN 0.10mm AS MEASURED FROM THE SEATING PLANE.
9. DIMENSION "e" IS MEASURED AT THE CENTERLINE OF THE LEADS.
10. JEDEC SPECIFICATION NO. REF: MO-142(D)DD.

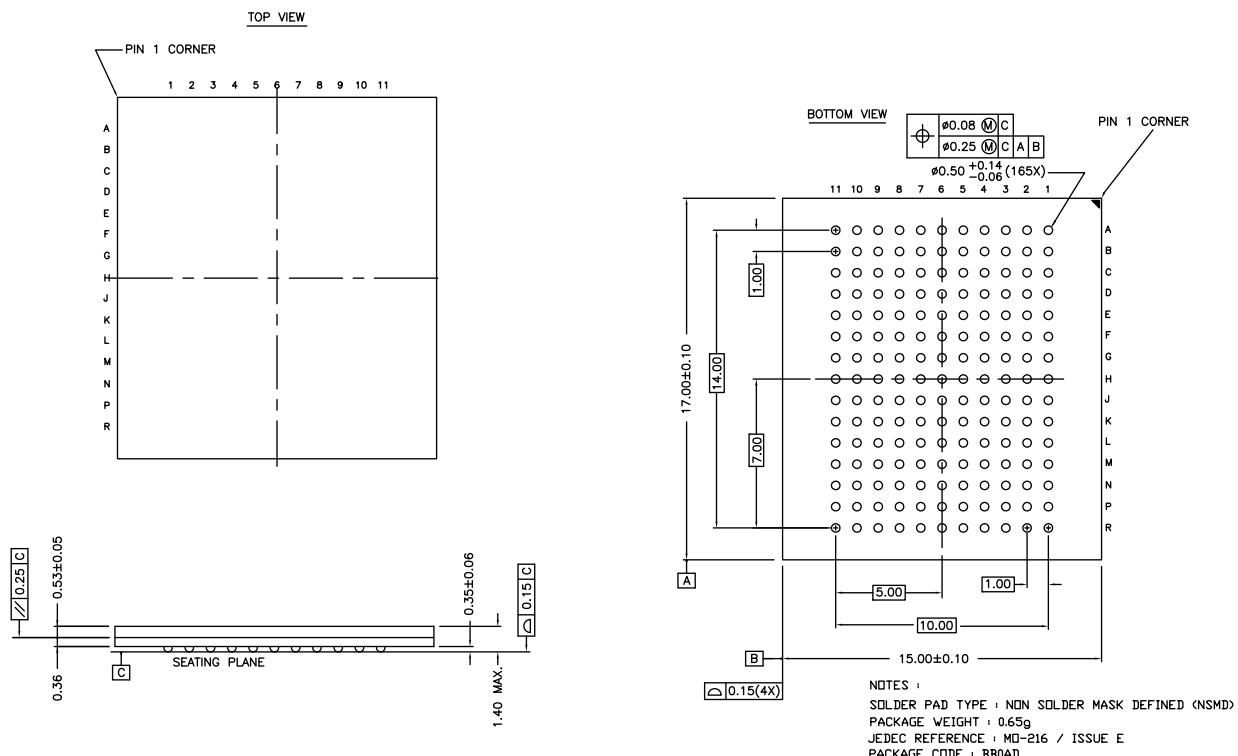
封装图 (续)
图 24. 54 pin TSOP II (22.4 × 11.84 × 1.0 mm) 封装外形, 51-85160


51-85160 *E

封装图 (续)
图 25. 60 ball FBGA (10 × 18 × 1.2 mm) BK60B 封装外形, 002-00193

NOTES:

1. ALL DIMENSIONS ARE IN MILLIMETERS
2. REFERENCE JEDEC : PUB 95, DESIGN GUIDE 4.5

002-00193 **

封装图 (续)
图 26. 165 ball FBGA (15 x 17 x 1.40 mm (0.50 Ball 直径)) 封装外形, 51-85195


51-85195 *D

缩略语

缩略语	说明
CMOS	互补金属氧化物半导体
EIA	电子工业联盟
FBGA	小间距球栅阵列
I/O	输入 / 输出
JESD	JEDEC 标准
nvSRAM	非易失性静态随机存取存储器
RoHS	有害物质限制
RWI	禁止读和写
TSOP II	薄小外型封装

文档规范

测量单位

符号	测量单位
°C	摄氏度
Hz	赫兹
Kbit	千位
kHz	千赫兹
kΩ	千欧姆
μA	微安
mA	毫安
μF	微法
Mbit	兆位
MHz	兆赫兹
μs	微秒
ms	毫秒
ns	纳秒
pF	皮法
V	伏特
Ω	欧姆
W	瓦特

该产品的勘误表已被修正为有效日期代码 1431 (YY = 14、WW = 31)。更多相关信息, 请参考数据手册 001-67793 版本 *J, 或直接访问 <http://www.cypress.com/support> 网站与赛普拉斯技术支持部门联系。

文档修订记录页

文档标题: CY14B116L/CY14B116N/CY14B116S/CY14E116L/CY14E116N/CY14E116S, 16 Mbit (2048 K x 8/1024 K x 16/512 K x 32) nvSRAM
文档编号: 001-92106

版本	ECN 编号	变更者	提交日期	变更说明
**	4341565	MX	04/11/2014	本文档版本号为 Rev**, 译自英文版 001-67793 Rev*E。
*A	4480525	WAHY	08/21/2014	本文档版本号为 Rev*A, 译自英文版 001-67793 Rev*G。
*B	4661105	WAHY	02/13/2015	更新了模板; 已将封装图从 51-85183 和 51-85160 更新为当前版本。
*C	5698757	WAHY	04/21/2017	本文档版本号为 Rev*C, 译自英文版 001-67793 Rev*N。



销售、解决方案和法律信息

全球销售和设计支持

赛普拉斯公司拥有一个由办事处、解决方案中心、厂商代表和经销商组成的全球性网络。要想找到离您最近的办事处，请访问[赛普拉斯所在地](#)。

产品

ARM® Cortex® 微控制器

汽车级

时钟与缓冲器

接口

照明与电源控制

存储器

PSoC

触摸感应

USB 控制器

无线 / 射频

cypress.com/arm

cypress.com/automotive

cypress.com/clocks

cypress.com/interface

cypress.com/powerpsoc

cypress.com/memory

cypress.com/psoc

cypress.com/touch

cypress.com/usb

cypress.com/wireless

PSoC® 解决方案

[PSoC 1](#) | [PSoC 3](#) | [PSoC 4](#) | [PSoC 5LP](#)

赛普拉斯开发者社区

[论坛](#) | [项目](#) | [视频](#) | [博客](#) | [培训](#) | [组件](#)

技术支持

cypress.com/support

© 赛普拉斯半导体公司, 2011-2017 年。本文件是赛普拉斯半导体公司及其子公司, 包括 Spansion LLC (“赛普拉斯”) 的财产。本文件, 包括其包含或引用的任何软件或固件 (“软件”), 根据全球范围内的知识产权法律以及美国与其他国家签署条约由赛普拉斯所有。除非在本款中另有明确规定, 赛普拉斯保留在该等法律和条约下的所有权利, 且未就其专利、版权、商标或其他知识产权授予任何许可。如果软件并不附随有一份许可协议且贵方未以其他方式与赛普拉斯签署关于使用软件的书面协议, 赛普拉斯特此授予贵方属人性质的、非独家且不可转让的如下许可 (无再许可权) (1) 在赛普拉斯特软件著作权项下的下列许可权, (一) 对以源代码形式提供的软件, 仅出于在赛普拉斯硬件产品上使用之目的且仅在贵方集团内部修改和复制软件, 和 (二) 仅限于在有关赛普拉斯硬件产品上使用之目的将软件以二进制代码形式的向外部最终用户提供 (无论直接提供或通过经销商和分销商间接提供), 和 (2) 在被软件 (由赛普拉斯公司提供, 且未经修改) 侵犯的赛普拉斯专利的权利主张项下, 仅出于在赛普拉斯硬件产品上使用之目的制造、使用、提供和进口软件的许可。禁止对软件的任何其他使用、复制、修改、翻译或汇编。

在适用法律允许的限度内, 赛普拉斯未对本文件或任何软件作出任何明示或暗示的担保, 包括但不限于关于适销性和特定用途的默示保证。赛普拉斯保留更改本文件的权利, 届时将不另行通知。在适用法律允许的限度内, 赛普拉斯不对因应用或使用本文件所述任何产品或电路引起的所有后果负责。本文件, 包括任何样本设计信息或程序代码信息, 仅为供参考之目的提供。文件使用人应负责正确设计、计划和测试信息应用和由此生产的任何产品的功能和安全性。赛普拉斯产品不应被设计为、设定为或授权用作武器操作、武器系统、核设施、生命支持设备或系统、其他医疗设备或系统 (包括急救设备和手术植入物)、污染控制或有害物质管理系统中的关键部件, 或产品植入之设备或系统故障可能导致人身伤害、死亡或财产损失其他用途 (“非预期用途”)。关键部件指, 若该部件发生故障, 经合理预期会导致设备或系统故障或会影响设备或系统安全性和有效性的部件。针对由赛普拉斯产品非预期用途产生或相关的任何主张、费用、损失和其他责任, 赛普拉斯不承担全部或部分责任且贵方不应追究赛普拉斯之责任。贵方应赔偿赛普拉斯因赛普拉斯产品任何非预期用途产生或相关的所有索赔、费用、损失和其他责任, 包括因人身伤害或死亡引起的主张, 并使之免受损失。

赛普拉斯、赛普拉斯徽标、Spansion、Spansion 徽标, 及上述项目的组合, WICED, 及 PSoC、CapSense、EZ-USB、F-RAM 和 Traveo 应视为赛普拉斯在美国和其他国家的商标或注册商标。请访问 cypress.com 获取赛普拉斯商标的完整列表。其他名称和品牌可能由其各自所有者主张为该方财产。