

具有实时时钟功能的 16 Mbit (2048 K × 8/1024 K × 16) nvSRAM

特性

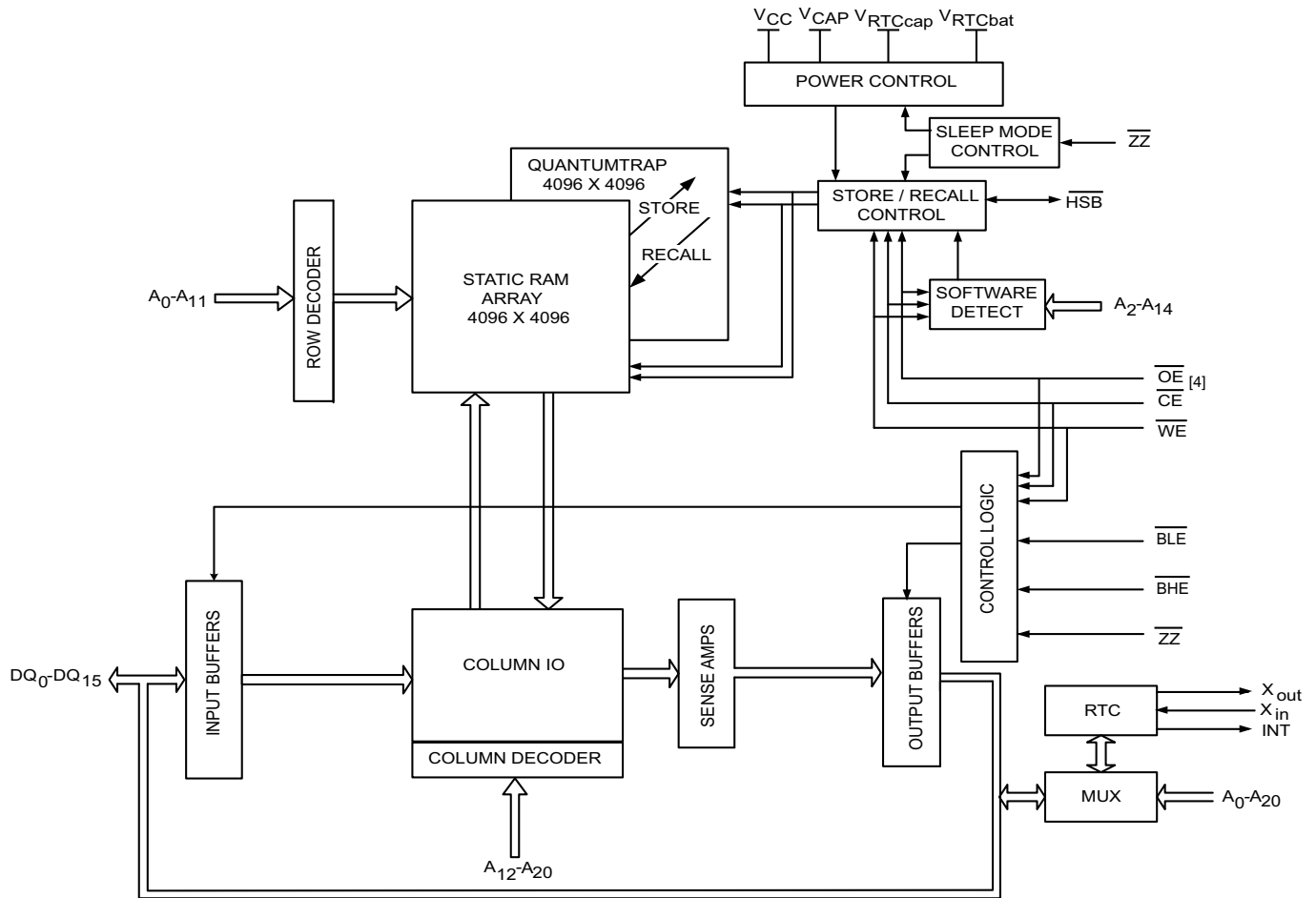
- 16 Mbit 的非易失性静态随机存取存储器 (nvSRAM)
 - 访问时间为 25 ns 和 45 ns
 - 内部采用 2048 K × 8 (CY14B116K)、1024 K × 16 (CY14B116M)
 - 只需一个小电容, 即可在断电时实现自动存储
 - 可通过软件、器件引脚或断电时自动存储来触发存储至 QuantumTrap 非易失性元件
 - 可通过软件或加电触发回读至 SRAM
- 可靠性高
 - 无限次读、写和回读循环
 - 一百万次 QuantumTrap 存储周期
 - 数据保留: 20 年
- 睡眠模式操作
- 功能齐全的实时时钟 (RTC)
 - 看门狗定时器
 - 带可编程中断的时钟警报
 - 备用电源失败指示
 - 可编程频率 (1 Hz、512 Hz、4096 Hz、32.768 kHz) 方波输出
 - RTC 的备用电容或电池
 - 0.45 μA 的备用电流 (典型值)
- 低功耗
 - 访问时间为 45 ns 时, 活动模式下的电流为 75 mA
 - 待机模式下的电流为 750 μA
 - 睡眠模式下的电流为 10 μA
- 工作电压: $V_{CC} = 2.7\text{ V}$ 至 3.6 V
- 工业温度范围: $-40\text{ }^{\circ}\text{C}$ 至 $+85\text{ }^{\circ}\text{C}$
- 封装
 - 44 薄型小尺寸封装 (TSOP II)
 - 54 薄型小尺寸封装 (TSOP II)
 - 165 细间距球栅阵列 (FBGA) 封装
- 符合 RoHS

功能说明

赛普拉斯 CY14B116K/CY14B116M 将 16 Mbit 的 nvSRAM 和功能齐全的 RTC 整合在一个单片集成电路中。nvSRAM 是一种快 SRAM, 其中每个存储器单元中都包含非易失性元件。该存储器采用“2048 K 字节, 每字节 8 位”或“1024 K 字, 每字 16 位”的组织方式。嵌入式非易失性元件通过采用 QuantumTrap 技术, 打造出了世界上最可靠的非易失性存储器。可以在无限制的时间内对 SRAM 进行读写操作。对 SRAM 进行读操作时, 位于非易失性单元内的数据不会发生改变。断电时, 数据会从 SRAM 自动转移到非易失性元件内 (“存储”操作)。加电时, 数据会从非易失性存储器存储到 SRAM (“回读”操作)。“存储”和“回读”操作也可以在软件控制下执行。

RTC 功能提供了一个带闰年跟踪及可编程高精度振荡器的精确时钟。可以编程警报功能, 以便设置定期的分、时、日或月警报。它也是一个可编程的看门狗定时器。

要获取相关文档的完整列表, 请单击[此处](#)。

逻辑框图^[1、2、3]

注释:

1. 地址 $A_0 - A_{20}$ 适用于 x8 配置; 地址 $A_0 - A_{19}$ 适用于 x16 配置。
2. 数据 DQ_0-DQ_7 适用于 x 8 配置; 数据 DQ_0-DQ_{15} 适用于 x 16 配置。
3. \overline{BHE} 和 \overline{BLE} 仅适用于 x16 配置。
4. TSOP II 封装基于单 \overline{CE} 选项, 而 BGA 封装则基于双 \overline{CE} 选项。在本数据手册中, 对于双 \overline{CE} 器件, \overline{CE} 是 \overline{CE}_1 和 \overline{CE}_2 的内部逻辑结合。当 \overline{CE}_1 为低电平和 \overline{CE}_2 为高电平时, \overline{CE} 将为低电平。在其他情况下, \overline{CE} 为高电平。

目录

引脚分布	4	最大额定值	22
器件操作	6	工作范围	22
SRAM 读取	6	直流电气特性	22
SRAM 写入	6	数据保留与耐久性	23
自动存储操作（断电）	6	电容	23
硬件存储（HSB）操作	7	热电阻	23
硬件回读（加电时）	7	交流测试条件	24
软件存储	7	RTC 特性	24
软件回读	7	交流开关特性	25
睡眠模式	8	自动存储 / 加电回读特性	29
阻止自动存储	9	睡眠模式的特性	30
数据保护	10	软件控制的存储和回读特性	31
实时时钟操作	10	硬件存储特性	32
nvTime 操作	10	对于 x16 配置	33
时钟操作	10	SRAM 操作的真值表	33
读取时钟	10	对于 x8 配置	33
设置时钟	10	对于 x16 配置	34
备用电源	10	订购信息	35
停止和启动振荡器	11	封装图	36
校准时钟	11	缩略语	39
警报	11	文档规范	39
看门狗定时器	11	测量单位	39
可编程方波生成器	12	文档修订记录页	40
功耗监控器	12	销售、解决方案和法律信息	41
备用电源监控器	13	全球销售和设计支持	41
中断	13	产品	41
标志寄存器	14	PSoC® 解决方案	41
RTC 外部组件	15	赛普拉斯开发者社区	41
RTC 的 PCB 设计注意事项	15	技术支持	41
布局要求	15		

引脚分布

图 1. 引脚框图：44 引脚 TSOP II (x8)

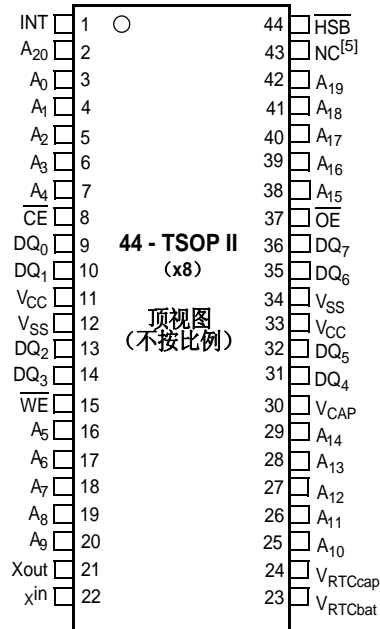


图 2. 引脚框图：54 引脚 TSOP II (x16)

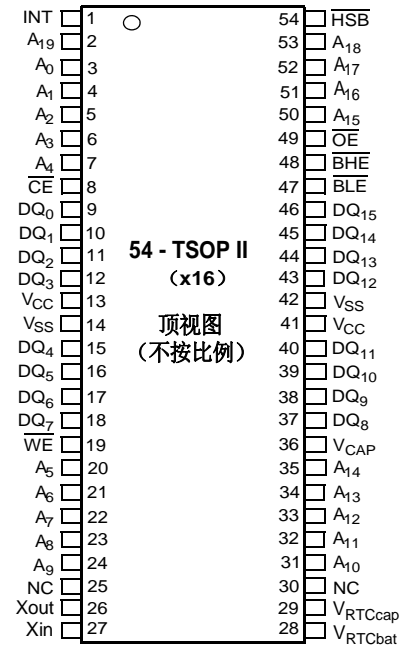


图 3. 引脚框图：165 球形焊盘 FBGA (x16)

	1	2	3	4	5	6	7	8	9	10	11
A	NC	A ₆	A ₈	WE	BLE	CE ₁	NC	OE	A ₅	A ₃	NC
B	NC	DQ ₀	DQ ₁	A ₄	BHE	CE ₂	NC	A ₂	NC	NC	NC
C	ZZ	NC	NC	V _{SS}	A ₀	A ₇	A ₁	V _{SS}	NC	DQ ₁₅	DQ ₁₄
D	NC	DQ ₂	NC	V _{SS}	V _{SS}	V _{SS}	V _{SS}	V _{SS}	X _{in}	NC	NC
E	NC	V _{CAP}	NC	V _{CC}	V _{SS}	V _{SS}	V _{SS}	V _{CC}	X _{out}	DQ ₁₃	NC
F	NC	DQ ₃	NC	V _{CC}	V _{CC}	V _{SS}	V _{CC}	V _{CC}	NC	NC	DQ ₁₂
G	HSB	NC	NC	V _{CC}	V _{CC}	V _{SS}	V _{CC}	V _{CC}	NC	NC	NC
H	NC	NC	V _{CC}	V _{CC}	V _{CC}	V _{SS}	V _{CC}	V _{CC}	V _{CC}	NC	NC
J	NC	NC	NC	V _{CC}	V _{CC}	V _{SS}	V _{CC}	V _{CC}	NC	DQ ₈	NC
K	NC	NC	DQ ₄	V _{CC}	V _{CC}	V _{SS}	V _{CC}	V _{CC}	NC	NC	NC
L	NC	DQ ₅	NC	V _{CC}	V _{SS}	V _{SS}	V _{SS}	V _{CC}	NC	NC	DQ ₉
M	NC	NC	NC	V _{SS}	V _{SS}	V _{SS}	V _{SS}	V _{SS}	NC	DQ ₁₀	NC
N	INT	DQ ₆	DQ ₇	V _{SS}	A ₁₁	A ₁₀	A ₉	V _{SS}	NC	NC	NC
P	NC	NC	NC	A ₁₃	A ₁₉	V _{RTCbat}	A ₁₈	A ₁₂	NC	DQ ₁₁	NC
R	NC	NC	A ₁₅	NC	A ₁₇	V _{RTCcap}	A ₁₆	NC ^[5]	A ₁₄	NC	NC

注释：

5. 32 Mbit 的地址扩展。NC 引脚未连接到芯片 (die)。

表 1. 引脚定义

引脚名称	I/O 类型	说明
A ₀ –A ₂₀	输入	地址输入。使用该引脚选择用于 x8 配置的 2,097,152 nvSRAM 字节的其中一个。
A ₀ –A ₁₉		地址输入。使用该引脚选择用于 x16 配置的 1,048,576 nvSRAM 字的其中一个。
DQ ₀ –DQ ₇	输入 / 输出	用于 x8 配置的双向数据输入 / 输出线。根据操作将该引脚作为输入或输出线路使用。
DQ ₀ –DQ ₁₅		用于 x16 配置的双向数据输入 / 输出线。根据操作将该引脚作为输入或输出使用。
\overline{WE}	输入	写使能输入，为低电平有效。该引脚被选为低电平时，I/O 引脚上的数据被写入到指定的地址。
\overline{CE}	输入	TSOP II 封装的芯片使能输入，低电平有效。当该引脚为低电平时，将选择芯片。处于高电平时，则取消选择芯片。
\overline{CE}_1 , CE_2		FBGA 封装中的芯片使能输入。器件被选中，然后在 \overline{CE}_1 的下降沿（ CE_2 为 HIGH）或在 CE_2 的上升沿（ \overline{CE}_1 为 LOW）访问存储器。
\overline{OE}	输入	输出使能，低电平有效。低电平有效输入 \overline{OE} 在读周期内使能数据输出缓冲器。将 \overline{OE} 置为高电平时会使 I/O 引脚进入三态。
\overline{BLE}	输入	字节使能，低电平有效。该引脚为 LOW（低电平）时，它将使能 DQ ₇ –DQ ₀ 。
\overline{BHE}	输入	字节使能，低电平有效。该引脚为低电平时，它将使能 DQ ₁₅ –DQ ₈ 。
$\overline{ZZ}^{[6]}$	输入	睡眠模式使能 。当 \overline{ZZ} 引脚被拉低时，器件将进入低功耗睡眠模式，这时器件的功耗是最低的。由于对此输入与 \overline{CE} 进行了逻辑 AND 运算，所以为了正常运行， \overline{ZZ} 需要置为高电平。
X _{out} ^[7]	输出	晶振连接 。启动时驱动晶振。
X _{in} ^[7]	输入	晶振连接 。对于 32.768 KHz 晶振。
V _{RTCcap} ^[7]	电源	电容供应的 RTC 备用电源电压 。如果要使用 V _{RTCbat} ，则必须让其保持未连接状态。
V _{RTCbat} ^[7]	电源	电池供应的 RTC 备用电源电压 。如果要使用 V _{RTCcap} ，则必须让其保持未连接状态。
INT ^[7]	输出	中断输出 / 校准 / 方波 。可编程此引脚，以响应时钟警报、看门狗定时器以及功耗监控器。另外，可以将其配置为高电平有效（推或拉）或低电平（开漏）有效。在校准模式下，可输出 512 Hz 方波。在方波模式下，用户可选择 1 Hz、512 Hz、4096 Hz 或 32768 Hz 频率做为连续输出。
V _{CC}	电源	器件的电源输入。
V _{SS}	电源	器件的接地。必须连接至系统地面。
\overline{HSB}	输入 / 输出	硬件存储繁忙（HSB） 。该输出为低电平时，它表示硬件存储正在执行过程中。当在芯片外部将其置于低电平时，它表示一个非易失性存储操作。在每次硬件和软件存储操作之后， \overline{HSB} 通过标准输出高电流在简短时间内（t _{HHD} ）变为高电平，然后通过内部弱上拉电阻一直保持高电平（外部上拉电阻连接可选）。
V _{CAP}	电源	自动存储电容 。在断电期间给 nvSRAM 供电，以便在该过程中将数据从 SRAM 存储到非易失性元件内。
NC	NC	未连接 。芯片焊盘（die pad）未连接到封装引脚。

注释：

6. 165 球形焊盘 FBGA 封装才支持睡眠模式性能。
7. 如果不使用 RTC 功能，则必须让其保持未连接状态。

器件操作

CY14B116K/CY14B116M nvSRAM 由两个相同物理单元中的成对功能组件组成。它们是一个 SRAM 存储器单元和一个非易失性 QuantumTrap 单元。SRAM 存储器单元可作为标准快速静态 RAM 工作。加电时，SRAM 中的数据被自动传输到非易失性单元（存储操作），或从非易失性单元传输到 SRAM（回读操作）。“存储”和“回读”操作也可以在软件控制下执行。使用该独特的架构，所有单元都可以并行存储和回读。在存储和回读操作期间，SRAM 读写操作被禁止。CY14B116K/CY14B116M 支持对 SRAM 进行无限制的读写操作。此外，它还提供无限次从非易失性单元的回读操作以及最多 100 万次存储操作。欲了解读写模式的完整说明，请参考第 33 页上的 SRAM 操作的真值表。

SRAM 读取

当 \overline{CE} 和 \overline{OE} 为低电平，且 \overline{WE} 、 \overline{ZZ} 和 \overline{HSB} 为高电平时，CY14B116K/CY14B116M 将执行读周期。引脚 A_0-A_{20} 或 A_0-A_{19} 上的地址确定 2,097,152 数据字节中的访问字节或 1,048,576 字（每字的大小为 16 位）中的访问字。字节使能 (\overline{BHE} 、 \overline{BLE}) 确定将哪些字节使能为输出（在 16 位字的情况下）。当读取由地址转换触发时，输出在经过 t_{AA} （读取周期 1）时间后有效。如果 \overline{CE} 或 \overline{OE} 启动了读取操作，输出会在 t_{ACE} 或 t_{DOE} 中较晚者时有效（读取周期 2）。数据输出在 t_{AA} 访问时间内反复响应地址变化，而不需要切换任何控制输入引脚。这一直有效，直到另一个地址变化或直到 \overline{CE} 或 \overline{OE} 变为高电平，或者 \overline{WE} 或 \overline{HSB} 变为低电平为止。

SRAM 写入

当 \overline{CE} 和 \overline{WE} 均为低电平且 \overline{HSB} 为高电平时，将执行写循环。地址输入必须稳定才能进入写周期，并且必须保持稳定状态，直到 \overline{CE} 或 \overline{WE} 在周期结束时变为高电平为止。如果数据在 \overline{WE} 控制的写入结束前或在 \overline{CE} 控制的写入结束前的 t_{SD} 时有效，则公用 I/O 引脚 DQ_0-DQ_{15} 上的数据被写入到存储器中。字节使能输入 (\overline{BHE} 、 \overline{BLE}) 确定在 16 位字的情况下写入哪些字节。在整个写周期期间保持 \overline{OE} 为高电平以避免公用 I/O 线路上出现数据总线争用。如果 \overline{OE} 为低电平，则内部电路将在 \overline{WE} 变为低电平之后的 t_{HZWE} 时间内关闭输出缓冲器。

自动存储操作（断电）

CY14B116K/CY14B116M 使用三个存储操作之一将数据存储到非易失性 QuantumTrap 单元：具体如下：由 \overline{HSB} 激活的硬件存储操作；由地址序列激活的软件存储操作；器件断电时自动存储操作。自动存储操作是 nvSRAM 的独有特性，在 CY14B116K/CY14B116M 上默认使能该特性。

在正常工作时，器件从 V_{CC} 吸取电流，以给 V_{CAP} 引脚连接的电容充电。在断电期间，芯片使用所存储的电荷执行存储操作。如果 V_{CC} 引脚的电压降到 V_{SWITCH} 以下，器件将自动断开 V_{CAP} 引脚与 V_{CC} 的连接。这时，一个使用 V_{CAP} 电容电源的存储操作将被初始。

注意：如果电容未与 V_{CAP} 引脚连接，则必须使用第 9 页上的阻止自动存储中指定的软序列禁用自动存储。如果在没有 V_{CAP} 引脚上的电容的情况下启用自动存储，则器件将在没有足够电荷的情况下尝试自动存储操作以完成存储。这样会破坏 nvSRAM 中存储的数据。

图 4. 自动存储模式

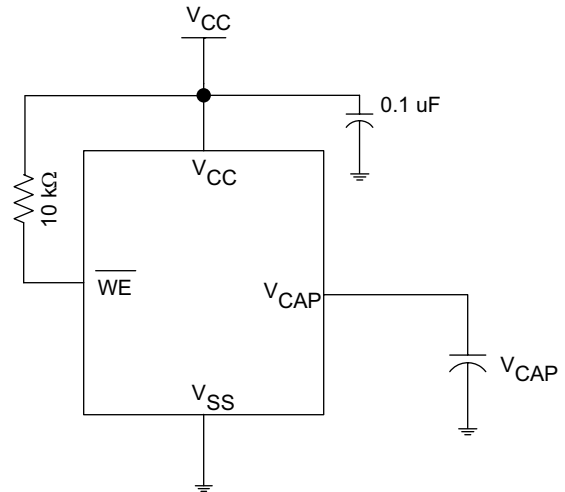


图 4 显示的是自动存储操作的正确存储电容 (V_{CAP}) 连接。请参考第 22 页上的直流电气特性了解 V_{CAP} 的大小。 V_{CAP} 引脚上的电压通过芯片上的电压调压器输入到 V_{CC} 。上拉电阻应该置于 \overline{WE} 上，以在加电期间保持其处于非活动状态。仅当 \overline{WE} 信号在加电期间为三态时，该上拉电阻才有效。当 nvSRAM 退出加电回读时，主微控制器必须处于活动状态或者 \overline{WE} 保持处于非活动状态，直到主微控制器退出复位状态为止。

为了降低不必要的非易失性存储，将忽略自动存储和硬件存储操作，除非在最新的存储或回读周期后至少发生了一次写操作（这些操作设置写入锁存）。无论是否发生写操作，都会执行软件触发的存储周期。

硬件存储 ($\overline{\text{HSB}}$) 操作

CY14B116K/CY14B116M 提供了 $\overline{\text{HSB}}$ 引脚以控制和确定存储操作。 $\overline{\text{HSB}}$ 引脚用于请求硬件存储周期。当 $\overline{\text{HSB}}$ 引脚被设置为低电平时，器件将在 t_{DELAY} 的时间后有条件地启动存储操作。仅在最后一个存储或回读周期后发生了对 SRAM 的写操作时，存储周期才开始。 $\overline{\text{HSB}}$ 引脚还起到开漏驱动器（内部 100 k Ω 弱上拉电阻）的作用，它在进行存储（通过任何手段触发的）时在内部变为低电平以指示繁忙状态。

注意：在每次硬件和软件存储操作之后， $\overline{\text{HSB}}$ 通过标准输出高电流一小段时间（ t_{HHD} ）变为高电平，然后通过内部 100 k Ω 上拉电阻一直保持高电平。

在 $\overline{\text{HSB}}$ 通过任何手段变为低电平时进行的 SRAM 写操作要在启动存储操作之前给定的时间（ t_{DELAY} ）内完成。但是，在 $\overline{\text{HSB}}$ 变为低电平后请求的任何 SRAM 写周期都被禁止，直到 $\overline{\text{HSB}}$ 变回高电平。如果未设置写锁存，则 $\overline{\text{HSB}}$ 不会被器件置为低电平。但是所有 SRAM 读和写周期都被禁止，直到主微控制器或其他外部源使 $\overline{\text{HSB}}$ 变回高电平。

在任何存储操作期间，无论它如何启动，器件都会继续将 $\overline{\text{HSB}}$ 引脚设置为低电平，仅在存储完成时才会释放。存储操作完成后，如果 $\overline{\text{HSB}}$ 引脚变回高电平，nvSRAM 存储器访问将在 t_{LZHSB} 的时间内被禁止。如果不使用 $\overline{\text{HSB}}$ ，让其保持未连接状态即可。

硬件回读（加电时）

加电时或任何低功耗状态之后（ $V_{\text{CC}} < V_{\text{SWITCH}}$ ），内部回读请求将被锁存。如果加电时 V_{CC} 再次超过 V_{SWITCH} 时，将自动启动回读周期并需要 t_{HRECALL} 的时间来完成。在此期间， $\overline{\text{HSB}}$ 驱动器将 $\overline{\text{HSB}}$ 引脚设置为低电平，对 nvSRAM 的所有读和写操作都将被禁止。

软件存储

通过软件地址序列将数据从 SRAM 传输到非易失性存储器内。软件存储周期通过以准确的顺序在六个特定地址执行连续的 $\overline{\text{CE}}$ 或

$\overline{\text{OE}}$ 控制的读周期来启动。在存储周期期间，首先擦除上一个非易失性数据，接下来执行非易失性元件程序。启动存储周期后将禁用续写操作，直到该周期完成。

由于特定地址的读取序列用于存储启动，所以在该序列中要避免其他读或写访问干预。否则该序列将被中止，并且不会发生任何存储或回读操作。

若要启动软件存储周期，必须执行下列读取序列：

1. 读取地址 0x4E38，有效读取
2. 读取地址 0xB1C7，有效读取
3. 读取地址 0x83E0，有效读取
4. 读取地址 0x7C1F，有效读取
5. 读取地址 0x703F，有效读取
6. 读取地址 0x8FC0，启动存储周期

该软件序列可以在六个读取序列中 $\overline{\text{WE}}$ 都保持高电平的情况下通过 $\overline{\text{CE}}$ 控制的读取或 $\overline{\text{OE}}$ 控制的读取来锁定。在序列中输入第六个地址之后，存储周期将立即开始，且芯片被禁用。 $\overline{\text{HSB}}$ 被置为低电平。达到 t_{STORE} 周期时间后，SRAM 再次被激活以进行读和写操作。

软件回读

通过软件地址序列将数据从非易失性存储器传输到 SRAM。同软件存储周期的启动相似，当想要启动软件回读操作时，也会以相同的方式执行一个读序列。若要启动回读周期，需要执行下列 $\overline{\text{CE}}$ 或 $\overline{\text{OE}}$ 控制的读操作序列：

1. 读取地址 0x4E38，有效读取
2. 读取地址 0xB1C7，有效读取
3. 读取地址 0x83E0，有效读取
4. 读取地址 0x7C1F，有效读取
5. 读取地址 0x703F，有效读取
6. 读取地址 0x4C63，启动回读周期

在内部，回读是两步程序。首先，清除 SRAM 数据；然后，将非易失性信息传输到 SRAM 单元。在 t_{RECALL} 周期时间后，SRAM 再次处于就绪状态，以进行读和写操作。回读操作不会更改非易失性元件中的数据。

睡眠模式

在睡眠模式下，器件的电源（ I_{ZZ} ）功耗为最低的。器件在设置 \overline{ZZ} 引脚为低电平进入低功耗睡眠模式。进入睡眠模式后，nvSRAM 执行一个存储操作，将数据存储在非易失性的存储器，然后进入低功耗模式。从睡眠模式初始时，器件在 t_{SLEEP} 时间后开始消耗 I_{ZZ} 电流。当 \overline{ZZ} 引脚为低电平时，除了 \overline{ZZ} 引脚外，忽略所有输入引脚。在睡眠模式下，将不能对 nvSRAM 进行正常操作。

当器件进入睡眠模式时，RTC 电路的电源转变为备用电源（ V_{RTCcap} 或 V_{RTCbat} ）。晶体振荡器同时进入低功耗模式，类似

于断电模式。器件推出睡眠模式时，RTC 电路的电源转回 V_{CC} 电源，并由主电源（ V_{CC} ）控制。

\overline{ZZ} 引脚取消激活为 HIGH 时，在用户可以访问器件前将发生一段延迟时间 t_{WAKE} 。如果不采用睡眠模式，应该将 \overline{ZZ} 引脚连接到 V_{CC} 。

注意：当 nvSRAM 进入睡眠模式时，它将启动一个非易失性存储周期。这时，每次进入睡眠模式时，将失去一个擦写周期，除非从存储 / 回读的最后操作起不对 nvSRAM 进行任何写操作。

注意：如果加电过程中 \overline{ZZ} 引脚为低电平，则器件将不会进入睡眠模式。然而，I/O 处于三态化状态，直到 \overline{ZZ} 引脚被取消激活（高电平）为止。

图 5. 睡眠模式（ \overline{ZZ} ）流程图

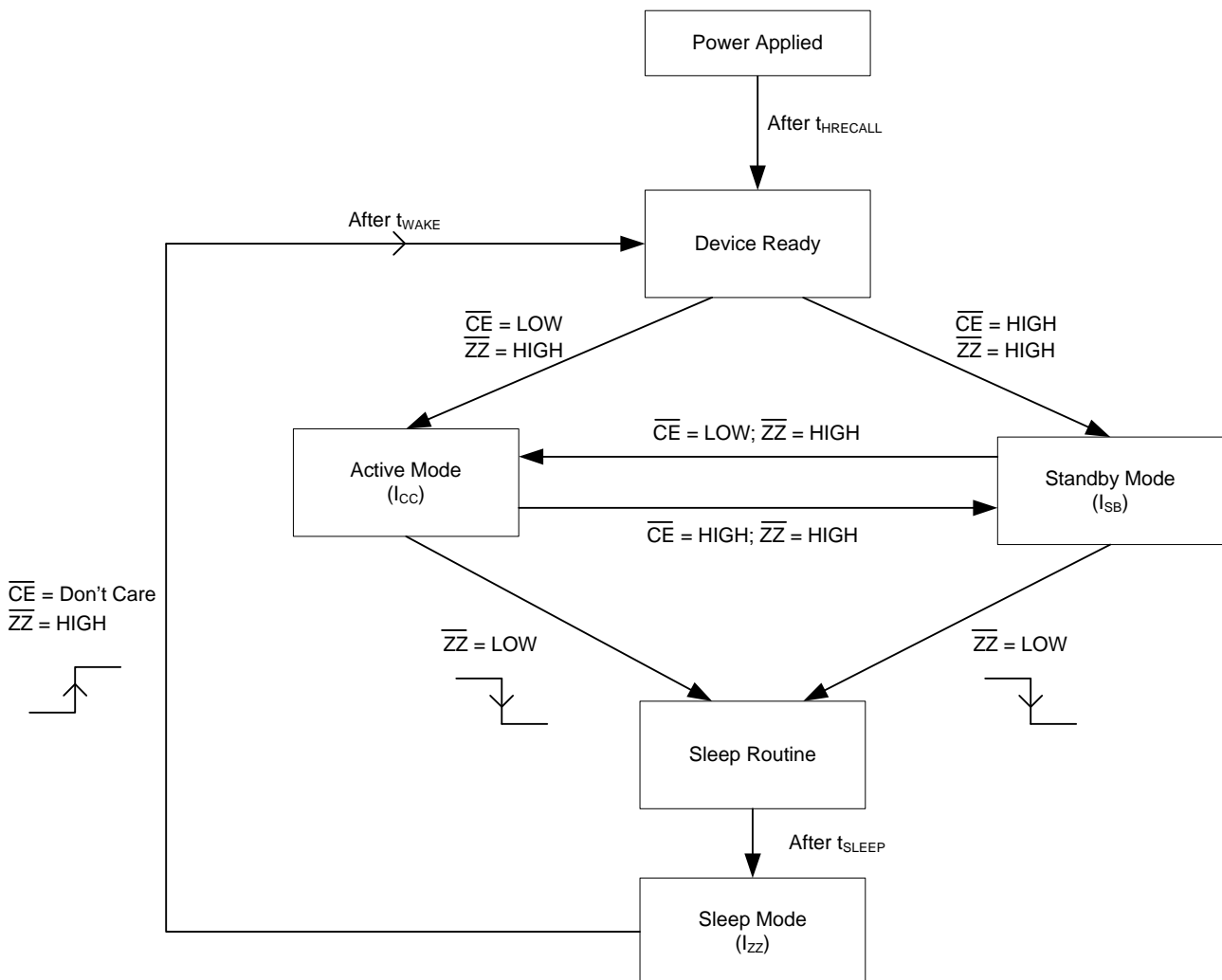


表 2. 模式选择

$\overline{CE}^{[8]}$	\overline{WE}	\overline{OE}	$\overline{BHE}, \overline{BLE}^{[9]}$	$A_{15} - A_0^{[10]}$	模式	I/O	功耗
H	X	X	X	X	未选中	输出高阻态	待机
L	H	L	L	X	读取 SRAM	输出数据	活动
L	L	X	L	X	写入 SRAM	输入数据	活动
L	H	L	X	0x4E38 0xB1C7 0x83E0 0x7C1F 0x703F 0x8B45	读取 SRAM 读取 SRAM 读取 SRAM 读取 SRAM 读取 SRAM 自动存储禁用	输出数据 输出数据 输出数据 输出数据 输出数据 输出数据	活动 ^[11]
L	H	L	X	0x4E38 0xB1C7 0x83E0 0x7C1F 0x703F 0x4B46	读取 SRAM 读取 SRAM 读取 SRAM 读取 SRAM 读取 SRAM 自动存储使能	输出数据 输出数据 输出数据 输出数据 输出数据 输出数据	活动 ^[11]
L	H	L	X	0x4E38 0xB1C7 0x83E0 0x7C1F 0x703F 0x8FC0	读取 SRAM 读取 SRAM 读取 SRAM 读取 SRAM 读取 SRAM 非易失性存储	输出数据 输出数据 输出数据 输出数据 输出数据 输出高阻态	激活 $I_{CC2}^{[11]}$
L	H	L	X	0x4E38 0xB1C7 0x83E0 0x7C1F 0x703F 0x4C63	读取 SRAM 读取 SRAM 读取 SRAM 读取 SRAM 读取 SRAM 非易失性回读	输出数据 输出数据 输出数据 输出数据 输出数据 输出高阻态	活动 ^[11]

阻止自动存储

通过启动自动存储禁用的序列，可以禁用自动存储功能。使用与软件存储启动相类似的方式执行读操作序列。若要启动自动存储禁用的序列，必须执行下列 \overline{CE} 或 \overline{OE} 控制的读操作序列：

1. 读取地址 0x4E38，有效读取
2. 读取地址 0xB1C7，有效读取
3. 读取地址 0x83E0，有效读取
4. 读取地址 0x7C1F，有效读取
5. 读取地址 0x703F，有效读取
6. 读取地址 0x8B45，自动存储禁用

通过启动自动存储使能序列，可以重新使能自动存储。使用与软件回读启动类似的方式执行读操作序列。若要启动自动存储使能序列，必须执行下列 \overline{CE} 或 \overline{OE} 控制的读操作序列：

1. 读取地址 0x4E38，有效读取
2. 读取地址 0xB1C7，有效读取
3. 读取地址 0x83E0，有效读取
4. 读取地址 0x7C1F，有效读取
5. 读取地址 0x703F，有效读取
6. 读取地址 0x4B46，自动存储使能

如果禁用或重新使能自动存储功能，则必须执行手动软件存储操作才能在后续的断电循环中保存自动存储的状态。器件出厂时已使能自动存储功能，且已在所有单元中写入了 0x00。

注释：

8. TSSOP 封装基于单 \overline{CE} 选项，而 BGA 封装则基于双 \overline{CE} 选项。在本数据手册中，对于双 \overline{CE} 器件， \overline{CE} 是 \overline{CE}_1 和 \overline{CE}_2 的内部逻辑结合。当 \overline{CE}_1 为 LOW 和 \overline{CE}_2 为 HIGH 时， \overline{CE} 将为 LOW。在其他情况下， \overline{CE} 为高电平。芯片使能引脚（即单芯片使能器件的 \overline{CE} ；以及双芯片使能器件的 \overline{CE}_1 和 \overline{CE}_2 ）上不支持中间电压。
9. \overline{BHE} 和 \overline{BLE} 仅适用于 x16 配置。
10. CY14B116K 上有 21 个地址行（CY14B116M 上有 20 个地址行），其中只有 13 个地址行（ $A_{14} - A_2$ ）用于控制软件模式。剩余的地址行无需关注。
11. 六个连续的地址必须按顺序列出。 \overline{WE} 在六个周期期间必须为高电平才能使能非易失性周期。

数据保护

CY14B116K/CY14B116M 通过禁止外部 启动的存储 和 写 操作，在低电压状态下阻止破坏数据。在 V_{CC} 小于 V_{SWITCH} 时，将检测低电压条件。如果 CY14B116K/ CY14B116M 在加电时处于写模式 (\overline{CE} 和 \overline{WE} 均为低电平)，在回读或存储后将禁止写操作，直到 t_{LZHSB} (\overline{HSB} 到输出有效的时间) 后使能 SRAM 为止。这样可以防止在加电或掉电时发生意外写操作。

实时时钟操作

nvTime 操作

CY14B116K/CY14B116M 提供了具有时钟、警报、看门狗、中断和控制功能的内部寄存器。RTC 寄存器使用 SRAM 中最后 16 个地址。时钟和定时器信息寄存器间的内部双缓冲可阻止在读或写期间访问被传输的内部时钟数据。双缓冲技术还避免了在访问时钟数据期间影响正常的定时计数或内部时钟的准确性。时钟和警报寄存器以 BCD 格式存储数据。

下面各节内容描述的是 CY14B116K 的 RTC 功能。除了 RTC 寄存器地址外，同样的描述也应用于 CY14B116M。CY14B116K 的 RTC 寄存器地址的取值范围为 0x1FFFF0 到 0x1FFFFF，而的 CY14B116M 取值范围从 0xFFFFF0 至 0xFFFFF。请参考第 17 页上的表 6 和第 18 页上的表 7，了解有关寄存器映射描述的详细信息。

时钟操作

时钟寄存器以一秒的增量保存时间，最长达 9,999 年。时间可被设置为任何日历时间；时钟自动记录某月某日、某周某日、闰年及世纪转换。专用于时钟功能的寄存器共有八个，用于设置写周期时间以及读取周期时间。这些寄存器包含 BCD 格式的时间。定义为“0”的位目前不可用，这些位被保留以供赛普拉斯将来使用。

读取时钟

双缓冲 RTC 寄存器结构降低了从时钟读取错误数据的可能性。当读取位“R”（位于标志寄存器 0x1FFFF0 位置）设置为“1”时，在读取时钟数据之前对 CY14B116K 计时寄存器的内部更新将停止，以防止读取正在转换的数据。停止寄存器的更新不会影响时钟的准确性。

当 RTC 器件的读取序列启动后，用户计时寄存器的更新将停止，直到向读取位“R”（位于标志寄存器的 0x1FFFF0 位置中）写入“0”后才重新开始更新。读取序列完成后，所有 RTC 寄存器在 20 ms 内同时更新。

设置时钟

对 RTC 器件进行写访问将停止计时寄存器更新，而当写入位“W”（位于标志寄存器的 0x1FFFF0 位置）设置为“1”时允许用户设置时间。然后，正确的星期、日期和时间被写入寄存器，且必须为 24 小时 BCD 格式。写入的时间称为“基准时间”。该值保存在非易失性寄存器中，用于计算当前时间。当通过写入“0”清除写入位“W”时，计时寄存器的值被传输到实际的时钟计数器，然后该时钟恢复正常运行。

如果写入 RTC 寄存器的时间不是 BCD 格式的数据，则 RTC 寄存器中每个无效的半字节在翻滚至 0x0 前继续计数至 0xF，然后 RTC 寄存器恢复正常运行。

注意：“W”位设置为“0”后，写入计时、警报、校准和中断寄存器的值在 t_{RTCp} 时间后被传输到 RTC 计时计数器中。这些计数器值必须通过启动软件 / 硬件存储或自动存储操作保存在非易失性存储器中。在“自动存储禁用”模式下， t_{RTCp} 时间后执行存储操作，同时写入 RTC 寄存器以正确记录所做的修改。

备用电源

CY14B116K 中的 RTC 用于永久带电操作。在实际应用中，根据是选择了电容还是电池来连接 V_{RTCcap} 或 V_{RTCbat} 引脚。当主电源 V_{CC} 断电并下降至 V_{SWITCH} 以下时，器件会切换至备用电源。

时钟振荡器消耗的电流非常少，因此最大程度地延长了备用电源的供电时长。主电源被移除后，无论时钟操作如何，存储在 nvSRAM 中的数据都是安全的，因为断电后这些数据将被存储在非易失性单元中。

在备用电源操作期间，CY14B116K 在室温下消耗 0.45 μA （典型）的电流。根据实际应用选择电容或电池值。

下表显示了基于最大电流规格的备用时间。额定备用时间大约比这些时间长两倍。

表 3. RTC 备用时间

电容值	备用时间 (CY14B116K)
0.1F	2.5 天
0.47F	12 天
1.0F	25 天

使用电容具有明显的优势，即每次系统加电时可对备用电源充电。如果使用电池，推荐使用 3V 锂的电池；只在移除主电源时，CY14B116K 才会使用该电池产生的电流。然而，CY14B116K 在任何时候不会对电池进行充电。必须根据系统生命周期期间总的预期累计断电时间选择电池容量。

停止和启动振荡器

校准寄存器中 0x1FFFF8 位置的 OSCEN 位控制振荡器的使能和禁用。该位是非易失性的，交付给客户时处于“使能”（设置为“0”）状态。系统长期存放不用时，为了保持电池寿命，须将 OSCEN 设置为“1”。这样可关闭振荡器电路，以延长电池寿命。如果 OSCEN 位从“禁用”变为“使能”，振荡器大约需要一秒钟（最多两秒）的时间进行启动。

当系统电源关闭时，如果备用电源（ V_{RTCcap} 或 V_{RTCbat} ）的电压降至各自最低值以下，振荡器可能掉电。当系统电源恢复时，CY14B116K 能够检测振荡器是否掉电。这记录在标志寄存器中 0x1FFFF0 位置的振荡器掉电标志（OSCF）内。当系统通电（ V_{CC} 大于 V_{SWITCH} ）时，会检查 OSCEN 位是否处于“使能”状态。如果 OSCEN 位处于“使能”状态并且振荡器在 5 ms 内未激活，OSCF 位将被设置为“1”。系统必须检查该条件，然后写入‘0’以清除标志。

注意：除设置 OSCF 标志位外，时间寄存器被复位为“基准时间”，该值是上次吸入计时寄存器的值。控制寄存器或校准寄存器与 OSCEN 位不受“振荡器失败”条件的影响。

首次对时间寄存器进行写入时，OSCF 值必须重置为“0”。这将初始化该位的状态（系统首次加电时可能已设置）。

要重置 OSCF，需要将写位“W”（位于 0x1FFFF0 的标志寄存器中）设置为“1”以便使能对标志寄存器的写入。对 OSCF 位写入‘0’，然后将写位重置为‘0’以禁用写操作。

校准时钟

RTC 由一个石英控制的晶振以 32.768 kHz 的额定频率驱动。时钟的准确度取决于晶振和校准的质量。市场中的晶振通常有 ± 20 ppm 到 ± 35 ppm 的误差。然而，CY14B116K 采用一种可以在任何特定温度下将准确度提高至 $\pm 1/-2$ ppm 的校准电路。这表示每月有 +2.5 秒到 -5 秒的误差。

校准电路对振荡器分频器电路增加或减少计数以获取此准确度。抑制（消减，负校准）或拆分（增加，正校准）的脉冲数量取决于加载到位于 0x1FFFF8 的校准寄存器中的五个校准位的值。校准位占用校准寄存器中的五个低位。这些位被设置为以二进制形式表示的 0 和 31 之间的某个值。D5 位是符号位，其中‘1’表示正校准，‘0’表示负校准。增加计数可使时钟加速，减少计数可使时钟减速。如果将一个二进制“1”加载到寄存器中，其对应振荡器误差中 4.068 或 -2.034 ppm 偏移的调整，具体取决于符号。

校准在 64 分钟周期内发生。对于周期内的前 62 分钟（每分钟一次），可能会有一秒被缩短为 128 个振荡器周期或被延长为 256 个振荡器周期。如果将二进制‘1’加载到寄存器中，则仅修改周期时长为 64 分钟的前两分钟。如果将二进制 6 加载到寄存器中，则影响前 12 分钟，以此类推。因此，每个校准步骤可以对每 125,829,120 个实际振荡器周期加上 512 个或减少 256 个振荡

器周期，即校准寄存器中的每个校准步骤的调整为 +4.068 或 -2.034 ppm。

为了确定所需的校准，标志寄存器（0x1FFFF0）中的 CAL 位必须设置为“1”。这导致 INT 引脚以 512 Hz 的额定频率切换。任何偏离 512 Hz 的偏差表示所需纠正的大小和方向。例如，读数 512.01024 Hz 表示误差为 +20 ppm。因此，必须将十进制值 -10（001010b）加载到校准寄存器中以抵消该误差。

注意：设置或改变校准寄存器不影响测试输出频率。

要将设置或清除 CAL，需要将写入位“W”（位于 0x1FFFF0 的寄存器中）设置为“1”，以便使能对标志寄存器的写入。将某个值写入 CAL，然后将写位复位为“0”以禁用写入。

警报

警报功能将用户编写的警报时间值和日期（存储在寄存器 0x1FFFF2-0x1FFFF5 中）与相应的时间和日期值相比较。当出现匹配时，将设置警报中断标志（AF），而且如果设置了警报中断使能（AIE）位，将在 INT 引脚上生成中断。

有四个警报匹配字段，即：日期、小时、分钟和秒钟。上述每个字段都有一个匹配位，用于确定字段是否被用于警报匹配逻辑。将匹配位设置为‘0’表示相应的字段用于匹配处理。根据匹配位的不同，警报可以明确到每个月发生一次或频繁到每分钟发生一次。不选择任何匹配位（所有位都为 1）表示不需要匹配，因此禁用警报。选择所有的匹配位（都为 0）会导致精确的时间和日期匹配。

可通过下面的两种方法来检测警报事件：读取 AF 标志或监控 INT 引脚。位于标志寄存器 0x1FFFF0 中的 AF 标志表示发生了日期或时间匹配。当发生匹配时，AF 位设置为“1”。读取标志寄存器会清除警报标志位（和其他所有寄存器位）。硬件中断引脚也可能被用于检测警报事件。

要设置、清除或使能警报，需要将“W”位（在标志寄存器 0x1FFFF0 中）设置为“1”以便使能对警报寄存器的写入。写入警报值后，将“W”位清除为“0”以更生效。

注意：CY14B116K 要求将针对秒的警报匹配位（即警报秒寄存器 0x1FFFF2 中的“D7”位）设置为“0”，以便正确地操作警报标志和中断。

看门狗定时器

看门狗定时器是一个自由运行且使用从晶体振荡器获得的 32 Hz 时钟（31.25 ms）的递减计数器。必须运行振荡器才能使看门狗正常运行。看门狗定时器将从看门狗定时器寄存器 0x1FFFF7 中加载的值开始递减计数。

注意：由于看门狗定时器使用了一个自由运行的 32 Hz（周期为 31.25 ms）时钟，所以倒计时的开始将延迟 0 ms 至 31.25 ms 间的一段。

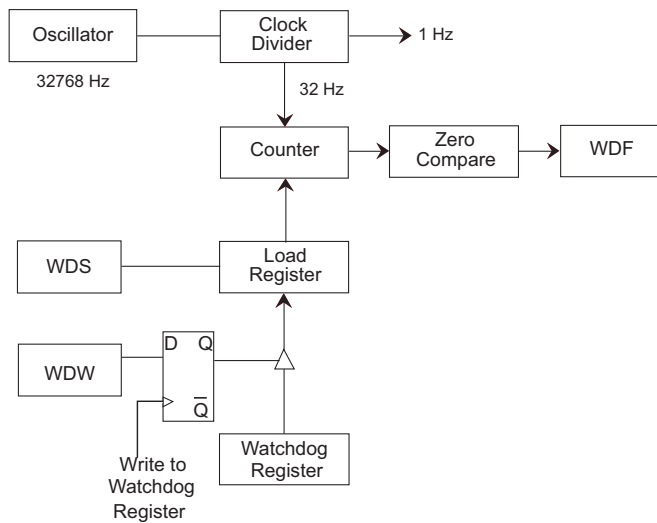
定时器由一个可加载的寄存器和一个自由运行的计数器组成。在加电时，寄存器 0x1FFFF7 中的看门狗超时值加载到计数器加载寄存器中，如图 6 所示。计数操作从加电时开始，并在看门狗探针（WDS）位设置为“1”的任何时候从可加载值重新开始。计数器与终止值‘0’进行比较。如果计数器达到此值，则产生内部标志和可选中断输出。可以通过在计数器到达‘0’之前将

WDS 位设置为 ‘1’ 来阻止超时中断。这导致计数器重新加载看门狗超时值并重启。如果在计数器达到最终值前设置 WDS 位，中断将不出现，看门狗计时器同时也不被设置。

通过将看门狗写入位设置为 ‘0’，可写入新的超时值。当 WDW 位为 ‘0’ 时，将使能看门狗超时值位 D5-D0 的写功能，以修改超时值。当 WDW 为 ‘1’ 时，对 D5-D0 位的写入将被忽略。采用 WDW 功能，用户能在无需考虑看门狗定时值被修改的情况下设置 WDS 位。看门狗定时器逻辑图如图 6 所示。注意：将看门狗超时值设置为 ‘0’ 会禁用看门狗功能。

看门狗定时器的输出为标志位 WDF（如果看门狗允许超时，将设置该标志位）。如果设置了中断寄存器中的看门狗中断使能（WIE）位，看门狗超时将产生 INT 引脚上的硬件中断。当用户读取标志寄存器时，标志和硬件中断都会被清除。

图 6. 看门狗定时器框图



可编程方波生成器

方波生成器模块使用晶振输出在器件的 INT 引脚上生成所需的频率。输出频率可编程为以下频率之一：

1. 1 Hz
2. 512 Hz
3. 4096 Hz
4. 32768 Hz

当器件使用备用电源运行时，不生成方波输出。

功耗监控器

CY14B116K 提供具有断电中断功能的电源管理方案。它也控制内部开关为时钟提供备用电源，并保护存储器在低 V_{CC} 条件下不被访问。功耗监控器基于内部带隙参考电路，此电路将 V_{CC} 电压与 V_{SWITCH} 阈值相比较。

达到 V_{SWITCH} 值后，由于 V_{CC} 因断电而发生衰减，将启动从 SRAM 到非易失性元素的数据存储操作，以保存最后的 SRAM 数据状态。电源也从 V_{CC} 切换到备用电源（电池或电容）来运行 RTC 振荡器。

当使用备用电源运行时，对 nvSRAM 执行的读取和写入操作都被禁止，并且 RTC 功能对于用户不可用。RTC 时钟继续在后台运行。 V_{CC} 存储到器件后，用户可以使用更新后的 RTC 计时寄存器（请参见第 29 页上的“自动存储 / 加电回读特性”）。

备用电源监控器

CY14B116K 提供一个可检测备用电源（备用电池或电容）故障的备用电源监控系统。如果发生备用电源故障，会在下次加电时发出备用电源故障标志（BPF）。如果备用电压下降至低于 $V_{BAKFAIL}$ ，将设置 BPF 标志。即使 RTC 在备用模式下运行，仍会监控备用电源。备用模式运行中检测到的低电压通过 BPF 标志进行标记。BPF 只能保持数据直到确定了备用电压（ V_{DR} ）的低电压电平为止。

中断

CY14B116K 有一个标志寄存器、中断寄存器以及能向微控制器发出中断信号的中断逻辑。有三个潜在中断源：看门狗定时器、功耗监控器和警报定时器。通过在中断寄存器（0x1FFFF6）中适当的设置，可以单独使能上述三个中断源来驱动 INT 引脚。此外，在标志寄存器（0x1FFFF0）中，每个中断源都有相应的标志位，主机处理器使用这些标志位来确定中断来源。当中断发生时，INT 引脚驱动器有两个能指定其行为的位。

仅在三个中断源中的一个产生中断标志，并且各自位于中断寄存器中的中断使能位被使能（设置为“1”）时，才会产生中断。中断源处于活动状态后，两个可编程位（即 H/L 和 P/L）会决定 INT 引脚上输出引脚驱动器的行为。这两个位位于中断寄存器中，可用于驱动 INT 引脚上的电平或脉冲模式输出。在脉冲模式中，脉冲宽度内部固定在大约 200 ms。此模式旨在复位主机微控制器。在电平模式中，引脚进入其活动性极，直到用户读取标志寄存器。此模式用作主机微控制器的中断。下一节对控制位进行了总结。

系统仅在常规电源运行时才会生成中断，则系统以备用电源模式运行时并不会触发中断。

注意： CY14B116K 只有在加电回读序列完成后，才生成有效的中断。加电后，必须在 $t_{HRECALL}$ 的时间内忽略 INT 引脚上的所有事件。

中断寄存器

看门狗中断启用（WIE）。当设置为“1”时，如果发生看门狗超时，看门狗定时器驱动 INT 引脚和一个内部标志。当 WIE 设置为“0”时，看门狗定时器只影响标志寄存器中的 WDF 标志。

警报中断启用（AIE）。当设置为“1”时，警报匹配驱动 INT 引脚和一个内部标志。当 AIE 设置为“0”时，警报匹配只影响标志寄存器中的 AF 标志。

断电中断启用（PFE）。当设置为“1”时，断电监控器驱动 INT 引脚和一个内部标志。当 PFE 设置为“0”时，断电监控器只影响标志寄存器中的 PF 标志。

方波启用（SQWE）。当设置为“1”，INT 引脚生成具有可编程频率的方波。频率由中断寄存器的 SQ1 和 SQ0 位决定。该位是非易失性的，在电源循环后保持不变。SQWE 位覆盖所有其他中断。然而，CAL 位优先于方波发生器。该位的出厂默认值为“0”。

高电平/低电平（H/L）。当设置为“1”时，INT 引脚为高电平有效且驱动器模式为推挽式。仅在 V_{CC} 高于 V_{SWITCH} 时，INT 引脚才被驱动为高电平。当 H/L 设置为“0”时，INT 引脚为低电平有效，且驱动模式为开漏式。必须通过一个 10 k Ω 电阻将 INT 引脚上拉至 V_{CC} ，同时使用低电平有效模式的中断。

脉冲/电平（P/L）。当设置为“1”，且出现中断时，INT 引脚将在 200 ms 左右被驱动为有效状态（由 H/L 决定）。当 P/L 设置为“0”时，INT 引脚被驱动至高电平或低电平（由 H/L 决定），直到标志或控制寄存器被读取。

SQ1 和 SQ0。当 SQWE 位设置为“1”时，这些位一起用于修正 INT 引脚输出的中波频率。这些位是非易失性的，在电源通断时保持不变。输出频率的决定如下表所示。

表 4. 方波输出选择

SQ1	SQ0	频率	注释
0	0	1 Hz	1 Hz 信号
0	1	512 Hz	512 Hz 时钟输出
1	0	4096 Hz	4 KHz 时钟输出
1	1	32768 Hz	振荡器输出频率

当使用多于一个中断源，其中的一个中断激活 INT 引脚时，外部主机需要读取标志寄存器，以确定中断的类别。请记住，当读取标志寄存器时，所有标志都被清除。如果 INT 引脚被编程为电平模式，标志在读取后将被清除，并且 INT 引脚会返回到其非活动状态。如果引脚被编程为脉冲模式，读取标志也能清除寄存器中标志和引脚。如果读取了标志寄存器，脉冲模式不能完成指定的持续时间。如果 INT 引脚用于复位主机，在复位期间内标志或控制寄存器将不被读取。

设置校准位 CAL = “1”或 SQWE = “1”将使能 INT 引脚上的方波输出。在此情况下，CAL 位的设置与 SQWE 位的设置更为有限。设置 CAL 位将使能 INT 引脚上的 512 Hz 数字时钟输出，用以实现校准。CAL 位在电源发生通断变化时会丢失，在下一个加电周期中将被置为零。设置 SQWE、SQ0 和 SQ1 时要使用 AutoStore 或软件 STORE，以保持这些位的非易失性，并且在电源通断周期中使其保持不变。当多个源同时驱动中断引脚（INT）时，根据下面的优先权可以得知驱动 INT 引脚的原因。

以下的概要表显示了 INT 引脚的状态。

表 5. INT 引脚状态

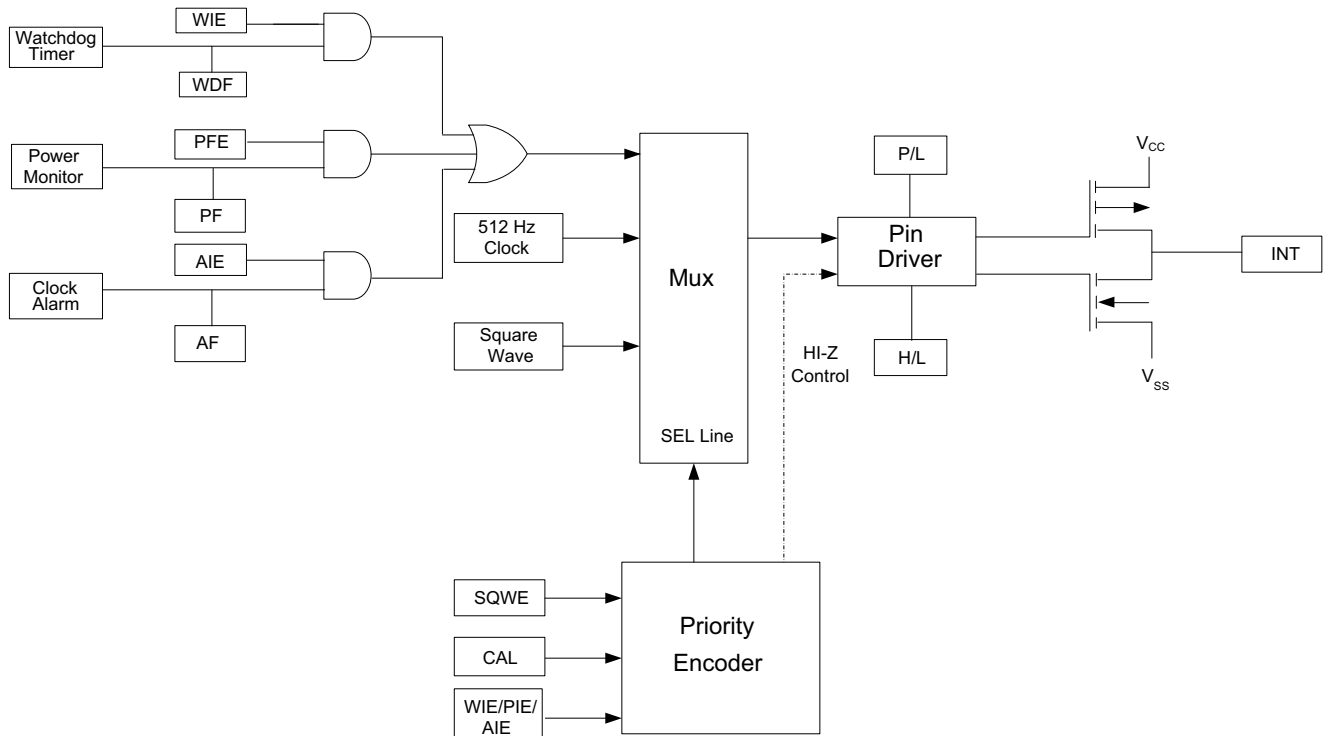
CAL	SQWE	WIE/AIE/PFE	INT 引脚输出
1	X	X	512 Hz
0	1	X	方波输出
0	0	1	警报
0	0	0	HI-Z（高阻态）

标志寄存器

标志寄存器具有三个标志位，即用于生成中断的 WDF、AF 和 PF 位。这些标志分别由看门狗超时、警报匹配或电源掉电监控器设置。处理器可通过轮询该寄存器或使能中断来确定何时设置标

志。寄存器被读取时，这些标志会自动复位。在加电时，标志寄存器自动加载值 0x00（OSCF 位除外。请参见第 11 页上的[停止和启动振荡器](#)）。

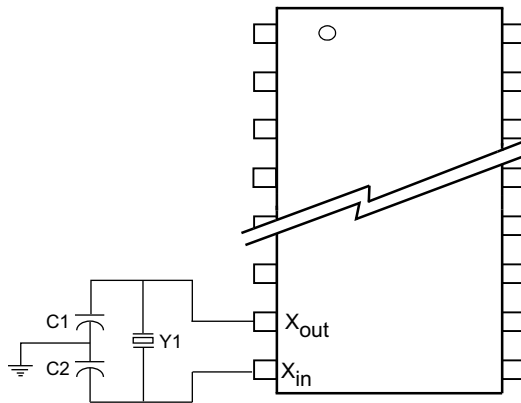
图 7. 中断框图



RTC 外部组件

RTC 要求将外部 32.768 kHz 晶体和 C_1 、 C_2 负载电容连接起来，如图 8 所示。该图显示了推荐的 RTC 外部组件的值。负载电容 C_1 和 C_2 包含印刷电路板（PCB）的寄生电容。PCB 寄生电容包括由晶体焊盘 / 引脚的地层、 X_{in}/X_{out} 焊盘以及与晶体和器件相连接的焊盘和铜线导致的电容。

图 8. RTC 建议的组件配置^[12]



推荐值

$Y_1 = 32.768 \text{ kHz}$ (12.5 pF)

$C_1 = 12 \text{ pF}$

$C_2 = 69 \text{ pF}$

注意: C_1 和 C_2 的推荐值已经包括了电路板走线电容。

RTC 的 PCB 设计注意事项

RTC 晶体振荡器是一个低电流电路，其晶体引脚上的节点处于高阻抗状态。由于 RTC 的较低计时电流，晶体连接对电路板上的噪声非常敏感。因此，必须将 RTC 电路与电路板上的其他信号隔离开。

此外，使 PCB 上的杂散电容最小也非常重要。杂散电容被添加到晶体的总负载电容内，使得振荡器频率出现误差。为获取 RTC 的最佳性能，要求实现适当的旁路并谨慎设计布局。

布局要求

布线 RTC 电路时，电路板布局必须符合（但不限于）下面的指南。按照这些指南，您能够获取 RTC 设计的最佳性能。

- 放置时，将晶体尽可能接近 X_{in} 和 X_{out} 引脚的位置。使晶体和 RTC 之间的走线长度相等，以便通过缩短天线来降低噪声耦合的可能性。

- X_{in} 和 X_{out} 走线宽度必须小于 8 mil。较大的走线宽度会引起更大的走线电容。这些连接焊盘和走线的宽度越大，噪声从相邻信号耦合的可能性越大。
- 通过在晶振电路周围提供一个保护环来屏蔽 X_{in} 和 X_{out} 信号。该保护环阻止来自相邻信号的噪声耦合。
- 在 RTC 走线附近布置其他任何高速度信号时，需要特别注意。晶体与电路板上其他信号的相隔距离越长，噪声耦合到晶体的可能性越小。在电路板上，保持 X_{in} 、 X_{out} 走线以及其他任何高速度信号之间的最小 200 mil 的距离。
- 在 PCB 的同一层上，请勿在晶体组件下面布置任何信号。
- 在邻近 PCB 层上创建一个独立、坚固接地的铜质层，该层位于晶体电路下面，其目的是阻止布置在 PCB 其他信号层上的走线的意外噪声耦合。在同一个 PCB 层上，本地接地层与其相邻层之间的距离至少为 40 mil。坚固层只应该处于 RTC 组件附近的范围内，其外围要等于保护环的外围。隔离接地层应连接到系统接地。图 9 显示了 RTC 电路的推荐布局。

注释:

12. 欲了解有关非易失性静态随机存取存储器（nvSRAM）实时时钟（RTC）的设计指南以及最佳实践的详细信息，请参考应用手册 AN61546。

图 9. RTC 的推荐布局

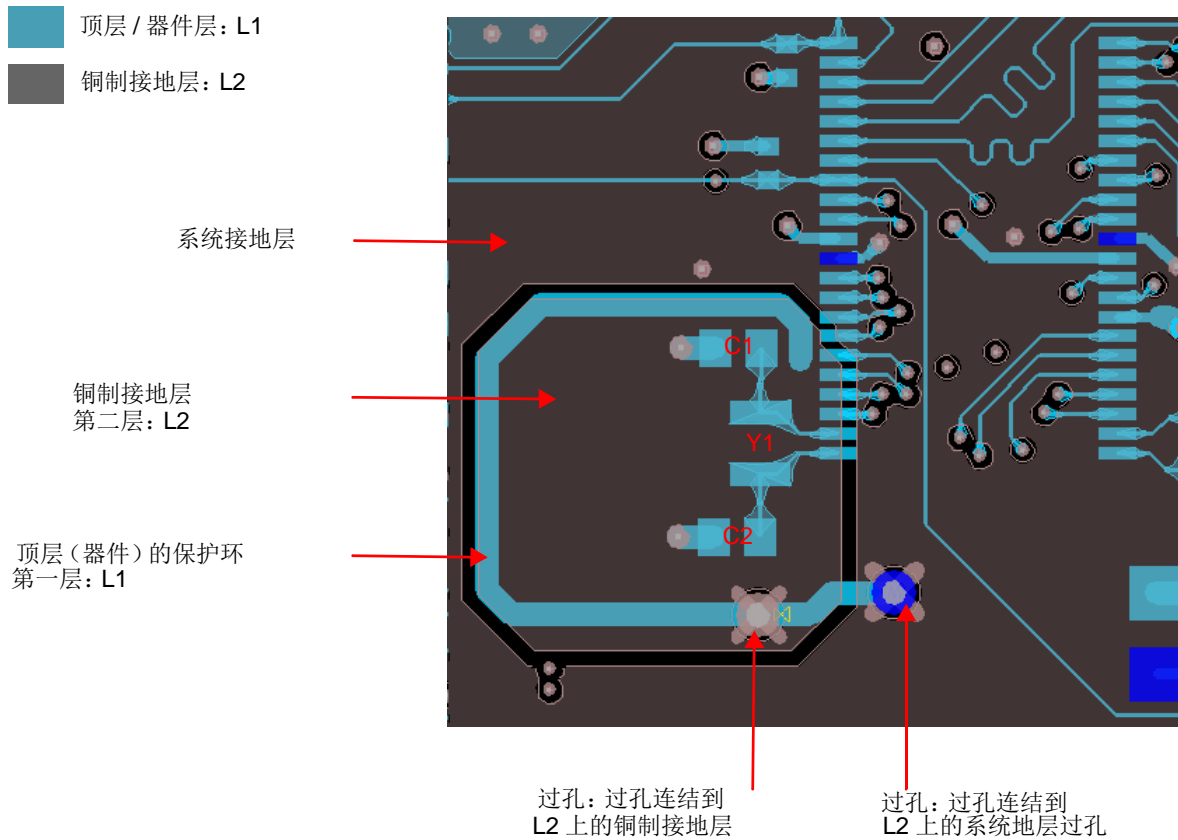


表 6. RTC 寄存器映射图 ^[13]

寄存器		BCD 格式数据 ^[14]								功能 / 范围
CY14B116K	CY14B116M	D7	D6	D5	D4	D3	D2	D1	D0	
0x1FFFFF	0xFFFFF	年 (x10)				年				年数: 00–99
0x1FFFFE	0xFFFFE	0	0	0	月 (x10)	月				月数: 01–12
0x1FFFFD	0xFFFFD	0	0	日期 (x10)		日期				日期: 01–31
0x1FFFFC	0xFFFFC	0	0	0	0	0	星期			日 / 周: 01–07
0x1FFFFB	0xFFFFB	0	0	小时 (x10)		小时				小时: 00–23
0x1FFFFA	0xFFFFA	0	分钟 (x10)			分钟				分钟: 00–59
0x1FFFF9	0xFFFF9	0	秒 (x10)			秒				秒钟: 00–59
0x1FFFF8	0xFFFF8	OSCEN (0)	0	校准符号 (0)	校准 (00000)					校准值 ^[15]
0x1FFFF7	0xFFFF7	WDS (0)	WDW (0)	WDT (000000)						看门狗定时器 ^{15]}
0x1FFFF6	0xFFFF6	WIE (0)	AIE (0)	PFE (0)	SQWE (0)	H/L (1)	P/L (0)	SQ1 (0)	SQ0 (0)	中断 ^[15]
0x1FFFF5	0xFFFF5	M (1)	0	警报日期 (x10)		警报, 日期				警报, 日期: 01–31
0x1FFFF4	0xFFFF4	M (1)	0	警报小时 (x10)		警报, 小时:				警报, 小时: 00–23
0x1FFFF3	0xFFFF3	M (1)	警报分钟 (x10)			警报, 分钟:				警报, 分钟: 00–59
0x1FFFF2	0xFFFF2	M (1)	警报秒 (x10)			警报, 秒				警报, 秒钟: 00–59
0x1FFFF1	0xFFFF1	世纪 (x10)				世纪				世纪: 00–99
0x1FFFF0	0xFFFF0	WDF	AF	PF	OSCF ^[16]	BPF ^[16]	CAL (0)	W (0)	R (0)	标志 ^[15]

注释:

13. RTC 寄存器的高位字节 D₁₅–D₈ (CY14B116M) 会保留以供将来使用。

14. () 指明出厂数值。

15. 该值为二进制的值, 而非 BCD 格式的值。

16. 用户复位 OSCF 和 BPF 标志位后, 应在 t_{RTCp} 时间后更新标志寄存器。

表 7. 寄存器映射的详细信息

寄存器		说明							
CY14B116K	CY14B116M								
0x1FFFFF	0xFFFFF	计时 — 年							
		D7	D6	D5	D4	D3	D2	D1	D0
		年 (x10)				年			
		包含表示年的两个低位 BCD 数字。低位半字节 (四位) 包含了表示年的数值; 高位半字节 (四位) 包含的是以 10 年为单位的值。每半字节的工作范围为 0 到 9。该寄存器的范围为 0–99。							
0x1FFFFE	0xFFFFE	计时 — 月							
		D7	D6	D5	D4	D3	D2	D1	D0
		0	0	0	月 (x10)	月			
		包含表示月的 BCD 数字。低位半字节 (四位) 包含了低位数字, 其取值范围为 0 到 9; 高位半字节 (一位) 包含了高位数字, 取值范围为 0 到 1。该寄存器的范围为 1 到 12。							
0x1FFFFD	0xFFFFD	计时 — 日期							
		D7	D6	D5	D4	D3	D2	D1	D0
		0	0	日期 (x10)		日期			
		包含日期的 BCD 数字。低位半字节 (四位) 包含低位数字, 其取值范围为 0 到 9; 高位半字节 (两位) 包含高位数字, 其取值范围为 0 到 3。该寄存器的范围为 1 到 31。可针对闰年进行自动调整。							
0x1FFFFC	0xFFFFC	计时 — 日 / 周							
		D7	D6	D5	D4	D3	D2	D1	D0
		0	0	0	0	0	日 / 周		
		低位半字节 (三位) 包含一个与星期相关的值。星期是一个环形计数器, 它从 1 计数到 7, 然后再返回 1。用户必须为星期值提供意义, 因为星期不被集成到日期内。							
0x1FFFFB	0xFFFFB	计时 — 小时							
		D7	D6	D5	D4	D3	D2	D1	D0
		0	0	小时 (x10)		小时			
		包含小时 (二十四制式格式) 的 BCD 值。低位半字节 (四位) 包含低位数字, 其取值范围为 0 到 9; 高位半字节 (两位) 包含高位数字, 其取值范围为 0 到 2。该寄存器的范围为 1 到 23。							
0x1FFFFA	0xFFFFA	计时 — 分钟							
		D7	D6	D5	D4	D3	D2	D1	D0
		0	分钟 (x10)			分钟			
		包含分钟的 BCD 值。低位半字节 (四位) 包含低位数字, 范围为 0 到 9; 高位半字节 (三位) 包含高位数字, 范围为 0 到 5。该寄存器的范围为 0 到 59。							
0x1FFFF9	0xFFFF9	计时 — 秒							
		D7	D6	D5	D4	D3	D2	D1	D0
		0	秒 (x10)			秒			
		包含秒的 BCD 值。低位半字节 (四位) 包含低位数字, 范围为 0 到 9; 高位半字节 (三位) 包含高位数字, 范围为 0 到 5。该寄存器的范围为 0 到 59。							
0x1FFFF8	0xFFFF8	校准 / 控制							
		D7	D6	D5	D4	D3	D2	D1	D0
		OSCEN	0	校准符号	校准				
OSCEN		振荡器使能。被设置为 ‘1’ 时, 振荡器将停止。被设置为 ‘0’ 时, 振荡器将运行。通过禁用振荡器, 可以在存储过程中节省电池或电容电源。							

表 7. 寄存器映射的详细信息（续）

寄存器		说明							
CY14B116K	CY14B116M								
校准符号		确定对时基进行哪种校准调整：增加（1）还是减少（0）。							
校准		这五个位控制时钟的校准							
0x1FFFF7	0xFFFF7	看门狗定时器							
		D7	D6	D5	D4	D3	D2	D1	D0
		WDS	WDW	WDT					
WDS		看门狗探针。将该位设置为‘1’可重新加载并重启看门狗定时器。将该位设置为‘0’不起作用。看门狗定时器复位后，该位被自动清除。WDS 位是只写位。读取该位始终返回 0。							
WDW		看门狗写使能。通过将该位设置为“1”可禁用对看门狗超时值（D5–D0）的任何写入操作。这允许用户可在不影响超时值的情况下置位看门狗探针位。当完成下一个写周期时，将该位设置为“0”可以将 D5–D0 位写入到看门狗寄存器内。 第 11 页上的看门狗定时器 中详细介绍了该功能。							
WDT		看门狗超时选择。可通过该寄存器中的 6 位值选择看门狗定时器的间隔。它代表一个 32 Hz 计数（31.25 毫秒）的乘数。超时值范围为 31.25 毫秒（01h）到 2 秒（3Fh）。将看门狗定时器寄存器设置为 0 将禁用定时器。仅当在上一个周期中将 WDW 位设置为‘0’时，才能对这些位进行写操作。 注意： 由于看门狗定时器使用了一个自由运行的 32 Hz（周期为 31.25 ms）时钟，所以时间间隔将增加从 0 ms 到 31.25 ms 一段。							
0x1FFFF6	0xFFFF6	中断状态 / 控制							
		D7	D6	D5	D4	D3	D2	D1	D0
		WIE	AIE	PFE	SQWE	H/L	P/L	SQ1	SQ0
WIE		看门狗中断使能。当该位被设置为‘1’并发生看门狗超时时，看门狗定时器将驱动 INT 引脚和 WDF 标志。当设置为‘0’时，看门狗定时器仅对 WDF 标志产生影响。							
AIE		警报中断使能。当设置为‘1’时，警报匹配将驱动 INT 引脚和 AF 标志。当设置为‘0’时，警报匹配只影响 AF 标志。							
PFE		断电使能。当设置为‘1’时，断电监控器驱动 INT 引脚和 PF 标志。当设置为“0”时，断电监控器只影响 PF 标志。							
SQWE		方波使能。当设置为‘1’时，在 INT 引脚上以 SQ1 和 SQ0 位所编程的频率驱动方波。方波输出优先于中断逻辑。如果将 SQWE 设置为‘1’，则使能的中断源处于活动状态时，仅产生相应的标志，INT 引脚继续驱动方波。							
H/L		高电平 / 低电平。当设置为‘1’时，将 INT 引脚驱动为高电平有效。当设置为“0”时，INT 引脚为开漏，即低电平有效。							
P/L		脉冲 / 电平。当设置为‘1’时，INT 引脚会由一个约 200 ms 的中断源驱动为有效状态（由 H/L 决定）。当设置为‘0’时，INT 引脚被驱动到有效电平状态（如 H/L 设置），直到标志寄存器被读取为止。							
SQ1、SQ0		SQ1、SQ0。当 SQWE 被设置为“1”时，这些位用于决定 INT 引脚输出上的方波频率。以下为每个（SQ1、SQ0）组合的频率输出： (0, 0) — 1 Hz (0, 1) — 512 Hz (1, 0) — 4096 Hz (1, 1) — 32768 Hz							
0x1FFFF5	0xFFFF5	警报 — 日期							
		D7	D6	D5	D4	D3	D2	D1	D0
		M	0	日期（x10）		警报 — 日期			
		包含警报日期值以及用于选择或取消选择日期值的匹配位。							

表 7. 寄存器映射的详细信息（续）

寄存器		说明							
CY14B116K	CY14B116M								
M		匹配当该位设置为 ‘0’ 时，在警报匹配中使用日期值。将该位设置为 “1” 时，匹配电路将忽略日期值。							
0x1FFFF4	0xFFFF4	警报 — 小时							
		D7	D6	D5	D4	D3	D2	D1	D0
		M	0	警报小时 （x10）			警报小时		
		包含警报小时值和用于选择或取消选择小时值的匹配位。							
M		匹配当该位被设置为 ‘0’ 时，在警报匹配中使用小时值。将该位设置为 ‘1’ 时，匹配电路将忽略小时数值。							
0x1FFFF3	0xFFFF3	警报 — 分钟							
		D7	D6	D5	D4	D3	D2	D1	D0
		M	警报分钟 （x10）				警报分钟		
		包含警报分钟值以及用于选择或取消选择分钟值的匹配位。							
M		匹配当该位被设置为 ‘0’ 时，在警报匹配中使用分钟值。将该位设置为 ‘1’ 时，匹配电路将忽略分钟值。							
0x1FFFF2	0xFFFF2	警报 — 秒							
		D7	D6	D5	D4	D3	D2	D1	D0
		M	警报秒 （x10）				警报秒		
		包含警报秒值以及用于选择或取消选择秒值的匹配位。							
M		匹配当该位被设置为 ‘0’ 时，在警报匹配中使用秒值。将该位设置为 ‘1’ 时，匹配电路将忽略秒值。							
0x1FFFF1	0xFFFF1	计时 — 世纪							
		D7	D6	D5	D4	D3	D2	D1	D0
		世纪 （x10）					世纪		
		包含世纪的 BCD 值低位半字节 （四位）包含低位数字，范围为 0 到 9；高位半字节 （四位）包含高位数字，范围为 0 到 9。该寄存器的范围为 0 到 99 世纪。							

表 7. 寄存器映射的详细信息（续）

寄存器		说明							
CY14B116K	CY14B116M								
0x1FFFF0	0xFFFF0	标志							
		D7	D6	D5	D4	D3	D2	D1	D0
		WDF	AF	PF	OSCF	BPF	CAL	W	R
WDF		看门狗定时器标志。当没有用户复位情况下允许看门狗定时器达到 0 时，该只读位被设置为‘1’。当标志寄存器被读取或上电时，该位被清除为 0。							
AF		警报标志。当时间和日期与储存在警报寄存器中的值相匹配且匹配位为‘0’时，该只读位被设置为‘1’。当标志寄存器被读取或被上电时，该位将被清除。							
PF		断电标志。当电源下降到低于断电阈值 V_{SWITCH} 时，该只读位被设置为‘1’。当读取标志寄存器时，将清除该位。							
OSCF		振荡器失败标志。如果使能了振荡器，但在头 5 ms 操作时间内并未运行，该位将在加电时被设置为‘1’。这表示 RTC 备用电源中断而且时钟值不再有效。该位在电源循环后保持不变，绝不会被芯片内部清除。用户必须检查此条件并写入‘0’以清除该标志。当用户复位 OSCF 标志位时，在 t_{RTCp} 时长后该位将被更新。							
BPF		备用电源中断标志。如果备用电源（电池或电容）中断，加电时将该位设置为‘1’。备用电源中断条件由电压下降到低于其各自最低指定电压确定。BPF 只能保持数据直到确定了备用电压（ V_{DR} ）的低电压电平为止。用户必须复位该位以清除标志。用户复位 BPF 标志位后，在 t_{RTCp} 时间后将更新该位。							
CAL		校准模式。当该位设置为“1”时，INT 引脚会输出 512 Hz 的方波。当设置为“0”时，则 INT 引脚恢复正常操作。该位优先于 SQ0/SQ1 和其他功能。加电时，该位默认为‘0’（禁用）。							
W		写使能：将“W”位设置为“1”会冻结对 RTC 寄存器的更新。然后用户可写入 RTC 寄存器、警报寄存器、校准寄存器、中断寄存器以及标志寄存器。如果时间已更改，将“W”设置为“0”时，RTC 寄存器中的内容将被传输到计时计数器中。完成该传输过程会需要 t_{RTCp} 时间。加电时，该位默认为 0。							
R		读使能：将“R”位设置为“1”会停止用户 RTC 寄存器中的时钟更新，以便在读取过程中不显示时钟更新。将“R”位设置为“0”以恢复对保持寄存器的时钟更新。设置该位不需要将“W”位设置为“1”。加电时，该位默认为 0。							

最大额定值

超过最大额定值可能会影响器件的使用寿命。这些用户指南未经过测试。

存储温度 -65°C 到 +150°C

最长累积存储时间

在 150°C 环境温度下 1000 个小时

在 85°C 环境温度下 20 年

最高结温 150 °C

V_{CC} 上相对于 V_{SS} 的供电电压 -0.5 V 到 +4.1 V

应用于高阻态的输出电压 -0.5 V 到 $V_{CC} + 0.5 V$

输入电压 -0.5 V 到 $V_{CC} + 0.5 V$

处于接地电位的

任何引脚的跳变电压 (< 20 ns) -2.0 V 至 $V_{CC} + 2.0 V$

封装功率散耗能力为 ($T_A = 25^\circ\text{C}$) 1.0 W

表面组装铅焊温度 (3 秒) +260 °C

直流输出电流 (每次只输出 1 路电流,

持续时间 1 秒) 20 mA

静电放电电压 > 2001 V

(根据 MIL-STD-883, 方法 3015)

闩锁电流 $\pm 140 \text{ mA}$

工作范围

产品	范围	环境 温度 (T_A)	V_{CC}
CY14B116K/ CY14B116M	工业	-40°C 至 +85°C	2.7 V ~ 3.6 V

直流电气特性

适用条件为工作范围

参数	说明	测试条件	最小值	典型值 ^[17]	最大值	单位
V_{CC}	电源		2.7	3.0	3.6	V
I_{CC1}	V_{CC} 平均电流	无输出负载下取得的值 ($I_{OUT} = 0 \text{ mA}$)				
		$t_{RC} = 25 \text{ ns}$	-	-	95	mA
		$t_{RC} = 45 \text{ ns}$	-	-	75	mA
I_{CC2}	存储过程中的 V_{CC} 平均 电流	所有输入无需关注, $V_{CC} = V_{CC}$ (最大值)。 t_{STORE} 期间的平均电流	-	-	10	mA
I_{CC3}	在 $t_{RC} = 200 \text{ ns}$ 条件下的 V_{CC} 平均电流 V_{CC} (典型值), 25°C	所有输入在 CMOS 电平循环。 无输出负载下获得的值 ($I_{OUT} = 0 \text{ mA}$)。	-	50	-	mA
$I_{CC4}^{[18]}$	自动存储周期期间的 V_{CAP} 平均电流	无需关注所有输入。 t_{STORE} 期间的平均电流	-	-	6	mA
I_{SB}	V_{CC} 待机电流	$\overline{CE} \geq (V_{CC} - 0.2 \text{ V})$, $V_{IN} \leq 0.2 \text{ V}$ 或 $\geq (V_{CC} - 0.2 \text{ V})$ 。 'W' 和 'R' 位设置为 '0'。完成非易失性循环后待机电流的强度。输入为静态。 $f = 0 \text{ MHz}$ 。				
		$t_{RC} = 25 \text{ ns}$	-	-	750	μA
		$t_{RC} = 45 \text{ ns}$	-	-	600	μA
I_{ZZ}	睡眠模式下的电流	所有 CMOS 输入都处于静态状态; RTC 以备用电源运行。	-	-	10	μA
$I_{IX}^{[19]}$	输入漏电流 (HSB 除外)	$V_{CC} = V_{CC}$ (最大值), $V_{SS} \leq V_{IN} \leq V_{CC}$	-1	-	+1	μA
	输入漏电流 (适用于 HSB)	$V_{CC} = V_{CC}$ (最大值), $V_{SS} \leq V_{IN} \leq V_{CC}$	-100	-	+1	μA
I_{OZ}	关闭状态的输出漏电流	$V_{CC} = V_{CC}$ (最大值), $V_{SS} \leq V_{OUT} \leq V_{CC}$, \overline{CE} 或 $\overline{OE} \geq V_{IH}$, 或 $\overline{BLE/BHE} \geq V_{IH}$, 或 $\overline{WE} \leq V_{IL}$	-1	-	+1	μA

注释:

17. 典型值的温度为 25°C 、 $V_{CC} = V_{CC(Typ)}$ 。并非 100% 经过了测试。

18. 该参数仅在设计上得到保证, 但未经过测试。

19. 如果高电平有效和低电平有效的驱动程序均被禁用, 对于 HSB 引脚, 当 V_{OH} 等于 2.4 V 时, $I_{OUT} = -2 \mu\text{A}$ 。使能这些驱动程序后, 标准 V_{OH} 和 V_{OL} 均有效。该参数被特性表征化, 但未进行过测试。

直流电气特性（续）

适用条件为工作范围

参数	说明	测试条件	最小值	典型值 ^[17]	最大值	单位
V_{IH}	输入高电平电压		2.0	—	$V_{CC} + 0.5$	V
V_{IL}	—		$V_{SS} - 0.5$	—	0.8	V
V_{OH}	输出高电平电压	$I_{OUT} = -2\text{ mA}$	2.4	—	—	V
V_{OL}	输出低电平电压	$I_{OUT} = 4\text{ mA}$	—	—	0.4	V
V_{CAP} ^[20]	存储电容	在 V_{CAP} 引脚和 V_{SS} 之间	19.8	22.0	82.0	μF
$V_{V_{CAP}}$ ^[21、22]	器件在 V_{CAP} 引脚上驱动的最高大电压	$V_{CC} = V_{CC}(\text{max})$	—	—	5.0	V

数据保留与耐久性

在工作范围

参数	说明	最小值	单位
$DATA_R$	数据保留时间	20	年
NV_C	非易失性存储操作	1,000,000	周期

电容

下表列出了各种电容参数。^[22]

参数	说明	测试条件	最大值 (所有封装, 165-FBGA 除外)	最大值 (165-FBGA 封装)	单位
C_{IN}	输入电容	$T_A = 25\text{ }^\circ\text{C}$ 、 $f = 1\text{ MHz}$ 、 $V_{CC} = V_{CC}$ （典型值）	8	10	pF
C_{IO}	输入 / 输出电容		8	10	pF
C_{OUT}	输出电容		8	10	pF

热电阻

下表列出了各种热电阻参数。^[22]

参数	说明	测试条件	44-TSOP II	54-TSOP II	165-FBGA	单位
Θ_{JA}	热阻 (结至环境)	根据 EIA/JESD51 的要求，测试条件遵循测试热阻的标准测试方法和过程。	44.6	41.1	15.6	$^\circ\text{C/W}$
Θ_{JC}	热阻 (结至外壳)		2.4	4.6	2.9	$^\circ\text{C/W}$

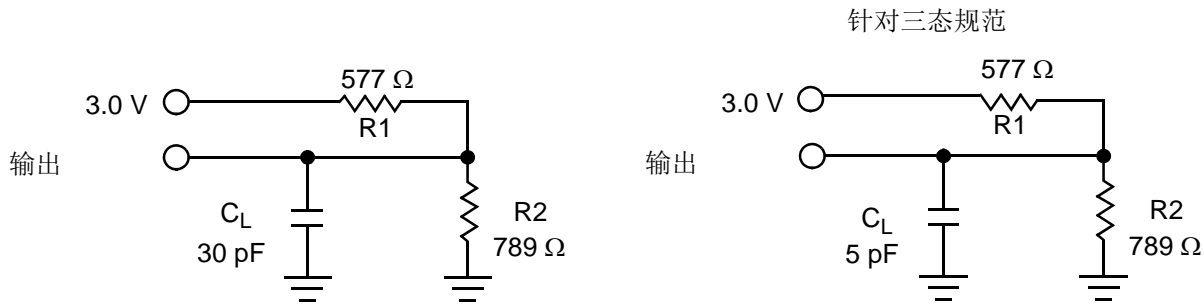
注释:

20. V_{CAP} 的最小值要确保提供了足够的电荷来完成自动存储操作。 V_{CAP} 的最大值可保证 V_{CAP} 的电容在加电回读周期期间充电至最小电压，以便紧急断电循环可以顺利完成自动存储操作。因此，建议使用的电容属于规定的最小极限值和最大极限值内。

21. 当选择 V_{CAP} 电容时，将提供 V_{CAP} 引脚上的最大电压（ $V_{V_{CAP}}$ ）作为指导。在工作温度范围内的 V_{CAP} 电容的额定电压应高于 $V_{V_{CAP}}$ 电压。

22. 这些参数仅在设计上得到保证，但未经过测试。

图 10. 交流测试负载和波形



交流测试条件

输入脉冲电平 0 V 到 3 V
 输入上升和下降时间 (10%–90%) ≤ 3 ns
 输入和输出的时序参考电平 1.5 V

RTC 特性

适用条件为工作范围

参数	说明	最小值	典型值 ^[23]	最大值	单位
V_{RTCbat}	RTC 电池引脚电压	1.8	3.0	3.6	V
$I_{BAK}^{[24]}$	RTC 备用电流	$T_A = -40^\circ\text{C}$	–	0.45	μA
		$T_A = 25^\circ\text{C}$	0.45	–	μA
		$T_A = 85^\circ\text{C}$	–	0.60	μA
$V_{RTCcap}^{[25]}$	RTC 电容引脚电压	$T_A = -40^\circ\text{C}$	1.6	–	V
		$T_A = 25^\circ\text{C}$	1.5	3.0	V
		$T_A = 85^\circ\text{C}$	1.4	–	V
$V_{BAKFAIL}$	备用电压故障阈值	1.8	–	2.2	V
V_{DR}	BPF 标志保留电压	1.6	–	–	V
t_{OCS}	RTC 振荡器启动时间	–	1	2	s
t_{RTCp}	将 ‘W’ 位置为 ‘0’ 后的 RTC 处理时间。	–	–	1	ms
R_{BKCHG}	RTC 备用电容充电限流电阻	350	–	850	Ω

注释:

23. 典型值的温度为 25°C 、 $V_{CC} = V_{CC(Typ)}$ 。并非 100% 经过了测试。

24. 从 V_{RTCcap} 或 V_{RTCbat} 。

25. 如果 $V_{RTCcap} > 0.5$ V 或电容未连接到 V_{RTCcap} 引脚，振荡器将在 t_{OCS} 时间内启动。如果已连接备用电容且 $V_{RTCcap} < 0.5$ V，要想启动振荡器，必须允许将 0.5 V 充电给电容。

交流开关特性

在工作范围^[26]的条件下

参数		说明	25 ns		45 ns		单位
赛普拉斯参数	备用参数		最小值	最大值	最小值	最大值	
SRAM 读周期							
t _{ACE}	t _{ACS}	芯片使能访问时间	—	25	—	45	ns
t _{RC} ^[27]	t _{RC}	读周期时间	25	—	45	—	ns
t _{AA} ^[28]	t _{AA}	地址访问时间	—	25	—	45	ns
t _{DOE}	t _{OE}	输出使能到数据有效的时间	—	12	—	20	ns
t _{OHA} ^[28]	t _{OH}	地址更改后输出保持的时间	3	—	3	—	ns
t _{LZCE} ^[29]	t _{LZ}	芯片使能到输出有效的时间	3	—	3	—	ns
t _{HZCE} ^[29, 30]	t _{HZ}	芯片禁用到输出无效的时间	—	10	—	15	ns
t _{LZOE} ^[29]	t _{OLZ}	输出使能到输出有效的时间	0	—	0	—	ns
t _{HZOE} ^[29, 30]	t _{OHZ}	输出禁用到输出无效的时间	—	10	—	15	ns
t _{PU} ^[29]	t _{PA}	芯片使能到电源有效的时间	0	—	0	—	ns
t _{PD} ^[29]	t _{PS}	芯片禁用到电源待机的时间	—	25	—	45	ns
t _{DBE}		字节使能到数据有效的时间	—	12	—	20	ns
t _{LZBE} ^[29]		字节使能到输出有效的时间	0	—	0	—	ns
t _{HZBE} ^[29, 30]		字节禁用到输出无效的时间	—	10	—	15	ns
SRAM 写周期							
t _{WC}	t _{WC}	写周期时间	25	—	45	—	ns
t _{PWE}	t _{WP}	写入脉冲宽度	20	—	30	—	ns
t _{SCE}	t _{CW}	芯片使能到写周期结束的时间	20	—	30	—	ns
t _{SD}	t _{DW}	数据建立到写周期结束的时间	10	—	15	—	ns
t _{HD}	t _{DH}	写周期结束后数据保持的时间	0	—	0	—	ns
t _{AW}	t _{AW}	地址建立到写周期结束的时间	20	—	30	—	ns
t _{SA}	t _{AS}	地址建立到写周期开始的时间	0	—	0	—	ns
t _{HA}	t _{WR}	写周期结束后地址保持的时间	0	—	0	—	ns
t _{HZWE} ^[29, 30, 31]	t _{WZ}	写周期使能到输出禁用的时间	—	10	—	15	ns
t _{LZWE} ^[29]	t _{OW}	写周期结束后到输出有效的时间	3	—	3	—	ns
t _{BW}		字节使能到写周期结束的时间	20	—	30	—	ns

注释:

26. 测试条件假定信号跳变时间不大于3 ns、时序参考电平为 $V_{CC}/2$ 、输入脉冲电平为0至 $V_{CC(typ)}$ 、所指定 I_{OL}/I_{OH} 的输出负载以及30 pF负载电容，如第24页上的图10所示。

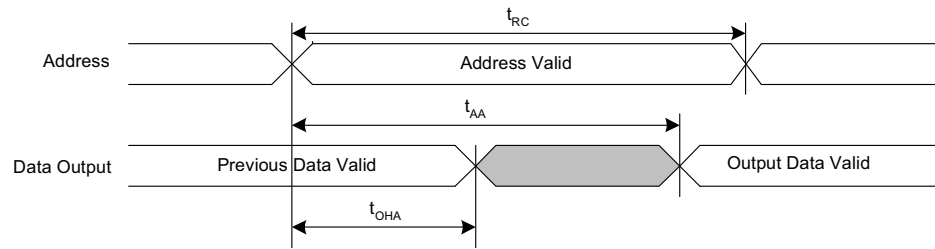
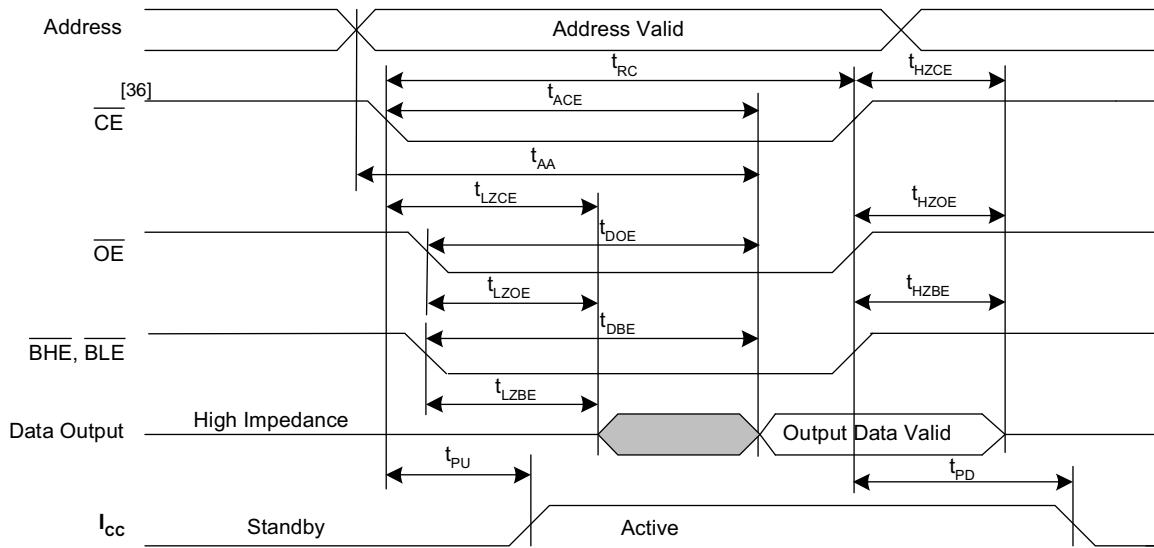
27. \overline{WE} 必须在 SRAM 读周期内保持高电平状态。

28. 当 \overline{CE} 、 \overline{OE} 和 \overline{BHE} 、 \overline{BLE} 均为低电平时，一直选中器件。

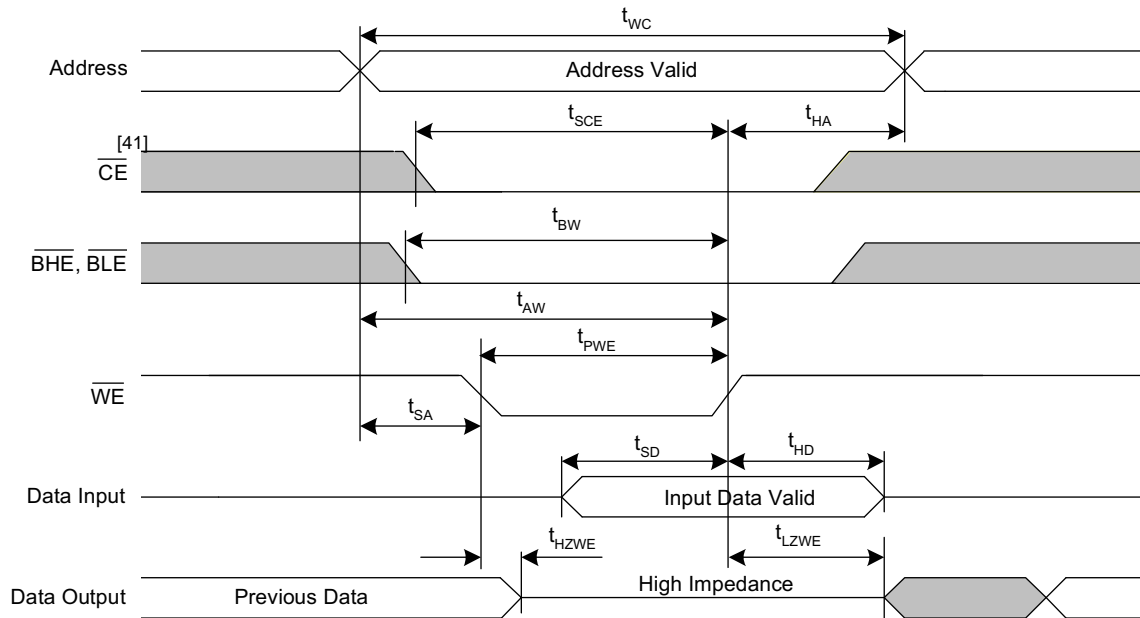
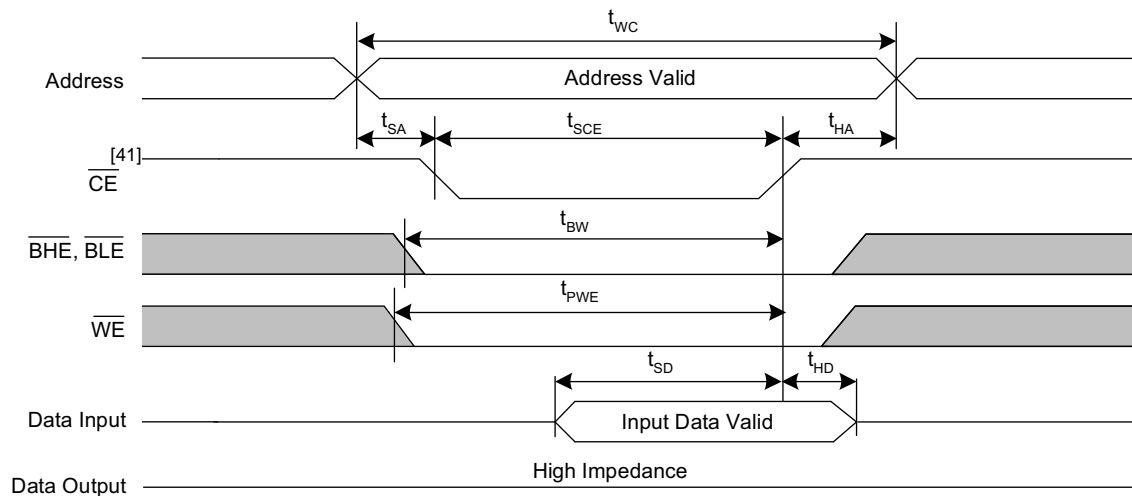
29. 这些参数仅在设计上得到保证，但未经过测试。

30. t_{HZCE} 、 t_{HZOE} 、 t_{HZBE} 和 t_{HZWE} 的负载电容为 5 pF。跃变在稳定状态输出电压 ± 200 mV 的条件下测量。

31. 如果 \overline{CE} 变为低电平时 \overline{WE} 处于低电平状态，输出会保持在高阻抗状态。

图 11. 第一个 SRAM 读周期（地址控制） [32、33、34]

图 12. 第二个 SRAM 读周期：CE 和 OE 控制 [32、34、35]

注释:

32. WE 必须在 SRAM 读周期内保持高电平状态。
33. 当 \overline{CE} 、 \overline{OE} 和 \overline{BHE} 、 \overline{BLE} 均为低电平时，一直选中器件。
34. HSB 必须在读和写周期内保持为高电平状态
35. \overline{BHE} 和 \overline{BLE} 仅适用于 $\times 16$ 配置。
36. TSOP II 封装基于单 \overline{CE} 选项，而 BGA 封装则基于双 \overline{CE} 选项。在本数据手册中，对于双 \overline{CE} 器件， \overline{CE} 是 \overline{CE}_1 和 \overline{CE}_2 的内部逻辑结合。当 \overline{CE}_1 为低电平和 \overline{CE}_2 为高电平时， \overline{CE} 将为低电平。在其他情况下， \overline{CE} 为高电平。芯片使能引脚（即单芯片使能器件的 \overline{CE} ；以及双芯片使能器件的 \overline{CE}_1 和 \overline{CE}_2 ）上不支持中间电压。

图 13. 第一个 SRAM 度周期: \overline{WE} 控制 [37、38、39、40]

图 14. 第二个 SRAM 写周期: \overline{CE} 控制 [37、38、39、40]

注释:

37. \overline{BHE} 和 \overline{BLE} 仅适用于 $\times 16$ 配置。

38. 如果 \overline{CE} 变为低电平时 \overline{WE} 也处于低电平状态，则输出会保持高阻抗状态。

39. \overline{HSB} 必须在读和写周期内保持为高电平状态。

40. 地址转换期间， \overline{CE} 或 \overline{WE} 必须超过 V_{IH} 。

41. TSOP II 封装基于单 \overline{CE} 选项，而 BGA 封装则基于双 \overline{CE} 选项。在本数据手册中，对于双 \overline{CE} 器件， \overline{CE} 是 \overline{CE}_1 和 \overline{CE}_2 的内部逻辑结合。当 \overline{CE}_1 为低电平和 \overline{CE}_2 为高电平时， \overline{CE} 将为低电平。在其他情况下， \overline{CE} 为高电平。芯片使能引脚（即单芯片使能器件的 \overline{CE} ；以及双芯片使能器件的 \overline{CE}_1 和 \overline{CE}_2 ）上不支持中间电平。

图 15. 第二个 SRAM 写周期: $\overline{\text{CE}}$ 控制 [42、43、44、45]

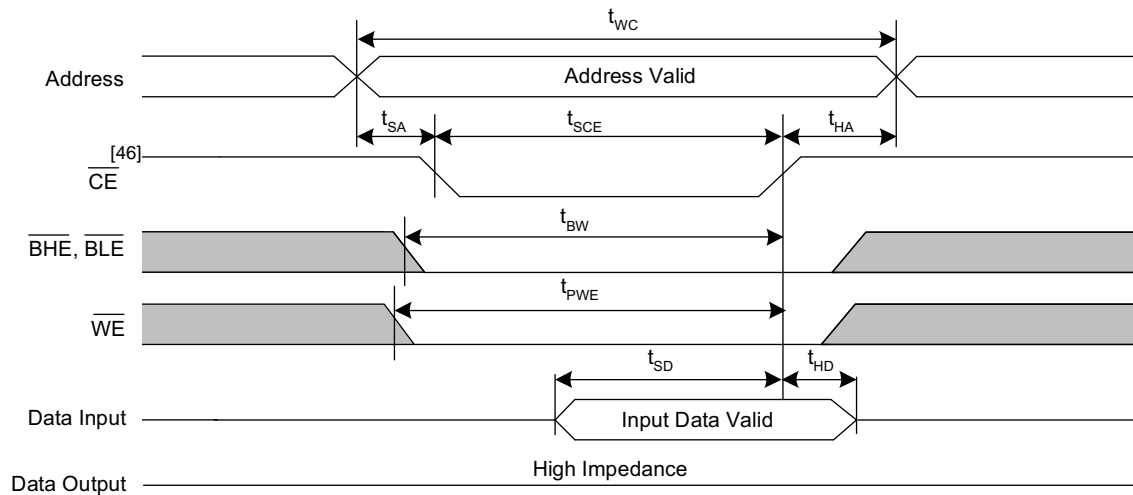
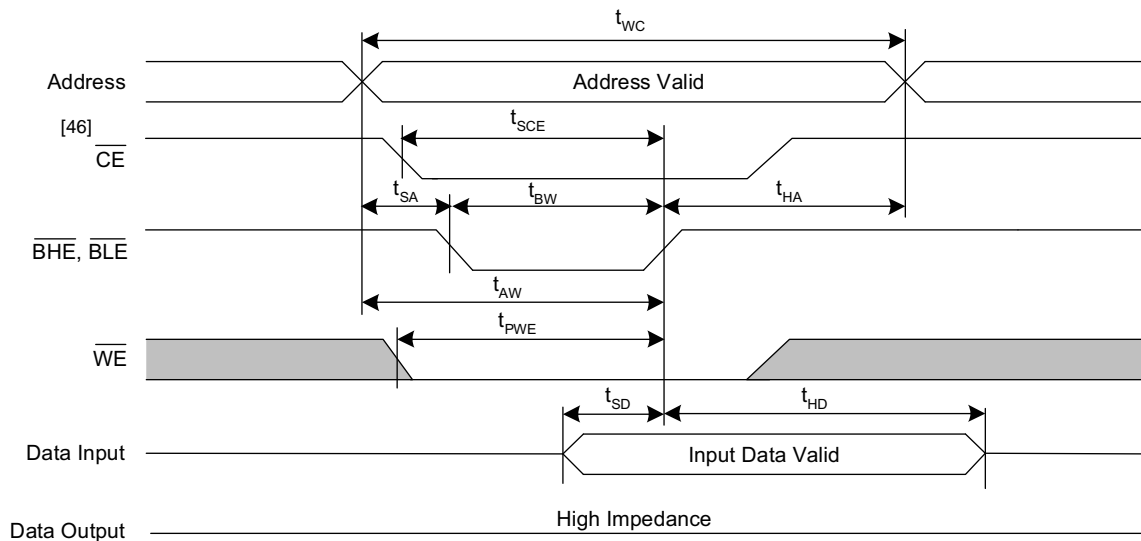


图 16. 第三个 SRAM 写周期: $\overline{\text{BHE}}$ 和 $\overline{\text{BLE}}$ 控制 [42、43、44、45、47]
(不适用于对 RTC 寄存器的写入操作)



注释:

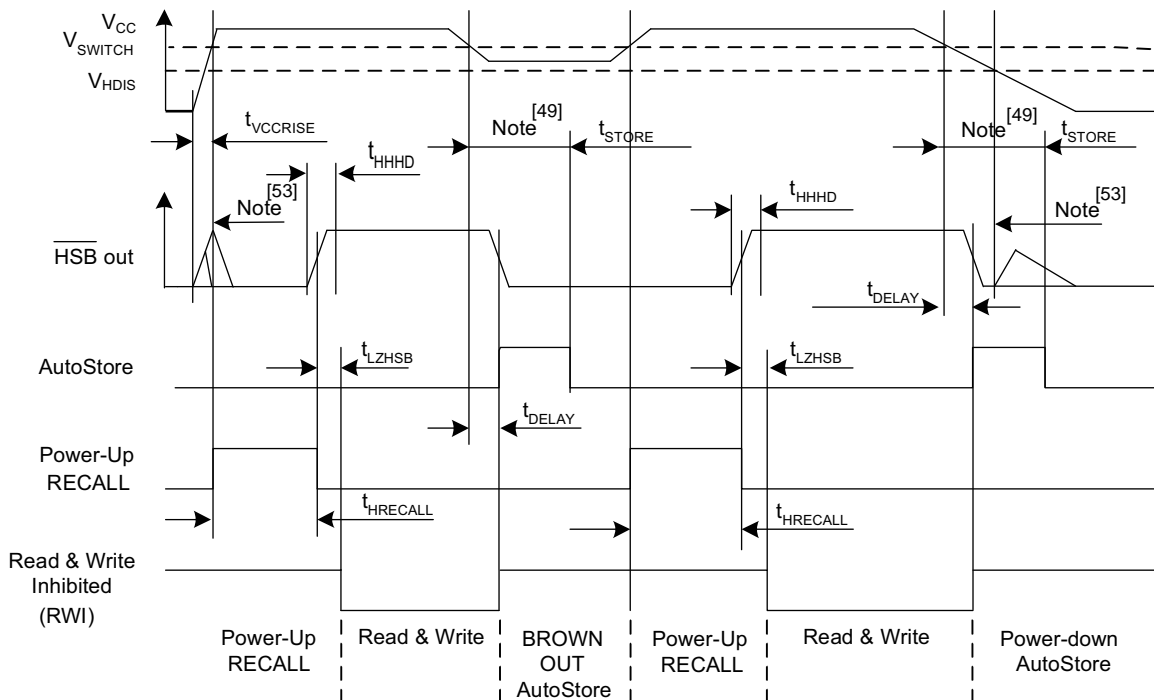
42. $\overline{\text{BHE}}$ 和 $\overline{\text{BLE}}$ 仅适用于 $\times 16$ 配置。
43. 如果 $\overline{\text{CE}}$ 变为低电平时 $\overline{\text{WE}}$ 也处于低电平状态, 则输出会保持高阻抗状态。
44. $\overline{\text{HSB}}$ 必须在读和写周期内保持高电平状态。
45. 地址转换期间, $\overline{\text{CE}}$ 或 $\overline{\text{WE}}$ 必须超过 V_{IH} 。
46. TSOP II 封装基于单 $\overline{\text{CE}}$ 选项, 而 BGA 封装则基于双 $\overline{\text{CE}}$ 选项。在本数据手册中, 对于双 $\overline{\text{CE}}$ 器件, $\overline{\text{CE}}$ 是 $\overline{\text{CE}}_1$ 和 $\overline{\text{CE}}_2$ 的内部逻辑结合。当 $\overline{\text{CE}}_1$ 为低电平和 $\overline{\text{CE}}_2$ 为高电平时, $\overline{\text{CE}}$ 将为低电平。在其他情况下, $\overline{\text{CE}}$ 为高电平。芯片使能引脚 (即单芯片使能器件的 $\overline{\text{CE}}$; 以及双芯片使能器件的 $\overline{\text{CE}}_1$ 和 $\overline{\text{CE}}_2$) 上不支持中间电压。
47. 仅允许 $\overline{\text{CE}}$ 和 $\overline{\text{WE}}$ 控制对 RTC 寄存器进行的写操作。在 $\overline{\text{CE}}$ 或 $\overline{\text{WE}}$ 引脚处于低电平时, $\overline{\text{BLE}}$ 引脚必须保持为低电平状态, 以能够写入到 RTC 寄存器中。

自动存储 / 加电回读特性

适用条件为工作范围

参数	说明	CY14B116K/CY14B116M		单位
		最小值	最大值	
$t_{HRECALL}$ [48]	加电回读时间	—	30	ms
t_{STORE} [49]	存储周期时间	—	8	ms
t_{DELAY} [50、51]	完成 SRAM 写入周期的时长	—	25	ns
V_{SWITCH}	低电压触发电平	—	2.65	V
t_{VCCRIS} [51]	V_{CC} 上升时间	150	—	μ s
V_{HDIS} [51]	\overline{HSB} 输出禁用电压	—	1.9	V
t_{LZHSB} [51]	\overline{HSB} 到输出有效的时间	—	5	μ s
t_{HHHD} [51]	\overline{HSB} 高电平有效时间	—	500	ns

图 17. 自动存储或加电回读 [52]



注释:

48. 当 V_{CC} 超过 V_{SWITCH} 时, 将开始计算 $t_{HRECALL}$ 。

49. 如果最后一次非易失性循环完成后尚未对 SRAM 进行写操作, 则不会发生自动存储或硬件存储操作。

50. 在启动硬件存储和自动存储时, 会在 t_{DELAY} 时间内持续使能 SRAM 写操作。

51. 这些参数仅在设计上得到保证, 但未经过测试。

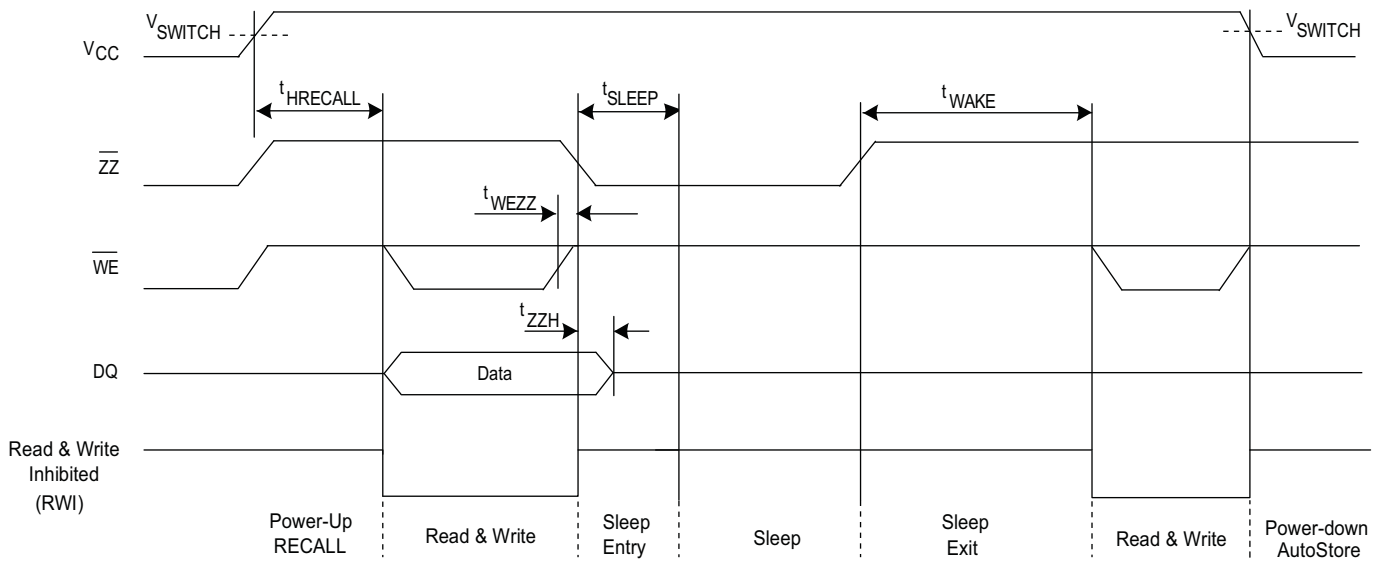
52. 在 V_{CC} 低于 V_{SWITCH} 的情况下, 在存储、回读的过程中会忽略读写周期。

睡眠模式的特性

适用条件为工作范围

参数	说明	CY14B116K/CY14B116M		单位
		最小值	最大值	
t_{WAKE}	睡眠模式退出时间 (\overline{ZZ} 为高电平到唤醒后进行第一次访问)	–	30	ms
t_{SLEEP}	睡眠模式进入时间 (\overline{ZZ} 低电平到 \overline{CE} 期间, 无需关注)	–	8	ms
t_{ZZL}	\overline{ZZ} 为低电平有效的的时间	50	–	ns
t_{WEZZ}	最后一次写入到进入睡眠模式的时间	0	–	μ s
t_{ZZH}	\overline{ZZ} 有效到 DQ 为高阻态的时间	–	70	ns

图 18. 睡眠模式 [54]



注释:

54. 器件启动睡眠子程序, 然后在 t_{SLEEP} 持续时间后进入睡眠模式。

软件控制的存储和回读特性

适用条件为工作范围 [55、56]

参数	说明	25 ns		45 ns		单位
		最小值	最大值	最小值	最大值	
t_{RC}	存储 / 回读初始化周期的时间	25	—	45	—	ns
t_{SA}	地址建立时间	0	—	0	—	ns
t_{CW}	时钟脉冲宽度	20	—	30	—	ns
t_{HA}	地址保持时间	0	—	0	—	ns
t_{RECALL}	回读持续时间	—	600	—	600	μ s
t_{SS} [57、58]	软序列处理时间	—	500	—	500	μ s

图 19. \overline{CE} 和 \overline{OE} 控制的软件存储和回读周期 [56]

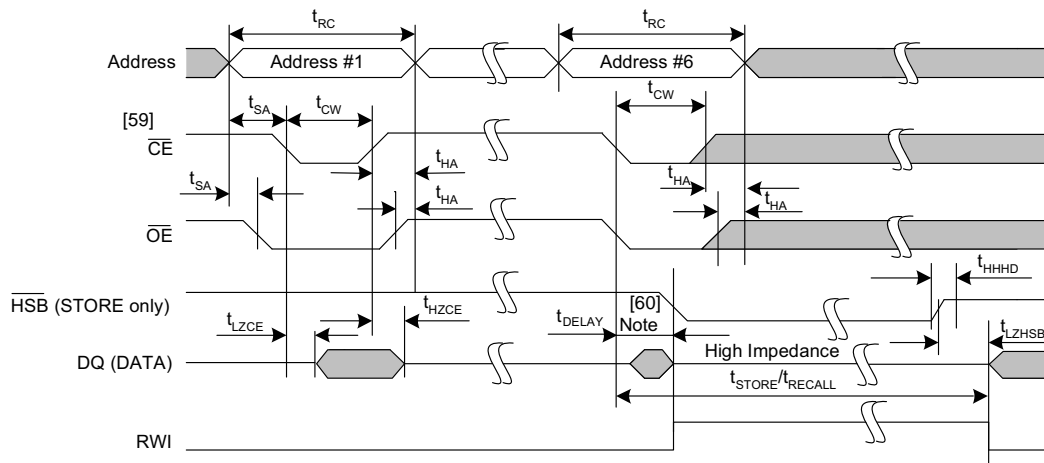
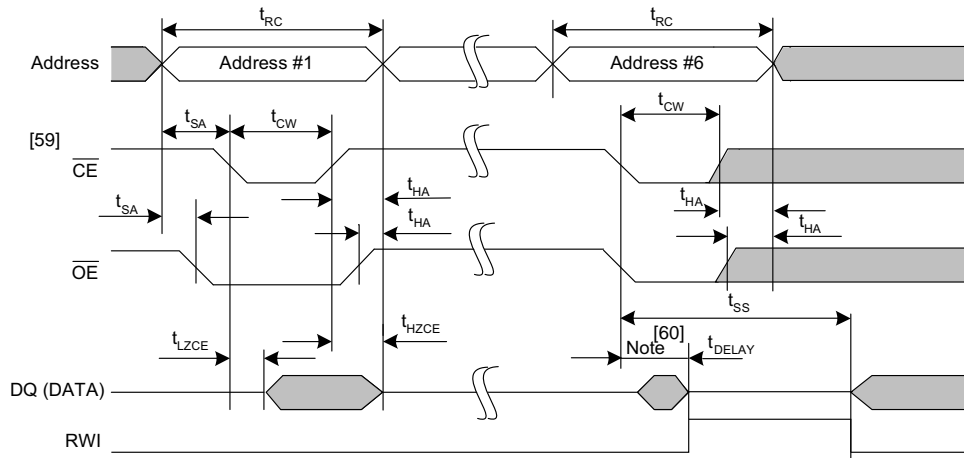


图 20. 自动存储使能和禁用周期



注释:

55. 由 \overline{CE} 控制的或 \overline{OE} 控制的读操作作为软件序列提供时钟脉冲。
56. 必须按列出的顺序读取六个连续地址表 2。在六个连续周期内， \overline{WE} 必须保持为高电平状态。
57. 这是执行软序列指令所耗费的时间。V_{CC} 电压必须保持高电平，以保证有效地寄存指令。
58. 存储和回读等指令会锁定 I/O，直到操作完成，这样会更加延长此时间。请参见特定的指令。
59. TSOP II 封装基于单 \overline{CE} 选项，而 BGA 封装则基于双 \overline{CE} 选项。在本数据手册中，对于双 \overline{CE} 器件， \overline{CE} 是 \overline{CE}_1 和 \overline{CE}_2 的内部逻辑结合。当 \overline{CE}_1 为低电平和 \overline{CE}_2 为高电平时， \overline{CE} 将为低电平。在其他情况下， \overline{CE} 为高电平。芯片使能引脚（即单芯片使能器件的 \overline{CE} ；以及双芯片使能器件的 \overline{CE}_1 和 \overline{CE}_2 ）上不支持中间电压。
60. 由于输出在 t_{DELAY} 时间被禁用，因此，第六次读取的 DQ 输出数据可能无效。

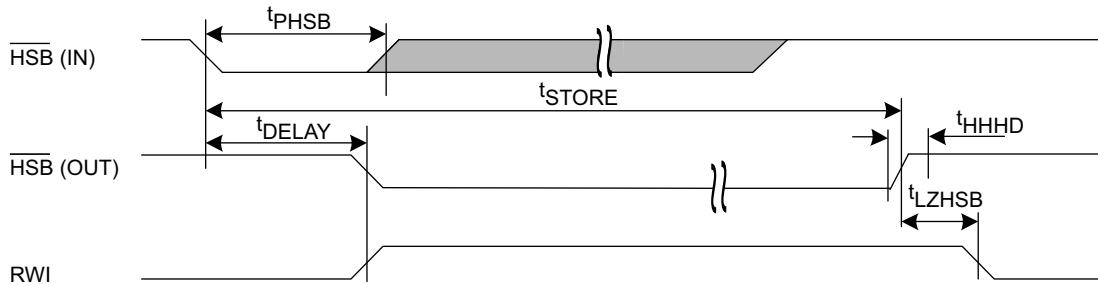
硬件存储特性

在工作范围

参数	说明	CY14B116K/CY14B116M		单位
		最小值	最大值	
t_{DHSB}	未设置写入锁存时 $\overline{\text{HSB}}$ 到输出有效的时间	–	25	ns
t_{PHSB}	硬件存储脉冲宽度	15	–	ns

图 21. 硬件存储周期^[61]

Write Latch set



Write Latch not set

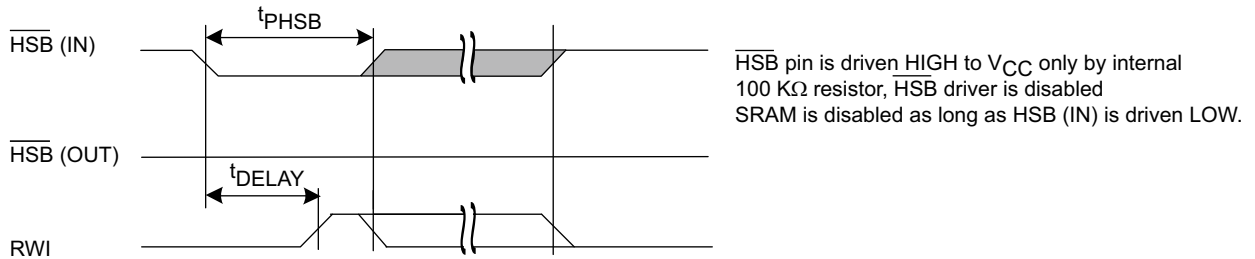
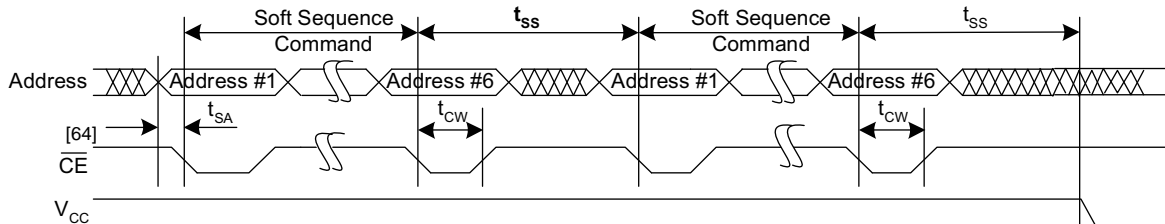


图 22. 软序列处理^[62、63]



注释:

61. 如果从上一个非易失性周期后仍未进行 SRAM 写入，则不会发生自动存储或硬件存储。
62. 这是执行软序列指令所耗费的时间。VCC 电压必须保持高电平，以保证有效地寄存指令。
63. 存储和回读等指令会锁定 I/O，直到操作完成，这样会更加延长该时间。请参见特定的指令。
64. TSOP II 封装基于单 $\overline{\text{CE}}$ 选项，而 BGA 封装则基于双 $\overline{\text{CE}}$ 选项。在本数据手册中，对于双 $\overline{\text{CE}}$ 器件， $\overline{\text{CE}}$ 是 $\overline{\text{CE}}_1$ 和 CE_2 的内部逻辑结合。当 $\overline{\text{CE}}_1$ 为低电平和 CE_2 为高电平时， $\overline{\text{CE}}$ 将为低电平。在其他情况下， $\overline{\text{CE}}$ 为高电平。芯片使能引脚（即单芯片使能器件的 $\overline{\text{CE}}$ ；以及双芯片使能器件的 $\overline{\text{CE}}_1$ 和 CE_2 ）上不支持中间电平。

SRAM 操作的真值表

在 SRAM 操作过程中，必须保持 $\overline{\text{HSB}}$ 为高电平。

对于 ×8 配置

单芯片使能选项（44 pin TSOP II 封装）

$\overline{\text{CE}}$	$\overline{\text{WE}}$	$\overline{\text{OE}}$	输入和输出	模式	功耗模式
H	X	X	高阻	取消选择 / 断电	待机
L	H	L	数据输出（DQ ₀ –DQ ₇ ）；	读取	活动
L	H	H	高阻态	输出处于禁用状态	活动
L	L	X	数据输入（DQ ₀ –DQ ₇ ）；	写入	活动

对于 ×16 配置

单芯片使能选项（54 pin TSOP II 封装）

$\overline{\text{CE}}$	$\overline{\text{WE}}$	$\overline{\text{OE}}$	$\overline{\text{BLE}}$	$\overline{\text{BHE}}$	输入和输出	模式	功耗模式
H	X	X	X	X	高阻态	取消选择 / 断电	待机
L	X	X	H	H	高阻态	输出处于禁用状态	活动
L	H	L	L	L	数据输出（DQ ₀ –DQ ₁₅ ）	读取	活动
L	H	L	L	H	数据输出（DQ ₀ –DQ ₇ ）； 高阻态的 DQ ₈ –DQ ₁₅	读取	活动
L	H	L	H	L	数据输出（DQ ₈ –DQ ₁₅ ）； 高阻态的 DQ ₀ –DQ ₇	读取	活动
L	H	H	X	X	高阻态	输出处于禁用状态	活动
L	L	X	L	L	数据输入（DQ ₀ –DQ ₁₅ ）	写入	活动
L	L	X	L	H	数据输入（DQ ₀ –DQ ₇ ）； 高阻态的 DQ ₈ –DQ ₁₅	写入	活动
L	L	X	H	L	数据输入（DQ ₈ –DQ ₁₅ ）； 高阻态的 DQ ₀ –DQ ₇	写入	活动

对于 ×16 配置

双芯片使能选项（165 ball FBGA 封装）

\overline{CE}_1	CE_2	\overline{WE}	\overline{OE}	\overline{BLE}	\overline{BHE}	输入和输出	模式	功耗模式
H	X	X	X	X	X	高阻态	取消选择 / 断电	待机
X	L	X	X	X	X	高阻态	取消选择 / 断电	待机
L	H	X	X	H	H	高阻态	输出处于禁用状态	活动
L	H	H	L	L	L	数据输出 (DQ ₀ –DQ ₁₅)	读取	活动
L	H	H	L	L	H	数据输出 (DQ ₀ –DQ ₇) ; 高阻态的 DQ ₈ –DQ ₁₅	读取	活动
L	H	H	L	H	L	数据输出 (DQ ₈ –DQ ₁₅) ; 高阻态的 DQ ₀ –DQ ₇	读取	活动
L	H	H	H	X	X	高阻态	输出处于禁用状态	活动
L	H	L	X	L	L	数据输入 (DQ ₀ –DQ ₁₅)	写入	活动
L	H	L	X	L	H	数据输入 (DQ ₀ –DQ ₇) ; 高阻态的 DQ ₈ –DQ ₁₅	写入	活动
L	H	L	X	H	L	数据输入 (DQ ₈ –DQ ₁₅) ; 高阻态的 DQ ₀ –DQ ₇	写入	活动

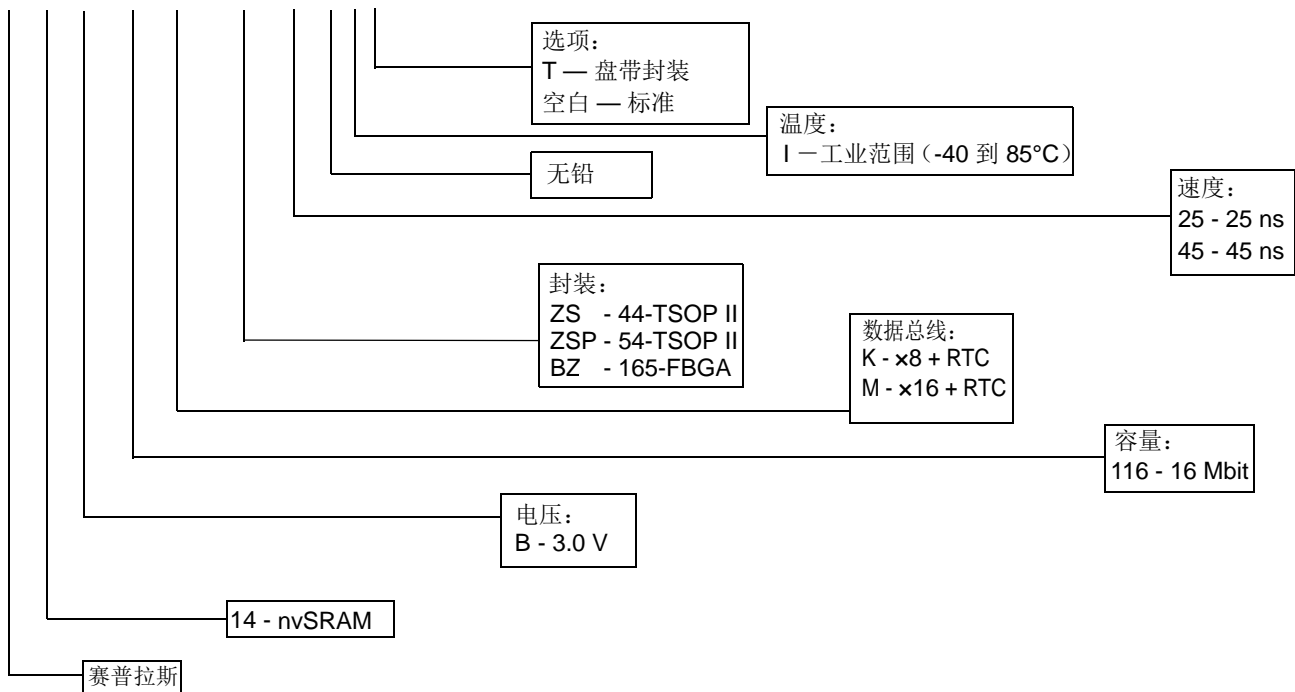
订购信息

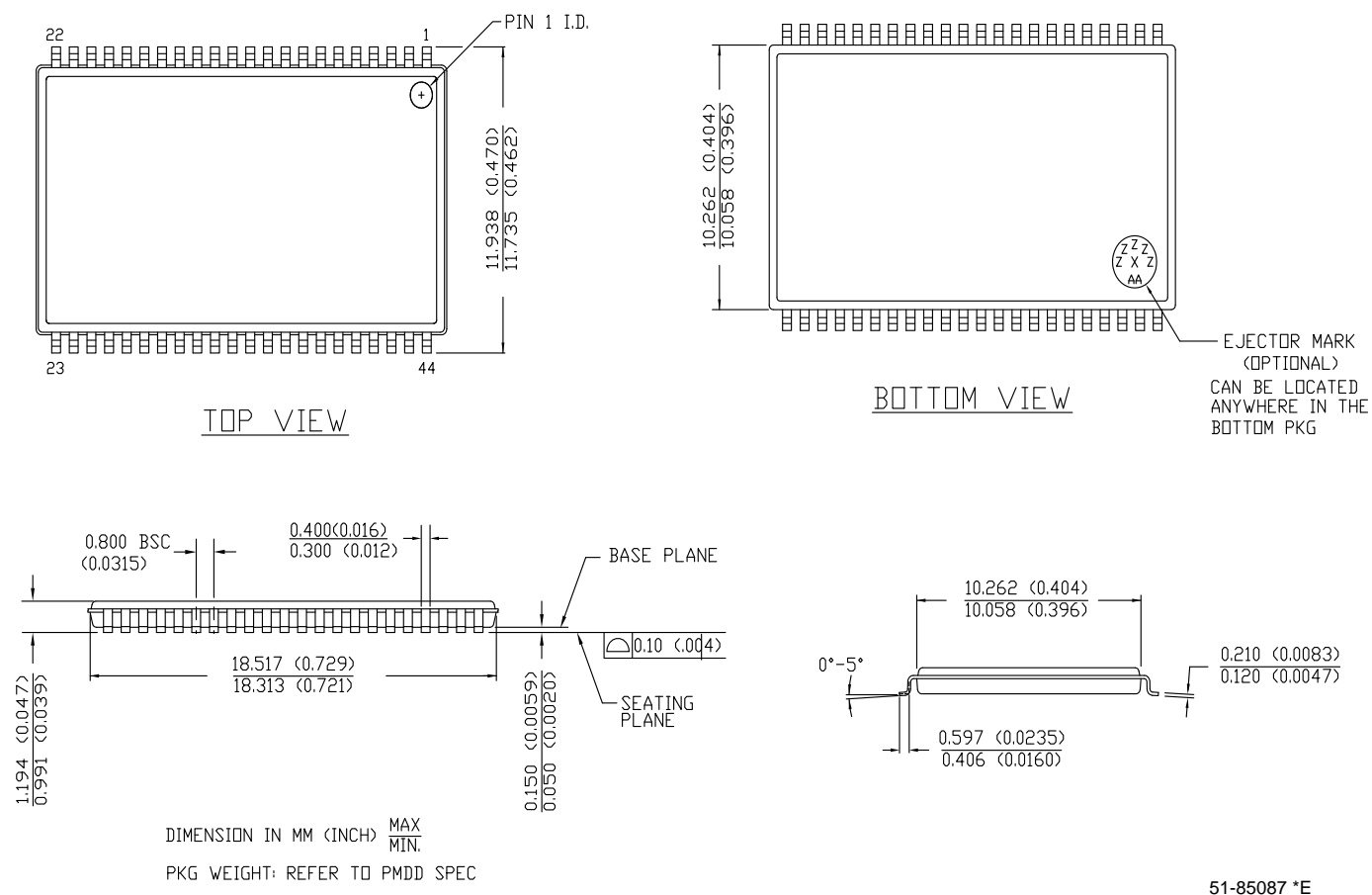
速率 (ns)	订购代码	封装图	封装类型	工作范围
25	CY14B116K-ZS25XI	51-85087	44 pin TSOP II	工业
	CY14B116K-ZS25XIT	51-85087	44 pin TSOP II	
	CY14B116M-ZSP25XI	51-85160	54 pin TSOP II	
45	CY14B116K-ZS45XI	51-85087	44 pin TSOP II	
	CY14B116K-ZS45XIT	51-85087	44 pin TSOP II	
	CY14B116M-BZ45XI	51-85195	165 ball FBGA	

这些器件都是无铅的。要了解这些部件的供应情况，请联系赛普拉斯本地销售代表。

订购代码定义

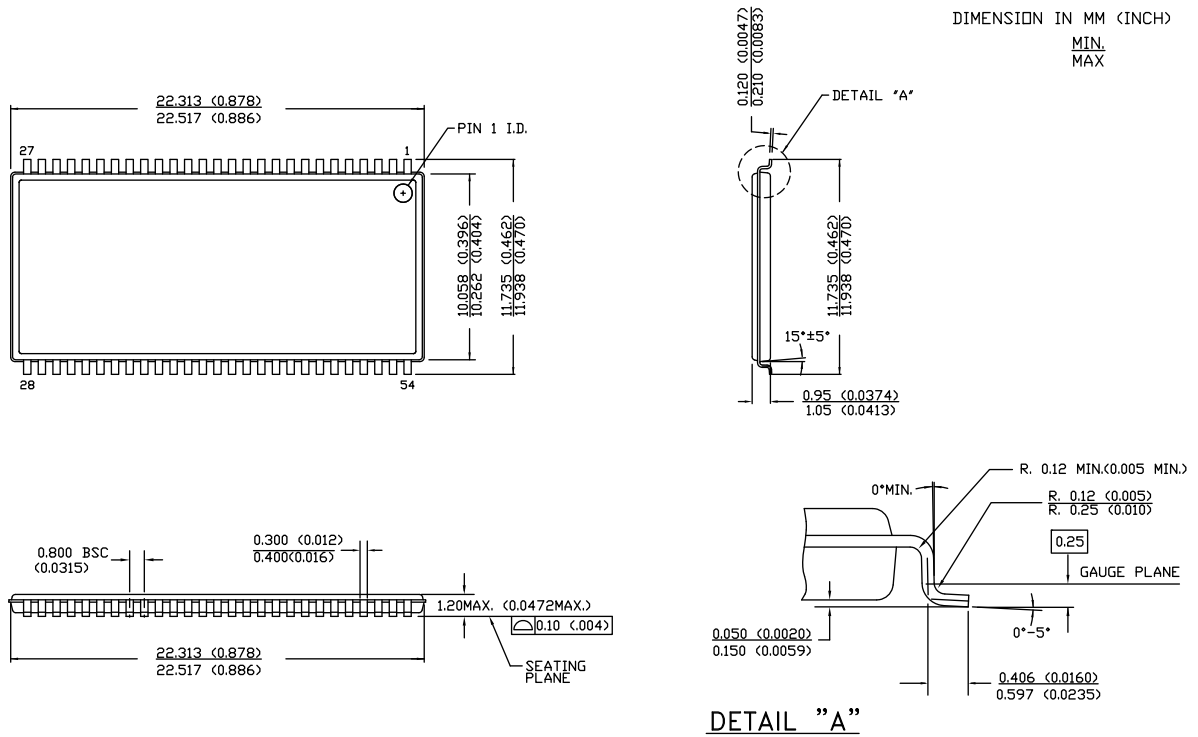
CY14 B 116 K - ZS 25 X I T





封装图 (续)

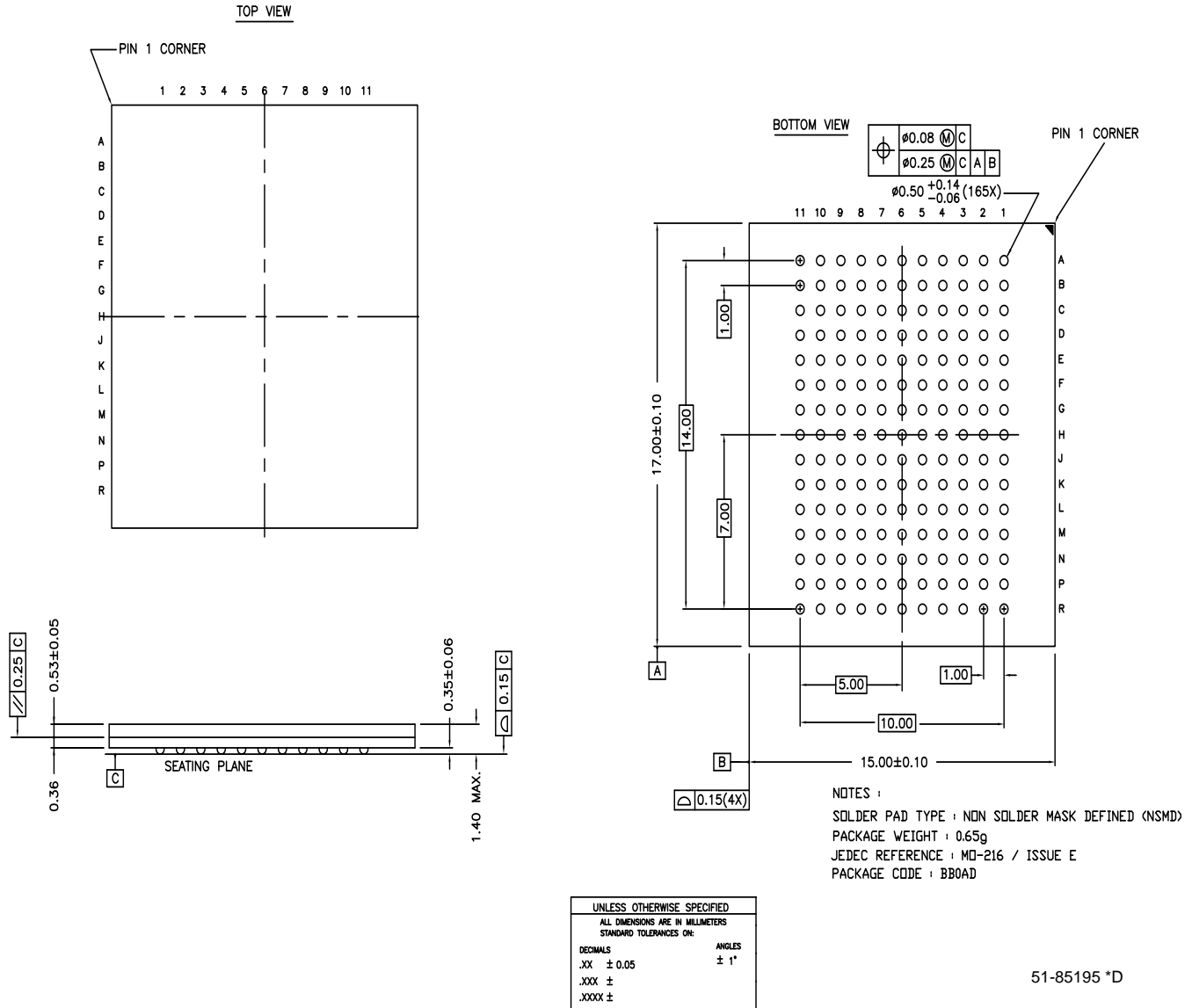
图 24. 54 pin TSOP II 封装外形 (51-85160)



51-85160 *E

封装图 (续)

图 25. 165 ball FBGA (15 mm × 17 mm × 1.40 mm) 封装外形 (51-85195)



缩略语

缩略语	说明
BCD	二进制十进制
CMOS	互补金属氧化物半导体
EIA	电子工业联盟
FBGA	小间距球栅阵列
I/O	输入 / 输出
JESD	JEDEC 标准
nvSRAM	非易失性静态随机存取存储器
RoHS	有害物质限制
RTC	实时时钟
RWI	禁止读和写
TSOP II	薄小型封装

文档规范

测量单位

符号	测量单位
°C	摄氏度
Hz	赫兹
Kbit	千位
kHz	千赫兹
kΩ	千欧姆
μA	微安
mA	毫安
μF	微法
Mbit	兆位
MHz	兆赫兹
μs	微秒
ms	毫秒
ns	纳秒
Ω	欧姆
pF	皮法
V	伏特
W	瓦特

该产品的勘误表已被修正为有效日期代码 1431 (YY = 14、WW = 31)。更多相关信息，请参考数据手册 001-67786 版本 *G，或直接访问 <http://www.cypress.com/support> 网站与赛普拉斯技术支持部门联系。

文档修订记录页

文档标题: CY14B116K/CY14B116M, 具有实时时钟功能的 16 Mbit (2048 K × 8/1024 K × 16) nvSRAM 文档编号: 001-92130				
修订版本	ECN 编号	变更者	提交日期	变更说明
**	4460285	LISZ	07/30/2014	本文档版本号为 Rev**, 译自英文版 001-67786 Rev*E。
*A	5698748	LISZ	04/25/2017	本文档版本号为 Rev*A, 译自英文版 001-67786 Rev*J。

销售、解决方案和法律信息

全球销售和 design 支持

赛普拉斯公司拥有一个由办事处、解决方案中心、厂商代表和经销商组成的全球性网络。要想找到离您最近的办事处，请访问[赛普拉斯所在地](#)。

产品

汽车级产品	cypress.com/go/automotive
时钟与缓冲区	cypress.com/go/clocks
接口	cypress.com/go/interface
照明与电源控制	cypress.com/go/powerpsoc cypress.com/go/plc
存储器	cypress.com/go/memory
PSoC	cypress.com/go/psoc
触摸感应产品	cypress.com/go/touch
USB 控制器	cypress.com/go/USB
无线 / 射频	cypress.com/go/wireless

PSoC® 解决方案

psoc.cypress.com/solutions
PSoC 1 | PSoC 3 | PSoC 4 | PSoC 5LP

赛普拉斯开发者社区

[社区](#) | [论坛](#) | [博客](#) | [视频](#) | [培训](#)

技术支持

cypress.com/go/support

© 赛普拉斯半导体公司，2011-2017 年。本文件是赛普拉斯半导体公司及其子公司，包括 Spansion LLC（“赛普拉斯”）的财产。本文件，包括其包含或引用的任何软件或固件（“软件”），根据全球范围内的知识产权法律以及美国与其他国家签署条约由赛普拉斯所有。除非在本款中另有明确规定，赛普拉斯保留在该等法律和条约下的所有权利，且未就其专利、版权、商标或其他知识产权授予任何许可。如果软件并不附随有一份许可协议且贵方未以其他方式与赛普拉斯签署关于使用软件的书面协议，赛普拉斯特此授予贵方属人性质的、非独家且不可转让的如下许可（无再许可权）（1）在赛普拉斯特软件著作权项下的下列许可权（一）对以源代码形式提供的软件，仅出于在赛普拉斯硬件产品上使用之目的且仅在贵方集团内部修改和复制软件，和（二）仅限于在有关赛普拉斯硬件产品上使用之目的将软件以二进制代码形式的向外部最终用户提供（无论直接提供或通过经销商和分销商间接提供），和（2）在被软件（由赛普拉斯公司提供，且未经修改）侵犯的赛普拉斯专利的权利主张项下，仅出于在赛普拉斯硬件产品上使用之目的制造、使用、提供和进口软件的许可。禁止对软件的任何其他使用、复制、修改、翻译或汇编。

在适用法律允许的限度内，赛普拉斯未对本文件或任何软件作出任何明示或暗示的担保，包括但不限于关于适销性和特定用途的默示保证。赛普拉斯保留更改本文件的权利，届时将不另行通知。在适用法律允许的限度内，赛普拉斯不对因应用或使用本文件所述任何产品或电路引起的任何后果负责。本文件，包括任何样本设计信息或程序代码信息，仅为供参考之目的提供。文件使用人应负责正确设计、计划和测试信息应用和由此生产的任何产品的功能和安全性。赛普拉斯产品不应被设计为、设定为或授权使用作为武器操作、武器系统、核设施、生命支持设备或系统、其他医疗设备或系统（包括急救设备和手术植入物）、污染控制或有害物质管理系统中的关键部件，或产品植入之设备或系统故障可能导致人身伤害、死亡或财产损失其他用途（“非预期用途”）。关键部件指，若该部件发生故障，经合理预期会导致设备或系统故障或会影响设备或系统安全性和有效性的部件。针对由赛普拉斯产品非预期用途产生或相关的任何主张、费用、损失和其他责任，赛普拉斯不承担全部或部分责任且贵方不应追究赛普拉斯之责任。贵方应赔偿赛普拉斯因赛普拉斯产品任何非预期用途产生或相关的所有索赔、费用、损失和其他责任，包括因人身伤害或死亡引起的主张，并使之免受损失。

赛普拉斯、赛普拉斯徽标、Spansion、Spansion 徽标，及上述项目的组合，WICED，及 PSoC、CapSense、EZ-USB、F-RAM 和 Traveo 应视为赛普拉斯在美国和其他国家的商标或注册商标。请访问 cypress.com 获取赛普拉斯商标的完整列表。其他名称和品牌可能由其各自所有者主张为该方财产。