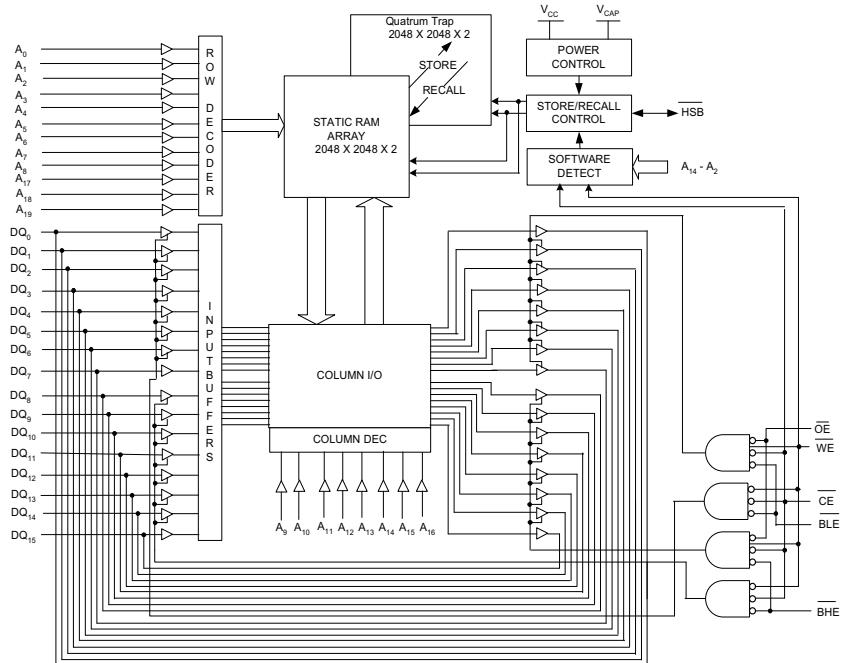


特長

- 20ns、25ns、45ns のアクセス時間
- 1024K × 8 (CY14B108L) または 512K × 16 (CY14B108N) としてメモリを内部的に編成
- 小容量のコンデンサだけで電源切断時の自動 STORE 处理を実行
- QuantumTrap不揮発性要素へのSTORE処理はソフトウェア、デバイスピン、または電源切断時のAutoStoreにより開始
- SRAMへのRECALL処理はソフトウェアまたは電源投入により開始
- 回数に制限のない読み出し、書き込み、RECALLサイクル
- QuantumTrapに対する100万回のSTOREサイクル
- 20年のデータ保持期間
- 3V (+20%、-10%) の単一電源で動作
- 産業用温度範囲

論理ブロック図 [1, 2, 3]



■ パッケージ

- 44 ピン／54 ピン小型薄型パッケージ (TSOP) タイプ II
- 48 ボール微細ピッチ ボール グリッド アレイ (FBGA)
- 鉛フリーおよび特定有害物質使用制限 (RoHS) に準拠

機能の詳細

サイプレスの CY14B108L/CY14B108N は、メモリ セルごとに不揮発性要素を組み込んだ高速スタティック RAM (SRAM) です。このメモリは 1024K バイト ×8 ビットまたは 512K ワード ×16 ビットで構成されています。組み込み型不揮発性素子には、世界最高級の信頼性を備えた不揮発性メモリを実現する QuantumTrap 技術を採用しています。回数に制限のない読み出しと書き込みを SRAM で可能にする一方、不揮発性データを不揮発性素子に独立して保持できるようにしています。SRAM から不揮発性要素へのデータ転送 (STORE 処理) は、電源切断時に自動的に実行されます。電源投入時には、不揮発性メモリから SRAM にデータが復元されます (RECALL 処理)。STORE と RECALL 両方の処理はソフトウェア制御でも実行することができます。

すべての関連資料の一覧については、[ここ](#)をクリックしてください。

エラッタ : AutoStore ディスエーブル機能はデバイスで正常に動きません。詳細については、24 ページの **エラッタ** を参照してください。詳細情報は、エラッタのトリガーコード、影響の範囲、可能な回避方法、シリコンチップのリビジョンの適用可能性などを含んでいます。

目次

ピン配置	3	ソフトウェア制御 STORE/RECALL サイクル	16
ピン機能	4	スイッチング波形	16
デバイスの動作	5	ハードウェア STORE サイクル	17
SRAM 読み出し	5	スイッチング波形	17
SRAM 書き込み	5	SRAM 真理値表	18
AutoStore 処理	5	注文情報	19
ハードウェア STORE 処理	5	注文コードの定義	19
ハードウェア RECALL (電源投入)	6	パッケージ図	20
ソフトウェア STORE	6	略語	23
ソフトウェア RECALL	6	本書の表記法	23
AutoStore の防止	8	測定単位	23
データ保護	8	エラッタ	24
最大定格	9	影響を受ける型番	24
動作範囲	9	8M ビット (1024K×8、512K×16) nvSRAM の	24
DC 電気的特性	9	認定状況	24
データ保持期間およびアクセス可能回数	10	8M ビット (1024K×8、512K×16) nvSRAM の	24
静電容量	10	エラッタのまとめ	24
熱抵抗	10	改訂履歴	25
AC テスト負荷	11	セールス、ソリューションおよび法律情報	26
AC テスト条件	11	ワールドワイドな販売と設計サポート	26
AC スイッチング特性	12	製品	26
スイッチング波形	12	PSoC® ソリューション	26
AutoStore / パワーアップ RECALL	15	サイプレス開発者コミュニティ	26
スイッチング波形	15	テクニカルサポート	26

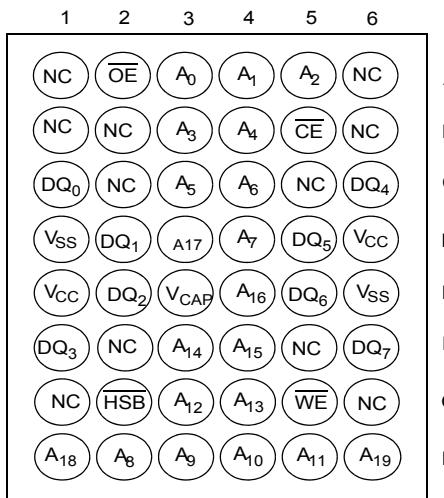
注

1. ×8 構成のアドレスは A₀ ~ A₁₉、×16 構成のアドレスは A₀ ~ A₁₈ です。
2. ×8 構成ではデータ DQ₀ ~ DQ₇、×16 構成ではデータ DQ₀ ~ DQ₁₅。
3. BHE と BLE は ×16 構成でのみ使用できます。

ピン配置

図 1. ピン配置図 – 48 ポール FBGA

(x8)
上面図
(正確な縮尺ではない)



(x16)
上面図
(正確な縮尺ではない)

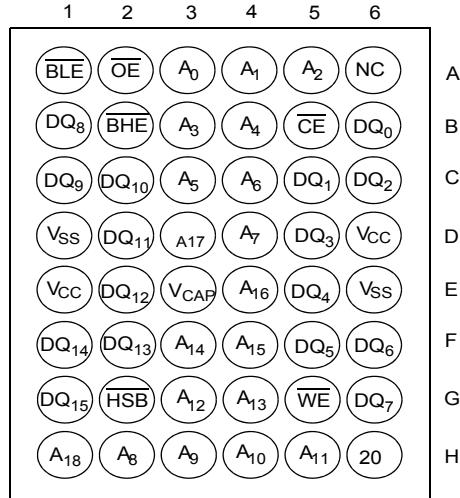
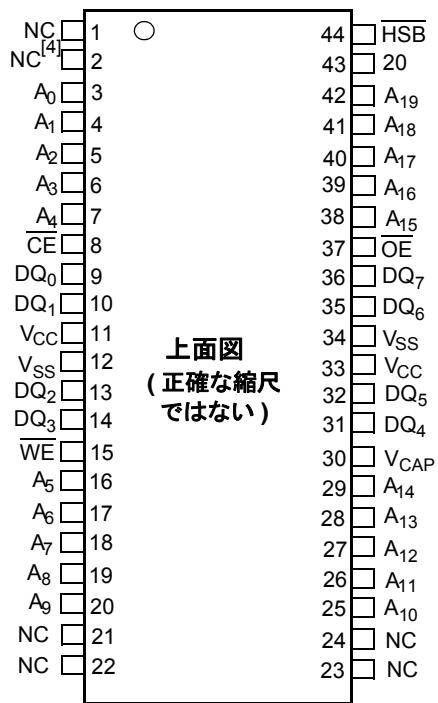


図 2. ピン配置図 – 44/54 ピン TSOP II

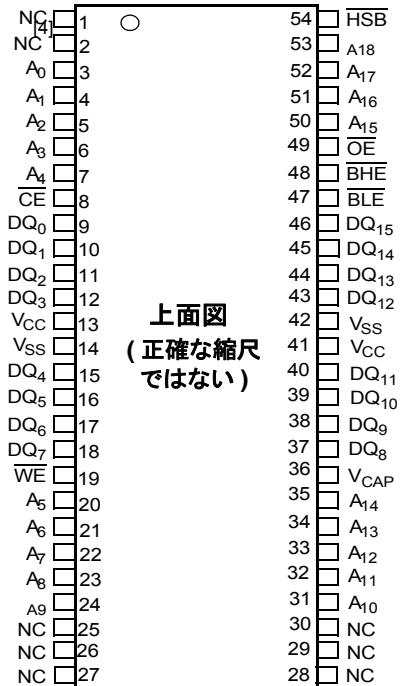
44 ピン TSOP II
(x8)



NC	1	○	44	HSB
NC ^[4]	2		43	20
A ₀	3		42	A ₁₉
A ₁	4		41	A ₁₈
A ₂	5		40	A ₁₇
A ₃	6		39	A ₁₆
A ₄	7		38	A ₁₅
CE	8		37	OE
DQ ₀	9		36	DQ ₇
DQ ₁	10		35	DQ ₆
V _{CC}	11		34	V _{SS}
V _{SS}	12		33	V _{CC}
DQ ₂	13		32	DQ ₅
DQ ₃	14		31	DQ ₄
WE	15		30	V _{CAP}
A ₅	16		29	A ₁₄
A ₆	17		28	A ₁₃
A ₇	18		27	A ₁₂
A ₈	19		26	A ₁₁
A ₉	20		25	A ₁₀
NC	21		24	NC
NC	22		23	NC

上面図
(正確な縮尺
ではない)

54 ピン TSOP II
(x16)



NC	1	○	54	HSB
NC	2		53	A ₁₈
A ₀	3		52	A ₁₇
A ₁	4		51	A ₁₆
A ₂	5		50	A ₁₅
A ₃	6		49	OE
A ₄	7		48	BHE
CE	8		47	BLE
DQ ₀	9		46	DQ ₁₅
DQ ₁	10		45	DQ ₁₄
DQ ₂	11		44	DQ ₁₃
DQ ₃	12		43	DQ ₁₂
V _{CC}	13		42	V _{SS}
V _{SS}	14		41	V _{CC}
DQ ₄	15		40	DQ ₁₁
DQ ₅	16		39	DQ ₁₀
DQ ₆	17		38	DQ ₉
DQ ₇	18		37	DQ ₈
WE	19		36	V _{CAP}
A ₅	20		35	A ₁₄
A ₆	21		34	A ₁₃
A ₇	22		33	A ₁₂
A ₈	23		32	A ₁₁
A ₉	24		31	A ₁₀
NC	25		30	NC
NC	26		29	NC
NC	27		28	NC

上面図
(正確な縮尺
ではない)

注

4. 16M ビットのアドレス拡張に対応しています。NC ピンはダイに接続されていません。

ピン機能

ピン名	I/O 形式	説明
A ₀ ~ A ₁₉	入力	アドレス入力。×8 構成で nvSRAM の 1,048,576 バイトのいずれかを選択するために使用される
A ₀ ~ A ₁₈		アドレス入力。×16 構成で nvSRAM の 524,288 ワードのいずれかを選択するために使用される
DQ ₀ ~ DQ ₇	入力／出力	×8 構成の双方向データ I/O ライン。動作に応じて入力または出力ラインとして使用
DQ ₀ ~ DQ ₁₅		×16 構成の双方向データ I/O ライン。動作に応じて入力または出力ラインとして使用
WE	入力	書き込みイネーブル入力、アクティブ LOW。LOW を選択すると、I/O ピンのデータが、特定のアドレス位置に書き込まれる
CE	入力	チップ イネーブル入力、アクティブ LOW。LOW の場合は、チップを選択する。HIGH の場合は、チップの選択を解除
OE	入力	出力イネーブル、アクティブ LOW。アクティブ LOW OE 入力は、読み出しサイクル中にデータ出力バッファを有効にする。OE が HIGH にデアサートすると、I/O ピンはトライステートになる
BHE	入力	バイト HIGH イネーブル、アクティブ LOW。DQ ₁₅ ~ DQ ₈ を制御
BLE	入力	バイト LOW イネーブル、アクティブ LOW。DQ ₇ ~ DQ ₀ を制御
V _{SS}	グランド	デバイス用のグランド。システムのグランドに接続する必要がある
V _{CC}	電源供給	デバイスへの電源入力
HSB	入力／出力	ハードウェア STORE ビジー (HSB)。LOW の場合、この出力は、ハードウェア STORE が進行中であることを示す。外部で LOW にする場合、不揮発性 STORE 処理を開始する。ハードウェアおよびソフトウェア STORE 処理の後、HSB は HIGH 出力標準電流で短時間 (t _{UHHD}) HIGH 駆動され、その後内部プルアップ抵抗で HIGH 状態を継続 (外部プルアップ抵抗接続はオプションである)
V _{CAP}	電源供給	AutoStore コンデンサ。SRAM から不揮発性素子にデータを格納するため、電力損失時に nvSRAM へ電源を供給
NC	未接続	未接続。このピンはダイに接続されていない

デバイスの動作

CY14B108L/CY14B108N nvSRAM は、同じ物理セル内で対になった 2 個の機能コンポーネントで構成されています。それらは SRAM メモリ セルおよび不揮発性 QuantumTrap セルです。SRAM メモリ セルは標準の高速スタティック RAM として動作します。SRAM 内のデータは不揮発性セルに転送される (STORE 处理) か、または不揮発性セルから SRAM に転送されます (RECALL 处理)。この独特的なアーキテクチャを使って、全てのセルは並行してストアされリコールされます。STORE 处理と RECALL 处理中、SRAM の読み出しと書き込み処理は禁止されています。CY14B108L/CY14B108N は一般的な SRAM と同様に、回数無制限の読み出しと書き込みに対応しています。さらに、不揮発性セルから回数無制限の RECALL 处理および最大 100 万回までの STORE 处理が可能です。読み出しと書き込みモードの詳細については、[18 ページの SRAM 真理値表](#) を参照してください。

SRAM 読み出し

CY14B108L/CY14B108N は、CE と OE が LOW、WE と HSB が HIGH の場合、読み出しサイクルを実行します。ピン $A_{0 \sim 19}$ または $A_{0 \sim 18}$ で指定されたアドレスは、1,048,576 データ バイトのどれが、または 524,288 ワード (16 ビット) のどれがアクセスされるかを決定します。バイト イネーブル (BHE、BLE) は、1 ワードが 16 ビットの場合にどのバイトを出力するかを決定します。アドレス遷移によって読み出しが開始された場合、出力は t_{AA} (読み出しサイクル 1) の遅延後に有効になります。CE または OE によって読み出しが開始された場合、出力は t_{ACE} と t_{DOE} のどちらか遅い方 (読み出しサイクル 2) の終了時点で有効になります。データ出力は、制御入力ピンでの変化を必要としないで t_{AA} アクセス時間内に繰り返してアドレス変更に応答します。これは、別のアドレス変更が発生するか、または CE か OE が HIGH になるか、あるいは WE か HSB が LOW になるまで有効な状態が続きます。

SRAM 書き込み

書き込みサイクルは、CE と WE が LOW、および HSB が HIGH の場合に実行されます。アドレス入力が安定な状態になってから書き込みサイクルに入らなければいけません。また、サイクルの終わりに CE か WE が HIGH になるまで安定な状態を保つ必要があります。WE で制御する書き込み終了前に、または CE で制御する書き込み終了前にデータが t_{SD} の間に有効であれば、共通 I/O ピンである $DQ_{0 \sim 15}$ のデータはメモリに書き込まれます。バイト イネーブル入力 (BHE、BLE) は、1 ワードが 16 ビットの場合に、どのバイトを書き込むかを決定します。共通 I/O ラインでのデータバスの競合を避けるために、書き込みサイクル中は終始 OE を HIGH に維持してください。OE が LOW のままであると、WE が LOW になった後に内部回路は t_{HZWE} の間出力バッファを停止します。

AutoStore 处理

CY14B108L/CY14B108N は、次の 3 つのストレージ動作のいずれかを使って nvSRAM にデータを格納します：HSB によって有効にされたハードウェア STORE；アドレスのシーケンスによって有効にされたソフトウェア STORE；デバイスの電源オフ時の AutoStore。AutoStore 处理は QuantumTrap テクノロジー固有の機能であり、CY14B108L/CY14B108N の初期設定では有効になっています。

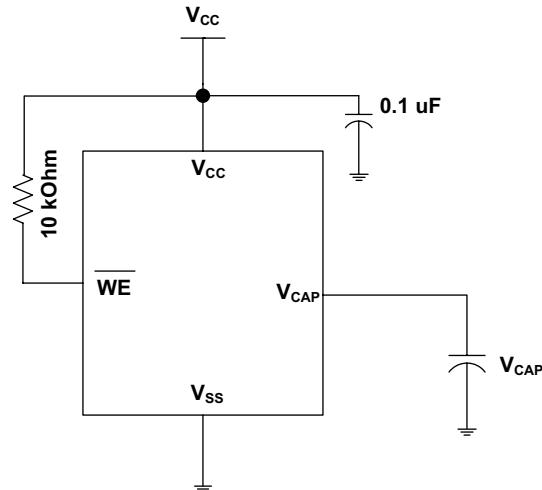
通常動作中にデバイスは、V_{CAP} ピンに接続されたコンデンサを充電するのに V_{CC} から電流を引き込みます。充電量は、チップが一回の STORE 处理を実行するのに使う電荷分です。V_{CC} ピンの電圧が V_{SWITCH} を下回ると、デバイスは V_{CC} と V_{CAP} ピンの接続を自動的に切ります。STORE 处理は、V_{CAP} コンデンサから供給される電力で起動されます。

注：コンデンサが V_{CAP} ピンに接続されていない場合、[8 ページの AutoStore の防止](#) に指定されているソフトシーケンスを使って AutoStore を無効にする必要があります。V_{CAP} ピンに接続しているコンデンサがない状態で AutoStore が有効になった場合、STORE 处理を完了するために、デバイスは十分な充電量がないまま AutoStore 处理を実行しようとします。これにより、nvSRAM 内に格納されたデータが破損されます。

図 3 は、AutoStore 处理向けのストレージ コンデンサ (V_{CAP}) の適切な接続方法を示します。V_{CAP} の容量については、[9 ページの DC 電気的特性](#) を参照してください。V_{CAP} ピンの電圧は、チップ上のレギュレータによって V_{CC} に駆動されます。電源投入時にアクティブにならないようにするために、WE をプルアップ抵抗に接続する必要があります。このプルアップ抵抗は、電源投入時に WE 信号がトライステート状態にある場合のみ有効です。多くの MPU が電源投入時にそれらの制御信号をトライステートにします。プルアップ抵抗を使用する際には確認してください。nvSRAM が電源投入時の RECALL から復帰する時、MPU がアクティブであるか、MPU のリセットが終了するまで WE をアクティブでない状態に保つ必要があります。

不要な不揮発性 STORE 处理を低減するために、最後の STORE か RECALL サイクルの実行後、少なくとも 1 回の書き込み処理が行われない限り、AutoStore およびハードウェア STORE 处理は無視されます。ソフトウェアにより起動された STORE サイクルは、書き込み処理が行われたかどうかに関係なく実行されます。HSB 信号は、AutoStore サイクルが処理中かどうかを検出するためにシステムによって監視されています。

図 3. AutoStore モード



ハードウェア STORE 处理

CY14B108L/CY14B108N には、STORE 处理を制御し応答するための HSB ピンがあります。HSB ピンは、ハードウェア STORE サイクルの要求に使用してください。HSB ピンが LOW に駆動されると、CY14B108L/CY14B108N は t_{DELAY} 後に条件に従って STORE 处理を開始します。実際の STORE サイクルは、最後の STORE または RECALL サイクル以降、SRAM への書き込みが実行された場合にのみ開始します。HSB ピンは、STORE 处理 (任意の手段で開始) 中にはビジー状態を示すために内部で LOW に駆動されるオープン ドレイン ドライバ (チップ内部に 100kΩ の弱いプルアップ抵抗) としても動作します。

注：ハードウェアおよびソフトウェア STORE 处理の後、HSBは標準出力 HIGH 電流で短時間 (t_{HHHD}) HIGH に駆動され、その後 $100\text{k}\Omega$ の内部プルアップ抵抗により HIGH 状態を継続します。

SRAM書き込み処理は HSB が LOW にされた時に実行中であれば、STORE 处理が開始される前に t_{DELAY} 以内に終了します。しかし、HSB が LOW になった後に要求された SRAM 書き込みサイクルは、HSB が HIGH に戻るまで禁止されます。書き込みラッチがセットされていない場合、HSB は CY14B108L/CY14B108N によって LOW に駆動されることはありません。しかし、SRAM のすべての読み出しと書き込みサイクルは、MPU または他の外部ソースにより HSB が HIGH 状態に戻るまで禁止されます。

STORE 处理がどのように起動されたかに関わらず、その処理中には、CY14B108L/CY14B108N は HSB ピンを LOW に駆動し続け、STORE 处理が完了した時にのみ解除します。STORE 处理が完了すると、HSB ピンが HIGH 状態に戻った後、nvSRAM メモリアクセスは t_{LZHSB} の間禁止されます。HSB ピンは使用しない場合、開放にしてください。

ハードウェア RECALL (電源投入)

電源投入時または低電圧状態 ($V_{CC} < V_{SWITCH}$) の後は、内部的に RECALL 要求がラッチされます。 V_{CC} が電源投入時に再度 V_{SWITCH} を超えた場合、RECALL サイクルが自動的に開始し、完了するのに $t_{HRECALL}$ を要します。この間、HSB ピンは HSB ドライバによって LOW に駆動され、nvSRAM へのすべての読み書きは禁止されます。

ソフトウェア STORE

データは、ソフトウェア アドレス シーケンスによって SRAM から不揮発性メモリに転送されます。CY14B108L/CY14B108N のソフトウェア STORE サイクルは、CE または OE に制御された読み出し処理を、6 つの特定のアドレスから正しい順番で実行することにより開始されます。STORE サイクルの間、まず前の不揮発性データが消去されてから、不揮発性素子がプログラムされます。STORE サイクルが開始されると、それ以降の入出力は STORE サイクルが完了するまで無効になります。

特定のアドレスからの READ のシーケンスが STORE の開始に使われるため、シーケンス内で他の読み書きアクセスが干渉しないことが重要です。そうしないと、シーケンスがアボートされ、STORE や RECALL が実行されません。

ソフトウェア STORE サイクルを開始するために、次の読み出しシーケンスを実行してください。

1. アドレス 0x4E38 の読み出し - 有効 READ
2. アドレス 0xB1C7 の読み出し - 有効 READ
3. アドレス 0x83E0 の読み出し - 有効 READ
4. アドレス 0x7C1F の読み出し - 有効 READ
5. アドレス 0x703F の読み出し - 有効 READ
6. アドレス 0x8FC0 の読み出し - STORE サイクルの開始

ソフトウェア シーケンスは CE に制御された読み出しが OE に制御された読み出しを伴いクロック供給され、全ての 6 つの READ シーケンスの間 WE を HIGH 状態に維持することが必要です。シーケンスの6番目のアドレスが入力された後、STORE サイクルが開始され、チップが無効になります。HSB は LOW に駆動されます。 t_{STORE} サイクル時間が完了した後、SRAM は再度読み書き処理が有効になります。

ソフトウェア RECALL

データは、ソフトウェア アドレス シーケンスによって不揮発性メモリから SRAM に転送されます。ソフトウェア RECALL サイクルは、ソフトウェア STORE の開始と同様の方法で、読み出し処理のシーケンスによって開始されます。RECALL サイクルを開始するために、CE または OE に制御された読み出し処理を以下の順番で実行してください。

1. アドレス 0x4E38 の読み出し - 有効 READ
2. アドレス 0xB1C7 の読み出し - 有効 READ
3. アドレス 0x83E0 の読み出し - 有効 READ
4. アドレス 0x7C1F の読み出し - 有効 READ
5. アドレス 0x703F の読み出し - 有効 READ
6. アドレス 0x4C63 の読み出し - RECALL サイクルの開始

内部的に、RECALL は 2 段階の手順を踏みます。まず、SRAM データがクリアされます。次に、不揮発性情報が SRAM セルに転送されます。 t_{RECALL} サイクル時間が完了した後、SRAM は再度読み書き処理が有効になります。RECALL 処理では、不揮発性要素内のデータが変更されません。

表 1. モード選択

<u>CE</u>	<u>WE</u>	<u>OE</u>	<u>BHE</u>、<u>BLE</u>^[5]	<u>A₁₅ ~ A₀</u>^[6]	モード	I/O	電源
H	X	X	X	X	未選択	出力 High Z	スタンバイ
L	H	L	L	X	SRAM 読み出し	出力データ	アクティブ
L	L	X	L	X	SRAM 書き込み	入力データ	アクティブ
L	H	L	X	0x4E38 0xB1C7 0x83E0 0x7C1F 0x703F 0x8B45	SRAM 読み出し SRAM 読み出し SRAM 読み出し SRAM 読み出し SRAM 読み出し SRAM 読み出し AutoStore ディスエーブル	出力データ 出力データ 出力データ 出力データ 出力データ 出力データ 出力データ	アクティブ ^[7]
L	H	L	X	0x4E38 0xB1C7 0x83E0 0x7C1F 0x703F 0x4B46	SRAM 読み出し SRAM 読み出し SRAM 読み出し SRAM 読み出し SRAM 読み出し SRAM 読み出し AutoStore イネーブル	出力データ 出力データ 出力データ 出力データ 出力データ 出力データ 出力データ	アクティブ ^[7]
L	H	L	X	0x4E38 0xB1C7 0x83E0 0x7C1F 0x703F 0x8FC0	SRAM 読み出し SRAM 読み出し SRAM 読み出し SRAM 読み出し SRAM 読み出し 不揮発性 STORE	出力データ 出力データ 出力データ 出力データ 出力データ 出力 High Z	アクティブ ^[7] I _{CC2} ^[7]
L	H	L	X	0x4E38 0xB1C7 0x83E0 0x7C1F 0x703F 0x4C63	SRAM 読み出し SRAM 読み出し SRAM 読み出し SRAM 読み出し SRAM 読み出し 不揮発性 RECALL	出力データ 出力データ 出力データ 出力データ 出力データ 出力 High Z	アクティブ ^[7]

エラッタ : AutoStore ディスエーブル機能がこのデバイスで正常に動作しません。詳細については、[24 ページの エラッタ](#)を参照してください。

注

5. BHE と BLE は ×16 構成でのみ使用できます。
6. CY14B108L に 20 本のアドレス線がありますが (CY14B108N は 19 本のアドレス線)、その内 13 本のアドレス線 ($A_{14} \sim A_2$) のみがソフトウェア モードの制御に使われます。残りのアドレス線は「ドント ケア」です。
7. 6 つの連続アドレス位置は指定された順番でなければなりません。WE は不揮発性サイクルを可能にするため、すべての 6 個のサイクル中は HIGH でなければなりません。

AutoStore の防止

AutoStore 機能は AutoStore ディスエーブル シーケンスを開始することで無効にされます。読み出し処理のシーケンスは、ソフトウェア STORE の開始と同様の方法で実行されます。AutoStore ディスエーブル シーケンスを開始するために、CE または OE に制御された読み出し処理を以下の順番で実行してください。

1. アドレス 0x4E38 の読み出し - 有効 READ
2. アドレス 0xB1C7 の読み出し - 有効 READ
3. アドレス 0x83E0 の読み出し - 有効 READ
4. アドレス 0x7C1F の読み出し - 有効 READ
5. アドレス 0x703F の読み出し - 有効 READ
6. アドレス 0x8B45 の読み出し - AutoStore を無効

注: エラッタ: AutoStore ディスエーブル機能はデバイスで正常に動きません。詳細については、[24 ページの エラッタ](#)を参照してください。

AutoStore は、AutoStore イネーブル シーケンスを開始することによって再度有効になります。読み出し処理のシーケンスは、ソフトウェア RECALL の開始と同様の方法で実行されます。AutoStore イネーブル シーケンスを開始するために、CE または

は OE に制御された読み出し処理を以下の順番で実行してください。

1. アドレス 0x4E38 の読み出し - 有効 READ
2. アドレス 0xB1C7 の読み出し - 有効 READ
3. アドレス 0x83E0 の読み出し - 有効 READ
4. アドレス 0x7C1F の読み出し - 有効 READ
5. アドレス 0x703F の読み出し - 有効 READ
6. アドレス 0x4B46 の読み出し - AutoStore を有効

AutoStore 機能が無効にされるか、または再度有効にされた場合、手動 STORE 処理（ハードウェアまたはソフトウェア）を行い、その後の電源オフ サイクルの間、AutoStore 状態を持続する必要があります。工場出荷時 AutoStore は有効になっており、すべてのセルに 0x00 と書き込まれています。

データ保護

CY14B108L/CY14B108N は、外部から実行された STORE および書き込み処理をすべて禁止することにより、低電圧状態の間での破損からデータを保護します。

低電圧状態は、 $V_{CC} < V_{SWITCH}$ の場合に検知されます。電源投入時に CY14B108L/CY14B108N が書き込みモードにある (CE と WE の両方が LOW) 場合、RECALL または STORE の後、 t_{LZHSB} (HSB から出力有効までの時間) が経過すると SRAM が有効になるまで書き込みは禁止されます。これは電源投入時や電圧低下状態の間に不注意による書き込みを保護します。

最大定格

最大定格を超えると、デバイスの寿命が短くなる可能性があります。これらのユーザー ガイドラインはテストされていません。

保存温度 $-65^{\circ}\text{C} \sim +150^{\circ}\text{C}$

最大累積保存時間

周囲の温度 150°C で 1000 時間

周囲温度 85°C で 20 年

最大接合部温度 1 150°C

V_{SS} を基準とした V_{CC} の電源電圧 $-0.5\text{V} \sim 4.1\text{V}$

High-Z 状態の出力に印加される電圧 $-0.5\text{V} \sim V_{\text{CC}} + 0.5\text{V}$

入力電圧 $-0.5\text{V} \sim V_{\text{CC}} + 0.5\text{V}$

任意のピンからグランド電位への過渡電圧 (20ns 以下) $-2.0\text{V} \sim V_{\text{CC}} + 2.0\text{V}$
 パッケージ許容電力損失 ($T_A=25^{\circ}\text{C}$) 1.0W
 表面実装はんだ付け温度 (3 秒) $+260^{\circ}\text{C}$
 DC 出力電流 (一度に 1 出力、1 秒間) 15mA
 静電気の放電電圧 (MIL-STD-883、メソッド 3015 による) $> 2001\text{V}$
 ラッチアップ電流 $> 200\text{mA}$

動作範囲

範囲	周囲温度	V_{CC}
産業用	$-40^{\circ}\text{C} \sim +85^{\circ}\text{C}$	$2.7\text{V} \sim 3.6\text{V}$

DC 電気的特性

動作範囲 において

パラメーター	説明	テスト条件	Min	Typ ^[8]	Max	単位
V_{CC}	電源供給		2.7	3.0	3.6	V
$I_{\text{CC}1}$	平均 V_{CC} 電流	$t_{\text{RC}} = 20\text{ns}$ $t_{\text{RC}} = 25\text{ns}$ $t_{\text{RC}} = 45\text{ns}$ 出力負荷なしで得られた値 ($I_{\text{OUT}} = 0\text{mA}$)	—	—	75 75 57	mA mA mA
$I_{\text{CC}2}$	STORE 中の平均 V_{CC} 電流	すべての入力はドントケア、 $V_{\text{CC}} =$ 最大期間 t_{STORE} の平均電流	—	—	20	mA
$I_{\text{CC}3}$	$t_{\text{RC}} = 200\text{ns}$ 時の平均 V_{CC} 電流、 $V_{\text{CC}(\text{Typ})}$ 、 25°C	全ての入力は CMOS レベルで動作。 出力負荷なしで得られた値 ($I_{\text{OUT}} = 0\text{mA}$)。	—	40	—	mA
$I_{\text{CC}4}$	AutoStore サイクル中の平均 V_{CAP} 電流	すべての入力は「ドント ケア」。 t_{STORE} 期間の平均電流	—	—	10	mA
I_{SB}	V_{CC} スタンバイ電流	$\text{CE} \geq (V_{\text{CC}} - 0.2\text{V})$ $V_{\text{IN}} \leq 0.2\text{V}$ または $\geq (V_{\text{CC}} - 0.2\text{V})$ 。不揮発性のサイクルが完了した後のスタンバイ電流レベル。 入力はスタティック。 $f = 0\text{MHz}$	—	—	10	mA
$I_{\text{IX}}^{[9]}$	入力リーク電流 (HSB を除く)	$V_{\text{CC}} =$ 最大、 $V_{\text{SS}} \leq V_{\text{IN}} \leq V_{\text{CC}}$	-2	—	+2	μA
	入力リーク電流 (HSB 用)	$V_{\text{CC}} =$ 最大、 $V_{\text{SS}} \leq V_{\text{IN}} \leq V_{\text{CC}}$	-200	—	+2	μA
I_{OZ}	オフ状態の出力リーク電流	$V_{\text{CC}} =$ Max.、 $V_{\text{SS}} \leq V_{\text{OUT}} \leq V_{\text{CC}}$ 、 CE または $\text{OE} \geq V_{\text{IH}}$ あるいは $\text{BHE}/\text{BLE} \geq V_{\text{IH}}$ あるいは $\text{WE} \leq V_{\text{IL}}$	-2	—	+2	μA
V_{IH}	入力 HIGH 電圧		2.0	—	$V_{\text{CC}} + 0.5$	V
V_{IL}	入力 LOW 電圧		$V_{\text{SS}} - 0.5$	—	0.8	V
V_{OH}	出力 HIGH 電圧	$I_{\text{OUT}} = -2\text{mA}$	2.4	—	—	V
V_{OL}	出力 LOW 電圧	$I_{\text{OUT}} = 4\text{mA}$	—	—	0.4	V

注

8. 標準値は 25°C 、 $V_{\text{CC}} = V_{\text{CC}(\text{Typ})}$ です。100% 試験されているわけではありません。

9. HSB ピンは、アクティブ HIGH と LOW ドライバの両方が無効になっている場合に、 $V_{\text{OH}} = 2.4\text{V}$ に対して、 I_{OUT} が $-2\mu\text{A}$ です。それらのドライバがバイナリの場合、標準の V_{OH} と V_{OL} が有効になります。このパラメーターは特性付けされていますが、テストされていません。

DC 電気的特性 (続き)

動作範囲において

パラメーター	説明	テスト条件	Min	Typ ^[8]	Max	単位
$V_{CAP}^{[10]}$	ストレージ コンデンサ	V_{CAP} ピンと V_{SS} 間	122	150	360	μF
$V_{VCAP}^{[11, 12]}$	デバイスで V_{CAP} ピン上に駆動された最大電圧	$V_{CC} = \text{Max}$	—	—	V_{CC}	V

データ保持期間およびアクセス可能回数

動作範囲において

パラメーター	説明	Min	単位
$DATA_R$	データ保持期間	20	年
NV_C	不揮発性 STORE 処理回数	1,000	K

静電容量

パラメーター ^[12]	説明	テスト条件	Max	単位
C_{IN}	入力静電容量	$T_A=25^\circ C$ 、 $f=1MHz$ 、 $V_{CC}=V_{CC}(\text{Typ})$	14	pF
C_{OUT}	出力静電容量		14	pF

熱抵抗

パラメーター ^[12]	説明	テスト条件	48 ポール FBGA	44 ピン TSOP II	54 ピン TSOP II	単位
Θ_{JA}	熱抵抗 (接合部から周囲)	テスト条件は、EIA/JESD51による、熱インピーダンスを測定するための標準的なテスト方法と手順に従う	42.2	45.3	44.22	$^\circ C/W$
Θ_{JC}	熱抵抗 (接合部からケース)		6.3	5.2	8.26	$^\circ C/W$

注

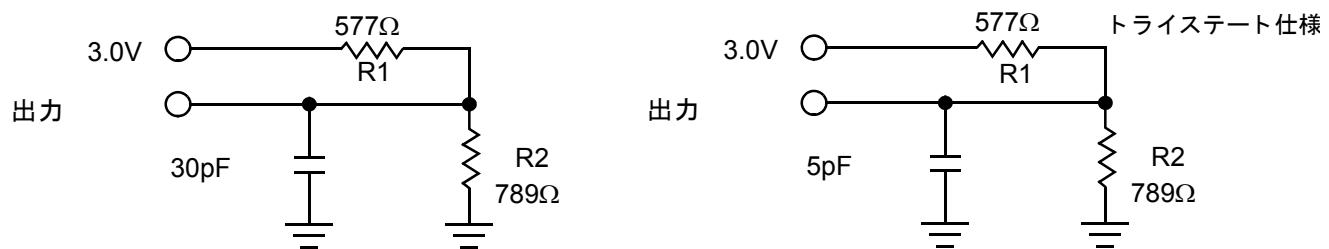
10. V_{CAP} 最小値は、AutoStore 処理を完了するのに十分な電荷があることを保証するものです。 V_{CAP} 最大値は、即時の電源切断が発生しても AutoStore 処理が正常に完了するように電源投入 RECALL サイクルの間に V_{CAP} のコンデンサが必要な最小電圧まで充電されることを保証するものです。したがって、指定した最小値と最大値の範囲内でコンデンサを使用することをお奨めします。 V_{CAP} オプションの詳細については、アプリケーションノート [AN43593](#) を参照してください。

11. V_{CAP} ピン (V_{VCAP}) の最大電圧は、 V_{CAP} コンデンサを選択する際に指針として提供されています。動作温度範囲内においての V_{CAP} コンデンサの定格電圧は、 V_{VCAP} 電圧より高くなればなりません。

12. これらのパラメーターは設計保証されますが、テストされていません。

AC テスト負荷

図 4. AC テスト負荷



AC テスト条件

入力パルス レベル 0V ~ 3V

入力の立ち上がり／立ち下がり時間 (10% ~ 90%) ... $\leq 3\text{ns}$

入力と出力のタイミング参照レベル 1.5V

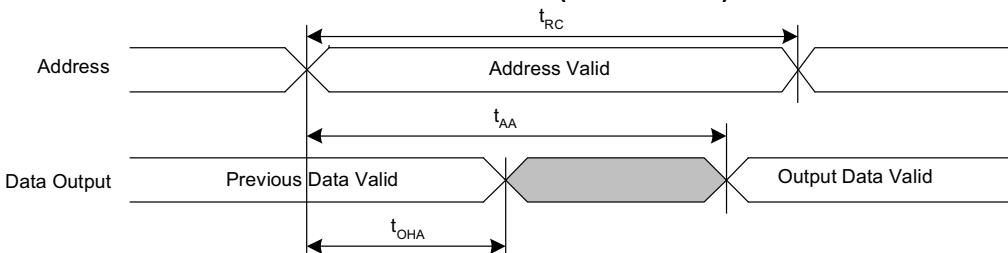
AC スイッチング特性

動作範囲において

パラメーター ^[13]		説明	20ns		25ns		45ns		単位
サイプレス パラメーター	他社の パラメーター		Min	Max	Min	Max	Min	Max	
SRAM 読み出しサイクル									
t_{ACE}	t_{ACS}	チップイネーブルアクセス時間	—	20	—	25	—	45	ns
$t_{RC}^{[14]}$	t_{RC}	読み出しサイクル時間	20	—	25	—	45	—	ns
$t_{AA}^{[15]}$	t_{AA}	アドレスアクセス時間	—	20	—	25	—	45	ns
t_{DOE}	t_{OE}	出力イネーブルからデータ有効までの時間	—	10	—	12	—	20	ns
$t_{OHA}^{[15]}$	t_{OH}	アドレス変更後の出力ホールド時間	3	—	3	—	3	—	ns
$t_{LZCE}^{[16, 17]}$	t_{LZ}	チップイネーブルから出力アクティブまでの時間	3	—	3	—	3	—	ns
$t_{HZCE}^{[16, 17]}$	t_{HZ}	チップディスエーブルから出力非アクティブまでの時間	—	8	—	10	—	15	ns
$t_{LZOE}^{[16, 17]}$	t_{OLZ}	出力イネーブルから出力アクティブまでの時間	0	—	0	—	0	—	ns
$t_{HZOE}^{[16, 17]}$	t_{OHZ}	出力ディスエーブルから出力非アクティブまでの時間	—	8	—	10	—	15	ns
$t_{PU}^{[16]}$	t_{PA}	チップイネーブルから電源アクティブまでの時間	0	—	0	—	0	—	ns
$t_{PD}^{[16]}$	t_{PS}	チップディスエーブルから電源スタンバイまでの時間	—	20	—	25	—	45	ns
t_{DBE}	—	バイトイネーブルからデータ有効までの時間	—	10	—	—	—	20	ns
$t_{LZBE}^{[16]}$	—	バイトイネーブルから出力アクティブまでの時間	0	—	0	—	0	—	ns
$t_{HZBE}^{[16]}$	—	バイトディスエーブルから出力非アクティブまでの時間	—	8	—	10	—	15	ns
SRAM 書き込みサイクル									
t_{WC}	t_{WC}	書き込みサイクル時間	20	—	25	—	45	—	ns
t_{PWE}	t_{WP}	書き込みパルス幅	15	—	20	—	30	—	ns
t_{SCE}	t_{CW}	チップイネーブルから書き込み終了までの時間	15	—	20	—	30	—	ns
t_{SD}	t_{DW}	データセットアップから書き込み終了までの時間	8	—	10	—	15	—	ns
t_{HD}	t_{DH}	書き込み終了後のデータホールド時間	0	—	0	—	0	—	ns
t_{AW}	t_{AW}	アドレスセットアップから書き込み終了までの時間	15	—	20	—	30	—	ns
t_{SA}	t_{AS}	アドレスセットアップから書き込み開始までの時間	0	—	0	—	0	—	ns
t_{HA}	t_{WR}	書き込み終了後のアドレスホールド時間	0	—	0	—	0	—	ns
$t_{HZWE}^{[16, 17, 18]}$	t_{WZ}	書き込みイネーブルから出力ディスエーブルまでの時間	—	8	—	10	—	15	ns
$t_{LZWE}^{[16, 17]}$	t_{OW}	書き込み終了後の出力アクティブ時間	3	—	3	—	3	—	ns
t_{BW}	—	バイトイネーブルから書き込み終了までの時間	15	—	20	—	30	—	ns

スイッチング波形

図 5. SRAM 読み出しサイクル #1 (アドレス制御)^[14, 15, 19]



注

13. テスト条件は、信号遷移時間が 3ns 以下、タイミング参照レベルが $V_{CC}/2$ 、入力パルス レベルが $0 \sim V_{CC(\text{typ})}$ 、指定された I_{OL}/I_{OH} を与える出力負荷と負荷容量が 11 ページの図 4 に示す通りであることを前提にしています。
14. WE は SRAM 読み出しサイクル中は HIGH でなければなりません。
15. デバイスは、CE, OE および BHE/BLE が LOW で連続して選択されます。
16. これらのパラメーターは設計上は保証されますが、テストされていません。
17. 定常状態の出力電圧から $\pm 200\text{mV}$ で測定されました。
18. WE が LOW の間、CE が LOW になると、出力は高インピーダンス状態で保持されます。
19. HSB は読み出しと書き込みサイクル中は HIGH でなければなりません。

スイッチング波形 (続き)

図 6. SRAM 読み出しサイクル 2 (\overline{CE} および \overline{OE} 制御) [20, 21, 22]

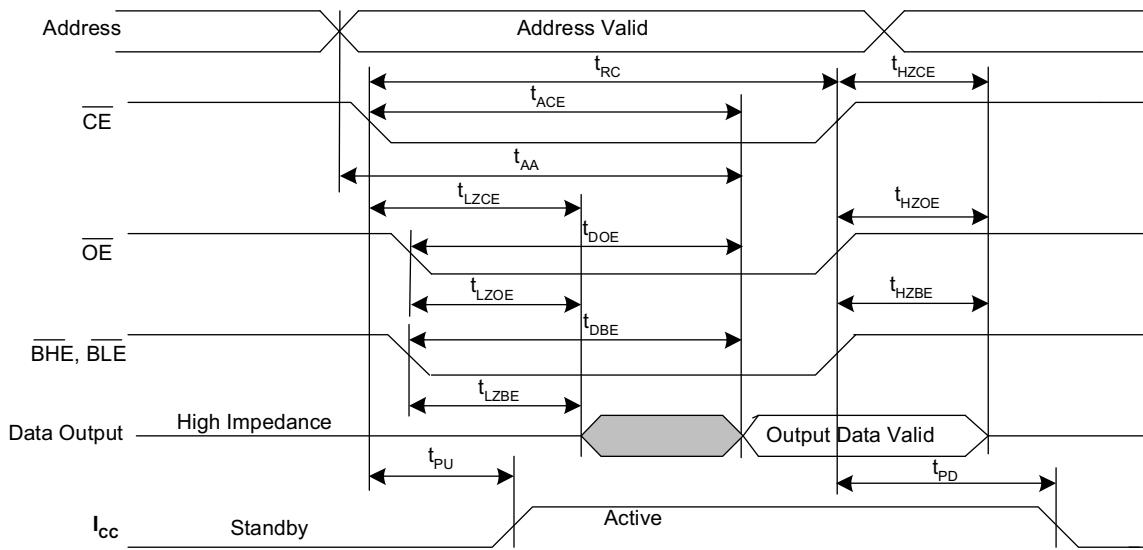
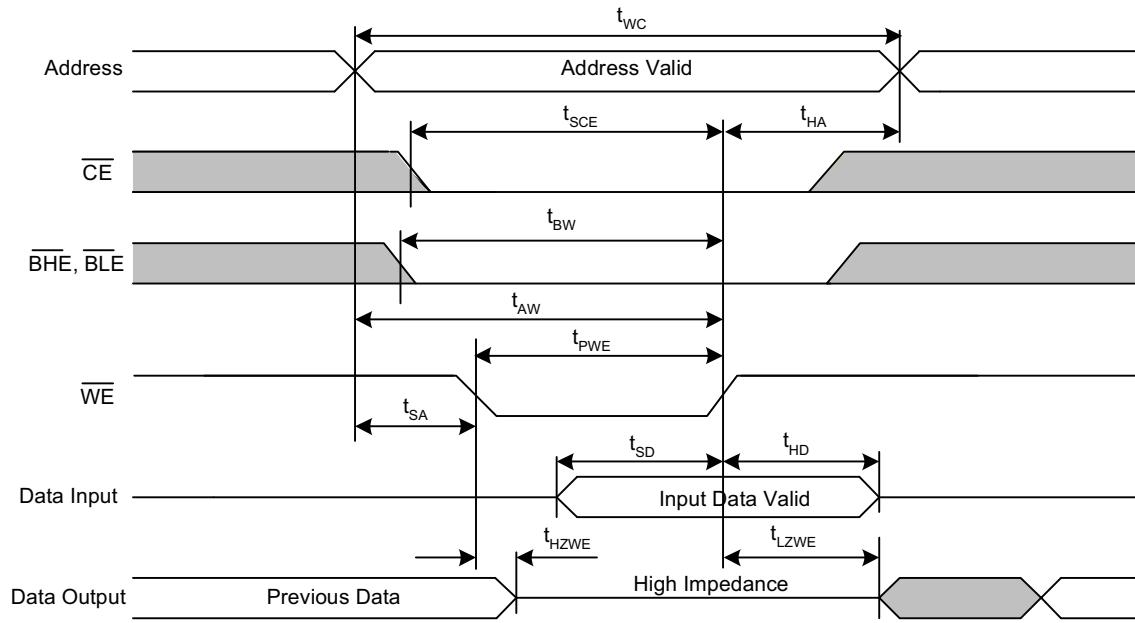


図 7. SRAM 書き込みサイクル 1 (\overline{WE} 制御) [20, 22, 23, 24]



注

20. \overline{BHE} と \overline{BLE} は $\times 16$ 構成でのみ使用できます。
21. WE は SRAM 読み出しサイクル中は HIGH でなければなりません。
22. HSB は読み出しと書き込みサイクル中は HIGH でなければなりません。
23. WE が LOW の場合、 CE が LOW になると、出力は高インピーダンス状態で保持されます。
24. CE または WE は、アドレス移行中は $\geq V_{IH}$ でなければなりません。

スイッチング波形 (続き)

図 8. SRAM 書き込みサイクル #2 (\overline{CE} 制御) [25、26、27、28]

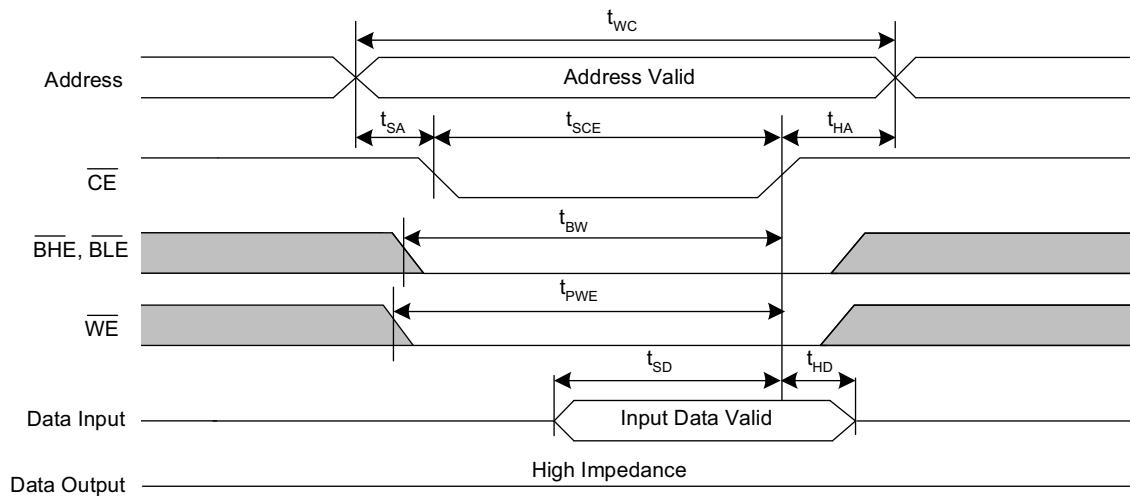
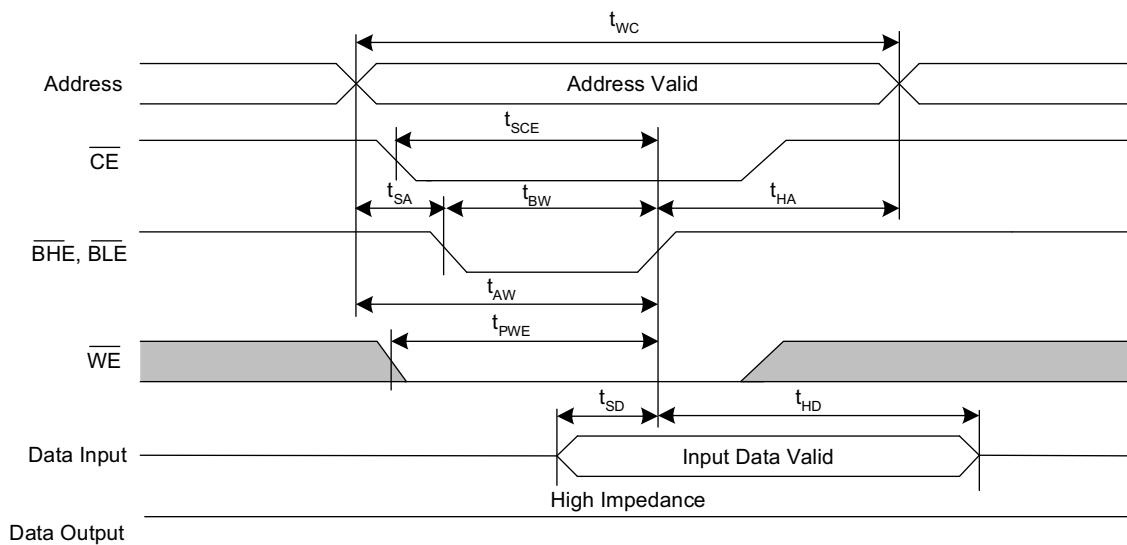


図 9. SRAM 書き込みサイクル #3 (\overline{BHE} と \overline{BLE} 制御) [25、26、27、28]



注

25. \overline{BHE} と \overline{BLE} は $\times 16$ 構成でのみ使用できます。
26. \overline{WE} が LOW の場合、 \overline{CE} が LOW になると、出力は高インピーダンス状態で保持されます。
27. HSB は読み出しと書き込みサイクル中は HIGH でなければなりません。
28. \overline{CE} または \overline{WE} は、アドレス移行中は $\geq V_{IH}$ でなければなりません。

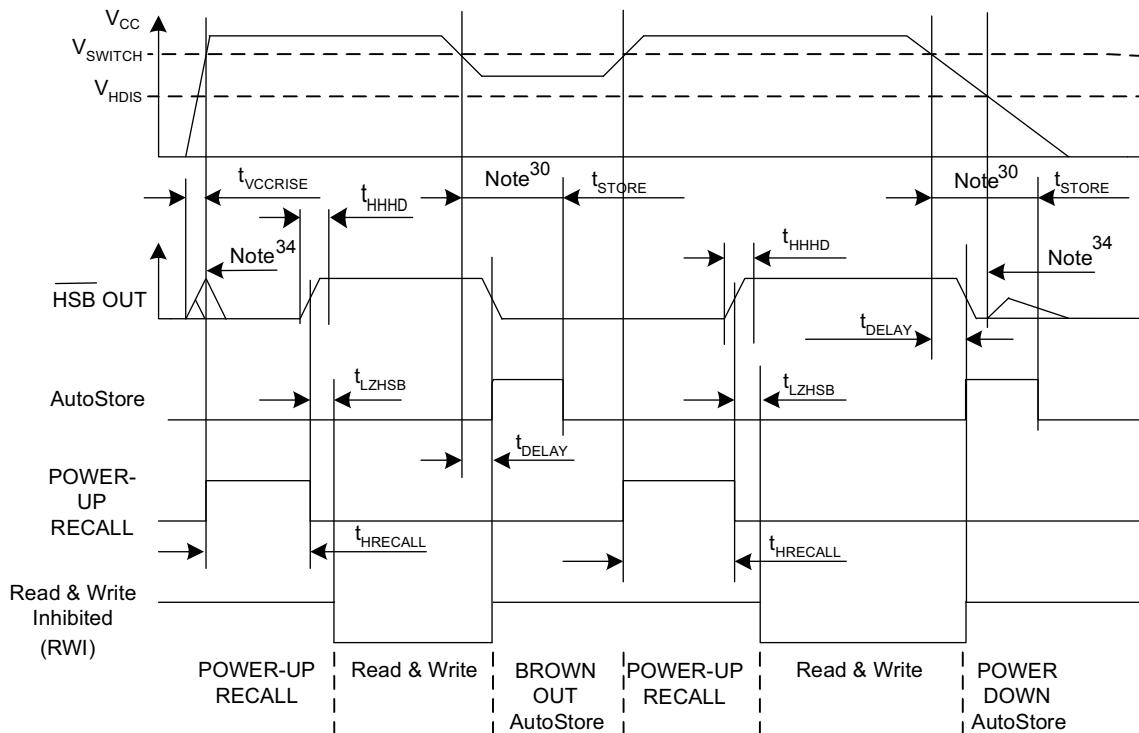
AutoStore / パワーアップ RECALL

動作範囲において

パラメーター	説明	20ns		25ns		45ns		単位
		Min	Max	Min	Max	Min	Max	
$t_{HRECALL}$ ^[29]	パワーアップ RECALL 期間	—	20	—	20	—	20	ms
t_{STORE} ^[30]	STORE サイクル期間	—	8	—	8	—	8	ms
t_{DELAY} ^[31]	SRAM 書き込みサイクルを完了する時間	—	20	—	25	—	25	ns
V_{SWITCH}	低電圧トリガーレベル	—	2.65	—	2.65	—	2.65	V
$t_{VCCRISE}$ ^[32]	V_{CC} 立ち上がり時間	150	—	150	—	150	—	μ s
V_{HDIS} ^[32]	HSB 出力ディスエーブル電圧	—	1.9	—	1.9	—	1.9	V
t_{LZHSB} ^[32]	HSB から出力アクティブまでの時間	—	5	—	5	—	5	μ s
t_{HHHD} ^[32]	HSB HIGH アクティブ時間	—	500	—	500	—	500	ns

スイッチング波形

図 10. AutoStore またはパワーアップ RECALL^[33]



注

29. $t_{HRECALL}$ は、 V_{CC} が V_{SWITCH} を超えた時から始まります。
30. SRAM の書き込みが、最後の不揮発性サイクル以降に実施されていない場合、AutoStore またはハードウェア STORE は実行されません。
31. ハードウェア STORE と AutoStore の開始時に、SRAM の書き込み処理は、 t_{DELAY} 時間に応じて有効にされ続けています。
32. これらのパラメーターは設計上は保証されますが、テストされていません。
33. 読み込みおよび書き込みサイクルは、STORE、RECALL、 V_{CC} が V_{SWITCH} 未満の場合は無視されます。
34. 電源投入および電源切断の間、HSB ビンが外部抵抗を介してブルアップされている場合、HSB ビンにグリッチが発生します。

ソフトウェア制御 STORE/RECALL サイクル

動作範囲

パラメーター ^[35, 36]	説明	20ns		25ns		45ns		単位
		Min	Max	Min	Max	Min	Max	
t_{RC}	STORE/RECALL 開始のサイクル期間	20	—	25	—	45	—	ns
t_{SA}	アドレスセットアップ時間	0	—	0	—	0	—	ns
t_{CW}	クロックパルス幅	15	—	20	—	30	—	ns
t_{HA}	アドレスホールド時間	0	—	0	—	0	—	ns
t_{RECALL}	RECALL期間	—	200	—	200	—	200	μ s

スイッチング波形

図 11. \overline{CE} と \overline{OE} 制御によるソフトウェア STORE/RECALL サイクル^[36]

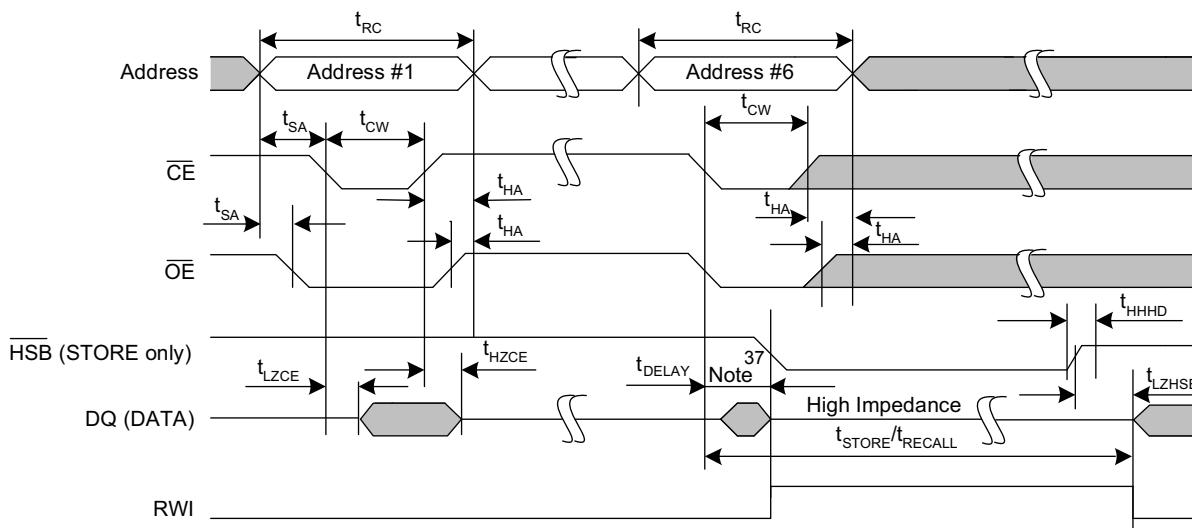
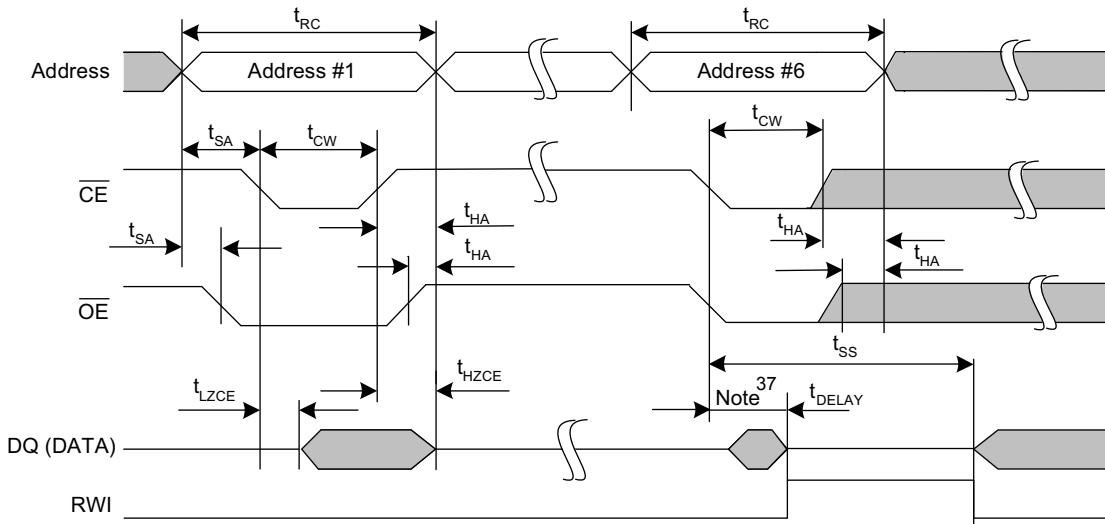


図 12. Autostore イネーブル/ディスエーブルサイクル^[36]



注

35. ソフトウェアのシーケンスは、 \overline{CE} または \overline{OE} を制御する読み出し処理を伴いクロックされます。
 36. 6つの連続アドレスは [7 ページの表 1](#) に指定された順番で読み出す必要があります。WE は、すべての 6 連続サイクルの間 HIGH でなければなりません。
 37. 出力が t_{DELAY} 時間でディスエーブルとなるので、6 番目に読み出された DQ 出力データは無効となる可能性があります。

ハードウェア STORE サイクル

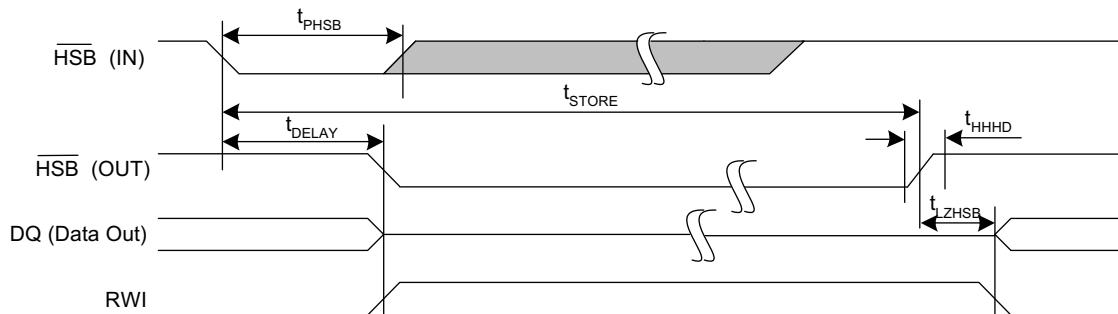
動作範囲において

パラメーター	説明	20ns		25ns		45ns		単位
		Min	Max	Min	Max	Min	Max	
t_{DHSB}	HSB から出力アクティブまでの時間(書き込みラッチがセットされていない場合)	—	20	—	25	—	25	ns
t_{PHSB}	ハードウェア STORE パルス幅	15	—	15	—	15	—	ns
t_{SS} [38、39]	ソフト シーケンス処理時間	—	100	—	100	—	100	μ s

スイッチング波形

図 13. ハードウェア STORE サイクル [40]

Write latch set



Write latch not set

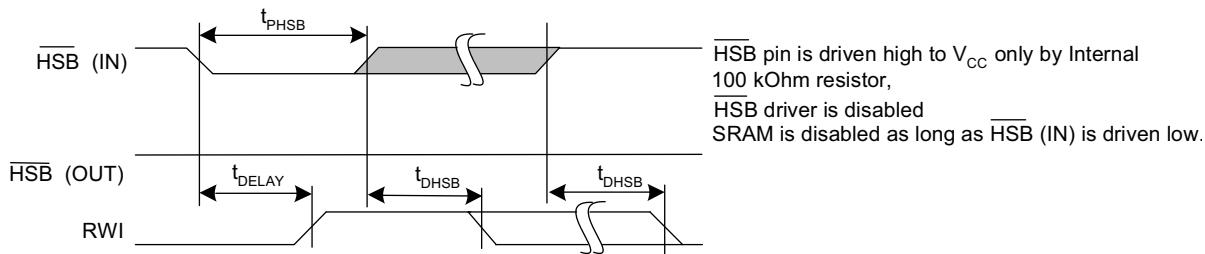
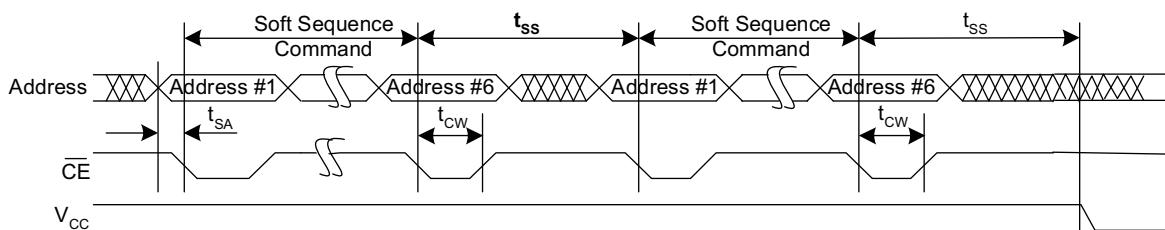


図 14. ソフト シーケンス処理時間 [38、39]



注

38. これはソフト シーケンス コマンドを処理するのに必要な時間です。効果的にコマンドを登録するには、 V_{CC} 電圧は HIGH でなければなりません。
 39. STORE や RECALL といったコマンドは、その処理が完了するまで I/O をロックアウトします。これが、この処理時間を増加させます。詳しくは個々のコマンドを参照してください。
 40. SRAM の書き込みが、最後の不揮発性サイクル以降に実施されていない場合、AutoStore もハードウェア STORE も実行されません。

SRAM 真理値表

HSB は SRAM 動作では HIGH のままでです。

表 2. ×8 構成の SRAM 真理値表

CE	WE	OE	入力／出力 ^[41]	モード	電源
H	X	X	High Z	選択解除／電源遮断	スタンバイ
L	H	L	データ出力 (DQ ₀ –DQ ₇)	読み出し	アクティブ
L	H	H	High Z	出力ディスエーブル	アクティブ
L	L	X	データ入力 (DQ ₀ –DQ ₇)	書き込み	アクティブ

表 3. ×16 構成の SRAM 真理値表

CE	WE	OE	BHE ^[42]	BLE ^[42]	入力／出力 ^[41]	モード	電源
H	X	X	X	X	High Z	選択解除／電源遮断	スタンバイ
L	X	X	H	H	High Z	出力ディスエーブル	アクティブ
L	H	L	L	L	データ出力 (DQ ₀ –DQ ₁₅)	読み出し	アクティブ
L	H	L	H	L	データ出力 (DQ ₀ ~ DQ ₇)、 DQ ₈ ~ DQ ₁₅ は High Z	読み出し	アクティブ
L	H	L	L	H	データ出力 (DQ ₈ ~ DQ ₁₅)、 DQ ₀ ~ DQ ₇ は High Z	読み出し	アクティブ
L	H	H	L	L	High Z	出力ディスエーブル	アクティブ
L	H	H	H	L	High Z	出力ディスエーブル	アクティブ
L	H	H	L	H	High Z	出力ディスエーブル	アクティブ
L	L	X	L	L	データ入力 (DQ ₀ –DQ ₁₅)	書き込み	アクティブ
L	L	X	H	L	データ入力 (DQ ₀ ~ DQ ₇)、 DQ ₈ ~ DQ ₁₅ は High Z	書き込み	アクティブ
L	L	X	L	H	データ入力 (DQ ₈ ~ DQ ₁₅)、 DQ ₀ ~ DQ ₇ は High Z	書き込み	アクティブ

注

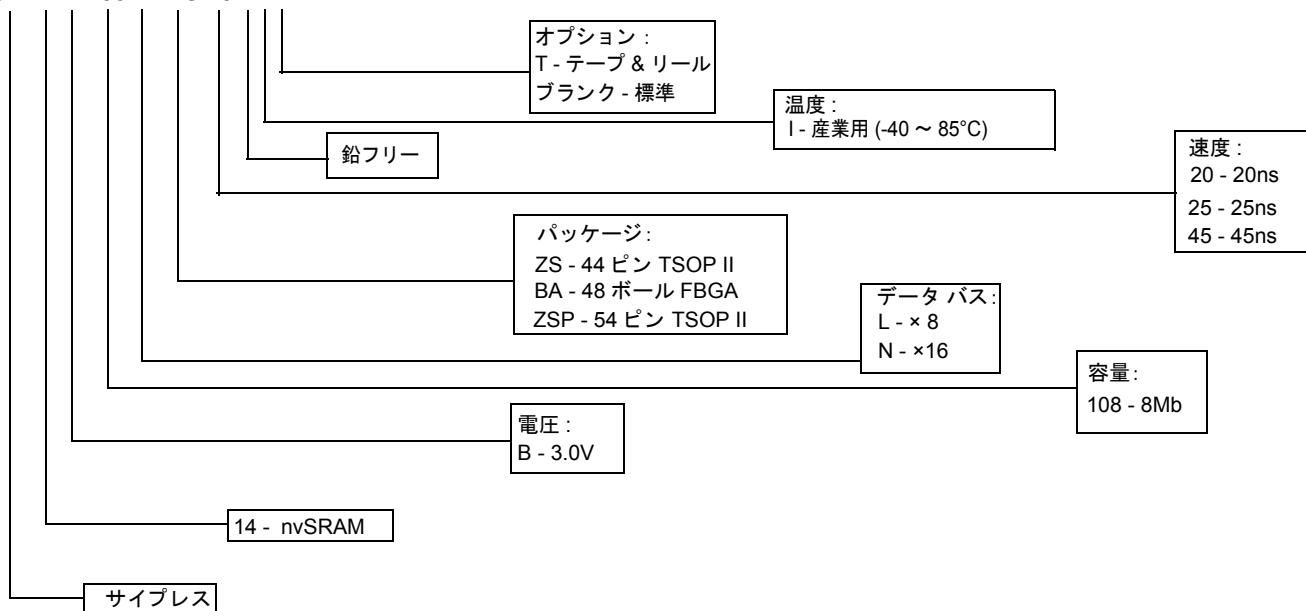
41. ×8 構成ではデータ DQ₀ ~ DQ₇、×16 構成ではデータ DQ₀ ~ DQ₁₅。

42. BHE と BLE は ×16 構成でのみ使用できます。

注文情報

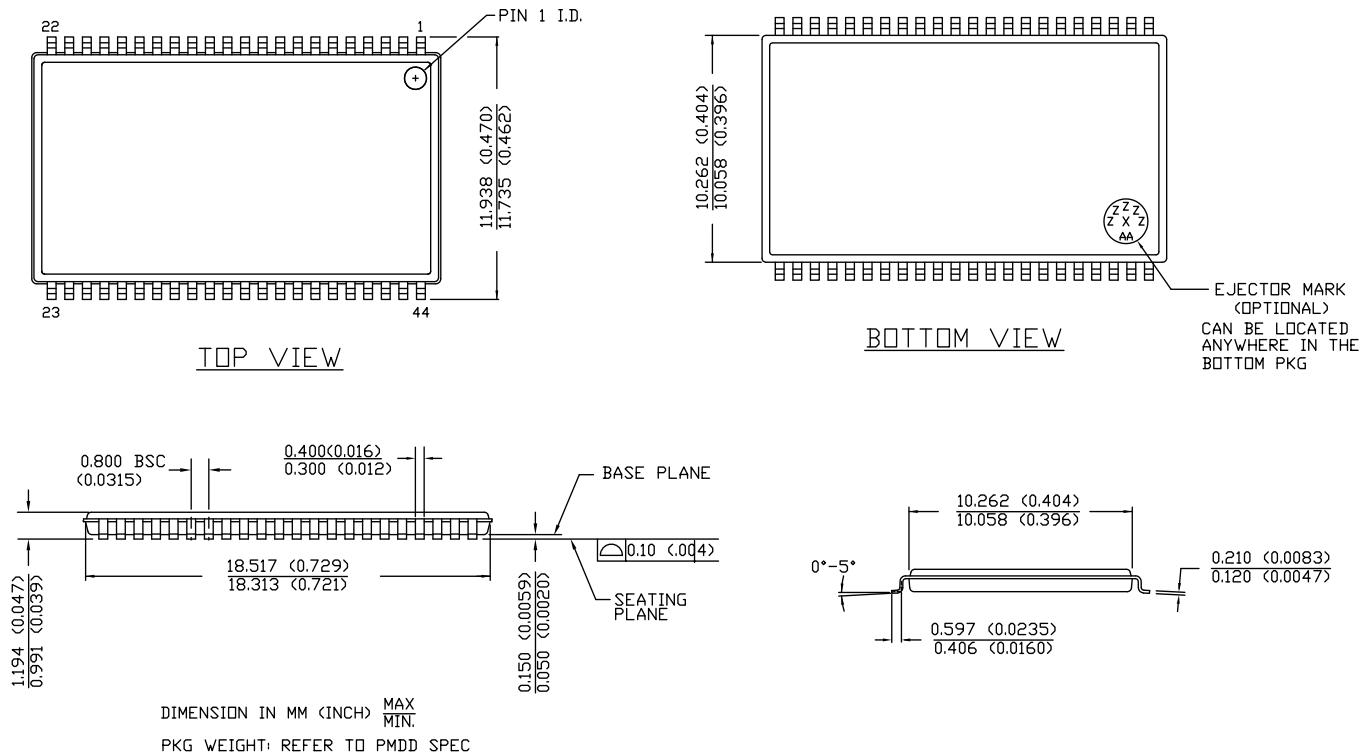
速度 (ns)	注文コード	パッケージ図	パッケージ タイプ	動作範囲
20	CY14B108L-ZS20XIT	51-85087	44 ピン TSOP II	産業用
	CY14B108L-ZS20XI	51-85087	44 ピン TSOP II	
25	CY14B108L-ZS25XIT	51-85087	44 ピン TSOP II	
	CY14B108L-ZS25XI	51-85087	44 ピン TSOP II	
	CY14B108L-BA25XIT	51-85128	48 ボール FBGA	
	CY14B108L-BA25XI	51-85128	48 ボール FBGA	
	CY14B108N-BA25XIT	51-85128	48 ボール FBGA	
	CY14B108N-BA25XI	51-85128	48 ボール FBGA	
	CY14B108N-ZSP25XIT	51-85160	54 ピン TSOP II	
	CY14B108N-ZSP25XI	51-85160	54 ピン TSOP II	
45	CY14B108L-ZS45XIT	51-85087	44 ピン TSOP II	
	CY14B108L-ZS45XI	51-85087	44 ピン TSOP II	
	CY14B108L-BA45XIT	51-85128	48 ボール FBGA	
	CY14B108L-BA45XI	51-85128	48 ボール FBGA	
	CY14B108N-BA45XIT	51-85128	48 ボール FBGA	
	CY14B108N-BA45XI	51-85128	48 ボール FBGA	
	CY14B108N-ZSP45XIT	51-85160	54 ピン TSOP II	
	CY14B108N-ZSP45XI	51-85160	54 ピン TSOP II	

上記のすべての部品は鉛フリーです。

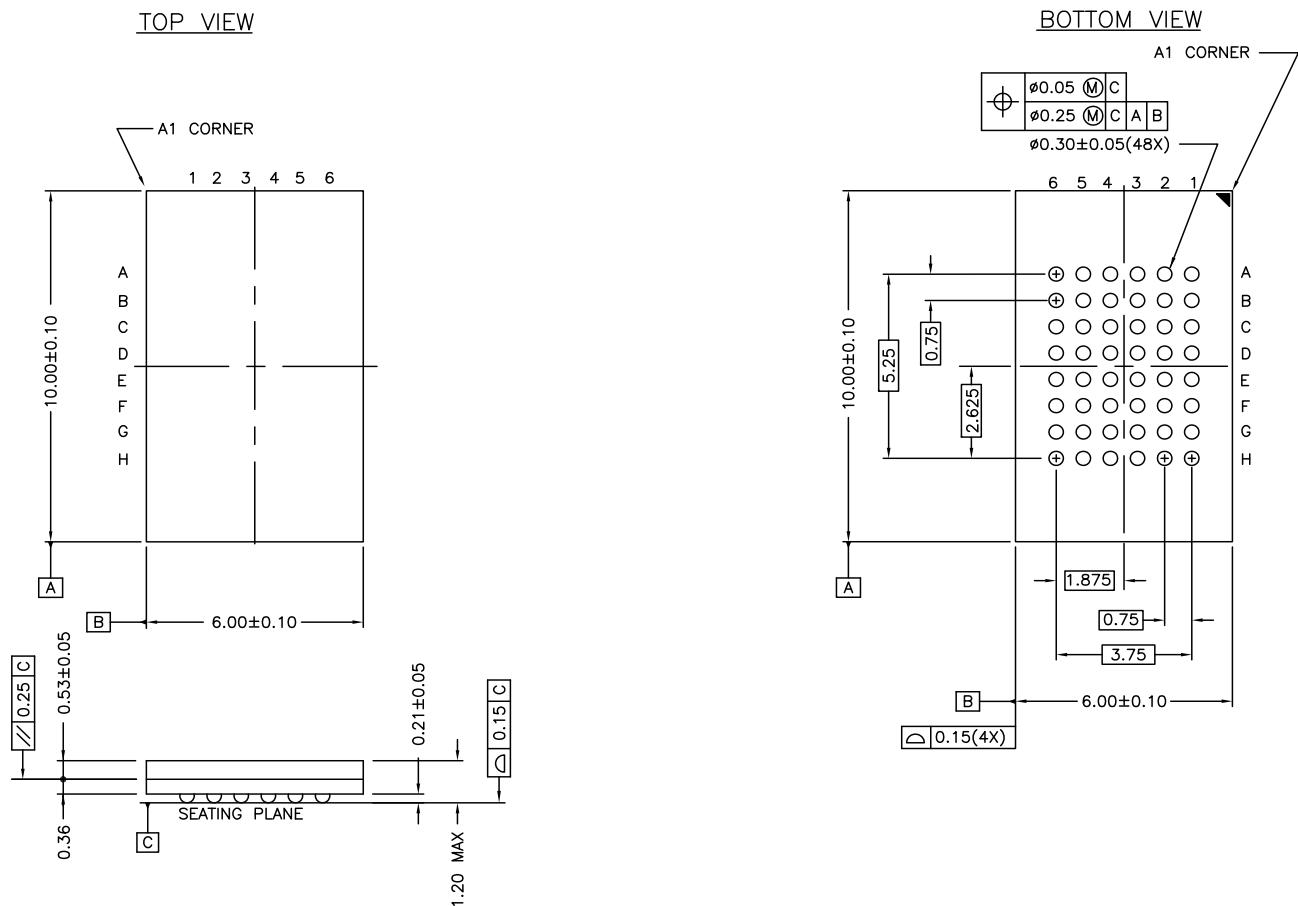
注文コードの定義
CY 14 B 108 L - ZS 20 X IT


パッケージ図

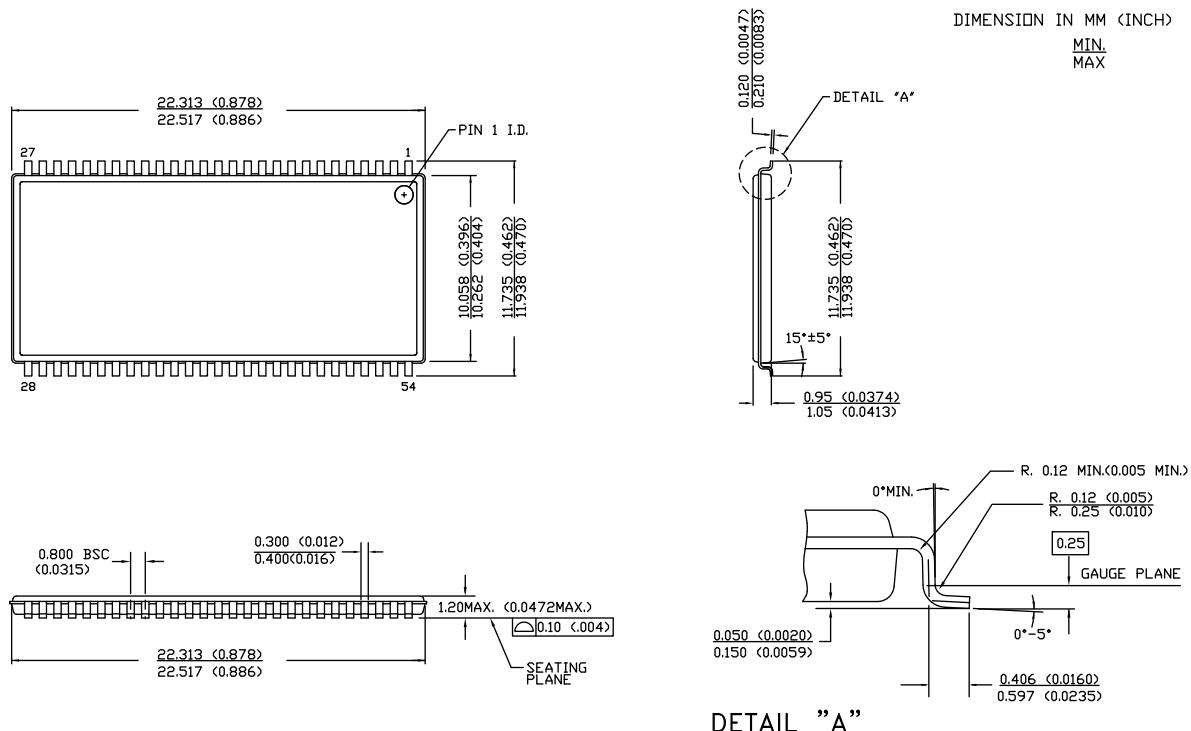
図 15. 44 ピン TSOP II パッケージ図、51-85087



51-85087 *E

パッケージ図 (続き)
図 16. 48 ボール FBGA (6 × 10 × 1.2mm) パッケージ図、51-85128


51-85128 *G

パッケージ図 (続き)
図 17. 54 ピン TSOP II (22.4 x 11.84 x 1.0mm) パッケージ図、51-85160


略語

略語	説明
CMOS	complementary metal oxide semiconductor (相補型金属酸化膜半導体)
$\overline{\text{BHE}}$	byte high enable (バイト HIGH イネーブル)
$\overline{\text{BLE}}$	byte low enable (バイト LOW イネーブル)
$\overline{\text{CE}}$	chip enable (チップ イネーブル)
EIA	Electronic Industries Alliance (米国電子工業会)
FBGA	fine-pitch ball grid array (フайн ピッチ ボール グリッド アレイ)
$\overline{\text{HSB}}$	hardware store busy (ハードウェア ストア ビジー)
I/O	input/output (入力／出力)
nvSRAM	non-volatile static random access memory (不揮発性スタティック ランダム アクセス メモリ)
$\overline{\text{OE}}$	output enable (出力イネーブル)
RoHS	restriction of hazardous substances (有害物質の制限)
$\overline{\text{RWI}}$	read and write inhibited (読み出しおよび書き込み禁止)
SRAM	static random access memory (スタティック ランダム アクセス メモリ)
TSOP	thin small outline package (薄型小型パッケージ)
WE	write enable (書き込みイネーブル)

本書の表記法
測定単位

記号	測定単位
°C	摂氏温度
kΩ	キロオーム
kHz	キロヘルツ
MHz	メガヘルツ
μA	マイクロアンペア
μF	マイクロファラッド
μs	マイクロ秒
mA	ミリアンペア
ms	ミリ秒
ns	ナノ秒
Ω	オーム
%	パーセント
pF	ピコファラッド
s	秒
V	ボルト
W	ワット

エラッタ

本節は8Mビット(2048K×8、1024K×16)nvSRAM製品ファミリのエラッタを説明します。詳細情報は、エラッタのトリガー条件、影響の範囲、可能な回避方法、シリコンチップのリビジョンの適用可能性などを含んでいます。

何かご質問がございましたら、最寄りのサイプレスの販売代理店までご連絡ください。または、nvSRAM@cypress.comに直接お問い合わせいただくこともできます。

影響を受ける型番

型番	デバイスの特性
CY14B108L	1024K×8、44 TSOP-II および 48 FBGA パッケージ オプションの非同期インターフェース nvSRAM
CY14B108N	512K×16、54 TSOP-II および 48 FBGA パッケージ オプションの非同期インターフェース nvSRAM

8Mビット(1024K×8、512K×16)nvSRAMの認定状況

生産部品。

8Mビット(1024K×8、512K×16)nvSRAMのエラッタのまとめ

下表では、CY14B108L、CY14B108Nファミリデバイスへのエラッタの影響を定義します。

項目	型番	シリコンバージョン	問題解決状況
1. AutoStoreディスエーブル機能は正常に動かない	CY14B108L CY14B108N	Rev 0	なし。 これは量産中の8MビットのnvSRAM全製品の問題

1. AutoStoreディスエーブル機能は正常に動かない

■問題の定義

AutoStoreディスエーブルソフトシーケンスは、nvSRAMのAutoStore機能を無効にします。AutoStoreディスエーブル機能は、SRAMに書き込まれるデータが電力喪失時に自動的に保存されることを必要としないアプリケーションで使用されます。AutoStore機能が無効にされても、8MビットのnvSRAMはメモリの半分(4Mビット)で不揮発性Storeを自動的に実行します。理由は下記の通りです：

8MビットのnvSRAMは2つの4Mビットのダイスタックリングを使用し、それぞれのHSBピンは互いに接続されています。スタックリングダイの各nvSRAMダイはV_{CC}電圧を個別に監視します。デバイスのV_{CC}電圧が遮断されると、V_{CC}がV_{SWITCH}を下回ったことを先に検出するダイは、電源オフの割り込みを内部的にトリガーし、そのHSB出力をLOWに駆動します。HSBは双方向ピンであるため、1つ目のダイによってLOWに駆動されたHSB出力はもう1つのダイによってHSB入力として検知されます。したがって、AutoStoreがAutoStoreディスエーブルソフトシーケンスによって無効にされたにも関わらず、2つ目のダイのHSB入力をLOWにすると、そのダイはハードウェアStoreを内部的にトリガーし、意図しない不揮発性Storeを実行します。

■影響を受けるパラメーター

なし

■トリガー条件(S)

デバイスV_{CC}は電源オフであり、nvSRAM AutoStoreが無効の場合です。

■影響の範囲

不揮発性メモリの既存データを望ましくないデータで上書きすることによってメモリの半分のデータを破損する可能性があります。

■回避方法

なし 8MビットのnvSRAMではAutoStoreディスエーブル機能を使用しないでください。

■問題解決状況

これは量産中の8MビットのnvSRAM全製品の問題になり、今後もエラッタが残ったままの状態で提供されます。量産中の現行製品ではこの問題を解決する予定はありません。

改訂履歴

文書名 : CY14B108L / CY14B108N、8M ピット (1024K × 8/512K × 16) nvSRAM
文書番号 : 001-95851

版	ECN	変更者	発行日	変更内容
**	4709705	HZEN	04/10/2015	これは英語版 001-45523 Rev. *N を翻訳した日本語版 001-95851 Rev. ** です。

セールス、ソリューションおよび法律情報

ワールドワイドな販売と設計サポート

サイプレスは、事業所、ソリューションセンター、メーカー代理店および販売代理店の世界的なネットワークを保持しています。お客様の最寄りのオフィスについては、[サイプレスのロケーション](#)ページをご覧ください。

製品

車載用	cypress.com/go/automotive
クロック & バッファ	cypress.com/go/clocks
インターフェース	cypress.com/go/interface
照明 & 電力制御	cypress.com/go/powerpsoc cypress.com/go/plc
メモリ	cypress.com/go/memory
PSoC	cypress.com/go/psoc
タッチ センシング	cypress.com/go/touch
USB コントローラー	cypress.com/go/USB
ワイヤレス / RF	cypress.com/go/wireless

PSoC® ソリューション

psoc.cypress.com/solutions
PSoC 1 PSoC 3 PSoC 4 PSoC 5LP

サイプレス開発者コミュニティ

コミュニティ フォーラム ブログ ビデオ トレーニング

テクニカル サポート

cypress.com/go/support
--

© Cypress Semiconductor Corporation, 2008-2015. 本文書に記載される情報は、予告なく変更される場合があります。Cypress Semiconductor Corporation (サイプレス セミコンダクタ社) は、サイプレス製品に組み込まれた回路以外のいかなる回路を使用することに対して一切の責任を負いません。サイプレス セミコンダクタ社は、特許またはその他の権利に基づくライセンスを譲渡することも、または含意することもありません。サイプレス製品は、サイプレスとの書面による合意に基づくものでない限り、医療、生命維持、救命、重要な管理、または安全の用途のために使用することを保証するものではなく、また使用することを意図したものでもありません。さらにサイプレスは、誤動作や故障によって使用者に重大な傷害をもたらすことが合理的に予想される生命維持システムの重要なコンポーネントとしてサイプレス製品を使用することを許可していません。生命維持システムの用途にサイプレス製品を供することは、製造者がそのような使用におけるあらゆるリスクを負うことを意味し、その結果サイプレスはあらゆる責任を免除されることを意味します。

すべてのソース コード (ソフトウェアおよび／またはファームウェア) はサイプレス セミコンダクタ社 (以下「サイプレス」) が所有し、全世界の特許権保護 (米国およびその他の国)、米国の著作権法ならびに国際協定の条項により保護され、かつそれらに従います。サイプレスが本書面によりライセンシーに付与するライセンスは、個人的、非独占かつ譲渡不能のライセンスであり、適用される契約で指定されたサイプレスの集積回路と併用されるライセンシーの製品のみをサポートするカスタムソフトウェアおよび／またはカスタム ファームウェアを作成する目的に限って、サイプレスのソースコードの派生著作物をコピー、使用、変更そして作成するためのライセンス、ならびにサイプレスのソースコードおよび派生著作物をコンパイルするためのライセンスです。上記で指定された場合を除き、サイプレスの書面による明示的な許可なくして本ソース コードを複製、変更、変換、コンパイル、または表示することはすべて禁止します。

免責条項：サイプレスは、明示的または默示的を問わず、本資料に関するいかなる種類の保証も行いません。これには、商品性または特定目的への適合性の默示的な保証が含まれますが、これに限定されません。サイプレスは、本文書に記載される資料に対して今後予告なく変更を加える権利を留保します。サイプレスは、本文書に記載されるいかなる製品または回路を適用または使用したことによって生ずるいかなる責任も負いません。サイプレスは、誤動作や故障によって使用者に重大な傷害をもたらすことが合理的に予想される生命維持システムの重要なコンポーネントとしてサイプレス製品を使用することを許可していません。生命維持システムの用途にサイプレス製品を供することは、製造者がそのような使用におけるあらゆるリスクを負うことを意味し、その結果サイプレスはあらゆる責任を免除されることを意味します。

ソフトウェアの使用は、適用されるサイプレス ソフトウェア ライセンス契約によって制限され、かつ制約される場合があります。