

特性

- 访问时间分别为 20 ns、25 ns 和 45 ns
- 内部采用了 1024 K × 8 (CY14B108L) 或 512 K × 16 (CY14B108N) 的组织方式
- 只需一个小电容，即可在断电时实现自动存储
- 可通过软件、器件引脚或断电时自动存储来触发存储至 QuantumTrap 非易失性元件
- 可通过软件或加电触发回读至 SRAM
- 无限次读、写和回读循环
- 一百万次的 QuantumTrap 存储周期
- 20 年的数据保留时间
- 3 V +20%, -10% 单电源供电
- 工业级温度

封装

- 44/54 引脚薄小外形封装 (TSOP) II 型
- 48 球型焊盘小间距 BGA (FBGA)

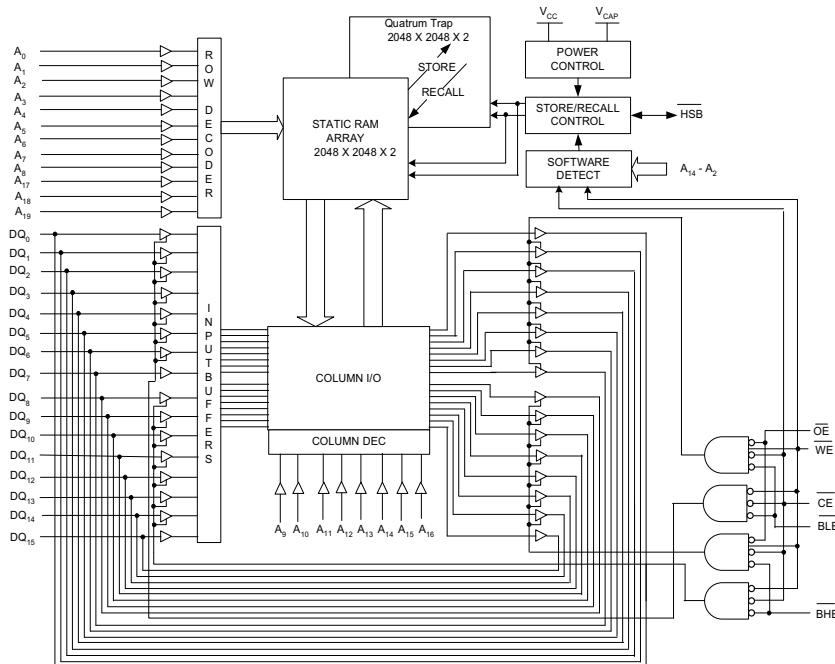
- 无铅并满足有害物质限制 (RoHS) 规定

功能说明

赛普拉斯 CY14B108L/CY14B108N 是一种快速的静态 RAM (SRAM)，并且每个存储器单元都包含非易失性元件。该存储器采用了“1024 K 字节，每字节 8 位”或“512 K 字，每字 16 位”的组织方式。嵌入式非易失性元件通过采用 QuantumTrap 技术，打造出了世界上最可靠的非易失性存储器。SRAM 能够实现无限次读写周期，而独立的非易失性数据则存储在高度可靠的 QuantumTrap 单元中。断电时，数据会从 SRAM 自动转移到非易失性元件内 (“存储”操作)。加电时，数据会从非易失性存储器存储到 SRAM (“回读”操作)。也可以在软件控制下执行“存储”和“回读”操作。

要获取相关文档的完整列表，请单击[此处](#)。

逻辑框图 [1、2、3]



勘误表: 在器件中，AutoStore Disable (自动存储禁用) 特性被禁用。更多有关信息，请参见第 24 页上的勘误表。勘误表中包括勘误触发条件、影响范围、可用解决方案和芯片修订适用性。

注释:

1. 地址 A₀-A₁₈ 适用于 × 8 配置；地址 A₀-A₁₉ 适用于 × 16 配置。
2. 数据 DQ₀-DQ₇ 适用于 × 8 配置；数据 DQ₀-DQ₁₅ 适用于 × 16 配置。
3. BHE 和 BLE 仅适用于 × 16 配置。

目录

引脚分布	3	软件控制的存储 / 回读周期	16
引脚定义	4	开关波形	16
器件运行	5	硬件存储周期	17
SRAM 读取	5	开关波形	17
SRAM 写入	5	SRAM 操作的真值表	18
自动存储操作	5	订购信息	19
硬件存储操作	5	订购代码定义	19
硬件回读（加电）	6	封装图	20
软件存储	6	缩略语	23
软件回读	6	文档规范	23
阻止自动存储	8	测量单位	23
数据保护	8	勘误表	24
最大额定值	9	受影响的器件型号	24
工作范围	9	8 Mb（1024 K × 8, 512 K × 16）	24
直流电气特性	9	nvSRAM 的合格状态	24
数据保留时间与耐久性	10	8 Mb（1024 K × 8, 512 K × 16）	24
电容值	10	nvSRAM 勘误表汇总	24
热阻	10	文档修订记录页	25
交流测试负载	11	销售、解决方案和法律信息	26
交流测试条件	11	全球销售和 design 支持	26
交流开关特性	12	产品	26
开关波形	12	PSoC [®] 解决方案	26
自动存储 / 上电回读	15	赛普拉斯开发者社区	26
开关波形	15	技术支持	26

引脚分布

图 1. 引脚图 — 48 球型焊盘 FBGA

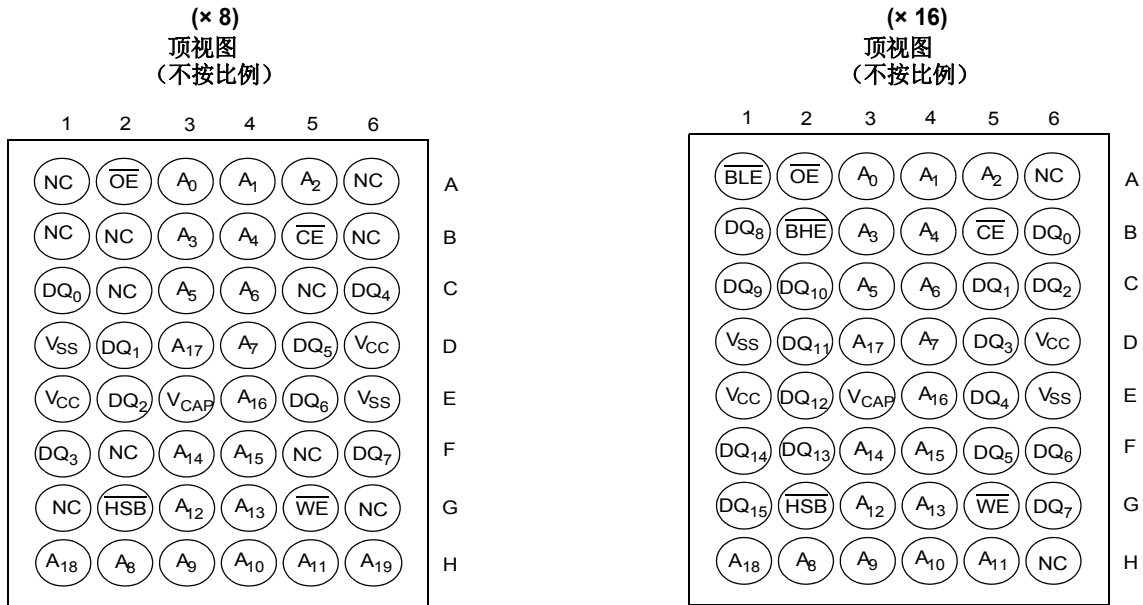
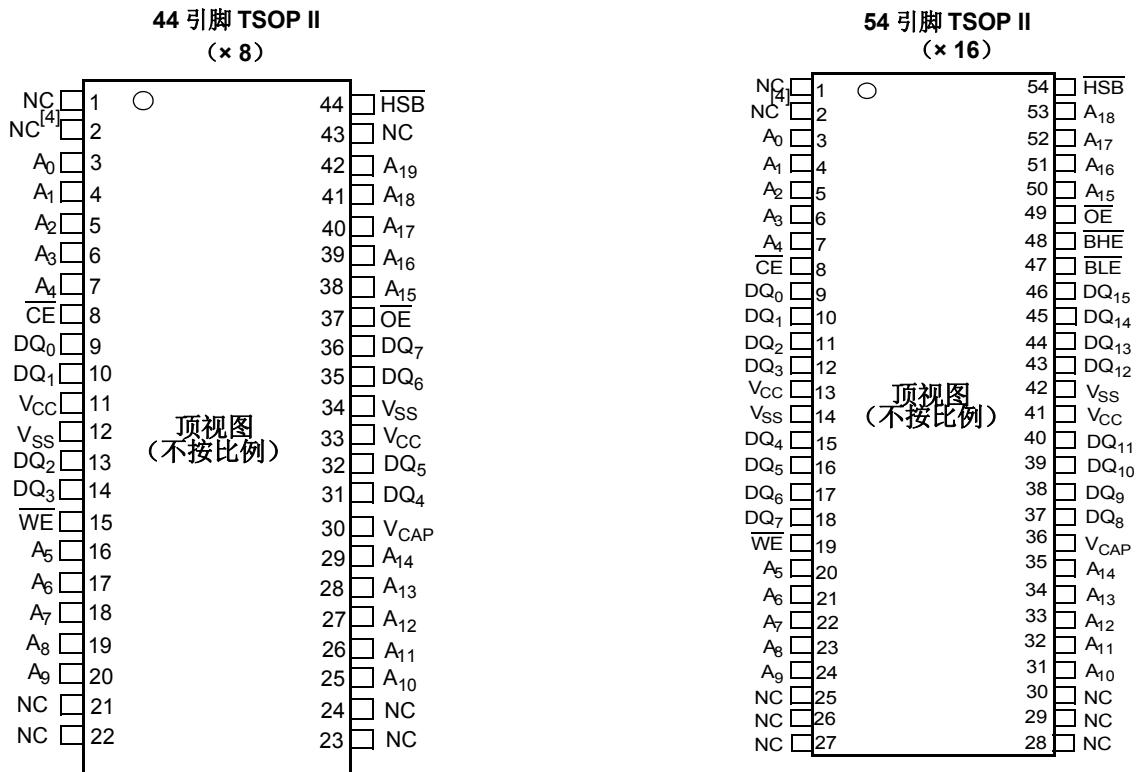


图 2. 引脚图 — 44/54 引脚 TSOP II



注释:

4. 16 Mbit 的地址扩展。NC 引脚未连接裸片 (die)。

引脚定义

引脚名称	I/O 类型	说明
A ₀ -A ₁₉	输入	地址输入。使用该引脚用于选择 × 8 配置的 1,048,576 nvSRAM 字节的其中一个。
A ₀ -A ₁₈		地址输入。对于 ×16 配置，该引脚用于选择 524,288 个 nvSRAM 字中的某一个。
DQ ₀ -DQ ₇	输入 / 输出	用于 × 8 配置的双向数据输入 / 输出线。根据操作将该引脚作为输入或输出线路使用。
DQ ₀ -DQ ₁₅		用于 × 16 配置的双向数据输入 / 输出线。根据操作将该引脚作为输入或输出线路使用。
\overline{WE}	输入	写使能输入，低电平有效。该引脚被选为低电平时，I/O 引脚上的数据被写入到指定的地址。
\overline{CE}	输入	芯片使能输入，低电平有效。该引脚为低电平时，将选择芯片。处于高电平时，则取消选择芯片。
\overline{OE}	输入	输出使能，低电平有效。低电平有效输入 \overline{OE} 在读周期内使能数据输出缓冲器。在取消激活高电平的 \overline{OE} 时，I/O 引脚会进入三态。
\overline{BHE}	输入	高字节使能，低电平有效。控制着 DQ ₁₅ -DQ ₈ 。
\overline{BLE}	输入	低字节使能，低电平有效。控制着 DQ ₇ -DQ ₀ 。
V _{SS}	接地	器件的接地引脚。必须连接至系统地。
V _{CC}	电源	器件的电源输入。
\overline{HSB}	输入 / 输出	硬件存储繁忙 (\overline{HSB})。该输出为低电平时，它表示硬件存储正在执行过程中。当在芯片外部将其置于低电平时，它表示一个非易失性存储操作。在每次硬件和软件存储操作之后， \overline{HSB} 通过标准输出高电流在一小段时间 (t_{HHHD}) 变为高电平，然后通过内部弱上拉电阻一直保持高电平（外部上拉电阻连接可选）。
V _{CAP}	电源	自动存储电容。在断电期间给 nvSRAM 供电是为了在该过程中将数据从 SRAM 存储到非易失性元件内。
NC	无连接	无连接。该引脚未与裸片 (die) 相连接。

器件运行

CY14B108L/CY14B108N nvSRAM 由两个相同物理单元中的成对功能组件组成。它们分别为一个 SRAM 存储器单元和一个非易失性 QuantumTrap 单元。SRAM 存储器单元可作为标准的快速静态 RAM 运行。SRAM 中的数据被传输到非易失性单元（存储操作），或从非易失性单元传输到 SRAM（回读操作）。使用该独特的架构，所有单元都可以并行存储和回读。在存储和回读操作期间，SRAM 读写操作被禁止。与 SRAM 相同，CY14B108L/CY14B108N 支持无限次读写。此外，它还提供无限次从非易失性单元的回读操作以及最多 100 万次存储操作。请参考第 18 页上的 SRAM 操作的真值表，了解读写模式的完整说明。

SRAM 读取

当 \overline{CE} 和 \overline{OE} 为低电平，并且 \overline{WE} 和 \overline{HSB} 为高电平时，CY14B108L/CY14B108N 将执行读周期。引脚 A_0 – A_{19} 或 A_0 – A_{18} 上的地址确定了 1,048,576 数据字节中的访问字节或 524,288 字（每字的大小为 16 位）中的访问字。字节使能（BHE、BLE）确定将哪些字节使能为输出（在 16 位字的情况下）。当读取由地址转换触发时，输出在经过 t_{AA} （读取周期 1）时长后有效。如果 \overline{CE} 或 \overline{OE} 启动了读取操作，输出在 t_{ACE} 或 t_{DOE} 中较晚者时有效（读取周期 2）。数据输出在 t_{AA} 访问时间内反复响应地址变化而不需要切换任何控制输入引脚。这一直有效，直到另一个地址变化或直到 \overline{CE} 或 \overline{OE} 变为高电平，或 \overline{WE} 或 \overline{HSB} 变为低电平为止。

SRAM 写入

当 \overline{CE} 和 \overline{WE} 均为低电平且 \overline{HSB} 为高电平时，将执行写循环。地址输入稳定后才会进入写周期，并且该输入必须保持稳定状态，直到 \overline{CE} 或 \overline{WE} 在周期结束时变为高电平为止。如果数据在 \overline{WE} 控制的写入结束前或在 \overline{CE} 控制的写入结束前 t_{SD} 时有效，则公用 I/O 引脚 DQ_0 – 15 上的数据将被写入到存储器中。字节使能输入（BHE、BLE）确定在 16 位字的情况下写入哪些字节。在整个写周期期间保持 \overline{OE} 为高电平以避免公用 I/O 线路上出现数据总线争用。如果 \overline{OE} 为低电平，则内部电路将在 \overline{WE} 变为低电平之后的 t_{HZWE} 时关闭输出缓冲器。

自动存储操作

CY14B108L/CY14B108N 通过下面三个方法之一将数据存储到 nvSRAM 内：由 \overline{HSB} 激活的硬件存储操作；由地址序列激活的软件存储操作；器件断电时自动存储。自动存储操作是 QuantumTrap 技术的独有特性，在 CY14B108L/CY14B108N 上默认使能该特性。

在正常工作时，器件从 V_{CC} 接收电流，进而给与 V_{CAP} 引脚连接的电容充电。芯片使用该存储的电荷执行单个存储操作。如果 V_{CC} 引脚的电压降到 V_{SWITCH} 以下，器件将自动断开 V_{CAP} 引脚与 V_{CC} 的连接。通过 V_{CAP} 电容提供的电源触发存储操作。

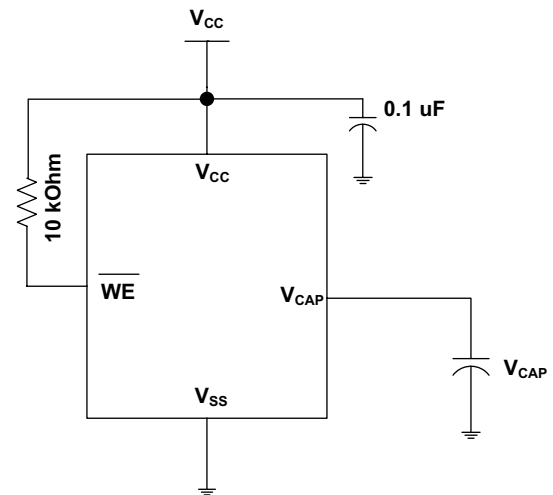
注意：如果电容未与 V_{CAP} 引脚连接，则必须使用第 8 页上的阻止自动存储中指定的软序列禁用自动存储。如果在 V_{CAP} 引脚

上没有电容时使能了自动存储，那么器件将在电荷不足的情况下尝试进行自动存储操作以完成存储。这会破坏 nvSRAM 中存储的数据。

图 3 显示的是自动存储操作要求的存储电容 (V_{CAP}) 正确连接。请参考第 9 页上的直流电气特性，了解 V_{CAP} 的大小。 V_{CAP} 引脚上的电压通过芯片上的稳压器输入到 V_{CC} 。上拉应该置于 \overline{WE} 上，以在加电期间保持其处于非活动状态。仅当 \overline{WE} 信号在加电期间为三态时，该上拉才有效。很多 MPU 在加电时使其控制引脚进入三态。使用上拉时应验证该情况。当 nvSRAM 退出加电回读时，MPU 必须处于活动状态或者 \overline{WE} 处于非活动状态，直到 MPU 退出复位状态为止。

为了减少不必要的非易失性存储，将忽略自动存储和硬件存储操作，除非在最新的存储或回读周期后至少要执行一次写操作。无论是否发生写操作，都会执行软件触发的存储周期。系统会监控 \overline{HSB} 信号以检测自动存储周期是否在进行中。

图 3. 自动存储模式



硬件存储操作

CY14B108L/CY14B108N 提供了 \overline{HSB} 引脚以控制和确定存储操作。使用 \overline{HSB} 引脚来请求硬件存储周期。当 \overline{HSB} 引脚被置为低电平时，CY14B108L/CY14B108N 将在 t_{DELAY} 后有条件地启动存储操作。仅在最后一个存储或回读周期后发生了对 SRAM 的写操作时才开始实际的存储周期。 \overline{HSB} 引脚还起到开漏驱动器（内部 100k Ω 弱上拉电阻）的作用，它在进行（通过任何手段触发的）存储时在内部变为低电平以指示繁忙状态。

注意：在每次进行硬件和软件存储操作后， \overline{HSB} 会在一小段时间 (t_{HHHD}) 通过标准输出高电流变为高电平，然后通过内部 100 k Ω 上拉电阻一直保持高电平。

在 $\overline{\text{HSB}}$ 通过任何手段变为低电平时进行的 SRAM 写操作要在启动存储操作之前给定的时间 (t_{DELAY}) 内完成。但是, 在 $\overline{\text{HSB}}$ 变为低电平后请求的所有 SRAM 写周期都被禁止, 直到 $\overline{\text{HSB}}$ 重新变为高电平为止。如果未设置写锁存, 则 $\overline{\text{HSB}}$ 不会被 CY14B108L/CY14B108N 置为低电平。但是直到 MPU 或其他外部源使 $\overline{\text{HSB}}$ 变回高电平, 所有 SRAM 读和写周期都被禁止。

在任何存储操作期间, 无论它如何启动, $\overline{\text{HSB}}$ 引脚设置为低电平, CY14B108L/CY14B108N 都会继续将 $\overline{\text{HSB}}$ 引脚设置为低电平, 仅在存储完成时才会释放。存储操作完成后, 如果 $\overline{\text{HSB}}$ 引脚变回高电平, nvSRAM 存储器访问将在 t_{LZHSB} 的时间内被禁止。如果不使用 $\overline{\text{HSB}}$, 请保持它的未连接状态。

硬件回读 (加电)

加电时或任何低功耗状态后 ($V_{\text{CC}} < V_{\text{SWITCH}}$), 内部回读请求将被锁存。如果加电时 V_{CC} 再次超过 V_{SWITCH} 时, 将自动启动回读周期并需要 t_{HRECALL} 的时间来完成。在此期间, $\overline{\text{HSB}}$ 驱动器将 $\overline{\text{HSB}}$ 引脚设置为低电平, 对 nvSRAM 的所有读和写操作都将被禁止。

软件存储

通过软件地址序列将数据从 SRAM 传输到非易失性存储器内。CY14B108L/CY14B108N 软件存储周期通过以准确的顺序在六个特定地址执行连续的 $\overline{\text{CE}}$ 或 $\overline{\text{OE}}$ 控制的读周期来启动。在存储周期期间, 首先擦除上一个非易失性数据, 接下来执行非易失性元件程序。启动存储周期后, 将禁用后续的输入和输出, 直到该周期完成。

由于特定地址的读取序列用于存储启动, 所以在该序列中要避免其他读或写访问干预, 否则该序列将被中止, 并且不会发生任何存储或回读操作。

想要启动软件存储周期, 必须执行下列读取序列:

1. 读取地址 0x4E38 有效读取
2. 读取地址 0xB1C7 有效读取
3. 读取地址 0x83E0 有效读取
4. 读取地址 0x7C1F 有效读取
5. 读取地址 0x703F 有效读取
6. 读取地址 0x8FC0 启动存储周期

当 $\overline{\text{WE}}$ 在六个读取序列中始终保持高电平状态时, 可以通过 $\overline{\text{CE}}$ 控制的读取或 $\overline{\text{OE}}$ 控制的读取锁定该软件序列。在序列中输入第六个地址之后, 存储周期将立即开始, 且芯片被禁用。 $\overline{\text{HSB}}$ 被置为低电平。达到 t_{STORE} 周期时间后, SRAM 再次被激活以进行读和写操作。

软件回读

通过软件地址序列将数据从非易失性存储器传输到 SRAM。同软件存储周期的启动相似, 当想要启动软件回读操作时, 也会以相同的方式执行一个读序列。若要启动回读周期, 必须执行下列 $\overline{\text{CE}}$ 或 $\overline{\text{OE}}$ 所控制的读操作序列。

1. 读取地址 0x4E38 有效读取
2. 读取地址 0xB1C7 有效读取
3. 读取地址 0x83E0 有效读取
4. 读取地址 0x7C1F 有效读取
5. 读取地址 0x703F 有效读取
6. 读取地址 0x4C63, 启动回读周期

在内部, 回读是两步程序。首先, 清除 SRAM 数据; 然后, 将非易失性信息传输到 SRAM 单元。在 t_{RECALL} 周期时间后, SRAM 再次处于就绪状态, 以进行读和写操作。回读操作不会更改非易失性元件中的数据。

表 1. 模式选择

$\overline{\text{CE}}$	$\overline{\text{WE}}$	$\overline{\text{OE}}$	$\overline{\text{BHE}}$ 、 $\overline{\text{BLE}}$ ^[5]	$\text{A}_{15}\text{-A}_0$ ^[6]	模式	I/O	电源
H	X	X	X	X	未选中	输出高阻态	待机
L	H	L	L	X	读取 SRAM	输出数据	活动
L	L	X	L	X	写入 SRAM	输入数据	活动模式
L	H	L	X	0x4E38 0xB1C7 0x83E0 0x7C1F 0x703F 0x8B45	读取 SRAM 读取 SRAM 读取 SRAM 读取 SRAM 读取 SRAM 自动存储禁用	输出数据 输出数据 输出数据 输出数据 输出数据 输出数据	激活 ^[7]
L	H	L	X	0x4E38 0xB1C7 0x83E0 0x7C1F 0x703F 0x4B46	读取 SRAM 读取 SRAM 读取 SRAM 读取 SRAM 读取 SRAM 自动存储使能	输出数据 输出数据 输出数据 输出数据 输出数据 输出数据	激活 ^[7]
L	H	L	X	0x4E38 0xB1C7 0x83E0 0x7C1F 0x703F 0x8FC0	读取 SRAM 读取 SRAM 读取 SRAM 读取 SRAM 读取 SRAM 非易失性存储	输出数据 输出数据 输出数据 输出数据 输出数据 输出高阻态	激活 $\text{I}_{\text{CC}2}$ ^[7]
L	H	L	X	0x4E38 0xB1C7 0x83E0 0x7C1F 0x703F 0x4C63	读取 SRAM 读取 SRAM 读取 SRAM 读取 SRAM 读取 SRAM 非易失性回读	输出数据 输出数据 输出数据 输出数据 输出数据 输出高阻态	激活 ^[7]

勘误表: 在器件中, AutoStore Disable (自动存储禁用) 特性被禁用。更多信息, 请参考第 24 页上的勘误表。

注释:

- BHE 和 BLE 仅适用于 × 16 配置。
- CY14B108L 上有 20 个地址行 (CY14B108N 上有 19 个地址行), 其中只有 13 个地址行 ($\text{A}_{14} - \text{A}_2$) 用于控制软件模式。无需关注其余几个地址行。
- 六个连续的地址必须按顺序列出。在六个周期期间 WE 必须保持为高电平才能启用非易失性循环。

阻止自动存储

通过启动自动存储禁用的序列，可以禁用自动存储功能。以与软件存储启动类似的方式执行读操作序列。若要启动自动存储禁用的序列，必须执行下列 **CE** 或 **OE** 控制的读操作序列：

1. 读取地址 0x4E38 有效读取
2. 读取地址 0xB1C7 有效读取
3. 读取地址 0x83E0 有效读取
4. 读取地址 0x7C1F 有效读取
5. 读取地址 0x703F 有效读取
6. 读取地址 0x8B45，自动存储禁用

注意：勘误表：在器件中，AutoStore Disable（自动存储禁用）特性被禁用。更多有关信息，请参见第 24 页上的勘误表。

通过启动自动存储使能序列，可以重新使能自动存储。以与软件回读启动类似的方式执行读操作序列。若要启动自动存储周期使能序列，必须执行下列 **CE** 或 **OE** 控制的读操作序列：

1. 读取地址 0x4E38 有效读取
2. 读取地址 0xB1C7 有效读取
3. 读取地址 0x83E0 有效读取
4. 读取地址 0x7C1F 有效读取
5. 读取地址 0x703F 有效读取
6. 读取地址 0x4B46，自动存储使能

如果禁用或重新使能自动存储功能，需要触发手动存储操作（软件或硬件）才能在后续的断电循环中保存自动存储状态。器件出厂时已使能自动存储功能，且已在所有单元中写入了 0x00。

数据保护

CY14B108L/CY14B108N 通过禁止外部启动的存储和写操作，在低电压状态下阻止破坏数据。当 V_{CC} 低于 V_{SWITCH} 时，会检测到低电压状态。如果 CY14B108L/CY14B108N 在加电时处于写模式（**CE** 和 **WE** 均为低电平），在回读或存储后将禁止写操作，直到 t_{LZHSB} （**HSB** 到输出有效的时间）后使能 **SRAM** 为止。这样可以防止在加电或掉电时发生意外写操作。

最大额定值

超过最大额定值可能会影响器件的使用寿命。这些用户指导未经过测试。

存储温度	-65 °C 到 +150 °C
最长存储时间	
在 150°C 环境温度下	1000 个小时
在 85°C 环境温度下	20 年
最高结温	150 °C
V _{CC} 上相对于 V _{SS} 的供电电压	-0.5 V 到 4.1 V
应用于高阻态的输出电压	-0.5 V 到 V _{CC} + 0.5 V
输入电压	-0.5 V 至 V _{CC} + 0.5 V

处于接地电位的所有引脚上的瞬变电压 (< 20 ns)	-2.0 V 到 V _{CC} + 2.0 V
封装功率散耗能力 (T _A = 25 °C)	1.0 W
表面组装铅焊温度 (3 秒)	+260 °C
直流输出电流 (每次只输出 1 路电流, 持续时间 1 秒)	15 mA
静电放电电压 (根据 MIL-STD-883, 方法 3015)	> 2001 V
栓锁电流	> 200 mA

工作范围

范围	环境温度	V _{CC}
工业级	-40°C 至 +85°C	2.7 V 至 3.6 V

直流电气特性

在工作范围内

参数	说明	测试条件	最小值	典型值 ^[8]	最大值	单位
V _{CC}	电源		2.7	3.0	3.6	V
I _{CC1}	平均电流 V _{CC}	t _{RC} = 20 ns t _{RC} = 25 ns t _{RC} = 45 ns 无输出负载下取得的值 (I _{OUT} = 0 mA)	-	-	75 75 57	mA mA mA
I _{CC2}	存储过程中的 V _{CC} 平均电流	无需关注所有输入, t _{STORE} 持续时间内平均电流 V _{CC} 为最大值	-	-	20	mA
I _{CC3}	在 t _{RC} = 200 ns, V _{CC(Typ)} , 25 °C 条件下的 V _{CC} 平均电流	所有输入在 CMOS 电平循环。无输出负载下取得的值 (I _{OUT} = 0 mA)。	-	40	-	mA
I _{CC4}	自动存储周期期间的 V _{CAP} 平均电流	无需关注所有的输入。t _{STORE} 期间的平均电流	-	-	10	mA
I _{SB}	V _{CC} 待机电流	$\overline{CE} \geq (V_{CCQ} - 0.2 V)$ 。 $V_{IN} \leq 0.2 V$ 或 $\geq (V_{CC} - 0.2 V)$ 。完成非易失性循环后待机电流的强度。输入处于静态。f = 0 MHz。	-	-	10	mA
I _{IX} ^[9]	输入漏电流 (HSB 除外)	V _{CC} = Max, V _{SS} ≤ V _{IN} ≤ V _{CC}	-2	-	+2	μA
	输入漏电流 (适用于 HSB)	V _{CC} = Max, V _{SS} ≤ V _{IN} ≤ V _{CC}	-200	-	+2	μA
I _{OZ}	断开状态输出漏电流	V _{CC} = 最大值, V _{SS} ≤ V _{OUT} ≤ V _{CC} , \overline{CE} 或 $\overline{OE} \geq V_{IH}$ 或 $\overline{BHE/BLE} \geq V_{IH}$ 或 $\overline{WE} \leq V_{IL}$	-2	-	+2	μA
V _{IH}	输入高电平电压		2.0	-	V _{CC} + 0.5	V
V _{IL}	输入低电平电压		V _{SS} - 0.5	-	0.8	V
V _{OH}	输出高电平电压	I _{OUT} = -2 mA	2.4	-	-	V
V _{OL}	输出低电平电压	I _{OUT} = 4 mA	-	-	0.4	V

注释:

- 典型值满足温度为 25°C、V_{CC} = V_{CC(Typ)} 等条件。并非 100% 进行了测试。
- 如果高电平有效和低电平有效的驱动程序均被禁用, 对于 HSB 引脚, 当 V_{OH} 等于 2.4 V 时, I_{OUT} = -2 μA。使能这些驱动程序后, 标准 V_{OH} 和 V_{OL} 均有效。该参数被特性表征化, 但未经过测试。

直流电气特性 (续)

在工作范围内

参数	说明	测试条件	最小值	典型值 ^[8]	最大值	单位
$V_{CAP}^{[10]}$	存储电容	介于 V_{CAP} 引脚和 V_{SS} 之间	122	150	360	μF
$V_{VCAP}^{[11, 12]}$	器件在 V_{CAP} 引脚上的最大驱动电压	$V_{CC} = \text{最大值}$	-	-	V_{CC}	V

数据保留时间与耐久性

在工作范围内

参数	说明	最小值	单位
$DATA_R$	数据保留时间	20	年
NV_C	非易失性存储操作	1,000	K

电容值

参数 ^[12]	说明	测试条件	最大值	单位
C_{IN}	输入电容	$T_A = 25^\circ\text{C}$, $f = 1\text{ MHz}$, $V_{CC} = V_{CC(Typ)}$	14	pF
C_{OUT}	输出电容		14	pF

热阻

参数 ^[12]	说明	测试条件	48 球型焊盘 FBGA	44 引脚 TSOP II	54 引脚 TSOP II	单位
Θ_{JA}	热阻 (结温至室温)	根据 EIA/JESD51 的要求, 测试条件应遵循测试热阻的标准测试方法和过程。	42.2	45.3	44.22	$^\circ\text{C/W}$
Θ_{JC}	热电阻 (结温至壳温)		6.3	5.2	8.26	$^\circ\text{C/W}$

注释:

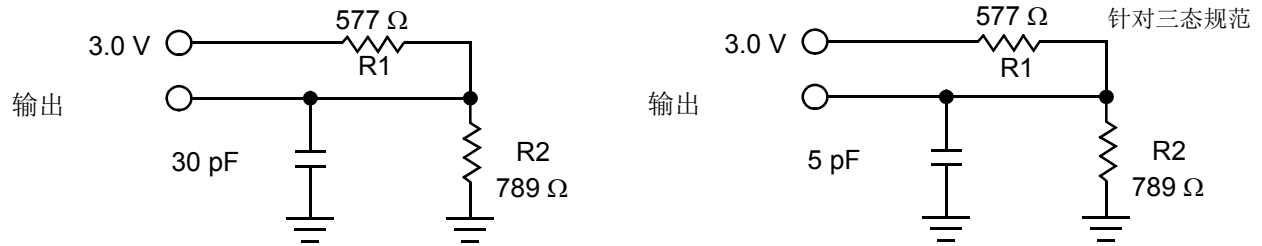
10. 最小的 V_{CAP} 值要保证能够提供顺利完成自动存储操作所需要的电荷。 V_{CAP} 的最大值可保证 V_{CAP} 的电容在加电回读周期期间充电至最小电压, 以便紧急断电循环可以顺利完成自动存储操作。因此, 建议始终使用在指定最小和最大极限值内的电容。请参考应用手册 [AN43593](#), 了解有关 V_{CAP} 选项的详细信息。

11. 当选择 V_{CAP} 电容时, 可提供 V_{CAP} 引脚上的最大电压 (V_{VCAP}) 作为指导。在工作温度范围内, V_{CAP} 电容的额定电压应高于 V_{VCAP} 电压。

12. 这些参数得到设计保证, 但未经过测试。

交流测试负载

图 4. 交流测试负载



交流测试条件

输入脉冲电平 0 V 到 3 V
 输入上升和下降时间 (10% - 90%) ≤ 3 ns
 输入和输出的时序参考电平 1.5 V

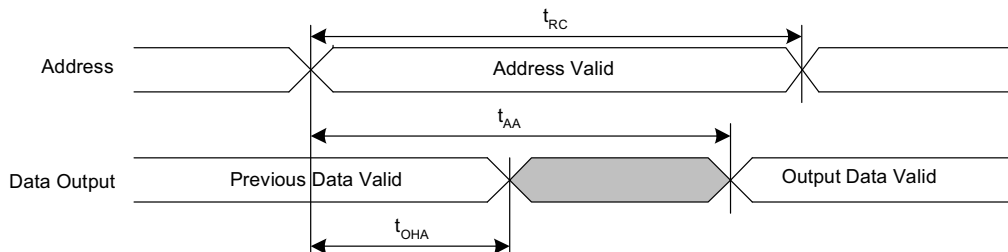
交流开关特性

在工作范围内

参数 ^[13]		说明	20 ns		25 ns		45 ns		单位
赛普拉斯参数	备用参数		最小值	最大值	最小值	最大值	最小值	最大值	
SRAM 读周期									
t_{ACE}	t_{ACS}	芯片使能访问时间	–	20	–	25	–	45	ns
$t_{RC}^{[14]}$	t_{RC}	读周期时间	20	–	25	–	45	–	ns
$t_{AA}^{[15]}$	t_{AA}	地址访问时间	–	20	–	25	–	45	ns
t_{DOE}	t_{OE}	输出使能到数据有效的时间	–	10	–	12	–	20	ns
$t_{OHA}^{[15]}$	t_{OH}	地址更改后的输出保持时间	3	–	3	–	3	–	ns
$t_{LZCE}^{[16、17]}$	t_{LZ}	芯片使能到输出有效的时间	3	–	3	–	3	–	ns
$t_{HZCE}^{[16、17]}$	t_{HZ}	芯片禁用到输出无效的时间	–	8	–	10	–	15	ns
$t_{LZOE}^{[16、17]}$	t_{OLZ}	输出被使能到输出有效的时间	0	–	0	–	0	–	ns
$t_{HZOE}^{[16、17]}$	t_{OHZ}	输出被禁用到输出无效的时间	–	8	–	10	–	15	ns
$t_{PU}^{[16]}$	t_{PA}	芯片被使能到电源有效的时间	0	–	0	–	0	–	ns
$t_{PD}^{[16]}$	t_{PS}	芯片被禁用到电源待机的时间	–	20	–	25	–	45	ns
t_{DBE}	–	从字节使能到数据有效的时间	–	10	–	12	–	20	ns
$t_{LZBE}^{[16]}$	–	字节使能到输出有效的时间	0	–	0	–	0	–	ns
$t_{HZBE}^{[16]}$	–	字节禁用到输出无效的时间	–	8	–	10	–	15	ns
SRAM 写周期									
t_{WC}	t_{WC}	写周期时间	20	–	25	–	45	–	ns
t_{PWE}	t_{WP}	写入脉冲宽度	15	–	20	–	30	–	ns
t_{SCE}	t_{CW}	从芯片使能到写周期结束的时间	15	–	20	–	30	–	ns
t_{SD}	t_{DW}	从数据建立到写周期结束的时间	8	–	10	–	15	–	ns
t_{HD}	t_{DH}	写周期结束后的数据保持时间	0	–	0	–	0	–	ns
t_{AW}	t_{AW}	从地址建立到写周期结束的时间	15	–	20	–	30	–	ns
t_{SA}	t_{AS}	从地址建立到写周期开始的时间	0	–	0	–	0	–	ns
t_{HA}	t_{WR}	写周期结束后的地址保持时间	0	–	0	–	0	–	ns
$t_{HZWE}^{[16、17、18]}$	t_{WZ}	写周期使能到输出被禁用的时间	–	8	–	10	–	15	ns
$t_{LZWE}^{[16、17]}$	t_{OW}	写周期结束后的输出有效时间	3	–	3	–	3	–	ns
t_{BW}	–	从字节使能到写周期结束的时间	15	–	20	–	30	–	ns

开关波形

图 5. 第一个 SRAM 读周期（地址控制）^[14、15、19]



注释:

13. 测试条件采用的信号跳变时间不大于 3 ns, $V_{CC}/2$ 的时序参考电平, 0 至 $V_{CC(typ)}$ 的输入脉冲电平以及页 11 上的图 4 中所示的指定 I_{OL}/I_{OH} 的输出负载和负载电容。
14. 在 SRAM 读周期内, WE 必须保持高电平状态。
15. 当 CE、OE 和 BHE/BLE 均为低电平时, 器件会继续被选中。
16. 这些参数仅通过设计保证, 并未经过测试。
17. 稳定状态下所测量的输出电压为 ± 200 mV。
18. 如果 CE 变为低电平时 WE 也处于低电平状态, 则输出会保持高阻抗状态。
19. 在读和写周期内, HSB 必须保持为高电平状态。

开关波形 (续)

图 6. 第二个 SRAM 读周期 (\overline{CE} 和 \overline{OE} 控制) [20、21、22]

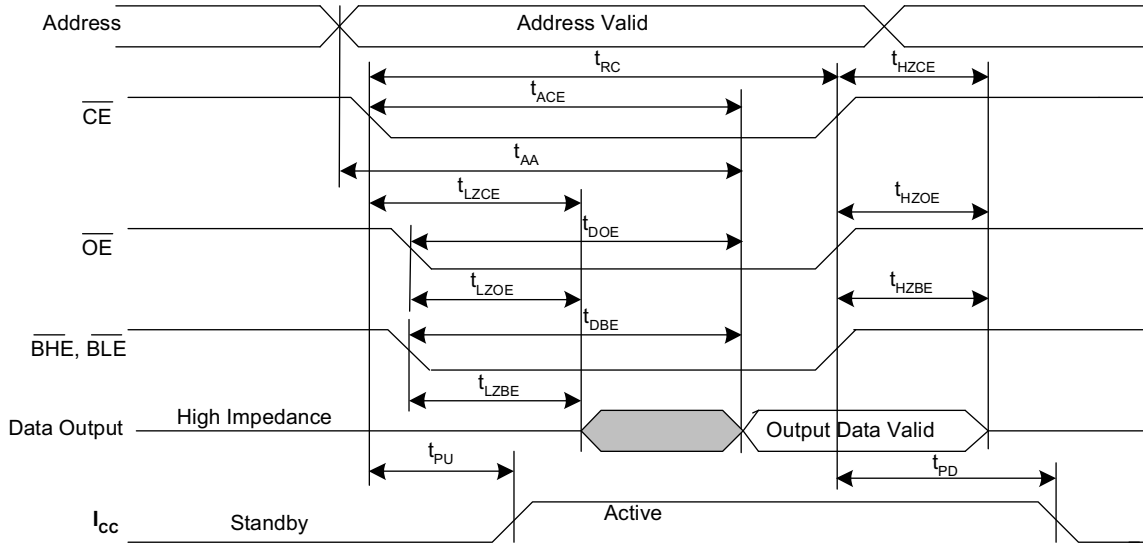
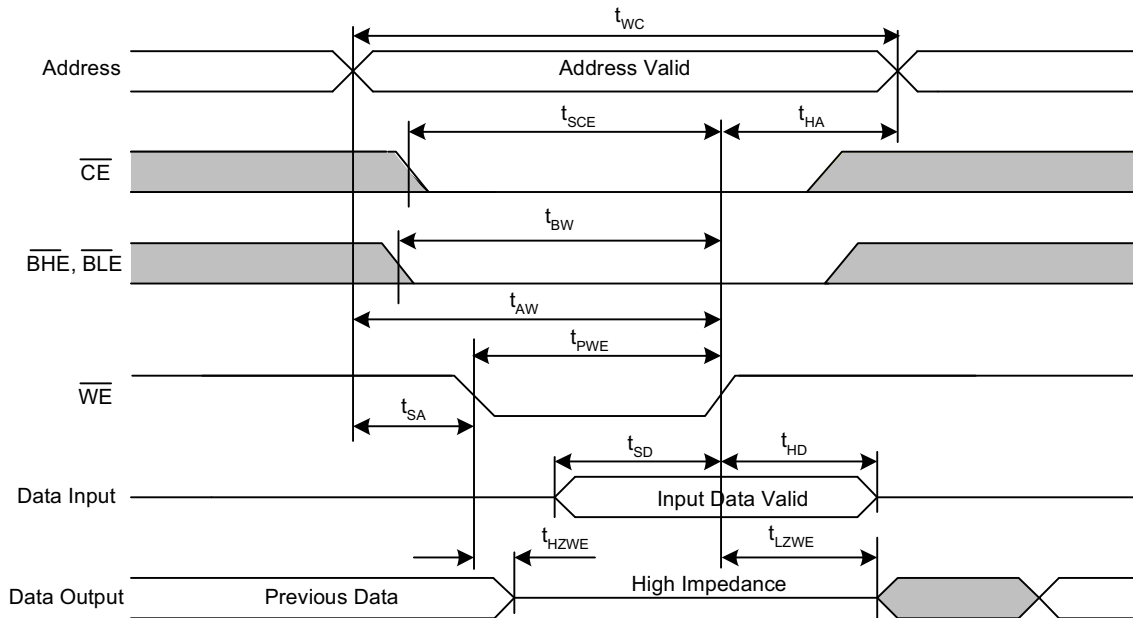


图 7. 第一个 SRAM 写周期 (\overline{WE} 控制) [20、22、23、24]



注释:

- 20. BHE 和 BLE 仅适用于 $\times 16$ 配置。
- 21. 在 SRAM 读周期内, \overline{WE} 必须保持高电平状态。
- 22. 在读和写周期内, \overline{HSB} 必须保持为高电平状态。
- 23. 如果 \overline{CE} 变为低电平时 \overline{WE} 也处于低电平状态, 则输出会保持高阻抗状态。
- 24. 地址转换期间, \overline{CE} 或 \overline{WE} 必须 $\geq V_{IH}$ 。

开关波形 (续)

图 8. 第二个 SRAM 写周期 (\overline{CE} 控制) [25、26、27、28]

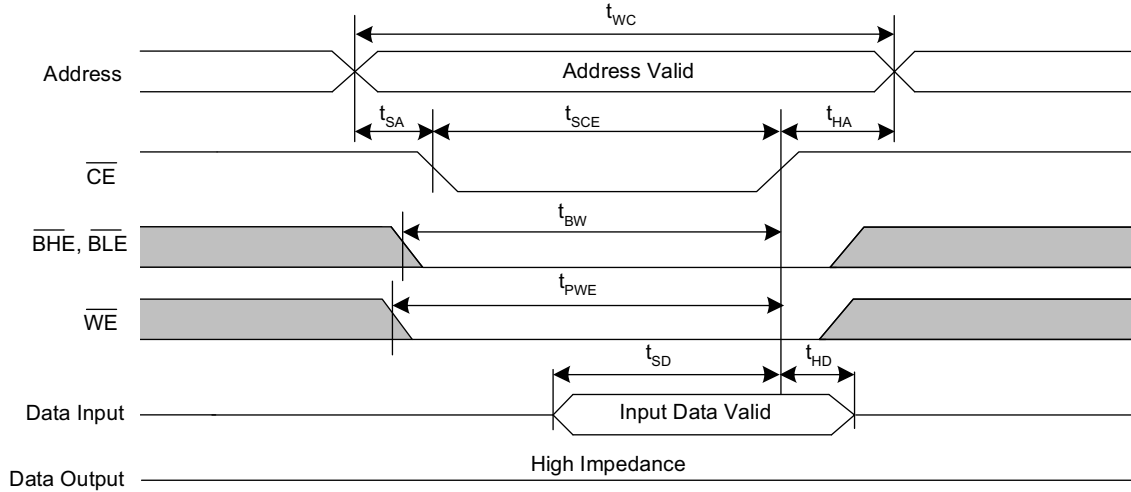
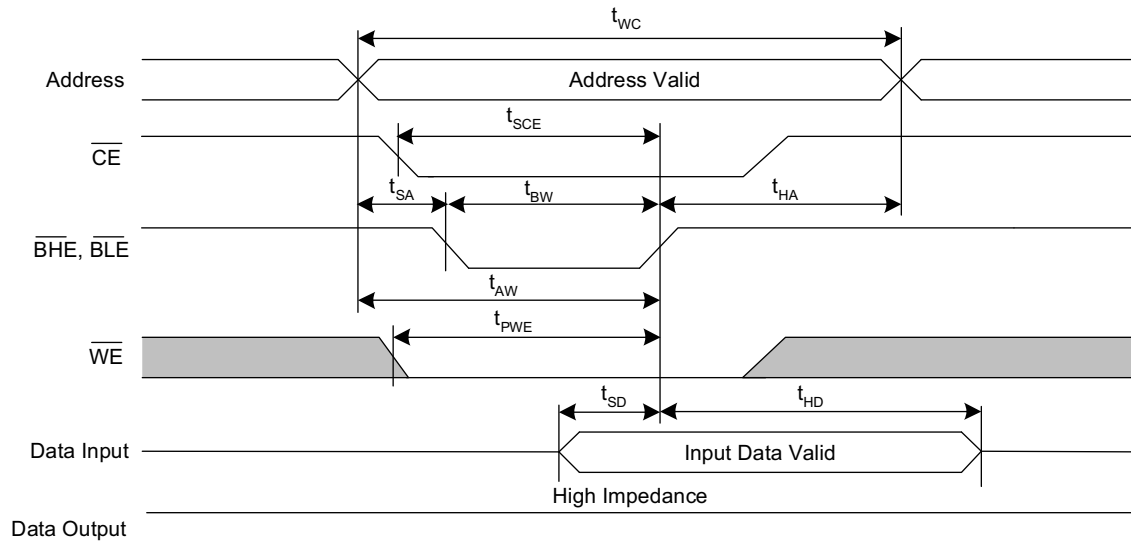


图 9. 第三个 SRAM 写周期 (\overline{BHE} 和 \overline{BLE} 控制) [25、26、27、28]



注释:

- 25. \overline{BHE} 和 \overline{BLE} 仅适用于 $\times 16$ 配置。
- 26. 如果 \overline{CE} 变为低电平时 \overline{WE} 也处于低电平状态, 则输出会保持高阻抗状态。
- 27. 在读和写周期内, \overline{HSB} 必须保持高电平状态。
- 28. 地址转换期间, \overline{CE} 或 \overline{WE} 必须 $\geq V_{IH}$ 。

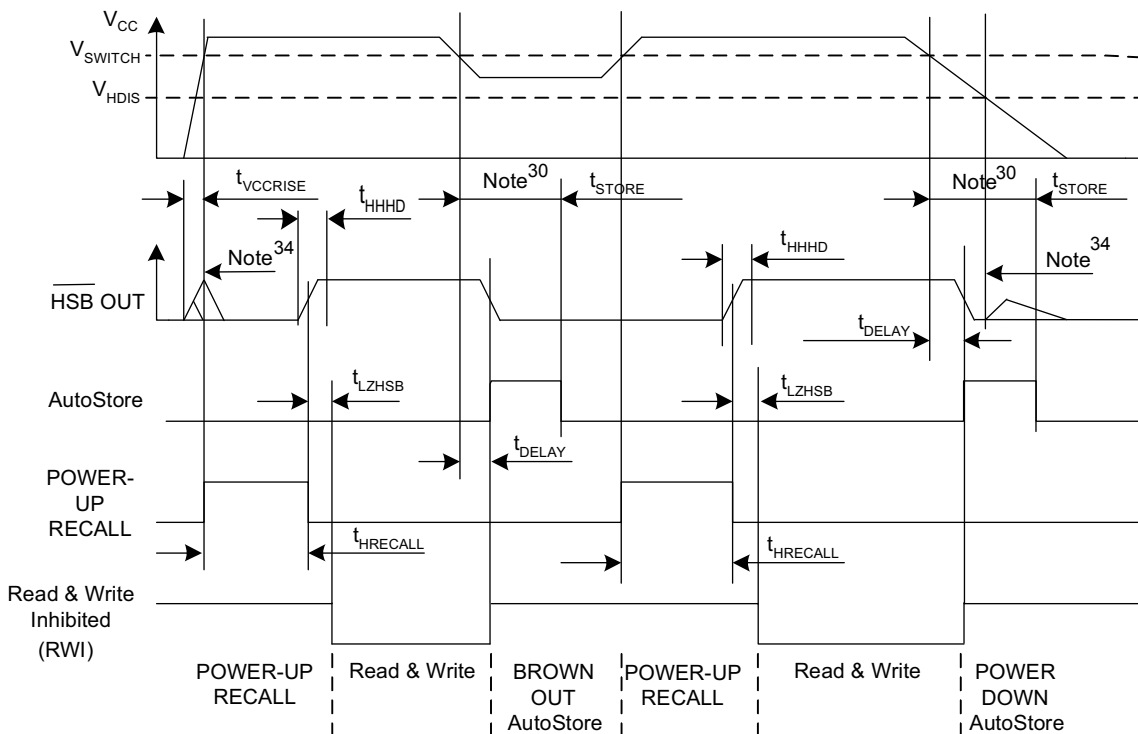
自动存储 / 上电回读

在工作范围内

参数	说明	20 ns		25 ns		45 ns		单位
		最小值	最大值	最小值	最大值	最小值	最大值	
$t_{HRECALL}^{[29]}$	加电回读时间	-	20	-	20	-	20	ms
$t_{STORE}^{[30]}$	存储周期时间	-	8	-	8	-	8	ms
$t_{DELAY}^{[31]}$	完成 SRAM 写入周期的时间	-	20	-	25	-	25	ns
V_{SWITCH}	低电压触发电平	-	2.65	-	2.65	-	2.65	V
$t_{VCCRRISE}^{[32]}$	V_{CC} 上升时间	150	-	150	-	150	-	μ s
$V_{HDIS}^{[32]}$	\overline{HSB} 输出禁用电压	-	1.9	-	1.9	-	1.9	V
$t_{LZHSB}^{[32]}$	\overline{HSB} 到输出有效的时间	-	5	-	5	-	5	μ s
$t_{HHHD}^{[32]}$	\overline{HSB} 高电平有效时间	-	500	-	500	-	500	ns

开关波形

图 10. 自动存储或加电回读^[33]



注释:

29. 当 V_{CC} 大于 V_{SWITCH} 时, 将开始计算 $t_{HRECALL}$ 。
30. 如果最后一次非易失性循环完成后尚未对 SRAM 进行写操作, 将不会发生自动存储或硬件存储操作。
31. 在启动硬件存储和自动存储时, 会在 t_{DELAY} 时间内持续使能 SRAM 写操作。
32. 这些参数仅通过设计保证, 并未经过测试。
33. 当 V_{CC} 低于 V_{SWITCH} 时, 在存储、回读过程中会忽略读写周期。
34. 在通电和断电期间, 如果通过外部电阻上拉 \overline{HSB} 引脚, \overline{HSB} 会发生短脉冲。

软件控制的存储 / 回读周期

在工作范围内

参数 [35、36]	说明	20 ns		25 ns		45 ns		单位
		最小值	最大值	最小值	最大值	最小值	最大值	
t_{RC}	存储 / 回读启动周期时间	20	–	25	–	45	–	ns
t_{SA}	地址建立时间	0	–	0	–	0	–	ns
t_{CW}	时钟脉冲宽度	15	–	20	–	30	–	ns
t_{HA}	地址保持时间	0	–	0	–	0	–	ns
t_{RECALL}	回读持续时间	–	200	–	200	–	200	μ s

开关波形

图 11. \overline{CE} 和 \overline{OE} 控制软件存储 / 回读周期 [36]

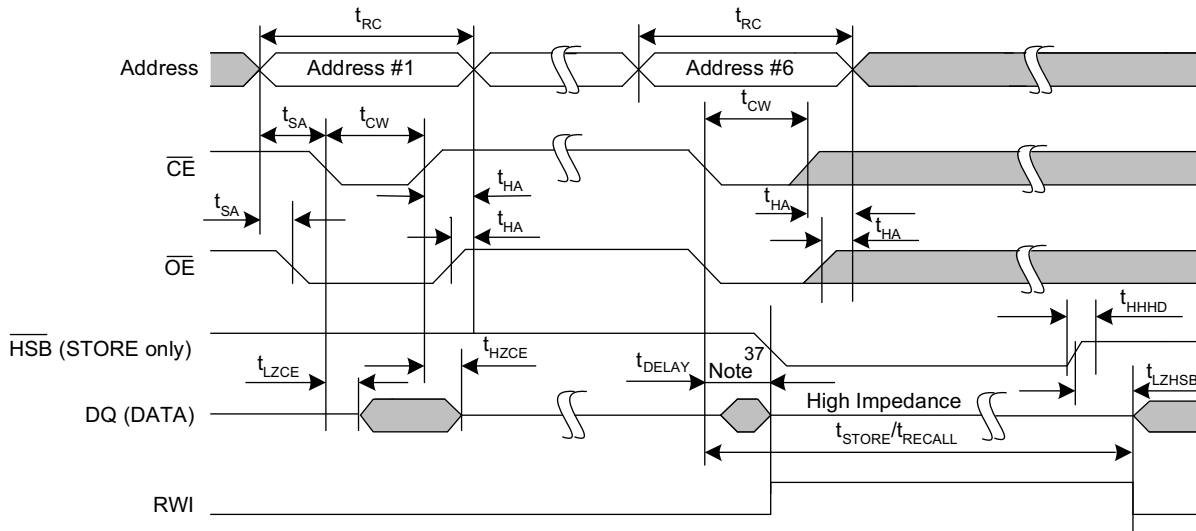
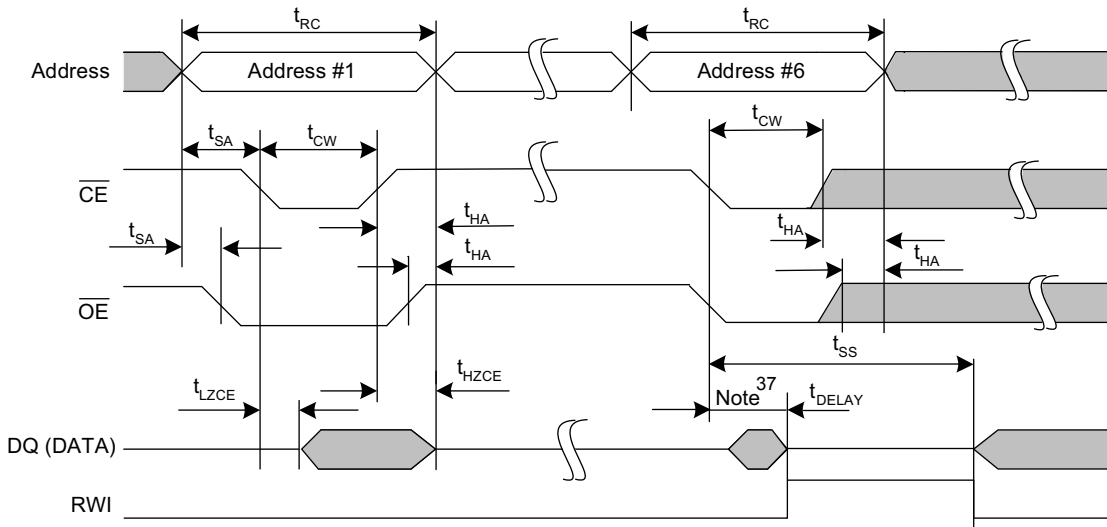


图 12. 自动存储使能 / 禁用周期 [36]



注释:

35. 软件序列由 \overline{CE} 控制的或 \overline{OE} 控制的读操作提供时钟脉冲。

36. 必须按第 7 页上的表 1 列出的顺序读取六个连续地址。在六个连续周期内， \overline{WE} 必须保持为高电平状态。

37. 由于在 t_{DELAY} 时间内禁用输出，第六次读取的 DQ 输出数据可能无效。

硬件存储周期

在工作范围内

参数	说明	20 ns		25 ns		45 ns		单位
		最小值	最大值	最小值	最大值	最小值	最大值	
t_{DHSB}	未设置写入锁存时 \overline{HSB} 到输出有效的时间	-	20	-	25	-	25	ns
t_{PHSB}	硬件存储脉冲宽度	15	-	15	-	15	-	ns
t_{SS} [38、39]	软序列处理时间	-	100	-	100	-	100	μ s

开关波形

图 13. 硬件存储周期 [40]

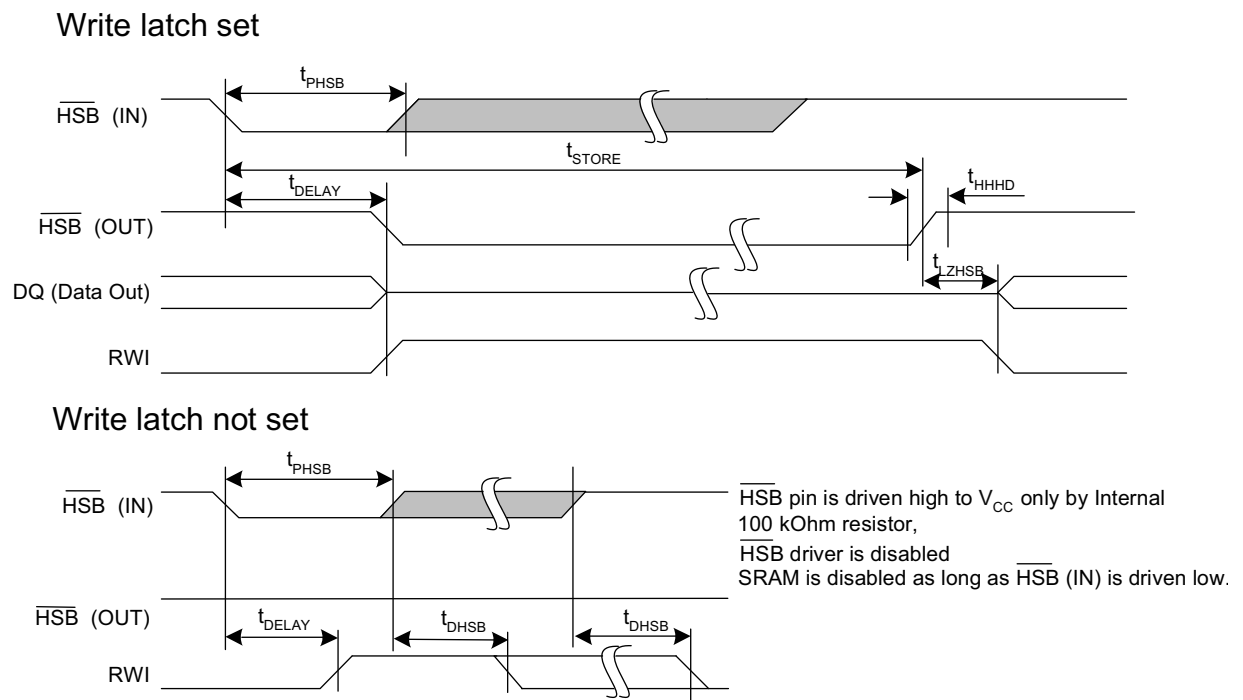
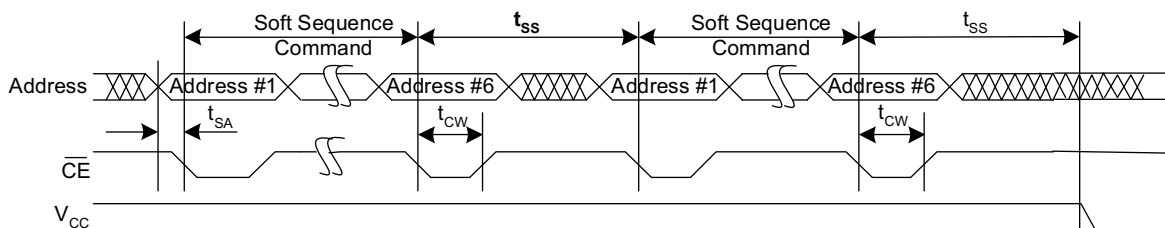


图 14. 软序列处理时间 [38、39]



注释:

- 38. 这是执行软序列指令所耗费的时间。Vcc 电压必须保持高电平以保证有效地寄存指令。
- 39. 存储和回读等指令会锁定 I/O，直到操作完成，这样会更加延长该时间。请参见特定的指令。
- 40. 如果最后一次非易失性循环完成后尚未对 SRAM 进行写操作，将不会发生自动存储或硬件存储操作。

SRAM 操作的真值表

SRAM 操作过程中，必须保持 \overline{HSB} 为高电平

表 2. × 8 配置的真值表

\overline{CE}	\overline{WE}	\overline{OE}	输入 / 输出 ^[41]	模式	电源
H	X	X	高阻态	取消选择 / 断电	待机
L	H	L	数据输出 (DQ ₀ -DQ ₇) ;	读取	活动
L	H	H	高阻态	输出处于禁用状态	活动
L	L	X	数据输入 (DQ ₀ -DQ ₇) ;	写入	活动

表 3. × 16 配置的真值表

\overline{CE}	\overline{WE}	\overline{OE}	\overline{BHE} ^[42]	\overline{BLE} ^[42]	输入 / 输出 ^[41]	模式	电源
H	X	X	X	X	高阻态	取消选择 / 断电	待机
L	X	X	H	H	高阻态	输出处于禁用状态	活动
L	H	L	L	L	数据输出 (DQ ₀ -DQ ₁₅)	读取	活动
L	H	L	H	L	数据输出 (DQ ₀ -DQ ₇) ; DQ ₈ -DQ ₁₅ 处于高阻态	读取	活动
L	H	L	L	H	数据输出 (DQ ₈ -DQ ₁₅) ; DQ ₀ -DQ ₇ 处于高阻态	读取	活动
L	H	H	L	L	高阻态	输出处于禁用状态	活动
L	H	H	H	L	高阻态	输出处于禁用状态	活动
L	H	H	L	H	高阻态	输出处于禁用状态	活动
L	L	X	L	L	数据输入 (DQ ₀ -DQ ₁₅)	写入	活动模式
L	L	X	H	L	数据输入 (DQ ₀ -DQ ₇) ; DQ ₈ -DQ ₁₅ 处于高阻态	写入	活动模式
L	L	X	L	H	数据输入 (DQ ₈ -DQ ₁₅) ; DQ ₀ -DQ ₇ 处于高阻态	写入	活动模式

注释:

41. 数据 DQ₀-DQ₇ 适用于 × 8 配置; 数据 DQ₀-DQ₁₅ 适用于 × 16 配置。

42. BHE 和 BLE 仅适用于 × 16 配置。

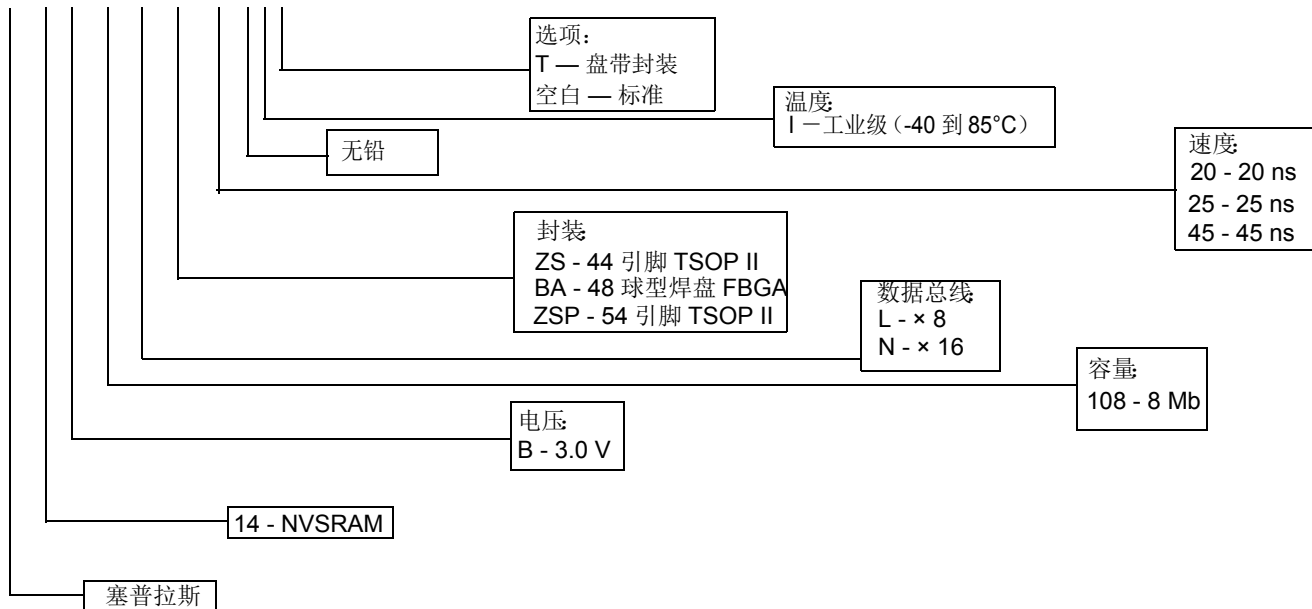
订购信息

速率 (ns)	订购代码	封装图	封装类型	工作范围
20	CY14B108L-ZS20XIT	51-85087	44 引脚 TSOP II	工业级
	CY14B108L-ZS20XI	51-85087	44 引脚 TSOP II	
25	CY14B108L-ZS25XIT	51-85087	44 引脚 TSOP II	
	CY14B108L-ZS25XI	51-85087	44 引脚 TSOP II	
	CY14B108L-BA25XIT	51-85128	48 球型焊盘 FBGA	
	CY14B108L-BA25XI	51-85128	48 球型焊盘 FBGA	
	CY14B108N-BA25XIT	51-85128	48 球型焊盘 FBGA	
	CY14B108N-BA25XI	51-85128	48 球型焊盘 FBGA	
	CY14B108N-ZSP25XIT	51-85160	54 引脚 TSOP II	
	CY14B108N-ZSP25XI	51-85160	54 引脚 TSOP II	
45	CY14B108L-ZS45XIT	51-85087	44 引脚 TSOP II	
	CY14B108L-ZS45XI	51-85087	44 引脚 TSOP II	
	CY14B108L-BA45XIT	51-85128	48 球型焊盘 FBGA	
	CY14B108L-BA45XI	51-85128	48 球型焊盘 FBGA	
	CY14B108N-BA45XIT	51-85128	48 球型焊盘 FBGA	
	CY14B108N-BA45XI	51-85128	48 球型焊盘 FBGA	
	CY14B108N-ZSP45XIT	51-85160	54 引脚 TSOP II	
	CY14B108N-ZSP45XI	51-85160	54 引脚 TSOP II	

上述的所有器件都是无铅的。

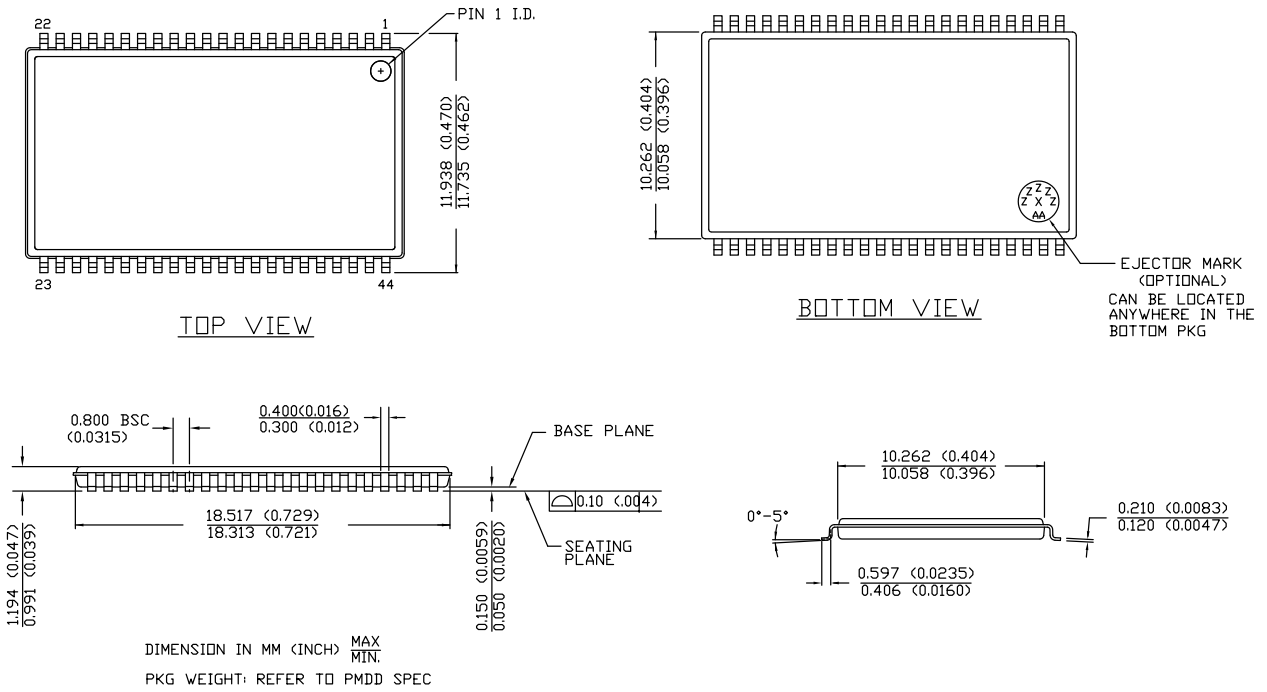
订购代码定义

CY 14 B 108 L - ZS 20 X I T



封装图

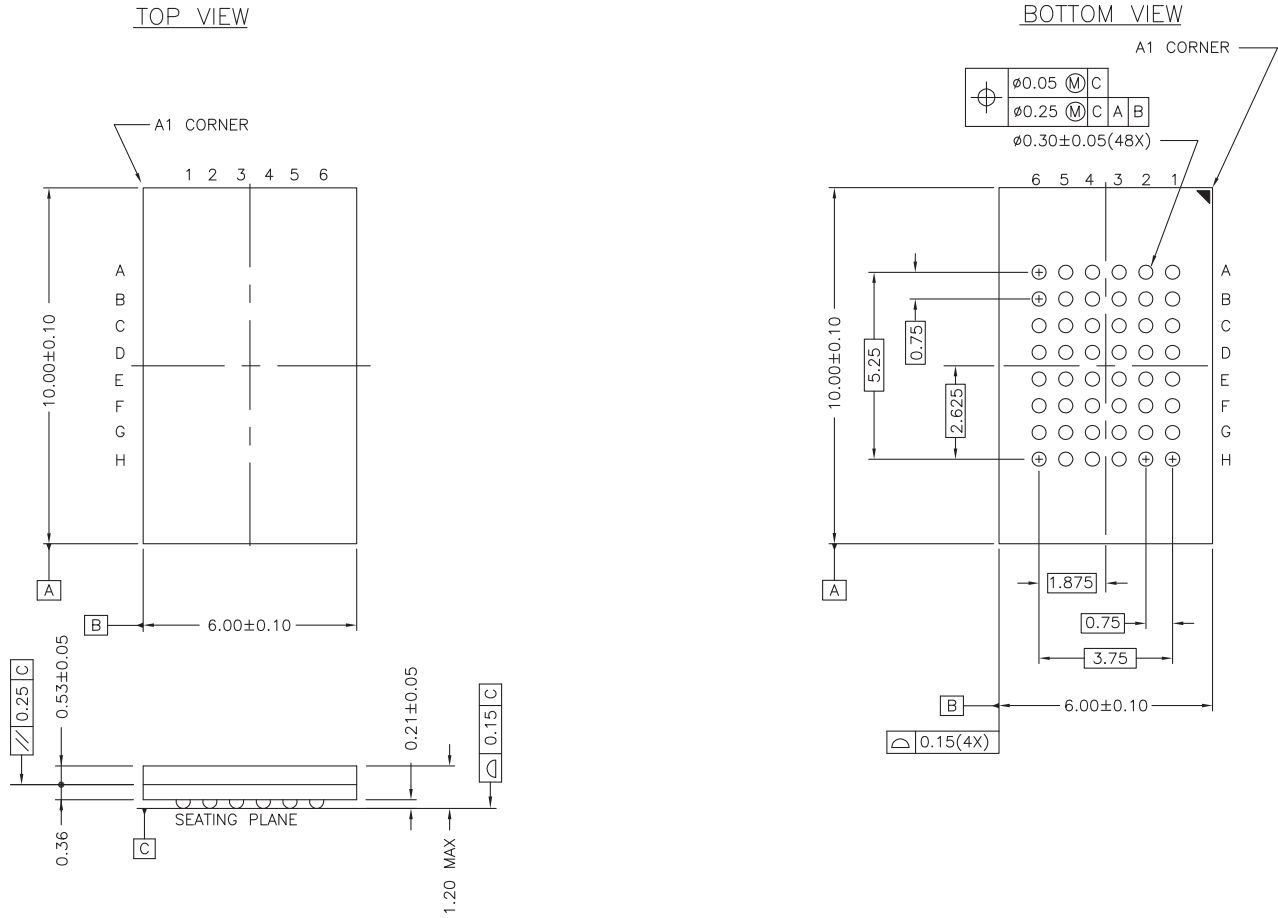
图 15. 44 引脚 TSOP II 封装外形, 51-85087



51-85087 *E

封装图 (续)

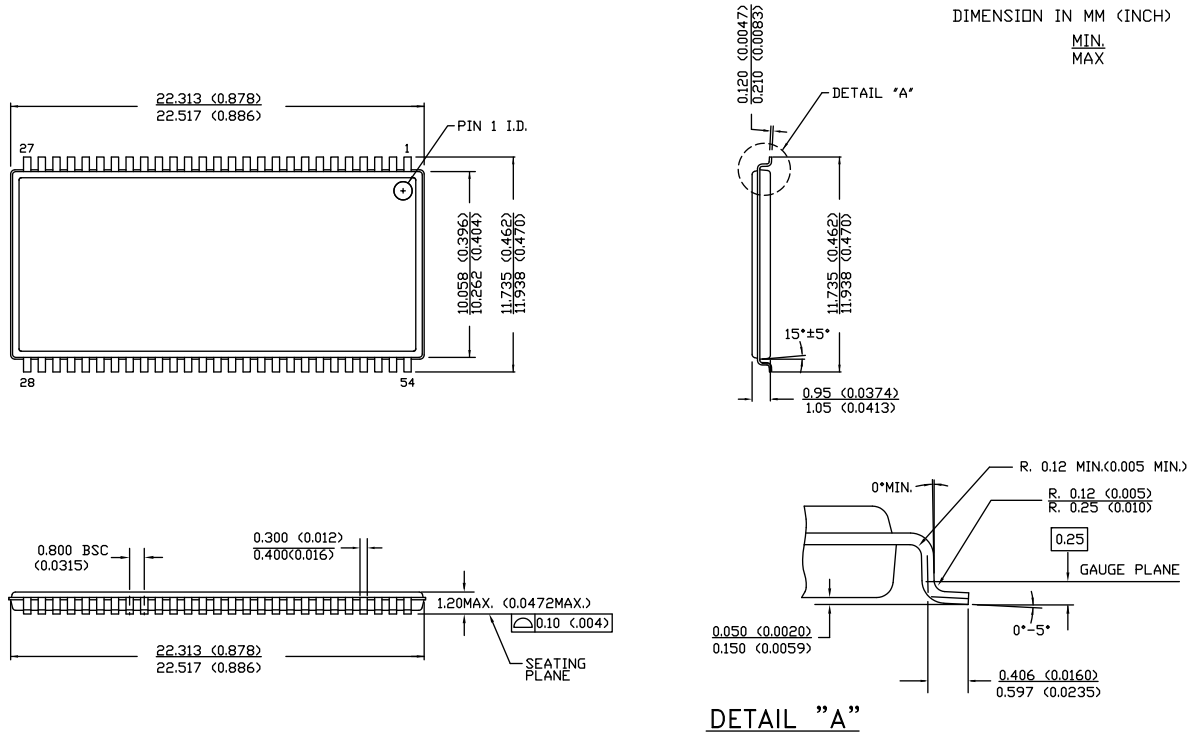
图 16. 48 球型焊盘 FBGA (6 × 10 × 1.2 mm) 封装外形, 51-85128



51-85128 *F

封装图 (续)

图 17. 54 引脚 TSOP II (22.4 × 11.84 × 1.0 mm) 封装外形, 51-85160



51-85160 *E

缩略语

缩略语	说明
CMOS	互补金属氧化物半导体
$\overline{\text{BHE}}$	字节高电平使能
$\overline{\text{BLE}}$	字节低电平使能
$\overline{\text{CE}}$	芯片使能
EIA	电子工业联盟
FBGA	小间距球栅阵列
$\overline{\text{HSB}}$	硬件存储繁忙
I/O	输入 / 输出
nvSRAM	非易失性静态随机存取存储器
OE	输出使能
RoHS	有害物质限制
RWI	禁止读和写
SRAM	静态随机存取存储器
TSOP	薄小外型封装
WE	写入使能

文档规范

测量单位

符号	测量单位
$^{\circ}\text{C}$	摄氏度
$\text{k}\Omega$	千欧
kHz	千赫兹
MHz	兆赫兹
μA	微安
μF	微法
μs	微秒
mA	毫安
ms	毫秒
ns	纳秒
Ω	欧姆
%	百分比
pF	皮法
s	秒
V	伏特
W	瓦特

勘误表

本节描述了大小为 8 Mbit (2048 K × 8, 1024 K × 16) 的 nvSRAM 产品系列的勘误表。勘误表中包括勘误触发条件、影响范围、可用解决方案和芯片修订适用性。

若有任何问题，请联系本地赛普拉斯销售代表。您可以将相关问题直接发送给这个邮箱：nvSRAM@cypress.com。

受影响的器件型号

器件型号	器件特性
CY14B108L	1024 K × 8, 在 44 TSOP-II 和 48 FBGA 封装选项中的异步接口 nvSRAM
CY14B108N	512 K × 16, 在 54 TSOP-II 和 48 FBGA 封装选项中的异步接口 nvSRAM

8 Mb (1024 K × 8, 512 K × 16) nvSRAM 的合格状态

生产器件。

8 Mb (1024 K × 8, 512 K × 16) nvSRAM 勘误表汇总

下表定义了可用的 CY14B108L、CY14B108N 器件的勘误表适用情况。

项目	器件型号	芯片版本	修复状态
1. 自动存储禁用特性不起作用。	CY14B108L CY14B108N	版本 0	无。 该问题适用于生产过程中所有 8 Mb 的 nvSRAM 器件。

1. 自动存储禁用特性不起作用。

■ 问题定义

在 nvSRAM 中，自动存储禁用软件序列禁用了 AutoStore 功能。对于在断电时将数据写到 SRAM 内不需要自动保存，而是通过 AutoStore Disable 性能实现。即使 AutoStore 功能被禁用后，8 Mb nvSRAM 仍在一半的存储器（4 Mb）中会自动执行非易失性存储操作。原因如下：

8 Mb nvSRAM 使用两个 4 Mb 的骰子叠，其中每个芯片的 $\overline{\text{HSB}}$ 引脚互相连接。晶片堆叠（stacked-die）中的每一个 nvSRAM 芯片会单独监控 V_{CC} 。器件 V_{CC} 断电时，芯片将先检测 V_{CC} 是否下降到 V_{SWITCH} 以下，然后内部触发断电中断，并将 HSB 输出设置为低电平。因为 HSB 是双向引脚，所以由一个芯片驱动的低电平 HSB 输出的检测方式与另一个芯片驱动的 HSB 输入的检测方式一样的。因此，其他芯片的低 HSB 输入会内部触发硬件存储，并执行意外的非易失性存储，即使 AutoStore Disable 软件序列已禁用自动存储功能。

■ 受影响的参数

无

■ 触发条件 (S)

nvSRAM 自动存储功能被禁用时，器件 V_{CC} 被断电。

■ 影响范围

通过将意外数据覆盖掉非易失性存储器中现有的数据，它会破坏存储器中一半的数据。

■ 解决方案

无。在 8 Mb nvSRAM 中不应该使用 AutoStore disable（自动存储禁用）功能。

■ 修复状态

该问题适用于生产中的所有 8 Mb nvSRAM 器件。对于生产中的现有器件，则无法修改该问题。

文档修订记录

文档标题: CY14B108L/CY14B108N、8 Mbit (1024 K × 8/512 K × 16) nvSRAM				
文档编号: 001-95812				
版本	ECN	变更者	提交日期	变更说明
**	4691562	WAHY	04/10/2015	本文档版本号为 Rev**, 译自英文版 001-45523 Rev*N。

销售、解决方案和法律信息

全球销售和设计支持

赛普拉斯公司拥有一个由办事处、解决方案中心、厂商代表和经销商组成的全球性网络。要找到距您最近的办事处，请访问赛普拉斯所在地。

产品

汽车级产品	cypress.com/go/automotive
时钟与缓冲器	cypress.com/go/clocks
接口	cypress.com/go/interface
照明与电源控制	cypress.com/go/powerpsoc cypress.com/go/plc
存储器	cypress.com/go/memory
PSoC	cypress.com/go/psoc
触摸感应产品	cypress.com/go/touch
USB 控制器	cypress.com/go/USB
无线 / 射频	cypress.com/go/wireless

PSoC® 解决方案

psoc.cypress.com/solutions
PSoC 1 | PSoC 3 | PSoC 4 | PSoC 5LP

赛普拉斯开发者社区

[社区](#) | [论坛](#) | [博客](#) | [视频](#) | [训练](#)

技术支持

cypress.com/go/support

© 赛普拉斯半导体公司，2008-2015。此处所包含的信息可能会随时更改，恕不另行通知。除赛普拉斯产品内嵌的电路外，赛普拉斯半导体公司不对任何其他电路的使用承担任何责任。也不会以明示或暗示的方式授予任何专利许可或其他权利。除非与赛普拉斯签订明确的书面协议，否则赛普拉斯不保证产品能够用于或适用于医疗、生命支持、救生、关键控制或安全应用领域。此外，对于可能发生运转异常和故障并对用户造成严重伤害的生命支持系统，赛普拉斯不授权将其产品用作此类系统的关键组件。若将赛普拉斯产品用于生命支持系统，则表示制造商将承担因此类使用而招致的所有风险，并确保赛普拉斯免于因此而受到任何指控。

所有源代码（软件和/或固件）均归赛普拉斯半导体公司（赛普拉斯）所有，并受全球专利法规（美国和美国以外的专利法规）、美国版权法以及国际条约规定的保护和约束。赛普拉斯据此向获许可者授予适用于个人的、非独占性、不可转让的许可，用以复制、使用、修改、创建赛普拉斯源代码的派生作品、编译赛普拉斯源代码和派生作品，并且其目的只能是创建自定义软件和/或固件，以支持获许可者仅将其获得的产品依照适用协议规定的方式与赛普拉斯集成电路配合使用。除上述指定的用途外，未经赛普拉斯明确的书面许可，不得对此类源代码进行任何复制、修改、转换、编译或演示。

免责声明：赛普拉斯不针对此材料提供任何类型的明示或暗示保证，包括（但不限于）针对特定用途的适销性和适用性的暗示保证。赛普拉斯保留在不做出通知的情况下对此处所述材料进行更改的权利。赛普拉斯不对此处所述之任何产品或电路的应用或使用承担任何责任。对于合理预计可能发生运转异常和故障，并对用户造成严重伤害的生命支持系统，赛普拉斯不授权将其产品用作此类系统的关键组件。若将赛普拉斯产品用于生命支持系统中，则表示制造商将承担因此类使用而招致的所有风险，并确保赛普拉斯免于因此而受到任何指控。

产品使用可能受适用于赛普拉斯软件许可协议的限制。