

请注意赛普拉斯已正式并入英飞凌科技公司。

此封面页之后的文件标注有“赛普拉斯”的文件即该产品为此公司最初开发的。请注意作为英飞凌产品组合的部分,英飞凌将继续为新的及现有客户提供该产品。

文件内容的连续性

事实是英飞凌提供如下产品作为英飞凌产品组合的部分不会带来对于此文件的任何变更。未来的变更将在恰当的时候发生,且任何变更将在历史页面记录。

订购零件编号的连续性

英飞凌继续支持现有零件编号的使用。下单时请继续使用数据表中的订购零件编号。

1 Mbit (128 K × 8) 串行 SPI nvSRAM

特性

- 1 Mbit 的非易失性静态随机存取存储器 (nvSRAM)
 - 内部采用 128K x 8 的组织方式
 - 将数据存储到 QuantumTrap 非易失性组件。存储操作是在断电时自动启动 (AutoStore) 或者由用户使用 HSB 引脚 (硬件 STORE) 或 SPI 指令 (软件 STORE) 启动的
 - 在加电时触发回调至 SRAM (加电回调) 或通过 SPI 指令触发回调至 SRAM (软件回调)
 - 通过较小电容在断电时自动存储数据 (CY14B101Q1 除外)
- 高可靠性
 - 无限次读、写和回调周期
 - 一百万次 QuantumTrap 存储周期
 - 数据保留时间: 20 年
- 高速串行外设接口 (SPI)
 - 40 MHz 的时钟频率
 - 支持 SPI 模式 0 (0,0) 和模式 3 (1,1)
- 写保护
 - 使用写保护 (\overline{WP}) 引脚提供硬件保护
 - 使用写禁用指令提供软件保护
 - 可为 1/4、1/2 或整个阵列提供软件模块保护
- 低功耗
 - 3V +20%, -10% 单电源供电
 - 工作频率为 40 MHz 时, 平均有功电流为 10 mA
- 行业标准配置
 - 工业级温度

- CY14B101Q1 具有与行业标准 8 引脚 NV 存储器相同的引脚配置
- 8 引脚双列扁平无引脚 (DFN) 封装和 16 引脚小外形集成电路 (SOIC) 封装
- 符合有害物质限制 (RoHS)

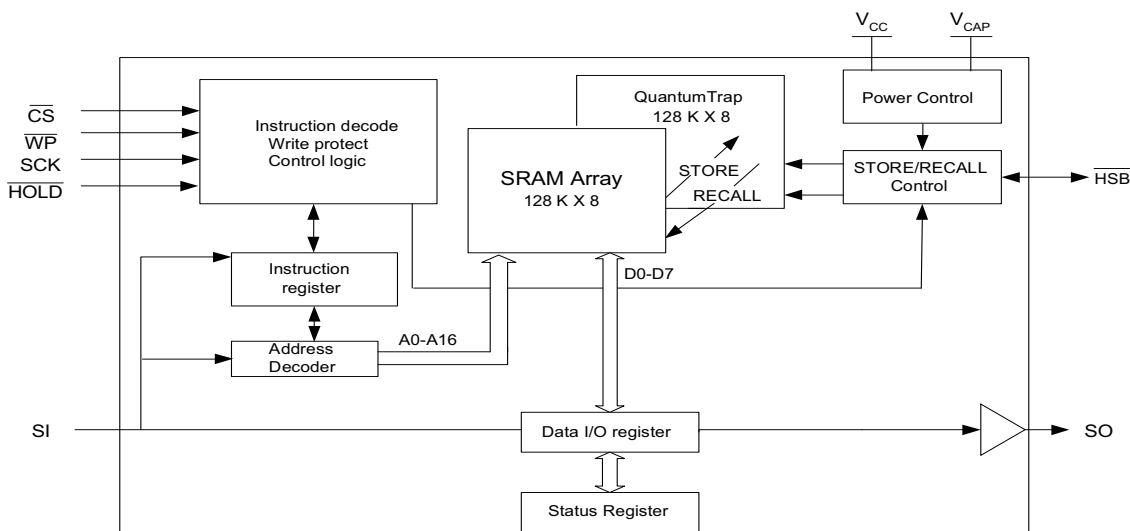
功能概述

赛普拉斯 CY14B101Q1/CY14B101Q2/CY14B101Q3 将每个存储单元中具有非易失性组件的 1 Mbit nvSRAM 与串行 SPI 接口结合在一起。该存储器采用 “128 K 字, 每字 8 位” 的组织方式。嵌入式非易失性元件通过采用 QuantumTrap 技术, 打造出了世界上最可靠的非易失性存储器。SRAM 能够实现无限次读写循环, 而 QuantumTrap 单元则能够提供高度可靠的非易失性数据存储空间。断电时, 数据会从 SRAM 自动传送到非易失性元件中 (存储操作) (CY14B101Q1 除外)。加电时, 数据会从非易失性存储器回调到 SRAM (回调操作)。存储和回调操作也可以由用户通过 SPI 指令触发。

配置

特性	CY14B101Q1	CY14B101Q2	CY14B101Q3
自动存储	无	有	有
软件存储	有	有	有
硬件存储	无	无	有

逻辑框图



目录

引脚分布	3	软件存储 (STORE) 指令	13
引脚定义	4	软件回调 (RECALL) 指令	14
器件运行	5	自动存储使能 (ASENB) 指令	14
SRAM 写入	5	自动存储禁用 (ASDISB) 指令	14
SRAM 读取	5	HOLD 引脚操作	14
存储操作	5	最大额定值	15
自动存储操作	6	工作范围	15
软件存储操作	6	直流电气特性	15
硬件存储和 HSB 引脚操作	6	数据保留时间与耐久性	16
硬件回调 (加电)	6	电容	16
软件回调	6	热阻	16
禁用和启用自动存储	6	交流测试负载和波形	16
串行外设接口	7	交流测试条件	16
SPI 概述	7	交流开关特性	17
SPI 模式	8	开关波形	17
SPI 操作功能	9	自动存储或加电回调	18
加电	9	软件控制的存储和回调循环	19
上电复位	9	开关波形	19
断电	9	硬件存储周期	20
有效功耗模式和待机功耗模式	9	开关波形	20
SPI 功能说明	9	订购信息	21
状态寄存器	10	订购代码定义	21
读取状态寄存器 (RDSR) 指令	10	封装图	22
写入状态寄存器 (WRSR) 指令	10	缩略语	24
写入保护和模块保护	11	文档规范	24
写入使能 (WREN) 指令	11	测量单位	24
写入禁用 (WRDI) 指令	11	文档修订记录页 25	
模块保护	11	销售、解决方案和法律信息	26
写保护 (WP) 引脚	12	全球销售和 design 支持	26
存储器访问	12	产品	26
读取序列 (READ) 指令	12	PSoC 解决方案	26
写入序列 (WRITE) 指令	12		

引脚分布

图 1. 8 引脚 DFN 引脚分布^[1、2、3]

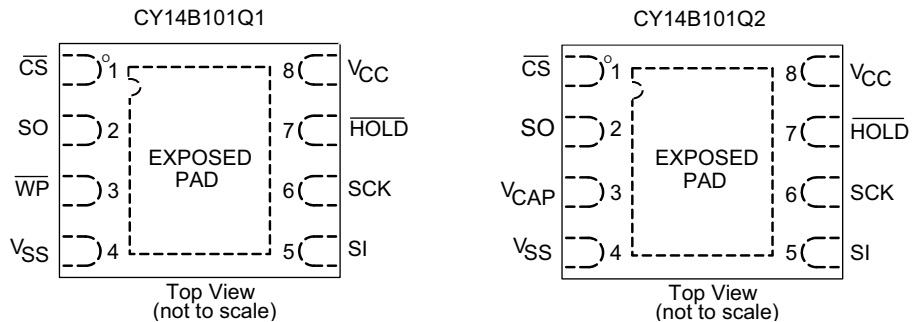
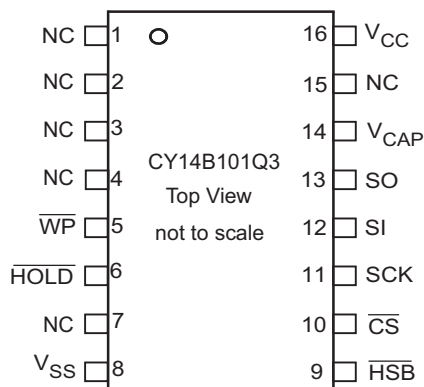


图 2. 16 引脚 SOIC 的引脚分布



注释:

1. 8 引脚 DFN 封装中不提供 HSB 引脚。
2. CY14B101Q1 芯片上没有 V_{CAP} 引脚，也不支持自动存储功能。
3. CY14B101Q2 芯片上没有 WP 引脚。

引脚定义

引脚名称	I/O 类型	说明
$\overline{\text{CS}}$	输入	芯片选择。当将该引脚置于低电平状态时，激活该器件。通过将该引脚置于高电平，可以使器件进入低功耗待机模式。
SCK	输入	串行时钟。工作速度可达最大的 f_{SCK} 。在该时钟的上升沿上锁存串行输入。则在该时钟的下降沿上驱动串行输出。
SI	输入	串行输入。用于输入所有 SPI 指令和数据的引脚。
SO	输出	串行输出。用于通过 SPI 输出数据的引脚。
WP	输入	写保护。在 SPI 中实现硬件写保护。
$\overline{\text{HOLD}}$	输入	$\overline{\text{HOLD}}$ 引脚用于暂停串行操作。
HSB	输入 / 输出	输出：指示低电平时 nvSRAM 的繁忙状态。每次执行完硬件和软件存储后，将使用标准的大输出电流在一小段时间 (t_{HHHD}) 内将 HSB 驱动为高电平，然后使用一个内部弱上拉电阻保持该引脚的高电平状态（选择性地使用外部上拉电阻连接）。 输入：通过外部将该引脚置于低电平，可执行硬件存储。
V _{CAP}	电源	自动存储电容。断电期间为 nvSRAM 提供电源，以在该过程中将数据从 SRAM 存储到非易失性元件中。如果不需要自动存储，则必须将该引脚置于“无连接”状态。请勿将其连接至 V _{SS} 。
NC	无连接	无连接：该引脚未与 die（裸片）连接。
V _{SS}	电源	接地
V _{CC}	电源	电源范围（2.7 V ~ 3.6 V）
裸露焊盘 (EXPOSE D PAD)	无连接	8 引脚 DFN 封装底层上的 EXPOSED PAD 引脚未连接到 die。建议将 EXPOSED PAD 连接至 V _{SS} 。散热过孔可以用来增加热导率。

器件运行

CY14B101Q1/CY14B101Q2/CY14B101Q3 是 1 Mbit nvSRAM 存储器，在每个存储器单元中都有非易失性元件。对 nvSRAM 的所有读和写操作都发生在 SRAM 上，它为 nvSRAM 提供独一无二的处理无限次存储器写入操作的能力。SRAM 中的数据由存储序列保护，该序列将数据并行传输到非易失性 QuantumTrap 单元中。小电容 (V_{CAP}) 用于在断电时将 SRAM 数据自动存储到非易失性单元中，从而在断电时确保数据安全。通过可靠的 SONOS 技术制造的 QuantumTrap 非易失性元件，可以使 nvSRAM 成为保护数据存储安全的最理想选择。

该 1 Mbit 存储器阵列采用“128 K 字，每字 8 位”的组织方式。可通过标准的 SPI 接口访问该存储器。该接口可以实现高达 40 MHz 的高时钟速度，且具有零周期延迟的读和写周期。该器件支持 SPI 模式 0 和模式 3 (CPOL, CPHA = 0, 0 和 1, 1)，并且可以作为 SPI 从器件工作。通过使用芯片选择 (\overline{CS}) 引脚启用器件，并通过串行输入 (SI)、串行输出 (SO) 和串行时钟 (SCK) 引脚对其进行访问。

该器件分别通过 \overline{WP} 引脚和 WRDI 指令提供硬件和软件写保护功能，并使用状态寄存器中的 BP0 和 BP1 引脚实现模块写保护机制 (1/4、1/2 或全阵列)。而且，HOLD 引脚可用于在未复位串行序列的情况下暂停任何串行通信。

CY14B101Q1/CY14B101Q2/CY14B101Q3 使用标准的 SPI 操作码进行存储器访问。除了用于读和写的通用 SPI 指令外，该器件还提供了四条特殊指令。使用这些指令可实现下面四个 nvSRAM 特定功能：存储 (STORE)、回调 (RECALL)、自动存储禁用 (ASDISB) 和自动存储启用 (ASENB)。

串行 (SPI) nvSRAM 与串行 EEPROM 相比的主要优点是对 nvSRAM 的所有读和写操作都以 SPI 总线的速度执行，且周期延迟为零。因此，在任何存储器访问之后不需要等待时间。存储和回调操作需要一定的时间来完成，在此期间将禁止所有存储器访问。当存储或回调操作进行时，器件的繁忙状态将由硬件存储繁忙 (HSB) 引脚指示，并且在状态寄存器的 RDY 位上反映出来。

该器件有三种不同的引脚配置，便于用户选择最适合他们的应用的部件。表 1 提供了特性汇总。

表 1. 特性汇总

特性	CY14B101Q1	CY14B101Q2	CY14B101Q3
\overline{WP}	有	无	有
V_{CAP}	无	有	有
HSB	无	无	有
自动存储	无	有	有
加电回调	有	有	有

表 1. 特性汇总

硬件存储	无	无	有
软件存储	有	有	有

SRAM 写入

对 nvSRAM 的所有写操作都在 SRAM 上执行，不会用完非易失性存储器的任何擦写周期。这可让用户执行无限次写操作。通过 WRITE 指令执行写周期。可通过 nvSRAM 的 SI 引脚发出 WRITE 指令。该指令由 WRITE 操作码、三个地址字节和一个数据字节组成。对 nvSRAM 的写操作以 SPI 总线速度完成，并且周期延迟为零。

在该器件中，可通过 SPI 执行突发模式写操作。这样，可以在连续的地址上启用写操作，而无需发出新的 WRITE 指令。当存储器中的最后一个地址在突发模式被锁存时，地址翻转为 0x0000，该器件继续写入。

在 SPI 协议说明的存储器访问一节中定义了 SPI 写循环序列。

SRAM 读取

读循环以 SPI 总线速度执行。执行 READ 指令后，可在周期延迟为零的情况下读出数据。可通过 nvSRAM 的 SI 引脚发出 READ 指令。该指令包括 READ 操作码和三个地址字节。可在 SO 引脚上读取该数据。

在该器件中，可通过 SPI 执行突发模式读操作。这样，可以在连续的地址上启用读操作，而无需发出新的 READ 指令。当存储器中的最后一个地址在突发模式读取中被锁存时，地址翻转为 0x0000，并且该器件继续读取。

SPI 协议说明的存储器访问一节中定义了 SPI 读循环序列。

存储操作

存储操作将 SRAM 中的数据传送到非易失性 QuantumTrap 单元内。通过以下三种存储方法之一将数据存储到非易失性单元：自动存储，器件断电时激活；软件存储，通过 STORE 指令激活；硬件存储，通过 HSB 激活。在存储周期期间，首先擦除上一个非易失性数据，接下来执行非易失性元件程序。启动存储周期后，将禁止对 CY14B101Q1/CY14B101Q2/CY14B101Q3 的读 / 写操作，直到该周期完成为止。

系统监控状态寄存器中的 \overline{HSB} 信号或 \overline{RDY} 位以检测存储或软件回调周期是否在进行中。通过将 HSB 置于低电平或将 RDY 位置一，可以指示 nvSRAM 的忙碌状态。为了避免不必要的非易失性存储，将忽略自动存储和硬件存储操作，除非在最新的存储或回调循环后发生了至少一次写操作。但是，无论是否发生写操作，都会执行软件触发的存储周期。

自动存储操作

自动存储操作是 nvSRAM 的独有特性，可在断电期间自动将 SRAM 数据存储到 QuantumTrap 中。该存储操作利用外部电容 (V_{CAP})，并在断电时，允许器件安全地将数据存储到非易失性存储器中。

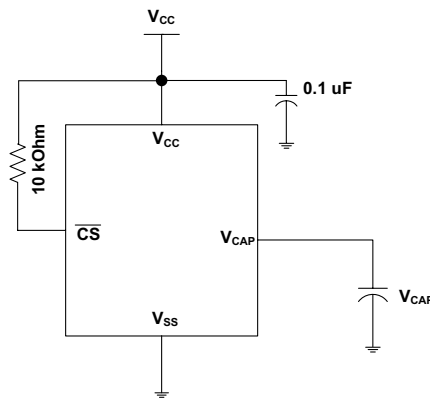
在正常工作时，器件从 V_{CC} 得到电流，以对与 V_{CAP} 引脚连接的电容充电。在断电期间，当 V_{CC} 引脚上的电压降至 V_{SWITCH} 以下时，器件将禁止对 nvSRAM 的所有存储器访问，并通过使用来自 V_{CAP} 电容的电荷自动执行有条件的存储操作。如果在上一次回调后未执行写循环，则不启动自动存储操作。

注意：如果电容未连接至 V_{CAP} 引脚，则必须通过发出第 14 页上的自动存储禁用 (ASDISB) 指令中指定的自动存储禁用指令禁用自动存储。如果在没有 V_{CAP} 引脚上的电容的情况下启用自动存储，则器件将在没有足够电荷的情况下尝试自动存储操作以完成存储。这样会破坏 nvSRAM 和状态寄存器中储存的数据。若要恢复正常功能，必须发出 WRSR 指令以更新状态寄存器中的非易失性位 BP0、BP1 和 WPEN。

图 3 显示了用于自动存储操作的存储电容 (V_{CAP}) 的正确连接。有关 V_{CAP} 的大小，请参见第 15 页上的直流电气特性。

注意 CY14B101Q1：不支持自动存储操作。用户必须使用 SPI STORE 指令执行软件存储操作以保证数据的安全。

图 3. 自动存储模式



软件存储操作

使用软件存储功能时，用户可通过特殊的 SPI 指令触发存储操作。不管在上一次 NV 操作后是否已执行了写操作，只要执行存储指令就可以启动存储操作。

存储周期需要 t_{STORE} 时间才能完成，在此期间，对 nvSRAM 的所有存储器访问都被禁止。可以轮询状态寄存器中的 RDY 位或 HSB 引脚以查找 nvSRAM 的就绪或繁忙状态。 t_{STORE} 周期结束后，再次激活 SRAM 以进行读和写操作。

硬件存储和 HSB 引脚操作

CY14B101Q3 中的 HSB 引脚用于控制和应答存储操作。如果没有正在进行的存储或回调操作，可使用该引脚请求硬件存储循环。当 HSB 引脚被置为低电平时，nvSRAM 将在 t_{DELAY} 时间后启动存储操作。仅在上一个存储或回调周期后已对 SRAM 进行了写操作的条件下才开始实际的存储周期。对存储器的读和写操作将被禁止 t_{STORE} 时间或在 HSB 引脚为低电平时都被禁止。

HSB 引脚还起到开漏驱动器（内部 100kΩ 弱上拉电阻）的作用，它在进行（通过任何手段触发的）存储时在内部变为低电平以指示繁忙状态。

注意：每次完成硬件和软件存储操作后，将使用标准输出大电流在一小段时间 (t_{HHHD}) 内将 HSB 置于高电平，然后通过一个 100 kΩ 的内部上拉电阻保持该引脚的高电平状态。

注意：想要成功存储最后一个数据字节，接收到最后数据位 D0 后，至少要经过一个时钟周期后才启动硬件存储。

存储操作完成后，如果 HSB 引脚变回高电平，nvSRAM 存储器访问将被禁止 t_{LZHSB} 时间。如果不使用 HSB 引脚，则必须将它置于未连接状态。

注意：CY14B101Q1/CY14B101Q2 没有 HSB 引脚。可以检测 SPI 状态寄存器中的 RDY 位以确定 nvSRAM 的就绪或繁忙状态。

回调操作

执行回调操作时，可将非易失性 QuantumTrap 元件中所存储的数据传输到 SRAM。可通过下面其中一个方法启动回调操作：硬件回调，在加电时启动；软件回调，通过 SPI 回调指令启动。

在内部，回调需要执行两步流程。首先，清除 SRAM 数据。然后，将非易失性信息传输到 SRAM 单元。在进行回调周期时，将禁止所有的存储器访问。回调操作不会更改非易失性元件中的数据。

硬件回调（加电）

加电期间，当 V_{CC} 超过 V_{SWITCH} 时，将启动自动回调序列，这时，非易失性存储器的内容将被传输到 SRAM。数据之前已通过存储序列存储在非易失性存储器中。

需要 t_{FA} 时间才能完成加电回调周期。在此期间，存储器访问被禁用。HSB 引脚用于检测器件的就绪状态。

软件回调

使用软件回调功能时，用户可以启动回调操作以将非易失性存储器中的内容重新存储到 SRAM 上。使用 SPI 回调指令触发软件回调。

需要 t_{RECALL} 时间才能完成软件回调操作。在此期间，对 nvSRAM 的所有存储器访问都被禁止。在发出任何存储器访问指令前，控制器必须提供完成回调操作所需的足够延迟。

禁用和启用自动存储

如果应用不需要自动存储功能，可通过 ASDISB 指令禁用该功能。禁用后，nvSRAM 不会在断电时执行存储操作。

使用 ASENb 指令可以重新使能自动存储。但是，这些操作不是非易失性操作，如果用户需要该设置来保持电源循环，则必须在自动存储禁用或启用操作之后执行存储操作。

注意：CY14B101Q2/CY14B101Q3 出厂时已经使能自动存储功能，CY14B101Q1/CY14B101Q2/CY14B101Q3 出厂时，所有的单元中都写入了 0x00。在 CY14B101Q1 中，不存在 V_{CAP} 引脚，并且没有自动存储选项。对 CY14B101Q1 执行的自动存储使能和禁用指令将被忽略。

注意：如果禁用自动存储，且不需要 V_{CAP} ，则 V_{CAP} 引脚必须保持开路状态。 V_{CAP} 引脚绝不能接地。请勿在任何情况下禁用加电回调操作。

串行外设接口

SPI 概述

SPI 是带有芯片选择 (\overline{CS})、串行输入 (SI)、串行输出 (SO) 和 串行时钟 (SCK) 引脚的四引脚接口。CY14B101Q1/CY14B101Q2/CY14B101Q3 通过 SPI 接口提供对 nvSRAM 的串行访问。该器件上的 SPI 总线最高以 40 MHz 的频率运行。

SPI 是同步的串行接口，它使用时钟和数据引脚进行存储器访问并支持数据总线上的多个器件。使用 \overline{CS} 引脚可激活 SPI 总线上的器件。

芯片选择、时钟和数据之间的关系是由 SPI 模式决定的。该器件支持 SPI 的模式 0 和模式 3。在这两种模式下，数据都将在 SCK 上升沿（从 \overline{CS} 变为有效之后的第一个上升沿）记录到 nvSRAM 内。

SPI 协议由操作码控制。这些操作码规定了从总线主设备到从设备的所有指令。激活 \overline{CS} 后，总线主设备传输的第一个字节便是操作码。随后，可以传输所有地址和数据。在完成某个操作后到发出新的操作码前， \overline{CS} 必须进入无效状态。SPI 协议中使用的常用术语如下所示：

SPI 主设备

SPI 主设备控制 SPI 总线上的操作。SPI 总线上只有一个主设备，但可有一个或多个从设备。所有从设备共享同一个 SPI 总线。主设备可通过 \overline{CS} 引脚选择任意从设备。要启动操作，必须由主设备将从设备的 \overline{CS} 引脚置于低电平状态来激活从设备。主设备生成 SCK（串行时钟），以便 SI 和 SO 线上的所有数据传输均与该时钟同步。

SPI 从设备

SPI 从设备由主设备通过片选线激活。来自 SPI 主设备的串行时钟作为从设备的输入，所有通信均与该时钟同步。SPI 从设备永远不会在 SPI 总线上启动通信，也不会执行主设备发出的指令。

CY14B101Q1/CY14B101Q2/CY14B101Q3 作为 SPI 从设备工作，并与其他 SPI 从设备共享 SPI 总线。

芯片选择 (\overline{CS})

选择任意从设备时，主设备均需要断开相应的 \overline{CS} 引脚。仅当 \overline{CS} 引脚为低电平状态时，才能将指令发送到从设备。未选择器件时，将忽略通过 SI 引脚的数据，同时，串行输出引脚 (SO) 保持高阻抗状态。

注意：必须从 \overline{CS} 的下降沿上开始执行新指令。因此，每个有效芯片选择周期内只会发送一个操作码。

串行时钟 (SCK)

串行时钟由 SPI 主设备生成，在 \overline{CS} 变为低电平后，通信将与该时钟同步。

CY14B101Q1/CY14B101Q2/CY14B101Q3 采用 SPI 模式 0 和模式 3 进行数据通信。在这两种模式下，从设备在 SCK 的上升沿上锁存输入，输出在下降沿上发出。因此，SCK 的第一个上升沿表示 SI 引脚上 SPI 指令已接收到第一位 (MSB)。此外，所有数据输入和输出均与串行时钟 SCK 同步。

数据传输—SI 和 SO

SPI 数据总线由 SI 和 SO 两条线组成，可用于串行数据通信。SI 又称为主入从出 (MOSI)，SO 又称为主出从入 (MISO)。主设备通过 SI 引脚将指令发送到从设备，从设备通过 SO 引脚进行响应。如上所述，多个从设备可共享 SI 和 SO 线。

最高有效位 (MSB)

SPI 协议要求发送的第一位是最高有效位 (MSB)。该条件也适用于地址和数据传输。

1 Mbit 串行 nvSRAM 需要一个 3 字节地址才能进行读取/写入操作。然而，由于地址只有 17 位，因此器件会忽略所载入的头 7 位。虽然无需关注前 7 位，但赛普拉斯建议将这些位设为全 0，以通过无缝切换实现更高存储容量。

串行操作码

若在 \overline{CS} 处于低电平状态时选中从设备，接收到的第一字节将作为既定操作的操作码。CY14B101Q1/CY14B101Q2/CY14B101Q3 使用标准操作码访问存储器。除了存储器访问外，它还提供了额外的操作码，用于实现 nvSRAM 特定功能：STORE（存储）、RECALL（回调）、AutoStore Enable（自动存储使能）以及 AutoStore Disable（自动存储禁用）。更多有关信息，请参考第 9 页上的表 2。

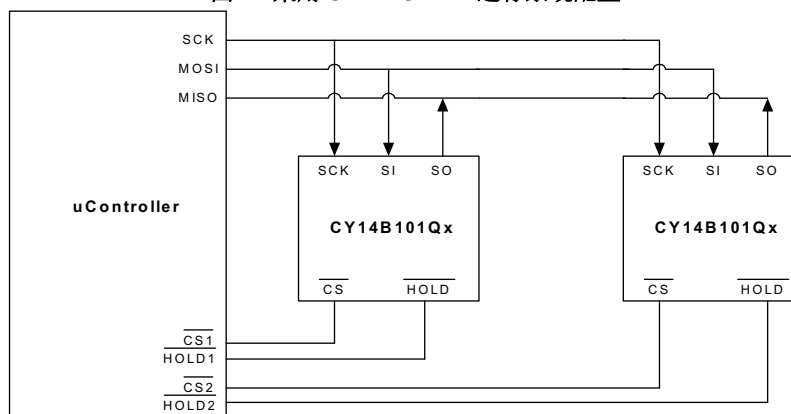
无效操作码

如果收到无效的操作码，该操作码将被忽略。器件将忽略在 SI 引脚上的任何额外串行数据，直到 \overline{CS} 的下一个下降沿，同时 SO 引脚保持三态。

状态寄存器

CY14B101Q1/CY14B101Q2/CY14B101Q3 有一个 8 位的状态寄存器。状态寄存器中的位用于配置 SPI 总线。第 10 页上的表 4 对这些位进行了说明。

图 4. 采用 SPI nvSRAM 进行系统配置



SPI 模式

CY14B101Q1/CY14B101Q2/CY14B101Q3 可由微控制器驱动，该控制器的 SPI 外设可运行于下列任一模式：

■ SPI 模式 0（CPOL=0、CPHA=0）

■ SPI 模式 3（CPOL=1、CPHA=1）

在这两种模式下，均在 SCK 的上升沿上锁存输入数据（该上升沿是从 CS 变为有效之后的第一个上升沿）。如果时钟从高电平状态启动（在模式 3 中），则采用时钟触发后的第一个上升沿。输出数据在 SCK 的下降沿上有效。

两种 SPI 模式如图 5 和图 6 中所示。当总线主设备处于待机模式且不传输数据时，时钟的状态为：

■ 在模式 0 下，串行时钟保持为 0。

■ 在模式 3 下，串行时钟保持为 1。

在模式 0 或模式 3 下，应在 SPI 控制器中设置 CPOL 和 CPHA 位。当通过将 CS 引脚变为低电平选择器件后，器件将从 SCK 引脚的状态检测 SPI 模式。若选中该器件时 SCK 引脚处于低电平状态，则会在 SPI 模式 0 下运行；如果 SCK 引脚处于高电平状态，则会在 SPI 模式 3 下运行。

图 5. SPI 模式 0

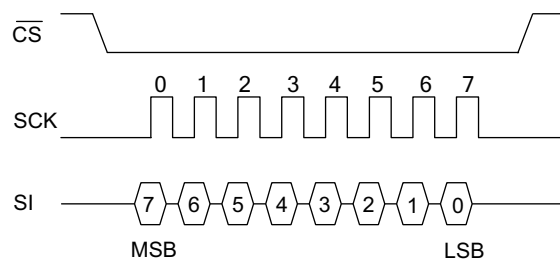
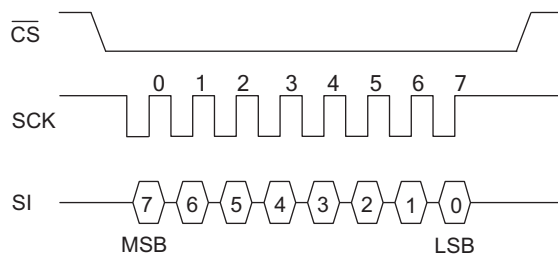


图 6. SPI 模式 3



SPI 操作功能

加电

当开启电源后 V_{CC} 超过 V_{SWITCH} 电压时即为加电。在该期间内， \overline{CS} 必须采用 V_{CC} 电压。因此，必须通过适当的上拉电阻将 \overline{CS} 连接到 V_{CC} 。作为内置安全功能时， \overline{CS} 可以是边沿触发，也可以是电平触发的。加电后，不会选择器件，直到检测到 \overline{CS} 的下降沿。这样可确保 \overline{CS} 变为低电平前处于高电平状态，以开始第一个操作。

如上所述，加电后，nvSRAM 在 t_{FA} 的时间内进行加电回调操作，因此，在此期间，所有存储器访问都被禁用。加电后，可检测 HSB 引脚以确定 nvSRAM 的就绪 / 繁忙状态。

上电复位

通过上电复位（POR）电路，可以防止意外的写操作。加电时，器件不会对任何指令做出响应，直到 V_{CC} 达到 POR 电压阈值（ V_{SWITCH} ）。 V_{CC} 等于 POR 电压阈值后，器件会内部进行复位，并执行加电回调操作。加电回调过程中，所有器件的访问均被禁止。上电复位后，器件会处于下面的状态：

- 取消选择（加电后，在开始执行某个指令前需要检测到 \overline{CS} 引脚的下降沿）。
- 待机功耗模式
- 不处于保持条件
- 状态寄存器的状态：
 - 写入使能（WEN）位被复位为 0。
 - WPEN、BP1 和 BP0 位从上一次存储操作后保持不变。
 - 无需关注位 4-6 都被复位为 0。

状态寄存器的 WPEN、BP1 和 BP0 位均为非易失性位，且从上一次存储操作后保持不变。

在选择和将指令发送给存储器前， V_{CC} 电压必须有效及稳定。该电压必须保持有效状态，直到指令传输结束为止。

断电

断电时（ V_{CC} 连续减小），如果 V_{CC} 从正常工作电压下降到低于 V_{SWITCH} 电压阈值，则器件对收到的任何指令停止响应。断电时，如果当前正在进行写周期，且已经接收到最后一个数据位 D0，则可以在 t_{DELAY} 的时间内完成写操作。此后，将禁止所有存储器访问，并进行有条件的自动存储操作（如果在上一次回调周期后未执行写操作，则不进行自动存储操作）。该功能用于防止断电时意外写入到 nvSRAM 内。

但是，为彻底避免在断电期间的无意写入，需要确保器件未被选中且处于待机功耗模式，随后 \overline{CS} 将采用 V_{CC} 上的电压。

有效功耗模式和待机功耗模式

当 \overline{CS} 处于低电平状态时，器件被选中且处于有效功耗模式。器件会消耗第 15 页上的直流电气特性中指定的 I_{CC} 电流。当 \overline{CS} 处于高电平状态时，器件被取消选择；如果未进行存储或回调周期，则器件进入待机功耗模式。如果正在进行存储或回调周期，器件在完成该操作后进入待机功耗模式。在待机功耗模式中，由器件吸取的电流将下降至 I_{SB} 。

SPI 功能说明

CY14B101Q1/CY14B101Q2/CY14B101Q3 采用 8 位指令寄存器。表 2 中列出了指令及对应操作代码。对于所有指令、地址和数据，都先传输其最高有效位（MSB），且从 \overline{CS} 的高电平转为低电平时开始传输。共有 10 条 SPI 指令，支持对 nvSRAM 中大多数功能的访问。此外，WP、HOLD 和 HSB 引脚提供了由硬件驱动的附加功能。

表 2. 指令集

指令类别	指令名	操作码	操作
状态寄存器控制指令	WREN	0000 0110	设置写入使能锁存
	WRDI	0000 0100	复位写入使能锁存
	RDSR	0000 0101	读取状态寄存器
	WRSR	0000 0001	写入状态寄存器
SRAM 读 / 写指令	READ	0000 0011	从存储器阵列中读取数据
	WRITE	0000 0010	将数据写入存储器阵列
特殊 NV 指令	STORE	0011 1100	软件存储
	RECALL	0110 0000	软件回调
	ASENB	0101 1001	自动存储使能
	ASDISB	0001 1001	自动存储禁用
预留	- Reserved -	0001 1110	

根据其功能，SPI 指令被分为以下几种类型：

- 状态寄存器访问：RDSR 和 WRSR 指令
- 写保护功能与 \overline{WP} 引脚和 WEN、BP0 和 BP1 位一起使用的 WREN 和 WRDI 指令
- SRAM 存储器访问：READ 和 WRITE 指令
- nvSRAM 特殊指令：STORE、RECALL、ASENB 和 ASDISB

状态寄存器

表 4 列出了状态寄存器的位。状态寄存器由就绪位 ($\overline{\text{RDY}}$) 和数据保护位 BP1、BP0、WEN 和 WPEN 组成。可以在 nvSRAM 存储或软件回调周期进行的同时轮询 RDY 位，以检查就绪或繁忙状态。状态寄存器可以通过 WRSR 指令进行修改，并通过 RDSR 指令进行读取。但是，通过 WRSR 指令只能修改状态寄存器的 WPEN、BP1 和 BP0 位。WRSR 指令不会对 WEN 和 RDY 位产生任何影响。WEN、BP0、BP1、位 4-6 和 WPEN 的默认出厂设置值均为 0。

表 3. 状态寄存器格式

位 7	位 6	位 5	位 4	位 3	位 2	位 1	位 0
WPEN (0)	X (0)	X (0)	X (0)	BP1 (0)	BP0 (0)	WEN (0)	$\overline{\text{RDY}}$

表 4. 状态寄存器位定义

位	定义	说明
位 0 ($\overline{\text{RDY}}$)	就绪	只读位指示器件执行存储器访问的就绪状态。器件在存储或软件回调周期期间将该位设置为“1”。
位 1 (WEN)	写入使能	WEN 指示器件是否使能写入加电时，该位默认为“0”（禁用）。 WEN = 1 --> 使能写入 WEN = 0 --> 禁用写入
位 2 (BP0)	模块保护位 0	用于保护模块。更多详细信息，请参见第 11 页上的表 5。
位 3 (BP1)	模块保护位 1	用于保护模块。更多详细信息，请参见第 11 页上的表 5。
位 4-6	无需关注	这些位都是非易失性的可写位。加电时，向这些位写入 0。
位 7 (WPEN)	写保护使能位	用于启用写保护引脚 ($\overline{\text{WP}}$) 功能。更多详细信息，请参见第 12 页上的表 6。

读取状态寄存器 (RDSR) 指令

RDSR 支持对状态寄存器的访问。该指令用于检测器件的写入使能状态或器件的就绪状态。只要存储或软件回调周期正在进行，器件就将 RDY 位设置为 1。模块保护和 WPEN 位指示保护所覆盖的范围。

通过使用 RDSR 操作码，可以在 $\overline{\text{CS}}$ 的下降沿后发出该指令。

写入状态寄存器 (WRSR) 指令

用户可通过 WRSR 指令对状态寄存器进行写操作。但是，该指令不可用于修改位 0 和位 1（分别为 RDY 和 WEN）。BP0 和 BP1 位可用于选择模块保护的四个级别中的一个。此外，必须将 WPEN 位设置为 1，以使能写保护 ($\overline{\text{WP}}$) 引脚。

WRSR 指令是写入指令，需要在发出之前通过 WREN 指令进行使能（WEN 位设置为 1）。通过使用 WRSR 操作码在 $\overline{\text{CS}}$ 下降沿发出该指令，紧跟该操作码是要存储到状态寄存器中的 8 位数据。由于只有 WRSR 指令才能修改位 2、3 和 7，因此，在写入到状态寄存器中时推荐将位 4-6 都设置为 0。

注意：在 CY14B101Q1/CY14B101Q2/CY14B101Q3 中，写入状态寄存器的有效值都仅在存储操作结束后才被保存至非易失性存储器。如果自动存储已禁用（或使用 CY14B101Q1 时），必须进行软件存储操作以保存对状态寄存器所做的修改。

注意：CY14B101Q2 没有 $\overline{\text{WP}}$ 引脚。对状态寄存器位 7 进行的修改不会影响 CY14B101Q2 的功能。

图 7. 读取状态寄存器 (RDSR) 指令时序

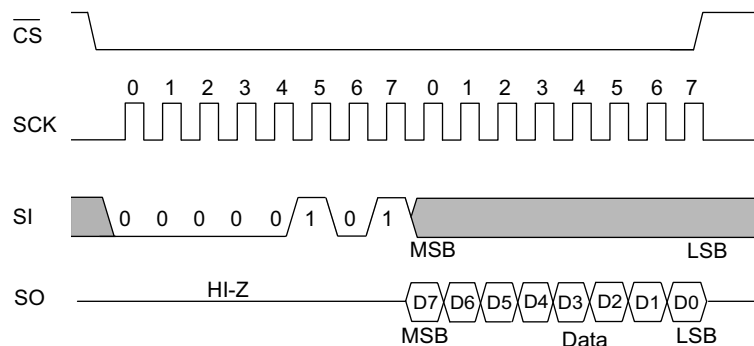
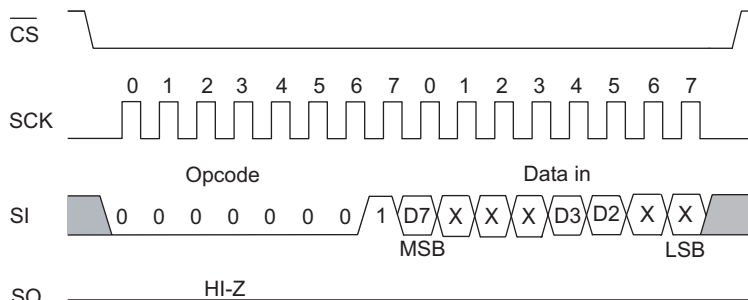


图 8. 写入状态寄存器 (WRSR) 指令时序



写入保护和模块保护

CY14B101Q1/CY14B101Q2/CY14B101Q3 通过 WRDI 指令和 WP 提供软件和硬件的写保护功能。此外，该器件还通过状态寄存器的 BP0 和 BP1 引脚提供模块保护机制。

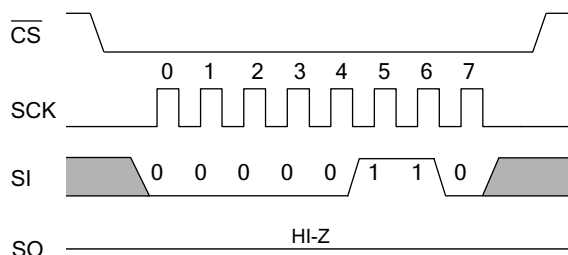
状态寄存器的 WEN 位表示器件的写使能和禁用状态。在使能写入 (WEN 位 = 1) 后才能发出写入指令 (WRSR 和 WRITE) 以及 nvSRAM 特殊指令 (STORE、RECALL、ASENB 和 ASDISB)。

写入使能 (WREN) 指令

加电时，器件保持写入禁用状态。因此，WRITE、WRSR 或 nvSRAM 特殊指令前面必须为写入使能指令。如果器件不是处于写入使能状态 (WEN = 0)，则会忽视写入指令并在 CS 处于高电平状态时返回至待机状态。要重新启动串行通信，需要一个新的 CS 下降沿。指令在 CS 的下降沿发出。使用该指令时，状态寄存器的 WEN 位被设置为 1。加电时，WEN 位默认为 0。

注意：在完成写入指令 (WRSR 或 WRITE) 或 nvSRAM 特殊指令 (STORE、RECALL、ASENB 和 ASDISB) 后，WEN 位将被清除为 0。此操作是为了防止意外写入操作而提供保护。因此，需要在一个新的写入指令发出前使用 WREN 指令。

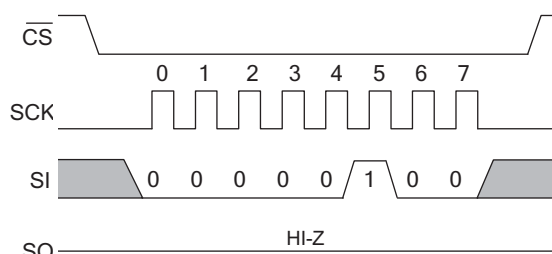
图 9. WREN 指令



写入禁用 (WRDI) 指令

写入禁用指令通过将 WEN 位清除为 0 来禁止写入操作，以防止意外写入对器件带来的不良影响。通过在 CS 的下降沿发送 WRDI 指令的操作码，可以发出该指令。发出 WRDI 指令后，在 CS 的上升沿清除 WEN 位。

图 10. WRDI 指令



模块保护

通过状态寄存器的 BP0 和 BP1 引脚提供模块保护。可通过 WRSR 指令设置这些位，并通过 RDSR 指令检测这些位。nvSRAM 分为四个阵列段。存储器段的四分之一、一半或者全部都受保护。受保护段内的任何数据都是只读的。表 5 显示了模块保护位的功能。

表 5. 模块写保护位

电平	状态寄存器位		受保护的阵列地址
	BP1	BP0	
0	0	0	无
1 (1/4)	0	1	0x18000–0x1FFFF
2 (1/2)	1	0	0x10000–0x1FFFF
3 (所有)	1	1	0x00000–0x1FFFF

写保护 (\overline{WP}) 引脚

写保护引脚 (\overline{WP}) 用于提供硬件写保护。当 \overline{WP} 引脚保持高电平时，可以正常执行所有的读写操作。当 \overline{WP} 引脚被设置为低电平且 $WPEN$ 位被设为 1 时，将禁止对状态寄存器的所有写操作。当 $WPEN$ 位为 0 时，硬件写保护功能被禁用。这样，用户能够在 \overline{WP} 引脚接地的系统内安装器件，并且仍可对状态寄存器进行写入操作。

\overline{WP} 引脚及状态寄存器的 $WPEN$ 和模块保护位 ($BP1$ 和 $BP0$) 可用于禁止对存储器进行的写操作。当 \overline{WP} 引脚被设置为低电平且 $WPEN$ 位被设为 1 时，禁止对状态寄存器的任何修改。因此，可通过设置 $BP0$ 和 $BP1$ 位保护存储器。 \overline{WP} 引脚禁止对状态寄存器位进行任何修改，从而实现硬件写入保护功能。

注意：当 \overline{CS} 处于低电平状态时， \overline{WP} 也变为低电平，对任何写入状态寄存器的操作都没有影响。

注意：CY14B101Q2 没有 \overline{WP} 引脚，因此不提供硬件写入保护。

表 6 总结该器件的所有保护功能

表 6. 写保护操作

$WPEN$	\overline{WP}	WEN	受保护的模块	无保护的模块	状态寄存器
X	X	0	受保护	受保护	受保护
0	X	1	受保护	可写	可写
1	低电平	1	受保护	可写	受保护
1	高电平	1	受保护	可写	可写

存储器访问

所有存储器访问都是通过使用 **READ** 和 **WRITE** 指令完成的。在进行存储或回调周期过程中无法使用这些指令。可通过 \overline{HSB} 引脚和状态寄存器的 RDY 位表示正在进行的存储周期。

读取序列 (READ) 指令

该器件上的读取操作是通过在 \overline{SI} 引脚上发出指令并在 \overline{SO} 引脚上读取输出完成的。如要执行读取操作，请按照下面序列：将 \overline{CS} 线设置为低电平并选取器件后，通过 \overline{SI} 线发送读取操作码，后面紧跟 3 个字节的地址。最高有效地址字节在位 0 中包含 $A16$ ，无需关注其他位。地址位 $A15$ 至 $A0$ 在随后的两个地址字节中发送。在 \overline{SI} 引脚上发送地址最后位后，会在 \overline{SCK} 下降沿到来时在 \overline{SO} 线上以 $D7$ 开始移出指定地址的数据 ($D7-D0$)。忽略地址最后位后在 \overline{SI} 线上的任何数据。

CY14B101Q1/CY14B101Q2/CY14B101Q3 允许通过 SPI 进行突发读取操作。SPI 可以在不发出新的 **READ** 指令的情况下读取连续的数据。如果只读取一个字节，读取完后应将 \overline{CS} 线置于高电平。可通过将 \overline{CS} 线保持在低电平状态延伸读取序列，这时，地址自动递增，且数据继续转移到 \overline{SO} 引脚上。当到达最后一个数据存储器地址 ($0x1FFFF$) 时，地址将翻转为 $0x0000$ ，器件继续进行读取操作。

写入序列 (WRITE) 指令

器件上的写入操作通过 \overline{SI} 引脚完成。进行写入操作时，如果器件处于写入禁用状态，首先要通过 **WREN** 指令在器件上使能写入功能。使能写入功能 ($WEN=1$) 后，在 \overline{CS} 的下降沿发出 **WRITE** 指令。**WRITE** 指令继续在 \overline{SI} 线上传输写入操作码，后跟 3 个字节的地址和要写入的数据 ($D7-D0$)。最高有效地址字节在位 0 中包含 $A16$ ，无需关注其他位。地址位 $A15$ 至 $A0$ 在随后的两个地址字节中发送。

CY14B101Q1/CY14B101Q2/CY14B101Q3 允许通过 SPI 进行突发写入操作。SPI 可以在不发出新的 **WRITE** 指令的情况下写入连续的数据。如果只写入一个字节，发送 $D0$ (数据的 **LSB**) 后应将 \overline{CS} 线置于高电平。如果要写入多个字节，应使 \overline{CS} 线保持低电平状态，地址自动递增。将 \overline{SI} 线上的随后字节视为数据字节，并将其写入连续地址中。当到达最后一个数据存储器地址 ($0x1FFFF$) 时，地址将翻转为 $0x0000$ ，器件继续进行写入操作。在完成写入序列后，将 WEN 位复位为 0。

注意：当突发写入到达受保护的模块地址时，仍在受保护空间内保持地址递增，但是不将任何数据写入到受保护的存储器内。如果突发写入的地址翻转到不受保护的地址，就恢复写入操作。如果在写入受保护的模块中使能突发写入，则以同一操作执行。

图 11. 读取指令时序

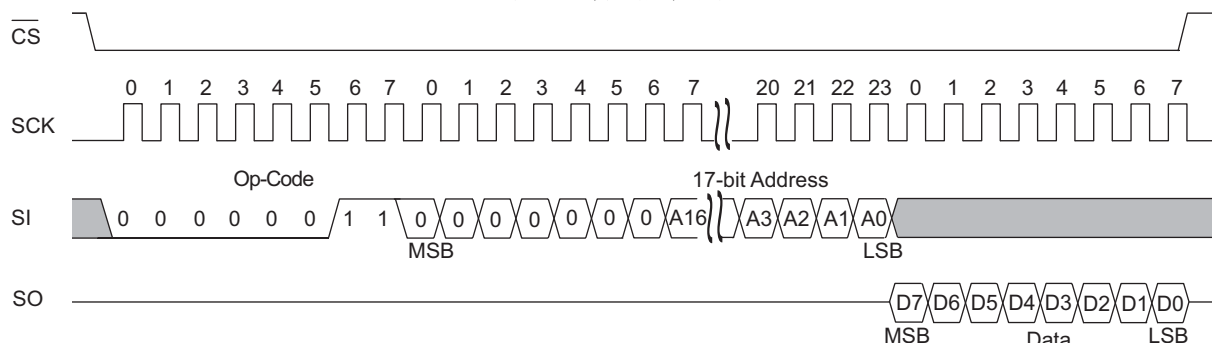


图 12. 突发模式读取指令时序

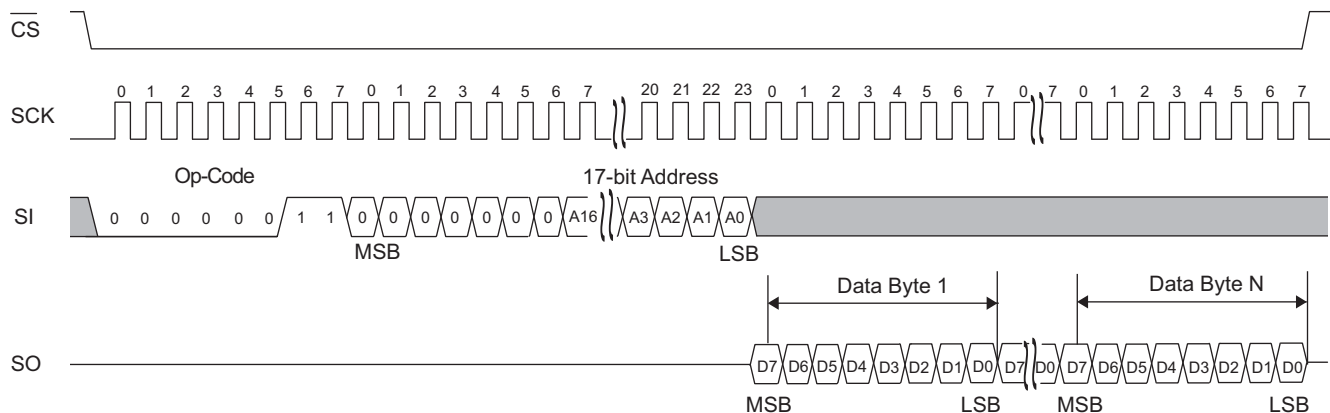


图 13. 写入指令时序

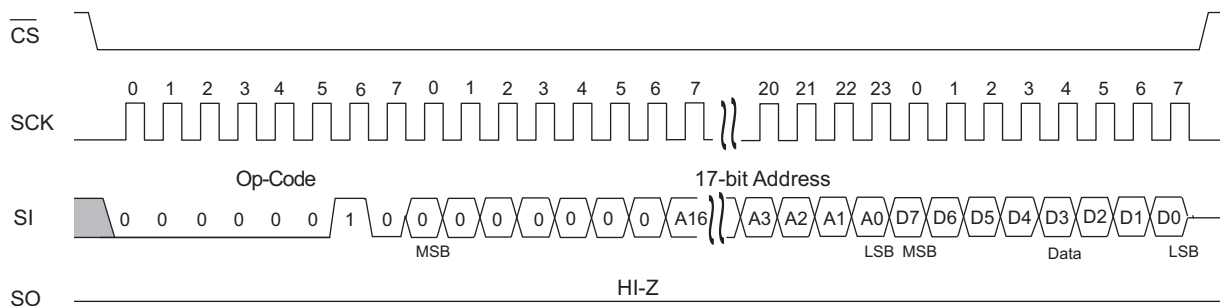
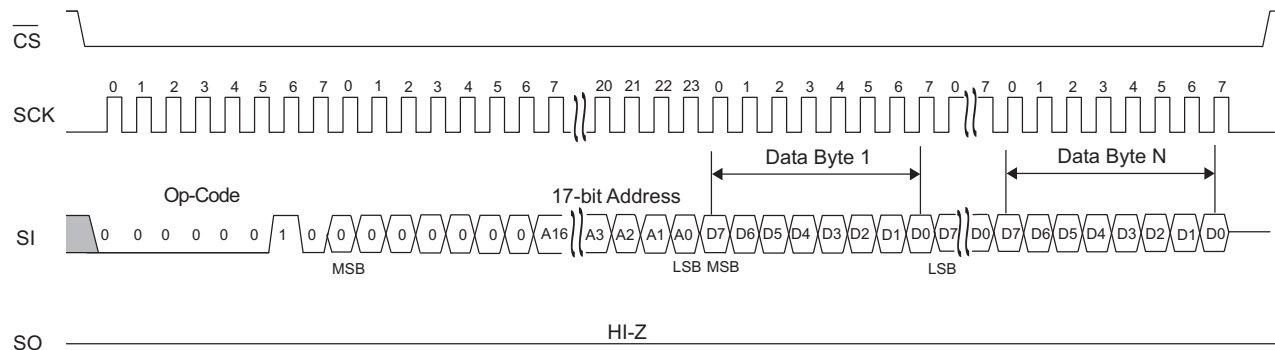


图 14. 突发模式写入指令时序



nvSRAM 特殊指令

CY14B101Q1/CY14B101Q2/CY14B101Q3 提供四条用来访问 nvSRAM 特定功能的特殊指令: STORE、RECALL、ASDISB 和 ASENb。表 7 列出了这些指令。

软件存储 (STORE) 指令

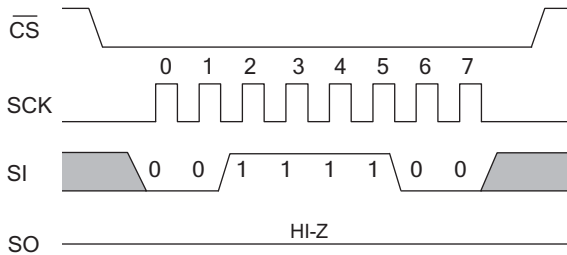
执行 STORE 指令后, nvSRAM 进行软件存储操作。无论从上次存储或回调操作后是否进行写入, 均进行存储操作。

要发出该指令, 器件必须使能写入功能 (WEN 位 = 1)。通过在 \overline{CS} 下降沿后在 SI 引脚上传输存储操作码来执行该指令。发出 STORE 指令后, 在 \overline{CS} 的上升沿上清除 WEN 位。

表 7. nvSRAM 特殊指令

函数名称	操作码	操作
STORE	0011 1100	软件存储
RECALL	0110 0000	软件回调
ASENB	0101 1001	自动存储使能
ASDISB	0001 1001	自动存储禁用

图 15. 软件存储操作

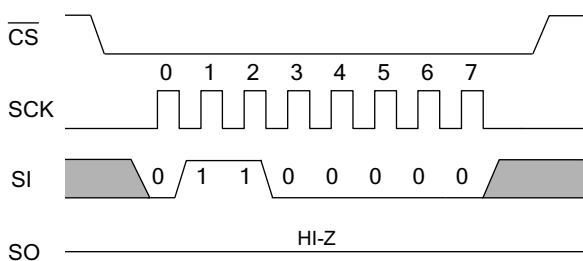


软件回调 (RECALL) 指令

执行 RECALL 指令后，nvSRAM 将执行软件回调操作。要发出该指令，器件必须使能写入功能（WEN 位 = 1）。

通过在 CS 下降沿后在 SI 引脚上传输回调操作码来执行该指令。发出 RECALL 指令后，在 CS 的上升沿上清除 WEN 位。

图 16. 软件回调操作



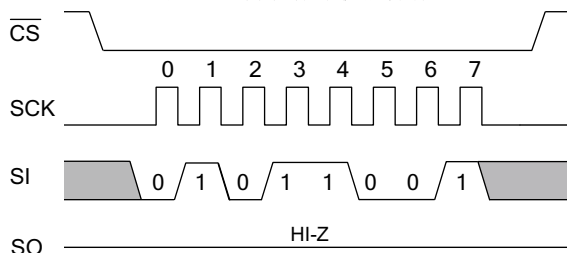
自动存储使能 (ASENB) 指令

可通过自动存储使能指令在 CY14B101Q1 上使能自动存储功能。该设置不是非易失性的。如要在电源循环后使之保持不变，那么，在进行该设置后，需要执行存储序列。

要发出该指令，器件必须使能写入功能（WEN 位 = 1）。通过在 CS 下降沿后在 SI 引脚上传输 ASENb 操作码来执行该指令。发出 ASENb 指令后，在 CS 的上升沿上清除 WEN 位。

注意：如果在 CY14B101Q1 中执行 ASDISB 和 ASENb 指令，由于软件序列处理时间 (t_{SS}) 的持续时长，器件将处于繁忙状态。但是，由于在内部禁用了自动存储，ASDISB 和 ASENb 指令对 CY14B101Q1 不起任何作用。

图 17. 自动存储使能操作

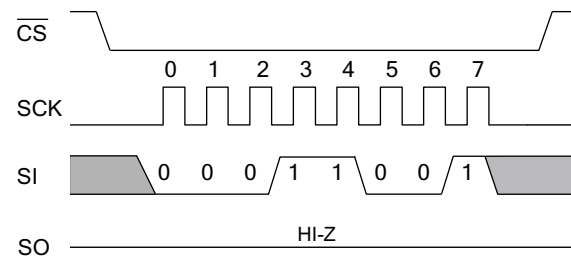


自动存储禁用 (ASDISB) 指令

CY14B101Q2/CY14B101Q3 中默认使能自动存储功能。ASDISB 指令禁用自动存储功能。该设置不是非易失性的。如要在电源循环后使之保持不变，那么，在进行该设置后，需要执行存储序列。

要发出该指令，器件必须使能写入功能（WEN 位 = 1）。通过在 CS 下降沿后在 SI 引脚上传输 ASDISB 操作码来执行该指令。发出 ASDISB 指令后，在 CS 的上升沿上清除 WEN 位。

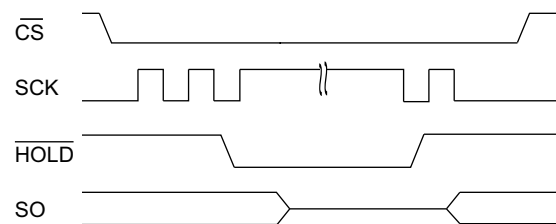
图 18. 自动存储禁用操作



HOLD 引脚操作

HOLD 引脚用于暂停串行通信。在选中器件且串行序列正在运行时，即使未复位串行序列，HOLD 引脚仍能通过主设备暂停串行通信。要暂停通信，必须在 SCK 引脚为低电平时将 HOLD 引脚置于低电平。CS 和 HOLD 引脚必须保持低电平，以暂停串行通信。器件串行通信暂停后，将忽略 SI 引脚输入，且 SO 引脚处于高阻抗状态。要恢复串行通信，必须在 SCK 引脚为低电平时将 HOLD 引脚置于高电平（SCK 可能会在 HOLD 操作的过程中切换）。

图 19. HOLD 操作



最大额定值

超过最大额定值可能会缩短器件的使用寿命。这些用户指导未经过测试。

存放温度 -65 °C 到 +150 °C

最长存储时间

在 150°C 环境温度下 1000 个小时

在 85°C 环境温度下 20 年

最高结温 150°C

相对于 V_{SS} 的供电电压 V_{CC} -0.5 V 到 +4.1 V

应用于高阻 (High Z) 状态下

的输出直流电压 0.5 V 至 $V_{CC} + 0.5$ V

输入电压 -0.5 V 到 $V_{CC} + 0.5$ V

处于接地电位的

任意引脚的跳变电压 (< 20 ns) -2.0 V 至 $V_{CC} + 2.0$ V

封装功率散耗能力 ($T_A = 25$ °C) 1.0 W

表面组装铅焊温度 (3 秒) +260 °C

直流输出电流 (每次只输出 1 路电流, 持续时间 1 秒) 15 mA

静电放电电压

(根据 MIL-STD-883, 方法 3015) > 2001 V

栓锁电流 > 200 mA

工作范围

范围	环境温度	V_{CC}
工业级	-40°C 至 +85°C	2.7 V 至 3.6 V

直流电气特性

在 工作范围 的条件下

参数	说明	测试条件	最小值	典型值 ^[4]	最大值	单位
V_{CC}	供电电压		2.7	3.0	3.6	V
I_{CC1}	V_{CC} 平均电流	在 $f_{SCK} = 40$ MHz 的条件下。 无输出负载下获得的值 ($I_{OUT} = 0$ mA)	—	—	10	mA
I_{CC2}	存储过程中的 V_{CC} 平均电流	无需关注所有的输入, $V_{CC} =$ 最大值 t_{STORE} 期间的平均电流	—	—	10	mA
I_{CC4}	自动存储循环期间 V_{CAP} 的平均电流	无需关注所有的输入。 t_{STORE} 期间的 平均电流	—	—	5	mA
I_{SB}	V_{CC} 待机电流	$CS \geq (V_{CC} - 0.2$ V)。 $V_{IN} \leq 0.2$ V 或 $\geq (V_{CC} - 0.2$ V)。 非易失性循环完成后的待机电流强度。 输入是静态的。 $f = 0$ MHz。	—	—	5	mA
$I_{IX}^{[5]}$	输入漏电流 (\overline{HSB} 除外)	$V_{CC} =$ 最大值, $V_{SS} \leq V_{IN} \leq V_{CC}$	-1	—	+1	μ A
	输入漏电流 (用于 \overline{HSB})	$V_{CC} =$ 最大值, $V_{SS} \leq V_{IN} \leq V_{CC}$	-100	—	+1	μ A
I_{OZ}	关闭状态的输出漏电流	$V_{CC} = \text{Max}$, $V_{SS} \leq V_{OUT} \leq V_{CC}$	-1	—	+1	μ A
V_{IH}	输入高电平电压		2.0	—	$V_{CC} + 0.5$	V
V_{IL}	输入低电平电压		$V_{SS} - 0.5$	—	0.8	V
V_{OH}	输出高电平电压	$I_{OUT} = -2$ mA	2.4	—	—	V
V_{OL}	输出低电平电压	$I_{OUT} = 4$ mA	—	—	0.4	V
$V_{CAP}^{[6]}$	存储电容	介于 V_{CAP} 引脚和 V_{SS} 之间	61	68	180	μ F
$V_{VCAP}^{[7, 8]}$	器件在 V_{CAP} 引脚上的最大驱动电压	$V_{CC} =$ 最大值	—	—	V_{CC}	V

注释:

4. 典型值的温度为 25°C, $V_{CC} = V_{CC(Typ)}$ 。并未经过 100% 测试。

5. 如果高电平有效和低电平有效的驱动程序均被禁用, 对于 \overline{HSB} 引脚, 当 V_{OH} 等于 2.4 V 时, $I_{OUT} = -2$ μ A。使能这些驱动程序后, 标准 V_{OH} 和 V_{OL} 均有效。该参数被特性表征化, 但未经过测试。

6. V_{CAP} 的最小值可保证能够提供用来完成自动存储操作的电荷。在加电回调周期内, V_{CAP} 的最大值确保使用了最小的电压给 V_{CAP} 上的电容充电。这样, 在紧急断电期间, 可以顺利地自动存储操作。因此, 建议始终使用介于指定的最小和最大值之间的电容。请参考应用笔记 [AN43593](#), 了解有关 V_{CAP} 选项的详细信息。

7. 当选择 V_{CAP} 电容时, 将提供 V_{CAP} 引脚上的最大电压 (V_{VCAP}) 作为指导。在工作温度范围内的 V_{CAP} 电容的额定电压应高于 V_{VCAP} 电压。

8. 这些参数仅通过设计保证, 并未经过测试。

数据保留时间与耐久性

在工作范围的条件下

参数	说明	最小值	单位
DATA _R	数据保留时间	20	年
NV _C	非易失性存储操作	1,000	K

电容

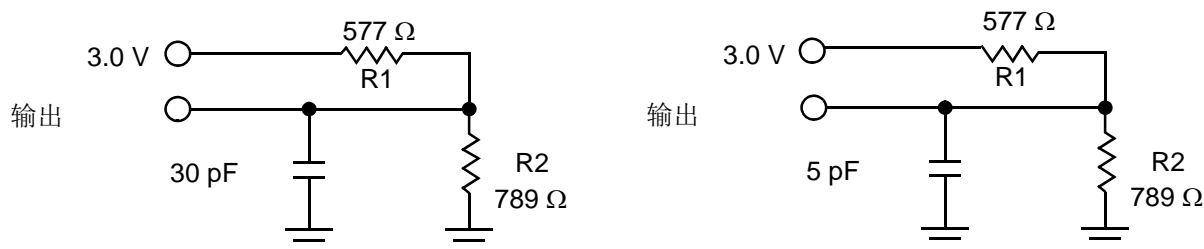
参数 ^[9]	说明	测试条件	最大值	单位
C _{IN}	输入电容	T _A = 25 °C, f = 1 MHz, V _{CC} = V _{CC(Typ)}	6	pF
C _{OUT}	输出引脚电容		8	pF

热阻

参数 ^[9]	说明	测试条件	16 引脚 SOIC	8 引脚 DFN	单位
θ _{JA}	热阻 (结温)	根据 EIA/JESD51 的要求, 测试条件遵循测试热阻的标准测试方法和过程。	55.17	17.7	°C/W
θ _{JC}	热阻 (壳温)		2.64	18.8	°C/W

交流测试负载和波形

图 20. 交流测试负载和波形



交流测试条件

输入脉冲电平 0 V 到 3 V
 输入上升和下降时间 (10% – 90%) ≤ 3 ns
 输入和输出的时序参考电平 1.5 V

注释:

9. 这些参数仅通过设计保证, 并未经过测试。

交流开关特性

在工作范围^[10]的条件下

赛普拉斯参数	备用参数	说明	40 MHz		单位
			最小值	最大值	
f_{SCK}	f_{SCK}	时钟频率, SCK	—	40	MHz
t_{CL}	t_{WL}	时钟脉冲宽度为低电平的时间	11	—	ns
t_{CH}	t_{WH}	时钟脉冲宽度为高电平的时间	11	—	ns
t_{CS}	t_{CE}	CS 为高电平的时间	20	—	ns
t_{CSS}	t_{CES}	CS 建立时间	10	—	ns
t_{CSH}	t_{CEH}	CS 保持时间	10	—	ns
t_{SD}	t_{SU}	数据的建立时间	5	—	ns
t_{HD}	t_H	数据的保持时间	5	—	ns
t_{HH}	t_{HD}	HOLD 保持时间	5	—	ns
t_{SH}	t_{CD}	HOLD 建立时间	5	—	ns
t_{CO}	t_V	输出有效	—	9	ns
$t_{HHZ}^{[11]}$	t_{HZ}	HOLD 到输出为高阻态的时间	—	15	ns
$t_{HLZ}^{[11]}$	t_{LZ}	HOLD 到输出为低阻态的时间	—	15	ns
t_{OH}	t_{HO}	输出保持时间	0	—	ns
t_{HZCS}	t_{DIS}	输出禁用时间	—	25	ns

开关波形

图 21. 同步数据时序 (模式 0)

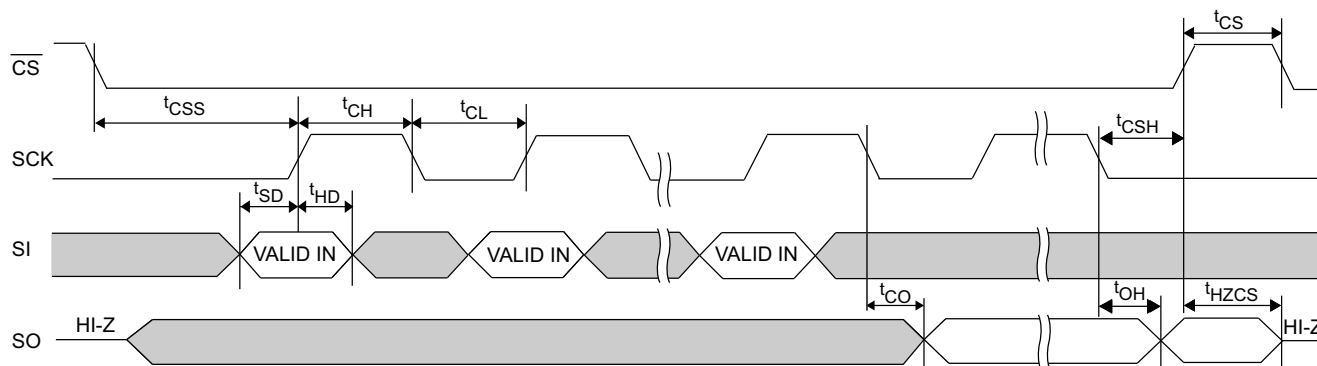
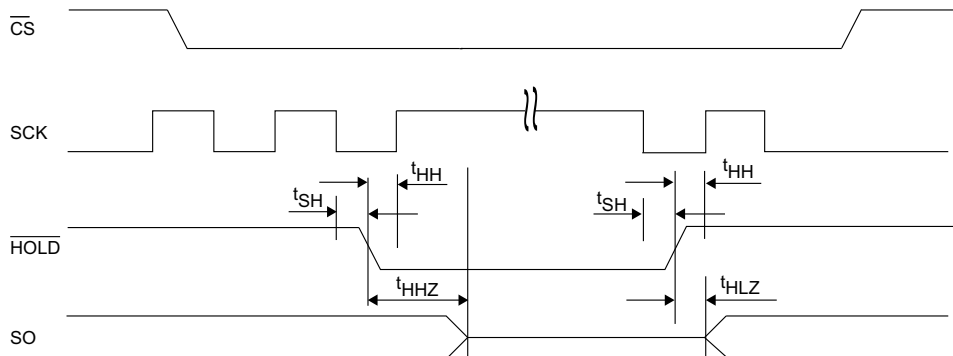


图 22. HOLD 时序



注释:

10. 测试条件采用等于或短于 3 ns 的信号跳变时间, $V_{CC}/2$ 的时序参考电平, 0 至 $V_{CC(typ)}$ 的输入脉冲电平以及图 20 中所示的指定 I_{OL}/I_{OH} 的输出负载和负载电容。

11. 这些参数仅通过设计保证, 并未经过测试。

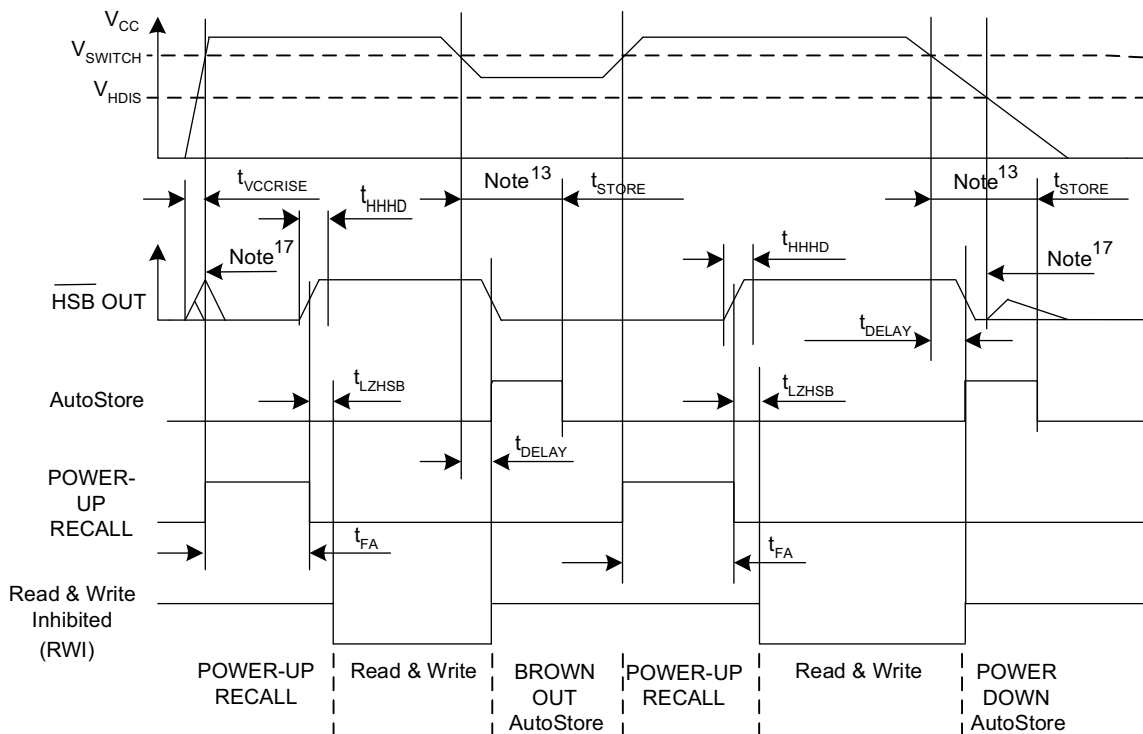
自动存储或加电回调

在工作范围的条件下

参数	说明	CY14B101Q1/CY14B101Q2/ CY14B101Q3		单位
		最小值	最大值	
$t_{FA}^{[12]}$	加电回调时间	—	20	ms
$t_{STORE}^{[13]}$	存储周期时间	—	8	ms
$t_{DELAY}^{[14]}$	完成 SRAM 周期的时长	—	25	ns
V_{SWITCH}	低电压触发电平	—	2.65	V
$t_{VCCRRISE}^{[15]}$	V_{CC} 上升时间	150	—	μ s
$V_{HDIS}^{[15]}$	\overline{HSB} 输出禁用电压	—	1.9	V
$t_{LZHSB}^{[15]}$	\overline{HSB} 为高电平到 nvSRAM 有效时间。	—	5	μ s
$t_{HHHD}^{[15]}$	\overline{HSB} 为高电平有效时间	—	500	ns

开关波形

图 23. 自动存储或加电回调^[16]



注释:

12. 在 V_{CC} 超过 V_{SWITCH} 时开始 t_{FA} 。
13. 如果执行完最后一次非易失性周期后尚未对 SRAM 进行写操作, 将不启动自动存储或硬件存储操作。
14. 在启动硬件存储 / 回调 / 自动存储启用或禁用时, 会在 t_{DELAY} 时间内持续启用 SRAM 操作。
15. 这些参数仅通过设计保证, 并未经过测试。
16. V_{CC} 小于 V_{SWITCH} 时, 将在存储、回调时忽略读写周期。
17. 在通电和断电期间, 如果通过外部电阻上拉 \overline{HSB} 引脚, \overline{HSB} 会发生短时脉冲。

软件控制的存储和回调循环

在工作范围的条件下

参数	说明	CY14B101Q1/CY14B101Q2/ CY14B101Q3		单位
		最小值	最大值	
t_{RECALL}	回调持续时间	—	200	μs
$t_{\text{SS}}^{[18, 19]}$	软序列处理时间	—	100	μs

开关波形

图 24. 软件存储周期^[19]

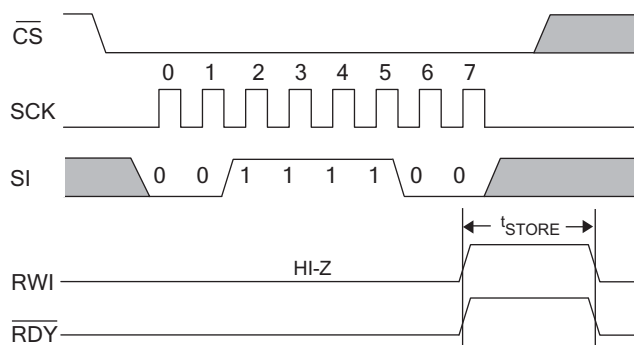


图 25. 软件回调周期^[19]

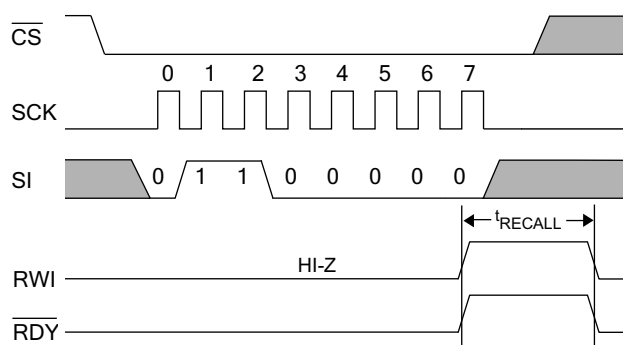


图 26. 自动存储使能周期

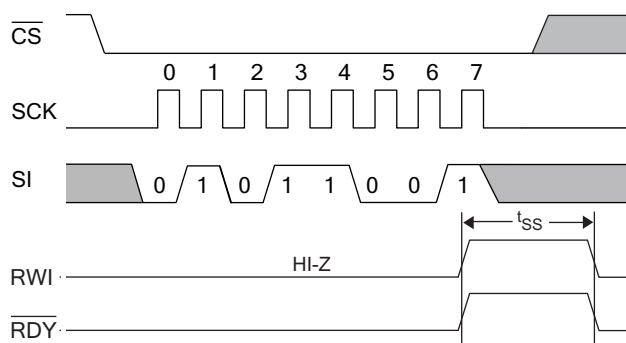
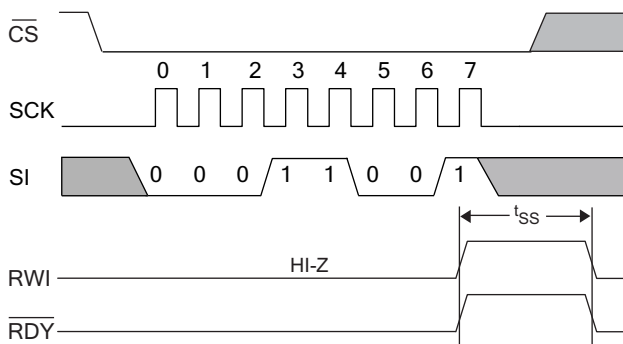


图 27. 自动存储禁用周期



注释:

18. 这是执行软序列指令所耗费的时间。V_{CC} 电压必须保持高电平以保证有效地寄存指令。
19. 存储和回调等指令会锁定 I/O，直到操作完成，这便更加延长该时间。请参见特定的指令。

硬件存储周期

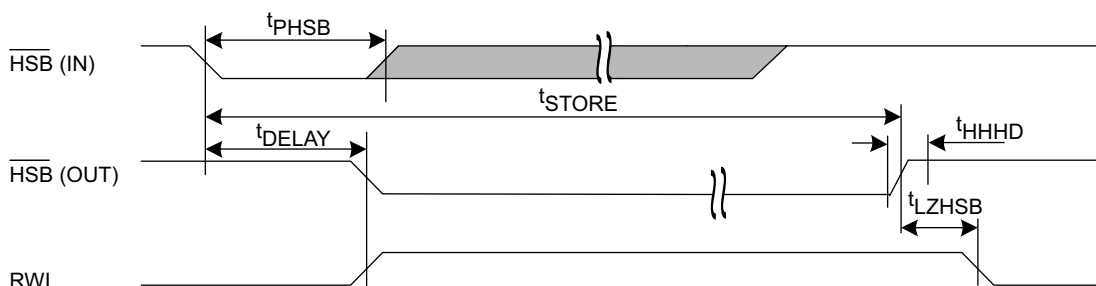
在工作范围条件下

参数	说明	CY14B101Q3		单位
		最小值	最大值	
t_{PHSB}	硬件存储脉冲宽度	15	—	ns

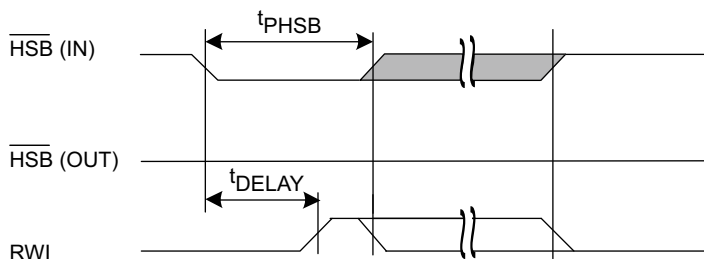
开关波形

图 28. 硬件存储周期^[20]

Write Latch set



Write Latch not set



HSB pin is driven HIGH to V_{CC} only by Internal 100 K Ω resistor, HSB driver is disabled
SRAM is disabled as long as HSB (IN) is driven LOW.

注释:

20. 如果最后一次非易失性循环完成后尚未对 SRAM 进行写操作, 则将不会发生自动存储或硬件存储操作。

订购信息

订购代码	封装图	封装类型	工作范围
CY14B101Q2-LHXI	001-50671	8 引脚 DFN (使用 V_{CAP})	工业级

上述所有器件都是无铅的。

订购代码定义

CY 14 B 101 Q 2-SF X I T

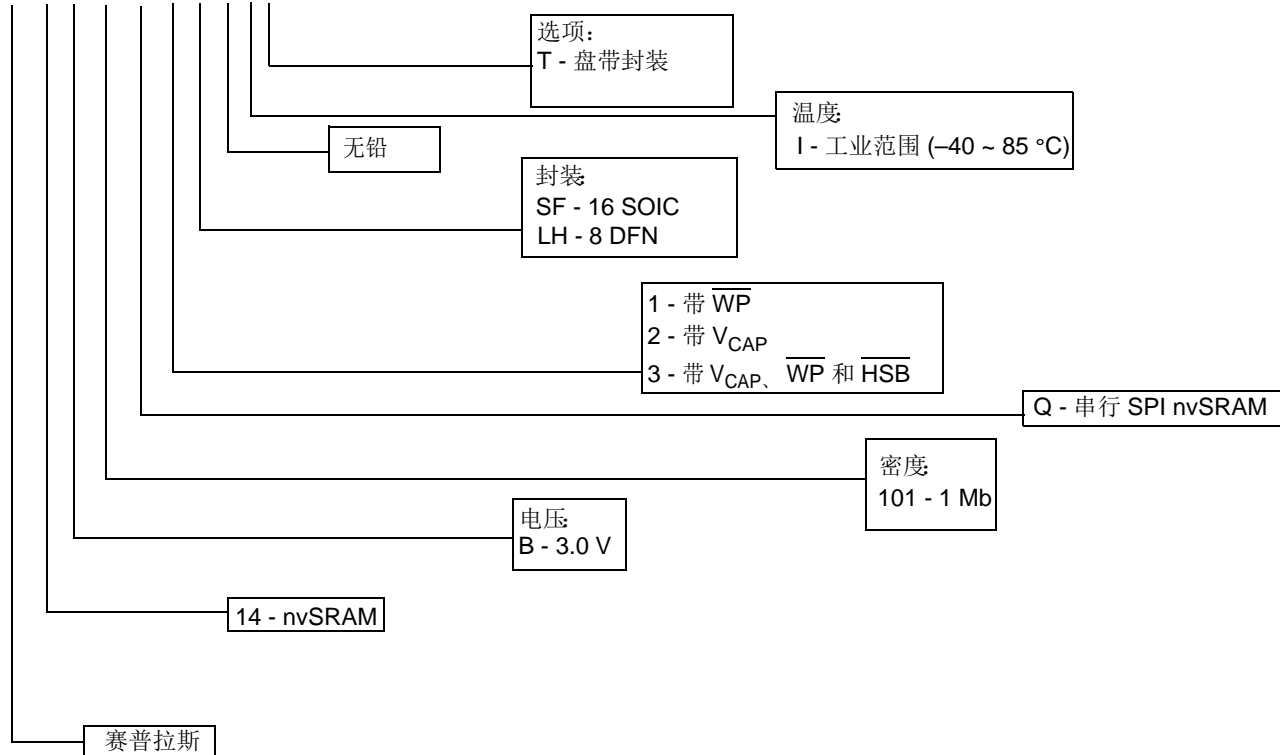


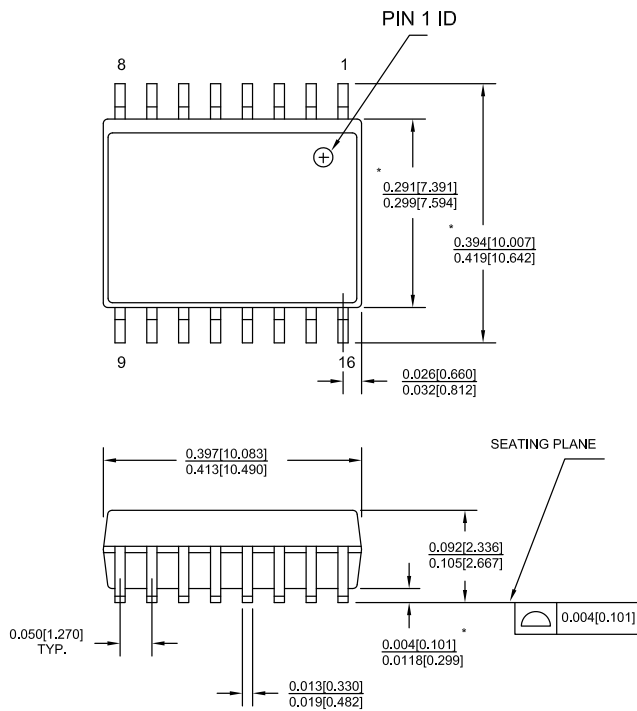
图 29. 8 引脚 DFN (5 × 6 × 0.85 mm) 封装外形, 001-50671



- 001-50671 *C

封装图（续）

图 30. 16 引脚 SOIC（0.413 × 0.299 × 0.0932 英寸）封装外形， 51-85022

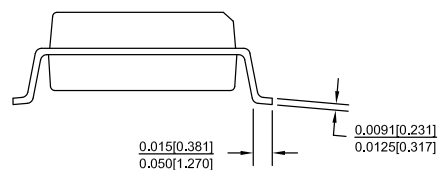


DIMENSIONS IN INCHES[MM]

MIN.
MAX.

REFERENCE JEDEC MO-119

PART #	
S16.3	STANDARD PKG.
SZ16.3	LEAD FREE PKG.



51-85022 *E

缩略语

缩略语	说明
CPHA	时钟相位
CPOL	时钟极性
DFN	双列扁平无引脚
EEPROM	电可擦写可编程只读存储器
EIA	电子工业联盟
I/O	输入 / 输出
JEDEC	联合电子器件工程委员会
LSB	最低有效位
MSB	最高有效位
nvSRAM	非易失性静态随机存取存储器
RWI	禁止读和写
RoHS	有害物质限制
SPI	串行外设接口
SONOS	微米硅氧化氮氧化硅半导体
SOIC	小外形集成电路
SRAM	静态随机存取存储器

文档规范

测量单位

符号	测量单位
°C	摄氏度
Hz	赫兹
kHz	千赫兹
kΩ	千欧姆
Mbit	兆位
MHz	兆赫兹
μA	微安
μF	微法
μs	微秒
mA	毫安
ms	毫秒
ns	纳秒
Ω	欧姆
%	百分比
pF	皮法
V	伏特
W	瓦特

文档修订记录页

文档标题: CY14B101Q1/CY14B101Q2/CY14B101Q3, 1 Mbit (128 K × 8) 串行 SPI nvSRAM 文档编号: 001-63463				
版本	ECN	变更者	提交日期	变更说明
**	3002218	VLX	08/06/2010	本文档译自英文版 001-50091 *F。
*A	3319593	VLX	07/18/2011	本文档译自英文版 001-50091 *H。
*B	3394574	VLX	10/04/2011	进行少量编辑。
*C	4507775	SNYQ	09/19/2014	本文档版本号为 Rev*C, 译自英文版 001-50091 Rev*M。

销售、解决方案和法律信息

全球销售和设计支持

赛普拉斯公司拥有一个由办事处、解决方案中心、工厂代表和经销商组成的全球性网络。要找到离您最近的办事处，请访问[赛普拉斯所在地](#)。

产品

汽车级产品	cypress.com/go/automotive
时钟与缓冲区	cypress.com/go/clocks
接口	cypress.com/go/interface
照明与电源控制	cypress.com/go/powerpsoc cypress.com/go/plc
存储器	cypress.com/go/memory
光学与图像传感器	cypress.com/go/image
PSoC	cypress.com/go/psoc
触摸感应产品	cypress.com/go/touch
USB 控制器	cypress.com/go/USB
无线 / 射频	cypress.com/go/wireless

PSoC 解决方案

psoc.cypress.com/solutions
PSoC 1 | PSoC 3 | PSoC 5

© 赛普拉斯半导体公司，2010-2014。此处，所包含的信息可能会随时更改，恕不另行通知。除赛普拉斯产品内嵌的电路外，赛普拉斯半导体公司不对任何其他电路的使用承担任何责任。也不会以明示或暗示的方式授予任何专利许可或其他权利。除非与赛普拉斯签订明确的书面协议，否则赛普拉斯产品不保证能够用于或适用于医疗、生命支持、救生、关键控制或安全应用领域。此外，对于可能发生运转异常和故障并对用户造成严重伤害的生命支持系统，赛普拉斯不授权将其产品用作此类系统的关键组件。若将赛普拉斯产品用于生命支持系统中，则表示制造商将承担因此类使用而招致的所有风险，并确保赛普拉斯免于因此而受到任何指控。

所有源代码（软件和/或固件）均归赛普拉斯半导体公司（赛普拉斯）所有，并受全球专利法规（美国和美国以外的专利法规）、美国版权法以及国际条约规定的保护和约束。赛普拉斯据此向获许可者授予适用于个人的、非独占性、不可转让的许可，用以复制、使用、修改、创建赛普拉斯源代码的派生作品、编译赛普拉斯源代码和派生作品，并且其目的只能是创建自定义软件和/或固件，以支持获许可者仅将其获得的产品依照适用协议规定的方式与赛普拉斯集成电路配合使用。除上述指定的用途外，未经赛普拉斯的明确书面许可，不得对此类源代码进行任何复制、修改、转换、编译或演示。

免责声明：赛普拉斯不针对此材料提供任何类型的明示或暗示保证，包括（但不限于）针对特定用途的适销性和适用性的暗示保证。赛普拉斯保留在不做出通知的情况下对此处所述材料进行更改的权利。赛普拉斯不对此处所述之任何产品或电路的应用或使用承担任何责任。对于合理预计可能发生运转异常和故障，并对用户造成严重伤害的生命支持系统，赛普拉斯不授权将其产品用作此类系统的关键组件。若将赛普拉斯产品用于生命支持系统中，则表示制造商将承担因此类使用而招致的所有风险，并确保赛普拉斯免于因此而受到任何指控。

产品使用可能受适用于赛普拉斯软件许可协议的限制。