

サイプレスはインフィニオン テクノロジーズになりました

この表紙に続く文書には「サイプレス」と表記されていますが、これは同社が最初にこの製品を開発したからです。新規および既存のお客様いずれに対しても、引き続きインフィニオンがラインアップの一部として当該製品をご提供いたします。

文書の内容の継続性

下記製品がインフィニオンの製品ラインアップの一部として提供されたとしても、それを理由としてこの文書に変更が加わることはありません。今後も適宜改訂は行いますが、変更があった場合は文書の履歴ページでお知らせします。

注文時の部品番号の継続性

インフィニオンは既存の部品番号を引き続きサポートします。ご注文の際は、データシート記載の注文部品番号をこれまで通りご利用下さい。

1M ビット (128K×8/64K×16) nvSRAM

特長

- 20ns、25ns、45ns のアクセス時間
- 128K×8 (CY14B101LA) または 64K×16 (CY14B101NA) として内部的に構成
- 小容量のコンデンサだけで電源切断時の自動 STORE 処理を実行
- QuantumTrap 不揮発性要素への STORE 処理はソフトウェア、デバイスピン、または電源切断時の AutoStore により開始
- SRAM への RECALL 処理はソフトウェアまたは電源投入により開始
- 回数に制限のない読み出し、書き込み、RECALL サイクル
- QuantumTrap に対する 100 万回の STORE サイクル
- 20 年のデータ保持期間
- 3V (+20% ~ -10%) の単一電源で動作
- 産業用温度範囲

■ パッケージ

- 32 ピン小型集積回路 (SOIC)
- 44/54 ピン小型薄型パッケージ (TSOP) タイプ II
- 48 ピン縮小小型パッケージ (SSOP)
- 48 ボール微細ピッチ ボール グリッド アレイ (FBGA)

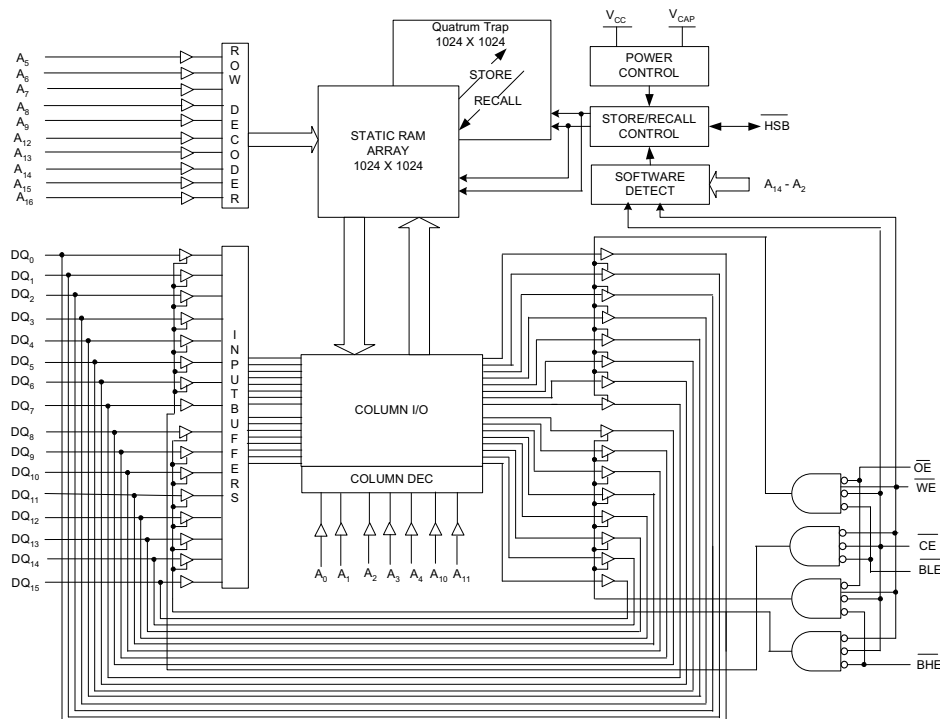
■ 鉛フリーおよび特定有害物質使用制限 (RoHS) に準拠

機能の詳細

サイプレスの CY14B101LA / CY14B101NA は、メモリセルごとに不揮発性要素を組み込んだ高速スタティック RAM (SRAM) です。このメモリは 128K バイト × 8 ビットまたは 64K ワード × 16 ビットで構成されます。組込み型不揮発性素子には、世界最高級の信頼性を備えた不揮発性メモリを実現する QuantumTrap 技術を採用しています。回数に制限のない読み出しと書き込みを SRAM で可能にする一方、不揮発性データを不揮発性素子に独立して保持できるようにしています。SRAM から不揮発性要素へのデータ転送 (STORE 処理) は、電源切断時に自動的に実行されます。電源投入時には、不揮発性メモリから SRAM にデータが復元されます (RECALL 処理)。STORE と RECALL 両方の処理はソフトウェア制御でも実行できます。

関連リソースの完全なリストは、[ここ](#)をクリックしてください。

ロジックブロック図 [1、2、3]



注

1. ×8 構成ではアドレス A₀ ~ A₁₆、×16 構成ではアドレス A₀ ~ A₁₅ です。
2. ×8 構成ではデータ DQ₀ ~ DQ₇、×16 構成ではデータ DQ₀ ~ DQ₁₅ です。
3. BHE と BLE は ×16 構成でのみ使用できます。

目次

ピン配置	3	スイッチング波形	12
ピン機能	5	AutoStore／電源投入RECALL	15
デバイスの動作	6	スイッチング波形	15
SRAM読み出し	6	ソフトウェア制御のSTORE／RECALLサイクル	16
SRAM書き込み	6	スイッチング波形	16
AutoStore処理	6	ハードウェアSTOREサイクル	17
ハードウェアSTORE処理	6	スイッチング波形	17
ハードウェアRECALL (電源投入)	7	SRAM真理値表	18
ソフトウェアSTORE	7	注文情報	19
ソフトウェアRECALL	7	注文コードの定義	20
AutoStoreの防止	8	パッケージ図	21
データ保護	8	略語	26
最大定格	9	本書の表記法	26
動作範囲	9	測定単位	26
DC電気的特性	9	改訂履歴	27
データ保持期間およびアクセス可能回数	10	セールス、ソリューション、および法律情報	28
静電容量	10	ワールドワイドな販売と設計サポート	28
熱抵抗	10	製品	28
ACテスト負荷	11	PSoC®ソリューション	28
ACテスト条件	11	サイプレス開発者コミュニティ	28
ACスイッチング特性	12		
SRAM読み出しサイクル	12		
SRAM書き込みサイクル	12		

ピン配置

図 1. ピン配置図 – 44 ピン TSOP II

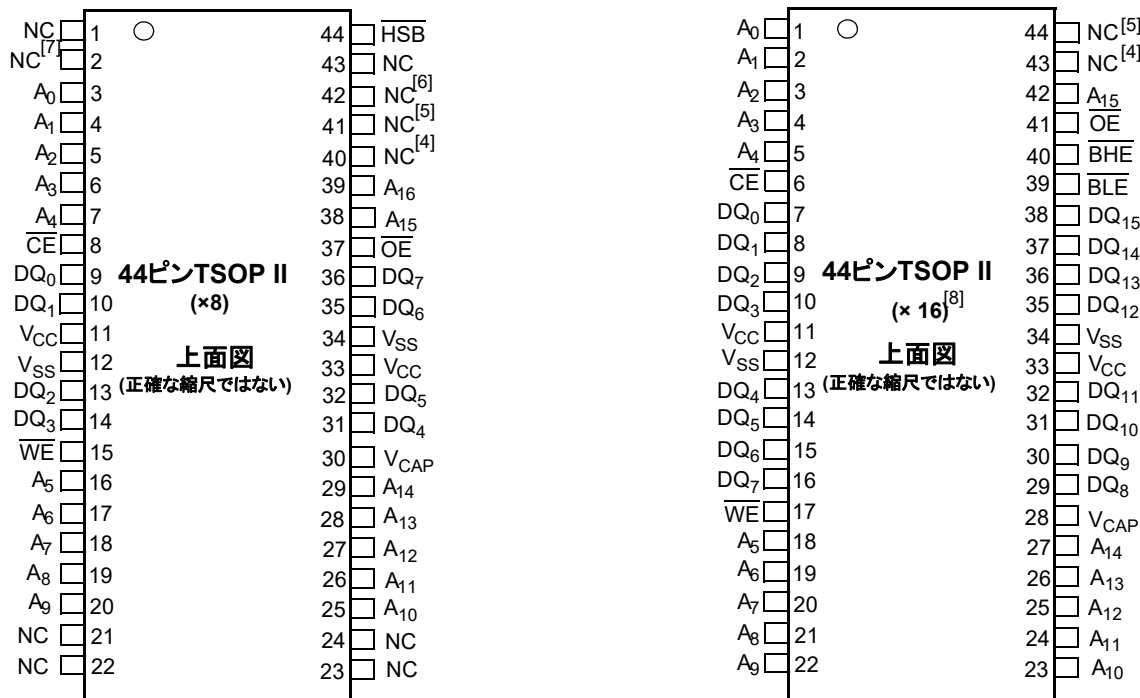
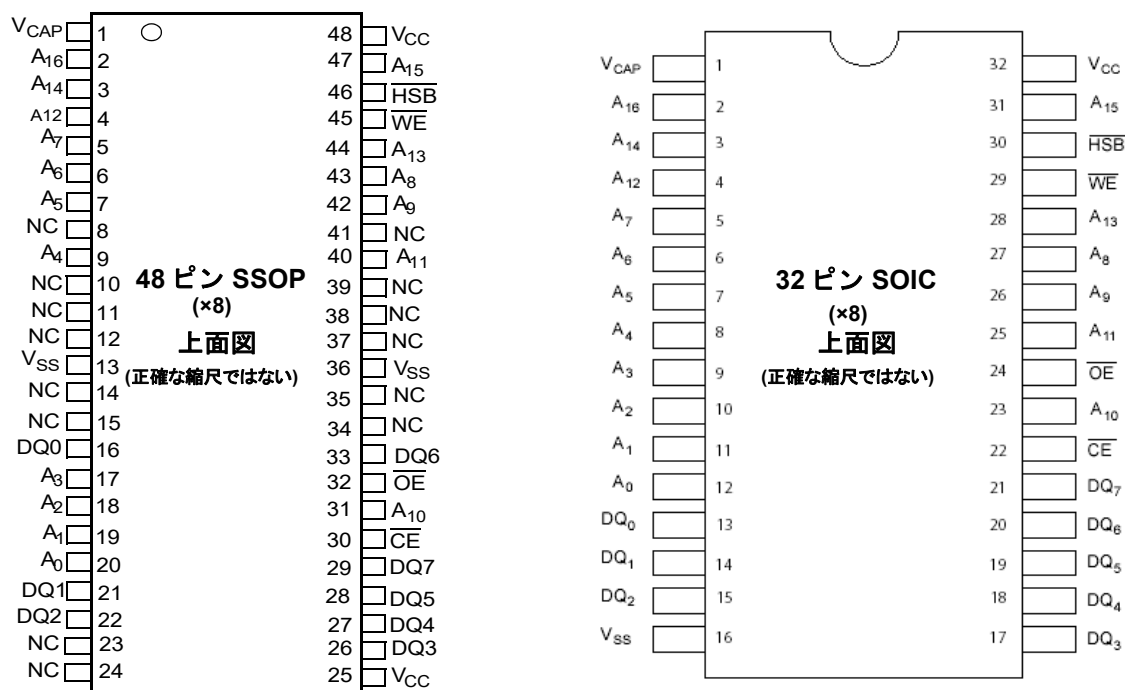


図 2. ピン配置図 – 48 ピン SSOP と 32 ピン SOIC

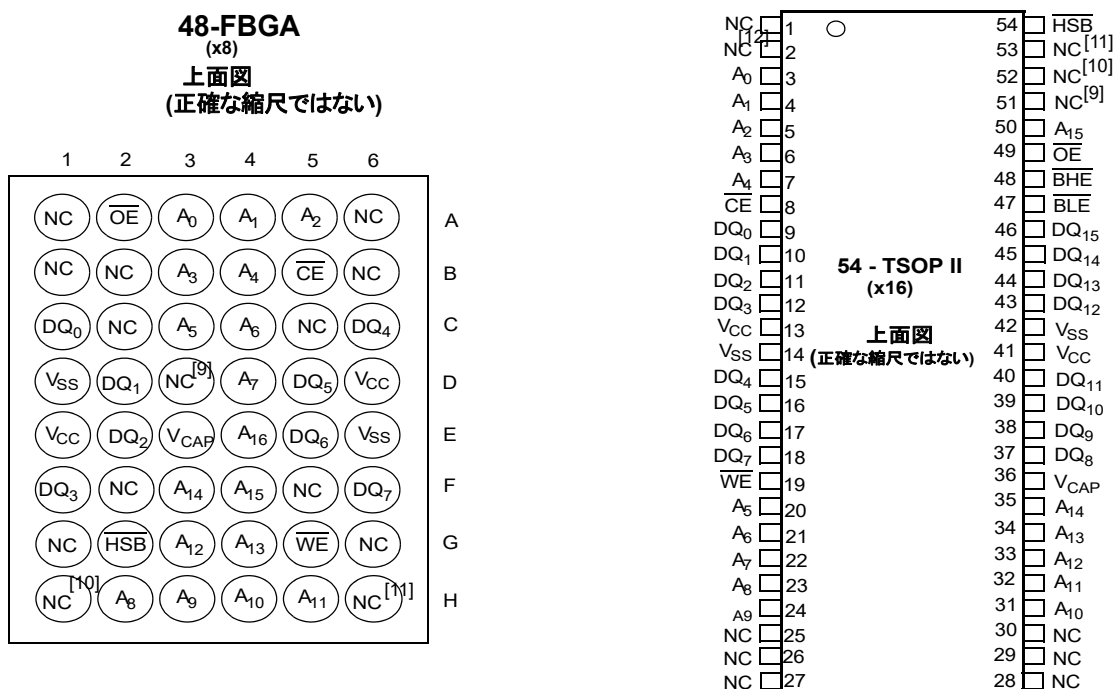


注

4. 2M ビットのアドレス拡張に対応します。NC ピンはダイに接続されていません。
5. 4M ビットのアドレス拡張に対応します。NC ピンはダイに接続されていません。
6. 8M ビットのアドレス拡張に対応します。NC ピンはダイに接続されていません。
7. 16M ビットのアドレス拡張に対応します。NC ピンはダイに接続されていません。
8. HSB ピンは、44 ピン TSOP II (×16) パッケージでは使用できません。

ピン配置 (続き)

図 3. 48 ボール FBGA と 54 ピン TSOP II ピン配置



注

9. 2M ビットのアドレス拡張に対応します。NC ピンはダイに接続されていません。
10. 4M ビットのアドレス拡張に対応します。NC ピンはダイに接続されていません。
11. 8M ビットのアドレス拡張に対応します。NC ピンはダイに接続されていません。
12. 16M ビットのアドレス拡張に対応します。NC ピンはダイに接続されていません。

ピン機能

ピン名	入出力	説明
A ₀ ~ A ₁₆	入力	アドレス入力: ×8 構成で nvSRAM の 131,072 バイトの 1 つを選択するために使用
A ₀ ~ A ₁₅		アドレス入力: ×16 構成で nvSRAM の 65,536 ワードの 1 つを選択するために使用
DQ ₀ ~ DQ ₇	入力/出力	×8 構成の双方向データ I/O ライン。処理に応じて入力/出力ラインとして使用
DQ ₀ ~ DQ ₁₅		×16 構成の双方向データ I/O ライン。処理に応じて入力/出力ラインとして使用
$\overline{\text{WE}}$	入力	書き込みイネーブル入力: アクティブ LOW。チップが有効である時、 $\overline{\text{WE}}$ が LOW になると、I/O ピンのデータが特定のアドレス位置に書き込まれる
$\overline{\text{CE}}$	入力	チップ イネーブル入力: アクティブ LOW。LOW の場合は、チップを選択。HIGH の場合は、チップの選択を解除
$\overline{\text{OE}}$	入力	出力イネーブル: アクティブ LOW。アクティブ LOW $\overline{\text{OE}}$ 入力は、読み出しサイクル中にデータ出力バッファを有効にする。OE が HIGH にデアサートすると、I/O ピンはトライステートになる
$\overline{\text{BHE}}$	入力	上位バイト イネーブル: アクティブ LOW。DQ ₁₅ ~ DQ ₈ を制御
$\overline{\text{BLE}}$	入力	下位バイト イネーブル: アクティブ LOW。DQ ₇ ~ DQ ₀ を制御
V _{SS}	グラウンド	デバイスのグラウンドで、システムのグラウンドへの接続が必要
V _{CC}	電源	デバイスへの電源入力。3.0V+20%、-10%
$\overline{\text{HSB}}^{[13]}$	入力/出力	ハードウェア STORE ビジー ($\overline{\text{HSB}}$)。この出力は LOW である時にハードウェア STORE が進行中であることを示す。外部で LOW にプルダウンされた時、不揮発性 STORE 処理を開始。各ハードウェアとソフトウェア STORE 処理の後、HSB は標準の出力 HIGH 電流で短時間 (t _{HHHD}) HIGH に駆動されてから、内部の弱プルアップ抵抗により HIGH 状態を維持 (外部プルアップ抵抗接続はオプション)
V _{CAP}	電源	AutoStore コンデンサ: SRAM から不揮発性素子にデータを格納するため、電力損失時に nvSRAM へ電源を供給
NC	接続なし	接続なし。このピンはダイに接続されていない

注

13. HSB ピンは 44 ピン TSOP II (×16) パッケージでは使用できません。

デバイスの動作

CY14B101LA / CY14B101NA nvSRAM は、同じ物理セル内で対になった 2 個の機能コンポーネントで構成されます。それらは SRAM メモリセルおよび不揮発性 QuantumTrap セルです。SRAM メモリセルは標準の高速スタティック RAM として動作します。SRAM 内のデータは不揮発性セルに転送される (STORE 処理)、または不揮発性セルから SRAM に転送されます (RECALL 処理)。この独特のアーキテクチャを使って、すべてのセルは並行してストアされリコールされます。STORE 処理と RECALL 処理中、SRAM の読み出しと書き込み処理は禁止されます。CY14B101LA / CY14B101NA は一般的な SRAM と同様に、回数無制限の読み出しと書き込みに対応します。さらに、不揮発性セルから回数無制限の RECALL 処理および最大 100 万回までの STORE 処理が可能です。読み出しモードと書き込みモードの詳細については、18 ページの [SRAM 真理値表](#) を参照してください。

SRAM 読み出し

CY14B101LA / CY14B101NA は \overline{CE} と \overline{OE} が LOW、 \overline{WE} と \overline{HSB} が HIGH の時、読み出しサイクルを実行します。ピン $A_0 \sim 16$ またはピン $A_0 \sim 15$ で指定されたアドレスは、16 ビットごとにアクセスされる 131,072 データバイトのどれか、または 65,536 ワードのどれかがアクセスされるかを決定します。バイト イネーブル (\overline{BHE} 、 \overline{BLE}) は、1ワードが16ビットの場合にどのバイトを出力するかを決定します。アドレス遷移によって読み出しが開始された場合、出力は t_{AA} (読み出しサイクル 1) の遅延後に有効になります。CE または OE によって読み出しが開始された場合、出力は t_{ACE} と t_{DOE} のどちらか遅い方 (読み出しサイクル 2) の終了時点で有効になります。データ出力は、制御入力ピンでの変化を必要としないで t_{AA} アクセス時間内に繰り返してアドレス変更に応答します。これは、別のアドレス変更が発生するか、または CE か OE が HIGH になるか、あるいは WE か HSB が LOW になるまで有効な状態が続きます。

SRAM 書き込み

書き込みサイクルは、 \overline{CE} と \overline{WE} が LOW、 \overline{HSB} が HIGH の時に実行されます。アドレス入力は書き込みサイクルに入る前に安定な状態にならなければいけません。また、サイクルの終わりに CE か WE が HIGH になるまで安定な状態を保つ必要があります。WE で制御する書き込み終了前に、または CE で制御する書き込み終了前にデータが t_{SD} の間有効であれば、共通 I/O ピンである $DQ_0 \sim 15$ のデータはメモリに書き込まれます。バイト イネーブル入力 (\overline{BHE} 、 \overline{BLE}) は、1ワードが 16 ビットの場合にどのバイトを書き込むかを決定します。共通 I/O ラインでのデータバスの競合を避けるため、書き込みサイクル中は終端 OE を HIGH に維持してください。OE が LOW のままであると、WE が LOW になった後に内部回路は t_{HZWE} の間出力バッファを停止します。

AutoStore 処理

CY14B101LA / CY14B101NA は、nvSRAM にデータを格納するために次の 3 つの保存処理の 1 つを使ってします： \overline{HSB} によって有効にされたハードウェア STORE；アドレスのシーケンスによって有効にされたソフトウェア STORE；デバイスの電源遮断時の AutoStore。AutoStore 処理は QuantumTrap テクノロジー固有の機能であり、CY14B101LA / CY14B101NA の初期設定では有効です。

通常動作中にデバイスは、 V_{CAP} ピンに接続されたコンデンサを充電するために V_{CC} から電流を引き込みます。充電された電荷はチップが一回の STORE 処理を実行するために使用されます。 V_{CC} ピンの電圧が V_{SWITCH} を下回ると、デバイスは V_{CC} と V_{CAP} ピンの接続を自動的に切ります。STORE 処理は、 V_{CAP} コンデンサから供給される電力で起動されます。

注

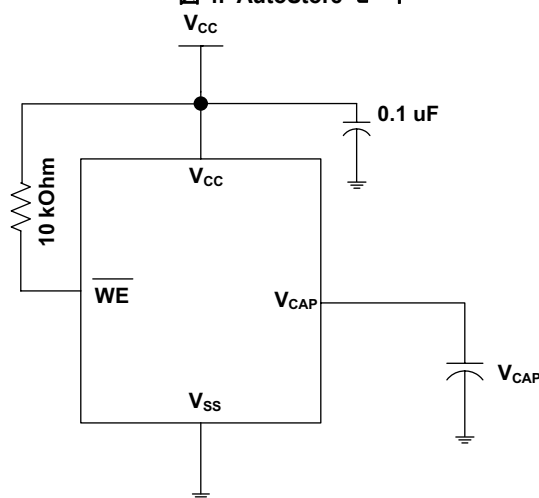
14. \overline{HSB} ピンは 44 ピン TSOP II (×16) パッケージでは使用できません。

注：コンデンサが V_{CAP} ピンに接続されていない場合、8 ページの [AutoStore の防止](#) に指定したソフトシーケンスを使って AutoStore を無効にする必要があります。 V_{CAP} ピンに接続されたコンデンサがない状態で AutoStore を有効にする場合、デバイスは十分な充電量がないまま AutoStore 処理を実行しようとし、これにより、nvSRAM 内にストアされたデータが破壊されます。

図 4 は、AutoStore 処理向けの累積コンデンサ (V_{CAP}) の適切な接続方法を示します。 V_{CAP} のサイズについては、9 ページの [DC 電気的特性](#) を参照してください。 V_{CAP} ピンの電圧は、チップ上のレギュレータによって V_{CC} に駆動されます。電源投入時にアクティブにならないようにするために、WE をプルアップ抵抗に接続する必要があります。このプルアップ抵抗は、電源投入時に WE 信号がトリステート状態にある場合のみ有効です。多くの MPU が電源投入時にこれらの制御信号をトリステートにします。プルアップ抵抗を使用する場合には確認してください。nvSRAM が電源投入時の RECALL から復帰する時、MPU がアクティブである、または MPU のリセットが終了するまで WE を非アクティブ状態に保つ必要があります。

不要な不揮発性のストアを避けるために、一番最後の STORE または RECALL サイクルが実行されてから少なくとも 1 回の書き込み処理が行われない場合は、AutoStore およびハードウェア STORE 処理が無視されます。ソフトウェアにより起動された STORE サイクルは、書き込み処理が行われたかどうかに関係なく実行されます。 \overline{HSB} 信号は、AutoStore サイクルが処理中かどうかを検出するためにシステムによって監視されます。

図 4. AutoStore モード



ハードウェア STORE 処理

CY14B101LA / CY14B101NA は、STORE 処理を制御し受信確認の応答をするために $\overline{HSB}^{[14]}$ ピンがあります。 \overline{HSB} ピンは、ハードウェア STORE サイクルの要求に使用してください。 \overline{HSB} ピンが LOW にされると、CY14B101LA / CY14B101NA は t_{DELAY} の後に条件に従って STORE 処理を開始します。実際の STORE サイクルは、最後の STORE または RECALL サイクル以降、SRAM への書き込みが実行された場合にのみ開始します。 \overline{HSB} ピンは、STORE 処理 (任意の手段で開始) 中にはビジー状態を示すために内部で LOW に駆動されるオープンドレインドライバ (チップ内部に 100kΩ の弱いプルアップ抵抗) としても動作します。

注：ハードウェアおよびソフトウェア STORE 処理の後、 \overline{HSB} は標準出力 HIGH 電流で短時間 (t_{HHHD}) HIGH に駆動され、その後 100kΩ の内部プルアップ抵抗により HIGH 状態を継続します。

SRAM 書き込み処理は $\overline{\text{HSB}}$ が LOW にされた時に実行中であれば、STORE 処理が開始される前に t_{DELAY} 以内に終了します。しかし $\overline{\text{HSB}}$ が LOW になった後に要求された SRAM 書き込みサイクルは、 $\overline{\text{HSB}}$ が HIGH に戻るまで禁止されます。書き込みラッチがセットされていない場合、 $\overline{\text{HSB}}$ は CY14B101LA / CY14B101NA によって LOW に駆動されることはありません。しかしすべての SRAM 読み出しと書き込みサイクルは、MPU または他の外部ソースにより $\overline{\text{HSB}}$ が HIGH に戻るまで禁止されます。

STORE 処理がどのように起動されたかに関わらず、その処理中には、CY14B101LA / CY14B101NA は $\overline{\text{HSB}}$ ピンを LOW に駆動し続け、STORE 処理が完了した時にのみ解除します。STORE 処理が完了すると、 $\overline{\text{HSB}}$ ピンが HIGH 状態に戻った後に nvSRAM メモリ アクセスは t_{ZHSB} 間禁止されます。 $\overline{\text{HSB}}$ ピンは使用しない場合、開放にしてください。

ハードウェア RECALL (電源投入)

電源投入時または低電圧状態 ($V_{\text{CC}} < V_{\text{SWITCH}}$) の後は、内部的に RECALL 要求がラッチされます。 V_{CC} が電源投入時に再度 V_{SWITCH} を超えた場合、RECALL サイクルが自動的に開始し、完了するためには t_{HRECALL} を要します。この間、 $\overline{\text{HSB}}$ ピンは $\overline{\text{HSB}}$ ドライバによって LOW に駆動され、nvSRAM へのすべての読み書きは禁止されます。

ソフトウェア STORE

データは、ソフトウェア アドレス シーケンスによって SRAM から不揮発性メモリに転送されます。CY14B101LA / CY14B101NA のソフトウェア STORE サイクルは、 $\overline{\text{CE}}$ または $\overline{\text{OE}}$ に制御された読み出し処理を、6 つの特定のアドレスから正しい順番で実行することにより開始されます。STORE サイクルの間、まず前の不揮発性データが消去されてから、不揮発性素子がプログラムされます。STORE サイクルが開始されると、それ以降の入出力は STORE サイクルが完了するまで無効です。

特定のアドレスからの READ のシーケンスが STORE の開始に使われるため、シーケンス内で他の読み書きアクセスが干渉しないことが重要です。そうしないと、シーケンスがアバートされ、STORE や RECALL が実行されません。

ソフトウェア STORE サイクルを開始するために、次の読み出しシーケンスを実行してください。

1. アドレス 0x4E38 の読み出し - 有効 READ
2. アドレス 0xB1C7 の読み出し - 有効 READ
3. アドレス 0x83E0 の読み出し - 有効 READ
4. アドレス 0x7C1F の読み出し - 有効 READ
5. アドレス 0x703F の読み出し - 有効 READ
6. アドレス 0x8FC0 の読み出し - STORE サイクルの開始

ソフトウェア シーケンスは $\overline{\text{CE}}$ に制御された読み出しまたは $\overline{\text{OE}}$ に制御された読み出しを伴いクロック供給され、すべての 6 つの READ シーケンスの間 $\overline{\text{WE}}$ を HIGH 状態に維持することが必要です。シーケンスの 6 番目のアドレスが入力された後、STORE サイクルが開始され、チップが無効になります。 $\overline{\text{HSB}}$ は LOW に駆動されます。 t_{STORE} サイクル時間が完了した後、SRAM は再度読み書き処理が有効になります。

ソフトウェア RECALL

データは、ソフトウェア アドレス シーケンスによって不揮発性メモリから SRAM に転送されます。ソフトウェア RECALL サイクルは、ソフトウェア STORE の開始と同様の方法で読み出し処理のシーケンスによって開始されます。RECALL サイクルを開始するために、 $\overline{\text{CE}}$ または $\overline{\text{OE}}$ に制御された読み出し処理を以下の順番で実行してください。

1. アドレス 0x4E38 の読み出し - 有効 READ
2. アドレス 0xB1C7 の読み出し - 有効 READ
3. アドレス 0x83E0 の読み出し - 有効 READ
4. アドレス 0x7C1F の読み出し - 有効 READ
5. アドレス 0x703F の読み出し - 有効 READ
6. アドレス 0x4C63 の読み出し、RECALL サイクルの開始

内部的に、RECALL は 2 段階の手順を踏みます。まず、SRAM データがクリアされます。次に、不揮発性情報が SRAM セルに転送されます。 t_{RECALL} サイクル時間が経過した後、SRAM は再度読み書き処理が有効になります。RECALL 処理では、不揮発性要素内のデータが変更されません。

表 1. モード選択

$\overline{\text{CE}}$	$\overline{\text{WE}}$	$\overline{\text{OE}}$	$\overline{\text{BHE}}, \overline{\text{BLE}}^{[15]}$	$\text{A}_{15} \sim \text{A}_0^{[16]}$	モード	I/O	電源
H	X	X	X	X	未選択	出力 High Z	スタンバイ
L	H	L	L	X	SRAM 読み出し	出力データ	アクティブ
L	L	X	L	X	SRAM 書き込み	入力データ	アクティブ
L	H	L	X	0x4E38 0xB1C7 0x83E0 0x7C1F 0x703F 0x8B45	SRAM 読み出し SRAM 読み出し SRAM 読み出し SRAM 読み出し SRAM 読み出し AutoStore ディスエーブル	出力データ 出力データ 出力データ 出力データ 出力データ 出力データ	アクティブ ^[17]

注

15. $\overline{\text{BHE}}$ および $\overline{\text{BLE}}$ は x16 構成でのみ使用できます。

16. CY14B101LA に 17 のアドレス ライン (CY14B101NA には 16 のアドレス ライン) が存在しますが、13 のアドレス ラインのみ ($\text{A}_{14} \sim \text{A}_2$) がソフトウェア モードの制御に使われます。残りのアドレス ラインは「ドント ケア」です。

17. 6 つの連続アドレス位置は指定された順番でなければなりません。 $\overline{\text{WE}}$ は不揮発性サイクルを可能にするため、すべての 6 つのサイクル中は HIGH でなければなりません。

表 1. モード選択 (続き)

$\overline{\text{CE}}$	$\overline{\text{WE}}$	$\overline{\text{OE}}$	$\overline{\text{BHE}}, \overline{\text{BLE}}^{[15]}$	$\text{A}_{15} \sim \text{A}_0^{[16]}$	モード	I/O	電源
L	H	L	X	0x4E38 0xB1C7 0x83E0 0x7C1F 0x703F 0x4B46	SRAM 読み出し SRAM 読み出し SRAM 読み出し SRAM 読み出し SRAM 読み出し AutoStore イネーブル	出力データ 出力データ 出力データ 出力データ 出力データ 出力データ	アクティブ ^[18]
L	H	L	X	0x4E38 0xB1C7 0x83E0 0x7C1F 0x703F 0x8FC0	SRAM 読み出し SRAM 読み出し SRAM 読み出し SRAM 読み出し SRAM 読み出し 不揮発性 STORE	出力データ 出力データ 出力データ 出力データ 出力データ 出力 High Z	アクティブ ^[18] $\text{I}_{\text{CC2}}^{[18]}$
L	H	L	X	0x4E38 0xB1C7 0x83E0 0x7C1F 0x703F 0x4C63	SRAM 読み出し SRAM 読み出し SRAM 読み出し SRAM 読み出し SRAM 読み出し 不揮発性 RECALL	出力データ 出力データ 出力データ 出力データ 出力データ 出力 High Z	アクティブ ^[18]

AutoStore の防止

AutoStore 機能は AutoStore ディスエーブル シーケンスを開始することで無効にされます。読み出し処理のシーケンスは、ソフトウェア STORE の開始と同様の方法で実行されます。AutoStore ディスエーブル シーケンスを開始するために、CE または OE に制御された読み出し処理を以下の順番で実行してください。

1. アドレス 0x4E38 の読み出し - 有効 READ
2. アドレス 0xB1C7 の読み出し - 有効 READ
3. アドレス 0x83E0 の読み出し - 有効 READ
4. アドレス 0x7C1F の読み出し - 有効 READ
5. アドレス 0x703F の読み出し - 有効 READ
6. アドレス 0x8B45 の読み出し、AutoStore のディスエーブル

AutoStore 機能は AutoStore イネーブル シーケンスを開始することで再度有効にされます。読み出し処理のシーケンスは、ソフトウェア RECALL の開始と同様の方法で実行されます。AutoStore イネーブル シーケンスを開始するために、CE また

は $\overline{\text{OE}}$ に制御された読み出し処理を以下の順番で実行してください。

1. アドレス 0x4E38 の読み出し - 有効 READ
2. アドレス 0xB1C7 の読み出し - 有効 READ
3. アドレス 0x83E0 の読み出し - 有効 READ
4. アドレス 0x7C1F の読み出し - 有効 READ
5. アドレス 0x703F の読み出し - 有効 READ
6. アドレス 0x4B46 の読み出し - AutoStore のイネーブル

AutoStore 機能が無効にされた、または再度有効にされた場合、電源切断サイクルを通じて AutoStore 状態を維持するために手動 STORE 処理 (ハードウェアまたはソフトウェア) を発行する必要があります。工場出荷時 AutoStore は有効になっており、すべてのセルに 0x00 と書き込まれます。

データ保護

CY14B101LA / CY14B101NA は、外部から実行された STORE および書き込み処理をすべて禁止することにより、低電圧状態の間での破損からデータを保護します。低電圧状態は V_{CC} が V_{SWITCH} を下回ると検出されます。電源投入時に CY14B101LA / CY14B101NA が書き込みモードにある (CE と WE の両方が LOW) 場合、RECALL または STORE の後、 t_{LZHSB} (HSB から出力有効までの時間) が経過すると SRAM が有効になるまで書き込みは禁止されます。これは電源投入時や電圧低下状態の間に不注意による書き込みを保護します。

注

18. 6 つの連続アドレス位置は指定された順番でなければなりません。 $\overline{\text{WE}}$ は不揮発性サイクルを可能にするため、すべての 6 つのサイクル中は HIGH でなければなりません。

最大定格

最大定格を超えるとデバイスの寿命が短くなる可能性があります。これらのユーザー ガイドラインはテストされていません。

保存温度 -65°C ~ +150°C

最大累積保存時間:

周囲温度 150°C で 1000 時間

周囲温度 85°C で 20 年

最大接合部温度 150°C

V_{SS} を基準とした V_{CC} の電源電圧 -0.5V ~ 4.1V

High Z 状態の出力に印加する電圧 -0.5V ~ $V_{CC}+0.5V$

入力電圧 -0.5V ~ $V_{CC}+0.5V$

任意のピンの過渡電圧、

グランド電位基準 (<20ns) -2.0V ~ $V_{CC}+2.0V$

パッケージ許容電力損失 ($T_A=25^\circ\text{C}$) 1.0W

表面実装はんだ付け温度 (3 秒) +260°C

DC 出力電流 (一度に 1 出力、1 秒間) 15mA

静電放電時の電圧

(MIL-STD-883、メソッド 3015 による) >2001V

ラッチアップ電流 >200mA

動作範囲

範囲	周囲温度	V_{CC}
産業用	-40°C ~ +85°C	2.7V ~ 3.6V

DC 電気的特性

動作範囲 において

記号	説明	テスト条件	Min	Typ ^[19]	Max	単位
V_{CC}	電源電圧		2.7	3.0	3.6	V
I_{CC1}	平均 V_{CC} 電流	$t_{RC} = 20\text{ns}$ $t_{RC} = 25\text{ns}$ $t_{RC} = 45\text{ns}$ 出力負荷なしで得られた値 ($I_{OUT} = 0\text{mA}$)	—	—	70 70 52	mA mA mA
I_{CC2}	STORE 中の平均 V_{CC} 電流	すべての入力はドント ケア、 $V_{CC} = \text{Max}$ t_{STORE} の平均電流	—	—	10	mA
I_{CC3}	$t_{RC} = 200\text{ns}$ 時の平均 V_{CC} 電流、 $V_{CC}(\text{Typ})$ 、25 °C	すべての入力は CMOS レベルで動作。 出力負荷なしで得られた値 ($I_{OUT} = 0\text{mA}$)	—	35	—	mA
I_{CC4}	AutoStore サイクル中の平均 V_{CAP} 電流	すべての入力は「ドント ケア」。 t_{STORE} 時 間の平均電流	—	—	5	mA
I_{SB}	V_{CC} スタンバイ電流	$CE \geq (V_{CC} - 0.2V)$ $V_{IN} \leq 0.2V$ または $\geq (V_{CC} - 0.2V)$ 。 不揮発性のサイクルが完了した後のスタン バイ電流レベル。 入力はスタティック。 $f = 0\text{MHz}$	—	—	5	mA
$I_{IX}^{[20]}$	入力リーク電流 (HSB 以外)	$V_{CC} = \text{Max}$ 、 $V_{SS} \leq V_{IN} \leq V_{CC}$	-1	—	+1	μA
	入力リーク電流 (HSB)	$V_{CC} = \text{Max}$ 、 $V_{SS} \leq V_{IN} \leq V_{CC}$	-100	—	+1	μA
I_{OZ}	オフ状態の出力リーク電流	$V_{CC} = \text{Max}$ 、 $V_{SS} \leq V_{OUT} \leq V_{CC}$ 、 CE または $OE \geq V_{IH}$ または $BHE/BLE \geq V_{IH}$ または $WE \leq V_{IL}$	-1	—	+1	μA
V_{IH}	入力 HIGH 電圧		2.0	—	$V_{CC}+0.5$	V
V_{IL}	入力 LOW 電圧		$V_{SS}-0.5$	—	0.8	V
V_{OH}	出力 HIGH 電圧	$I_{OUT} = -2\text{mA}$	2.4	—	—	V
V_{OL}	出力 LOW 電圧	$I_{OUT} = 4\text{mA}$	—	—	0.4	V

注

19. 標準値は 25 °C、 $V_{CC}=V_{CC}(\text{Typ})$ のものです。100% のテストは行われていません。

20. HSB ピンは V_{OH} が 2.4V である場合、アクティブ HIGH と LOW 両方のドライバが無効である時、 $I_{OU} = -2\mu\text{A}$ です。それらのドライバが有効である時、標準の V_{OH} と V_{OL} が有効です。このパラメータは特性付けされますが、テストされていません。

DC 電気的特性 (続き)

動作範囲 において

記号	説明	テスト条件	Min	Typ ^[19]	Max	単位
$V_{CAP}^{[21]}$	ストレージ コンデンサ	V_{CAP} ピンと V_{SS} 間	61	68	180	μF
$V_{VCAP}^{[22, 23]}$	デバイスによって V_{CAP} ピン上に駆動された最大電圧	$V_{CC} = \text{Max}$	—	—	V_{CC}	V

データ保持期間およびアクセス可能回数

動作範囲 において

記号	説明	Min	単位
$DATA_R$	データ保持期間	20	年
NV_C	不揮発性 STORE 処理	1,000	K

静電容量

記号 ^[23]	説明	テスト条件	Max	単位
C_{IN}	入力容量 (\overline{BHE} 、 \overline{BLE} 、 \overline{HSB} 以外)	$T_A = 25^\circ C$ 、 $f = 1\text{MHz}$ 、 $V_{CC} = V_{CC(Typ)}$	7	pF
	入力容量 (\overline{BHE} 、 \overline{BLE} 、 \overline{HSB})		8	pF
C_{OUT}	出力容量 (\overline{HSB} 以外)		7	pF
	出力容量 (\overline{HSB})		8	pF

熱抵抗

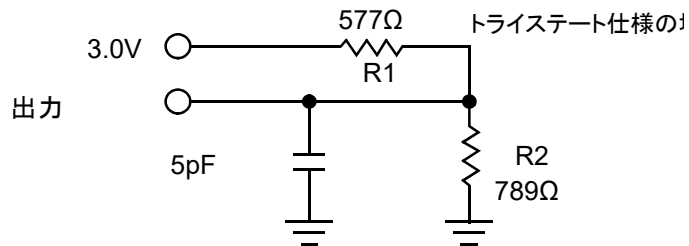
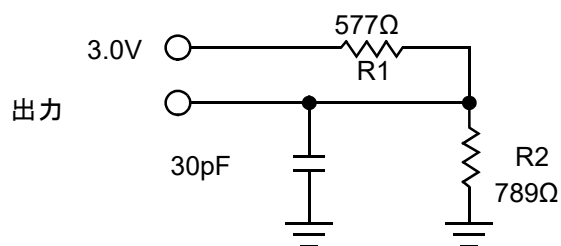
記号 ^[23]	説明	テスト条件	54 ピン TSOP II	48 ピン SSOP	48 ボール FBGA	44 ピン TSOP II	32 ピン SOIC	単位
Θ_{JA}	熱抵抗 (接合部から周囲)	テスト条件は、EIA/JESD51 に準拠した熱インピーダンスを測定するための標準試験方法と手順に従う	36.4	37.47	48.19	41.74	41.55	$^\circ C/W$
Θ_{JC}	熱抵抗 (接合部からケース)		10.13	24.71	6.5	11.90	24.43	$^\circ C/W$

注

21. V_{CAP} 最小値は、AutoStore 処理を完了するために十分な電荷があることを保証するものです。 V_{CAP} 最大値は、即時の電源切断が発生しても AutoStore 処理が正常に完了するように電源投入 RECALL サイクルの間に V_{CAP} のコンデンサが必要な最小電圧まで充電されることを保証するものです。したがって、指定した最小値と最大値の範囲内のコンデンサを使用することを常に推奨します。 V_{CAP} オプションの詳細については、アプリケーション ノート [AN43593](#) を参照してください。
22. V_{CAP} ピン (V_{VCAP}) の最大電圧は、 V_{CAP} コンデンサを選択する時に指針として提供されます。動作温度範囲内での V_{CAP} コンデンサの定格電圧は、 V_{VCAP} 電圧より高くなければなりません。
23. これらのパラメータは設計保証であり、テストは行われていません。

AC テスト 負荷

図 5. AC テスト 負荷



AC テスト 条件

入力パルス レベル 0V ~ 3V

入力の立ち上がり／立ち下がり時間 (10% ~ 90%) ≤3ns

入力と出力タイミングの基準レベル 1.5V

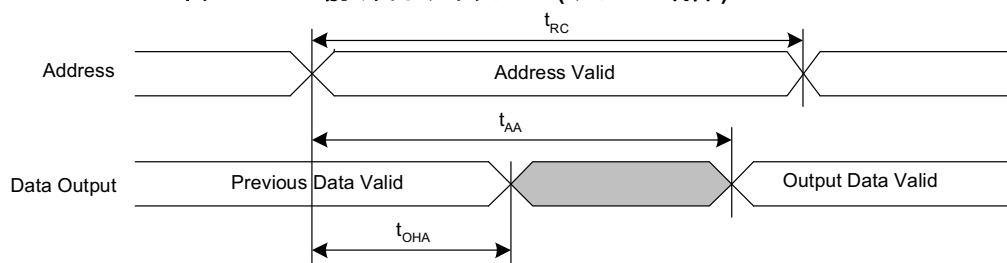
AC スイッチング特性

動作範囲 において

記号 ^[24]		説明	20ns		25ns		45ns		単位
サイプレスの記号	代替の記号		Min	Max	Min	Max	Min	Max	
SRAM 読み出しサイクル									
t _{ACE}	t _{ACS}	チップ イネーブル アクセス時間	–	20	–	25	–	45	ns
t _{RC} ^[25]	t _{RC}	読み出しサイクル時間	20	–	25	–	45		ns
t _{AA} ^[26]	t _{AA}	アドレス アクセス時間	–	20	–	25	–	45	ns
t _{DOE}	t _{OE}	出力イネーブルからデータ有効までの時間	–	10	–	12	–	20	ns
t _{OHA} ^[26]	t _{OH}	アドレス変更後の出力ホールド時間	3	–	3	–	3	–	ns
t _{LZCE} ^[27, 28]	t _{LZ}	チップ イネーブルから出力アクティブまでの時間	3	–	3	–	3	–	ns
t _{HZCE} ^[27, 28]	t _{HZ}	チップ ディスエーブルから出力非アクティブまでの時間	–	8	–	10	–	15	ns
t _{LZOE} ^[27, 28]	t _{OLZ}	出力イネーブルから出力アクティブまでの時間	0	–	0	–	0	–	ns
t _{HZOE} ^[27, 28]	t _{OHZ}	出力ディスエーブルから出力非アクティブまでの時間	–	8	–	10	–	15	ns
t _{PU} ^[27]	t _{PA}	チップ イネーブルから電源アクティブまでの時間	0	–	0	–	0	–	ns
t _{PD} ^[27]	t _{PS}	チップ ディスエーブルから電源スタンバイまでの時間	–	20	–	25	–	45	ns
t _{DBE} ^[27]	–	バイト イネーブルからデータ有効までの時間	–	10	–	12	–	20	ns
t _{LZBE} ^[27]	–	バイト イネーブルから出力アクティブまでの時間	0	–	0	–	0		ns
t _{HZBE} ^[27]	–	バイト ディスエーブルから出力非アクティブまでの時間	–	8	–	10	–	15	ns
SRAM 書き込みサイクル									
t _{WC}	t _{WC}	書き込みサイクル期間	20	–	25	–	45	–	ns
t _{PWE}	t _{WP}	書き込みパルス幅	15	–	20	–	30	–	ns
t _{SCE}	t _{CW}	チップ イネーブルから書き込み終了までの時間	15	–	20	–	30	–	ns
t _{SD}	t _{DW}	データ セットアップから書き込み終了までの時間	8	–	10	–	15	–	ns
t _{HD}	t _{DH}	書き込みの終了後のデータ ホールド時間	0	–	0	–	0	–	ns
t _{AW}	t _{AW}	アドレス セットアップから書き込み終了までの時間	15	–	20	–	30	–	ns
t _{SA}	t _{AS}	アドレス セットアップから書き込み開始までの時間	0	–	0	–	0	–	ns
t _{HA}	t _{WR}	書き込み終了後のアドレス ホールド時間	0	–	0	–	0	–	ns
t _{HZWE} ^[27, 28, 29]	t _{WZ}	書き込みイネーブルから出力ディスエーブルまでの時間	–	8	–	10	–	15	ns
t _{LZWE} ^[27, 28]	t _{OW}	書き込み終了後の出力アクティブ時間	3	–	3	–	3	–	ns
t _{BW}	–	バイト イネーブルから書き込み終了までの時間	15	–	20	–	30	–	ns

スイッチング波形

図 6. SRAM 読み出しサイクル #1 (アドレス制御) ^[25, 26, 30]



注

24. テスト条件は、信号遷移時間が 3ns 以下、タイミング参照レベルが $V_{CC}/2$ 、入力パルス レベルが $0 \sim V_{CC(typ)}$ 、指定された I_{OL}/I_{OH} を与える出力負荷と負荷容量が 11 ページの図 5 に示すとおりであることを前提にします。
25. WE は SRAM 読み出しサイクル中は HIGH でなければなりません。
26. デバイスは CE、OE および BHE/BLE LOW で連続して選択されます。
27. これらのパラメータは設計保証であり、テストは行われていません。
28. 定常状態の出力電圧から $\pm 200mV$ で測定されます。
29. CE が LOW の時に WE が LOW であれば、出力は高インピーダンスのままです。
30. HSB は読み出しと書き込みサイクル中は HIGH でなければなりません。

スイッチング波形 (続き)

図 7. SRAM 読み出しサイクル #2 ($\overline{\text{CE}}$ および $\overline{\text{OE}}$ 制御) [31、32、33]

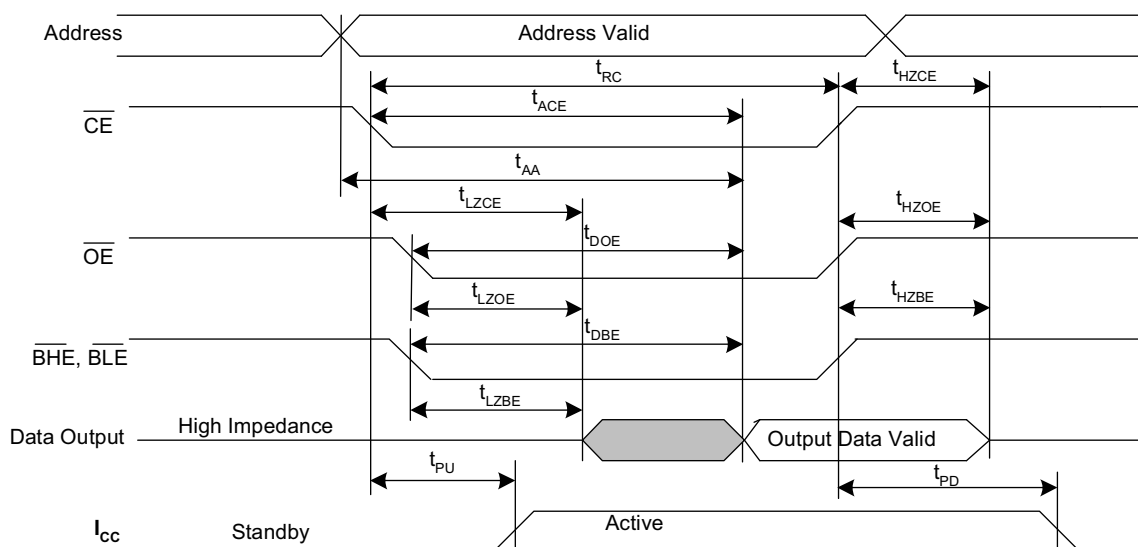
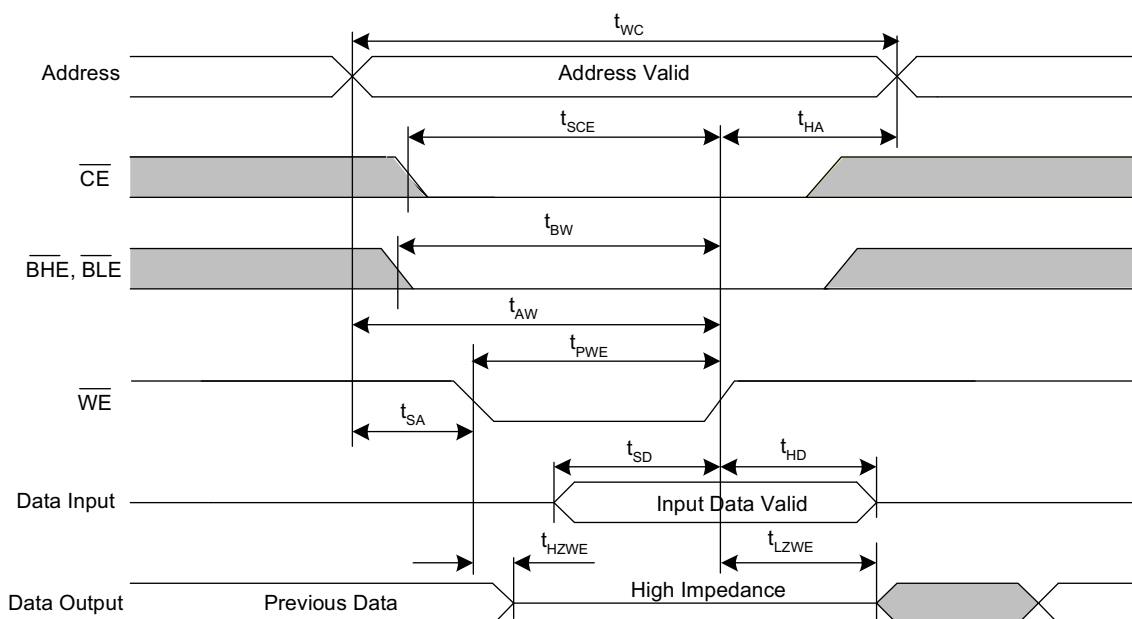


図 8. SRAM 読み出しサイクル #1 ($\overline{\text{WE}}$ 制御) [31、33、34、35]



注

31. $\overline{\text{BHE}}$ と $\overline{\text{BLE}}$ は ×16 構成でのみ使用できます。
32. $\overline{\text{WE}}$ は SRAM 読み出しサイクル中は HIGH でなければなりません。
33. $\overline{\text{HSB}}$ は読み出しと書き込みサイクル中は HIGH でなければなりません。
34. $\overline{\text{CE}}$ または $\overline{\text{WE}}$ はアドレスの遷移中は V_{IH} より高くなければなりません。
35. $\overline{\text{CE}}$ が LOW の時に $\overline{\text{WE}}$ が LOW であれば、出力は高インピーダンスのままです。

スイッチング波形 (続き)

図 9. SRAM 読み出しサイクル #2 ($\overline{\text{CE}}$ 制御) [36、37、38、39]

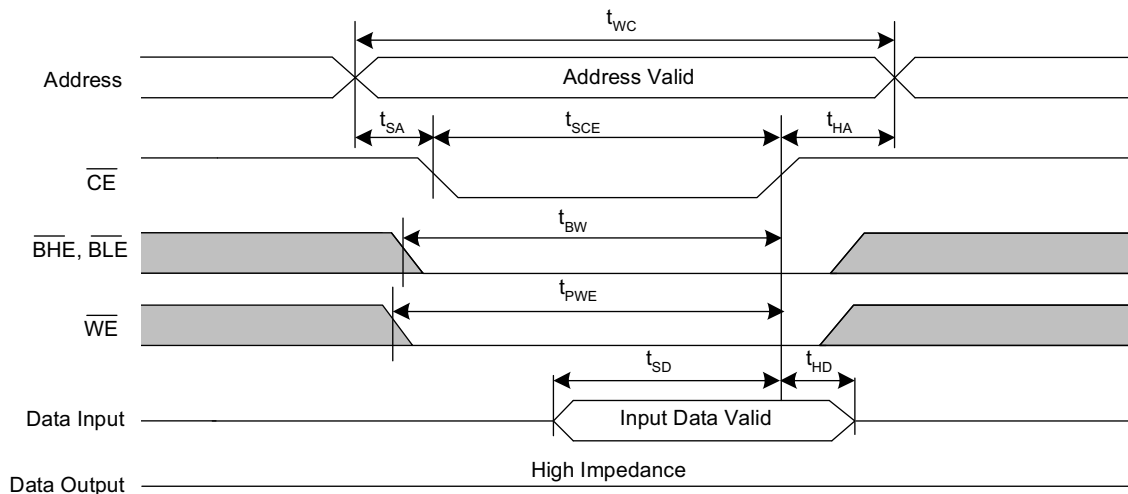
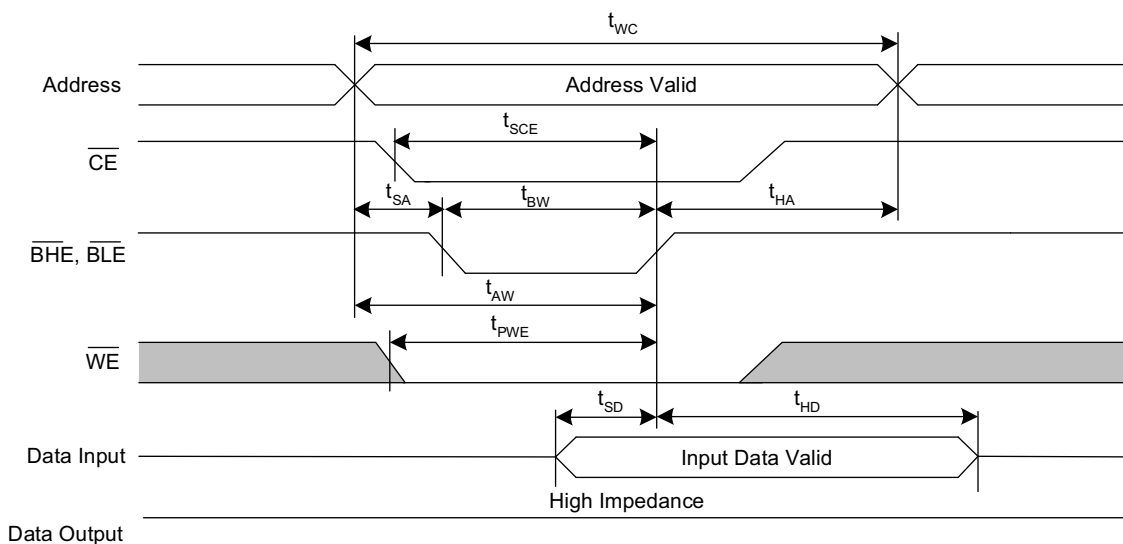


図 10. SRAM 読み出しサイクル #3 ($\overline{\text{BHE}}$ および $\overline{\text{BLE}}$ 制御) [36、37、38、39]



注

36. $\overline{\text{BHE}}$ と $\overline{\text{BLE}}$ は $\times 16$ 構成でのみ使用できます。
37. $\overline{\text{CE}}$ が LOW の時に $\overline{\text{WE}}$ が LOW であれば、出力は高インピーダンスのままです。
38. HSB は読み出しと書き込みサイクル中は HIGH でなければなりません。
39. $\overline{\text{CE}}$ または $\overline{\text{WE}}$ はアドレスの遷移中は V_{IH} より高くなければなりません。

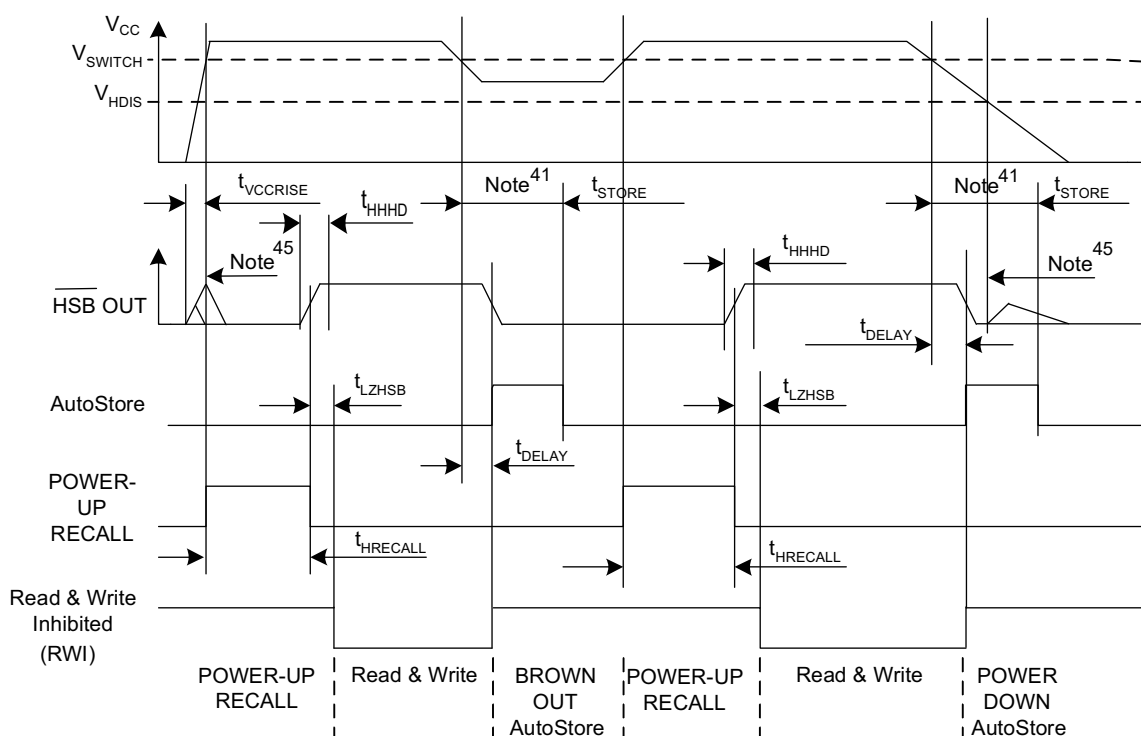
AutoStore / 電源投入 RECALL

動作範囲 において

記号	説明	20ns		25ns		45ns		単位
		Min	Max	Min	Max	Min	Max	
$t_{HRECALL}^{[40]}$	電源投入 RECALL 期間	–	20	–	20	–	20	ms
$t_{STORE}^{[41]}$	STORE サイクル期間	–	8	–	8	–	8	ms
$t_{DELAY}^{[42]}$	SRAM 書き込みサイクルを完了する時間	–	20	–	25	–	25	ns
V_{SWITCH}	低電圧トリガー レベル	–	2.65	–	2.65	–	2.65	V
$t_{VCCRIS}^{[43]}$	V_{CC} 立ち上がり時間	150	–	150	–	150	–	μs
$V_{HDS}^{[43]}$	HSB 出力ディスエーブル電圧	–	1.9	–	1.9	–	1.9	V
$t_{LZHSB}^{[43]}$	HSB から出力アクティブまでの時間	–	5	–	5	–	5	μs
$t_{HHHD}^{[43]}$	HSB アクティブ HIGH 時間	–	500	–	500	–	500	ns

スイッチング波形

図 11. AutoStore または電源投入 RECALL^[44]



注

40. $t_{HRECALL}$ は、 V_{CC} が V_{SWITCH} より高くなった時から始まります。
41. SRAM の書き込みが最後の不揮発性サイクル以降に行われていない場合は、AutoStore またはハードウェア STORE は行われません。
42. ハードウェア STORE と AutoStore の開始時に、SRAM の書き込み処理は t_{DELAY} の間有効になったままです。
43. これらのパラメータは設計保証であり、テストは行われていません。
44. STORE、RECALL、 V_{CC} が V_{SWITCH} 以下である中に、読み出しと書き込みサイクルは無視されます。
45. 電源投入および電源遮断時、HSB ピンが外部抵抗を介してプルアップされると、HSB ピンにグリッチが発生します。

ソフトウェア制御の STORE / RECALL サイクル

動作範囲 において

記号 [46、47]	説明	20ns		25ns		45ns		単位
		Min	Max	Min	Max	Min	Max	
t_{RC}	STORE / RECALL 開始のサイクル期間	20	–	25	–	45	–	ns
t_{SA}	アドレス セットアップ時間	0	–	0	–	0	–	ns
t_{CW}	クロック パルス幅	15	–	20	–	30	–	ns
t_{HA}	アドレス ホールド時間	0	–	0	–	0	–	ns
t_{RECALL}	RECALL 期間	–	200	–	200	–	200	μ s

スイッチング波形

図 12. \overline{CE} および \overline{OE} 制御によるソフトウェア STORE / RECALL サイクル [47]

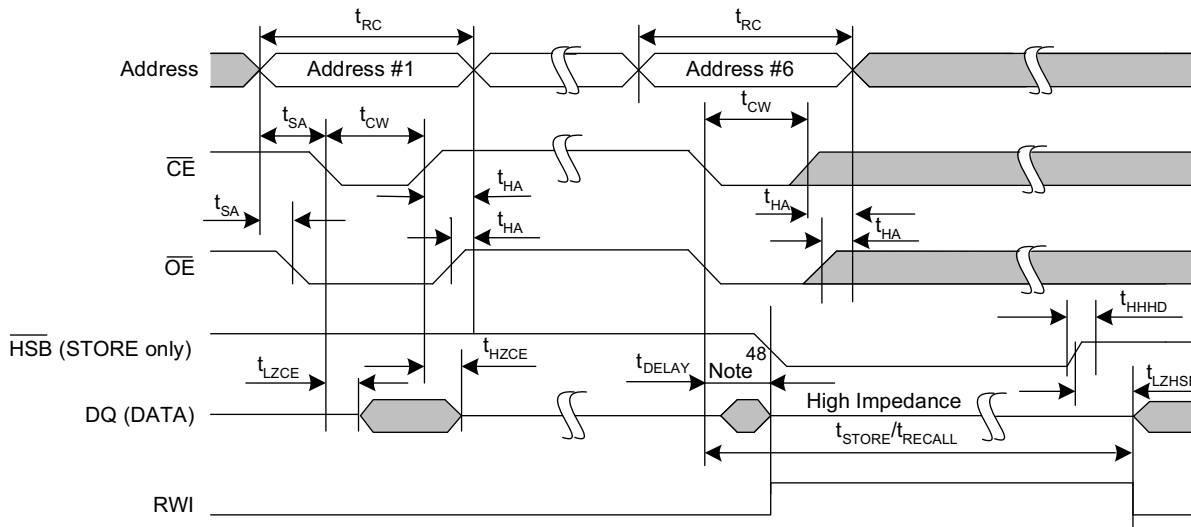
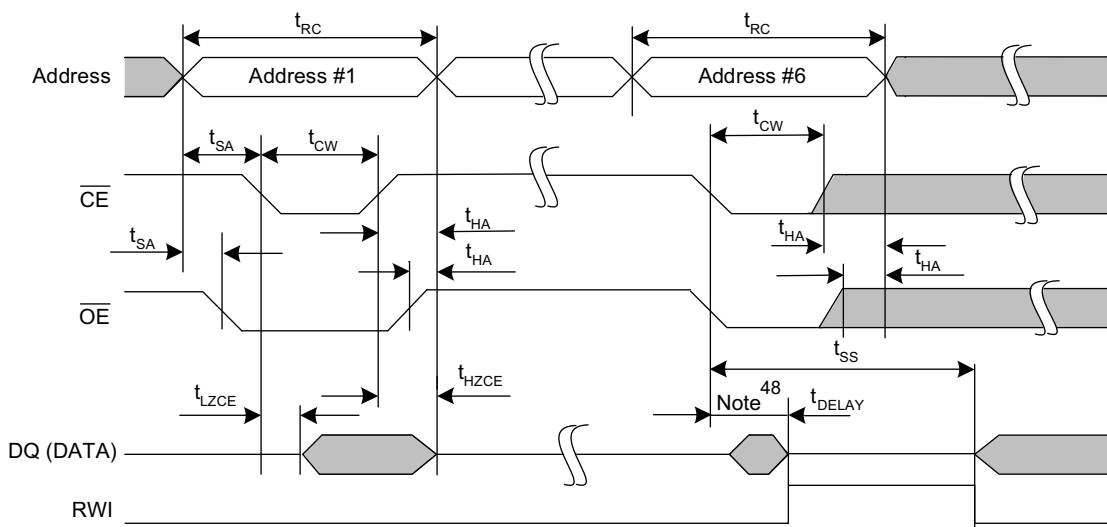


図 13. AutoStore イネーブル/ディスエーブル サイクル [47]



- 注
46. ソフトウェアのシーケンスは、 \overline{CE} または \overline{OE} に制御された読み出しを伴いクロック供給されます。
47. 6 つの連続アドレスは 7 ページの表 1 に指定された順番で読み出す必要があります。WE は 6 つのすべての連続サイクル中は HIGH でなければなりません。
48. t_{DELAY} の時間が経過すると出力が無効になるので、6 番目に読み出された DQ 出力データは無効になる可能性があります。

ハードウェア STORE サイクル

動作範囲において

記号	説明	20ns		25ns		45ns		単位
		Min	Max	Min	Max	Min	Max	
t_{DHSB}	HSB から出力アクティブまでの時間 (書き込みラッチがセットされていない場合)	–	20	–	25	–	25	ns
t_{PHSB}	ハードウェア STORE パルス幅	15	–	15	–	15	–	ns
$t_{\text{SS}}^{[49, 50]}$	ソフトシーケンス処理時間	–	100	–	100	–	100	μs

スイッチング波形

図 14. ハードウェア STORE サイクル^[51]

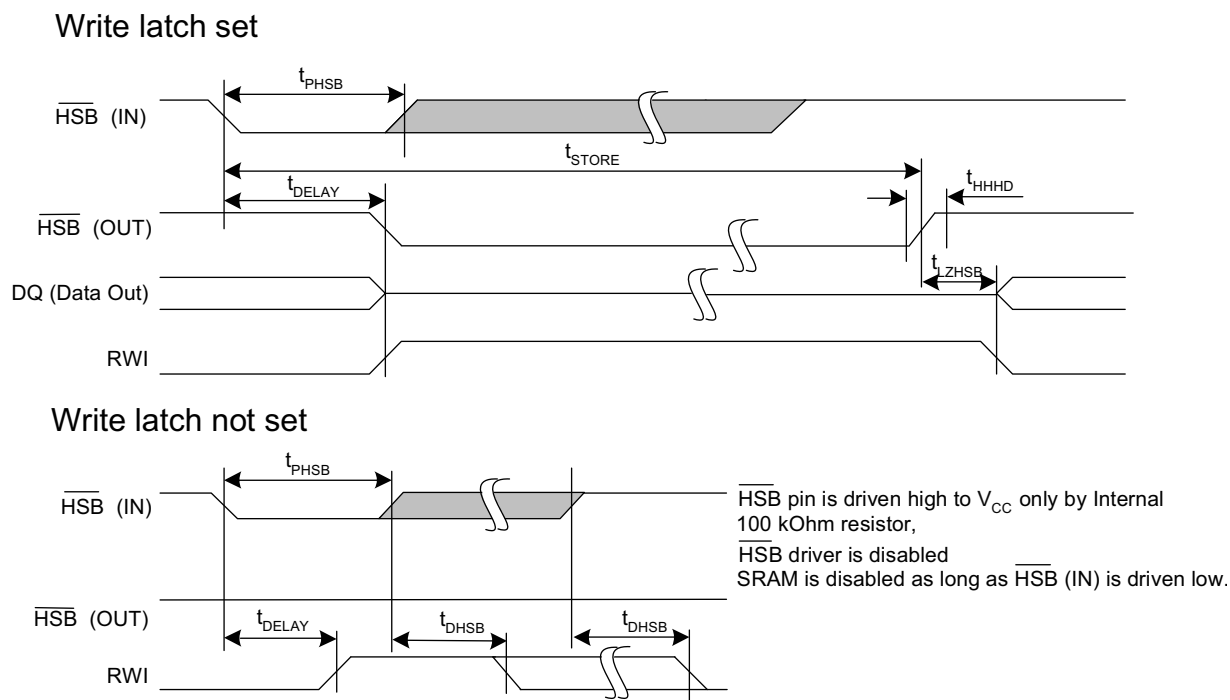
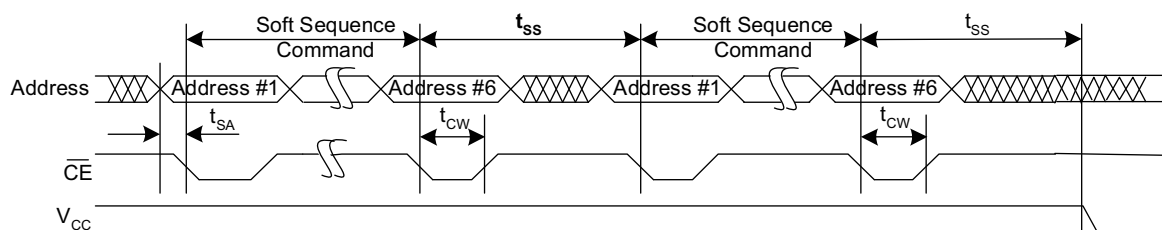


図 15. ソフトシーケンス処理時間^[49, 50]



注

49. これは、ソフトシーケンスコマンドでの処理に要する時間です。効果的にコマンドを登録するためには、 V_{CC} 電圧は HIGH でなければなりません。
50. STORE や RECALL などのコマンドは、その処理が完了するまで I/O をロックし、この時間をさらに増加させます。詳しくは個々のコマンドを参照してください。
51. SRAM の書き込みが最後の不揮発性サイクル以降に行われない場合は、AutoStore またはハードウェア STORE は行われません。

SRAM 真理値表

HSB は SRAM 動作では HIGH のままである必要があります。

表 2. ×8 構成の SRAM 真理値表

CE	WE	OE	入力/出力 ^[52]	モード	電源
H	X	X	High Z	選択解除/電源遮断	スタンバイ
L	H	L	データ出力 (DQ ₀ ~ DQ ₇) ;	読み出し	アクティブ
L	H	H	High Z	出力ディスエーブル	アクティブ
L	L	X	データ入力 (DQ ₀ ~ DQ ₇) ;	書き込み	アクティブ

表 3. ×16 構成の SRAM 真理値表

CE	WE	OE	BHE ^[53]	BLE ^[53]	入力/出力 ^[52]	モード	電源
H	X	X	X	X	High Z	選択解除/電源切断	スタンバイ
L	X	X	H	H	High Z	出力ディスエーブル	アクティブ
L	H	L	L	L	データ出力 (DQ ₀ ~ DQ ₁₅)	読み出し	アクティブ
L	H	L	H	L	データ出力 (DQ ₀ ~ DQ ₇) ; DQ ₈ ~ DQ ₁₅ は High Z	読み出し	アクティブ
L	H	L	L	H	データ出力 (DQ ₈ ~ DQ ₁₅) ; DQ ₀ ~ DQ ₇ は High Z	読み出し	アクティブ
L	H	H	L	L	High Z	出力ディスエーブル	アクティブ
L	H	H	H	L	High Z	出力ディスエーブル	アクティブ
L	H	H	L	H	High Z	出力ディスエーブル	アクティブ
L	L	X	L	L	データ入力 (DQ ₀ ~ DQ ₁₅)	書き込み	アクティブ
L	L	X	H	L	データ入力 (DQ ₀ ~ DQ ₇) ; DQ ₈ ~ DQ ₁₅ は High Z	書き込み	アクティブ
L	L	X	L	H	データ入力 (DQ ₈ ~ DQ ₁₅) ; DQ ₀ ~ DQ ₇ は High Z	書き込み	アクティブ

注

52. ×8 構成ではデータ DQ₀ ~ DQ₇、×16 構成ではデータ DQ₀ ~ DQ₁₅。

53. BHE と BLE は ×16 構成でのみ使用できます。

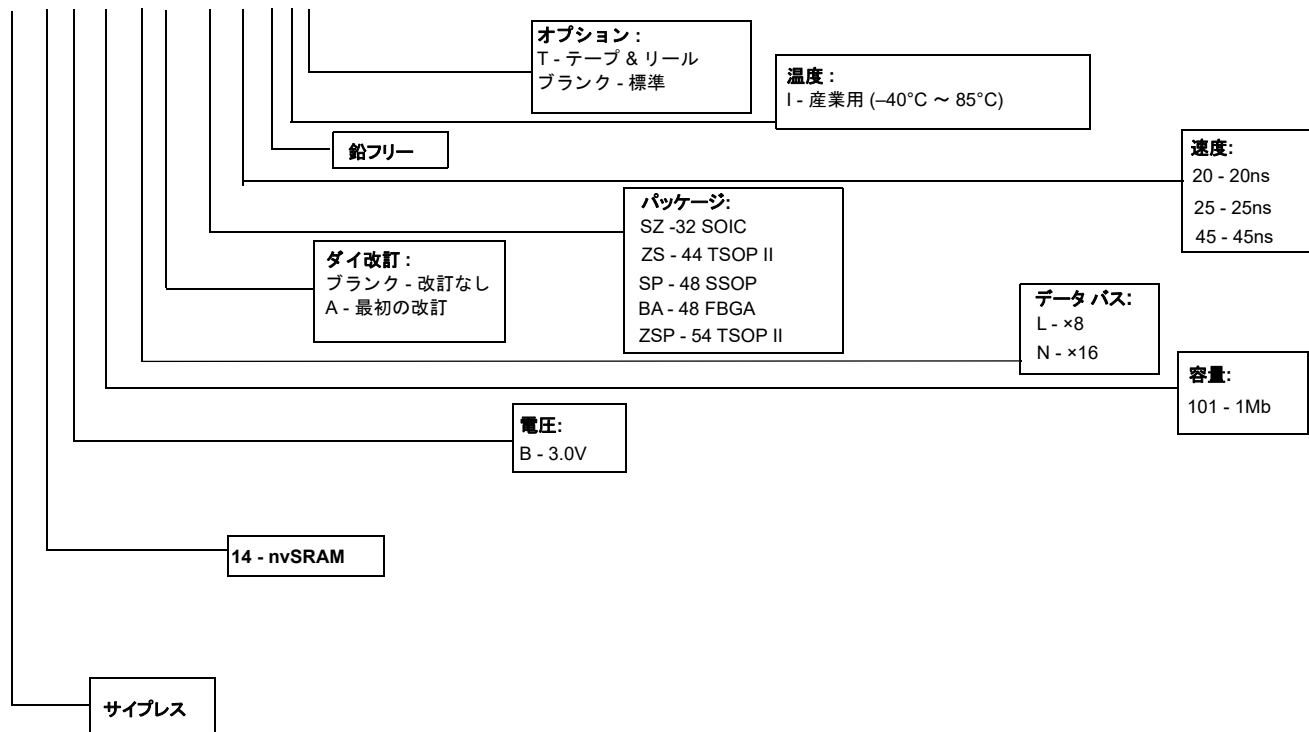
注文情報

速度 (ns)	注文コード	パッケージ図	パッケージ タイプ	動作範囲
20	CY14B101LA-ZS20XIT	51-85087	44 ピン TSOP II	産業用
	CY14B101LA-ZS20XI	51-85087	44 ピン TSOP II	
25	CY14B101LA-SZ25XIT	51-85127	32 ピン SOIC	産業用
	CY14B101LA-SZ25XI	51-85127	32 ピン SOIC	
	CY14B101LA-ZS25XIT	51-85087	44 ピン TSOP II	
	CY14B101LA-ZS25XI	51-85087	44 ピン TSOP II	
	CY14B101LA-SP25XIT	51-85061	48 ピン SSOP	
	CY14B101LA-SP25XI	51-85061	48 ピン SSOP	
	CY14B101LA-BA25XIT	51-85128	48 ボール FBGA	
	CY14B101LA-BA25XI	51-85128	48 ボール FBGA	
	CY14B101NA-ZS25XIT	51-85087	44 ピン TSOP II	
	CY14B101NA-ZS25XI	51-85087	44 ピン TSOP II	
45	CY14B101LA-SZ45XIT	51-85127	32 ピン SOIC	産業用
	CY14B101LA-SZ45XI	51-85127	32 ピン SOIC	
	CY14B101LA-ZS45XIT	51-85087	44 ピン TSOP II	
	CY14B101LA-ZS45XI	51-85087	44 ピン TSOP II	
	CY14B101LA-SP45XIT	51-85061	48 ピン SSOP	
	CY14B101LA-SP45XI	51-85061	48 ピン SSOP	
	CY14B101LA-BA45XIT	51-85128	48 ボール FBGA	
	CY14B101LA-BA45XI	51-85128	48 ボール FBGA	
	CY14B101NA-ZS45XIT	51-85087	44 ピン TSOP II	
	CY14B101NA-ZS45XI	51-85087	44 ピン TSOP II	

上記のすべての部品は鉛フリー。

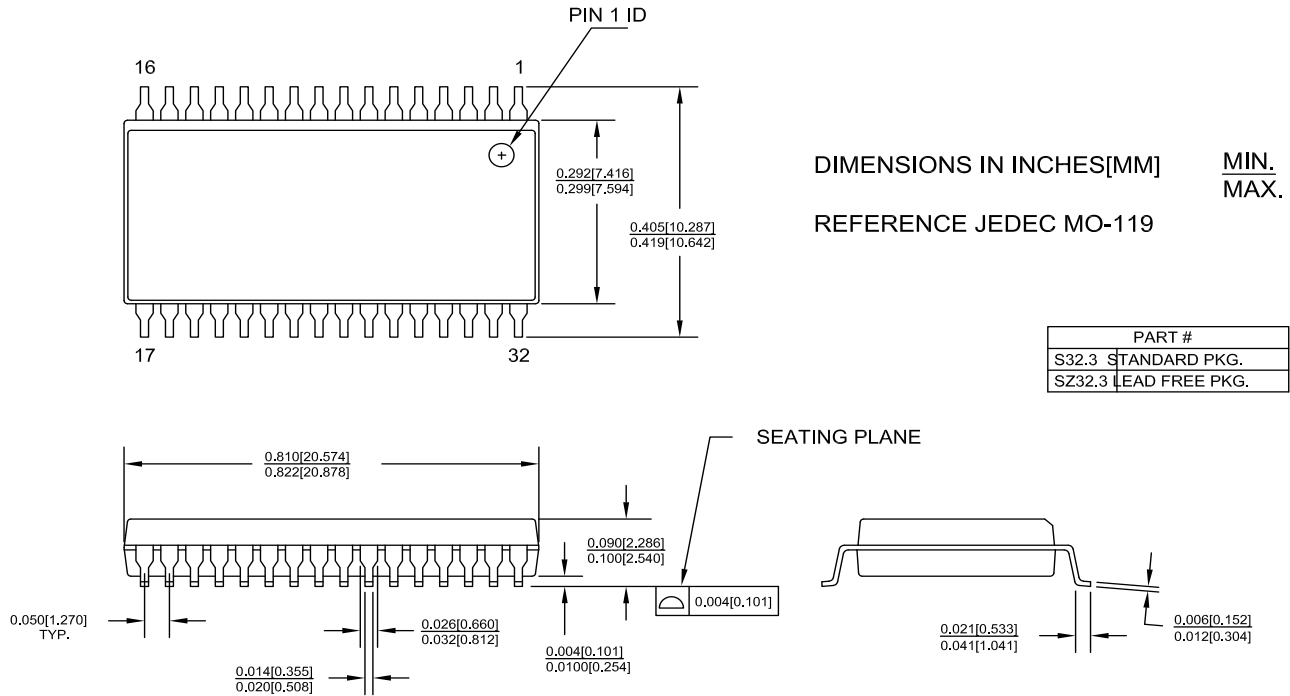
注文コードの定義

CY 14 B 101 L A - ZS 20 X I T



パッケージ図

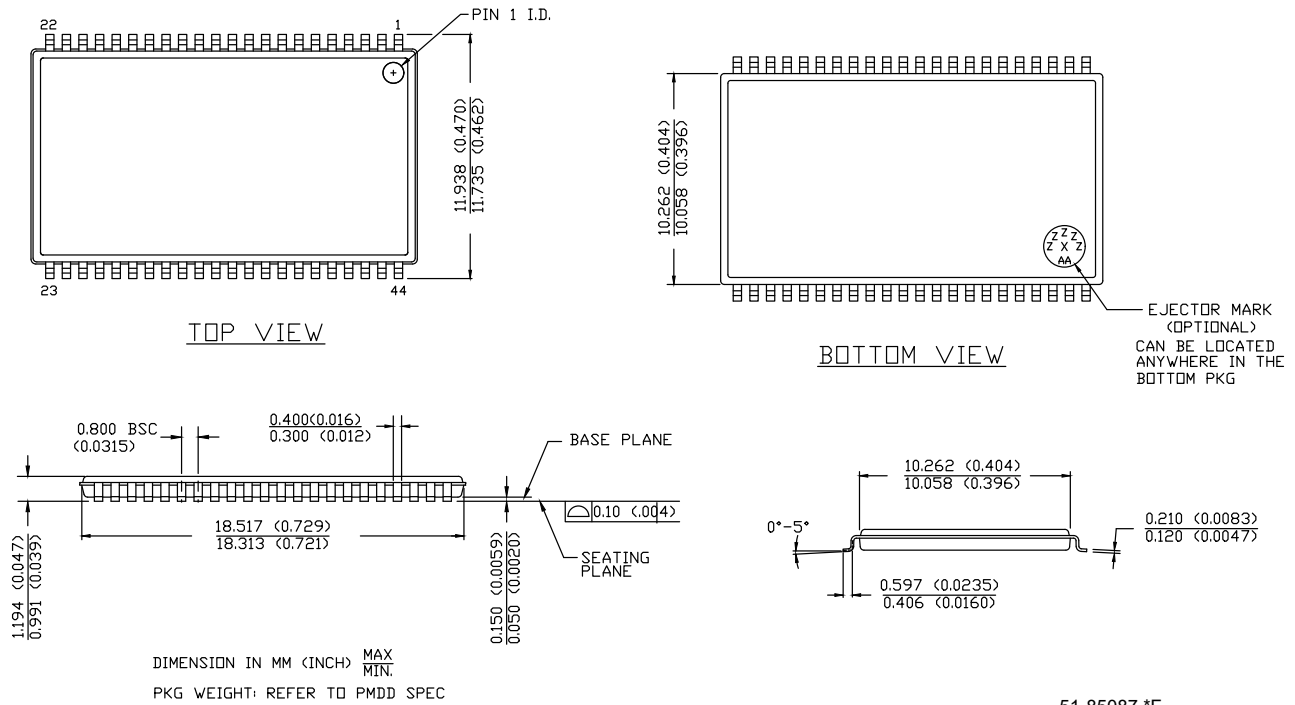
図 16. 32 ピン SOIC (300Mil) パッケージ図、51-85127



51-85127 *D

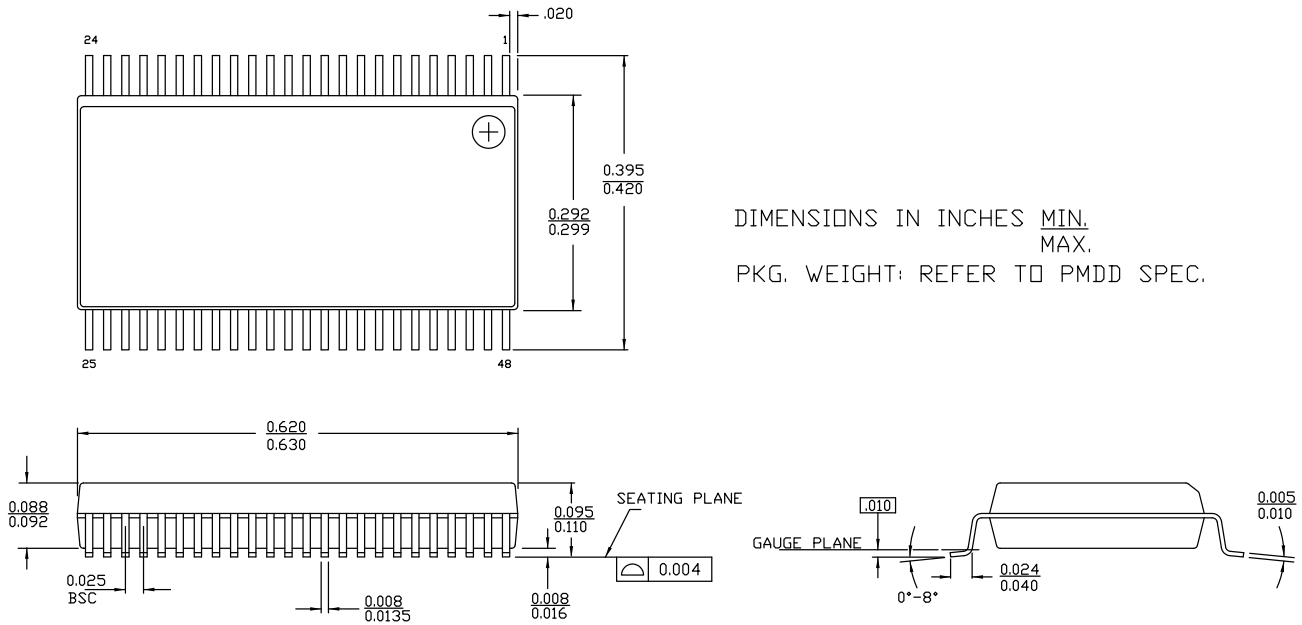
パッケージ図 (続き)

図 17. 44 ピン TSOP II パッケージ図、51-85087



パッケージ図 (続き)

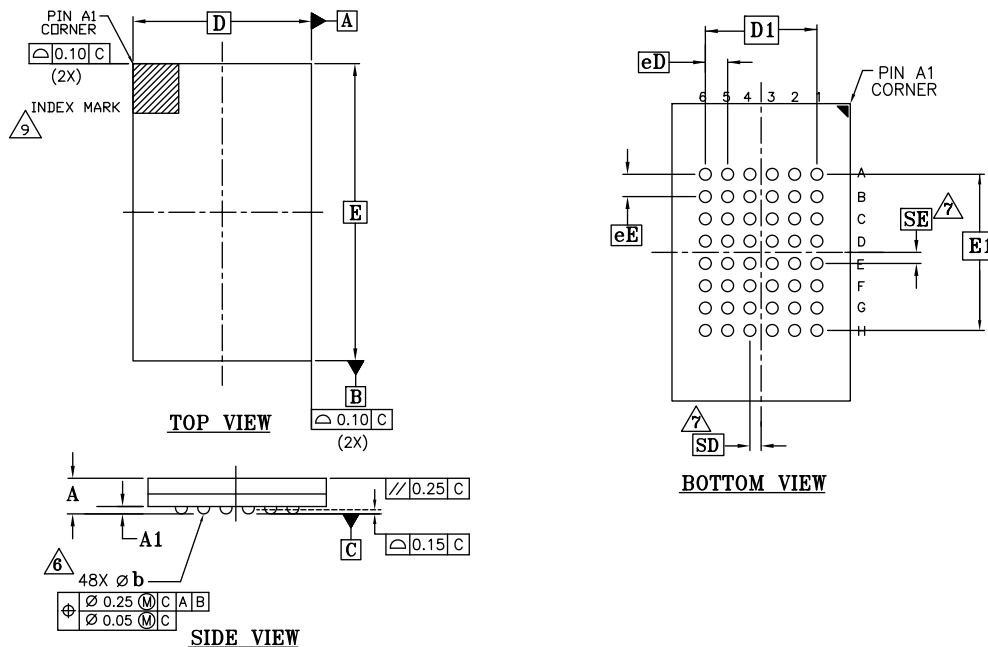
図 18. 48 ピン SSOP (300Mil) パッケージ図、51-85061



51-85061 *F

パッケージ図 (続き)

図 19. 48 ボール FBGA (6 × 10 × 1.2mm) パッケージ図、51-85128



SYMBOL	DIMENSIONS		
	MIN.	NOM.	MAX.
A	—	—	1.20
A1	0.16	—	—
D	—	6.00 BSC	—
E	—	10.00 BSC	—
D1	—	3.75 BSC	—
E1	—	5.25 BSC	—
MD	—	6	—
ME	—	8	—
N	—	48	—
Øb	0.25	0.30	0.35
eE	—	0.75 BSC	—
eD	—	0.75 BSC	—
SD	—	0.375 BSC	—
SE	—	0.375 BSC	—

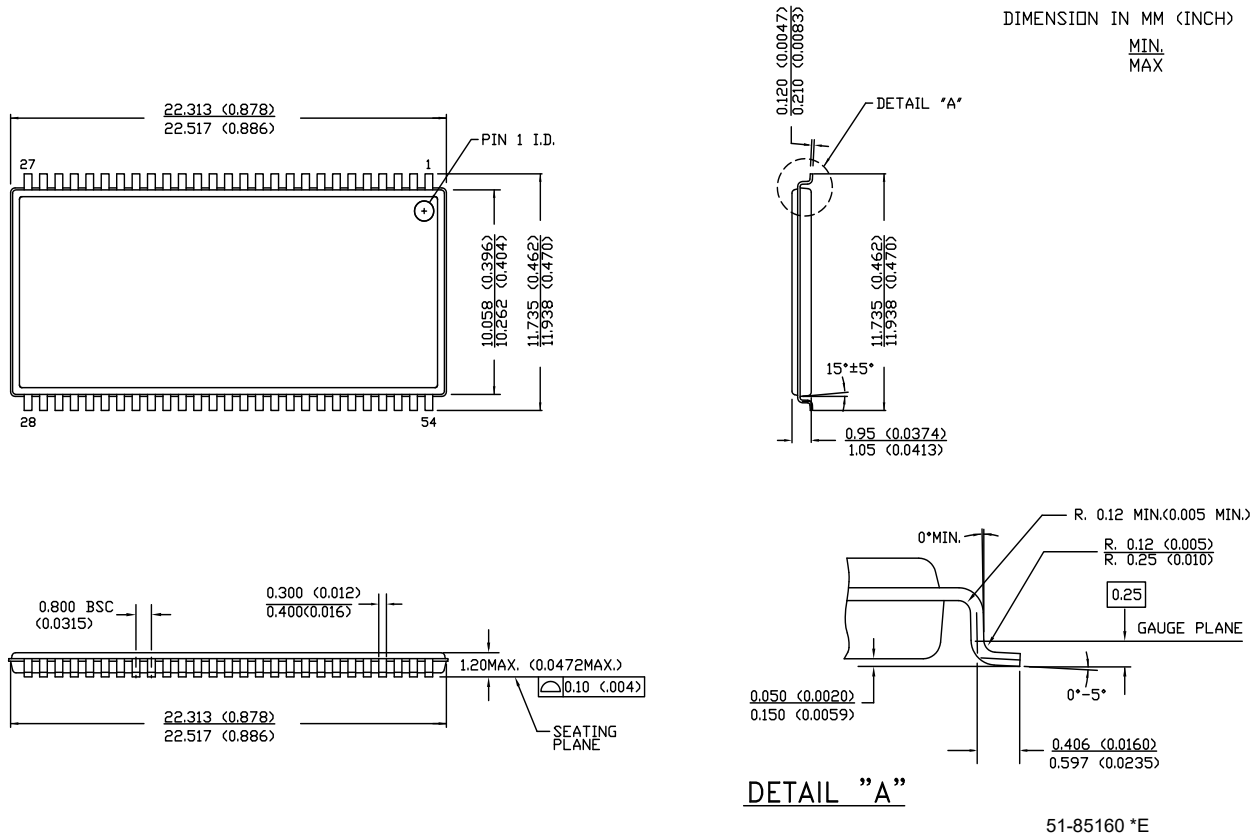
NOTES:

- DIMENSIONING AND TOLERANCING METHODS PER ASME Y14.5M-1994.
- ALL DIMENSIONS ARE IN MILLIMETERS.
- BALL POSITION DESIGNATION PER JEP95, SECTION 3, SPP-020.
- [e] REPRESENTS THE SOLDER BALL GRID PITCH.
- SYMBOL "MD" IS THE BALL MATRIX SIZE IN THE "D" DIRECTION.
SYMBOL "ME" IS THE BALL MATRIX SIZE IN THE "E" DIRECTION.
N IS THE NUMBER OF POPULATED SOLDER BALL POSITIONS FOR MATRIX SIZE MD X ME.
- DIMENSION "b" IS MEASURED AT THE MAXIMUM BALL DIAMETER IN A PLANE PARALLEL TO DATUM C.
- "SD" AND "SE" ARE MEASURED WITH RESPECT TO DATUMS A AND B AND DEFINE THE POSITION OF THE CENTER SOLDER BALL IN THE OUTER ROW.
WHEN THERE IS AN ODD NUMBER OF SOLDER BALLS IN THE OUTER ROW "SD" OR "SE" = 0.
WHEN THERE IS AN EVEN NUMBER OF SOLDER BALLS IN THE OUTER ROW, "SD" = eD/2 AND "SE" = eE/2.
- "+" INDICATES THE THEORETICAL CENTER OF DEPOPULATED BALLS.
- A1 CORNER TO BE IDENTIFIED BY CHAMFER, LASER OR INK MARK, METALLIZED MARK INDENTATION OR OTHER MEANS.

51-85128 *I

パッケージ図 (続き)

図 20. 54 ピン TSOP II (22.4 × 11.84 × 1.0mm) パッケージ図、51-85160



略語

略語	項目
BHE	byte high enable (上位バイト イネーブル)
BLE	byte low enable (下位バイト イネーブル)
$\overline{\text{CE}}$	chip enable (チップ イネーブル)
CMOS	complementary metal oxide semiconductor (相補型金属酸化膜半導体)
EIA	Electronic Industries Alliance (米国電子工業会)
FBGA	fine-pitch ball grid array (微細ピッチ ボール グリッド アレイ)
HSB	hardware store busy (ハードウェア ストア ビジー)
I/O	input/output (入力/出力)
nvSRAM	non-volatile static random access memory (不揮発性スタティック ランダム アクセス メモリ)
$\overline{\text{OE}}$	output enable (出カ イネーブル)
RoHS	restriction of hazardous substances (有害物質の制限)
RWI	read and write inhibited (読み出しおよび書き込み禁止)
SOIC	small outline integrated circuit (小型外形集積回路)
SRAM	static random access memory (スタティック ランダム アクセス メモリ)
SSOP	shrink small outline package (縮小小型パッケージ)
TSOP	thin small outline package (薄型小型パッケージ)
$\overline{\text{WE}}$	write enable (書き込み イネーブル)

本書の表記法

測定単位

記号	測定単位
°C	摂氏温度
Hz	ヘルツ
kHz	キロヘルツ
kΩ	キロオーム
MHz	メガヘルツ
μA	マイクロアンペア
μF	マイクロファラド
μs	マイクロ秒
mA	ミリアンペア
ms	ミリ秒
ns	ナノ秒
Ω	オーム
%	パーセント
pF	ピコファラド
V	ボルト
W	ワット

改訂履歴

文書名 : CY14B101LA / CY14B101NA、1M ビット (128K×8/64K×16) nvSRAM 文書番号 : 001-62676			
版	ECN 番号	発行日	変更内容
**	2965699	7/1/2010	初版
*A	3297672	6/30/2011	これは英語版 001-42879 Rev. *K からを翻訳した日本語 001-62676 Rev. *A です。
*B	4152075	10/9/2013	変更なし
*C	4572757	12/11/2014	これは英語版 001-42879 Rev. *P からを翻訳した日本語 001-62676 Rev. *C です。
*D	4722772	05/14/2015	これは英語版 001-42879 Rev. *Q からを翻訳した日本語 001-62676 Rev. *D です。
*E	7116838	04/13/2021	これは英語版 001-42879 Rev. *S からを翻訳した日本語 001-62676 Rev. *E です。

セールス、ソリューション、および法律情報

ワールドワイドな販売と設計サポート

サイプレスは、事業所、ソリューション センター、メーカー代理店および販売代理店の世界的なネットワークを保持しています。お客様の最寄りのオフィスについては、[サイプレスのロケーション](#) ページをご覧ください。

製品

Arm® Cortex® Microcontrollers	cypress.com/arm
車載用	cypress.com/automotive
クロック & バッファ	cypress.com/clocks
インターフェース	cypress.com/interface
IoT (モノのインターネット)	cypress.com/iot
メモリ	cypress.com/memory
マイクロコントローラ	cypress.com/mcu
PSoC	cypress.com/psoc
電源用 IC	cypress.com/pmic
タッチ センシング	cypress.com/touch
USB コントローラー	cypress.com/usb
ワイヤレス	cypress.com/wireless

PSoC® ソリューション

[PSoC 1](#) | [PSoC 3](#) | [PSoC 4](#) | [PSoC 5LP](#) | [PSoC 6 MCU](#)

サイプレス開発者コミュニティ

[コミュニティ](#) | [サンプルコード](#) | [Projects](#) | [ビデオ](#) | [ブログ](#) | [トレーニング](#) | [Components](#)

テクニカル サポート

cypress.com/support

© Cypress Semiconductor Corporation, 2008-2021. 本書面は、Infineon Technologies グループの Cypress Semiconductor Corporation 及びその関連会社（以下「Cypress」という。）に帰属する財産である。本書面（本書面に含まれ又は言及されているあらゆるソフトウェア若しくはファームウェア（以下「本ソフトウェア」という。）を含む）は、アメリカ合衆国及び世界のその他の国における知的財産法令及び条約に基づき Cypress が所有する。Cypress はこれらの法令及び条約に基づく全ての権利を留保し、本段落で特に記載されているものを除き、その特許権、著作権、商標権又はその他の知的財産権のライセンスを一切許諾しない。本ソフトウェアにライセンス契約書が伴っておらず、かつ Cypress との間で別途本ソフトウェアの使用方法を定める書面による合意がない場合、Cypress は、(1) 本ソフトウェアの著作権に基づき、(a) ソースコード形式で提供されている本ソフトウェアについて、Cypress ハードウェア製品と共に用いるためにのみ、かつ組織内部でのみ、本ソフトウェアの修正及び複製を行うこと、並びに (b) Cypress のハードウェア製品ユニットに用いるためにのみ、（直接又は再販売者及び販売代理店を介して間接のいずれかで）本ソフトウェアをバイナリーコード形式で外部エンドユーザーに配布すること、並びに (2) 本ソフトウェア (Cypress により提供され、修正がなされていないもの) が抵触する Cypress の特許権のクレームに基づき、Cypress ハードウェア製品と共に用いるためにのみ、本ソフトウェアの作成、利用、配布及び輸入を行うことについての非独占的で譲渡不能な一身専属的ライセンス（サブライセンスの権利を除く）を付与する。本ソフトウェアのその他の使用、複製、修正、変換又はコンパイルを禁止する。

適用される法律により許される範囲内で、Cypress は、本書面又はいかなる本ソフトウェア若しくはこれに伴うハードウェアに関しても、明示又は黙示を問わず、いかなる保証（商品性及び特定の目的への適合性の黙示の保証を含むがこれらに限られない）も行わない。いかなるコンピューティングデバイスも絶対に安全ということはない。従って、Cypress のハードウェア又はソフトウェア製品に講じられたセキュリティ対策にもかかわらず、Cypress は、Cypress 製品への権限のないアクセス又は使用といったセキュリティ違反から生じるいかなる責任も負わない。**Cypress は、Cypress 製品又は Cypress 製品を使用して生成されたシステムに破壊、攻撃、ウイルス、干渉、ハッキング、データの損失又は盗難、その他のセキュリティ侵害（総称して、以下「セキュリティ違反」という。）がないことを表明又は保証しない。**Cypress は、セキュリティ違反に関連するいかなる責任も否認し、セキュリティ違反から生じるいかなる請求、損害又はその他の責任について免責される。加えて、本書面に記載された製品には、エラッタと呼ばれる設計上の欠陥又はエラーが含まれている可能性があり、公表された仕様とは異なる動作をする場合がある。適用される法律により許される範囲内で、Cypress は、別途通知することなく、本書面を変更する権利を留保する。Cypress は、本書面に記載のある、いかなる製品若しくは回路の適用又は使用から生じる一切の責任を負わない。本書面で提供されたあらゆる情報（あらゆるサンプルデザイン情報又はプログラムコードを含む）は、参照目的のためのみに提供されたものである。この情報で構成するあらゆるアプリケーション及びその結果としてのあらゆる製品の機能性及び安全性を適切に設計、プログラム、かつテストすることは、本書面のユーザーの責任において行われるものとする。「ハイスループットデバイス」とは、不具合により人身傷害、死亡若しくは物的損害を引き起こす可能性のある装置若しくはシステムをいう。「ハイスループットデバイス」の例として、兵器、原子力施設、外科的移植、及びその他の医療機器が挙げられる。「重要な構成部分」とは、その不具合が直接又は間接的にハイスループットデバイスの不具合を生じさせるか又はその安全性若しくは実効性に影響すると合理的に予想できるようなハイスループットデバイスのあらゆる構成部分をいう。Cypress 製品をハイスループットデバイスの重要な構成部分として使用したことから生じるいかなる請求、損害又はその他の責任についても、Cypress はその全部又は一部を問わず一切の責任を負わず、かつ Cypress はそれら一切から本書により免除される。Cypress（その関連会社を含む）、及びその取締役、執行役、従業員、代理人、販売業者、及び譲受人は Cypress 製品をハイスループットデバイスの重要な構成部分として使用したことから生じる製造物責任、又は人身傷害若しくは死亡、又は物的損害の請求を含むあらゆる請求から生じるすべての費用、損害及び経費から免責される。Cypress 製品は、(i) Cypress が特定のハイスループットデバイスで使用するための製品として明示的に認定している製品のデータシートを公表している場合、又は、(ii) Cypress が特定のハイスループットデバイスの重要な構成部分として製品を使用することを事前に書面により承認し、別途補償契約に署名した場合の限定された範囲を除いては、ハイスループットデバイスの重要な構成部分としての使用を意図又は承認されていない。

Cypress、Cypress のロゴ及びこれらの組み合わせ、PSoC、CapSense、EZ-USB、F-RAM、Traveo、WICED、及び ModusToolbox は、米国又はその他の国における Cypress 又はその子会社の商標又は登録商標である。Cypress のより完全な商標のリストは、cypress.com を参照すること。その他の名称及びブランドは、それぞれの権利者の財産として権利主張がなされている可能性がある。