

リアルタイムクロック付き 1Mビット (128K × 8/64K × 16) nvSRAM

特長

- 1Mビットの不揮発性スタティック RAM (nvSRAM)
 - 25ns と 45ns のアクセス時間
 - 128K × 8 (CY14B101KA) または 64K × 16 (CY14B101MA) として内部的に構成
 - 小容量のコンデンサのみで電源喪失時の自動 STORE を実行
 - QuantumTrap 不揮発性素子への STORE をソフトウェア、ハードウェア、または電源喪失時の AutoStore により起動
 - SRAM への RECALL 処理は電源投入またはソフトウェアにより実行
- 高信頼性
 - 回数に制限のない読み出し、書き込み、RECALL サイクル
 - QuantumTrap に対する 100 万回の STORE サイクル
 - 20 年のデータ保持期間
- リアルタイムクロック (RTC)
 - フル機能のリアルタイムクロック
 - ウォッチドッグタイマー
 - プログラム可能な割り込み付きのクロックアラーム
 - RTC 用のコンデンサまたはバックアップバッテリー
 - 0.35μA (標準値) のバックアップ電流

■ 業界標準の構成

- 3V (+20%、-10%) の単一電源で動作
- 産業用温度範囲

■ パッケージ

- 44/54 ピン小型薄型パッケージ (TSOP) タイプ II
- 48 ピン縮小小型パッケージ (SSOP)

■ 鉛フリーおよび特定有害物質使用制限 (RoHS) に準拠

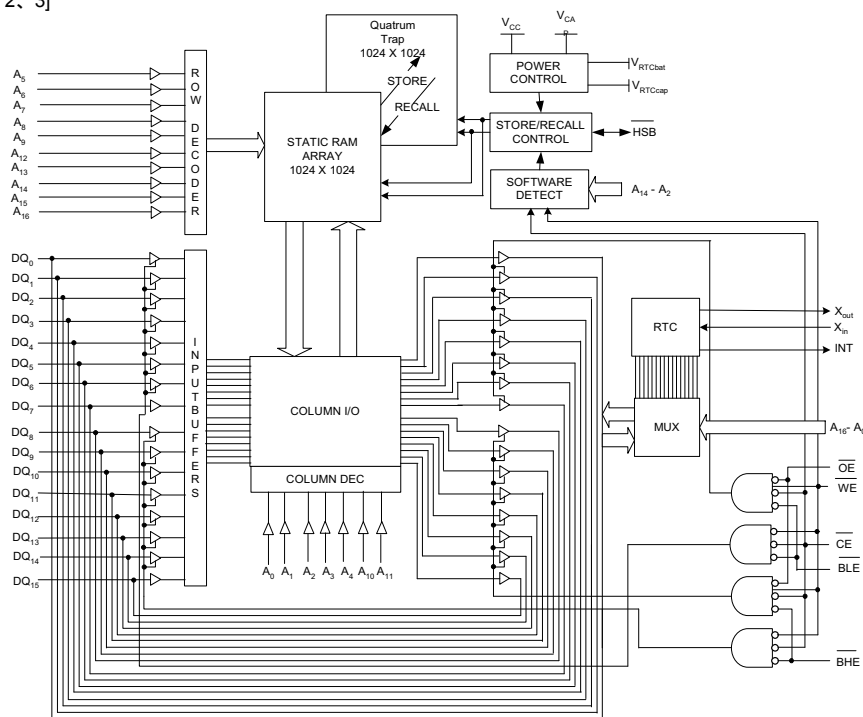
機能の詳細

サイプレスの CY14B101KA/CY14B101MA は、1Mビットの nvSRAM にフル機能のリアルタイムクロックの集積回路で組み合わされます。埋め込み型不揮発性素子には、世界最高級の信頼性を備えた不揮発性メモリを実現する QuantumTrap 技術を採用しています。独立した不揮発性データを不揮発性素子に保持しながら、SRAM は読み書き回数に制限はありません。

リアルタイムクロック機能は、うるう年対応の正確なクロックとプログラマブルな高精度発振子を備えています。アラーム機能は、定期的な分、時、日、または月のアラームに応じてプログラムできます。また、プロセス制御を目的としたプログラマブルウォッチドッグタイマーも備えています。

全ての関連資料の一覧を表示するには、[ここをクリックしてください](#)。

論理ブロック図 [1、2、3]



目次

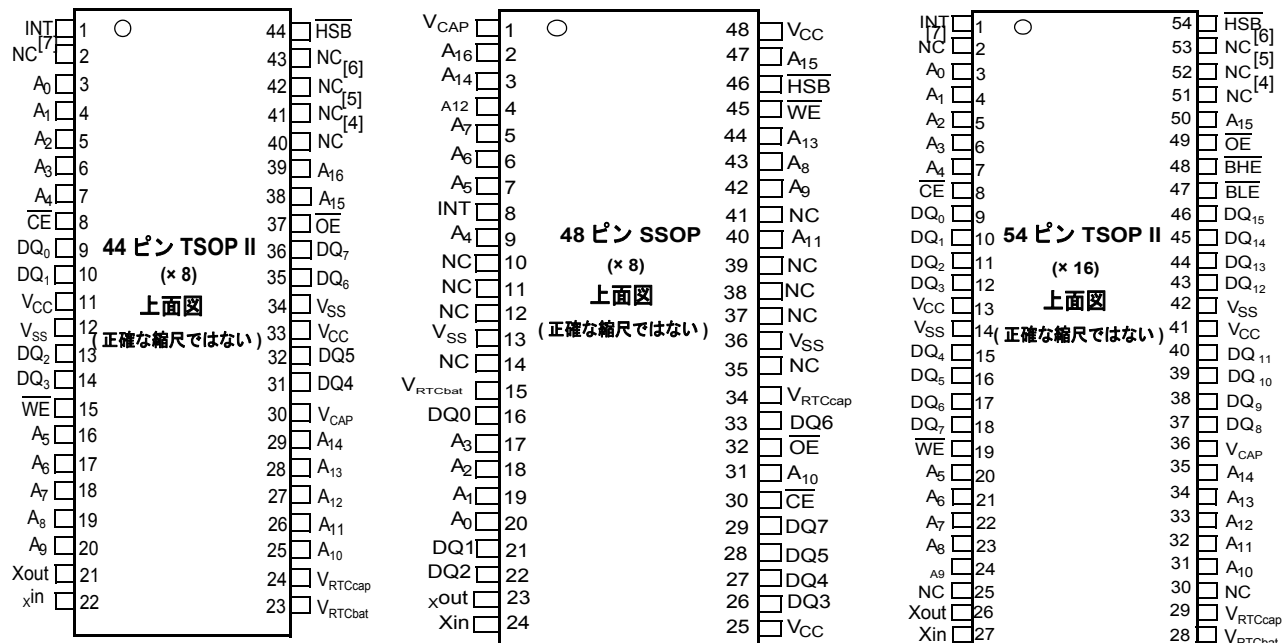
ピン配置	3	DC 電気的特性	18
ピン機能	4	データ保持期間およびアクセス可能回数	19
デバイスの動作	5	静電容量	19
SRAM 読み出し	5	熱抵抗	19
SRAM 書き込み	5	AC テスト負荷	20
AutoStore 処理	5	AC テスト条件	20
ハードウェア STORE (HSB) 処理	5	RTC 特性	20
ハードウェア RECALL (電源オン)	6	AC スwitchング特性	21
ソフトウェア STORE	6	SRAM 読み出しサイクル	21
ソフトウェア RECALL	6	SRAM 書き込みサイクル	21
AutoStore の防止	7	スitchング波形	21
データ保護	8	AutoStore / パワーアップ RECALL	24
リアル タイム クロックの動作	8	スitchング波形	24
nvTIME の動作	8	ソフトウェア制御の STORE/RECALL サイクル	25
クロックの動作	8	スitchング波形	25
クロックの読み出し	8	ハードウェア STORE サイクル	26
クロックの設定	8	スitchング波形	26
バックアップ電源	8	SRAM 真理値表	27
発振子の起動と停止	9	注文情報	28
クロックの校正	9	パッケージ図	29
アラーム	9	略語	32
ウォッチドッグ タイマー	10	本書の表記法	32
電源モニター	10	測定単位	32
割り込み	10	改訂履歴	33
フラグ レジスタ	12	セールス、ソリューションおよび法律情報	34
RTC 外部コンポーネント	12	ワールドワイドな販売と設計サポート	34
RTC に関する PCB 設計上の注意事項	13	製品	34
レイアウトに関する要求	13	PSoC® ソリューション	34
最大定格	18	サイプレス開発者コミュニティ	34
動作範囲内	18	テクニカル サポート	34

注:

1. ×8 構成ではアドレス A₀ ~ A₁₆、×16 構成ではアドレス A₀ ~ A₁₅。
2. ×8 構成ではデータ DQ₀ ~ DQ₇、×16 構成ではデータ DQ₀ ~ DQ₁₅。
3. BHE と BLE は ×16 構成でのみ使用できます。

ピン配置

図 1. ピン配置図 – 44 ピン、54 ピン TSOP II、および 48 ピン SSOP



注:

4. 2M ビットのアドレス拡張に対応しています。NC ピンはダイに接続されていません。
5. 4M ビットのアドレス拡張に対応しています。NC ピンはダイに接続されていません。
6. 8M ビットのアドレス拡張に対応しています。NC ピンはダイに接続されていません。
7. 16M ビットのアドレス拡張に対応しています。NC ピンはダイに接続されていません。

ピン機能

ピン名	入出力	説明
A ₀ ~ A ₁₆	入力	アドレス入力: ×8 構成で nvSRAM の 131,072 バイトの 1 つを選択するために使用
A ₀ ~ A ₁₅		アドレス入力: ×16 構成で nvSRAM の 65,536 ワードの 1 つを選択するために使用
DQ ₀ ~ DQ ₇	入力/出力	×8 構成の双方向データ I/O ライン。動作に応じて入力または出力ラインとして使用
DQ ₀ ~DQ ₁₅		×16 構成の双方向データ I/O ライン。動作に応じて入力または出力ラインとして使用
NC	未接続	未接続。このピンはダイに接続されていない
\overline{WE}	入力	書き込みイネーブル入力、アクティブ LOW。チップが有効で、 \overline{WE} が LOW になると、I/O ピンのデータは特定のアドレス位置に書き込まれる
\overline{CE}	入力	チップ イネーブル入力、アクティブ LOW。LOW の場合は、チップを選択する。HIGH の場合は、チップの選択を解除
\overline{OE}	入力	出力イネーブル、アクティブ LOW。アクティブ LOW \overline{OE} 入力は、読み出しサイクル中にデータ出力バッファを有効にする。OE HIGH をデアサートすると、I/O ピンがトライステートになる
\overline{BHE}	入力	バイト HIGH イネーブル、アクティブ LOW。DQ ₁₅ ~ DQ ₈ を制御
\overline{BLE}	入力	バイト LOW イネーブル、アクティブ LOW。DQ ₇ ~ DQ ₀ を制御
X _{out} ^[8]	出力	水晶発振子を接続。起動時に水晶発振器を駆動
X _{in} ^[8]	入力	水晶発振子を接続。32.768kHz 水晶発振子用。
V _{RTCcap} ^[8]	電源供給	コンデンサが、バックアップの RTC 電源電圧を供給。V _{RTCbat} が使用される場合は、未接続のままになる
V _{RTCbat} ^[8]	電源供給	バッテリーが、バックアップの RTC 電源電圧を供給。V _{RTCcap} が使用される場合は、未接続のままになる
INT ^[8]	出力	割り込み出力。クロックアラーム、ウォッチドッグタイマー、および電力モニターに対応するようにプログラム可能。アクティブ HIGH (プッシュまたはプル) または LOW (オープン ドレイン) のいずれにもプログラム可能。
V _{SS}	グランド	デバイス用のグランド。システムのグランドに接続する必要がある
V _{CC}	電源供給	デバイスへの電源入力。3.0V+20%、-10%
\overline{HSB}	入力/出力	ハードウェア STORE ビジー (\overline{HSB})。 出力: LOW の時、nvSRAM のビジー状態を示す。ハードウェアとソフトウェア STORE 動作の後、 \overline{HSB} が標準の出力 HIGH 電流で短時間 (t _{HHHD}) に HIGH に駆動される。その後、内部の低プルアップ抵抗でこのピンが HIGH のままに維持 (外部プルアップ抵抗にも接続可能)。 入力: このピンを外部で LOW にプルダウンすることによって実施されるハードウェア STORE
V _{CAP}	電源供給	AutoStore コンデンサ。SRAM から不揮発性素子にデータを格納するため、電力損失時に nvSRAM へ電源を供給

注:

8. RTC 機能を使用しない場合は未接続のままにします。

デバイスの動作

CY14B101KA/CY14B101MA nvSRAM は、同じ物理セル内で、対になった 2 個の機能コンポーネントで構成されています。これらは SRAM メモリ セルと不揮発性 QuantumTrap セルです。SRAM メモリ セルは標準の高速スタティック RAM として動作します。SRAM 内のデータは不揮発性セルに転送される (STORE 処理)、または不揮発性セルから SRAM に転送されます (RECALL 処理)。この独特のアーキテクチャを使って、すべてのセルは並行してストアされリコールされます。STORE 処理と RECALL 処理中、SRAM の読み書き処理は禁止されています。CY14B101KA/CY14B101MA は、一般的な SRAM と同様に、回数無制限の読み書きに対応しています。さらに、不揮発性セルから回数無制限の RECALL 処理および最大 100 万回までの STORE 処理が可能です。読み出しと書き込みモードの詳細については、27 ページの **SRAM 真値表** を参照してください。

SRAM 読み出し

CY14B101KA/CY14B101MA は、 \overline{CE} と \overline{OE} が LOW、および \overline{WE} と HSB が HIGH の場合、読み出しサイクルを実行します。ピン $A_0 \sim 16$ またはピン $A_0 \sim 15$ で指定されたアドレスは、16 ビットごとにアクセスされる 131,072 データバイトのどれか、または 65,536 ワードのどれかがアクセスされるかを決定します。バイト イネーブル (BHE、BLE) は、1 ワードが 16 ビットの場合にどのバイトを出力するかを決定します。アドレス遷移によって読み出しが開始された場合、出力は t_{AA} (読み出しサイクル #1) の遅延後に有効になります。CE または OE によって読み出しが開始された場合、出力は t_{ACE} と t_{DOE} のどちらか遅い方 (読み出しサイクル #2) の終了時点で有効になります。データ出力は、任意の制御入力ピンでの変化を必要としないで t_{AA} アクセス時間内に、繰り返しアドレス変更に応答します。これは、別のアドレス変更が発生するか、または CE か OE が HIGH になるか、あるいは WE か HSB が LOW になるまで有効な状態が続きます。

SRAM 書き込み

書き込みサイクルは、 \overline{CE} と \overline{WE} が LOW、および \overline{HSB} が HIGH の場合に実行されます。アドレス入力が安定な状態になってから書き込みサイクルに入らなければいけません。また、サイクルの終わりに CE か WE が HIGH になるまで安定な状態を保つ必要があります。共通 I/O ピンである IO_{0-7} のデータは、WE が制御する書き込み終了前に、または CE が制御する書き込み終了前に、データが有効 (t_{SD} 時間) であれば、メモリに書き込まれます。バイト イネーブル入力 (BHE、BLE) は、1 ワードが 16 ビットの場合にどのバイトを書き込むかを共通 I/O ライン上でのデータバスの競合を避けるために、書き込みサイクル中は OE を HIGH に維持し続けることを推奨します。OE が LOW のままであると、WE が LOW になった後の t_{HZWE} 後に、内部回路が出力バッファを遮断します。

AutoStore 処理

CY14B101KA/CY14B101MA は、3 つのストレージ処理のいずれかを処理してデータを nvSRAM へ格納します。これら 3 つの処理は、次の通りです。ハードウェア STORE: HSB によって有効化されます。ソフトウェア STORE: アドレス命令によって有効化されます。AutoStore: デバイスの電源オフ時に有効になります。AutoStore 処理は、QuantumTrap テクノロジー独自の機能であり、CY14B101KA/CY14B101MA ではデフォルトで有効になっています。

通常動作中にデバイスは、 V_{CAP} ピンに接続されたコンデンサを充電するのに V_{CC} から電流を引き込みます。充電量は、チップ

が一回の STORE 処理を実行するのに使う電荷分です。 V_{CC} ピンの電圧が V_{SWITCH} を下回ると、デバイスは V_{CC} と V_{CAP} ピンの接続を自動的に切ります。STORE 処理は、 V_{CAP} コンデンサから供給される電力で起動されます。

注: コンデンサが V_{CAP} ピンに接続されていない場合、7 ページの **AutoStore の防止** に指定したソフト シーケンスを使って AutoStore を無効にする必要があります。 V_{CAP} ピンに接続しているコンデンサがない状態で AutoStore が有効になった場合、STORE 処理を完了するために、デバイスは十分な充電量がないまま AutoStore 処理を実行しようとします。これにより、nvSRAM 内に格納されたデータが破壊されます。

図 2. AutoStore モード

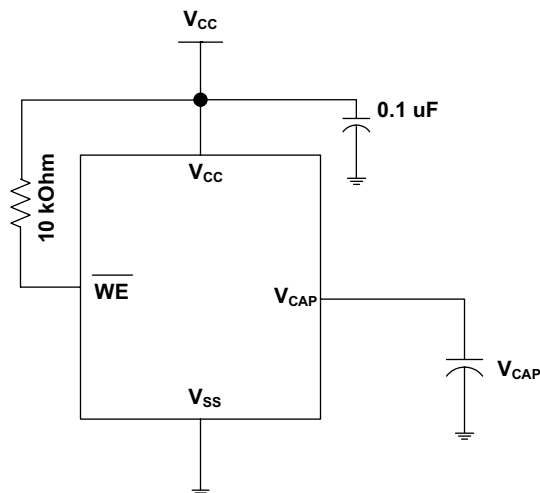


図 2 は、AutoStore 処理向けの累積コンデンサ (V_{CAP}) の適切な接続方法を示します。 V_{CAP} のサイズについては、18 ページの **DC 電気的特性** を参照してください。 V_{CAP} ピンの電圧は、チップ上のレギュレータによって V_{CC} に駆動されます。電源投入時にアクティブにならないようにするために、WE をプルアップ抵抗に接続する必要があります。このプルアップ抵抗は、電源投入時に WE 信号がトライステート状態にある場合のみ有効です。多くの MPU が電源投入時にそれらの制御信号をトライステートにします。プルアップ抵抗を使用する場合には確認してください。nvSRAM が電源投入時の RECALL から復帰する時、MPU がアクティブである、または MPU のリセットが終了するまで WE を非アクティブ状態に保つ必要があります。

不要な不揮発性のストアを避けるために、一番最後の STORE または RECALL サイクルが実行されてから少なくとも 1 回の書き込み処理が行われない場合は、AutoStore およびハードウェア STORE 処理が無視されます。ソフトウェアにより起動された STORE サイクルは、書き込み処理が行われたかどうかに関係なく実行されます。

ハードウェア STORE (HSB) 処理

CY14B101KA/CY14B101MA には、STORE 処理を制御し応答するための HSB ピンがあります。HSB ピンは、ハードウェア STORE サイクルの要求に使用されます。HSB ピンが LOW にされると、CY14B101KA/CY14B101MA は t_{DELAY} の後、条件に従って STORE 処理を開始します。実際の STORE サイクルは、最後の STORE または RECALL サイクル以降、SRAM への書き込みが実行された場合にのみ開始します。HSB ピンは、STORE 処理 (任意の手段で開始) 中にはビジー状態を示すために内部

で LOW に駆動されるオープンドレインドライバ (チップ内部に 100kΩ の弱いプルアップ抵抗) としても動作します。

注: ハードウェアおよびソフトウェア STORE 処理の後、 $\overline{\text{HSB}}$ は標準出力 HIGH 電流で短時間 (t_{HHHD}) HIGH に駆動され、その後 100kΩ の内部プルアップ抵抗により HIGH 状態を継続します。

SRAM 書き込み処理は $\overline{\text{HSB}}$ が LOW にされた時に実行中であれば、STORE 処理が開始される前に t_{DELAY} 以内に終了します。しかし $\overline{\text{HSB}}$ が LOW になった後に要求された SRAM 書き込みラッチがセットされていない場合、 $\overline{\text{HSB}}$ は CY14B101KA/CY14B101MA によって LOW に駆動されることはありません。しかし、SRAM のすべての読み出しと書き込みサイクルは、MPU または他の外部ソースにより $\overline{\text{HSB}}$ が HIGH 状態に戻るまで禁止されます。

STORE 処理がどのように起動されたかに関わらず、その処理中には、CY14B101KA/CY14B101MA は $\overline{\text{HSB}}$ ピンを LOW に駆動し続け、STORE 処理が完了した時にのみ解除します。STORE 処理が完了すると、 $\overline{\text{HSB}}$ ピンが HIGH 状態に戻った後に nvSRAM メモリ アクセスは t_{LZHSB} 間禁止されます。 $\overline{\text{HSB}}$ ピンを使用しない場合、ピンは開放にしてください。

ハードウェア RECALL (電源オン)

電源投入時または低電圧状態 ($V_{\text{CC}} < V_{\text{SWITCH}}$) の後は、内部的に RECALL 要求がラッチされます。 V_{CC} が電源投入時に再度 V_{SWITCH} を超えた場合、RECALL サイクルが自動的に開始し、完了するのに t_{HRECALL} を要します。この間、 $\overline{\text{HSB}}$ ピンは HSB ドライバによって LOW に駆動され、nvSRAM へのすべての読み書きは禁止されます。

ソフトウェア STORE

データは、ソフトウェア アドレス シーケンスによって SRAM から不揮発性メモリに転送されます。

CY14B101KA/CY14B101MA のソフトウェア STORE サイクルは、 $\overline{\text{CE}}$ または $\overline{\text{OE}}$ に制御された読み出し処理を、6 つの特定のアドレスから正しい順番で実行することにより開始されます。STORE サイクルの間、先ず前の不揮発性データの消去が実行され、次に不揮発性素子のプログラムが実行されます。STORE サイクルが開始されると、それ以降の入出力は STORE サイクルが完了するまで無効になります。

特定のアドレスからの読み出しシーケンスが、STORE 開始用に使われるため、他の読み書きアクセスがシーケンス内で干渉

しないこと、あるいはシーケンスが中止され STORE や RECALL が実行されないことが重要です。

ソフトウェア STORE サイクルを開始するために、次の読み出しシーケンスを実行してください。

1. アドレス 0x4E38 の読み出し - 有効 READ
2. アドレス 0xB1C7 の読み出し - 有効 READ
3. アドレス 0x83E0 の読み出し - 有効 READ
4. アドレス 0x7C1F の読み出し - 有効 READ
5. アドレス 0x703F の読み出し - 有効 READ
6. アドレス 0x8FC0 の読み出し - STORE サイクルの開始

ソフトウェア シーケンスは $\overline{\text{CE}}$ に制御された読み出しまたは $\overline{\text{OE}}$ に制御された読み出しを伴いクロック供給され、全ての 6 つの READ シーケンスの間 $\overline{\text{WE}}$ を HIGH 状態に維持することが必要です。シーケンスの 6 番目のアドレスが入力された後、STORE サイクルが開始され、チップが無効になります。 $\overline{\text{HSB}}$ は LOW に駆動されます。 t_{STORE} サイクル時間が完了した後、SRAM は読み書き処理を再び実行します。

ソフトウェア RECALL

データは、ソフトウェア アドレス シーケンスによって不揮発性メモリから SRAM に転送されます。ソフトウェア RECALL サイクルは、ソフトウェア STORE の開始と同様の方法で読み出し処理のシーケンスによって開始されます。RECALL サイクルを開始するために、 $\overline{\text{CE}}$ または $\overline{\text{OE}}$ に制御された読み出し処理を以下の順番で実行してください。

1. アドレス 0x4E38 の読み出し - 有効 READ
2. アドレス 0xB1C7 の読み出し - 有効 READ
3. アドレス 0x83E0 の読み出し - 有効 READ
4. アドレス 0x7C1F の読み出し - 有効 READ
5. アドレス 0x703F の読み出し - 有効 READ
6. アドレス 0x4C63 の読み出し、RECALL サイクルの開始

内部的に、RECALL は 2 段階の手順を踏みます。まず、SRAM データがクリアされ、次に、不揮発性情報が SRAM セルに転送されます。 t_{RECALL} サイクル時間が経過した後、SRAM は再度読み書き処理が有効になります。RECALL 処理では、不揮発性要素内のデータが変更されません。

表 1. モード選択

$\overline{\text{CE}}$	$\overline{\text{WE}}$	$\overline{\text{OE}}$	$\overline{\text{BHE}}, \overline{\text{BLE}}^{[9]}$	$\text{A}_{15} \sim \text{A}_0^{[10]}$	モード	I/O	電源
H	X	X	X	X	未選択	出力 HIGH Z	スタンバイ
L	H	L	L	X	SRAM 読み出し	出力データ	アクティブ
L	L	X	L	X	SRAM 書き込み	入力データ	アクティブ
L	H	L	X	0x4E38 0xB1C7 0x83E0 0x7C1F 0x703F 0x8B45	SRAM 読み出し SRAM 読み出し SRAM 読み出し SRAM 読み出し SRAM 読み出し AutoStore ディスエーブル	出力データ 出力データ 出力データ 出力データ 出力データ 出力データ	アクティブ ^[11]
L	H	L	X	0x4E38 0xB1C7 0x83E0 0x7C1F 0x703F 0x4B46	SRAM 読み出し SRAM 読み出し SRAM 読み出し SRAM 読み出し SRAM 読み出し AutoStore イネーブル	出力データ 出力データ 出力データ 出力データ 出力データ 出力データ	アクティブ ^[11]
L	H	L	X	0x4E38 0xB1C7 0x83E0 0x7C1F 0x703F 0x8FC0	SRAM 読み出し SRAM 読み出し SRAM 読み出し SRAM 読み出し SRAM 読み出し 不揮発性 STORE	出力データ 出力データ 出力データ 出力データ 出力データ 出力 HIGH Z	アクティブ $\text{I}_{\text{CC2}}^{[11]}$
L	H	L	X	0x4E38 0xB1C7 0x83E0 0x7C1F 0x703F 0x4C63	SRAM 読み出し SRAM 読み出し SRAM 読み出し SRAM 読み出し SRAM 読み出し 不揮発性 RECALL	出力データ 出力データ 出力データ 出力データ 出力データ 出力 HIGH Z	アクティブ ^[11]

AutoStore の防止

AutoStore 機能は AutoStore ディスエーブル シーケンスを開始することで無効にされます。読み出し処理のシーケンスは、ソフトウェア STORE の開始と同様の方法で実行されます。AutoStore ディスエーブル シーケンスを開始するために、 $\overline{\text{CE}}$ または $\overline{\text{OE}}$ に制御された読み出し処理を以下の順番で実行してください。

1. アドレス 0x4E38 の読み出し - 有効 READ
2. アドレス 0xB1C7 の読み出し - 有効 READ
3. アドレス 0x83E0 の読み出し - 有効 READ
4. アドレス 0x7C1F の読み出し - 有効 READ
5. アドレス 0x703F の読み出し - 有効 READ
6. 0x8B45 のアドレスを読み出し、AutoStore を無効

AutoStore は、AutoStore イネーブル シーケンスを開始することによって再度有効になります。読み出し処理のシーケンスは、ソフトウェア RECALL の開始と同様の方法で実行されます。

AutoStore イネーブル シーケンスを開始するために、 $\overline{\text{CE}}$ または $\overline{\text{OE}}$ に制御された読み出し処理を以下の順番で実行してください。

1. アドレス 0x4E38 の読み出し - 有効 READ
2. アドレス 0xB1C7 の読み出し - 有効 READ
3. アドレス 0x83E0 の読み出し - 有効 READ
4. アドレス 0x7C1F の読み出し - 有効 READ
5. アドレス 0x703F の読み出し - 有効 READ
6. アドレス 0x4B46 の読み出し、AutoStore のイネーブル

AutoStore 機能が無効にされるか、または再度有効にされた場合、手動 STORE 処理（ハードウェアまたはソフトウェア）を行い、その後のパワーダウンサイクルの間、AutoStore 状態を持続する必要があります。工場出荷時 AutoStore は有効になっており、すべてのセルに 0x00 と書き込まれています。

注:

9. $\overline{\text{BHE}}$ と $\overline{\text{BLE}}$ は ×16 構成でのみ使用できます。
10. CY14B101KA に 17 のアドレス線 (CY14B101MA には 16 のアドレス線) が存在しますが、13 のアドレス線のみ ($\text{A}_{14}\text{--}\text{A}_2$) がソフトウェア モードの制御用に使われます。残りのアドレス線は「ドントケア」です。
11. 6 つの連続アドレス位置は指定された順番でなければなりません。 $\overline{\text{WE}}$ は不揮発性サイクルを可能にするため、すべての 6 つのサイクル中は HIGH でなければなりません。

データ保護

CY14B101KA/CY14B101MA は、外部から実行された STORE および書き込み処理をすべて禁止することにより、低電圧状態の間での破損からデータを保護します。低電圧状態は V_{CC} が V_{SWITCH} を下回ると検出されます。電源投入時に CY14B101KA/CY14B101MA が書き込みモードにある (\overline{CE} と \overline{WE} の両方が LOW) 場合、RECALL または STORE の後、 t_{ZHSB} (HSB から出力有効までの時間) が経過すると SRAM が有効になるまで書き込みは禁止されます。これは電源投入時や電圧低下状態の間に不注意による書き込みを保護します。

リアルタイムクロックの動作

nvTIME の動作

CY14B101KA/CY14B101MA には、クロック、アラーム、ウォッチドッグ、割り込み、および制御機能を備えている内部レジスタがあります。RTC レジスタは SRAM 末尾の 16 アドレス位置を占めます。クロックとタイマー情報レジスタの内部ダブルバッファは、読み出しまたは書き込み処理時の過渡的な内部クロック データへのアクセスを防ぎます。またダブル バッファリングは、クロック データにアクセスする際、通常のタイミング カウントを中断するか、または内部クロックのクロック精度が劣化するのを回避します。クロックおよびアラーム レジスタは BCD 形式でデータを格納します。

RTC 機能は、次の節で、CY14B101KA に関連して説明されています。同じ説明が、RTC レジスタのアドレスを除いて CY14B101MA にも適用されます。RTC レジスタ アドレスの範囲は、CY14B101KA では 0x1FFF0 から 0x1FFFF まで、CY14B101MA では 0x0FFF0 から 0x0FFFF までです。レジスタ マップの詳細については、14 ページの表 3 と 15 ページの表 4 を参照してください。

クロックの動作

クロック レジスタは、1 秒ずつインクリメントして 9,999 年までの時間を維持します。時刻は任意のカレンダー時間に設定することができ、クロックは曜日と月の日、うるう年、世紀の変遷を自動的に刻みます。クロック機能には 8 つの専用レジスタがあります。これらは書き込みサイクルで時間を設定し、読み出しサイクルで時間を読み出すのに使われます。これらのレジスタには BCD 形式で時間を表す値が含まれています。「0」として定義されたビットは、現在使用されておらず、将来使用するために予約されています。

クロックの読み出し

ダブルバッファ RTC レジスタの構造は、クロックから不正なデータを読み出す可能性を減らします。CY14B101KA 時間保持レジスタへの内部更新は、移中のデータの読み出しを防止するためにクロック データを読み出す前に、R という読み出しビット (0x1FFF0 にあるフラグレジスタ内) が 1 にセットされると、停止されます。レジスタの更新停止は、クロックの精度に影響を与えません。

RTC デバイスの読み出しシーケンスが開始されると、ユーザーの時間保持レジスタの更新が停止し、「0」が読み出しビット「R」(0x1FFF0 にあるフラグレジスタ内) に書き込まれるまで再起動しません。読み出しシーケンスの終了後、すべての RTC レジスタが、20ms 以内に同時に更新されます。

クロックの設定

書き込みビット「W」(0x1FFF0 にあるフラグ レジスタ内) が 1 にセットされると、RTC デバイスへの書き込みアクセスは、

時間保持レジスタの更新を停止し、時間の設定を可能にします。次に、正しい曜日、日付、および時間がレジスタに書き込まれます。正しい形式は、24 時間 BCD 形式です。書き込まれた時間は、「基準時刻」と呼ばれます。この値は、不揮発性レジスタに格納され、現在の時刻の計算に使用されます。書き込みビット W が 0 を書き込んでクリアされると、時間保持レジスタの値は実際のクロック カウンターに転送されます。その後、クロックは通常の動作を再開します。

時間保持レジスタに書き込まれた時間が正しい BCD 形式でない場合は、RTC レジスタの各無効ニブルが 0xF までカウントを継続してから 0x0 にロールオーバーし、その後、RTC は通常の動作を再開します。

注: 「W」ビットが「0」にセットされた後、時間保持、アラーム、校正、および割り込みレジスタに書き込まれる値は、 t_{RTCp} 時間で RTC 時間保持カウンターに転送されます。これらのカウンターの値は、ソフトウェア/ハードウェア STORE または AutoStore 処理を起動させることにより、不揮発性メモリに保存する必要があります。AutoStore ディスエーブル モードでは、変更が正しく記録されるように、RTC レジスタへの書き込みを行いながら、 t_{RTCp} 時間の後に、STORE 処理を実行してください。

バックアップ電源

CY14B101KA の RTC は、永続的電源供給動作に設計されています。 V_{RTCcap} または V_{RTCbat} ピンは、バックアップ電源用にコンデンサかバッテリーのどちらが選択されるかに応じて接続されます。主電源 (V_{CC}) が異常になり、 V_{SWITCH} を下回ると、デバイスの電源をバックアップ電源に切り替えます。

クロック発振子の消費電流は非常に小さいため、バックアップ電源によるバックアップ時間が長くなります。主電源を喪失した状態のクロック動作にかかわらず、nvSRAM に格納されたデータは電源供給が遮断された時に不揮発性素子に格納されているため、失われることはありません。

バックアップ処理中に、CY14B101KA は室温で 0.35 μA (標準値) を消費します。ユーザーは、用途に応じてコンデンサやバッテリーの値を選択する必要があります。

注: バッテリーが V_{CC} に接続する前に V_{RTCbat} ピンに接続された場合、デバイスは高い I_{BAK} 電流を消費します。発振子が無効の場合でもこのことは発生します。バッテリーの持続時間を長くするために、バッテリーを V_{RTCbat} ピンに接続する前に V_{CC} に接続する必要があります。

最大電流仕様に基づくバックアップ時間の値を、次の表 2 に示します。公称バックアップ時間は約 2 倍長くなります。

表 2. RTC のバックアップ時間

コンデンサの値	バックアップ時間
0.1F	72 時間
0.47F	14 日
1.0F	30 日

コンデンサを使用すると、システムに電源を投入する度にバックアップ電源が充電されるという明白な利点があります。バッテリーを使用する場合は、3V のリチウム バッテリーをお奨めします。CY14B101KA は、主電源を喪失した場合に、バッテリーからのみ電流を供給されます。ただし、バッテリーは、CY14B101KA によって常に充電されるわけではありません。バッテリー容量は、システムのライフ サイクルを通して、必要なダウンタイムの合計予想時間を考慮して選択する必要があります。

発振子の起動と停止

0x1FFF8 番地にある校正レジスタの OSCEN ビットは、発振子の起動または停止を制御します。このビットは不揮発性であり、イネーブル状態 (「0」に設定されている状態) でお客様に出荷されます。システムが保存状態にある場合にバッテリーを長持ちさせるには、OSCEN を「1」にセットする必要があります。これにより発振回路が停止し、バッテリー寿命が延長されます。OSCEN ビットが無効から有効に切り替わる場合は、発振子が開始されるのに約 1 秒 (最大 2 秒) かかります。

システム電源がオフの間に、バックアップ電源の電圧 (V_{RTCcap} または V_{RTCbat}) が、それぞれの最小レベルを下回る場合、発振子が動作しなくなることがあります。CY14B101KA には、システム電源が回復した時に、発振子の異常を検出する能力があります。これは、アドレス 0x1FFF0 にあるフラグ レジスタの発振子異常フラグ (OSCF) に記録されます。デバイスが電源投入された時 (V_{CC} が V_{SWITCH} を上回る時)、「イネーブル」状態を確認するために、OSCEN ビットをチェックします。OSCEN ビットがイネーブルになっていて、発振子が最初の 5ms 以内に起動しない場合は、OSCF ビットが「1」に設定されます。システムはこの条件を点検し、フラグをクリアするために「0」を書き込む必要があります。

OSCF フラグ ビットを設定することに加え、時間レジスタは時間保持レジスタに書き込まれる最後の値である「基準時刻」にリセットされることにも注意してください。制御または校正レジスタと OSCEN ビットは、「発振子異常」の状態による影響を受けません。

OSCF の値は、時間レジスタが最初に書き込まれた際に、「0」にリセットする必要があります。これは、システムが最初の電源投入時に設定している可能性があり、このビットの状態を初期化します。

OSCF をリセットするには、書き込みビット W (0x1FFF0 にあるフラグ レジスタ内) を 1 に設定し、フラグ レジスタへの書き込みを有効にします。書き込みをディセーブルにするには、OSCF に「0」を書き込み、書き込みビットを「0」にリセットします。

クロックの校正

RTC は、32.768kHz の公称周波数を持つクォーツ水晶発振子によって駆動されます。クロックの精度は、水晶と校正の品質に依存します。市場で入手可能な水晶発振子は、通常、 $\pm 20\text{ppm}$ ~ $\pm 35\text{ppm}$ の誤差を持ちます。ただし、CY14B101KA は 25°C で $+1/-2\text{ppm}$ まで精度を向上させる校正回路を採用しています。これは、月当たりの誤差が $+2.5 \sim -5$ 秒であることを意味します。

校正回路は、この精度を達成するため、発振子分周回路からカウントを加算または減算します。抑制 (減算、マイナス校正) または分割 (加算、プラス校正) されるパルス数は、0x1FFF8 アドレスにある校正レジスタ内の 5 つの校正ビットにロードされた値に依存します。校正ビットは、校正レジスタの 5 つの下位ビットを占めます。これらのビットは、バイナリ形式で「0」と 31 間の任意の値を表すために設定されます。ビット D5 は符号ビットで、「1」がプラス校正、「0」がマイナス校正を示します。カウントを加算するとクロックが速くなり、減算するとクロックが遅くなります。二進数の「1」がレジスタにロードされると、符号に応じて、発振子の誤差に 4.068 または -2.034ppm のオフセット調整を行います。

校正は、64 分サイクル内で発生します。サイクルの最初の 62 分は、毎分 1 回、128 の発振子サイクル短縮される秒、あるいは 256 の発振子サイクル延長される 1 秒があります。二進数の「1」がレジスタにロードされると、64 分サイクルの最初の 2 分のみが変更されます。二進数の 6 がロードされると、最初の 12 が影響を受け、同じパターンが続きます。したがって、各校正ステップは、実際の 125,829,120 回の発振子サイクルごとに、512 を加算または 256 を減算する効果があります。これは、校正レジスタの校正ステップごとに、4.068 または -2.034ppm の調整を行うことを意味します。

必要な校正を決定するには、フラグ レジスタ (0x1FFF0) の CAL ビットを「1」にセットする必要があります。これは、INT ピンを 512Hz の公称周波数でトグルさせます。512Hz から測定される任意の偏差は、必要な補正の程度と方向を示します。たとえば、512.01024Hz の読み出しは $+20\text{ppm}$ の誤差を示します。したがって、-10 (001010b) の 10 進値を校正レジスタにロードし、この誤差を相殺する必要があります。

注: 校正レジスタを設定や変更しても、テスト出力周波数には影響しません。

CAL をセットまたはクリアするには、書き込みビット「W」(0x1FFF0 にあるフラグ レジスタ内) を「1」にセットし、フラグ レジスタへの書き込みを有効にします。CAL に値を書き込み、次に書き込みビットを「0」にリセットし、書き込みをディセーブルにします。

アラーム

アラーム機能は、ユーザーがプログラムしたアラームの時間と日付 (レジスタ 0x1FFF1-5 に格納されている) の値を、該当する曜日と日付の値と比較します。一致すると、アラーム内部フラグ (AF) が設定され、アラーム割り込みイネーブル (AIE) ビットが設定されている場合は、割り込みが INT ピンで生成されます。

日付、時間、分、秒という、4 つのアラームのマッチ フィールドがあります。これらの各フィールドは、フィールドがアラームのマッチ論理で使用されているかどうかを決定するために使用される マッチ ビットを持っています。マッチビットが「0」にセットされている場合は、対応するフィールドがマッチ プロセスで使用されていることを示します。マッチ ビットに応じて、アラームは、月に一度など特定の頻度で発生します。最小頻度は毎分 1 回です。マッチ ビットのいずれもを選択しない (すべて 1) 場合は、マッチが必要とされないため、アラームが無効になることを示します。すべてのマッチ ビット (すべて 0) を選択すると、正確な時間と日付のマッチが発生します。

アラーム イベントを検出するには、AF フラグを読み出すか、または INT ピンを監視するという 2 つの方法を使用します。0x1FFF0 アドレスにあるフラグ レジスタの AF フラグは、日付や時間のマッチが発生したことを示します。一致すると、AF ビットが「1」にセットされます。フラグ レジスタを読み出すと、アラーム フラグビット (および他のすべて) がクリアされます。ハードウェア割り込みピンも、アラーム イベントを検出するために使用されることがあります。

アラームをセット、クリア、またはイネーブルするには、書き込みビット W (0x1FFF0 にあるフラグ レジスタ内) を「1」にセットし、アラーム レジスタへの書き込みを有効にします。アラームの値を書き込んだ後、W ビットを「0」にクリアし、変更を有効にします。

注: CY14B101KA: アラームフラグと割り込みを適切に動作するため、秒のアラーム マッチ ビット (アラーム秒レジスタ 0x1FFF2 内の D7 ビット) を「0」にセットする必要があります。

ウォッチドッグ タイマー

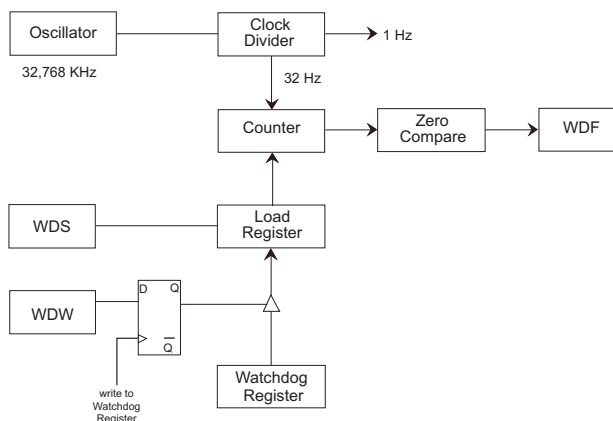
ウォッチドッグ タイマーは、水晶発振子から得られた 32Hz のクロック (31.25ms) を使用するフリーランニングのダウン カウンターです。発振子は、ウォッチドッグ タイマーにクロックを供給し続ける必要があります。ウォッチドッグ タイマーレジスタにロードされた値からカウント ダウンを開始します。

タイマーは、ロード可能なレジスタとフリーランニング カウンターで構成されています。電源投入時に、レジスタ 0x1FFF7 のウォッチドッグ タイムアウト値が、カウンターのロード レジスタにロードされます。カウントは、電源投入時に開始し、ウォッチドッグ ストロープ (WDS) ビットが「1」にセットされるたびに、ロード可能な値から再起動します。カウンターは、「0」の終端値と比較されます。カウンターがこの値に達すると、内部フラグと任意の割り込み出力が発生します。カウンターが「0」に到達する前に WDS ビットを「1」に設定することにより、割り込みタイムアウトを防ぐことができます。これにより、カウンターにウォッチドッグ タイムアウト値がリロードされ、再起動されます。カウンターが終端の値に達する前に WDS ビットを設定する限り、割り込みと WDT フラグは発生しません。

ウォッチドッグ書き込みビットを「0」に設定することで、新しいタイムアウト値が書き込まれます。WDW が「0」である場合、ウォッチドッグ タイムアウト値ビット D5-D0 への新しい値の書き込みが有効になり、タイムアウト値が変更されます。WDW が「1」である場合、D5 ~ D0 ビットへの書き込みは無視されます。WDW 機能は、ウォッチドッグ タイマーの値が変更されることを考慮せずに、WDS ビットを設定できるようにします。ウォッチドッグ タイマーの論理図を [図 3](#) に示します。ウォッチドッグタイムアウト値を「0」に設定すると、ウォッチドッグ機能がディスエーブルになることに注意してください。

ウォッチドッグ タイマーの出力は、ウォッチドッグのタイムアウトが許可されている場合にセットされる WDF というフラグビットです。割り込みレジスタのウォッチドッグ割り込みイネーブル (WIE) ビットが設定されている場合は、INT ピンのハードウェア割り込みも、ウォッチドッグ タイムアウトで生成されます。ユーザーがフラグレジスタを読み出す時に、フラグとハードウェア割り込みの両方がクリアされます。

図 3. ウォッチドッグ タイマーのブロック図



電源モニター

CY14B101KA は、電源異常割り込み機能を備えた電力管理スキームを提供します。また、クロック用のバックアップ電源への内部切り替えを制御し、低 V_{CC} アクセスからメモリを保護します。電源モニターは、 V_{CC} 電圧を V_{SWITCH} 閾値と比較する内部バンドギャップ参照回路で出ています。

[5 ページの AutoStore 処理](#)で説明したように、 V_{CC} が電源切断時に V_{SWITCH} に達すると、データ STORE 処理が SRAM から不揮発性素子に向けて開始され、最後の SRAM データ状態を確保します。また、電源が V_{CC} からバックアップ電源 (バッテリーまたはコンデンサ) に切り替えられ、RTC 発振子を稼働します。

バックアップ電源から動作している場合、nvSRAM への読み書き処理が抑制され、RTC 機能が利用できなくなります。RTC クロックは、バックグラウンドで処理を継続します。更新された RTC 時間保持レジスタのデータは、 V_{CC} がデバイスに復旧後に利用できるようになります ([24 ページの AutoStore / パワーアップ RECALL](#) を参照)。

割り込み

CY14B101KA は、フラグ レジスタ、割り込みレジスタ、およびマイクロ コントローラーへの割り込み信号を送ることができる割り込みロジックを持っています。割り込みには、ウォッチドッグ タイマー、電源モニター、アラーム タイマーという 3 つの可能な発生源があります。それぞれは、割り込みレジスタ (0x1FFF6) において適切な設定を実施することによって、INT ピンを駆動するために独立して有効にできます。さらに、それぞれはホスト プロセッサが割り込みの原因を判別するために使用する、フラグ レジスタ (0x1FFF0) 内のフラグビットを持っています。INT ピンのドライバーは、割り込みが発生した時にその動作を指定する 2 つのビットを持っています。

割り込みは、両方のフラグが 3 種類のソースのいずれかによって立てられた場合、および割り込みレジスタ内の該当する割り込みイネーブルビットが有効になった (「1」にセットされた) 場合にのみ発生します。割り込みソースがアクティブになった後、2 つのプログラマブル ビット、H/L と P/L は、INT ピンで出力ピンドライバーの動作を決定します。これらの 2 ビットは割り込みレジスタにあり、INT ピンからレベルまたはパルスモードの出力を駆動するために使用できます。パルス モードでは、パルス幅が内部で約 200ms に固定されます。このモードは、ホスト マイクロコントローラーをリセットするために用意されます。レベル モードでは、フラグ レジスタがユーザーによって読み出されるまで、ピンはアクティブ極性になります。このモードは、ホスト マイクロコントローラーへの割り込みとして使用されます。制御ビットについては、次の節で説明します。

割り込みは、システムが通常の電源モードで動作する時にのみ生成され、バックアップ電源モードで実行されている時にはトリガされません。

注: CY14B101KA は、パワーアップ RECALL シーケンスが完了した後でのみ有効な割り込みを生成します。INT ピンの全イベントは、電源投入後、 $t_{HRECALL}$ の間無視される必要があります。

割り込みレジスタ

ウォッチドッグ割り込みイネーブル (WIE)。「1」に設定すると、ウォッチドッグ タイマーは、ウォッチドッグ タイムアウトが発生した際に INT ピンと内部フラグを駆動します。WIE を「0」

にセットすると、ウォッチドッグ タイマーは、フラグ レジスタの WDF フラグにのみ影響します。

アラーム割り込みイネーブル (AIE)。「1」に設定すると、アラームの一致により、INT ピンと内部フラグが駆動されます。AIE を「0」に設定すると、アラームの一致は、フラグ レジスタの AF フラグにのみ影響します。

電源異常割り込みイネーブル (PFE)。「1」に設定すると、電源異常モニターにより、ピンと内部フラグが駆動されます。PFE を「0」に設定すると、電源異常モニターは、フラグ レジスタの PF フラグにのみ影響します。

High/Low (H/L) 「1」に設定すると、INT ピンがアクティブ HIGH になり、ドライバー モードがプッシュプルになります。INT ピンは、 V_{CC} が V_{SWITCH} を上回る場合にのみ HIGH に駆動されます。「0」に設定すると、INT ピンがアクティブ LOW になり、ドライバー モードがオープン ドレインになります。ア

クティブ LOW モードで割り込みを使用している間、INT ピンは、10k Ω の抵抗で V_{CC} にプルアップする必要があります。

パルス/レベル (P/L)。「1」に設定し、割り込みが発生すると、INT ピンが約 200ms 間駆動されます。P/L が「0」に設定されると、INT ピンは、フラグ レジスタが読み出されるまで、HIGH または LOW (H/L により決定される) に駆動されます。

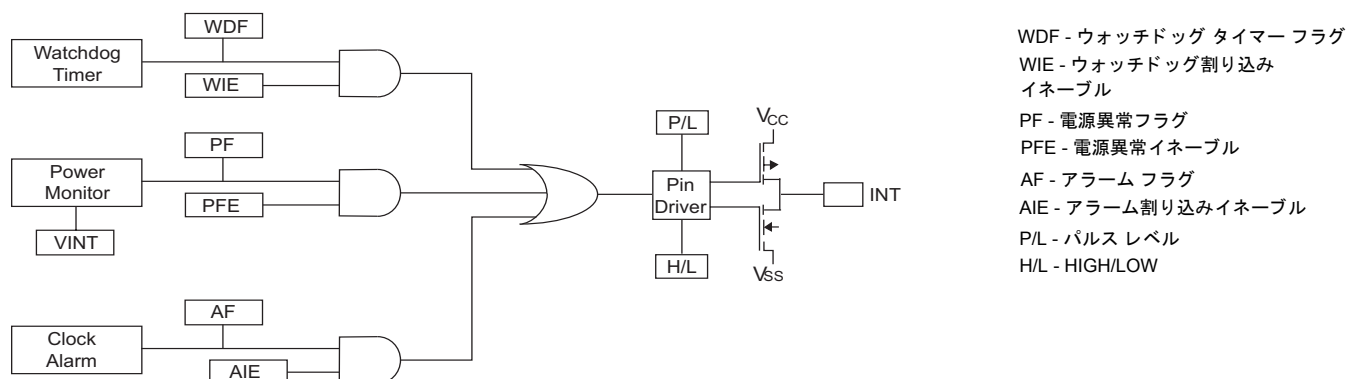
有効な割り込みソースが INT ピンをアクティブにすると、外部ホストはレジスタのフラグを読み出して原因を特定します。レジスタが読み出される際には、すべてのフラグがクリアされます。INT ピンがレベル モードにプログラムされている場合、条件はクリアされ、INT ピンは非アクティブ状態に戻ります。ピンがパルス モードにプログラムされている場合、フラグを読み出すと、フラグとピンはクリアされます。フラグ レジスタが読み出されると、パルスは、その指定された期間を完了しません。INT ピンがホストのリセットとして使用されている場合は、フラグ レジスタはリセット中に読み出されません。

フラグレジスタ

フラグレジスタは、割り込みを生成するために使用される WDF、AF、および PF という 3 つのフラグビットを持っています。これらのフラグは、ウォッチドッグ タイムアウト、アラーム マッチ、または電源異常モニターによってそれぞれ設定されます。フラグが設定されると、プロセッサはこのレジ

スタをポーリングするか、または通知される割り込みをイネーブルにすることができます。これらのフラグは、レジスタが読み出されると自動的にリセットされます。フラグレジスタは、電源投入時に値 0x00 で自動的にロードされます (OSCF ビットを除く。[9 ページの発振子の起動と停止](#)を参照)。

図 4. 割り込みブロック図

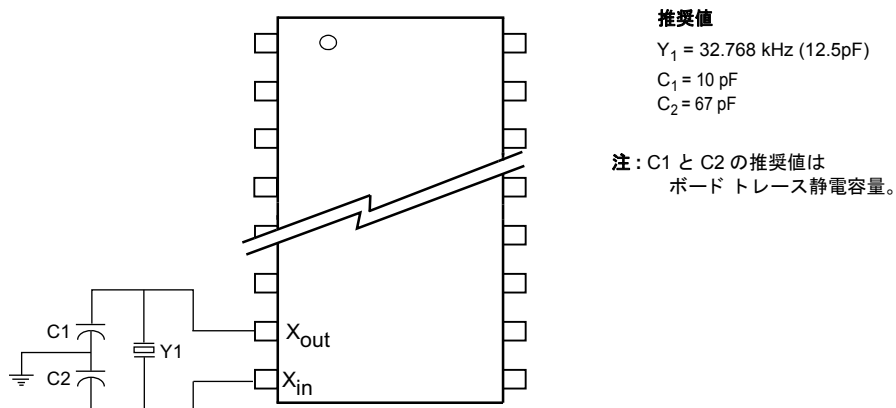


RTC 外部コンポーネント

RTC は、[図 5](#) に示すように、外部の 32.768 kHz の水晶発振子と C_1 、 C_2 の負荷容量を接続する必要があります。この図では推奨する RTC 外付け部品の値を示しています。負荷容量 C_1

と C_2 は、プリント回路基板 (PCB) の寄生容量を含んでいます。PCB の寄生容量は、水晶発振器のパッド/ピンのランドパターン、 X_{in} / X_{out} のパッド、および水晶発振子とデバイスピンを接続する銅配線に起因する容量を含んでいます。

図 5. RTC の推奨コンポーネント構成 ^[12]



注:
12. 不揮発性スタティック ランダム アクセス メモリ (nvSRAM) のリアル タイム クロック (RTC) 設計ガイドラインおよびベスト プラクティスについては、アプリケーション ノート [AN61546](#) を参照してください。

RTC に関する PCB 設計上の注意事項

RTC の水晶発振子は、それら水晶発振子のピンに高インピーダンス ノードが付いた低電流の回路です。RTC の時間管理をする信号の電流が小さいので、基板上の水晶発振子の接続はノイズに非常に敏感です。そのため、RTC 回路を基板上の他の信号から分離する必要があります。

PCB 上の浮遊容量を最小限に抑えることも重要です。浮遊容量は水晶発振子の負荷容量に追加されるので、発振周波数エラーを引き起こします。最適 RTC 性能を得るためには、適切にバイパス処理を施した慎重なレイアウトをする必要があります。

レイアウトに関する要求

基板レイアウトは、RTC 回路を配線する際に、次のガイドラインを順守しなければなりません (しかし、限定はされません)。次のガイドラインは、RTC 設計によって最適な性能を得る手助けになります。

- 水晶発振子をできる限り X_{in} と X_{out} ピンの近くに配置するのが重要です。水晶発振子と RTC 間の配線長を同じにし、配線長を可能な限り短くしてアンテナの長さを短くすることでノイズカップリングを起こさないようにします。

- X_{in} と X_{out} 配線幅を 8 ミリ以下にします。配線幅を太くすると、配線容量が大きくなります。これらの接着パッドと配線が大きくなると、隣接する信号からノイズが乗る可能性が高くなります。

- 水晶振動回路の周りをガード リングして X_{in} と X_{out} 信号をシールドします。このガード リングが、近接している信号からのノイズカップリングを防止します。

- RTC 配線の近くで何か他の高速信号を配線する時にも注意してください。水晶発振子が、基板上で他の信号から分離されればされる程、ノイズが水晶発振子に乗る可能性も低くなります。基板上で、 X_{in} 、 X_{out} 配線と他の高速信号線の距離を 200 ミリ以上離してください。

- 同一 PCB 層で水晶コンポーネントの直下に信号を走らせないでください。

PCB の別の信号層上を走っている配線からカップリングされる不要なノイズを防止するために隣接した PCB 層、および水晶発振回路の真下に、絶縁した銅のベタ面を造ってください。ローカル面は、同じ PCB 層上の隣接した面から少なくとも 40 ミリ分離する必要があります。ベタ面は RTC 部品の近くに置いて、その周辺部はガードリング周辺に等しく保つ必要があります。図 6 は RTC 回路用の推奨レイアウトを示しています。

図 6. RTC 用の推奨レイアウト

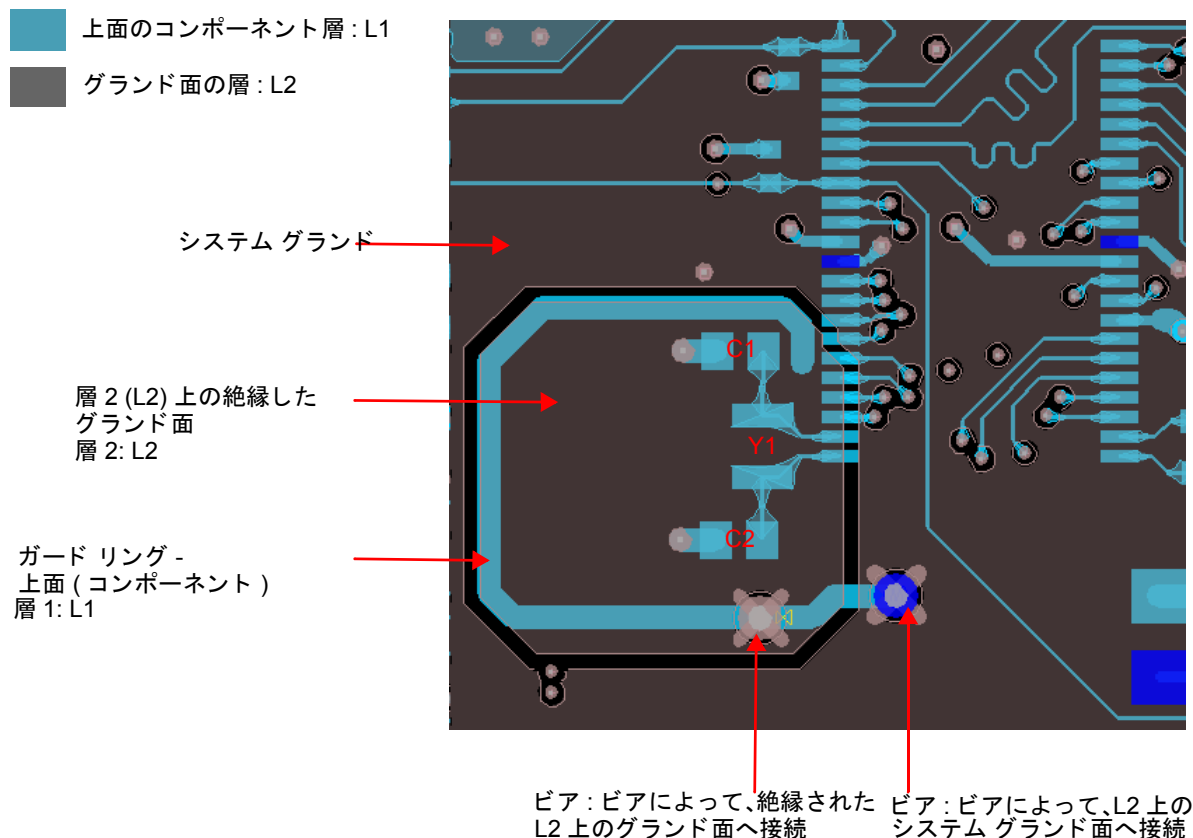


表 3. RTC レジスタ マップ [13、14、15]

レジスタ		BCD 形式のデータ ^[14]								機能／範囲
CY14B101-KA	CY14B101-MA	D7	D6	D5	D4	D3	D2	D1	D0	
0x1FFFF	0x0FFFF	年 (10 年)				年				年 : 00 ~ 99
0x1FFFE	0x0FFFE	0	0	0	月 (10ヶ月)	月				月 : 01 ~ 12
0x1FFFD	0x0FFFD	0	0	日 (10 日)		日 (1 日)				月の日 : 01 ~ 31
0x1FFFC	0x0FFFC	0	0	0	0	0	曜日			週の日 : 01 ~ 07
0x1FFFB	0x0FFFB	0	0	時間 (10 時間)		時間				時間 : 00 ~ 23
0x1FFFA	0x0FFFA	0	分 (10 分)			分 (1 分)				分 : 00 ~ 59
0x1FFF9	0x0FFF9	0	秒 (10 秒)			秒				秒 : 00 ~ 59
0x1FFF8	0x0FFF8	OSCE N (0)	0	校正 の符 号 (0)	校正 (00000)					校正值 ^[16]
0x1FFF7	0x0FFF7	WDS (0)	WD W (0)	WDT (000000)						ウォッチドッグ ^[16]
0x1FFF6	0x0FFF6	WIE (0)	AIE (0)	PFE (0)	0	H/L (1)	P/L (0)	0	0	割り込み ^[16]
0x1FFF5	0x0FFF5	M (1)	0	アラーム日 (10 日)		アラーム日 (1 日)				アラーム、月の日 : 01 ~ 31
0x1FFF4	0x0FFF4	M (1)	0	アラーム時間 (10 時間)		アラーム時間 (1 時間)				アラーム、時間 : 00 ~ 23
0x1FFF3	0x0FFF3	M (1)	アラーム分 (10 分)			アラーム分 (1 分)				アラーム、分 : 00 ~ 59
0x1FFF2	0x0FFF2	M (1)	アラーム秒 (10 秒)			アラーム秒 (1 秒)				アラーム、秒 : 00 ~ 59
0x1FFF1	0x0FFF1	世紀 (10 世紀)				世紀 (1 世紀)				世紀 : 00 ~ 99
0x1FFF0	0x0FFF0	WDF	AF	PF	OSCF ^[17]	0	CAL (0)	W (0)	R (0)	フラグ ^[16]

注:

13. RTC レジスタの上位バイト D15-D8 2015 年 3 月 30 日は将来の使用のために予約されています。
 14. RTC レジスタの未使用ビットは将来の使用のために予約されており、「0」に設定されている必要があります。
 15. () は、工場出荷時の値を示します。
 16. これは、BCD 値ではなく、2 進値です。
 17. ユーザーが OSCF フラグ ビットをリセットする場合は、フラグ レジスタは、 t_{RTCp} 時間の後に更新されます。

表 4. レジスタ マップ詳細

レジスタ		説明							
CY14B101KA	CY14B101MA								
0x1FFFF	0x0FFFF	時間管理 - 年							
		D7	D6	D5	D4	D3	D2	D1	D0
		年 (10 年)				年			
		年の下位 2 桁の BCD 桁が含まれている。下位ニブル (4 ビット) には、年の値が含まれている。上位ニブル (4 ビット) には、10 単位の年の値が含まれている。それぞれのニブルは 0 ~ 9 の値を持っている。レジスタの範囲は 0 ~ 99							
0x1FFFE	0x0FFFE	時間管理 - 月							
		D7	D6	D5	D4	D3	D2	D1	D0
		0	0	0	月 (10ヶ月)	月			
		月の BCD 桁が含まれている。下位ニブル (4 ビット) には、下位桁が含まれており、0 ~ 9 の値を持つ。上位ニブル (1 ビット) には、上位桁が含まれており、0 ~ 1 の値を持つ。レジスタの範囲は 1 ~ 12							
0x1FFFD	0x0FFFD	時間管理 - 日							
		D7	D6	D5	D4	D3	D2	D1	D0
		0	0	日 (10 日)		日 (1 日)			
		月の日の BCD 桁が含まれている。下位ニブル (4 ビット) には、下位桁が含まれており、0 ~ 9 の値を持つ。上位ニブル (2 ビット) には、10 単位の桁が含まれており、0 ~ 3 の値を持つ。レジスタの範囲は 1 ~ 31。うるう年は自動的に調整される							
0x1FFFC	0x0FFFC	時間管理 - 曜日							
		D7	D6	D5	D4	D3	D2	D1	D0
		0	0	0	0	0	曜日		
		下位ニブル (3 ビット) には、曜日に関連する値が含まれている。曜日は、1 から 7 までカウントした後、また 1 に戻るリング カウンター。曜日は日付で統合されていないため、ユーザーはこの値に曜日の意味を割り当てる必要がある							
0x1FFFB	0x0FFFB	時間管理 - 時間							
		D7	D6	D5	D4	D3	D2	D1	D0
		0	0	時間 (10 時間)		時間			
		24 時間形式で時間の BCD 値が含まれている。下位ニブル (4 ビット) には、下位桁が含まれており、0 ~ 9 の値を持つ。上位ニブル (2 ビット) には、上位桁が含まれており、0 ~ 2 の値を持つ。レジスタの範囲は 1 ~ 23							
0x1FFFA	0x0FFFA	時間管理 - 分							
		D7	D6	D5	D4	D3	D2	D1	D0
		0	分 (10 分)			分 (1 分)			
		分の BCD 値が含まれている。下位ニブル (4 ビット) には、下位桁が含まれており、0 ~ 9 の値を持つ。上位ニブル (3 ビット) には、分の上位の桁が含まれており、0 ~ 5 の値を持つ。レジスタの範囲は 0 ~ 59							
0x1FFF9	0x0FFF9	時間管理 - 秒							
		D7	D6	D5	D4	D3	D2	D1	D0
		0	秒 (10 秒)			秒			
		秒の BCD 値が含まれている。下位ニブル (4 ビット) には、下位桁が含まれており、0 ~ 9 の値を持つ。上位ニブル (3 ビット) には、上位桁が含まれており、0 ~ 5 の値を持つ。レジスタの範囲は 0 ~ 59							

表 4. レジスタ マップ詳細 (続き)

レジスタ		説明							
CY14B101KA	CY14B101MA								
0x1FFF8	0x0FFF8	校正／制御							
		D7	D6	D5	D4	D3	D2	D1	D0
		OSCEN	0	校正符号	校正				
OSCEN		発振器イネーブル。「1」にセットすると、発振器が停止する。「0」にクリアすると、発振器が動作する。発振器を無効にすると、保持時にバッテリーやコンデンサの電力を節約できる							
校正符号		タイムベースへの加算 (1) またはタイムベースからの減算 (0) として校正を適用するかどうかを決定							
校正		これらの 5 ビットは、クロックの校正を制御							
0x1FFF7	0x0FFF7	ウォッチドッグ タイマー							
		D7	D6	D5	D4	D3	D2	D1	D0
		WDS	WDW	WDT					
WDS		ウォッチドッグ ストロープ。このビットを「1」にセットすると、ウォッチドッグ タイマーが再起動される。このビットを「0」にクリアしても何の影響もない。ウォッチドッグ タイマーをリセットした後、ビットは自動的にクリアされる。WDS ビットは書き込み専用である。これを読み出すと常に「0」が返される							
WDW		ウォッチドッグ書き込みイネーブル。このビットを「1」にセットすると、ウォッチドッグ タイムアウト値 (D5 ~ D0) への全書き込みが無効になる。これにより、ユーザーはタイムアウト値を変更することなく、ウォッチドッグ ストロープのビットを設定できる。このビットを「0」にクリアすると、次の書き込みサイクルが完了した際に、ビット D5-D0 がウォッチドッグに書き込まれる。この機能の詳細は、10 ページのウォッチドッグ タイマーに説明されている							
WDT		ウォッチドッグ タイムアウトの選択。ウォッチドッグ タイマーの間隔は、このレジスタの 6 ビットの値によって選択される。それは、32Hz のカウント (31.25ms) の乗数を表す。タイムアウト値の範囲は、31.25ms (「1」の設定) ~ 2 秒 (3Fh の設定)。ウォッチドッグタイマーレジスタを「0」にクリアすると、タイマーがディスエーブルになる。WDW ビットが前のサイクルで 0 に設定されている場合にのみ、これらのビットを書き込むことができる							
0x1FFF6	0x0FFF6	割り込みステータス／制御							
		D7	D6	D5	D4	D3	D2	D1	D0
		WIE	AIE	PFE	0	H/L	P/L	0	0
WIE		ウォッチドッグ割り込みイネーブル。「1」にセットし、ウォッチドッグ タイムアウトが発生すると、ウォッチドッグ タイマーが INT ピンと WDF フラグを駆動する。「0」にクリアすると、ウォッチドッグ タイムアウトは、WDF フラグにのみ影響を与える							
AIE		アラーム割り込みイネーブル。「1」にセットすると、アラームの一致により、INT ピンと AF フラグが駆動される。「0」にクリアすると、アラームの一致は、AF フラグにのみ影響を与える							
PFE		電源異常イネーブル。「1」にセットすると、電源異常モニターにより、INT ピンと PF フラグが駆動される。「0」にクリアすると、電源異常モニターは、PF フラグにのみ影響する							
0		将来使用するために予約済み							
H/L		HIGH/LOW。「1」にセットすると、INT ピンはアクティブ HIGH に駆動される。「0」に設定すると、INT ピンはオープンドレインで、アクティブ LOW となる。							
P/L		パルス／レベル。「1」にセットすると、INT ピンは約 200ms 間、割り込みソースによってアクティブに駆動される (H/L により決定)。「0」にクリアすると、INT ピンはフラグレジスタが読み込まれるまで、アクティブ レベル (H/L により決定される) に駆動される							
0x1FFF5	0x0FFF5	アラーム - 日							
		D7	D6	D5	D4	D3	D2	D1	D0
		M	0	アラーム日 (10 日)			アラーム日 (1 日)		
		月の日のアラーム値とマスク ビットを含め、日の値を選択または選択解除							
M		一致。このビットを「0」にクリアすると、日の値がアラーム一致で使用される。このビットを「1」にセットすると、一致回路が日の値を無視							

表 4. レジスタ マップ詳細 (続き)

レジスタ		説明							
CY14B101KA	CY14B101MA								
0x1FFF4	0x0FFF4	アラーム - 時間							
		D7	D6	D5	D4	D3	D2	D1	D0
		M	0	アラーム時間 (10 時間)		アラーム時間 (1 時間)			
		時間のアラーム値とマスク ビットを含め、時間の値を選択または選択解除							
M		一致。このビットを「0」にクリアすると、時間の値がアラーム一致で使用される。このビットを「1」にセットすると、一致回路が時間の値を無視							
0x1FFF3	0x0FFF3	アラーム - 分							
		D7	D6	D5	D4	D3	D2	D1	D0
		M	アラーム分 (10 分)			アラーム分 (1 分)			
		分のアラーム値とマスク ビットを含め、分の値を選択または選択解除。							
M		一致。このビットを「0」にクリアすると、分の値がアラーム一致で使用される。このビットを「1」にセットすると、一致回路が分の値を無視							
0x1FFF2	0x0FFF2	アラーム - 秒							
		D7	D6	D5	D4	D3	D2	D1	D0
		M	アラーム秒 (10 秒)			アラーム秒 (1 秒)			
		秒のアラーム値とマスク ビットを含め、秒の値を選択または選択解除							
M		一致。このビットを「0」にクリアすると、秒の値がアラーム一致で使用される。このビットを「1」にセットすると、一致回路が秒の値を無視							
0x1FFF1	0x0FFF1	時間管理 - 世紀							
		D7	D6	D5	D4	D3	D2	D1	D0
		世紀 (10 世紀)				世紀 (1 世紀)			
		世紀の BCD 値が含まれている。下位ニブルには、下位桁が含まれており、0 ～ 9 の値を持つ。上位ニブルには、上位桁が含まれており、0 ～ 9 の値を持つ。レジスタの範囲は 1 ～ 99							
0x1FFF0	0x0FFF0	フラグ							
		D7	D6	D5	D4	D3	D2	D1	D0
		WDF	AF	PF	OSCF	0	CAL	W	R
WDF	ウォッチドッグ タイマー フラグ。この読み出し専用ビットは、ウォッチドッグ タイマーの値が、ユーザーによってリセットされずに 0 に達した時に、「1」にセットされる。フラグ レジスタが読み込まれる際、または電源投入時に「0」にクリアされる								
AF	アラーム フラグ。この読み出し専用ビットは、時間と日が、マッチビット = 0 でアラーム レジスタに保存された値と一致する場合に、「1」にセットされる。フラグ レジスタが読み出されるか、または電源投入時にクリアされる								
PF	電源異常フラグ。この読み出し専用ビットは、電源が電源異常の閾値 V_{SWITCH} を下回ると、「1」にセットされる。フラグ レジスタが読み込まれるか、または電源投入時に「0」にクリアされる								
OSCF	発振器異常フラグ。発振器は有効であるが、最初の 5 ms 間に起動しない場合、電源投入時に「1」にセットする。これは、RTC バックアップ電源に異常が発生し、クロックの値が有効でなくなったことを示す。このビットは、パワーサイクルを存続させ、チップによって内部的にクリアされることはない。ユーザーがこの条件を確認し、フラグをクリアするために「0」を書き込む必要がある。ユーザーが OSCF フラグ ビットをリセットする場合は、ビットは、RTCP 時間の後に更新								
CAL	校正モード。「1」にセットすると、512Hz の方形波が INT ピンに出力される。「0」にクリアすると、INT ピンが通常動作を再開。電源投入時、このビットの初期値は「0」(無効)								
Ω	書き込みイネーブル: 「W」ビットを「1」にセットすると、RTC レジスタの更新が停止される。これで、ユーザーが RTC レジスタ、アラーム レジスタ、校正レジスタ、割り込みレジスタ、フラグレジスタに書き込むことができるようになる。「W」ビットを「0」にクリアすると、時間が変更された場合、RTC レジスタの内容が時間保持カウンタに転送される。この転送プロセスは、完了に t_{RTCP} 時間かかる。電源投入時、このビットのデフォルト値は 0								
R	読み出しイネーブル: 「R」ビットを「1」にセットすると、読み出し処理中にはクロックの更新を見ていないので、ユーザー RTC レジスタへのクロック更新を停止する。「R」ビットを「0」にクリアすると、保持レジスタへのクロックの更新が再開される。このビットの設定には、「W」ビットを「1」にセットする必要はない。電源投入時、このビットのデフォルトは 0								

最大定格

最大定格を超えると、デバイスの寿命が短くなる可能性があります。これらのユーザー ガイドラインは試験されていません。

保存温度 -65°C ~ +150°C

最大累積保存時間

周囲温度 150°C 時 1000 時間

周囲温度 85°C 時 20 年

最大接合部温度 1 150°C

V_{SS} を基準とした V_{CC} の電源電圧 -0.5V ~ 4.1V

High-Z 状態の

出力に印加される電圧 -0.5V ~ $V_{CC} + 0.5V$

入力電圧 -0.5V ~ $V_{CC} + 0.5V$

任意のピンの過渡電圧、グランド基準

(20ns 以下) -2.0V ~ $V_{CC} + 2.0V$

パッケージ許容電力損失 ($T_A = 25^\circ\text{C}$) 1.0W

表面実装のハンダ付け温度 (3 秒) +260°C

DC 出力電流 (一度に 1 出力、1 秒間) 15mA

静電放電時の電圧

(MIL-STD-883、メソッド 3015 による) >2001V

ラッチアップ電流 > 200mA

動作範囲

範囲	周囲温度	V_{CC}
産業用	-40°C ~ +85°C	2.7V ~ 3.6V

DC 電氣的特性

動作範囲において

パラメーター	説明	テスト条件	Min	Typ ^[18]	Max	単位
V_{CC}	電源電圧		2.7	3.0	3.6	V
I_{CC1}	平均 V_{CC} 電流	$t_{RC} = 25\text{ns}$ $t_{RC} = 45\text{ns}$ 出力負荷なしで得られた値 ($I_{OUT} = 0\text{mA}$)	—	—	70 52	mA mA
I_{CC2}	STORE 中の平均 V_{CC} 電流	全ての入力は「ドント ケア」、 $V_{CC} =$ 最大値。 t_{STORE} 期間の平均電流	—	—	10	mA
$I_{CC3}^{[18]}$	$t_{RC} = 200\text{ns}$ 時の平均 V_{CC} 電流、 $V_{CC}(\text{Typ})$ 、25°C	全ての入力は CMOS レベルで動作。 出力負荷なしで得られた値 ($I_{OUT} = 0\text{mA}$)。	—	35	—	mA
I_{CC4}	AutoStore サイクル中の平均 V_{CAP} 電流	すべての入力は「ドント ケア」。 t_{STORE} 期間の平均電流	—	—	5	mA
I_{SB}	V_{CC} スタンバイ電流	$CE \geq (V_{CC} - 0.2V)$ $V_{IN} \leq 0.2V$ または $\geq (V_{CC} - 0.2V)$ 。W ビットを「0」に設定。 不揮発性のサイクルが完了した後のスタンバイ電流レベル。入力はスタティック。f = 0MHz	—	—	5	mA
$I_{IX}^{[19]}$	入力リーク電流 (HSB を除く)	$V_{CC} = \text{Max}$ 、 $V_{SS} \leq V_{IN} \leq V_{CC}$	-1	—	+1	μA
	入力リーク電流 (HSB 用)	$V_{CC} = \text{Max}$ 、 $V_{SS} \leq V_{IN} \leq V_{CC}$	-100	—	+1	μA
I_{OZ}	オフ状態の出力リーク電流	$V_{CC} = \text{Max}$ 、 $V_{SS} \leq V_{OUT} \leq V_{CC}$ 、 CE または $OE \geq V_{IH}$ あるいは $BHE/BLE \geq V_{IH}$ あるいは $WE \leq V_{IL}$	-1	—	+1	μA
V_{IH}	入力 HIGH 電圧		2.0	—	$V_{CC} + 0.5$	V
V_{IL}	入力 LOW 電圧		$V_{SS} - 0.5$	—	0.8	V
V_{OH}	出力 HIGH 電圧	$I_{OUT} = -2\text{mA}$	2.4	—	—	V
V_{OL}	出力 LOW 電圧	$I_{OUT} = 4\text{mA}$	—	—	0.4	V

注:

18. 標準値は 25°C、 $V_{CC} = V_{CC}(\text{Typ})$ のものです。すべてのデバイスでテストされていません。

19. V_{OH} が 2.4V である場合、アクティブ HIGH と LOW 両方のドライバーが無効になると、HSB ピンの I_{OUT} が -2 μA となります。これらのドライバーが有効になると、標準の V_{OH} と V_{OL} が有効になります。このパラメーターは特性付けされていますが、テストされていません。

DC 電気的特性 (続き)

動作範囲において

パラメーター	説明	テスト条件	Min	Typ ^[18]	Max	単位
$V_{CAP}^{[20]}$	ストレージ コンデンサ	V_{CAP} ピンと V_{SS} 間	61	68	180	μF
$V_{VCAP}^{[21, 22]}$	デバイスで V_{CAP} ピン上に駆動された最大電圧	$V_{CC} = \text{Max}$	—	—	V_{CC}	V

データ保持期間およびアクセス可能回数

動作範囲において

パラメーター	説明	Min	単位
$DATA_R$	データ保持期間	20	年
NV_C	不揮発性 STORE 処理回数	1,000	K

静電容量

パラメーター ^[22]	説明	テスト条件	Max	単位
C_{IN}	入力容量 (\overline{BHE} 、 \overline{BLE} 、 \overline{HSB} 以外)	$T_A = 25^\circ C$ 、 $f = 1\text{MHz}$ 、 $V_{CC} = V_{CC(Typ)}$	7	pF
	入力容量 (\overline{BHE} 、 \overline{BLE} 、 \overline{HSB})		8	pF
C_{OUT}	出力容量 (\overline{HSB} 以外)		7	pF
	出力容量 (\overline{HSB})		8	pF

熱抵抗

パラメーター ^[22]	説明	テスト条件	48 ピン SSOP	44 ピン TSOP II	54 ピン TSOP II	単位
Θ_{JA}	熱抵抗 (接合部から周囲)	テスト条件は、EIA/JESD51 による、熱インピーダンスを測定するための標準的なテスト方法と手順に従う	37.47	41.74	36.4	$^\circ C/W$
Θ_{JC}	熱抵抗 (接合部からケース)		24.71	11.90	10.13	$^\circ C/W$

注：

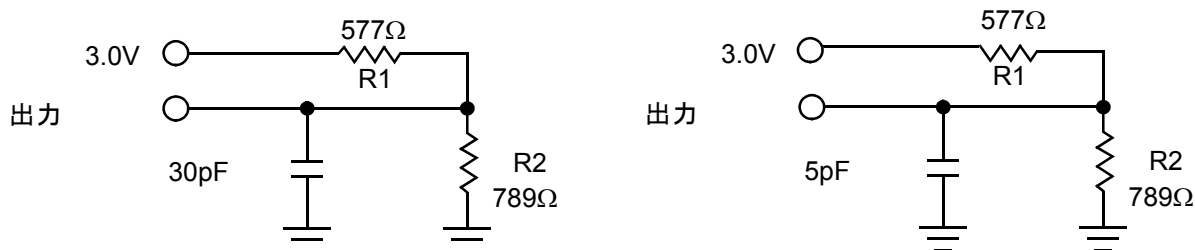
20. V_{CAP} 最小値は、AutoStore 処理を完了するのに十分な電荷があることを保証するものです。 V_{CAP} 最大値は、即時の電源切断が発生しても AutoStore 処理がまだ正常に完了するようにパワーアップ RECALL サイクルの間に V_{CAP} のコンデンサが必要な最低電圧まで充電されることを保証するものです。したがって、指定した最小値と最大値の範囲内でコンデンサを使用することを常にお奨めします。 V_{CAP} オプションの詳細については、アプリケーション ノート [AN43593](#) を参照してください。

21. V_{CAP} ピン (V_{VCAP}) の最大電圧は、 V_{CAP} コンデンサを選択する際に指針として提供されています。動作温度範囲内での V_{CAP} コンデンサの定格電圧は、 V_{VCAP} 電圧より高くなければなりません。

22. これらのパラメーターは設計保証であり、テストは行われていません。

AC テスト負荷

図 7. AC テスト負荷



AC テスト条件

入力パルス レベル 0V ~ 3V

入力の立ち上がり／立ち下がり時間 (10% ~ 90%) ≤ 3ns

入力と出力タイミングの基準レベル 1.5V

RTC 特性

動作範囲において

パラメーター	説明	Min	Typ ^[23]	Max	単位
V_{RTCbat}	RTC バッテリ ピン電圧	1.8	3.0	3.6	V
I_{BAK} ^[24]	RTC バックアップ電流 (RTC 用に推奨される外部コンポーネントについては 図 5 を参照してください)	T_A (Min)	—	—	0.35 μA
		25°C	—	0.35	— μA
		T_A (Max)	—	—	0.5 μA
V_{RTCcap} ^[25]	RTC コンデンサ ピン電圧	T_A (Min)	1.6	—	3.6 V
		25°C	1.5	3.0	3.6 V
		T_A (Max)	1.4	—	3.6 V
t_{OCS}	RTC 発振器の発振開始時間	—	1	2	秒
t_{RTCp}	「W」ビットを「0」にクリアし終わった時点からの RTC 処理時間	—	—	350	μs
R_{BKCHG}	RTC バックアップ コンデンサの充電電流制限抵抗	350	—	850	Ω

注:

23. これらのパラメーターは設計保証であり、テストは行われていません。

24. V_{RTCcap} または V_{RTCbat} のいずれかからです。

25. $V_{RTCcap} > 0.5V$ の場合、またはコンデンサが V_{RTCcap} ピンに接続されていない場合は、発振子は t_{OCS} 時間内に起動します。バックアップ コンデンサが接続され、 $V_{RTCcap} < 0.5V$ の場合、発振子を起動するためにコンデンサを 0.5V に充電できるようにする必要があります。

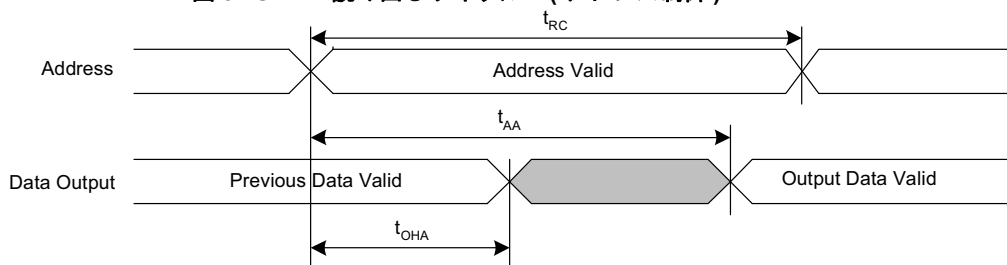
AC スイッチング特性

動作範囲において

パラメーター ^[26]		説明	25ns		45ns		単位
サイプレスの パラメーター	他社の パラメーター		Min	Max	Min	Max	
SRAM 読み出しサイクル							
t _{ACE}	t _{ACS}	チップ イネーブル アクセス時間	–	25	–	45	ns
t _{RC} ^[27]	t _{RC}	読み出しサイクル時間	25	–	45	–	ns
t _{AA} ^[28]	t _{AA}	アドレス アクセス時間	–	25	–	45	ns
t _{DOE}	t _{OE}	出力イネーブルからデータ有効までの時間	–	12	–	20	ns
t _{OHA} ^[28]	t _{OH}	アドレス変更後の出力ホールド 時間	3	–	3	–	ns
t _{LZCE} ^[29、30]	t _{LZ}	チップ イネーブルから出力アクティブまでの時間	3	–	3	–	ns
t _{HZCE} ^[29、30]	t _{HZ}	チップ ディスエーブルから出力非アクティブまでの時間	–	10	–	15	ns
t _{LZOE} ^[29、30]	t _{OLZ}	出力イネーブルから出力アクティブまでの時間	0	–	0	–	ns
t _{HZOE} ^[29、30]	t _{OHZ}	出力ディスエーブルから出力非アクティブまでの時間	–	10	–	15	ns
t _{PU} ^[29]	t _{PA}	チップ イネーブルから電源アクティブまでの時間	0	–	0	–	ns
t _{PD} ^[29]	t _{PS}	チップ ディスエーブルから電源スタンバイまでの時間	–	25	–	45	ns
t _{DBE}	–	バイト イネーブルからデータ有効までの時間	–	12	–	20	ns
t _{LZBE} ^[29]	–	バイト イネーブルから出力アクティブまでの時間	0	–	0	–	ns
t _{HZBE} ^[29]	–	バイト ディスエーブルから出力非アクティブまでの時間	–	10	–	15	ns
SRAM 書き込みサイクル							
t _{WC}	t _{WC}	書き込みサイクル時間	25	–	45	–	ns
t _{PWE}	t _{WP}	書き込みパルス幅	20	–	30	–	ns
t _{SCE}	t _{CW}	チップ イネーブルから書き込み終了までの時間	20	–	30	–	ns
t _{SD}	t _{DW}	データ セットアップから書き込み終了までの時間	10	–	15	–	ns
t _{HD}	t _{DH}	書き込み終了後のデータ ホールド 時間	0	–	0	–	ns
t _{AW}	t _{AW}	アドレス セットアップから書き込み終了までの時間	20	–	30	–	ns
t _{SA}	t _{AS}	アドレス セットアップから書き込み開始までの時間	0	–	0	–	ns
t _{HA}	t _{WR}	書き込み終了後のアドレス ホールド 時間	0	–	0	–	ns
t _{HZWE} ^[29、30、31]	t _{WZ}	書き込みイネーブルから出力ディスエーブルまでの時間	–	10	–	15	ns
t _{LZWE} ^[29、30]	t _{OW}	書き込み終了後の出力アクティブ時間	3	–	3	–	ns
t _{BW}	–	バイト イネーブルから書き込み終了までの時間	20	–	30	–	ns

スイッチング波形

図 8. SRAM 読み出しサイクル 1 (アドレス制御)^[27, 28, 32]



- 注:
- 26. テスト条件は、信号遷移時間が 3ns 以下、タイミング参照レベルが $V_{CC}/2$ 、入力パルス レベルが $0 \sim V_{CC(typ)}$ 、指定された I_{OL}/I_{OH} を与える出力負荷と負荷容量が 20 ページの図 7 に示す通りであることを前提にしています。
 - 27. WE は SRAM 読み出しサイクル中は HIGH でなければなりません。
 - 28. デバイスは CE、OE および BHE/BLE LOW で連続して選択されます。
 - 29. これらのパラメーターは設計保証であり、テストは行われていません。
 - 30. 定常状態の出力電圧から $\pm 200mV$ で測定されました。
 - 31. CE が LOW の時に WE が LOW であれば、出力は高インピーダンスのままです。
 - 32. HSB は読み出しと書き込みサイクル中は HIGH でなければなりません。

スイッチング波形 (続き)

図 9. SRAM 読み出しサイクル 2 (\overline{CE} および \overline{OE} 制御) [33、34、35]

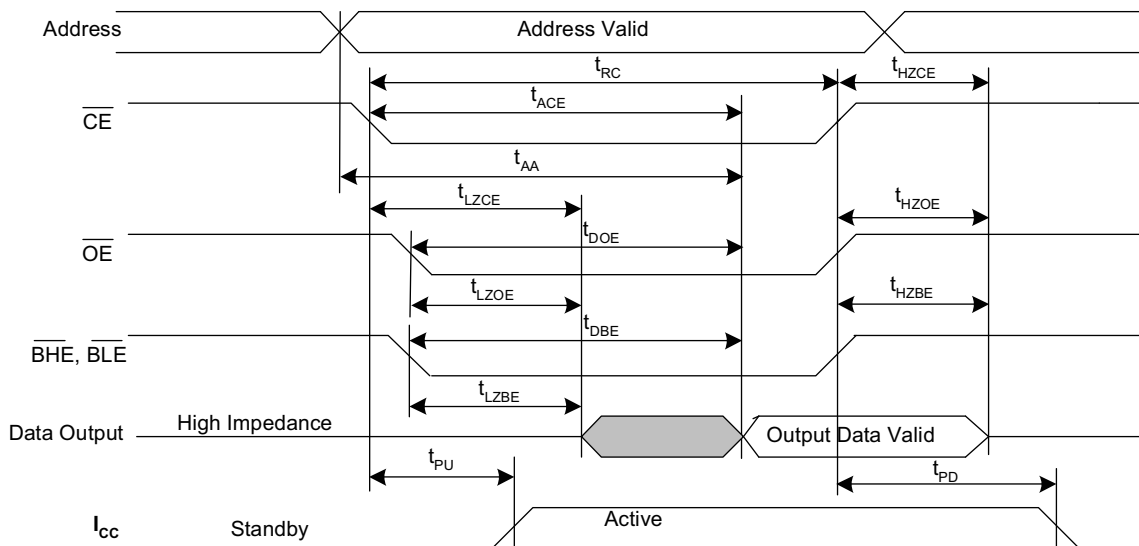
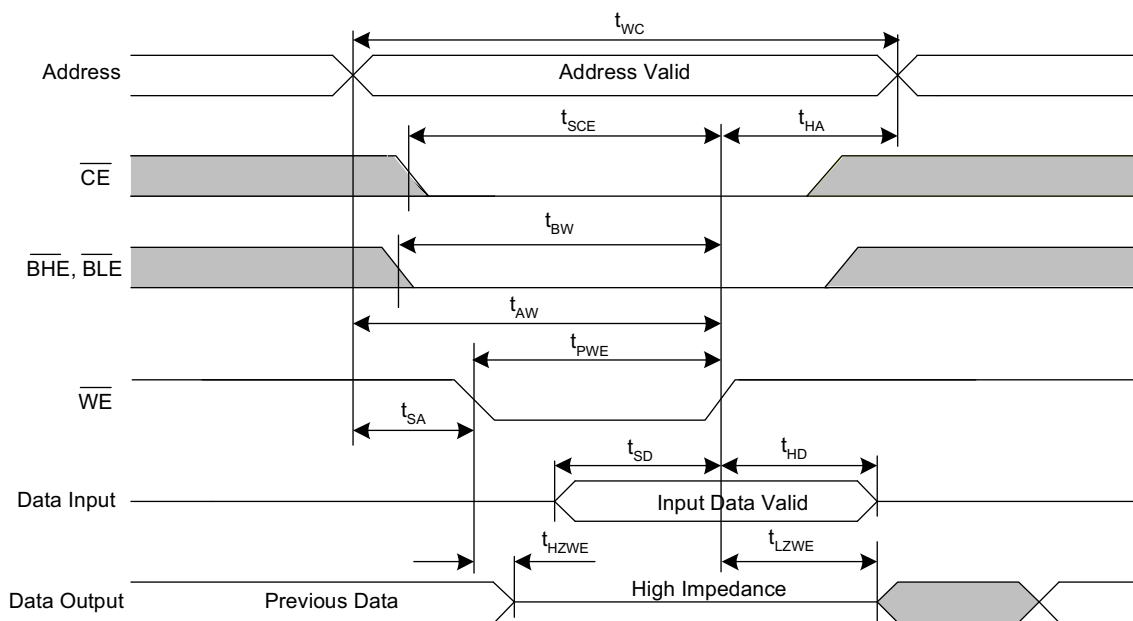


図 10. SRAM 書き込みサイクル 1 (\overline{WE} 制御) [33、35、36、37]



注:

- 33. \overline{BHE} と \overline{BLE} は $\times 16$ 構成でのみ使用できます。
- 34. \overline{WE} は SRAM 読み出しサイクル中は HIGH でなければなりません。
- 35. \overline{HSB} は読み出しと書き込みサイクル中は HIGH でなければなりません。
- 36. \overline{WE} が LOW の場合、 \overline{CE} が LOW になると、出力は高インピーダンス状態で保持されます。
- 37. \overline{CE} または \overline{WE} は、アドレスの遷移中は $\geq V_{IH}$ でなければなりません。

スイッチング波形 (続き)

図 11. SRAM 書き込みサイクル #2 ($\overline{\text{CE}}$ 制御) [38、39、40、41]

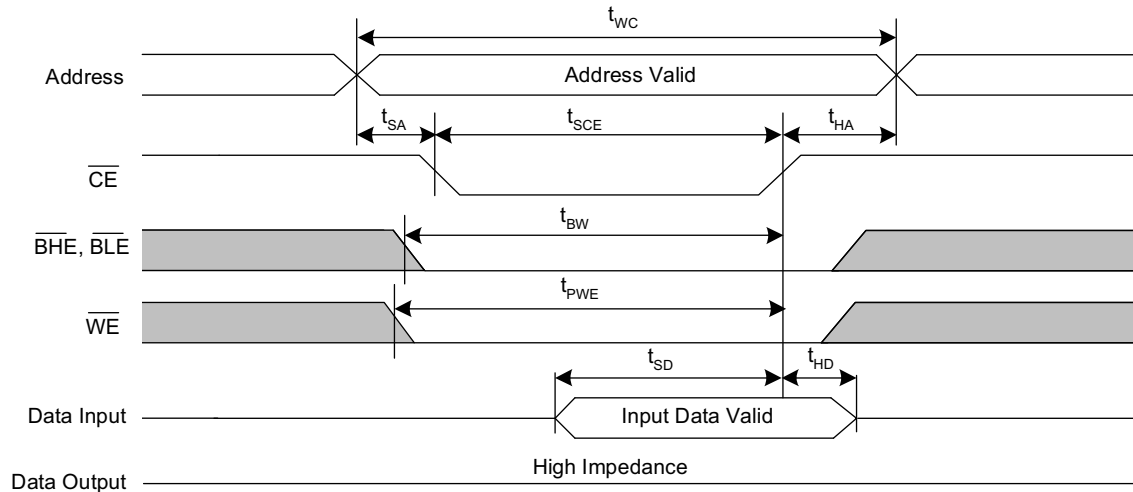
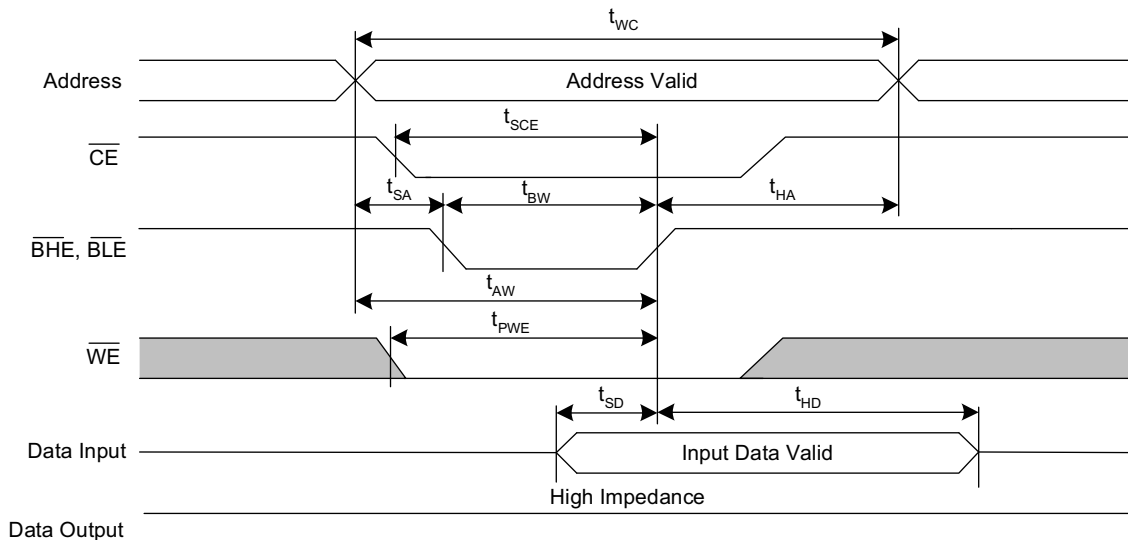


図 12. SRAM 書き込みサイクル #3 ($\overline{\text{BHE}}$ および $\overline{\text{BLE}}$ 制御) [39、40、41、42、43]

(RTC レジスタ書き込みには適用されない。)



注:

38. $\overline{\text{BHE}}$ と $\overline{\text{BLE}}$ は $\times 16$ 構成でのみ使用できます。
39. $\overline{\text{WE}}$ が LOW の場合、 $\overline{\text{CE}}$ が LOW になると、出力は高インピーダンス状態で保持されます。
40. HSB は読み出しと書き込みサイクル中は HIGH でなければなりません。
41. $\overline{\text{CE}}$ または $\overline{\text{WE}}$ は、アドレスの遷移中は $\geq V_{IH}$ でなければなりません。
42. CY14B101KA に 19 本のアドレス線がありますが (CY14B101MA は 18 本のアドレス線)、その内 13 本のアドレス線 ($A_{14} \sim A_2$) のみがソフトウェア モードの制御に使われます。残りのアドレス線は「ドント ケア」です。
43. RTC レジスタへの $\overline{\text{CE}}$ と $\overline{\text{WE}}$ 制御の書き込みのみが許可されます。 $\overline{\text{CE}}$ または $\overline{\text{WE}}$ ピンが、RTC レジスタへの書き込み用に LOW になる前に、 $\overline{\text{BLE}}$ ピンを LOW のままに保持する必要があります。

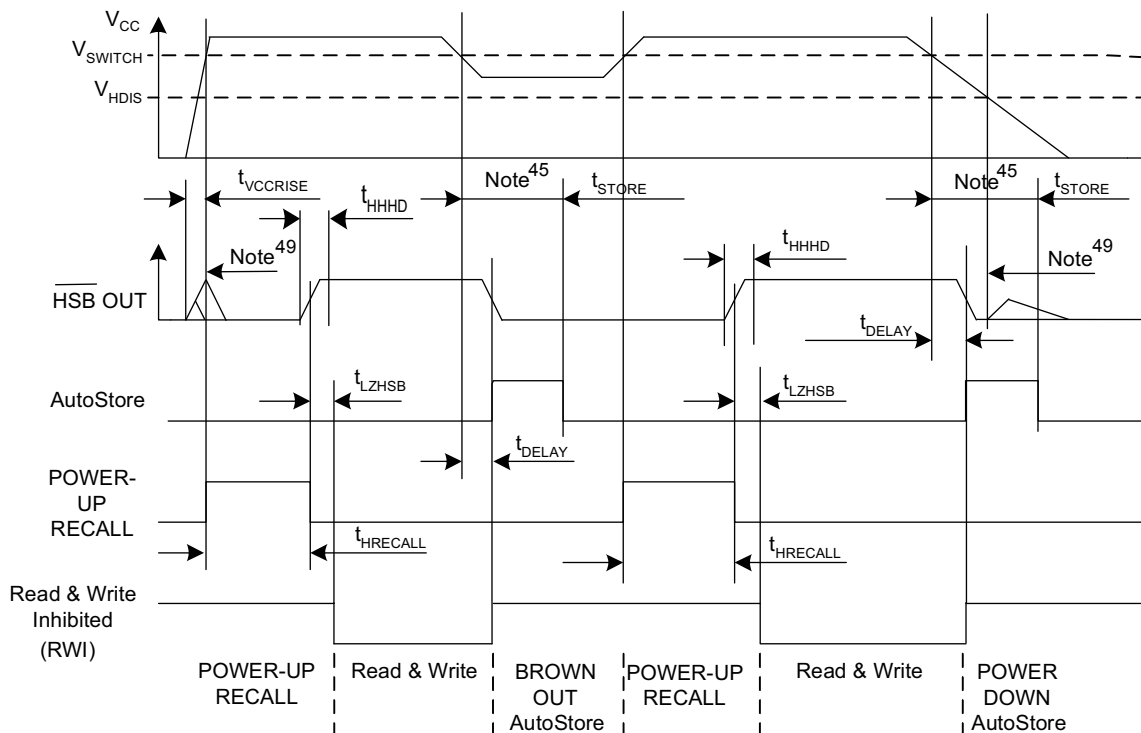
AutoStore / パワーアップ RECALL

動作範囲において

パラメーター	説明	CY14B101KA/CY14B101MA		単位
		Min	最大値	
$t_{HRECALL}^{[44]}$	パワーアップ RECALL 期間	–	20	ms
$t_{STORE}^{[45]}$	STORE サイクル期間	–	8	ms
$t_{DELAY}^{[46]}$	SRAM 書き込みサイクルを完了する時間	–	25	ns
V_{SWITCH}	低電圧トリガー レベル	–	2.65	V
$t_{VCCRRISE}^{[47]}$	V_{CC} 立ち上がり時間	150	–	μ s
$V_{HDIS}^{[47]}$	HSB 出力ディスエーブル電圧	–	1.9	V
$t_{LZHSB}^{[47]}$	HSB から出力アクティブまでの時間	–	5	μ s
$t_{HHHD}^{[47]}$	HSB HIGH アクティブ時間	–	500	ns

スイッチング波形

図 13. AutoStore またはパワーアップ RECALL^[48]



注

44. $t_{HRECALL}$ は、 V_{CC} が V_{SWITCH} を超えた時から始まります。
45. 前回の不揮発性サイクル以降に SRAM 書き込みが行われていない場合、AutoStore またはハードウェア STORE は行われません。
46. ハードウェア STORE と AutoStore の開始時に、SRAM の書き込み処理は、 t_{DELAY} 時間に応じて有効にされ続けます。
47. これらのパラメーターは設計保証であり、テストは行われていません。
48. 読み込みおよび書き込みサイクルは、STORE、RECALL、 V_{CC} が V_{SWITCH} 未満の場合は無視されます。
49. 電源投入および電源遮断時、HSB ピンが外部抵抗を介してプルアップされると、HSB ピンにグリッチが発生します。

ソフトウェア制御の STORE/RECALL サイクル

動作範囲において

パラメーター [50、51]	説明	25ns		45ns		単位
		Min	Max	Min	最大値	
t_{RC}	STORE/RECALL 開始のサイクル期間	25	—	45	—	ns
t_{SA}	アドレス セットアップ時間	0	—	0	—	ns
t_{CW}	クロック パルス幅	20	—	30	—	ns
t_{HA}	アドレス ホールド時間	0	—	0	—	ns
t_{RECALL}	RECALL 期間	—	200	—	200	μ s
t_{SS} [52、53]	ソフト シーケンス処理時間	—	100	—	100	μ s

スイッチング波形

図 14. \overline{CE} & \overline{OE} 制御によるソフトウェア STORE/RECALL サイクル [51]

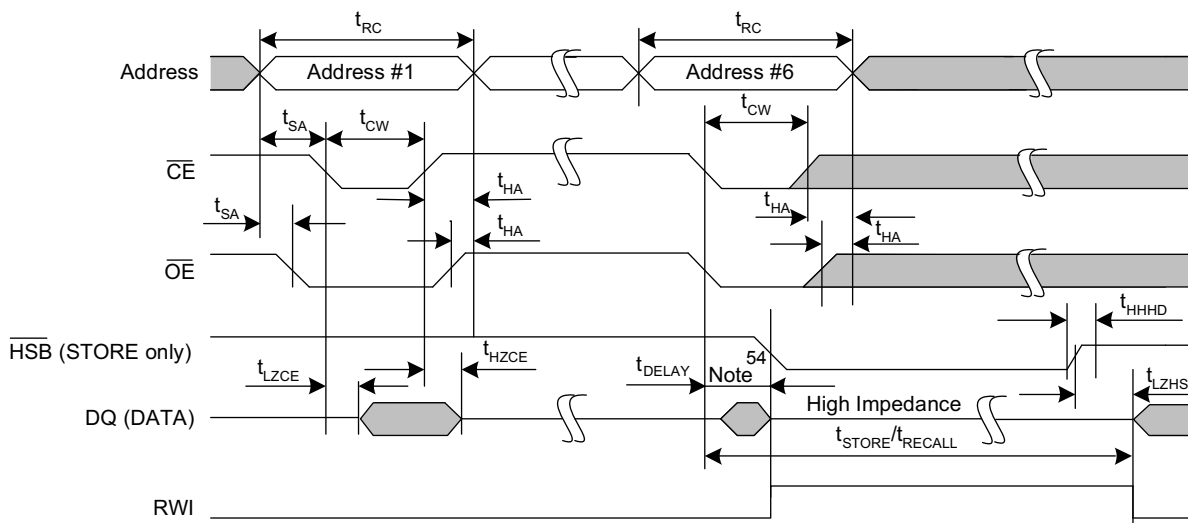
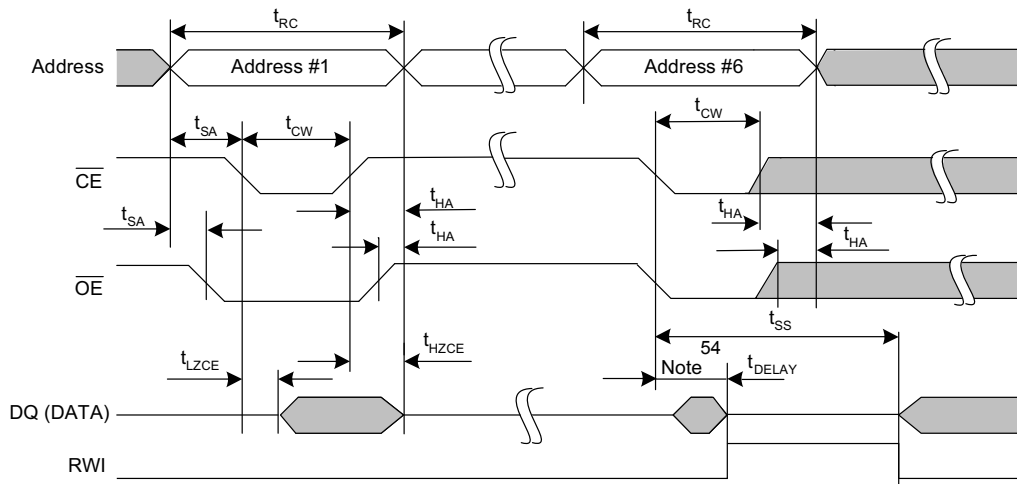


図 15. AutoStore イネーブル/ディセーブル サイクル [51]



- 注:
- 50. ソフトウェアのシーケンスは、 \overline{CE} または \overline{OE} を制御する読み出し処理を伴いクロックされます。
 - 51. 6 つの連続アドレスは表 1 に指定された順番で読み出す必要があります。WE は、全 6 連続サイクル中は HIGH でなければなりません。
 - 52. これはソフト シーケンス コマンドを処理するのに要する時間です。効果的にコマンドを登録するには、Vcc 電圧は HIGH のままでなければなりません。
 - 53. STORE や RECALL などのコマンドは、その処理が完了するまで I/O をロックアウトします。これにより、この時間は更に増えます。詳しくは個々のコマンドを参照してください。
 - 54. 出力が t_{DELAY} 時間でディセーブルとなるので、6 番目に読み出された DQ 出力データは無効となる可能性があります。

ハードウェア STORE サイクル

動作範囲において

パラメーター	説明	CY14B101KA/CY14B101MA		単位
		Min	Max	
t_{DHSB}	書き込みラッチがセットされていない場合に、HSB から出力がアクティブになるまでの時間	—	25	ns
t_{PHSB}	ハードウェア STORE パルス幅	15	—	ns

スイッチング波形

図 16. ハードウェア STORE サイクル^[55]

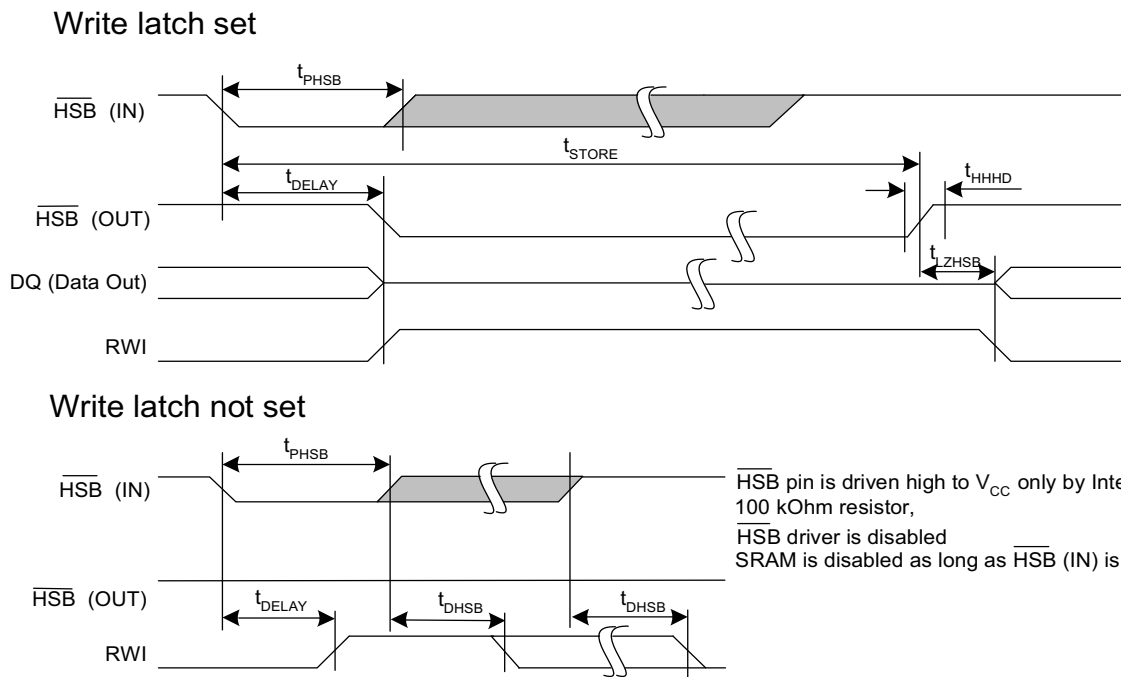
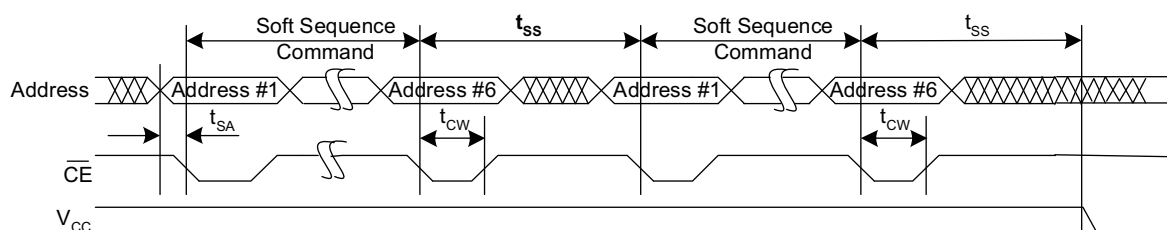


図 17. ソフト シーケンス処理時間^[56、57]



注：
55. 前回の不揮発性サイクル以降に SRAM 書き込みが行われていない場合、AutoStore またはハードウェア STORE は行われません。
56. これはソフト シーケンス コマンドを処理するのに要する時間です。効果的にコマンドを登録するには、 V_{CC} 電圧は HIGH でなければなりません。
57. STORE や RECALL などのコマンドは、その処理が完了するまで I/O をロックアウトします。これにより、この時間は更に増えます。詳しくは個々のコマンドを参照してください。

SRAM 真理値表

HSB は SRAM 動作では HIGH のままである必要があります。

表 5. ×8 構成の SRAM 真理値表

$\overline{\text{CE}}$	$\overline{\text{WE}}$	$\overline{\text{OE}}$	入力/出力 ^[58]	モード	電源
H	X	X	High Z	選択解除/電源遮断	スタンバイ
L	H	L	データ出力 (DQ ₀ -DQ ₇)	読み出し	アクティブ
L	H	H	High Z	出力ディスエーブル	アクティブ
L	L	X	データ入力 (DQ ₀ -DQ ₇)	書き込み	アクティブ

表 6. ×16 構成の SRAM 真理値表

$\overline{\text{CE}}$	$\overline{\text{WE}}$	$\overline{\text{OE}}$	$\overline{\text{BHE}}$ ^[59]	$\overline{\text{BLE}}$ ^[59]	入力/出力 ^[58]	モード	電源
H	X	X	X	X	High Z	選択解除/電源遮断	スタンバイ
L	X	X	H	H	High Z	出力ディスエーブル	アクティブ
L	H	L	L	L	データ出力 (DQ ₀ -DQ ₁₅)	読み出し	アクティブ
L	H	L	H	L	データ出力 (DQ ₀ -DQ ₇) DQ ₈ -DQ ₁₅ は High Z	読み出し	アクティブ
L	H	L	L	H	データ出力 (DQ ₈ -DQ ₁₅) DQ ₀ -DQ ₇ は High Z	読み出し	アクティブ
L	H	H	L	L	High Z	出力ディスエーブル	アクティブ
L	H	H	H	L	High Z	出力ディスエーブル	アクティブ
L	H	H	L	H	High Z	出力ディスエーブル	アクティブ
L	L	X	L	L	データ入力 (DQ ₀ -DQ ₁₅)	書き込み	アクティブ
L	L	X	H	L	データ入力 (DQ ₀ -DQ ₇) DQ ₈ -DQ ₁₅ は High Z	書き込み	アクティブ
L	L	X	L	H	データ入力 (DQ ₈ -DQ ₁₅) DQ ₀ -DQ ₇ は High Z	書き込み	アクティブ

注:

58. ×8 構成ではデータ DQ₀ ~ DQ₇、×16 構成ではデータ DQ₀ ~ DQ₁₅。

59. BHE と BLE は ×16 構成でのみ使用できます。

注文情報

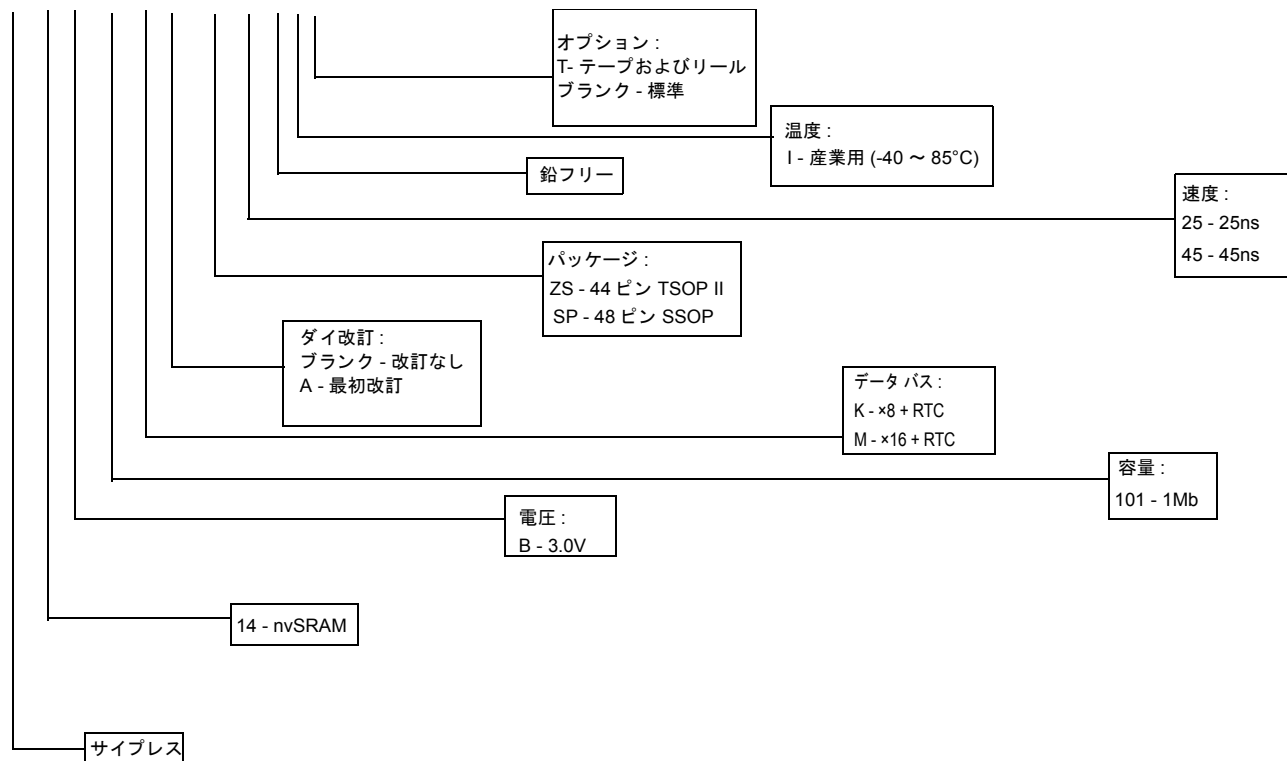
この製品の種類について、サイプレスは、様々なコンフィギュレーションおよび特長を持っている他の多くのバージョンを提供しています。下表には、現在在庫としてある部品のみを示します。すべてのオプションの完全なリストについては、サイプレスのウェブサイト www.cypress.com にアクセスし、製品概要のページ <http://www.cypress.com/products> を参照、または最寄りのサイプレスの販売代理店にお問い合わせください。サイプレスは、世界中に事業所やソリューション センター、販売代理店を持っています。お客様の最寄りのオフィスについては、サイプレスの <http://www.cypress.com/go/datasheet/offices> をご覧ください。

速度 (ns)	注文コード	パッケージ図	パッケージ タイプ	動作範囲
25	CY14B101KA-ZS25XIT	51-85087	44 ピン TSOP II	産業用
	CY14B101KA-ZS25XI	51-85087	44 ピン TSOP II	
	CY14B101KA-SP25XIT	51-85061	48 ピン SSOP	
	CY14B101KA-SP25XI	51-85061	48 ピン SSOP	
45	CY14B101KA-ZS45XIT	51-85087	44 ピン TSOP II	
	CY14B101KA-ZS45XI	51-85087	44 ピン TSOP II	
	CY14B101KA-SP45XIT	51-85061	48 ピン SSOP	
	CY14B101KA-SP45XI	51-85061	48 ピン SSOP	

上記のすべての製品は鉛フリーです。

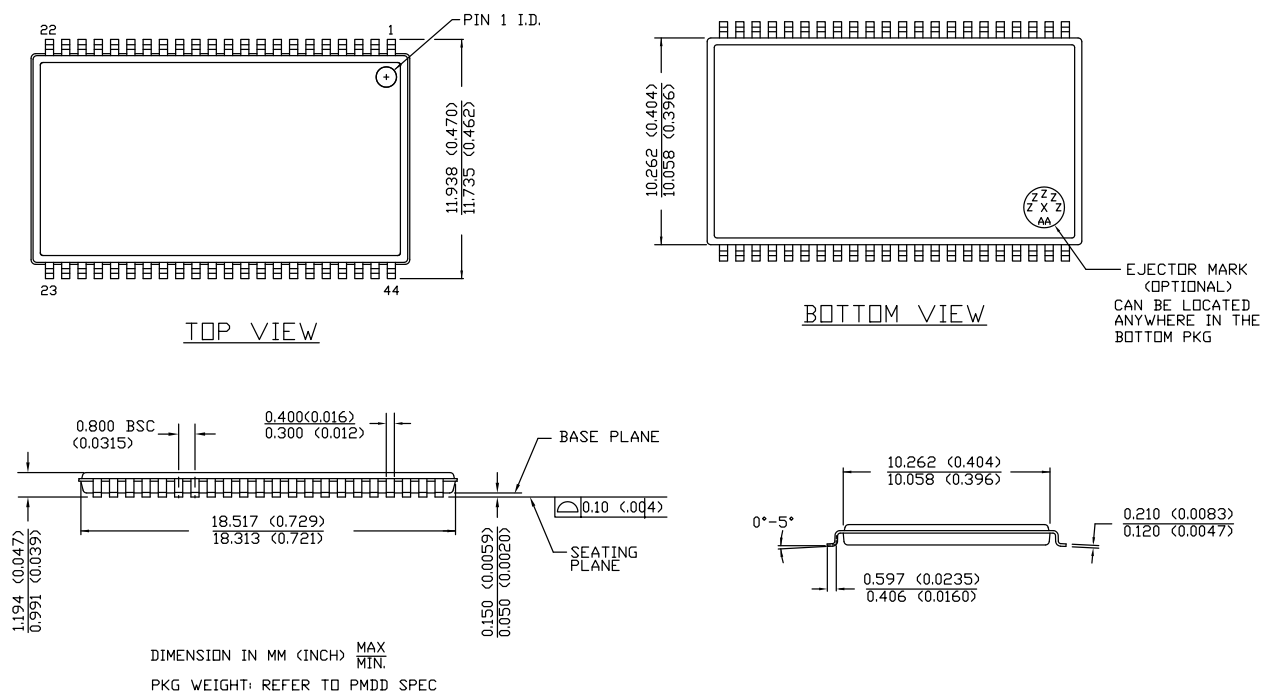
注文コードの定義

CY 14 B 101 K A - ZS 25 X I T



パッケージ図

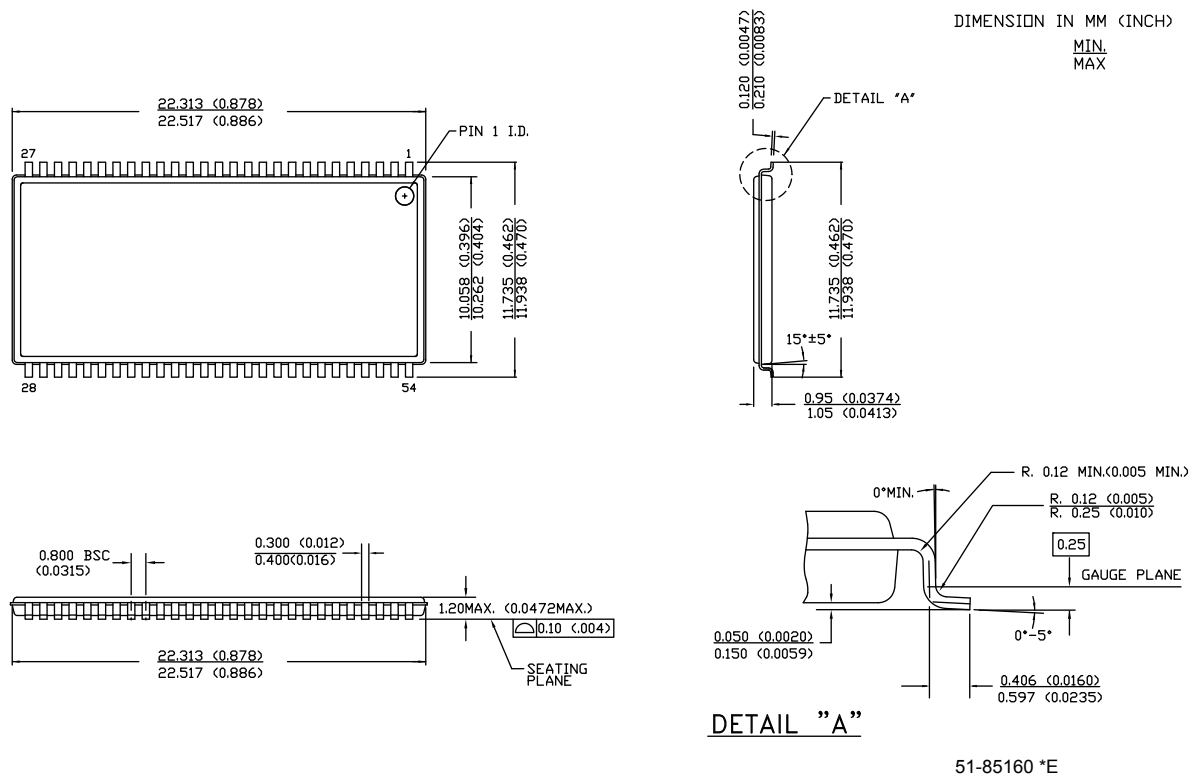
図 18. 44 ピン TSOP II パッケージ図、51-85087



51-85087 *E

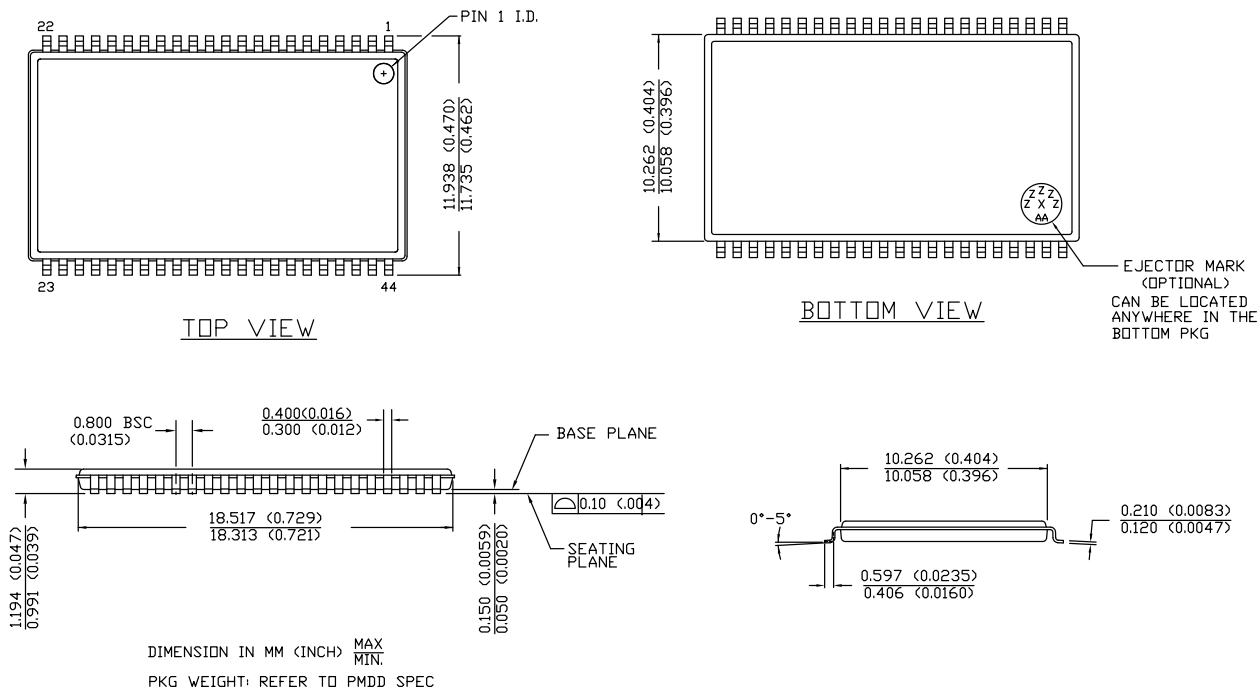
パッケージ図 (続き)

図 19. 54 ピン TSOP II (22.4 × 11.84 × 1.0mm) パッケージ図、51-85160



パッケージ図 (続き)

図 20. 48 ピン SSOP (300Mil) パッケージ図、51-85061



51-85061 *F

略語

略語	説明
BCD	binary coded decimal (二進化十進表現)
$\overline{\text{BHE}}$	byte high enable (上位バイト イネーブル)
$\overline{\text{BLE}}$	byte low enable (下位バイト イネーブル)
$\overline{\text{CE}}$	chip enable (チップ イネーブル)
CMOS	complementary metal oxide semiconductor (相補型金属酸化膜半導体)
EIA	electronic industries alliance (米国電子工業会)
$\overline{\text{HSB}}$	hardware store busy (ハードウェア ストア ビジー)
I/O	input/output (入力/出力)
nvSRAM	nonvolatile static random access memory (不揮発性スタティック ランダム アクセス メモリ)
$\overline{\text{OE}}$	output enable (出力 イネーブル)
RoHS	restriction of hazardous substances (有害物質の制限)
RWI	read and write inhibited (読み出しおよび書き込み禁止)
RTC	real time clock (リアルタイム クロック)
SRAM	static random access memory (スタティック ランダム アクセス メモリ)
SSOP	shrink small outline package (縮小小型パッケージ)
TSOP	thin small outline package (薄型小型パッケージ)
WE	write enable (書き込み イネーブル)

本書の表記法

測定単位

記号	測定単位
°C	摂氏温度
F	ファラッド
Hz	ヘルツ
kbit	1024 ビット
kHz	キロヘルツ
kΩ	キロオーム
MHz	メガヘルツ
μA	マイクロアンペア
μF	マイクロファラッド
μs	マイクロ秒
mA	ミリアンペア
ms	ミリ秒
ns	ナノ秒
Ω	オーム
%	パーセント
pF	ピコファラッド
ppm	100 万分の 1
V	ボルト
W	ワット

改訂履歴

文書名 : CY14B101KA/CY14B101MA リアル タイム クロック付き 1M ビット (128K × 8/64K × 16) nvSRAM 文書番号 : 001-95844				
版	ECN	発行日	変更者	変更内容
**	4705941	3/30/2015	HZEN	これは英語版 001-42880 Rev. *M を翻訳した日本語版 001-95844 Rev. ** です。

セールス、ソリューションおよび法律情報

ワールドワイドな販売と設計サポート

サイプレスは、世界中に事業所やソリューション センター、販売代理店を持っています。お客様の最寄りのオフィスについては、[サイプレスのロケーション](#) ページをご覧ください。

製品

車載用	cypress.com/go/automotive
クロック & バッファ	cypress.com/go/clocks
インターフェース	cypress.com/go/interface
照明 & 電力制御	cypress.com/go/powerpsoc cypress.com/go/plc
メモリ	cypress.com/go/memory
PSoC	cypress.com/go/psoc
タッチ センシング	cypress.com/go/touch
USB コントローラー	cypress.com/go/USB
ワイヤレス / RF	cypress.com/go/wireless

PSoC® ソリューション

psoc.cypress.com/solutions
PSoC 1 | PSoC 3 | PSoC 4 | PSoC 5LP

サイプレス開発者コミュニティ

[コミュニティ](#) | [フォーラム](#) | [ブログ](#) | [ビデオ](#) | [トレーニング](#)

テクニカル サポート

cypress.com/go/support

© Cypress Semiconductor Corporation, 2008-2015. 本文書に記載される情報は予告なく変更される場合があります。Cypress Semiconductor Corporation (サイプレス セミコンダクタ社) は、サイプレス製品に組み込まれた回路以外のいかなる回路を使用することに対して一切の責任を負いません。サイプレス セミコンダクタ社は、特許またはその他の権利に基づくライセンスを譲渡することも、または含意することはありません。サイプレス製品は、サイプレスとの書面による合意に基づくものでない限り、医療、生命維持、救命、重要な管理、または安全の用途のために使用することを保証するものではなく、また使用することを意図したものでもありません。さらにサイプレスは、誤動作や誤りによって使用者に重大な傷害をもたらすことが合理的に予想される生命維持システムの重要なコンポーネントとしてサイプレス製品を使用することを許可していません。生命維持システムの用途にサイプレス製品を供することは、製造者がそのような使用におけるあらゆるリスクを負うことを意味し、その結果サイプレスはあらゆる責任を免除されることを意味します。

全てのソースコード (ソフトウェアおよび/またはファームウェア) はサイプレス セミコンダクタ社 (以下「サイプレス」) が所有し、全世界の特許権保護 (米国およびその他の国)、米国の著作権法ならびに国際協定の条項により保護され、かつそれらに従います。サイプレスが本書面によりライセンスに付与するライセンスは、個人的、非独占的かつ譲渡不能のライセンスであり、適用される契約で指定されたサイプレスの集積回路と併用されるライセンシーの製品のみをサポートするカスタムソフトウェアおよび/またはカスタムファームウェアを作成する目的に限って、サイプレスのソースコードの派生著作物をコピー、使用、変更して作成するためのライセンス、ならびにサイプレスのソースコードおよび派生著作物をコンパイルするためのライセンスです。上記で指定された場合を除き、サイプレスの書面による明示的な許可なくして本ソースコードを複製、変更、変換、コンパイル、または表示することはすべて禁止します。

免責事項: サイプレスは、明示的または黙示的を問わず、本資料に関するいかなる種類の保証も行いません。これには、商品性または特定目的への適合性の黙示的な保証が含まれますが、これに限定されません。サイプレスは、本文書に記載される資料に対して今後予告なく変更を加える権利を留保します。サイプレスは、本文書に記載されるいかなる製品または回路を適用または使用したことによって生ずるいかなる責任も負いません。サイプレスは、誤動作や故障によって使用者に重大な傷害をもたらすことが合理的に予想される生命維持システムの重要なコンポーネントとしてサイプレス製品を使用することを許可していません。生命維持システムの用途にサイプレス製品を供することは、製造者がそのような使用におけるあらゆるリスクを負うことを意味し、その結果サイプレスはあらゆる責任を免除されることを意味します。

ソフトウェアの使用は、適用されるサイプレス ソフトウェア ライセンス契約によって制限され、かつ制約される場合があります。