

具有实时时钟的 1 Mbit (128 K × 8/64 K × 16) nvSRAM

特性

- 1 Mbit 非易失性静态随机存取存储器 (nvSRAM)
 - 访问时间为 25 ns 和 45 ns
 - 内部采用了 128 K × 8 (CY14B101KA) 或 64 K × 16 (CY14B101MA) 的组织方式
 - 只需要一个小电容器, 即可在断电时实现自动存储
 - 可通过软件、硬件或断电时进行的自动存储来触发存储到 QuantumTrap 非易失性单元内
 - 可通过软件或加电触发回读至 SRAM
- 高可靠性
 - 无限次读、写和回读循环
 - 一百万次的 QuantumTrap 存储周期
 - 20 年的数据保留时间
- 实时时钟 (RTC)
 - 功能齐全的实时时钟
 - 看门狗定时器
 - 带可编程中断的时钟警报
 - RTC 的备用电容或电池
 - 备用电流为 0.35 μA (典型值)

工业标准配置

- 3V +20%, -10% 单电源供电
- 工业级温度

封装

- 44/54 引脚薄小外形封装 (TSOP) II 型
- 48 引脚紧缩小外形封装 (SSOP)

无铅并满足有害物质限制 (RoHS) 规定

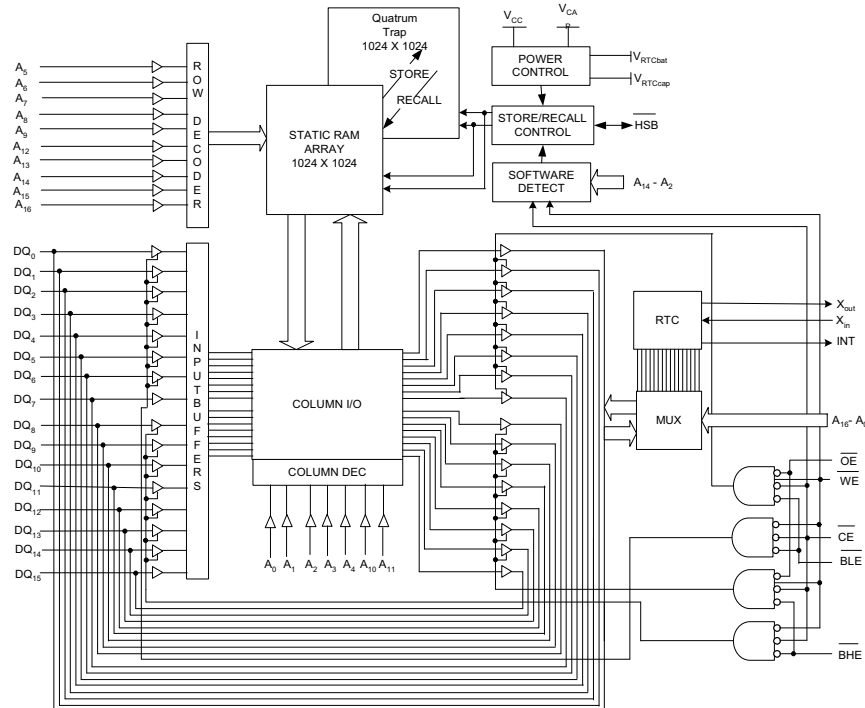
功能说明

赛普拉斯 CY14B101KA/CY14B101MA 将 1 Mbit 的 nvSRAM 和功能齐全的实时时钟整合在一个单片集成电路中。采用 QuantumTrap 技术, 可以将嵌入式非易失性单元制造成世界上最可靠的非易失性存储器。SRAM 能够实现无限次读写周期, 而独立的非易失性数据则存储在非易失性单元中。

实时时钟功能提供了一个用于记录闰年的精度时钟和一个可编程的高精度振荡器。可以编程警报功能, 以便设置分、时、日或月的定期警报。此外, 还提供了用于执行控制操作的可编程看门狗定时器。

要获取相关文档的完整列表, 请单击[此处](#)。

逻辑框图 [1、2、3]



注释:

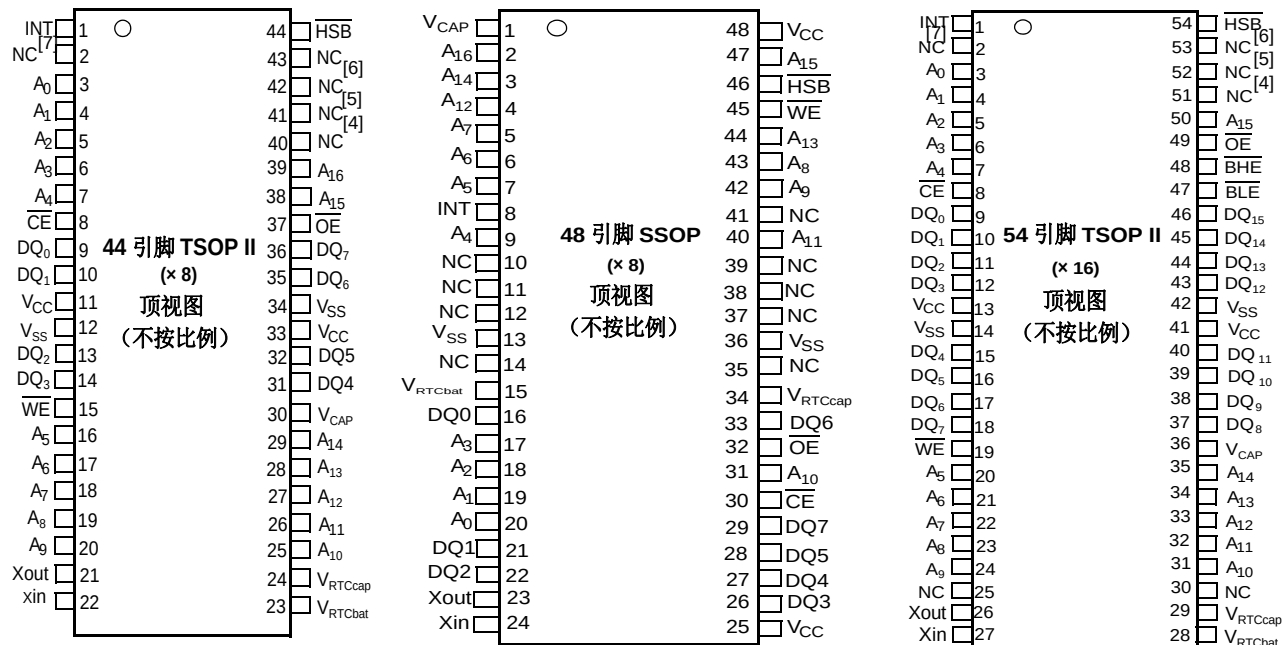
1. 地址 A₀-A₁₆ 适用于 × 8 配置; 地址 A₀-A₁₅ 适用于 × 16 配置。
2. 数据 DQ₀-DQ₇ 适用于 × 8 配置; 数据 DQ₀-DQ₁₅ 适用于 × 16 配置。
3. BHE 和 BLE 仅适用于 × 16 配置。

目录

引脚分布	3	直流电气特性	17
引脚定义	4	数据保留时间与耐久性	18
器件运行	5	电容	18
SRAM 读取	5	热电阻	18
SRAM 写入	5	交流测试负载	19
自动存储操作	5	交流测试条件	19
硬件存储 (HSB) 操作	5	RTC 特性	19
硬件回读 (加电时)	5	交流切换特性	20
软件回读	6	SRAM 读周期	20
软件回读	6	SRAM 写周期	20
阻止自动存储	7	切换波形	20
数据保护	8	自动存储 / 加电回读	23
实时时钟操作	8	切换波形	23
nvTIME 操作	8	软件控制存储 / 回读周期	24
时钟操作	8	切换波形	24
读取时钟	8	硬件存储周期	25
设置时钟	8	切换波形	25
备用电源	8	SRAM 操作的真值表	26
停止和启动振荡器	9	订购信息	27
校准时钟	9	封装图	28
警报	9	缩略语	31
看门狗定时器	9	文档规范	31
电源监控器	10	测量单位	31
中断	10	文档修订记录	32
标志寄存器	11	销售、解决方案和法律信息	33
RTC 外部组件	11	全球销售和 design 支持	33
RTC 的 PCB 设计注意事项	12	产品	33
布局要求	12	PSoC® 解决方案	33
最大额定值	17	赛普拉斯开发者社区	33
工作范围	17	技术支持	33

引脚分布

图 1. 引脚框图 — 44 引脚、54 引脚 TSOP II 和 48 引脚 SSOP



注释:

4. 2 Mbit 的地址扩展。NC 未连接到芯片 (die)。
5. 4 Mbit 的地址扩展。NC 引脚未连接到芯片 (die)。
6. 8 Mbit 的地址扩展。NC 未连接到芯片 (die)。
7. 16 Mbit 的地址扩展。NC 未连接到芯片 (die)。

引脚定义

引脚名称	I/O 类型	说明
A ₀ –A ₁₆	输入	地址输入。使用该引脚来选择用于 × 8 配置的 131,072 nvSRAM 字节中的一个。
A ₀ –A ₁₅		地址输入。使用该引脚来选择用于 × 16 配置的 65,536 nvSRAM 字中的一个。
DQ ₀ –DQ ₇	输入 / 输出	用于 ×8 配置的双向数据 I/O 线。根据操作将该引脚作为输入或输出使用。
DQ ₀ –DQ ₁₅		用于 ×16 配置的双向数据 I/O 线。根据操作将该引脚作为输入或输出线路使用。
NC	无连接	无连接。该引脚未连接到芯片（die）。
$\overline{\text{WE}}$	输入	写使能输入，低电平有效。当使能芯片，并 $\overline{\text{WE}}$ 为低电平时，I/O 引脚上的数据被写入到指定的地址位置内。
$\overline{\text{CE}}$	输入	芯片使能输入，低电平有效。该引脚为低电平时，则选择芯片。该引脚为高电平时，则取消选择芯片。
$\overline{\text{OE}}$	输入	输出使能，低电平有效。低电平有效输入 $\overline{\text{OE}}$ 在读周期内使能数据输出缓冲器。从高电平解除激活 $\overline{\text{OE}}$ 会使 I/O 引脚进入三态。
$\overline{\text{BHE}}$	输入	高字节使能，低电平有效。控制着 DQ ₁₅ –DQ ₈ 。
$\overline{\text{BLE}}$	输入	低字节使能，低电平有效。控制着 DQ ₇ –DQ ₀ 。
X _{out} ^[8]	输出	晶振连接。启动时驱动晶振。
X _{in} ^[8]	输入	晶振连接。适用于 32.768 kHz 的晶振。
V _{RTCcap} ^[8]	电源	电容供应的 RTC 备用电源电压。如果要使用 V _{RTCbatt} ，则必须让其保持未连接状态。
V _{RTCbatt} ^[8]	电源	电池供应的 RTC 备用电源电压。如果要使用 V _{RTCcap} ，则必须让其保持未连接状态。
INT ^[8]	输出	中断输出。可编程此引脚，以响应时钟警报、看门狗定时器和功耗监控器还可通过设置它为高电平（推或拉）或低电平（开漏）有效。
V _{SS}	接地	器件的接地引脚。必须连接至系统地面。
V _{CC}	电源	器件的电源供应输入。3.0 V +20%，–10%
$\overline{\text{HSB}}$	输入 / 输出	硬件存储繁忙（ $\overline{\text{HSB}}$ ） 输出：指示低电平时 nvSRAM 的繁忙状态。在每个硬件和软件存储操作后， $\overline{\text{HSB}}$ 在一小段时间（t _{HHHD} ）通过标准输出高电流被驱动为高电平，然后内部微上拉电阻会使该引脚一直保持为高电平（外部上拉电阻连接可选）。 输入：通过外部将引脚下拉为低电平来实现硬件存储。
V _{CAP}	电源	自动存储电容。在断电期间给 nvSRAM 供电是为了在该过程中能将数据从 SRAM 中转存到非易失性单元内。

注释：

8. 如果不使用 RTC 功能，则必须让其保持未连接状态。

器件运行

CY14B101KA/CY14B101MA nvSRAM 是由相同物理单元中的两个功能组件组成的一对。它们是一个 SRAM 存储器单元和一个非易失性 QuantumTrap 单元。SRAM 存储器单元可作为标准快速静态 RAM 工作。SRAM 中的数据被传输到非易失性单元（存储操作）内，或从非易失性单元传输到 SRAM（回读操作）内。使用这个独特的架构时，所有单元都可以被并行存储和回读。在存储和回读操作期间，SRAM 读写操作均被禁止。与典型的 SRAM 相同，CY14B101KA/CY14B101MA 支持无限次的读写周期。此外，它还提供无限次从非易失性单元的回读操作以及最多 100 万次存储操作。请参考第 26 页上的 SRAM 操作的真值表，了解读写模式的完整说明。

SRAM 读取

当 $\overline{CE}$ 和 $\overline{OE}$ 为低电平，并且 $\overline{WE}$ 和 $\overline{HSB}$ 为高电平时，CY14B101KA/CY14B101MA 将执行一个读周期。引脚 A_{0-16} 或 A_{0-15} 上指定的地址确定访问 131,072 个数据字节或 65,536 个 16 位的字的哪一个。字节使能（BHE、BLE）确定将哪些字节使能为输出（在 16 位字的情况下）。如果读取是由地址转换触发的，这时各输出将经过 t_{AA} （读取周期 1）时间后有效。如果读取是由 $\overline{CE}$ 或 $\overline{OE}$ 触发的，那么各输出将在 t_{ACE} 或 t_{DOE} 中较迟的那个时间内有效（第二个读取周期）。数据输出在 t_{AA} 访问时间内反复响应地址变化，而不需要切换任何控制输入引脚。这一直有效，直到另一个地址变化或直到 $\overline{CE}$ 或 $\overline{OE}$ 变为高电平，或者 $\overline{WE}$ 或 $\overline{HSB}$ 变为低电平为止。

SRAM 写入

当 $\overline{CE}$ 和 $\overline{WE}$ 均为低电平且 $\overline{HSB}$ 为高电平时，将执行写循环。地址输入必须稳定才能进入写周期，并且必须保持稳定，直到 $\overline{CE}$ 或 $\overline{WE}$ 在周期结束时变为高电平为止。如果数据在 $\overline{WE}$ 控制的写入结束前或在 $\overline{CE}$ 控制的写入结束前 t_{SD} 长的时间内有效，那么共用 I/O 引脚 IO_{0-7} 上的数据将被写入到存储器中。字节使能输入（BHE、BLE）确定在 16 位字的情况下写入哪些字节。推荐在整个写周期内保持 $\overline{OE}$ 为高电平，以避免共用 I/O 线路上出现数据总线争用情况。如果 $\overline{OE}$ 为低电平，那么内部电路将在 $\overline{WE}$ 变为低电平之后 t_{HZWE} 长的时间内关闭输出缓冲器。

自动存储操作

CY14B101KA/CY14B101MA 使用下列三种存储操作中的一种将数据存储到 nvSRAM 内：具体为：由 $\overline{HSB}$ 激活的硬件存储操作；由地址序列激活的软件存储操作；器件断电时的自动存储操作。自动存储操作是 QuantumTrap 技术独有的特性，并且在 CY14B101KA/CY14B101MA 中默认使能了该特性。

在正常工作时，器件从 V_{CC} 接收电流，进而给与 V_{CAP} 引脚连接的电容充电。芯片使用该存储的电荷执行单个存储操作。如果 V_{CC} 引脚的电压降到 V_{SWITCH} 以下，器件将自动断开 V_{CAP} 引脚与 V_{CC} 的连接。通过 V_{CAP} 电容提供的电源触发存储操作。

注意：如果电容没有连接 V_{CAP} 引脚，那么必须要使用第 7 页上的阻止自动存储中指定的软序列禁用自动存储。如果在没有 V_{CAP} 引脚上的电容时使能自动存储，则器件将在电荷不足的情况下尝试自动存储操作以完成存储。这样会破坏 nvSRAM 中存储的数据。

图 2. 自动存储模式

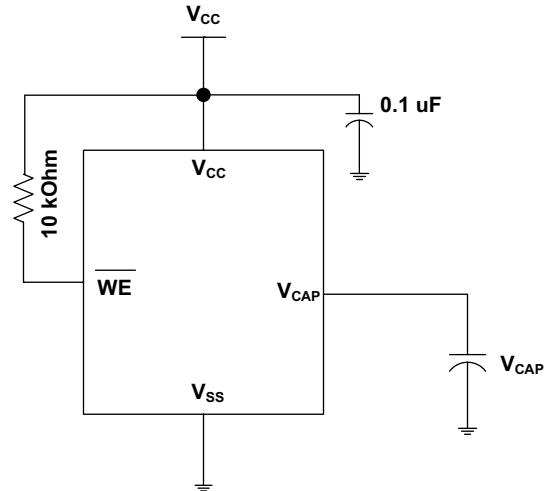


图 2 显示的是自动存储操作要求的正确存储电容（ V_{CAP} ）连接。有关 V_{CAP} 的大小，请参见第 17 页上的直流电气特性。 V_{CAP} 引脚上的电压通过芯片上的调节器输入到 V_{CC} 。上拉应该置于 $\overline{WE}$ 上，从而能在加电期间保持其处于非活动状态。只有 $\overline{WE}$ 信号在加电期间处于三态时，该上拉电阻才有效。很多 MPU 在加电时使其控制引脚进入三态。使用上拉时应验证该情况。当 nvSRAM 退出加电回读时，MPU 必须处于活动状态或者 $\overline{WE}$ 保持为非活动状态，直到 MPU 退出复位状态为止。

为了降低不必要的非易失性存储，将忽略自动存储和硬件存储操作，除非在最新的存储或回读周期后至少发生了一次写操作。不管是否发生了写操作，都会执行软件触发的存储周期。

硬件存储（ $\overline{HSB}$ ）操作

CY14B101KA/CY14B101MA 提供了 $\overline{HSB}$ 引脚以控制和确定存储操作。 $\overline{HSB}$ 引脚用于请求硬件存储周期。当 $\overline{HSB}$ 引脚被驱动为低电平时，CY14B101KA/CY14B101MA 将在 t_{DELAY} 时间后有条件地启动存储操作。只有在最后一个存储或回读周期后对 SRAM 进行了写操作时，才会开始一个实际的存储周期。 $\overline{HSB}$ 引脚还作为一个开漏驱动器（内部 100 kΩ 弱上拉电阻），它在进行存储（通过任何手段触发的）时被内部驱动为低电平，以指示繁忙状态。

注意：在每次进行硬件和软件存储操作后， $\overline{HSB}$ 会在一小段时间（ t_{HHHD} ）通过标准输出高电流变为高电平，然后通过内部 100 kΩ 上拉电阻一直保持高电平。

在 $\overline{HSB}$ 通过任何手段变为低电平时进行的 SRAM 写操作要在启动存储操作之前给定的时间（ t_{DELAY} ）内完成。但是，在 $\overline{HSB}$ 变为低电平后请求的所有 SRAM 写周期都被禁止，直到 $\overline{HSB}$ 重新变为高电平为止。如果未设置写锁存，则 $\overline{HSB}$ 不会被 CY14B101KA/CY14B101MA 驱动为低电平。但是直到 MPU 或其他外部源使 $\overline{HSB}$ 变回高电平，所有 SRAM 读和写周期都被禁止。

在任何存储操作期间，无论它是如何启动的，CY14B101KA/CY14B101MA 都会继续将 $\overline{HSB}$ 引脚驱动为低电平，只有存储完成时才会释放。存储操作完成后，如果 $\overline{HSB}$ 引脚已返回为高电平，nvSRAM 存储器访问将在 t_{LZHSB} 的时间内被禁止。如果不使用 $\overline{HSB}$ ，请保持它的未连接状态。

硬件回读（加电时）

在加电期间或任何低功耗状态后（ $V_{CC} < V_{SWITCH}$ ），内部回读请求将被锁存。如果加电时 V_{CC} 再次超过 V_{SWITCH} ，将自动启动

回读周期并需要 t_{RECALL} 的时间来完成。在此期间， $\overline{\text{HSB}}$ 驱动器将 HSB 引脚设置为低电平，对 nvSRAM 的所有读和写操作都将被禁止。

软件存储

通过软件地址序列将数据从 SRAM 传输到非易失性存储器内。通过按准确的顺序在六个特定地址执行连续的 $\overline{\text{CE}}$ 或 $\overline{\text{OE}}$ 控制的读周期，并以此来启动 $\text{CY14B101KA/CY14B101MA}$ 软件存储周期。在存储周期期间，首先擦除上一个非易失性数据，接下来执行非易失性单元程序。启动存储周期后，将禁用后续的输入和输出，直到该周期完成。

由于特定地址的读取序列用于存储启动，所以在该序列中要避免其他读或写访问干预，否则该序列将被中止，并且不会发生任何存储或回读操作。

若要启动软件存储周期，必须执行下列读取序列：

1. 读取地址 $0x4E38$ 有效读取
2. 读取地址 $0xB1C7$ 有效读取
3. 读取地址 $0x83E0$ 有效读取
4. 读取地址 $0x7C1F$ 有效读取
5. 读取地址 $0x703F$ 有效读取
6. 读取地址 $0x8FC0$ 启动存储周期

当 $\overline{\text{WE}}$ 在六个读取序列中始终保持高电平状态时，可以通过 $\overline{\text{CE}}$ 控制的读取或 $\overline{\text{OE}}$ 控制的读取锁定该软件序列。在输入序列中第六个地址后，将立即开始存储周期，并且芯片将被禁用。 HSB 被驱动为低电平。经过 t_{STORE} 周期时长后，再次激活 SRAM ，以进行读和写操作。

软件回读

通过软件地址序列将数据从非易失性存储器传输到 SRAM 。与启动软件存储的方式相同，软件回读周期将通过读操作序列被启动。若要启动回读周期，必须执行下列由 $\overline{\text{CE}}$ 或 $\overline{\text{OE}}$ 控制的读操作序列：

1. 读取地址 $0x4E38$ 有效读取
2. 读取地址 $0xB1C7$ 有效读取
3. 读取地址 $0x83E0$ 有效读取
4. 读取地址 $0x7C1F$ 有效读取
5. 读取地址 $0x703F$ 有效读取
6. 读取地址 $0x4C63$ 启动回读周期

在内部，回读程序包括两个步骤。首先，清除 SRAM 数据。然后，将非易失性信息传输到 SRAM 单元内。在 t_{RECALL} 周期时间后，该 SRAM 将再次处于就绪状态，以执行读和写操作。回读操作不会更改非易失性单元中的数据。

表 1. 模式选择

$\overline{CE}$	$\overline{WE}$	$\overline{OE}$	$\overline{BHE}$ 、 $\overline{BLE}^{[9]}$	$A_{15}-A_0^{[10]}$	模式	I/O	功耗
H	X	X	X	X	未选中	输出高阻态	待机
L	H	L	L	X	读取 SRAM	输出数据	激活
L	L	X	L	X	写入 SRAM	输入数据	激活
L	H	L	X	0x4E38 0xB1C7 0x83E0 0x7C1F 0x703F 0x8B45	读取 SRAM 读取 SRAM 读取 SRAM 读取 SRAM 读取 SRAM 自动存储禁用	输出数据 输出数据 输出数据 输出数据 输出数据 输出数据	激活 ^[11]
L	H	L	X	0x4E38 0xB1C7 0x83E0 0x7C1F 0x703F 0x4B46	读取 SRAM 读取 SRAM 读取 SRAM 读取 SRAM 读取 SRAM 自动存储使能	输出数据 输出数据 输出数据 输出数据 输出数据 输出数据	激活 ^[11]
L	H	L	X	0x4E38 0xB1C7 0x83E0 0x7C1F 0x703F 0x8FC0	读取 SRAM 读取 SRAM 读取 SRAM 读取 SRAM 读取 SRAM 非易失性存储	输出数据 输出数据 输出数据 输出数据 输出数据 输出高阻态	激活 $I_{CC2}^{[11]}$
L	H	L	X	0x4E38 0xB1C7 0x83E0 0x7C1F 0x703F 0x4C63	读取 SRAM 读取 SRAM 读取 SRAM 读取 SRAM 读取 SRAM 非易失性回读	输出数据 输出数据 输出数据 输出数据 输出数据 输出高阻态	激活 ^[11]

阻止自动存储

通过启动自动存储禁用的序列，可以禁用自动存储功能。以与软件存储启动类似的方式执行读操作序列。若要启动自动存储禁用的序列，必须执行下列由 $\overline{CE}$ 或 $\overline{OE}$ 控制的读操作序列：

1. 读取地址 0x4E38 有效读取
2. 读取地址 0xB1C7 有效读取
3. 读取地址 0x83E0 有效读取
4. 读取地址 0x7C1F 有效读取
5. 读取地址 0x703F 有效读取
6. 读取地址 0x8B45 自动存储禁用

通过启动自动存储使能序列，可以重新使能自动存储。以与软件回读启动类似的方式执行读操作序列。

若要启动自动存储周期使能序列，必须执行下列由 $\overline{CE}$ 或 $\overline{OE}$ 控制的读操作序列：

1. 读取地址 0x4E38 有效读取
2. 读取地址 0xB1C7 有效读取
3. 读取地址 0x83E0 有效读取

4. 读取地址 0x7C1F 有效读取

5. 读取地址 0x703F 有效读取

6. 读取地址 0x4B46 自动存储使能

如果禁用或重新使能自动存储功能，需要触发手动存储操作（软件或硬件）才能在后续的断电循环中保存自动存储状态。器件出厂时已使能自动存储功能，且已在所有单元中写入了 0x00。

注释：

9. $\overline{BHE}$ 和 $\overline{BLE}$ 仅适用于 × 16 配置。

10. CY14B101KA 上有 17 个地址行（CY14B101MA 上有 16 个地址行）时，只有 13 个地址行（ $A_{14}-A_2$ ）用于控制软件模式。无需关注其他地址行。

11. 六个连续的地址必须按顺序列出。 $\overline{WE}$ 在六个周期的期间必须为高电平才能使能非易失性循环。

数据保护

CY14B101KA/CY14B101MA 通过禁止所有外部启动的存储和写操作，可以阻止低电压状态下的数据被破坏。当 V_{CC} 低于 V_{SWITCH} 时，将检测到低电压状态。如果 CY14B101KA/CY14B101MA 在加电时处于写模式（ $\overline{CE}$ 和 $\overline{WE}$ 均为低电平），那么在回读或存储后会禁止执行写操作，直到 t_{LZHSB} （HSB 到输出有效的时间）后使能 SRAM 为止。这样可以防止在加电或欠压时发生意外写操作。

实时时钟操作

nvTIME 操作

CY14B101KA/CY14B101MA 提供了具有时钟、警报、看门狗、中断和控制功能的内部寄存器。RTC 寄存器使用 SRAM 中最后 16 个地址。时钟和定时器信息寄存器间的内部双缓冲可阻止在读或写期间访问被传输的内部时钟数据。双缓冲技术还避免了在访问时钟数据期间影响正常的定时计数或内部时钟的准确性。时钟和警报寄存器以 BCD 格式存储数据。

下面各节内容描述的是 CY14B101KA 的 RTC 功能。除了 RTC 寄存器地址外，同样的描述也应用于 CY14B101MA。CY14B101KA 的 RTC 寄存器地址的取值范围为 0x1FFF0 到 0x1FFFF，而 CY14B101MA 的此范围从 0x0FFF0 到 0x0FFFF。请参考第 13 页上的表 3 和第 14 页上的表 4，了解有关寄存器映射描述的详细信息。

时钟操作

时钟寄存器以一秒的增量保存时间，最长达 9,999 年。时间可被设置为任何一种日历时间，并且时钟会自动记录某月某日、某周某日、闰年及世纪转换。专用于时钟功能的寄存器共有八个，用于使用写周期设置时间以及基于读周期读取时间。这些寄存器包含 BCD 格式的时间。定义为 ‘0’ 的位目前不可用，并被保留以供赛普拉斯将来使用。

读取时钟

双缓冲 RTC 寄存器结构降低了从时钟读取错误数据的可能性。当读取位 ‘R’（位于标志寄存器 0x1FFF0 位置）设置为 ‘1’ 时，在读取时钟数据之前对 CY14B101KA 计时寄存器的内部更新将停止，以防止读取正在转换的数据。停止寄存器的更新不会影响时钟的准确性。

当 RTC 器件的读取序列启动后，用户计时寄存器的更新将停止，直到向读取位 ‘R’（位于标志寄存器的 0x1FFF0 位置中）写入 ‘0’ 后才重新开始更新。读取序列完成后，所有 RTC 寄存器在 20 ms 内同时更新。

设置时钟

对 RTC 器件进行写访问将停止计时寄存器更新，而当写入位 ‘W’（位于标志寄存器的 0x1FFF0 位置）设置为 ‘1’ 时允

许用户设置时间。然后，正确的星期、日期和时间被写入寄存器，且必须为 24 小时 BCD 格式。写入的时间被称为 ‘基准时间’。该值保存在非易失性寄存器中，用于计算当前时间。当通过写入 ‘0’ 来清除写入位 ‘W’ 时，计时寄存器的值将被传输到实际的时钟计数器内，然后该时钟会恢复正常运行。

如果写入 RTC 寄存器的时间不是正确的 BCD 格式，则 RTC 寄存器中每个无效的半字节在翻滚至 0x0 前继续计数至 0xF，然后 RTC 寄存器恢复正常操作。

注意： ‘W’ 位被设置为 ‘0’ 后，写入计时、警报、校准和中断寄存器的值将在 t_{RTCp} 时间后被传输到 RTC 计时计数器中。这些计数器值必须通过启动软件 / 硬件存储或自动存储操作保存在非易失性存储器中。在 ‘自动存储禁用’ 模式下， t_{RTCp} 时间后将执行存储操作，同时写入 RTC 寄存器内以正确记录所做的修改。

备用电源

CY14B101KA 中的 RTC 用于永久带电操作。在实际应用中，根据是选择了电容还是电池来连接 V_{RTCcap} 或 V_{RTCbat} 引脚。当主电源 V_{CC} 断电并下降至 V_{SWITCH} 以下时，器件会切换至备用电源。

时钟振荡器消耗的电流非常少，因此最大程度地延长了备用电源的供电时间。主电源被移除后，无论时钟操作如何，存储在 nvSRAM 中的数据都是安全的，因为断电后这些数据将被存储在非易失性单元中。

在备用电源操作期间，室温下 CY14B101KA 消耗 0.35 μA （典型）的电流。用户必须根据实际应用选择电容或电池值。

注意： 如果电池在应用于 V_{CC} 前先应用于 V_{RTCbat} 引脚，芯片将抽取 I_{BAK} 高电流。尽管禁用了振荡器，仍会发生此情况。为最大程度地延长电池寿命，将电池应用于 V_{RTCbat} 引脚前，必须先将其应用于 V_{CC} 。

下面的表 2 显示了基于最大电流规格的备用时间。额定备用时间大约比这些时间长两倍。

表 2. RTC 备用时间

电容值	备用时间
0.1 F	72 个小时
0.47 F	14 天
1.0 F	30 天

使用电容具有明显的优势，即每次系统加电时可对备用电源充电。如果使用电池，推荐使用 3V 锂的电池；当主电源被移除时，CY14B101KA 仅使用该电池产生的电流。然而，CY14B101KA 在任何时候不会对电池进行充电。必须根据系统生命周期期间总的预期累计断电时间选择电池容量。

停止和启动振荡器

校准寄存器中 0x1FFF8 位置的 OSCEN 位控制振荡器的使能和禁用。该位是非易失性的，交付给客户时处于‘使能’（设置为‘0’）状态。系统被存放时，为了保持电池寿命，须将 OSCEN 设置为‘1’。这样将关闭振荡器电路，以延长电池寿命。如果 OSCEN 位从‘禁用’变为‘使能’，振荡器大约需要一秒钟（最多两秒）的时间进行启动。

当系统电源关闭时，如果备用电源（V_{RTCcap} 或 V_{RTCbat}）的电压降至各自最低值以下，振荡器可能掉电。当系统电源恢复时，CY14B101KA 能够检测振荡器是否掉电。这记录在标志寄存器中 0x1FFF0 位置的振荡器掉电标志（OSCF）内。当系统通电（V_{CC} 大于 V_{SWITCH}）时，会检查 OSCEN 位是否处于‘使能’状态。如果 OSCEN 位处于‘使能’状态并且在 5 ms 内未激活振荡器，那么 OSCF 位将被设置为‘1’。系统必须检查该条件，然后写入‘0’以清除标志。

注意：除设置 OSCF 标志位外，时间寄存器被复位为‘基准时间’，这是上次写入计时寄存器的值。控制寄存器或校准寄存器与 OSCEN 位不受‘振荡器失败’条件的影响。

首次对时间寄存器进行写入操作时，必须将 OSCF 值重置为‘0’。这将初始化该位的状态（系统首次加电时可能已设置）。

要重置 OSCF，需要将写位‘W’（位于 0x1FFF0 的标志寄存器中）设置为‘1’以便使能对标志寄存器的写入。对 OSCF 位写入‘0’，然后将写位重置为‘0’以禁用写操作。

校准时钟

通过一个石英控制的晶振以 32.768 kHz 的额定频率驱动 RTC。时钟的准确度取决于晶振质量和校准。市场中的晶振通常有 ±20 ppm 到 ±35 ppm 的误差。然而，CY14B101KA 应使用一种在 25 °C 可将准确度提高至 +1/-2 ppm 的校准电路。这表示每月有 +2.5 秒到 -5 秒的误差。

校准电路通过增加或减少振荡器分频器电路的计数来达到这种准确度。抑制（消减，负校准）或拆分（增加，正校准）的脉冲数量取决于加载到位于 0x1FFF8 的校准寄存器中的五个校准位的值。校准位占用校准寄存器中的五个低位。这些位被设置为以二进制形式表示的 0 和 31 之间的任何值。D5 位是符号位，其中‘1’表示正校准，‘0’表示负校准。增加计数可使时钟加速，减少计数可使时钟减速。如果将一个二进制‘1’加载到寄存器中，实现对应振荡器误差中 4.068 或 -2.034 ppm 偏移的调整，具体大小取决于符号。

校准在 64 分钟周期内发生。对于周期内前 62 分钟（每分钟一次），可能会有一秒被缩短为 128 个振荡器周期或被延长为 256 个振荡器周期。如果将二进制‘1’加载到寄存器中，则仅修改周期时长为 64 分钟的前两分钟。如果将二进制 6 加载到寄存器中，会影响前 12 分钟，并以此类推。因此，每个校准步骤对每 125、829 和 120 个实际振荡器周期具有增加 512 个或减少 256 个振荡器周期的作用，即校准寄存器中的每个校准步骤有 4.068 或 -2.034 ppm 的调整。

为了确定所需的校准，标志寄存器（0x1FFF0）中的 CAL 位必须设置为‘1’。这导致 INT 引脚以 512 Hz 的额定频率切换。任何偏离 512 Hz 的偏差表示的都是所需纠正的大小和方向。例如，读取得到的数据为 512.01024 Hz，表示误差为 +20 ppm。因此，

必须将十进制值 -10（001010b）加载到校准寄存器中以抵消此误差。

注意：设置或改变校准寄存器不影响测试输出频率。

要想置位或清除 CAL，需要将写入位‘W’（位于 0x1FFF0 的寄存器中）设置为‘1’，以便使能对标志寄存器的写入。将某个值写入 CAL，然后将写位复位为‘0’以禁用写入。

警报

警报功能将用户编写的警报时间值和日期（存储在寄存器 0x1FFF1-5 中）与相应的时间和日期值相比较。当出现匹配时，将设置警报内部标志（AF），而且如果设置了警报中断使能（AIE）位，将在 INT 引脚上生成中断。

有四个警报匹配字段，即：日期、小时、分和秒。上述每个字段有一个匹配位，用于确定字段是否被用于警报匹配逻辑。将匹配位设置为‘0’表示相应的字段用于匹配处理。根据匹配位的不同，警报可以明确到每个月发生一次或频繁到每分钟发生一次。不选择任何匹配位（所有位都为 1）表示不需要匹配，因此禁用警报。选择所有的匹配位（都为 0）会导致精确的时间和日期匹配。

可通过下面两种方法来检测警报事件：读取 AF 标志或监控 INT 引脚。位于标志寄存器 0x1FFF0 中的 AF 标志表示发生了日期或时间匹配。当发生匹配时，AF 位设置为‘1’。读取标志寄存器会清除警报标志位（和所有其他位）。硬件中断引脚也能够用于检测警报事件。

要置位、清除或使能警报，需要将位‘W’（位于标志寄存器 0x1FFF0 中）设置为‘1’，以便使能对警报寄存器的写入。写入警报值后，将‘W’位清除为‘0’以更改生效。

注意 CY14B101KA：要求将针对秒的警报匹配位（即警报秒寄存器 0x1FFF2 中的‘D7’位）设置为‘0’，以便正确地操作警报标志和中断。

看门狗定时器

看门狗定时器是一个自由运行且使用从晶体振荡器获得的 32 Hz 时钟（31.25 ms）的递减计数器。必须运行振荡器才能使看门狗正常运行。看门狗定时器将从看门狗定时器寄存器中加载的值开始递减计数。

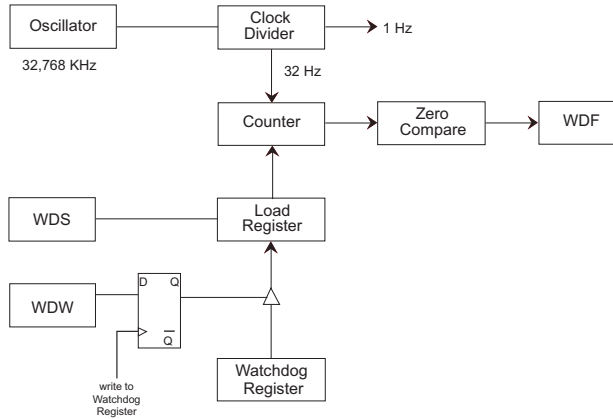
定时器由一个可加载的寄存器和一个自由运行的计数器组成。在加电时，寄存器 0x1FFF7 中的看门狗超时值加载到计数器加载寄存器中。计数操作从加电时开始，并在看门狗探针（WDS）位设置为‘1’的任何时候从可加载值重新开始。将计数器与终止值‘0’进行比较。如果计数器达到此值，则产生内部标志和可选中断输出。可以通过在计数器到达‘0’之前将 WDS 位设置为‘1’来阻止超时中断。这导致计数器重新加载看门狗超时值并重启。只要用户在计数器到达终值之前对 WDS 位进行设置，就不会产生中断和 WDT 标志。

通过将看门狗写入位设置为‘0’，可写入新的超时值。WDW 位为‘0’时，将使能看门狗超时值位 D5-D0 的写功能，以修改超时值。当 WDW 位为‘1’时，则会忽略对 D5-D0 位的写入。WDW 功能使用户能在不考虑到看门狗定时器值被修改的情况下设置 WDS 位。看门狗定时器逻辑如图 3 所示。注意：将看门狗超时值设置为‘0’会禁用看门狗功能。

看门狗定时器的输出为标志位 WDF（如果看门狗允许超时，将设置该标志位）。如果设置了中断寄存器中的看门狗中断使能

(WIE) 位，那么看门狗超时将在 INT 引脚上产生硬件中断。用户读取标志寄存器时，标志和硬件中断都将被清除。

图 3. 看门狗定时器框图



电源监控器

CY14B101KA 提供具有断电中断功能的电源管理方案。它同样也控制内部开关，以便为时钟提供备用电源并保护存储器在低 V_{CC} 条件下不被访问。功耗监控器基于内部带隙参考电路，此电路将 V_{CC} 电压与 V_{SWITCH} 阈值相比较。

如第 5 页上的自动存储操作中所述，达到 V_{SWITCH} 后，当 V_{CC} 因断电而发生衰减时，将启动从 SRAM 到非易失性元素的数据存储操作，以保存最后的 SRAM 数据状态。电源也从 V_{CC} 切换到备用电源（电池或电容）来运行 RTC 振荡器。

当使用备用电源运行时，对 nvSRAM 的读取和写入操作被禁止且 RTC 功能对用户不可用。RTC 时钟继续在后台运行。 V_{CC} 存储到器件后，用户可以使用更新后的 RTC 计时寄存器数据（请参见第 23 页上的自动存储 / 加电回读）。

中断

CY14B101KA 有一个标志寄存器、中断寄存器以及能向微控制器发出中断信号的中断逻辑。有三个潜在的中断源：看门狗定时器、功耗监控器和警报定时器。通过适当地设置中断寄存器（0x1FFF6），可以单独使能上述三个中断源来驱动 INT 引脚。此外，在标志寄存器（0x1FFF0）中，每个中断源都有相应的标志位，主机处理器使用这些标志位来确定中断来源。当中断发生时，INT 引脚驱动器有两个能指定其行为的位。

仅在三个中断源中的一个产生中断标志并且位于中断寄存器中的中断使能位被使能（设置为‘1’）时，才会产生中断。中断源处于活动状态后，两个可编程位（即 H/L 和 P/L）会决定 INT 引脚上输出引脚驱动器的行为。这两个位位于中断寄存器中，可用于驱动 INT 引脚上的电平或脉冲模式输出。在脉冲模式中，脉冲宽度内部固定在大约 200 ms。此模式用于复位主机微控制器。在电平模式中，引脚进入其活动极性，直到用户读取标志寄存器为止。此模式用作主机微控制器的中断。下一节对控制位进行了总结。

系统仅在常规电源运行时才会生成中断，则系统以备用电源模式运行时并不会触发中断。

注意：CY14B101KA：仅在加电回读序列完成后，才会生成有效的中断。加电后，必须在 $t_{HRECALL}$ 的时间内忽略 INT 引脚上的所有事件。

中断寄存器

看门狗中断使能 (WIE)：当设置为‘1’时，如果发生看门狗超时，看门狗定时器驱动 INT 引脚和一个内部标志。当 WIE 被设置为‘0’时，看门狗定时器只会影响标志寄存器中的 WDF 标志。

警报中断启用 (AIE)：当设置为‘1’时，警报匹配驱动 INT 引脚和一个内部标志。当 AIE 设置为‘0’时，警报匹配只影响标志寄存器中的 AF 标志。

断电中断使能 (PFE)：当设置为‘1’时，断电监控器驱动引脚和一个内部标志。当 PFE 设置为‘0’时，断电监控器只影响标志寄存器中的 PF 标志。

高电平 / 低电平 (H/L)：当设置为‘1’时，INT 引脚为高电平有效且驱动器模式为推挽式。仅在 V_{CC} 高于 V_{SWITCH} 时，INT 引脚才被驱动为高电平。当 H/L 被设置为‘0’时，INT 引脚为低电平有效，并且驱动器模式为开漏模式。必须通过一个 10 kΩ 电阻将 INT 引脚上拉至 V_{CC} ，同时使用低电平有效模式的中断。

脉冲 / 电平 (P/L)：当设置为‘1’且发生中断时，会将 INT 引脚驱动约 200 ms。当 P/L 设置为‘0’时，INT 引脚被驱动至高电平或低电平（由 H/L 决定），直到标志寄存器被读取。

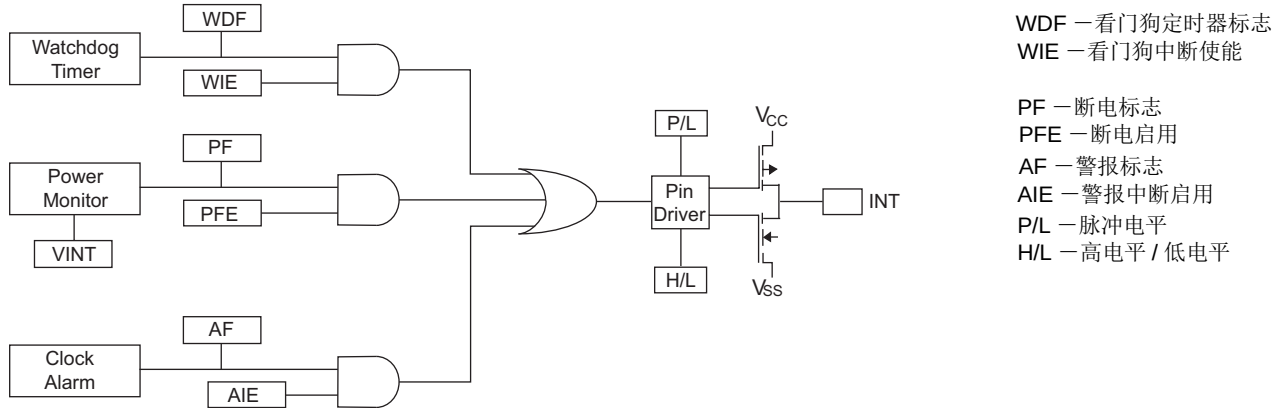
当使能的中断源激活了 INT 引脚时，外部主机将读取标志寄存器来确定原因。当读取该寄存器时，所有标志均被清除。如果 INT 引脚被编程为电平模式，那么将清除条件，并且 INT 引脚会返回到它的非活动状态。如果引脚编程为脉冲模式，那么读取标志也能清除引脚中的标志。如果读取了标志寄存器，脉冲模式便不能完成指定的持续时间。如果使用 INT 引脚来复位主机，那么复位期间标志寄存器不被读取。

标志寄存器

标志寄存器具有三个可用于生成中断的标志位，即：WDF、AF 和 PF 位。这些位分别由看门狗超时、警报匹配或电源掉电监控器设置。处理器可通过轮询该寄存器或使能中断来确认何时设置

了标志。寄存器被读取时，这些标志会自动复位。在加电时，标志寄存器会自动加载数值 0x00（OSCF 位除外；请参见第 9 页上的停止和启动振荡器）。

图 4. 中断框图

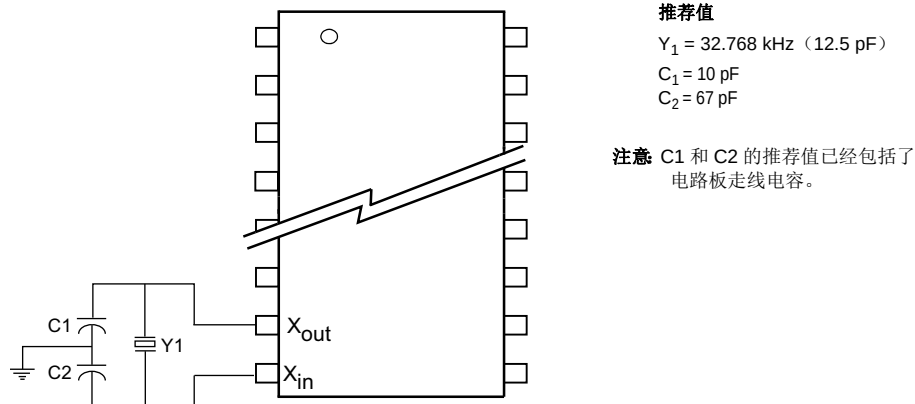


RTC 外部组件

RTC 要求将外部 32.768 kHz 晶体和 C_1 、 C_2 负载电容连接起来，如图 5 所示。该图显示了推荐的 RTC 外部组件的值。负载

电容 C_1 和 C_2 包含印刷电路板（PCB）的寄生电容。PCB 寄生电容包括由晶体焊盘 / 引脚的地层、 X_{in}/X_{out} 焊盘以及与晶体和器件引脚相连接的焊盘和铜线导致的电容。

图 5. RTC 建议的组件配置^[12]



注释：

12. 欲了解有关非易失性静态随机存取存储器（nvSRAM）实时时钟（RTC）的设计指南以及最佳实践的详细信息，请参考应用笔记 [AN61546](#)。

RTC 的 PCB 设计注意事项

RTC 晶振是一个低电流电路，其晶体引脚上的节点处于高阻抗状态。由于 RTC 的较低计时电流，晶振连接对电路板上的噪声非常敏感。因此，必须将 RTC 电路与电路板上的其他信号隔离开。

此外，必须控制 PCB 上的杂散电容为最小值。杂散电容被添加到晶体的总负载电容内，使得振荡器频率出现误差。为获取 RTC 的最佳性能，要求实现适当的旁路并谨慎设计布局。

布局要求

布线 RTC 电路时，电路板布局必须符合（但不限于）下面的指南。按照这些指南，您能够获取 RTC 设计的最佳性能。

- 放置时，将晶体尽可能接近 X_{in} 和 X_{out} 引脚的位置。使晶体和 RTC 之间的走线长度相等，并尽量缩短该长度，以便通过缩短天线来降低噪声耦合的可能性。

- X_{in} 和 X_{out} 走线宽度必须小于 8 密耳。走线越宽，引起的走线电容也越大。这些连接焊盘和走线的宽度越大，噪声从相邻信号耦合的可能性越大。

- 通过在晶振电路周围提供一个保护环来屏蔽 X_{in} 和 X_{out} 信号。该保护环阻止来自相邻信号的噪声耦合。

- 在 RTC 走线附近布置其他任何高速度信号时，需要特别注意。晶体与电路板上其他信号的相隔距离越远，噪声耦合到晶体的可能性越小。在电路板上，保持 X_{in} 、 X_{out} 走线以及其他任何高速度信号之间最小为 200mil 的距离。

- 在 PCB 的同一层上，请勿在晶体组件下面布置任何信号。

在邻近 PCB 层上创建一个独立、实心的铜质层，该层位于晶体电路下面，其目的是阻止布置在 PCB 其他信号层上的走线的意外噪声耦合。在同一个 PCB 层上，本地层与其相邻层之间的距离至少为 40 密耳。实心层只应该处于 RTC 组件附近的范围内，其外围要等于保护环的外围。图 6 显示了 RTC 电路的推荐布局。

图 6. RTC 的推荐布局

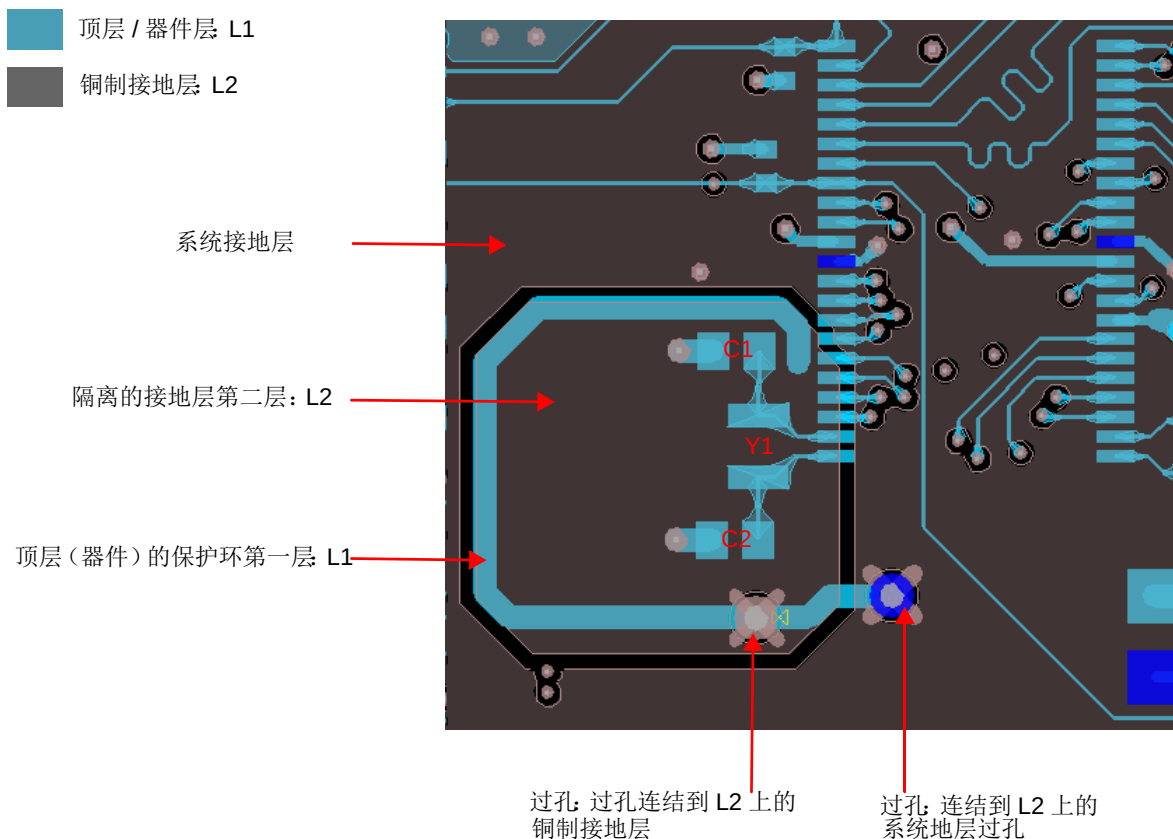


表 3. RTC 存储器映射^[13、14、15]

寄存器		BCD 格式数据 ^[14]								功能 / 范围
CY14B101KA	CY14B101MA	D7	D6	D5	D4	D3	D2	D1	D0	
0x1FFFF	0x0FFFF	年 (x10)				年				年数: 00–99
0x1FFFE	0x0FFFE	0	0	0	月 (x10)	月				月数: 01–12
0x1FFFD	0x0FFFD	0	0	日期 (x10)		日期				日期: 01–31
0x1FFFC	0x0FFFC	0	0	0	0	0	星期			星期: 01–07
0x1FFFB	0x0FFFB	0	0	小时 (x10)		小时				小时: 00–23
0x1FFFA	0x0FFFA	0	分钟 (x10)			分钟				分钟: 00–59
0x1FFF9	0x0FFF9	0	秒 (x10)			秒				秒钟: 00–59
0x1FFF8	0x0FFF8	OSCEN (0)	0	校准符号 (0)	校准 (00000)					校准值 ^[16]
0x1FFF7	0x0FFF7	WDS (0)	WDW (0)	WDT (000000)						看门狗 ^[16]
0x1FFF6	0x0FFF6	WIE (0)	AIE (0)	PFE (0)	0	H/L (1)	P/L (0)	0	0	中断 ^[16]
0x1FFF5	0x0FFF5	M (1)	0	警报日期 (x10)		警报日期				警报, 日期: 01–31
0x1FFF4	0x0FFF4	M (1)	0	警报小时 (x10)		警报小时				警报, 小时: 00–23
0x1FFF3	0x0FFF3	M (1)	警报分钟 (x10)			警报分钟				警报, 分钟: 00–59
0x1FFF2	0x0FFF2	M (1)	警报秒 (x10)			警报, 秒				警报, 秒钟: 00–59
0x1FFF1	0x0FFF1	世纪 (x10)				世纪				世纪: 00–99
0x1FFF0	0x0FFF0	WDF	AF	PF	OSCF ^[17]	0	CAL (0)	W (0)	R (0)	标志 ^[16]

注释:

13. RTC 寄存器的高位字节 D15–D8 (CY14B101MA) 会保留以供将来使用。

14. RTC 寄存器未使用的位被保留以供将来使用, 应设置为 ‘0’。

15. () 表示出厂数值。

16. 该值为二进制数值, 并非为 BCD 格式的数值。

17. 用户复位 OSCF 标志位时, 应在 t_{RTCp} 时间后更新标志寄存器。

表 4. 寄存器映射的详细信息

寄存器		说明							
CY14B101KA	CY14B101MA								
0x1FFFF	0x0FFFF	计时 — 年							
		D7	D6	D5	D4	D3	D2	D1	D0
		年 (x10)				年			
		包含表示年的两个低位 BCD 数字。低位半字节 (四位) 包含了表示年的数值; 高位半字节 (四位) 包含的是以 10 年为单位的值。每半字节的取值范围为 0 到 9。该寄存器的范围为 0 到 99。							
0x1FFFE	0x0FFFE	计时一月							
		D7	D6	D5	D4	D3	D2	D1	D0
		0	0	0	月 (x10)	月			
		包含表示月的 BCD 数字。低位半字节 (四位) 包含低位数字, 工作范围为 0 到 9; 高位半字节 (一位) 包含高位数字, 工作范围为 0 到 1。该寄存器的范围为 1 到 12。							
0x1FFFD	0x0FFFD	计时一日期							
		D7	D6	D5	D4	D3	D2	D1	D0
		0	0	日期 (x10)		日期			
		包含日期的 BCD 数字。低位半字节 (四位) 包含低位数字, 其取值范围为 0 到 9; 高位半字节 (两位) 包含高位数字, 其取值范围为 0 到 3。该寄存器的范围为 1 到 31。可针对闰年进行自动调整。							
0x1FFFC	0x0FFFC	计时一星期							
		D7	D6	D5	D4	D3	D2	D1	D0
		0	0	0	0	0	星期		
		低位半字节 (三位) 包含一个与星期相关的值。星期是一个环形计数器, 它从 1 计数到 7, 然后再返回 1。用户必须为星期值提供意义, 因为星期不被集成到日期内。							
0x1FFFB	0x0FFFB	计时一小时							
		D7	D6	D5	D4	D3	D2	D1	D0
		0	0	小时 (x10)		小时			
		包含小时 (二十四制式格式) 的 BCD 值。低位半字节 (四位) 包含低位数字, 其取值范围为 0 到 9; 高位半字节 (两位) 包含高位数字, 其取值范围为 0 到 2。该寄存器的范围为 1 到 23。							
0x1FFFA	0x0FFFA	计时一分钟							
		D7	D6	D5	D4	D3	D2	D1	D0
		0	分钟 (x10)			分钟			
		包含分钟的 BCD 值低位半字节 (四位) 包含低位数字, 其范围为 0 到 9; 高位半字节 (三位) 包含高位数字, 其范围为 0 到 5。该寄存器的范围为 0 到 59。							
0x1FFF9	0x0FFF9	计时一秒							
		D7	D6	D5	D4	D3	D2	D1	D0
		0	秒 (x10)			秒			
		包含秒钟的 BCD 值。低位半字节 (四位) 包含低位数字, 其范围为 0 到 9; 高位半字节 (三位) 包含高位数字, 其范围为 0 到 5。该寄存器的范围为 0 到 59。							

表 4. 寄存器映射的详细信息（续）

寄存器		说明							
CY14B101KA	CY14B101MA								
0x1FFF8	0x0FFF8	校准 / 控制							
		D7	D6	D5	D4	D3	D2	D1	D0
		OSCEN	0	校准符号	校准				
OSCEN		振荡器使能。被设置为‘1’时，振荡器将停止。被设置为‘0’时，振荡器将运行。通过禁用振荡器，可以在存储过程中节省电池或电容电源。							
校准符号		确定对时基进行哪种校准调整：增加（1）还是减少（0）。							
校准		这五个位控制时钟的校准							
0x1FFF7	0x0FFF7	看门狗定时器							
		D7	D6	D5	D4	D3	D2	D1	D0
		WDS	WDW	WDT					
WDS		看门狗探针。将该位设置为‘1’可重新加载并重启看门狗定时器。将该位设置为‘0’不起作用。看门狗定时器复位后，该位被自动清除。WDS 位是只写位。读取该位始终返回 0。							
WDW		看门狗写使能。通过将该位设置为 1，可禁用对看门狗超时值（D5–D0）的任何写入操作。这允许用户设置看门狗探针位而不影响超时值。当完成下一个写周期时，通过将该位设置为‘0’，可以将 D5–D0 位写到看门狗寄存器内。第 9 页上的看门狗定时器中详细介绍了该功能。							
WDT		看门狗超时选择。可通过该寄存器中的 6 位值选择看门狗定时器的间隔。它代表一个 32 Hz 计数（31.25 毫秒）的乘数。超时值范围为 31.25 毫秒（设置为 1）到 2 秒（设置为 3 Fh）。将看门狗定时器寄存器设置为 0 将禁用定时器。仅在上一个周期中 WDW 位设置为 0 时才能对这些位进行写操作。							
0x1FFF6	0x0FFF6	中断状态 / 控制							
		D7	D6	D5	D4	D3	D2	D1	D0
		WIE	AIE	PFE	0	H/L	P/L	0	0
WIE		看门狗中断使能。当该位被设置为‘1’并发生看门狗超时时，看门狗定时器将驱动 INT 引脚和 WDF 标志。当设置为‘0’时，看门狗定时器仅对 WDF 标志产生影响。							
AIE		警报中断使能。当设置为‘1’时，警报匹配将驱动 INT 引脚和 AF 标志。当设置为‘0’时，警报匹配只影响 AF 标志。							
PFE		断电使能。当设置为‘1’时，断电监控器驱动 INT 引脚和 PF 标志。当 PFE 设置为‘0’时，断电监控器只影响 PF 标志。							
0		留作日后使用							
H/L		高电平 / 低电平。当设置为‘1’时，将 INT 引脚驱动为高电平有效。当设置为‘0’时，INT 引脚为开漏，低电平有效。							
P/L		脉冲 / 电平。当设置为‘1’时，INT 引脚会由一个约 200 ms 的中断源驱动为有效状态（由 H/L 决定）。当设置为‘0’时，INT 引脚驱动到有效电平状态（由 H/L 设置），直到标志寄存器被读取。							
0x1FFF5	0x0FFF5	警报一日期							
		D7	D6	D5	D4	D3	D2	D1	D0
		M	0	警报日期（x10）		警报日期			
		包含警报日期值以及用于选择或取消选择日期值的掩码位。							
M		匹配。当该位被设置为‘0’时，警报匹配中使用日期值。将该位设置为‘1’会导致匹配电路忽略日期值。							

表 4. 寄存器映射的详细信息（续）

寄存器		说明							
CY14B101KA	CY14B101MA								
0x1FFF4	0x0FFF4	警报 — 小时							
		D7	D6	D5	D4	D3	D2	D1	D0
		M	0	警报小时 （x10）		警报小时			
		包含警报小时值和用于选择或取消选择小时值的掩码位。							
M		匹配。当该位被设置为 ‘0’ 时，在警报匹配中使用小时值。将该位设置为 ‘1’ 时，匹配电路将忽略小时值。							
0x1FFF3	0x0FFF3	警报 — 分钟							
		D7	D6	D5	D4	D3	D2	D1	D0
		M	警报分钟 （x10）			警报分钟			
		包含警报分钟值以及用于选择或取消选择分钟值的掩码位。							
M		匹配。当该位被设置为 ‘0’ 时，在警报匹配中使用分钟值。将该位设置为 ‘1’ 会导致匹配电路忽略分钟值。							
0x1FFF2	0x0FFF2	警报 — 秒							
		D7	D6	D5	D4	D3	D2	D1	D0
		M	警报秒 （x10）			警报秒			
		包含警报秒值以及用于选择或取消选择秒值的掩码位。							
M		匹配。当该位被设置为 ‘0’ 时，在警报匹配中使用秒值。将该位设置为 ‘1’ 时，匹配电路将忽略秒值。							
0x1FFF1	0x0FFF1	计时 — 世纪							
		D7	D6	D5	D4	D3	D2	D1	D0
		世纪 （x10）				世纪			
		包含世纪的 BCD 值低位半字节 （四位）包含低位数字，其范围为 0 到 9；高位半字节 （四位）包含高位数字，其范围为 0 到 9。该寄存器的范围为 0 到 99 世纪。							
0x1FFF0	0x0FFF0	标志							
		D7	D6	D5	D4	D3	D2	D1	D0
		WDF	AF	PF	OSCF	0	CAL	W	R
WDF		看门狗定时器标志。当在没有用户复位情况下允许看门狗定时器达到 0 时，该只读位被设置为 ‘1’。当标志寄存器被读取或加电时，该位被清除为 0。							
AF		警报标志。当时间和日期与储存在警报寄存器中的值相匹配且匹配位为 ‘0’ 时，此只读位被设置为 ‘1’。当标志寄存器被读取或被加电时，该位将被清除。							
PF		断电标志。当电源下降到低于断电阈值 V _{SWITCH} 时，只读位被设置为 ‘1’。当标志寄存器被读取或加电时，该位被清除为 0。							
OSCF		振荡器失败标志。如果振荡器被使能而且在前 5 毫秒的操作时间内未运行，那么在加电时将被设置为 ‘1’。这表示 RTC 备用电源中断而且时钟值不再有效。在加电周期后该位保持不变，并且不能被芯片内部清除。用户必须检查该条件并通过写入数值 ‘0’ 来清除该标志。当用户复位 OSCF 标志位时，在 t _{RTCp} 时间后该位将被更新。							
CAL		校准模式。当该位被设置为 ‘1’ 时，INT 引脚会输出 512 Hz 的方波。当被设置为 ‘0’ 时，INT 引脚恢复正常操作。加电时，该位默认为 ‘0’ （禁用）。							
W		写使能：将 ‘W’ 位设置为 ‘1’ 会冻结对 RTC 寄存器进行的更新。然后用户可以写入 RTC 寄存器、警报寄存器、校准寄存器、中断寄存器和标志寄存器内。如果时间被更改，那么将 ‘W’ 设置为 ‘0’ 会导致 RTC 寄存器中的内容被传输到计时计数器中。完成该传输过程需要 t _{RTCp} 时间。加电时，该位默认为 0。							
R		读使能：将 ‘R’ 位设置为 ‘1’ 会停止用户 RTC 寄存器中的时钟更新，以便在读取过程中不显示时钟更新。将 ‘R’ 位设置为 ‘0’ 以恢复对保持寄存器的时钟更新。设置该位不需要将 ‘W’ 位设置为 ‘1’。加电时，该位默认为 0。							

最大额定值

超过最大额定值可能会影响器件的使用寿命。这些用户指南未经过测试。

存储温度 -65 °C 到 +150 °C

最长存储时间

在 150°C 环境温度下 1000 个小时

在 85°C 环境温度下 20 年

最高结温 150 °C

V_{CC} 上相对于 V_{SS} 的供电电压 -0.5 V 到 4.1 V

应用于高阻态的输出电压 -0.5 V 到 $V_{CC} + 0.5 V$

输入电压 -0.5 V 到 $V_{CC} + 0.5 V$

处于接地电位的所有引脚上的

瞬变电压 (< 20 ns) -2.0 V 到 $V_{CC} + 2.0 V$

封装功率散耗能力 ($T_A = 25 °C$) 1.0 W

表面贴装铅焊温度 (3 秒) +260 °C

直流输出电流 (每次只输出 1 路电流, 持续时间为 1 秒) 15 mA

静电放电电压

(根据 MIL-STD-883, 方法 3015) > 2001 V

门锁电流 > 200 mA

工作范围

范围	环境温度	V_{CC}
工业级	-40°C 至 +85°C	2.7 V 至 3.6 V

直流电气特性

在工作范围内

参数	说明	测试条件	最小值	典型值 ^[18]	最大值	单位
V_{CC}	供电电压		2.7	3.0	3.6	V
I_{CC1}	V_{CC} 平均电流	$t_{RC} = 25 \text{ ns}$ $t_{RC} = 45 \text{ ns}$ 无输出负载下取得的值 ($I_{OUT} = 0 \text{ mA}$)	—	—	70 52	mA mA
I_{CC2}	存储过程中的 V_{CC} 平均电流	无需关注所有的输入, $V_{CC} = \text{最大值}$ t_{STORE} 期间的平均电流	—	—	10	mA
I_{CC3} ^[18]	在 $t_{RC} = 200 \text{ ns}$, $V_{CC(Typ)}$ 和 25 °C 条件下的 V_{CC} 平均电流	所有输入在 CMOS 电平循环。 无输出负载下取得的值 ($I_{OUT} = 0 \text{ mA}$)。	—	35	—	mA
I_{CC4}	自动存储周期期间的 V_{CAP} 平均电流	无需关注所有的输入。 t_{STORE} 期间的平均电流	—	—	5	mA
I_{SB}	V_{CC} 待机电流	$\overline{CE} \geq (V_{CCQ} - 0.2 \text{ V})$ 。 $V_{IN} \leq 0.2 \text{ V}$ 或 $\geq (V_{CC} - 0.2 \text{ V})$ 。 ‘W’ 位设置为 “0” 非易失性循环完成后的待机电流强度。输入为静态。 $f = 0 \text{ MHz}$ 。	—	—	5	mA
I_{IX} ^[19]	输入漏电流 (HSB 除外)	$V_{CC} = \text{最大值}$, $V_{SS} \leq V_{IN} \leq V_{CC}$	-1	—	+1	μA
	输入漏电流 (用于 HSB)	$V_{CC} = \text{最大值}$, $V_{SS} \leq V_{IN} \leq V_{CC}$	-100	—	+1	μA
I_{OZ}	关闭状态的输出漏电流	$V_{CC} = \text{Max}$, $V_{SS} \leq V_{OUT} \leq V_{CC}$, $\overline{CE}$ 或 $\overline{OE} \geq V_{IH}$ 或 $BHE/BLE \geq V_{IH}$ 或 $\overline{WE} \leq V_{IL}$	-1	—	+1	μA
V_{IH}	输入高电平电压		2.0	—	$V_{CC} + 0.5$	V
V_{IL}	—		$V_{SS} - 0.5$	—	0.8	V
V_{OH}	输出高电平电压	$I_{OUT} = -2 \text{ mA}$	2.4	—	—	V
V_{OL}	输出低电平电压	$I_{OUT} = 4 \text{ mA}$	—	—	0.4	V

注释:

18. 典型值的温度为 25°C、 $V_{CC} = V_{CC(Typ)}$ 。并未经过 100% 测试。

19. 如果高电平有效和低电平有效的驱动程序均被禁用, 那么在 HSB 引脚上, V_{OH} 等于 2.4 V 时, $I_{OUT} = -2 \mu A$ 。使能这些驱动程序后, 标准 V_{OH} 和 V_{OL} 均有效。该参数被特性表征化, 但未进行过测试。

直流电气特性（续）

在工作范围内

参数	说明	测试条件	最小值	典型值 ^[18]	最大值	单位
$V_{CAP}^{[20]}$	存储电容	在 V_{CAP} 引脚和 V_{SS} 之间	61	68	180	μF
$V_{VCAP}^{[21, 22]}$	器件在 V_{CAP} 引脚上的最大驱动电压	$V_{CC} = \text{最大值}$	—	—	V_{CC}	V

数据保留时间与耐久性

在工作范围内

参数	说明	最小值	单位
$DATA_R$	数据保留时间	20	年
NV_C	非易失性存储操作	1,000	K

电容

参数 ^[22]	说明	测试条件	最大值	单位
C_{IN}	输入电容（ $\overline{BHE}$, $\overline{BLE}$ 和 $\overline{HSB}$ 除外）	$T_A = 25^\circ C$, $f = 1\text{ MHz}$, $V_{CC} = V_{CC(Typ)}$	7	pF
	输入电容（适用于 $\overline{BHE}$, $\overline{BLE}$ 和 $\overline{HSB}$ ）		8	pF
C_{OUT}	输出电容（ $\overline{HSB}$ 除外）		7	pF
	输出电容（用于 $\overline{HSB}$ ）		8	pF

热电阻

参数 ^[22]	说明	测试条件	48 引脚 SSOP	44 引脚 TSOP II	54 引脚 TSOP II	单位
Θ_{JA}	热阻 (结至环境)	根据 EIA/JESD51 的要求, 测试条件遵循测试热阻的标准测试方法和流程。	37.47	41.74	36.4	$^\circ C/W$
Θ_{JC}	热阻 (结至外壳)		24.71	11.90	10.13	$^\circ C/W$

注释:

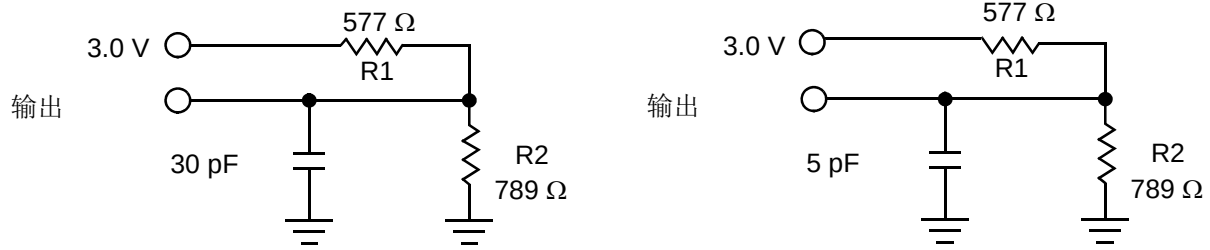
20. V_{CAP} 的最小值可保证能够提供用来完成自动存储操作的电荷。在加电回读周期内, V_{CAP} 的最大值确保使用了最小的电压给 V_{CAP} 上的电容充电。这样, 在紧急断电期间, 可以顺利地地完成自动存储操作。因此, 建议始终使用介于指定的最小和最大值之间的电容。欲了解有关 V_{CAP} 选项的详细信息, 请参考应用笔记 [AN43593](#)。

21. 当选择 V_{CAP} 电容时, 将提供 V_{CAP} 引脚上的最大电压 (V_{VCAP}) 作为指导。在工作温度范围内, V_{CAP} 电容的额定电压应高于 V_{VCAP} 电压。

22. 这些参数由设计保证, 但未进行过测试。

交流测试负载

图 7. 交流测试负载



交流测试条件

输入脉冲电平 0 V 到 3 V
输入上升和下降时间（10% – 90%） ≤ 3 ns
输入和输出的时序参考电平 1.5 V

RTC 特性

在工作范围内

参数	说明		最小值	典型值 ^[23]	最大值	单位
V_{RTCbat}	RTC 电池引脚电压		1.8	3.0	3.6	V
$I_{BAK}^{[24]}$	RTC 备用电流 (请参见图 5, 了解推荐的 RTC 外部组件)	T_A (最小值)	–	–	0.35	μA
		25 °C	–	0.35	–	μA
		T_A (最大值)	–	–	0.5	μA
$V_{RTCcap}^{[25]}$	RTC 电容引脚电压	T_A (最小值)	1.6	–	3.6	V
		25 °C	1.5	3.0	3.6	V
		T_A (最大值)	1.4	–	3.6	V
t_{OCS}	RTC 振荡器启动时间		–	1	2	s
t_{RTCp}	将 ‘W’ 位置为 ‘0’ 后的 RTC 处理时间。		–	–	350	μs
R_{BKCHG}	RTC 备用电容充电限流电阻		350	–	850	Ω

注释:

23. 这些参数仅通过设计保证, 并未经过测试。

24. 从 V_{RTCcap} 或 V_{RTCbat} 。

25. 如果 $V_{RTCcap} > 0.5 V$ 或电容未连接到 V_{RTCcap} 引脚, 振荡器将在 t_{OCS} 时间内启动。如果已连接了一个备用电容, 并且 $V_{RTCcap} < 0.5 V$, 要想启动振荡器, 必须能够将电容充电至 0.5 V。

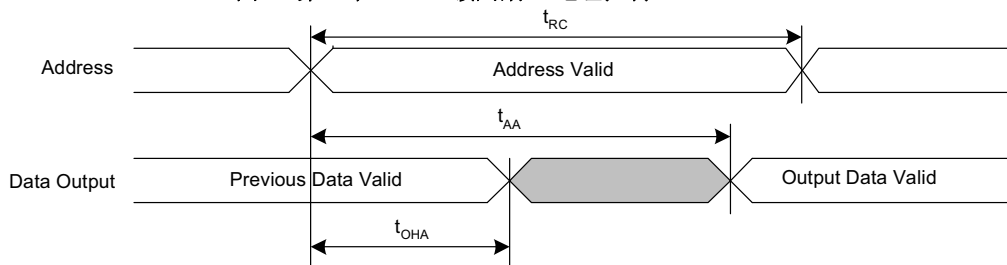
交流切换特性

在工作范围内

参数 ^[26]		说明	25 ns		45 ns		–
赛普拉斯参数	备用参数		最小值	最大值	最小值	最大值	
SRAM 读周期							
t _{ACE}	t _{ACS}	芯片使能访问时间	–	25	–	45	ns
t _{RC} ^[27]	t _{RC}	读周期的时间	25	–	45	–	ns
t _{AA} ^[28]	t _{AA}	地址访问时间	–	25	–	45	ns
t _{DOE}	t _{OE}	输出使能到数据有效的时间	–	12	–	20	ns
t _{OHA} ^[28]	t _{OH}	地址更改后的输出保持时间	3	–	3	–	ns
t _{LZCE} ^[29、30]	t _{LZ}	芯片使能到输出有效的时间	3	–	3	–	ns
t _{HZCE} ^[29、30]	t _{HZ}	芯片禁用到输出无效的时间	–	10	–	15	ns
t _{LZOE} ^[29、30]	t _{OLZ}	输出被使能到输出有效的时间	0	–	0	–	ns
t _{HZOE} ^[29、30]	t _{OHZ}	从输出被禁用到输出无效的时间	–	10	–	15	ns
t _{PU} ^[29]	t _{PA}	芯片被使能到电源有效的时间	0	–	0	–	ns
t _{PD} ^[29]	t _{PS}	芯片被禁用到电源待机的时间	–	25	–	45	ns
t _{DBE}	–	字节被使能到数据有效的时间	–	12	–	20	ns
t _{LZBE} ^[29]	–	字节被使能到输出有效的时间	0	–	0	–	ns
t _{HZBE} ^[29]	–	字节被禁用到输出无效的时间	–	10	–	15	ns
SRAM 写周期							
t _{WC}	t _{WC}	写周期时间	25	–	45	–	ns
t _{PWE}	t _{WP}	写入脉冲宽度	20	–	30	–	ns
t _{SCE}	t _{CW}	字节被使能到写周期结束的时间	20	–	30	–	ns
t _{SD}	t _{DW}	数据建立到写周期结束的时间	10	–	–	–	ns
t _{HD}	t _{DH}	写周期结束后的数据保持时间	0	–	0	–	ns
t _{AW}	t _{AW}	地址建立到写周期结束的时间	20	–	30	–	ns
t _{SA}	t _{AS}	地址建立到写周期开始的时间	0	–	0	–	ns
t _{HA}	t _{WR}	写周期结束后的地址保持时间	0	–	0	–	ns
t _{HZWE} ^[29、30、31]	t _{WZ}	写周期使能到输出禁用的时间	–	10	–	15	ns
t _{LZWE} ^[29、30]	t _{OW}	写周期结束到输出有效的时间	3	–	3	–	ns
t _{BW}	–	字节使能到写周期结束的时间	20	–	30	–	ns

切换波形

图 8. 第一个 SRAM 读周期（地址控制）^[27、28、32]



注释:

26. 测试条件采用了不大于 3 ns 的信号跳变时间， $V_{CC}/2$ 的时序参考电平，0 至 $V_{CC(typ)}$ 的输入脉冲电平以及第 19 页上的图 7 中所指定的 I_{OL}/I_{OH} 的输出负载和负载电容。
27. WE 必须在 SRAM 读周期中保持高电平状态
28. 当 CE、OE 和 BHE/BLE 均为低电平时，器件会继续被选中。
29. 这些参数得到设计保证，但未经过测试。
30. 稳定状态下测量到的输出电压为 ± 200 mV。
31. 如果 CE 变为低电平时 WE 仍处于低电平状态，那么输出会保持在高阻抗状态。
32. HSB 必须在读和写周期内保持高电平状态

切换波形 (续)

图 9. 第二个 SRAM 读周期 (受 $\overline{CE}$ 和 $\overline{OE}$ 控制) [33、34、35]

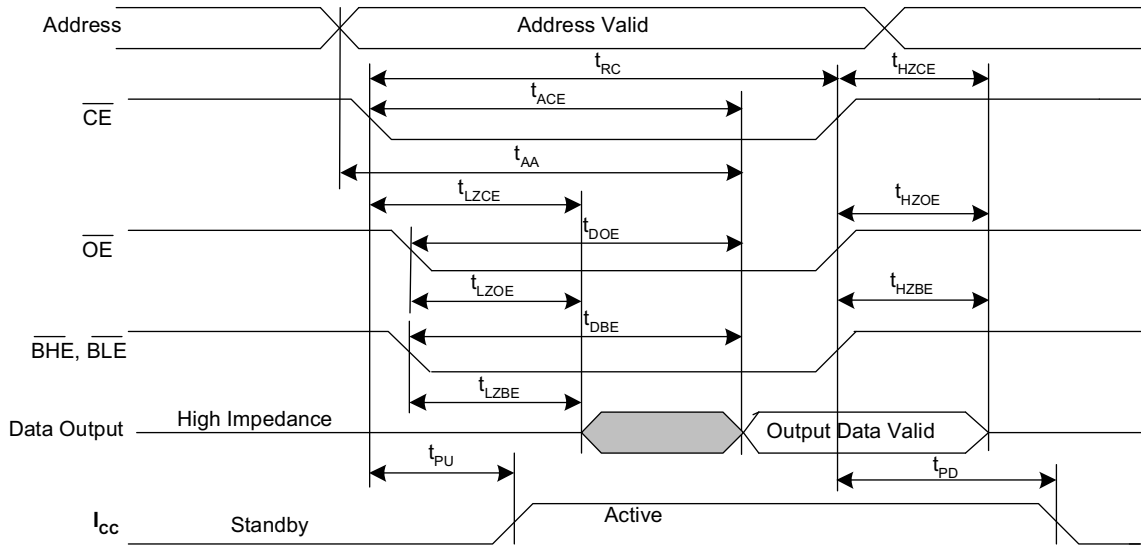
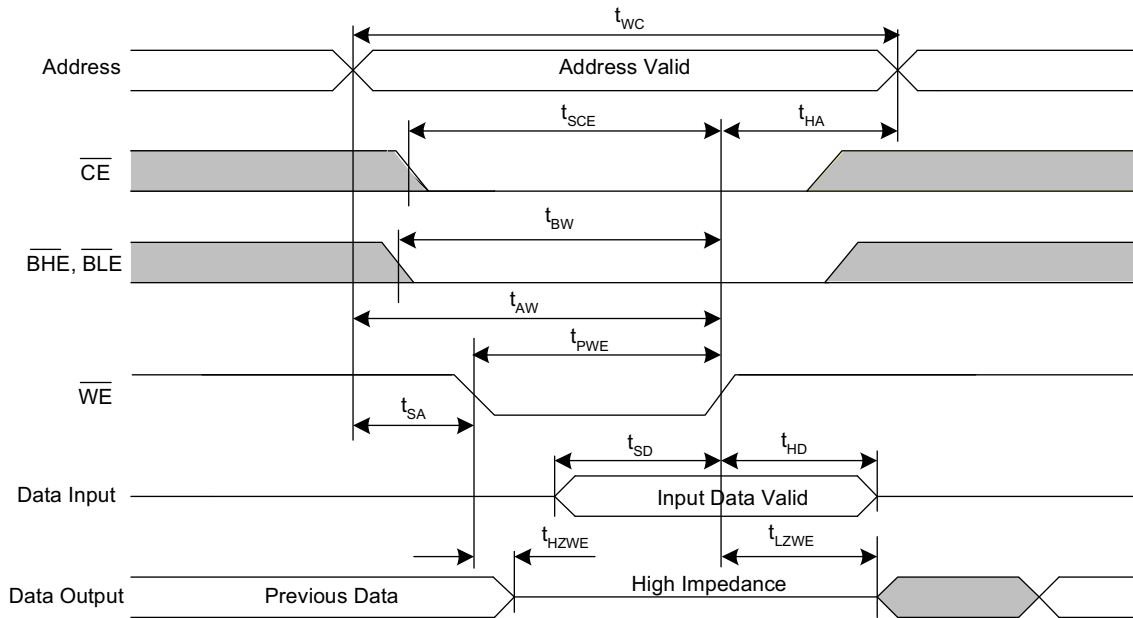


图 10. 第一个 SRAM 读周期 (受 $\overline{WE}$ 控制) [33、35、36、37]



注释:

33. $\overline{BHE}$ 和 $\overline{BLE}$ 仅适用于 $\times 16$ 配置。
34. $\overline{WE}$ 必须在 SRAM 读周期内保持高电平状态。
35. $\overline{HSB}$ 必须在读和写周期内保持高电平状态。
36. 如果 $\overline{CE}$ 变为低电平时 $\overline{WE}$ 处于低电平状态, 输出会保持在高阻抗状态。
37. 地址转换期间, $\overline{CE}$ 或 $\overline{WE}$ 必须 $\geq V_{IH}$ 。

切换波形（续）

图 11. 第二个 SRAM 写周期（受 $\overline{CE}$ 控制） [38、39、40、41]

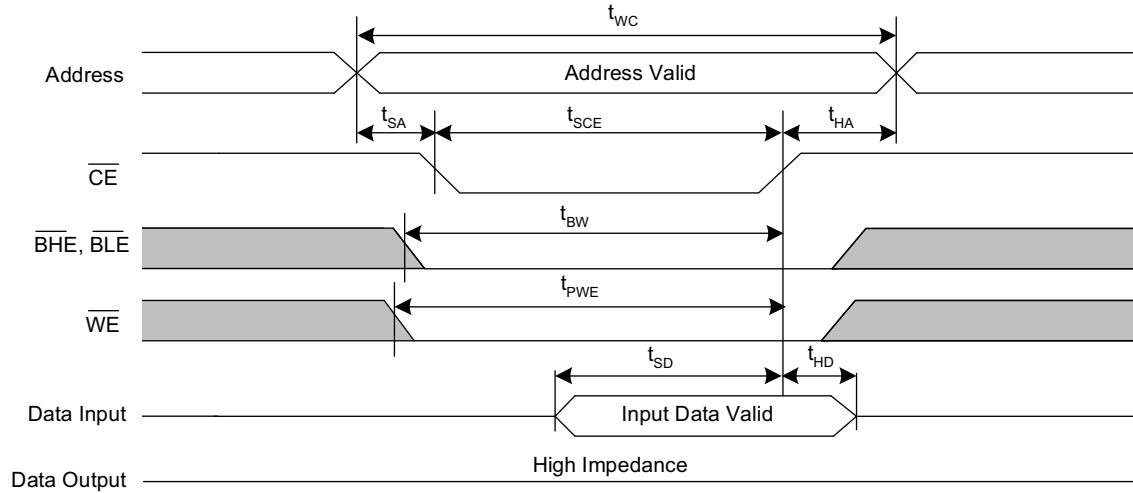
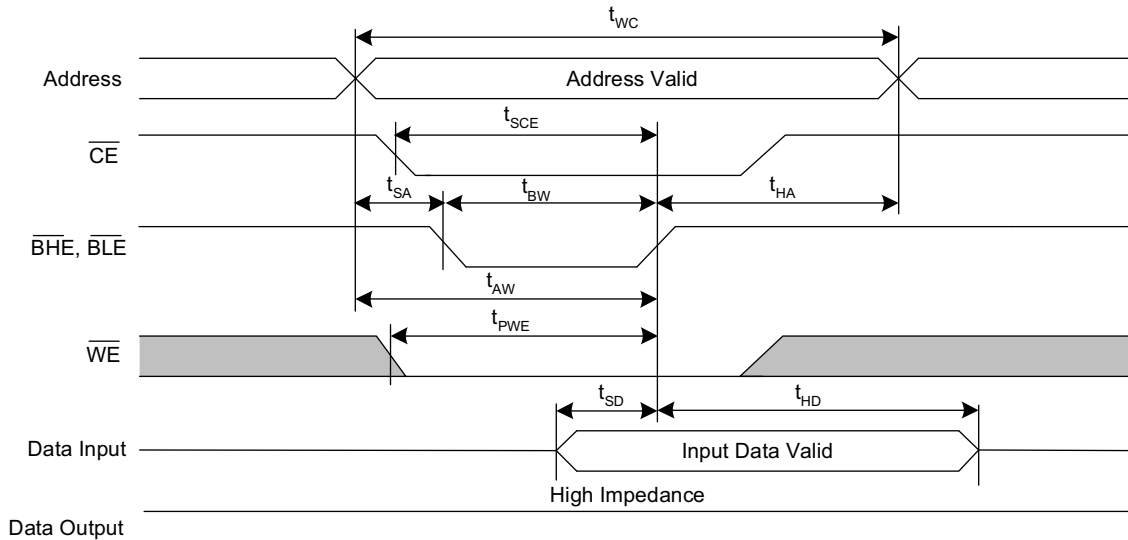


图 12. 第三个 SRAM 写周期（受 $\overline{BHE}$ 和 $\overline{BLE}$ 控制） [39、40、41、42、43]

（不适用于对 RTC 寄存器的写入操作）



注释:

38. $\overline{BHE}$ 和 $\overline{BLE}$ 仅适用于 $\times 16$ 配置。
39. 如果 $\overline{CE}$ 变为低电平时 $\overline{WE}$ 也处于低电平状态，则输出会保持高阻抗状态。
40. HSB 必须在读和写周期内保持高电平状态
41. 地址转换期间， $\overline{CE}$ 或 $\overline{WE}$ 必须 $\geq V_{IH}$ 。
42. CY14B101KA 上有 19 个地址行（CY14B101MA 上有 18 个地址行），只有 13 个地址行（ $A_{14} \sim A_2$ ）用于控制软件模式。余下的地址行无需关注
43. 仅允许 $\overline{CE}$ 和 $\overline{WE}$ 控制对 RTC 寄存器进行的写操作。在 $\overline{CE}$ 或 $\overline{WE}$ 引脚处于低电平时， $\overline{BLE}$ 引脚必须保持为低电平状态，以能够写入到 RTC 寄存器中。

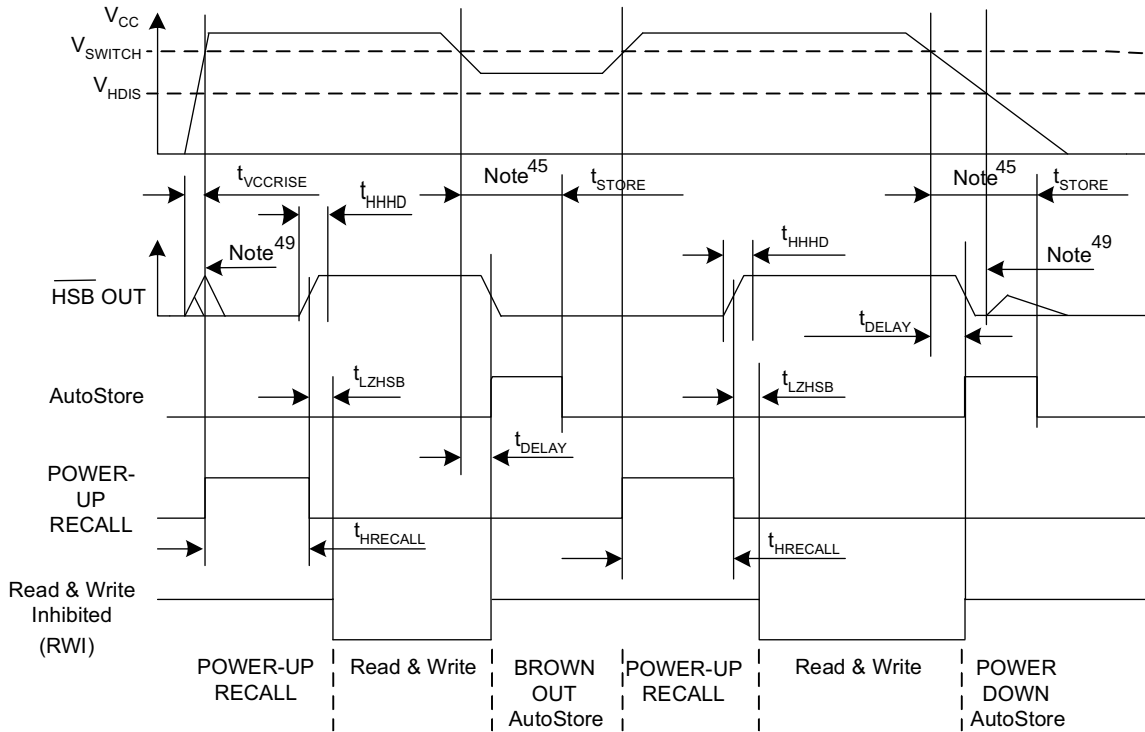
自动存储 / 加电回读

在工作范围内

参数	说明	CY14B101KA/CY14B101MA		单位
		最小值	最大值	
$t_{HRECALL}^{[44]}$	加电回读时间	—	20	ms
$t_{STORE}^{[45]}$	存储周期时间	—	8	ms
$t_{DELAY}^{[46]}$	完成 SRAM 写入周期所允许的时间	—	25	ns
V_{SWITCH}	低电压触发电平	—	2.65	V
$t_{VCCRRISE}^{[47]}$	V_{CC} 上升时间	150	—	μ s
$V_{HDIS}^{[47]}$	HSB 输出禁用电压	—	1.9	V
$t_{LZHSB}^{[47]}$	HSB 到输出有效的时间	—	5	μ s
$t_{HHHD}^{[47]}$	HSB 高电平有效时间	—	500	ns

切换波形

图 13. 自动存储或加电回读^[48]



注释:

44. 当 V_{CC} 大于 V_{SWITCH} 时, 将开始计算 $t_{HRECALL}$ 。
45. 如果最后一次非易失性循环完成后尚未对 SRAM 进行写操作, 将不会发生自动存储或硬件存储操作。
46. 在启动硬件存储和自动存储时, 会在 t_{DELAY} 时间内持续使能 SRAM 写操作。
47. 这些参数由设计保证, 但未进行过测试。
48. 在 V_{CC} 低于 V_{SWITCH} 的情况下, 在存储、回读的过程中会忽略读写周期。
49. 在加电和断电期间, 在通过外部电阻上拉 HSB 引脚时, HSB 将发生短时脉冲。

软件控制存储 / 回读周期

在 工作范围内

参数 [50、51]	说明	25 ns		45 ns		单位
		最小值	最大值	最小值	最大值	
t_{RC}	存储 / 回读初始化周期的时间	25	—	45	—	ns
t_{SA}	地址建立时间	0	—	0	—	ns
t_{CW}	时钟脉冲宽度	20	—	30	—	ns
t_{HA}	地址保持时间	0	—	0	—	ns
t_{RECALL}	回读持续时间	—	200	—	200	μs
t_{SS} [52、53]	软序列处理时间	—	100	—	100	μs

切换波形

图 14. $\overline{CE}$ 和 $\overline{OE}$ 控制软件存储 / 回读周期 [51]

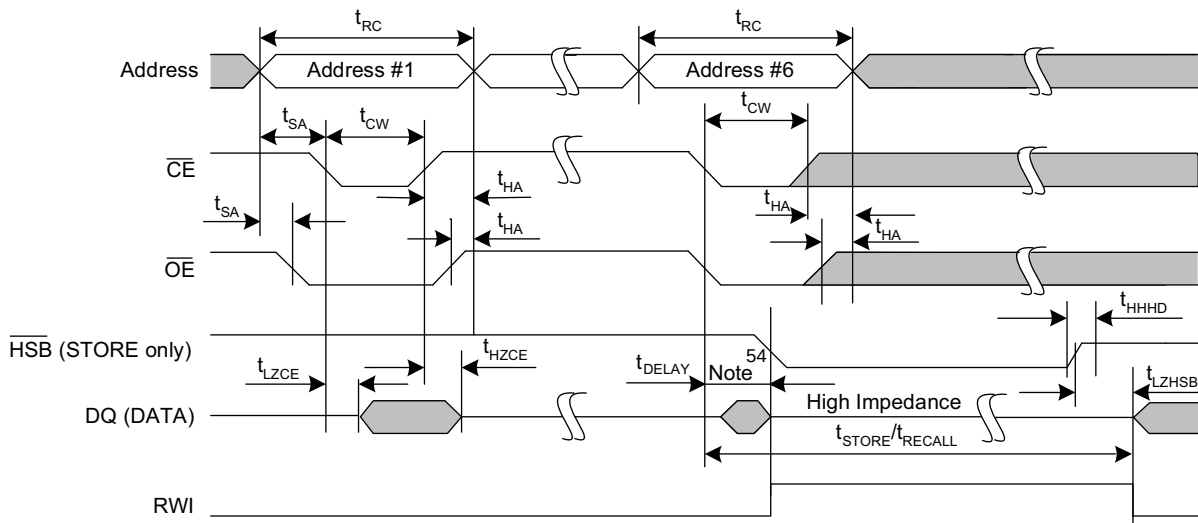
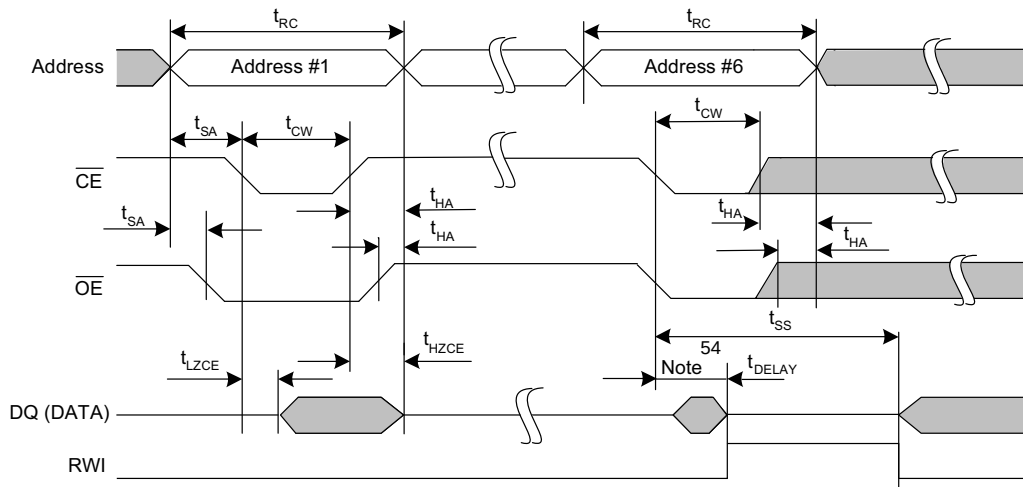


图 15. 自动存储使能 / 禁用周期 [51]



注释:

50. 由 $\overline{CE}$ 控制的或 $\overline{OE}$ 控制的读操作作为软件序列提供时钟脉冲。
51. 必须按表 1 列出的顺序读取六个连续地址。在六个连续周期内， $\overline{WE}$ 必须保持为高电平状态。
52. 这是执行软序列指令所耗费的时间。Vcc 电压必须保持高电平以保证有效地寄存指令。
53. 存储和回读等指令会锁定 I/O，直到操作完成为止，这样可以延长该时间。请参见特定的指令。
54. 由于在 t_{DELAY} 时间内禁用输出，第六次读取的 DQ 输出数据可能无效。

硬件存储周期

在工作范围内

参数	说明	CY14B101KA/CY14B101MA		单位
		最小值	最大值	
t_{DHSB}	未设置写入锁存时的从 HSB 到输出有效时间	—	25	ns
t_{PHSB}	硬件存储脉冲宽度	15	—	ns

切换波形

图 16. 硬件存储周期^[55]

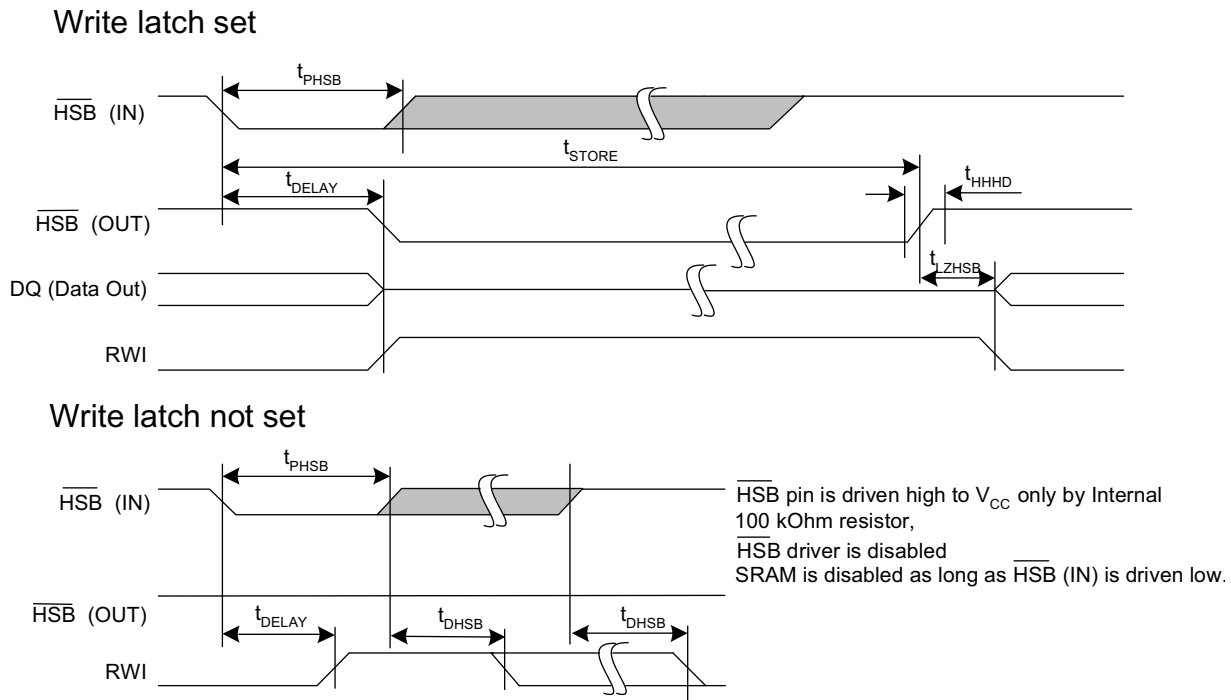
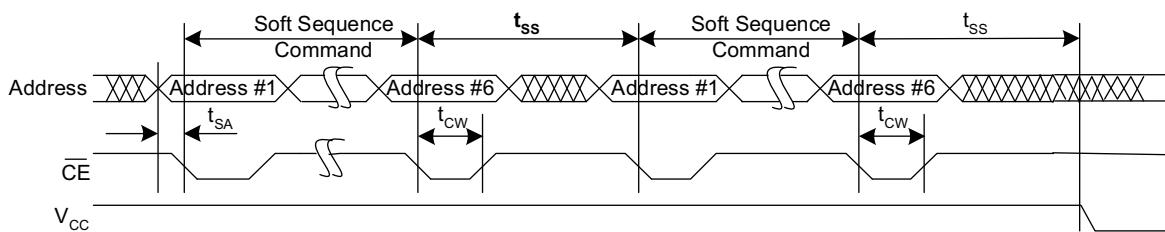


图 17. 软序列处理时间^[56、57]



注释:

55. 如果最后一次非易失性循环完成后尚未对 SRAM 进行写操作，则将不会发生自动存储或硬件存储操作。
56. 这是执行软序列指令所耗费的时间。 V_{CC} 电压必须保持高电平以保证有效地寄存指令。
57. 存储和回读等指令会锁定 I/O，直到操作完成，这样会更加延长此时间。请参见特定的指令。

SRAM 操作的真值表

在 SRAM 操作过程中， $\overline{\text{HSB}}$ 必须保持为高电平。

表 5. $\times 8$ 配置的真值表

$\overline{\text{CE}}$	$\overline{\text{WE}}$	$\overline{\text{OE}}$	输入 / 输出 ^[58]	模式	电源
H	X	X	高阻态	取消选择 / 断电	待机
L	H	L	数据输出 ($\text{DQ}_0\text{--}\text{DQ}_7$)	读取	活动
L	H	H	高阻态	输出处于禁用状态	活动
L	L	X	数据输入 ($\text{DQ}_0\text{--}\text{DQ}_7$)	写入	活动

表 6. $\times 16$ 配置的真值表

$\overline{\text{CE}}$	$\overline{\text{WE}}$	$\overline{\text{OE}}$	$\overline{\text{BHE}}$ ^[59]	$\overline{\text{BLE}}$ ^[59]	输入 / 输出 ^[58]	模式	电源
H	X	X	X	X	高阻态	取消选择 / 断电	待机
L	X	X	H	H	高阻态	输出处于禁用状态	活动
L	H	L	L	L	数据输出 ($\text{DQ}_0\text{--}\text{DQ}_{15}$)	读取	活动
L	H	L	H	L	数据输出 ($\text{DQ}_0\text{--}\text{DQ}_7$) $\text{DQ}_8\text{--}\text{DQ}_{15}$ 处于高阻态	读取	活动
L	H	L	L	H	数据输出 ($\text{DQ}_8\text{--}\text{DQ}_{15}$) $\text{DQ}_0\text{--}\text{DQ}_7$ 处于高阻态	读取	活动
L	H	H	L	L	高阻态	输出处于禁用状态	活动
L	H	H	H	L	高阻态	输出处于禁用状态	活动
L	H	H	L	H	高阻态	输出处于禁用状态	活动
L	L	X	L	L	数据输入 ($\text{DQ}_0\text{--}\text{DQ}_{15}$)	写入	活动
L	L	X	H	L	数据输入 ($\text{DQ}_0\text{--}\text{DQ}_7$) $\text{DQ}_8\text{--}\text{DQ}_{15}$ 处于高阻态	写入	活动
L	L	X	L	H	数据输入 ($\text{DQ}_8\text{--}\text{DQ}_{15}$) $\text{DQ}_0\text{--}\text{DQ}_7$ 处于高阻态	写入	活动

注释:

58. 数据 $\text{DQ}_0\text{--}\text{DQ}_7$ 适用于 $\times 8$ 配置；数据 $\text{DQ}_0\text{--}\text{DQ}_{15}$ 适用于 $\times 16$ 配置。

59. $\overline{\text{BHE}}$ 和 $\overline{\text{BLE}}$ 仅适用于 $\times 16$ 配置。

订购信息

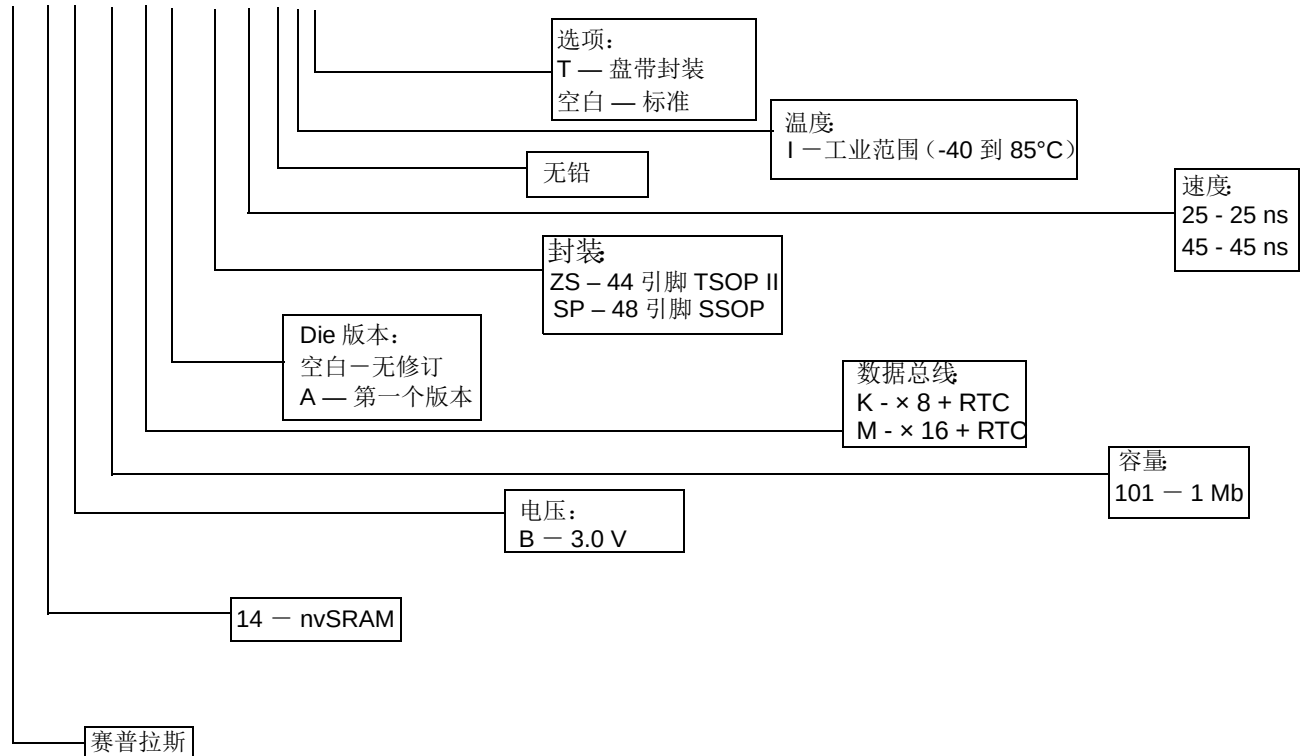
赛普拉斯还提供了该类型产品的其他版本，可使用多种不同的配置和特性。下表仅包含目前可以供应的器件列表。有关所有选项的完整列表，请访问赛普拉斯网站 www.cypress.com 并参考 <http://www.cypress.com/products> 上的产品汇总页，或联系您的当地销售代表。赛普拉斯公司拥有一个由办事处、解决方案中心、工厂代表和经销商组成的全球性网络。要查找距您最近的办事处，请访问 <http://www.cypress.com/go/datasheet/offices>。

速度 (ns)	订购代码	封装图	封装类型	工作范围
25	CY14B101KA-ZS25XIT	51-85087	44 引脚 TSOP II	工业级
	CY14B101KA-ZS25XI	51-85087	44 引脚 TSOP II	
	CY14B101KA-SP25XIT	51-85061	48 引脚 SSOP	
	CY14B101KA-SP25XI	51-85061	48 引脚 SSOP	
45	CY14B101KA-ZS45XIT	51-85087	44 引脚 TSOP II	
	CY14B101KA-ZS45XI	51-85087	44 引脚 TSOP II	
	CY14B101KA-SP45XIT	51-85061	48 引脚 SSOP	
	CY14B101KA-SP45XI	51-85061	48 引脚 SSOP	

上述的所有器件都是无铅的。

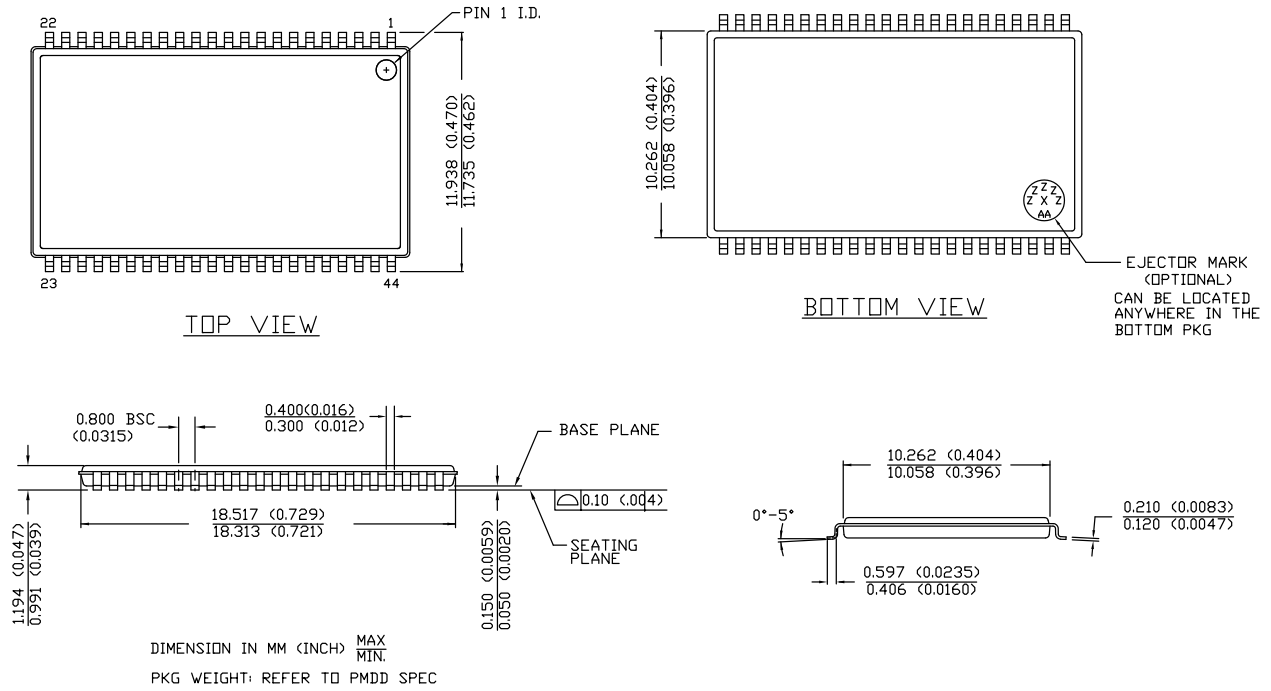
订购代码定义

CY 14 B 101 K A - ZS 25 X I T



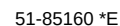
封装图

图 18. 44 引脚 TSOP II 封装外形, 51-85087



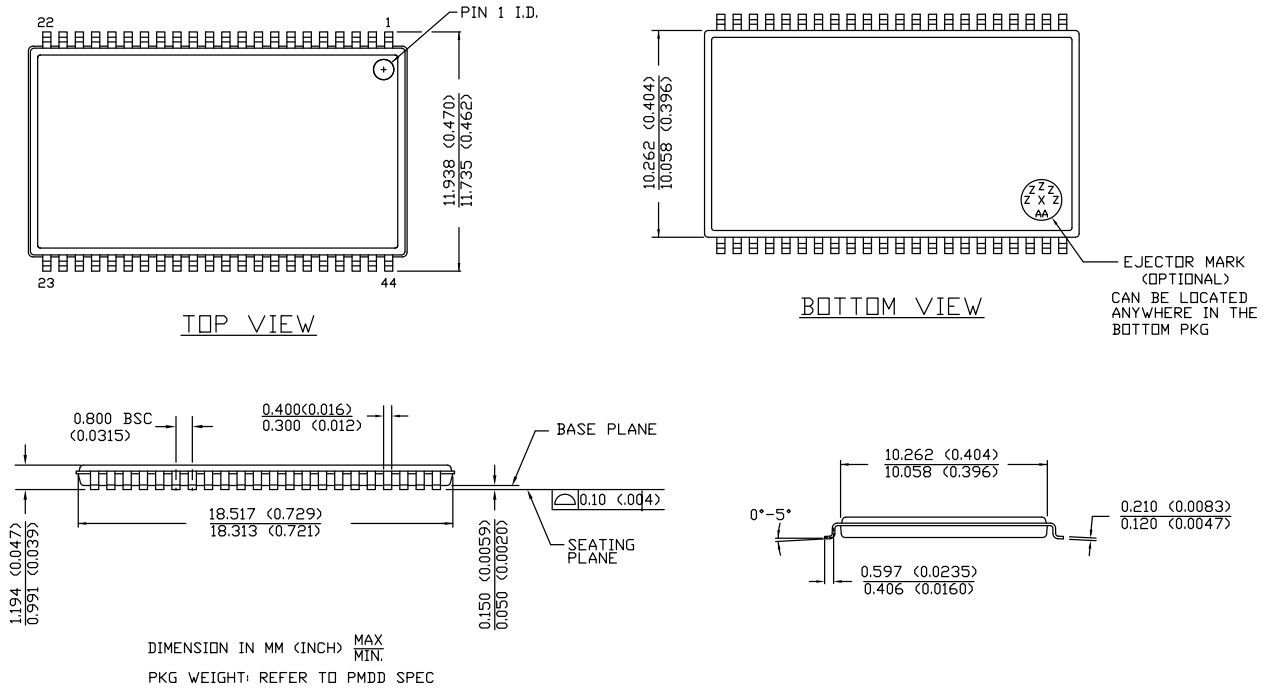
51-85087 *E

图 19. 54 引脚 TSOP II (22.4 × 11.84 × 1.0 mm) 封装外形, 51-85160



封装图 (续)

图 20. 48 引脚 SSOP (300 Mil) 封装外形, 51-85061



51-85061 *F

缩略语

缩略语	说明
BCD	二进制十进数
$\overline{\text{BHE}}$	字节高电平使能
$\overline{\text{BLE}}$	字节低电平使能
$\overline{\text{CE}}$	芯片使能
CMOS	互补金属氧化物半导体
EIA	电子工业联盟
$\overline{\text{HSB}}$	硬件存储繁忙
I/O	输入 / 输出
nvSRAM	非易失性静态随机存取存储器
$\overline{\text{OE}}$	输出使能
RoHS	有害物质限制
RWI	禁止读和写
RTC	实时时钟
SRAM	静态随机存取存储器
SSOP	紧缩小外形封装
TSOP	薄小外形封装
WE	写入使能

文档规范

测量单位

符号	测量单位
°C	摄氏度
F	法拉
Hz	赫兹
kbit	1024 位
kHz	千赫兹
k Ω	千欧姆
MHz	兆赫兹
μA	微安
μF	微法
μs	微秒
mA	毫安
ms	毫秒
ns	纳秒
Ω	欧姆
%	百分比
pF	皮法
ppm	百万分率
V	伏特
W	瓦特

文档修订记录

文档标题: CY14B101KA/CY14B101MA , 具有实时时钟的 1 Mbit (128 K × 8/64 K × 16) nvSRAM 文档编号: 001-95809				
版本	ECN 编号	提交日期	变更者	变更说明
**	4691559	04/15/2015	WAHY	本文档版本号为 Rev**, 译自英文版 001-42880 Rev*M。

销售、解决方案和法律信息

全球销售和 design 支持

赛普拉斯公司拥有一个由办事处、解决方案中心、工厂代表和经销商组成的全球性网络。要找到离您最近的办事处，请访问[赛普拉斯所在地](#)。

产品

汽车级产品	cypress.com/go/automotive
时钟与缓冲器	cypress.com/go/clocks
接口	cypress.com/go/interface
照明与电源控制	cypress.com/go/powerpsoc cypress.com/go/plc
存储器	cypress.com/go/memory
PSoC	cypress.com/go/psoc
触摸感应产品	cypress.com/go/touch
USB 控制器	cypress.com/go/USB
无线 / 射频	cypress.com/go/wireless

PSoC® 解决方案

psoc.cypress.com/solutions
PSoC 1 | PSoC 3 | PSoC 4 | PSoC 5LP

赛普拉斯开发者社区

[社区](#) | [论坛](#) | [博客](#) | [视频](#) | [训练](#)

技术支持

cypress.com/go/support

© 赛普拉斯半导体公司，2008-2015。此处所包含的信息可能会随时更改，恕不另行通知。除赛普拉斯产品内嵌的电路外，赛普拉斯半导体公司不对任何其他电路的使用承担任何责任。也不根据专利或其他权利以明示或暗示的方式授予任何许可。除非与赛普拉斯签订明确的书面协议，否则赛普拉斯不保证产品能够用于或适用于医疗、生命支持、救生、关键控制或安全应用领域。此外，对于可能发生运转异常和故障并对用户造成严重伤害的生命支持系统，赛普拉斯不授权将其产品用作此类系统的关键组件。若将赛普拉斯产品用于生命支持系统中，则表示制造商将承担因此类使用而招致的所有风险，并确保赛普拉斯免于因此而受到任何指控。

所有源代码（软件和 / 或固件）均归赛普拉斯半导体公司（赛普拉斯）所有，并受全球专利法规（美国和美国以外的专利法规）、美国版权法以及国际条约规定的保护和约束。赛普拉斯据此向获许可者授予适用于个人的、非独占性、不可转让的许可，用以复制、使用、修改、创建赛普拉斯源代码的派生作品、编译赛普拉斯源代码和派生作品，并且其目的只能是创建自定义软件和 / 或固件，以支持获许可者仅将其获得的产品依照适用协议规定的方式与赛普拉斯集成电路配合使用。除上述指定的用途外，未经赛普拉斯明确的书面许可，不得对此类源代码进行任何复制、修改、转换、编译或演示。

免责声明：赛普拉斯不针对此材料提供任何类型的明示或暗示保证，包括（但不限于）针对特定用途的适销性和适用性的暗示保证。赛普拉斯保留在不做出通知的情况下对此处所述材料进行更改的权利。赛普拉斯不对此处所述之任何产品或电路的应用或使用承担任何责任。对于可能发生运转异常和故障，并对用户造成严重伤害的生命支持系统，赛普拉斯不授权将其产品用作此类系统的关键组件。若将赛普拉斯产品用于生命支持系统中，则表示制造商将承担因此类使用而招致的所有风险，并确保赛普拉斯免于因此而受到任何指控。

产品使用可能受适用的赛普拉斯软件许可协议限制。