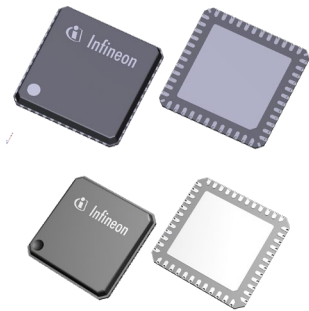




英飞凌多电压安全微控制器电源

特性

- 高效多电压电源 [集成电路 \(IC\)](#)
- 用于 3.0 V 至 40 V 的宽输入电压范围的串联升降压前级稳压器，具有完整的性能且总功率损耗低
- 用于通信电源 (LDO_Com) 的低压差后级稳压器 5.0 V，200 mA
- 用于微控制器供电 (LDO_μC) 的低压差后级稳压器 3.3 V，600 mA
- 为可选的外部后级稳压器（用于核供电）提供使能、同步输出信号和电压监测（集成在器件内部并可用于复位功能）
- 用于 [模数转换器 \(ADC\)](#) 供电，基准电压 5.0 V ±1%，150 mA 电流能力 (Volt_Ref)
- 用于传感器供电的两个电压跟随器遵循基准电压，每路提供 150 mA 电流能力 (Tracker 1 和 Tracker 2)
- 待机稳压器 3.3 V，10 mA (LDO_Stby)
- 具有复位功能的独立电压监测功能块
- 可配置的功能看门狗和窗口看门狗
- 16-bit [串行外设接口 \(SPI\)](#)
- 通过两个可编程延迟的安全状态信号进行安全状态控制
- 输入电压监测（过压关断）
- PRO-SIL™ 特性：安全手册和安全分析总结报告
- 符合 ISO 26262 标准的独立安全单元（SEooC），支持ASIL D 等级安全要求
- 绿色产品（符合 RoHS 标准）



潜在应用

- 功能安全应用

产品验证

汽车应用认证。产品验证符合 AEC-Q100 标准。

描述

英飞凌 CLF35584QVVS2 是一款高效的功能安全 [电源管理集成电路 \(PMIC\)](#)。

Type	Package	Marking (Line1 / Line2)
CLF35584QVVS2	PG-VQFN-48	CLF35584 / VS2

本数据手册的原文使用英文撰写。为方便起见，英飞凌提供了译文；由于翻译过程中可能使用了自动化工具，英飞凌不保证译文的准确性。为确认准确性，请务必访问 infineon.com 参考最新的英文版本（控制文档）。

目录

	特性.....	1
	潜在应用	1
	产品验证	1
	描述.....	1
	目录	2
1	框图.....	8
2	引脚配置	9
2.1	引脚分配.....	9
2.2	引脚定义和功能.....	10
3	产品基本特性	15
3.1	绝对最大额定值.....	15
3.2	功能范围.....	17
3.3	热阻.....	18
3.4	静态消耗电流.....	19
4	唤醒和使能功能	20
4.1	唤醒和使能功能介绍	20
4.2	电气特性：使能信号	21
4.3	电气特性：唤醒信号.....	22
5	前级稳压器	23
5.1	前级稳压器介绍.....	23
5.2	升压前级稳压器.....	24
5.2.1	功能描述：升压前级稳压器	24
5.2.2	电气特性：升压前级稳压器.....	25
5.3	降压前级稳压器.....	26
5.3.1	功能描述：降压前级稳压器	26
5.3.2	电气特性：降压前级稳压器.....	27
5.4	频率设定.....	29
5.4.1	频率设定介绍.....	29
5.4.2	电气特性：频率设定.....	29
6	后级稳压器	30
6.1	后级稳压器介绍.....	30
6.2	微控制器电源.....	32
6.2.1	功能描述：微控制器电源	32
6.2.2	电气特性：微控制器电源	33
6.3	通信电源.....	34
6.3.1	功能描述：通信电源.....	34
6.3.2	电气特性：通信电源	35

Table of contents

6.4	基准电压.....	36
6.4.1	功能描述：基准电压.....	36
6.4.2	电气特性：基准电压.....	37
6.5	跟踪器 1 和 2	38
6.5.1	功能描述：跟踪器 1 和 2	38
6.5.2	电气特性：跟踪器 1 和 2	39
6.6	核供电的外部后级稳压器（可选）	40
6.7	电源时序.....	43
6.7.1	从 POR 到 INT 状态电源时序	44
6.7.2	从 STANDBY 到 INIT 状态电源时序	46
6.7.3	从 SLEEP 到 WAKE 状态电源时序.....	47
7	监测功能	49
7.1	监测功能介绍.....	49
7.2	关断功能.....	50
7.3	复位功能.....	50
7.4	中断功能.....	54
7.5	电气特性：电压监测和复位功能.....	56
8	待机 LDO 和内部电源	60
8.1	待机 LDO.....	60
8.1.1	功能描述：待机 LDO	60
8.1.2	电气特性：待机 LDO	61
8.2	内部电源.....	62
9	唤醒定时器	63
9.1	功能描述：唤醒定时器	63
9.2	电气特性：唤醒定时器	64
10	状态机	65
10.1	状态机介绍.....	65
10.2	状态描述.....	67
10.2.1	POWERDOWN 状态	67
10.2.2	INIT 状态	68
10.2.3	NORMAL 状态	70
10.2.4	STANDBY 状态	71
10.2.5	SLEEP 状态	72
10.2.6	WAKE 状态	74
10.2.7	FAILSAFE 状态	76
10.3	状态之间的转换.....	77
10.3.1	POWERDOWN → INIT 状态.....	77
10.3.2	INIT → NORMAL 状态.....	78
10.3.3	NORMAL 与 SLEEP 状态之间的转换	80
10.3.3.1	NORMAL → SLEEP 状态	80
10.3.3.2	SLEEP → WAKE 状态.....	83

Table of contents

10.3.3.3	WAKE → SLEEP 状态	86
10.3.4	NORMAL 与 STANDBY 状态之间的转换	89
10.3.4.1	NORMAL → STANDBY 状态	89
10.3.4.2	STANDBY → INIT 状态	92
10.3.4.3	INIT → NORMAL 状态	93
10.3.5	NORMAL → WAKE 状态	94
10.3.6	WAKE → NORMAL 状态	94
10.3.7	WAKE → STANDBY 状态	96
10.3.8	FAILSAFE → INIT 状态	99
10.4	对检测到的故障的响应	101
10.4.1	保持当前状态	101
10.4.2	过渡到 INIT 状态	102
10.4.2.1	INIT → INIT 状态（由于检测到故障）	103
10.4.2.1.1	INIT → INIT 状态（由于 INIT 定时器首次超时）	103
10.4.2.1.2	INIT → INIT 状态（由于 INIT 定时器第二次超时）	104
10.4.2.2	NORMAL → INIT 状态（由于检测到故障）	105
10.4.2.3	STANDBY → INIT 状态（由于检测到故障）	106
10.4.2.4	SLEEP → INIT 状态（由于检测到故障）	107
10.4.2.5	WAKE → INIT 状态（由于检测到故障）	108
10.4.3	过渡到 FAILSAFE 状态	109
10.4.3.1	INIT → FAILSAFE 状态（由于检测到故障）	110
10.4.3.2	XXXX → INIT → FAILSAFE 状态（由于检测到故障）	111
10.4.3.3	NORMAL → FAILSAFE 状态（由于检测到故障）	112
10.4.3.4	STANDBY → FAILSAFE 状态（由于检测到故障）	113
10.4.3.5	SLEEP → FAILSAFE 状态（由于检测到故障）	114
10.4.3.6	WAKE → FAILSAFE 状态（由于检测到故障）	115
10.4.3.7	过渡到 FAILSAFE 状态（由于热关断）	116
10.4.4	过渡到 POWERDOWN 状态	117
10.5	电气特性：状态机	118
10.6	内置自检 (BIST) 功能	119
10.6.1	模拟内置自检 (ABIST)	119
10.6.1.1	如何运行 ABIST	120
10.6.1.2	仅测试比较器逻辑	122
10.6.1.3	测试比较器逻辑和相应的去毛刺逻辑	123
10.6.1.4	测试完整的监测链（比较器、去毛刺和输出）	125
10.6.1.4.1	测试次级安全关断路径的激活	125
10.6.1.4.2	测试中断事件生成	126
10.6.1.5	ABIST 操作的中止条件	126
10.6.2	内置逻辑自检	127
10.7	微控制器编程支持	128
11	安全状态控制功能	129
11.1	安全状态控制功能介绍	129

Table of contents

11.2	电气特性：安全状态控制	132
11.3	对微控制器安全管理单元（SMU - 引脚 ERR）的响应：	134
11.3.1	对 ERR 监测故障的立即响应	134
11.3.2	ERR 监测失败导致的延时恢复响应	136
11.4	对错误触发的状态转换的响应	139
11.5	窗口看门狗输出（WWO）的响应	140
11.6	对功能看门狗输出（FWO）的响应	141
11.7	对热关断（TSD）的响应	142
12	SPI（串行外设接口）	144
12.1	SPI 介绍	144
12.2	对受保护寄存器的 SPI 写访问	147
12.3	SPI 写发起的状态转换请求和稳压器配置	148
12.4	寄存器描述	149
12.4.1	器件寄存器	151
12.4.1.1	器件配置 0 *R2)	151
12.4.1.2	器件配置 1 *R0)	153
12.4.1.3	器件配置 2 *R2)	154
12.4.1.4	保护寄存器 *R2)	155
12.4.1.5	受保护系统配置请求 0 *R1)	156
12.4.1.6	受保护系统配置请求 1 *R2)	157
12.4.1.7	受保护的看门狗配置请求 0 *R2)	158
12.4.1.8	受保护的看门狗配置请求 1 *R2)	159
12.4.1.9	受保护的功能看门狗配置请求 *R2)	160
12.4.1.10	受保护的窗口看门狗配置请求 0 *R2)	161
12.4.1.11	受保护的窗口看门狗配置请求 1 *R2)	162
12.4.1.12	系统配置 0 状态 *R0)	163
12.4.1.13	系统配置 1 状态 *R3)	164
12.4.1.14	看门狗配置 0 状态 *R3)	166
12.4.1.15	看门狗配置 1 状态 *R3)	167
12.4.1.16	功能看门狗配置状态 *R3)	168
12.4.1.17	窗口看门狗配置 0 状态 *R3)	169
12.4.1.18	窗口看门狗配置 1 状态 *R3)	170
12.4.1.19	唤醒定时器配置 0 *R2)	171
12.4.1.20	唤醒定时器配置 1 *R2)	172
12.4.1.21	唤醒定时器配置 2 *R2)	173
12.4.1.22	器件控制请求 *R2)	174
12.4.1.23	器件控制反向请求 *R2)	175
12.4.1.24	窗口看门狗服务指令 *R2)	176
12.4.1.25	功能看门狗响应指令 *R2)	177
12.4.1.26	带同步的功能看门狗响应指令 *R2)	178
12.4.1.27	故障状态标志 *R1)	179
12.4.1.28	Init 错误状态标志 *R2)	180

Table of contents

12.4.1.29	中断标志 *R2).....	181
12.4.1.30	系统状态标志 *R2)	183
12.4.1.31	唤醒状态标志 *R2)	184
12.4.1.32	SPI 状态标志 *R2)	185
12.4.1.33	监测状态标志 0 *R1)	186
12.4.1.34	监测状态标志 1 *R1)	187
12.4.1.35	监测状态标志 2 *R2)	188
12.4.1.36	监测状态标志 3 *R1)	189
12.4.1.37	过温故障状态标志 *R1).....	190
12.4.1.38	过温警告状态标志 *R2).....	191
12.4.1.39	电压监测状态 *R2).....	192
12.4.1.40	器件状态 *R2).....	193
12.4.1.41	保护状态 *R1)	194
12.4.1.42	窗口看门狗状态 *R3).....	195
12.4.1.43	功能看门狗状态 0 *R3).....	196
12.4.1.44	功能看门狗状态 1 *R3).....	197
12.4.1.45	ABIST control 0 *R2)	198
12.4.1.46	ABIST control 1 *R2)	199
12.4.1.47	ABIST select 0 *R2)	200
12.4.1.48	ABIST select 1 *R2)	202
12.4.1.49	ABIST select 2 *R2)	204
12.4.1.50	Global testmode *R2).....	206
12.4.2	降压寄存器.....	207
12.4.2.1	降压开关频率变化 *R2).....	207
12.4.2.2	降压频率展宽 *R2).....	208
12.4.2.3	降压主控制 *R2).....	209
12.5	电气特性：SPI 信号	210
13	中断生成	212
14	窗口看门狗和功能看门狗	215
14.1	窗口看门狗和功能看门狗介绍	215
14.2	窗口看门狗	216
14.2.1	窗口看门狗时序图.....	219
14.2.1.1	正常操作：正确触发.....	219
14.2.1.2	故障操作：初始化后打开窗口中无触发信号.....	220
14.2.1.3	故障操作：稳态下打开窗口无触发.....	221
14.2.1.4	故障操作：初始化后关闭窗口中的错误触发.....	222
14.2.1.5	故障操作：稳态下关闭窗口中的错误触发.....	223
14.2.2	电气特性：窗口看门狗.....	224
14.3	功能看门狗.....	225
14.3.1	功能看门狗时序图.....	228
14.3.1.1	正常操作：正确触发.....	228



Table of contents

14.3.1.2 故障操作：同步缺失..... 229

14.3.1.3 故障操作：应答错误..... 230

14.3.1.4 故障操作：响应缺失..... 231

15 应用信息 232

16 封装信息 234

 词汇表..... 235

 修订记录 237

 免责声明 238

1 框图

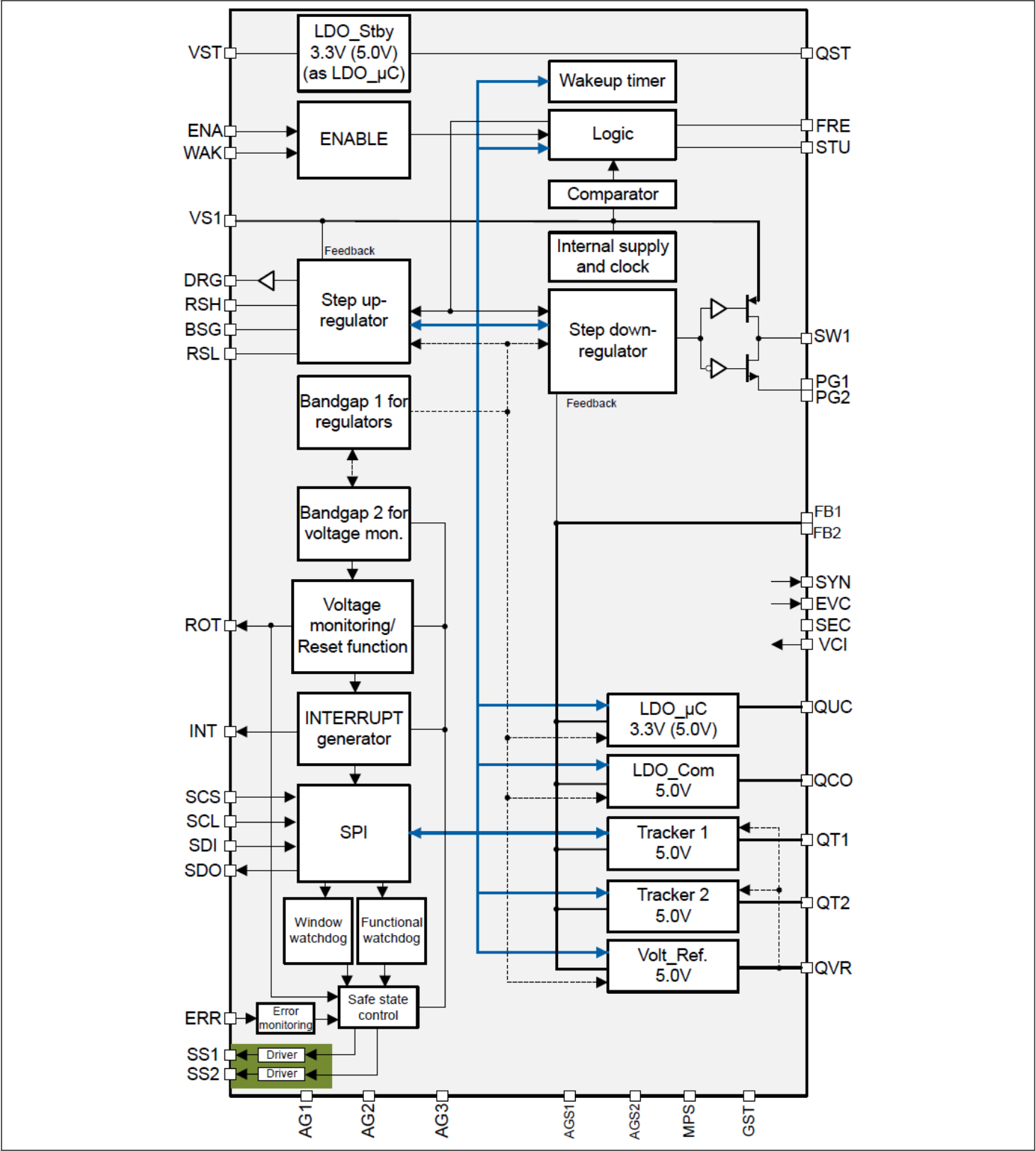


图 1 框图

2 引脚配置

2.1 引脚分配

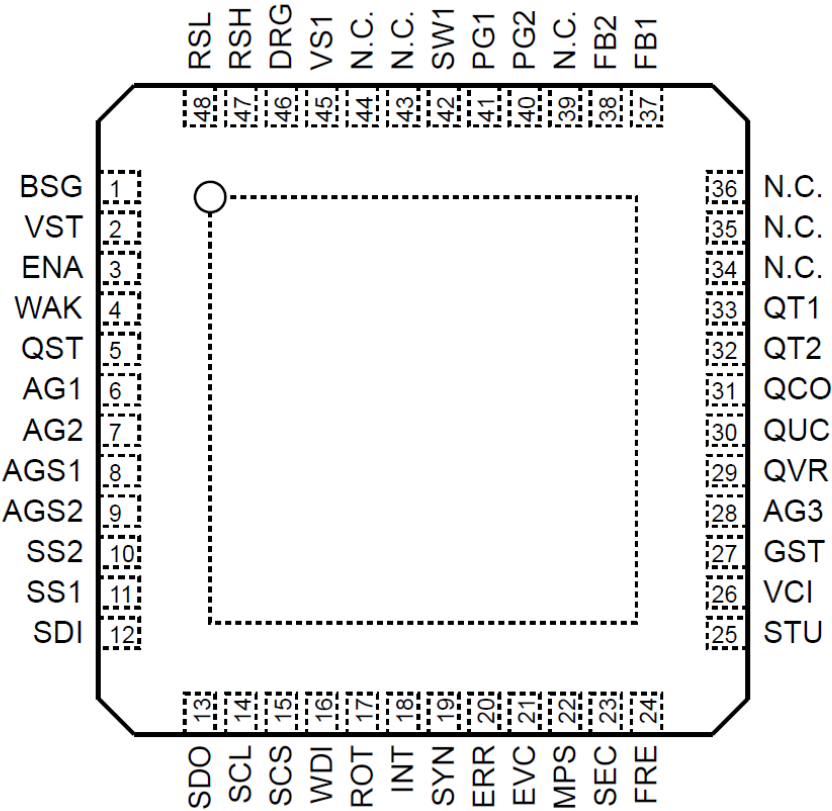


图 2 引脚配置

2.2 引脚定义和功能

Pin	Symbol	Function
1	BSG	Boost driver ground: Connect this pin to ground at the low side of an external current sense resistor to decouple the driver noise from the sensitive ground. If step-up pre-regulator option is not used, connect to ground.
2	VST	Supply voltage standby regulator, input: Connect this input to supply (battery) voltage with reverse protection diode and capacitor between pin and ground. An <i>electromagnetic compatibility (EMC)</i> filter is recommended.
3	ENA	Enable Input: A positive edge signal at this pin will wake the device. In case of not used connect to ground.
4	WAK	Wake/Inhibit Input: A high level signal of defined length at this pin will wake the device. In case of not used, connect to ground.
5	QST	Output standby <i>low dropout regulator (LDO)</i>: Connect a capacitor as close as possible to pin.
6	AG1	Analog ground, pin 1: Connect this pin directly (low ohmic and low inductive) to ground.
7	AG2	Analog ground, pin 2: Connect this pin directly (low ohmic and low inductive) to ground.
8	AGS1	Analog ground, safety, pin 1: Connect this pin directly (low ohmic and low inductive) to ground. In case a safety switch is used, connect directly to the source of the NMOS used.
9	AGS2	Analog ground, safety, pin 2: Connect this pin directly (low ohmic and low inductive) to ground. In case a safety switch is used, connect directly to the source of the NMOS used.
10	SS2	Safe state signal 2: Safe state output signal 2, sets the application into a safe state. Signal is delayed against SS1, delay can be adjusted via <i>SPI</i> command.
11	SS1	Safe state signal 1: Safe state output signal 1, sets the application into a safe state.
12	SDI	Serial peripheral interface, signal data input: SPI signalling port, connect to SPI port "data output" of microcontroller to receive commands during SPI communication.
13	SDO	Serial peripheral interface, signal data output: SPI signalling port, connect to SPI port "data input" of microcontroller to send status information during SPI communication.
14	SCL	Serial peripheral interface, signal clock: SPI signalling port, connect to SPI port "clock" of microcontroller to clock the device for SPI communication.

2 Pin configuration

Pin	Symbol	Function
15	SCS	Serial peripheral interface, signal chip select: SPI signalling port, connect to SPI port "chip select" of microcontroller to address the device for SPI communication.
16	WDI	Watchdog input, trigger signal: Input for trigger signal, connect the "trigger signal output" of the microcontroller to this pin. In case of not used, leave open (internal pull-down).
17	ROT	Reset output: Open drain structure with internal pull-up current source. A low signal at this pin indicates a reset event.
18	INT	Interrupt signal: Push-pull-stage. A low pulse at this pin indicates an interrupt, the microcontroller shall read out the SPI status registers. Connect to a non maskable interrupt port non-maskable interrupt (NMI) of the microcontroller core supply voltage.
19	SYN	Synchronization output signal: Connect this output to the optional external switch mode post-regulator synchronization input. The signal delivers the step-down regulator switching frequency either in phase or shifted by 180° (selectable via SPI command). The switch mode post-regulator shall synchronize to the rising edge. If not used, leave open.
20	ERR	Error signal input: Input for error signal from microcontroller safety managing unit (SMU, internal failure detection of the microcontroller). Connect the "error signal output" of the microcontroller to this pin.
21	EVC	Enable external post-regulator for core supply: Connect this pin to the enable input of the external post-regulator. If not used, leave open.
22	MPS	Microcontroller programming support pin: Pull down this pin to ground for operation. Optionally, this pin can be used for microcontroller debugging and programming purposes. For details please refer to Microcontroller programming support .
23	SEC	Configuration pin for external post-regulator for core supply: Connect this pin to ground if the option external post-regulator is not used. If the option external post-regulator is used, leave open.
24	FRE	Frequency adjustment pin: Connect pin to ground for low frequency range or leave open for high frequency range.
25	STU	Configuration pin for step-up converter: Connect this pin to ground if the option step-up pre-regulator is not used. If the option step-up pre-regulator is used, leave open.
26	VCI	Input for optional external post-regulator output voltage (core supply): Connect an external resistor divider to adjust the over and undervoltage thresholds of reset output signal ROT. If the option external post-regulator is not used, leave open.

2 Pin configuration

Pin	Symbol	Function
27	GST	Gate stress pin: Not for customer use. Connect this pin directly (low ohmic and low inductive) to ground.
28	AG3	Analog ground, pin 3: Connect this pin directly (low ohmic and low inductive) to ground.
29	QVR	Output voltage reference: Connect a capacitor as close as possible to pin.
30	QUC	Output LDO_uC supply (microcontroller supply): Connect a capacitor as close as possible to pin.
31	QCO	Output LDO_communication supply: Connect a capacitor as close as possible to pin.
32	QT2	Output tracker 2: Connect a capacitor as close as possible to pin.
33	QT1	Output tracker 1: Connect a capacitor as close as possible to pin.
34	N.C.	Internally not connected: This pin is electrically not connected internally and can be kept open/floating, connected to GND or any other signal. Consider neighboring signals for potential failures.
35	N.C.	Internally not connected: This pin is electrically not connected internally and can be kept open/floating, connected to GND or any other signal. Consider neighboring signals for potential failures.
36	N.C.	Internally not connected: This pin is electrically not connected internally and can be kept open/floating, connected to GND or any other signal. Consider neighboring signals for potential failures.
37	FB1	Step down pre-regulator feedback input plus input for linear post-regulators and trackers, pin 1: Connect the capacitor of the step-down pre-regulator output filter with low ohmic and low inductive connection straight to this pin. Always connect in parallel with pin FB2.
38	FB2	Step down pre-regulator feedback input plus input for linear post-regulators and trackers, pin 2: Connect the capacitor of the step-down pre-regulator output filter with low ohmic and low inductive connection straight to this pin. Always connect in parallel with pin FB1.
39	N.C.	Internally not connected: This pin is electrically not connected internally and can be kept open/floating, connected to GND or any other signal. Consider neighboring signals for potential failures.

2 Pin configuration

Pin	Symbol	Function
40	PG2	Step down pre-regulator power ground, pin 2: Connect this pin straight (low ohmic and low inductive) to ground and pre-regulator output capacitor minus. Always connect in parallel with pin PG1.
41	PG1	Step down pre-regulator power ground, pin 1: Connect this pin straight (low ohmic and low inductive) to ground and pre-regulator output capacitor minus. Always connect in parallel with pin PG2.
42	SW1	Step down pre-regulator power stage output: Connect this pin straight (low ohmic and low inductive) to the pre-regulator output filter.
43	N.C.	Internally not connected: This pin is electrically not connected internally and can be kept open/floating, connected to GND or any other signal. Consider neighboring signals for potential failures.
44	N.C.	Internally not connected: This pin is electrically not connected internally and can be kept open/floating, connected to GND or any other signal. Consider neighboring signals for potential failures.
45	VS1	Supply voltage step-down pre-regulator input: Connect this input to the output of the step-up pre-regulator. If step-up pre-regulator option is not used, connect to supply (battery) voltage with reverse protection diode and capacitor between pin and ground. An EMC filter is recommended.
46	DRG	Driver output for external step-up regulator power stage, connect to gate: Gate of low side switch of step-up pre-regulator: Connect to the gate of an external N-channel <i>metal-oxide-semiconductor field-effect transistor (MOSFET)</i> , line to be straight and as short as possible. If step-up pre-regulator option is not used, leave open.
47	RSH	Sense resistor for external step-up regulator power stage, high side: Connect this pin to the high side of an external current sense resistor to determine the maximum current threshold through the external N-channel MOSFET. If step-up pre-regulator option is not used, connect to ground.
48	RSL	Sense resistor for external step-up regulator power stage, low side: Connect this pin to the low side of an external current sense resistor to determine the maximum current threshold through the external N-channel MOSFET. If step-up pre-regulator option is not used, connect to ground.
	EP1	Edge pin no 1: Keep area below this pin free of ground or other signals, do not solder this pin to ground or any other signal. This pin must be kept free of soldering.
	EP2	Edge pin no 2: Keep area below this pin free of ground or other signals, do not solder this pin to ground or any other signal. This pin must be kept free of soldering.
	EP3	Edge pin no 3: Keep area below this pin free of ground or other signals, do not solder this pin to ground or any other signal. This pin must be kept free of soldering.



2 Pin configuration

Pin	Symbol	Function
	EP4	Edge pin no 4: Keep area below this pin free of ground or other signals, do not solder this pin to ground or any other signal. This pin must be kept free of soldering.
Cooling tab	GND	Cooling tab. Connect externally to GND and heat sink area.

Datasheet

3 General product characteristics

3 产品基本特性

3.1 绝对最大额定值

表 1 绝对最大额定值¹⁾

T_j= -40°C 至 +150°C，所有电压均以地为参考，正向电流表示流入该引脚（除非另有规定）

Parameter	Symbol	Values			Unit	Note or Test Condition	Number
		Min.	Typ.	Max.			
Voltages							
Boost driver ground	V _{BSG}	-0.3	–	0.3	V	–	P_4.1.1
Input standby <i>LDO</i>	V _{VST}	-0.3	–	40	V	2) 3)	P_4.1.2
Input voltage pin 1 (pre-regulator)	V _{VS1}	-0.3	–	40	V	2) 3)	P_4.1.3
External step-up power stage, gate	V _{DRG}	-0.3	–	40	V	2) 3)	P_4.1.5
External power stage, sense resistor high	V _{RSH}	-0.3	–	40	V	2) 3)	P_4.1.6
External power stage, sense resistor low	V _{RSL}	-0.3	–	6.0	V	–	P_4.1.7
Enable	V _{ENA}	-0.3	–	40	V	2) 3)	P_4.1.8
Enable	I _{ENA}	-5	–	–	mA	4)	P_4.1.9
Wake/Inhibit	V _{WAK}	-0.3	–	40	V	2) 3)	P_4.1.10
Wake/Inhibit	I _{WAK}	-5	–	–	mA	4)	P_4.1.11
Reset output	V _{ROT}	-0.3	–	6.0	V	–	P_4.1.12
<i>SPI</i> : Chip select CS	V _{SCS}	-0.3	–	6.0	V	–	P_4.1.13
SPI: Clock CLK	V _{SCL}	-0.3	–	6.0	V	–	P_4.1.14
SPI: Data_In DI	V _{SDI}	-0.3	–	6.0	V	–	P_4.1.15
SPI: Data_Out DO	V _{SDO}	-0.3	–	6.0	V	–	P_4.1.16
Interrupt	V _{INT}	-0.3	–	6.0	V	–	P_4.1.17
Window watchdog trigger	V _{WDI}	-0.3	–	6.0	V	–	P_4.1.18
Error pin	V _{ERR}	-0.3	–	6.0	V	–	P_4.1.19
Safe state 1	V _{SS1}	-0.3	–	6.0	V	–	P_4.1.20
Safe state 2	V _{SS2}	-0.3	–	6.0	V	–	P_4.1.21
Output voltage reference	V _{QVR}	-0.3	–	6.0	V	–	P_4.1.22
Output tracker 2	V _{QT2}	-0.3	–	40	V	–	P_4.1.23
Output tracker 1	V _{QT1}	-0.3	–	40	V	–	P_4.1.25
Output LDO_Com	V _{QCO}	-0.3	–	6.0	V	–	P_4.1.27

(表格续下页.....)

3 General product characteristics

表 1 (续) 绝对最大额定值¹⁾

T_j = -40°C 至 +150°C, 所有电压均以地为参考, 正向电流表示流入该引脚 (除非另有规定)

Parameter	Symbol	Values			Unit	Note or Test Condition	Number
		Min.	Typ.	Max.			
Output LDO_μC	V_{QUC}	-0.3	–	6.0	V	–	P_4.1.28
V_Core_Mon ext core supply	V_{VCI}	-0.3	–	6.0	V	–	P_4.1.30
Select ext core supply	V_{SEC}	-0.3	–	6.0	V	–	P_4.1.31
Sync_Out ext core supply	V_{SYN}	-0.3	–	6.0	V	–	P_4.1.32
Enable ext core supply	V_{EVC}	-0.3	–	6.0	V	–	P_4.1.33
FB_BUCK2	V_{FB2}	-0.3	–	7.0	V	–	P_4.1.37
FB_BUCK1	V_{FB1}	-0.3	–	7.0	V	–	P_4.1.38
BU_GND2	V_{PG2}	-0.3	–	0.3	V	–	P_4.1.39
BU_GND1	V_{PG1}	-0.3	–	0.3	V	–	P_4.1.40
SW1	V_{SW1}	-0.3	–	40	V	–	P_4.1.42
Select step-up pre-regulator	V_{STU}	-0.3	–	6.0	V	–	P_4.1.43
FRE	V_{FRE}	-0.3	–	6.0	V	–	P_4.1.44
Q_STBY	V_{QST}	-0.3	–	6.0	V	–	P_4.1.45
MPS	V_{MPS}	-0.3	–	6.0	V	–	P_4.1.46

Temperatures

Junction temperature	T_j	-40	–	150	°C	–	P_4.1.47
Storage temperature	T_{stg}	-55	–	150	°C	–	P_4.1.48

ESD robustness

ESD susceptibility to GND	V_{ESD}	-2	–	2	kV	⁵⁾ HBM	P_4.1.49
ESD susceptibility to GND	V_{ESD}	-500	–	500	V	⁶⁾ CDM	P_4.1.50
ESD susceptibility (corner pins) to GND	$V_{ESD,Corner}$	-750	–	750	V	⁶⁾ CDM	P_4.1.51

- 1) 不进行生产测试, 由设计规定。
2) 如果从 0 到 60 V 的上升时间超过 10 毫秒, 则最大额定值为 60 V。
3) 最大额定值为 49 V, 在产品使用寿命期间, 总时间为 10 秒 (在 40 V 至 49 V 范围内), 与上升时间无关。
4) 在负电压低于 -0.3 V 的情况下, 请考虑使用外部串联电阻, 以确保电流不超过最大额定值。
5) ESD 耐受性, 人体模型 (HBM) 符合 JEDEC 人体模型 HBM 标准 ANSI /ESDA/ JEDEC JS001 (1.5 kΩ, 100 pF)。
6) ESD 耐受性, 符合带电器件模型 (CDM) ESDA STM5.3.1 或 ANSI / ESD S.5.3.1。

注意:

1. 超过此处所列的应力可能会对器件造成永久性损坏。长时间在绝对最大额定值条件下工作可能会影响器件的可靠性。
2. 集成的保护功能旨在防止 IC 在数据手册所述故障条件下被毁坏。故障情况被视为超出了正常工作范围。保护功能不是为了连续重复的操作而设计的。

3.2 功能范围

注意： 在功能或工作范围内，IC 按照电路说明中的描述运行。电气特性是在电气特性表中注明的条件
下指定的。

表 2 功能范围

Parameter	Symbol	Values			Unit	Note or Test Condition	Number
		Min.	Typ.	Max.			
Supply voltage range for normal operation at input of the step-up converter	V_{Bat}	3	–	40	V	¹⁾ With step-up pre-regulator active before of step-down pre-regulator	P_4.2.1
Supply voltage range for normal operation at pin VSx	V_{VS}	6	–	40	V	Without step-up pre-regulator active before step-down pre-regulator	P_4.2.2
Junction temperature	T_j	-40	–	150	°C	–	P_4.2.3

1) 要启动器件，需要在引脚 VSx 处输入至少 6.0 V 的电压。

3 General product characteristics

3.3 热阻

注意：热学数据是根据JEDEC JESD51 标准生成的。如需了解更多信息，请访问www.jedec.org

表 3 热阻¹⁾

Parameter	Symbol	Values			Unit	Note or Test Condition	Number
		Min.	Typ.	Max.			
Junction to case	R_{thJC}	–	–	12.2	K/W	–	P_4.3.1
Junction to soldering point (pin)	R_{thJSP}	20.1	–	22.1	K/W	JEDEC 2s2p – measured to pins 1, 6, 7, 28	P_4.3.2
Junction to soldering point (pin)	R_{thJSP}	34.9	–	37.6	K/W	JEDEC 1s0p – measured to pins 1, 6, 7, 28 ;	P_4.3.3
Junction to soldering point (soldering pad)	R_{thJSP}	11.0	–	14.7	K/W	JEDEC 2s2p	P_4.3.4
Junction to soldering point (soldering pad)	R_{thJSP}	13.1	–	18.0	K/W	JEDEC 1s0p	P_4.3.5
Junction to ambient	R_{thJA}	–	37	–	K/W	²⁾	P_4.3.6

1) 不进行生产测试，由设计规定。

2) 指定的 R_{thJA} 值是根据 JEDEC JESD51-2,-5,-7，在FR4 2s2p 板上自然对流条件下测得的；产品（芯片和封装）在具有 2 个内铜层（2× 70 μm Cu、2× 35 μm Cu）的 76.2 × 114.3 × 1.5 mm 板上进行模拟。在适用的情况下，裸露的散热焊盘下的导热过孔阵列与第一内铜层接触。

3.4 静态消耗电流

表 4 静态消耗电流¹⁾

$V_{VS} = 6\text{ V}$ 至 40 V ; $T_j = -40^\circ\text{C}$ 至 150°C , 所有电压均以地为参考, 正向电流表示流入该引脚 (除非另有说明)

Parameter	Symbol	Values			Unit	Note or Test Condition	Number
		Min.	Typ.	Max.			
INIT-state	I_q	–	–	45	mA	1) $T_j \leq 85^\circ\text{C}$; step-up converter off; $f_{\text{PREREG,BUCK}} = 2.2\text{ MHz}$	P_4.4.1
NORMAL-state	I_q	–	–	45	mA	1) $T_j \leq 85^\circ\text{C}$; step-up converter off; $f_{\text{PREREG,BUCK}} = 2.2\text{ MHz}$	P_4.4.2
STANDBY-state	I_q	–	–	70	μA	1) LDO_STBY off; $V_{VS} = 14\text{ V}$; $T_j \leq 40^\circ\text{C}$	P_4.4.3
STANDBY-state	I_q	–	–	90	μA	LDO_STBY off; 1) $T_j \leq 85^\circ\text{C}$	P_4.4.4
STANDBY-state	I_q	–	–	120	μA	LDO_STBY on; 1) $T_j \leq 85^\circ\text{C}$	P_4.4.5
SLEEP-state	I_q	–	–	200	μA	1) $T_j \leq 85^\circ\text{C}$	P_4.4.6
WAKE-state	I_q	–	–	45	mA	1) $T_j \leq 85^\circ\text{C}$; step-up converter off; $f_{\text{PREREG,BUCK}} = 2.2\text{ MHz}$	P_4.4.7
FAILSAFE-state	I_q	–	–	200	μA	1) $T_j \leq 85^\circ\text{C}$; $t_{\text{FAILSAFE}} > t_{\text{FAILSAFE,min}}$	P_4.4.8

1) 所有静态电流参数均在 $T_j \leq 85^\circ\text{C}$ 和 $10\text{ V} \leq V_{VS} \leq 28\text{ V}$ 、零负载且所有可选选项 (输出、看门狗、定时器、升压转换器) 关闭的情况下测量。

4 唤醒和使能功能

4.1 唤醒和使能功能介绍

该器件在接入电池后通过 [上电复位 \(POR\)](#) 自动启动并进入 INIT 状态，此时将对器件进行配置。配置成功后，器件将通过 [SPI](#) 指令进入 NORMAL 状态。从 NORMAL 或 WAKE 状态，器件可以通过 SPI 指令进入低功耗状态 (SLEEP 或 STANDBY)。WAK 和 ENA 信号是离开低功耗状态（或 FAILSAFE 状态）的外部触发信号。

唤醒 (引脚 WAK - 电平触发) / 使能 (引脚 ENA - 边沿触发)

WAK 和 ENA 输入引脚支持电池电压等级。当 WAK 引脚施加高于 $V_{WAK,hi}$ 的电压并持续至少 $t_{WAK,min}$ 时，即视为有效的唤醒信号。在 ENA 引脚上出现升沿且上升时间不小于 $t_{ENA,rise}$ 时候，也表示有效的唤醒信号。有效的唤醒信号会将器件从 STANDBY 状态切换到 INT 状态，从 SLEEP 状态切换到 WAKE 状态，或从 FAILSAFE 状态切换到 INIT 状态。在 WAK 引脚上的低信号 $V_{WAK,lo}$ 以及引脚 ENA 上的下降沿不会对状态机产生影响，也不会触发状态之间的转换。

如果在器件从 NORMAL 状态向 SLEEP 状态转换的过程中检测到有效的唤醒信号，器件将转而进入 WAKE 状态，并产生一个中断信号。

如果在器件从 NORMAL 状态向 STANDBY 状态转换过程中检测到有效的唤醒信号，器件将转而进入 INIT 状态，并产生一次复位 (ROT)。

在发送 SPI 转换指令之前，引脚 ENA 不必拉低于 $V_{ENA,thrlow}$ 即使引脚 ENA 为高电平（高于 $V_{ENA,thrhi}$ ），SPI 转换指令仍会将器件进入 SLEEP 或 STANDBY 状态。

详情请参阅 [第 10 章状态机](#)。

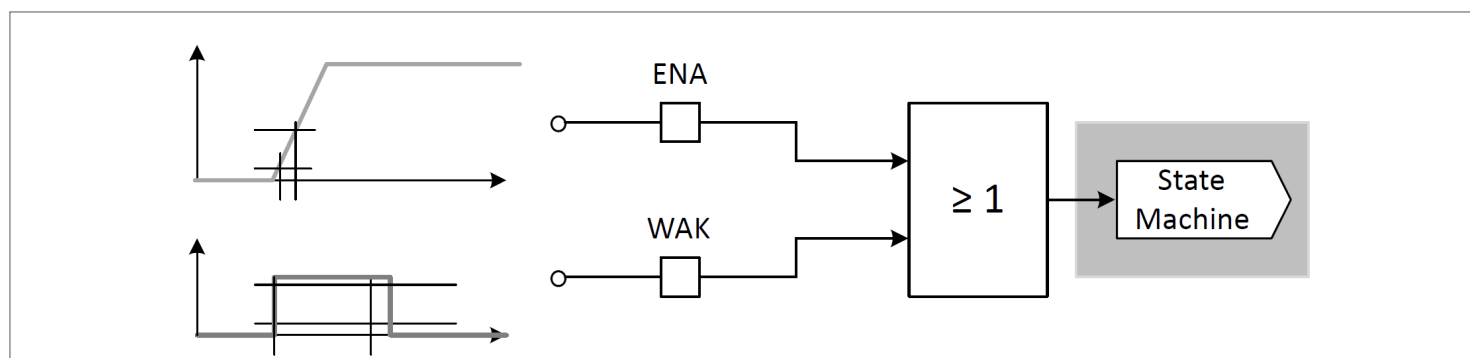


图 3 使能功能的原理

4.2 电气特性：使能信号

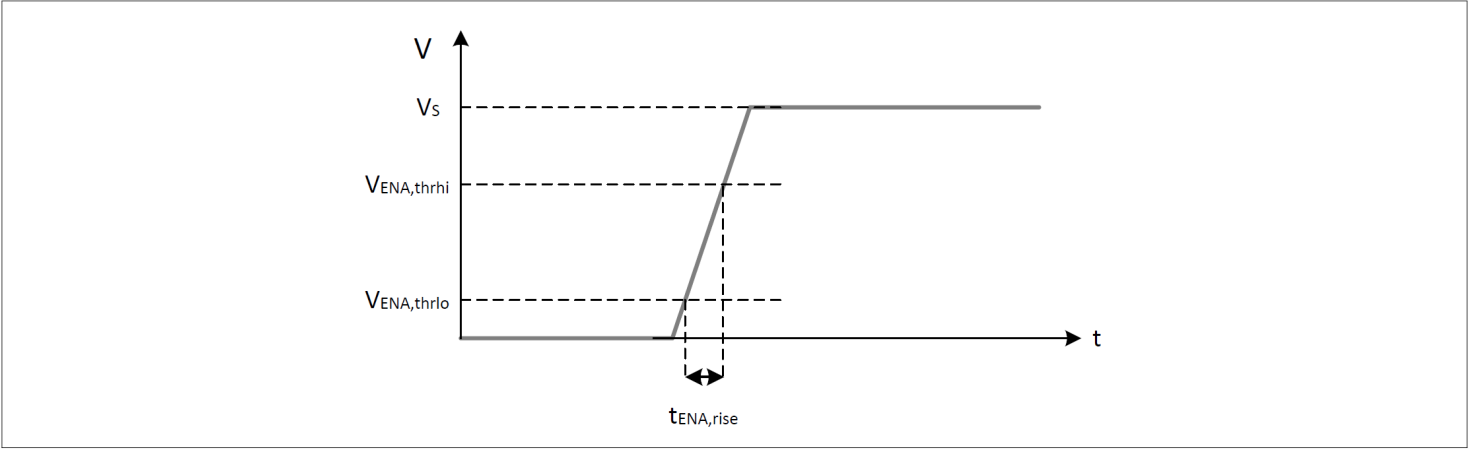


图 4 有效使能信号

表 5 电气特性：使能信号

$V_{VS} = 6\text{ V}$ 至 40 V ； $T_j = -40^{\circ}\text{C}$ 至 150°C ，所有电压均以地为参考，正向电流表示流入该引脚（除非另有说明）

Parameter	Symbol	Values			Unit	Note or Test Condition	Number
		Min.	Typ.	Max.			
Enable upper threshold	$V_{\text{ENA,thrhi}}$	–	–	2.00	V	V_{ENA} increasing	P_5.2.1
Enable lower threshold	$V_{\text{ENA,thrlo}}$	0.8	–	–	V	V_{ENA} decreasing	P_5.2.2
Enable threshold hysteresis	$V_{\text{ENA,hyst}}$	–	400	–	mV	–	P_5.2.3
Enable signal, rise time	$t_{\text{ENA,rise}}$	–	–	10	μs	–	P_5.2.4
Enable signal, minimum high time	$t_{\text{ENA,high}}$	20	–	–	μs	–	P_5.2.5
Enable high input current	$I_{\text{ENA,hi}}$	–	8	11	μA	$V_{\text{ENA}} = 16\text{ V}$	P_5.2.6
Enable low input current	$I_{\text{ENA,lo}}$	–	0.1	2	μA	$V_{\text{ENA}} = 0.5\text{ V}$	P_5.2.7

4.3 电气特性：唤醒信号

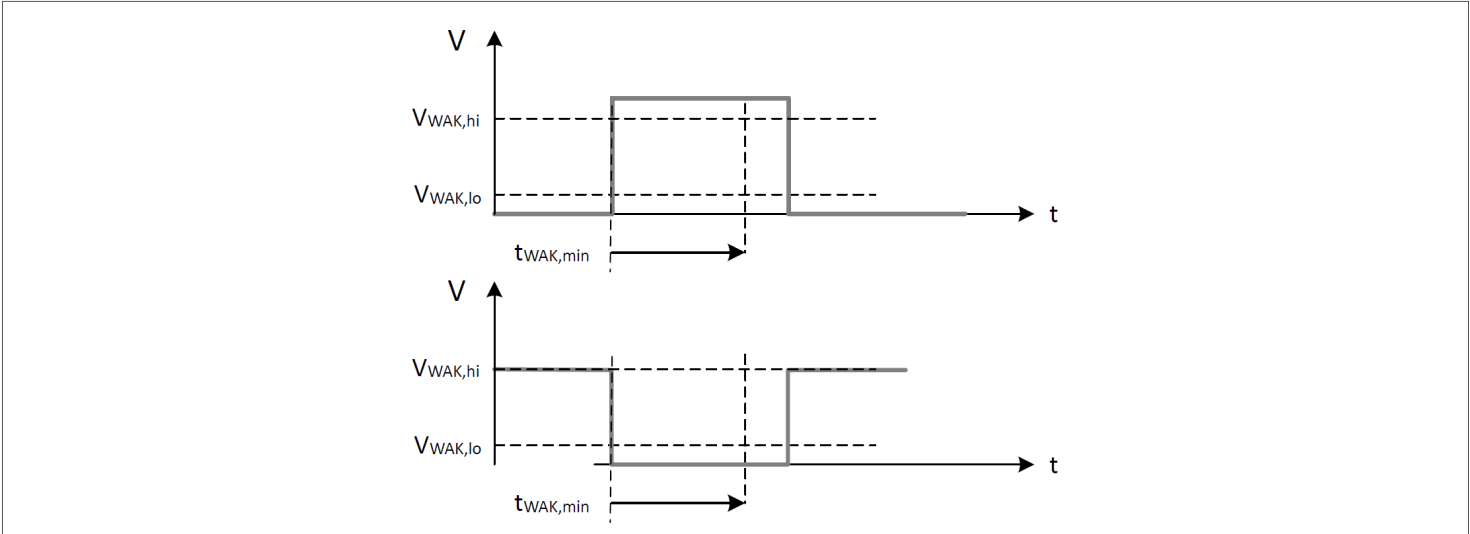


图 5 有效唤醒信号

表 6 电气特性：唤醒信号

V_VS = 6 V 至 40 V；T_j = -40°C 至 150°C，所有电压均以地为参考，正向电流表示流入该引脚（除非另有说明）

Parameter	Symbol	Values			Unit	Note or Test Condition	Number
		Min.	Typ.	Max.			
Wake upper threshold	V_WAK,hi	–	–	2.00	V	V_WAK increasing	P_5.3.1
Wake lower threshold	V_WAK,lo	0.8	–	–	V	V_WAK decreasing	P_5.3.2
Wake signal hysteresis	V_WAK,hyst	–	400	–	mV	–	P_5.3.3
Wake signal, minimum length	t_WAK,min	40	–	–	µs	–	P_5.3.4
Wake high input current	I_WAK,hi	–	8	11	µA	V_WAK = 5.0 V	P_5.3.5
Wake low input current	I_WAK,lo	–	0.1	2	µA	V_WAK = 0.5 V	P_5.3.6

5 前级稳压器

5.1 前级稳压器介绍

降压转换器始终处于开启状态，提供稳定的中间电路电压 V_{PREREG} 为后面的后级稳压器供电。升压转换器直接连接到输入电压 V_{Bato} 。它仅在低输入电压条件（即启动）期间，当输入电压降至阈值 $V_{\text{PRE_REG,boost,UV}}$ 以下时工作，以保后续降压稳压器具有足够高的输入电压。低输入电压条件意味着引脚 VSx 处的输入电压太低，无法在指定范围内提供中间电路电压 V_{PREREG} 。当导通升压转换器时，连接到输入电压路径的内部比较器检测阈值。如果输入电压高于升压转换器输出电压（即开启升压转换器的阈值），该稳压器将被内部比较器禁用。每当需要时，内部逻辑电路会打开（或再次关闭）升压转换器。

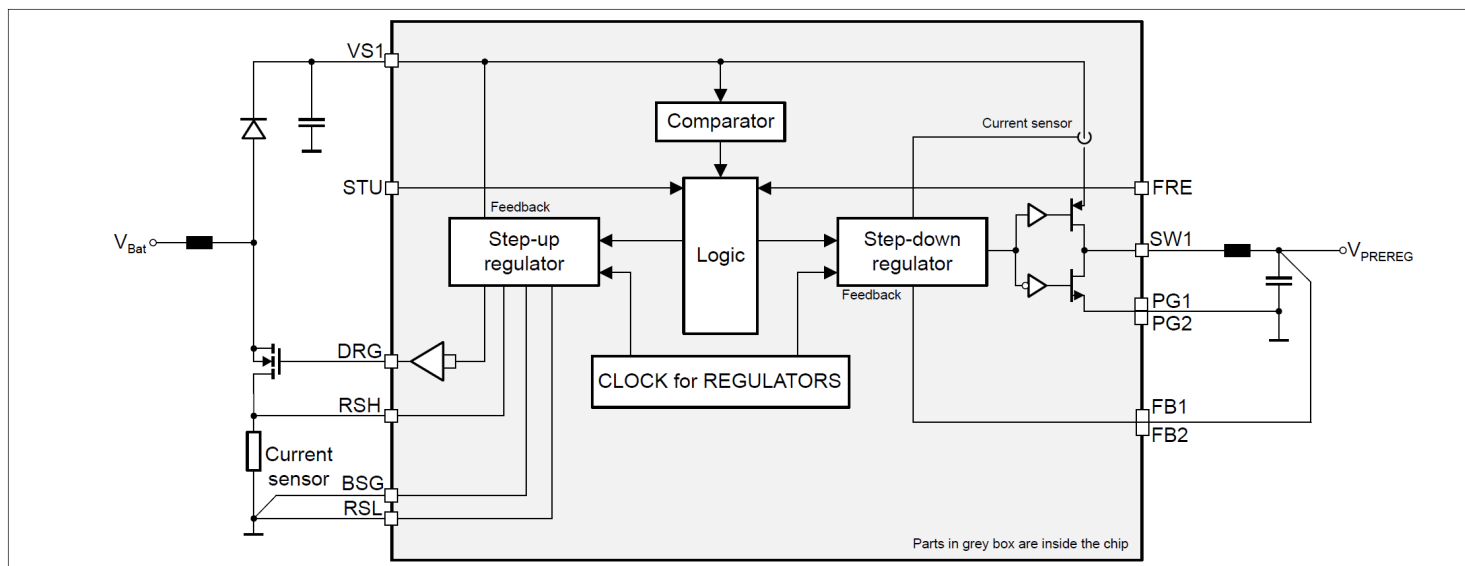


图 6 **前级稳压器级原理**

5.2 升压前级稳压器

5.2.1 功能描述：升压前级稳压器

异步升压前级稳压器在工作时提供比输入电压更高的输出电压。当供电电压太低以致于后级稳压器输出端无法达到标称值时，就会出现这种情况。升压前级稳压器的输出电压将远低于标称供电（电池）电压，以确保其仅在低输入电压条件下运行。

如果升压特性对于应用来说不是必需的，则可以跳过外部功率元件（[MOSFET](#)，二极管），滤波器元件可以根据应用要求进行调整。

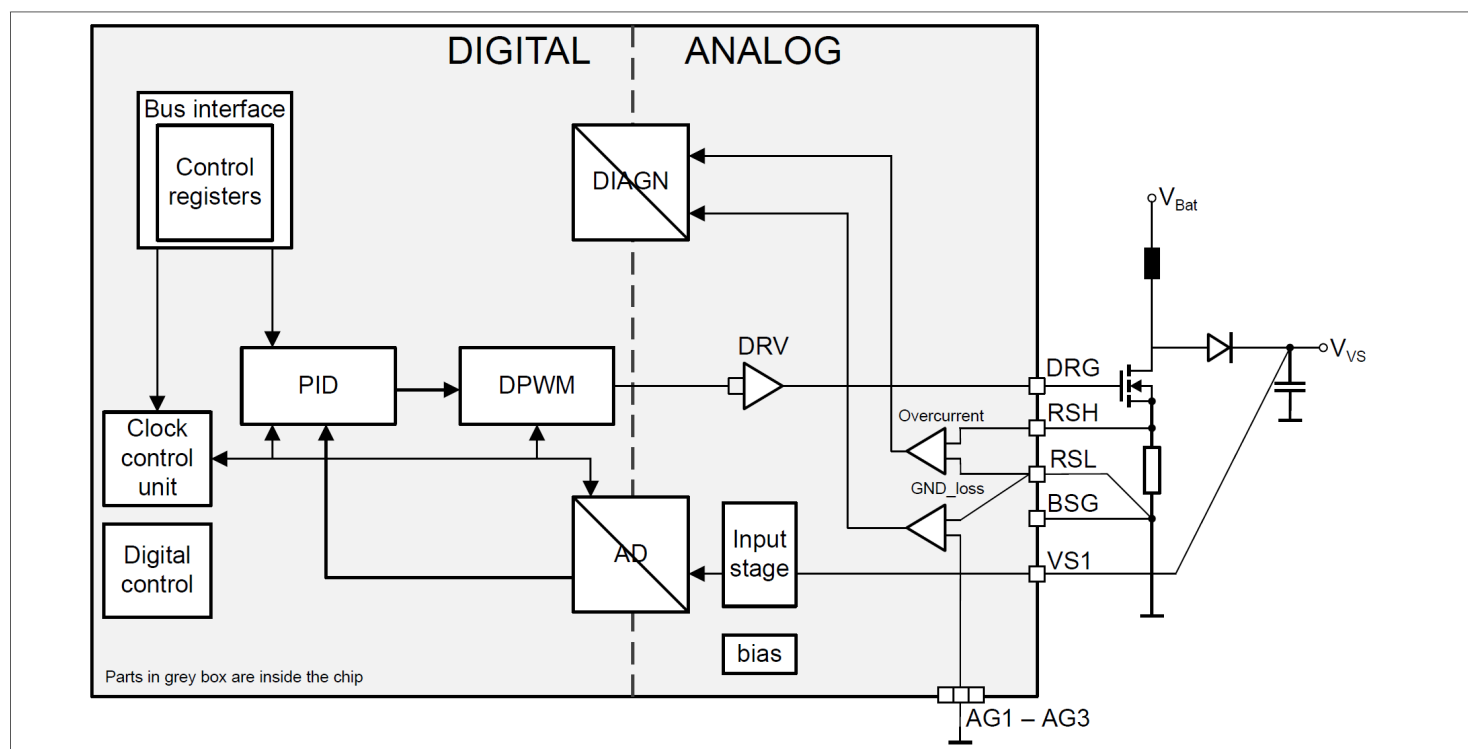


图 7 升压稳压器

5.2.2 电气特性：升压前级稳压器

表 7 电气特性：升压前级稳压器

$V_{VS} = 6\text{ V}$ 至 40 V ； $T_j = -40^\circ\text{C}$ 至 150°C ，所有电压均以地为参考，正向电流表示流入该引脚（除非另有说明）

Parameter	Symbol	Values			Unit	Note or Test Condition	Number
		Min.	Typ.	Max.			
Pre-regulator boost output voltage	$V_{\text{PRE_REG,boos}t}$	7.00	7.5	8.00	V	–	P_6.2.2.1
Threshold external sense resistor for OC	$V_{\text{RSH-RSL}}$	190	210	230	mV	–	P_6.2.2.2
Low side sense input current	I_{RSL}	-120	-60	-30	μA	$V_{\text{RSL}} = 0\text{ V}$	P_6.2.2.3
High side sense input current	I_{RSH}	-45	-30	-15	μA	Tested at $V_{\text{RSH}} = 0\text{ V}$	P_6.2.2.4
Input undervoltage threshold	$V_{\text{PRE_REG,boos}t,UV}$	8	8.3	8.6	V	–	P_6.2.2.5
Input undervoltage threshold hysteresis	$V_{\text{PRE_REG,boos}t,UV,hyst}$	80	–	200	mV	–	P_6.2.2.6
Gate driver peak sourcing current	$I_{\text{DRG,SRC}}$	–	130	–	mA	1)	P_6.2.2.7
Gate driver peak sinking current	$I_{\text{DRG,SNK}}$	–	100	–	mA	1)	P_6.2.2.8
Gate driver output rise time	$t_{\text{R,DRG}}$	12	–	150	ns	10% to 90%; $C_{\text{DRG}} = 470\text{ pF}$	P_6.2.2.9
Gate driver output fall time	$t_{\text{F,DRG}}$	12	–	150	ns	90% to 10%; $C_{\text{DRG}} = 470\text{ pF}$	P_6.2.2.10
Gate driver output voltage	V_{DRG}	4.5	5	5.5	V	–	P_6.2.2.11
Maximum duty cycle	D_{MAX}	75	95	–	%	–	P_6.2.2.12
Blanking time	t_{Blank}		240		ns	–	P_6.2.2.13

1) 由设计规定，不进行生产测试。

5.3 降压前级稳压器

5.3.1 功能描述：降压前级稳压器

同步降压前级稳压器连续工作，提供稳定的中间电路电压，为后面的后级稳压器供电。内部功率级由同步 P 沟道（高边）和 N 沟道（低边） MOSFET 组成。在启动时，可使用软启动功能。

调节环路以电压模式运行。

在正常负载条件下，稳压器以**脉宽调制 (PWM) 模式**运行。在轻载条件下，它将在脉冲频率调制 (PFM) 下操作，以最大限度地减少内部的电流消耗（仅适用于 SLEEP 状态下，不在 NORMAL、WAKE 或 INIT 状态下使用）。

降压稳压器的输出滤波器的设计必须确保最大输出电压纹波不超过 100 mV，以便与后级稳压器指定的 PSRR 一致。

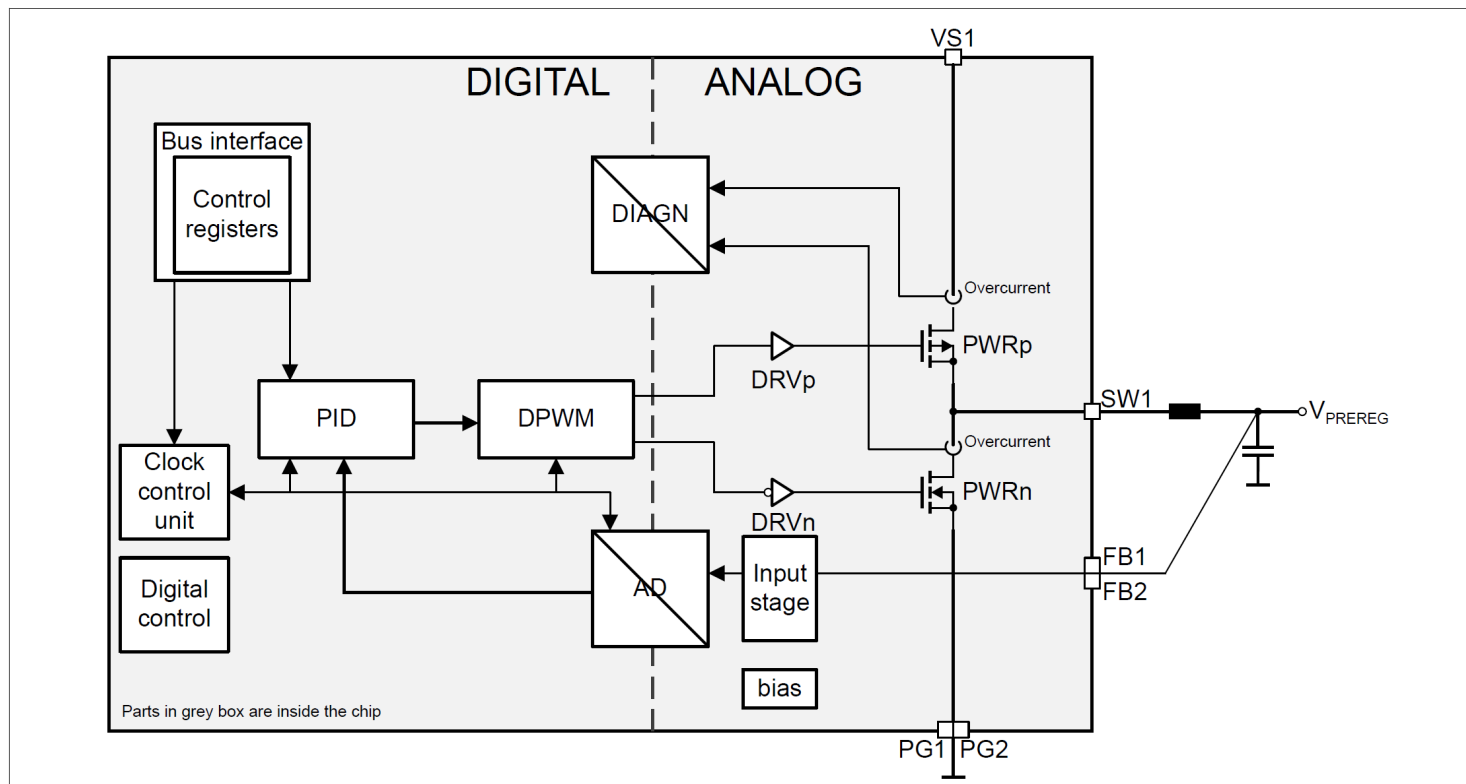


图 8 降压稳压器

5.3.2 电气特性：降压前级稳压器

表 8 电气特性：降压前级稳压器

$V_{VS} = 6\text{ V}$ 至 40 V ; $T_j = -40^\circ\text{C}$ 至 150°C , 所有电压均以地为参考, 正向电流表示流入该引脚 (除非另有说明)

Parameter	Symbol	Values			Unit	Note or Test Condition	Number
		Min.	Typ.	Max.			
Output voltage	$V_{\text{PREREG,BUCK}}$	5.65	5.8	5.95	V	PWM-mode; $V_{VS} \geq 6.5\text{ V}$	P_6.3.2.1
Output voltage	$V_{\text{PREREG,BUCK}}$	5.6	5.8	6.00	V	PFM-mode; $V_{VS} \geq 6.5\text{ V}$	P_6.3.2.2
Power stage high side switch on resistance	$R_{\text{ON, HS}}$	150	360	630	m Ω	$V_{VS} \geq 6\text{ V}$	P_6.3.2.3
Power stage low side switch on resistance	$R_{\text{ON, LS}}$	50	200	300	m Ω	$V_{VS} \geq 6\text{ V}$	P_6.3.2.4
Buck peak overcurrent limit	$I_{\text{PREREG, max}}$	1.578	1.857	2.135	A	–	P_6.3.2.5
SW rise time	$t_{\text{R, Buck}}$	2	6	14	ns	1) $6.5\text{ V} \leq V_{VS} \leq 18\text{ V}$; $I_{\text{PREREG}} \geq 0.5\text{ A}$	P_6.3.2.6
SW fall time	$t_{\text{F, Buck}}$	2	9	18	ns	1) $6.5\text{ V} \leq V_{VS} \leq 18\text{ V}$; $I_{\text{PREREG}} \geq 0.5\text{ A}$	P_6.3.2.7
Maximum duty cycle	$D_{\text{BUCK, max}}$	–	–	100	%	–	P_6.3.2.8
Minimum switch on time	$t_{\text{ON, min}}$	20	50	80	ns	$I_{\text{PREREG}} \geq 0.5\text{ A}$	P_6.3.2.9
Soft start ramp	$t_{\text{SS, BUCK}}$	70	190	380	μs	1) $V_{\text{PRE_REG,BUCK}}$ rising from 5% to 95% of $V_{\text{PREREG,nominal}}$; 2.2 MHz switching frequency; no load	P_6.3.2.10
Soft start ramp	$t_{\text{SS, BUCK}}$	0.7	2.0	3.5	ms	1) $V_{\text{PRE_REG,BUCK}}$ rising from 5% to 95% of $V_{\text{PRE_REG,nominal}}$; 400 kHz switching frequency; no load	P_6.3.2.11
Current threshold for transition from PWM to PFM	$I_{\text{PWM/PFM}}$	26	57	90	mA	–	P_6.3.2.12
Current threshold for transition from PFM to PWM	$I_{\text{PFM/PWM}}$	100	145	190	mA	–	P_6.3.2.13
Overtemperature warning threshold	$T_{\text{j,OT, WRN}}$	130	145	160	$^\circ\text{C}$	1) T_j increasing	P_6.3.2.14

(表格续下页.....)



表 8 (续) 电气特性：降压前级稳压器

$V_{VS} = 6\text{ V}$ 至 40 V ； $T_j = -40^\circ\text{C}$ 至 150°C ，所有电压均以地为参考，正向电流表示流入该引脚（除非另有说明）

Parameter	Symbol	Values			Unit	Note or Test Condition	Number
		Min.	Typ.	Max.			
Overtemperature shutdown threshold	$T_{j,OT, shutdown}$	175	190	205	$^\circ\text{C}$	1) T_j increasing	P_6.3.2.15
Overtemperature sensor hysteresis	$T_{j,OT, hyst}$	–	10	–	$^\circ\text{C}$	1)	P_6.3.2.16

1) 由设计规定，不进行生产测试。

5.4 频率设定

5.4.1 频率设定介绍

频率源为升压前级稳压器和降压前级稳压器提供恒定频率。降压前级稳压器的同步功率开关将直接以频率 f_{OSC} 进行开关动作。

降压前级稳压器的频率范围可以通过将引脚 FRE 保持开路来设置为高开关频率范围，或者通过将引脚 FRE 连接到接地来设置为低开关频率范围。开关频率将设置为所选频率范围的默认值。或者可以通过 *SPI* 指令（*BCK_FREQ_CHANGE*）进行微调，或者可以激活扩频选项（*BCK_FRE_SPREAD*）。

升压前级稳压器的开关频率范围低于降压前级稳压器的开关频率范围。

如果 SEC 引脚保持开路，降压前级稳压器的开关频率由 SYN 引脚提供，用于 μC 核电源的可选外部开关模式后级稳压器。

同步功能在 PFM 模式下不可用。

器件无法与外部频率源同步。

5.4.2 电气特性：频率设定

表 9 电气特性：频率设定

$V_{VS} = 6\text{ V}$ 至 40 V ； $T_j = -40^\circ\text{C}$ 至 150°C ，所有电压均以地为参考，正向电流表示流入该引脚（除非另有说明）

Parameter	Symbol	Values			Unit	Note or Test Condition	Number
		Min.	Typ.	Max.			
Step-up frequency range	$f_{OSC,step-up}$	400	500	600	kHz	–	P_6.4.2.1
Step-down low frequency range	$f_{OSC,step-down}$	300	400	500	kHz	FRE pin connected to GND	P_6.4.2.2
Step-down high frequency range	$f_{OSC,step-down}$	2000	2200	2500	kHz	FRE pin open	P_6.4.2.3

6 后级稳压器

6.1 后级稳压器介绍

该器件包括多个线性低压降后级稳压器和跟踪器，并可在需要时为微控制器核电源连接外部后级稳压器。

线性后级稳压器和跟踪器由 FBx 引脚供电。稳压器模块中的带隙 1 (band gap 1) 为微控制器供电的 [LDO](#) (引脚 QUC)、通信电源 LDO (引脚 QCO) 和基准电压源 (引脚 QVR) 提供误差放大器参考值。跟踪器的参考值来自参考电源 (QVR 引脚)。跟踪器 1 和 2 的输出电压 (出现在引脚 QT1 和 QT2 处) 跟随基准电压源 Volt_Ref，并略有下降。

可以添加一个额外的外部后级稳压器来为微控制器提供核心电源。如果使用此选项，则配置引脚 SEC 必须保持开路状态。如果未使用该选项，则必须将引脚 SEC 接地。

后级稳压器需外接并使用其自身的基准电压，输入由前级稳压器输出电压 V_{PREREG} 提供 (与 FBx 引脚的值类似)。后级稳压器由 EVC 引脚上的高电平信号使能，在 EVC 引脚上为低电平信号时关闭。同步信号 (与降压前级稳压器信号同相或偏移 180 度) 在 SYN 引脚上提供，用于后级稳压器开关模式。

后级稳压器的所有输出电压都连接到电压监测功能 (请参阅[监测功能](#)章节)。

如果发生过压，相关的后级稳压器将关闭，由电压监控功能产生关断信号。

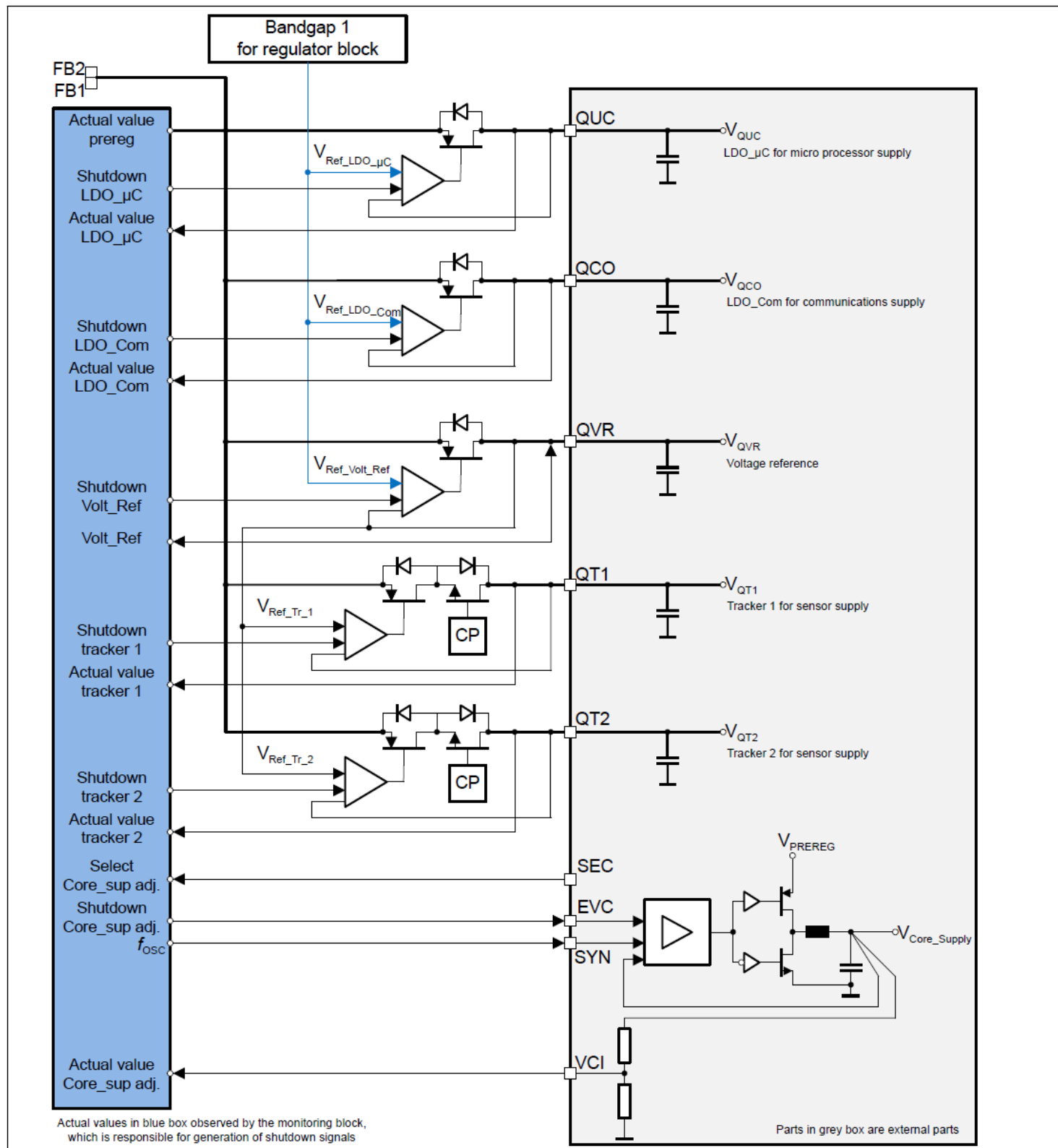


图9 后级稳压器原理

6.2.1 功能描述：微控制器电源

稳压器由提供稳定的中间电路电压 V_{PREREG} 供电。输出电压 V_{QUC} （在引脚 QUC）由误差放大器控制。实际值与来自稳压器带隙 1（band gap 1）的基准电压进行比较。控制环路的稳定性取决于负载电流、输出电容的特性和芯片温度。为确保稳定运行，输出电容选择应符合表 10 中规定的要求（电容值和等效串联阻抗（ESR））。下图所示的输入电容是降压前级稳压器的输出滤波电容。

- 为了保护 LDO_μC 的传输元件免受过载影响，限流功能会将输出电流限制在指定的最大限值内。电流检测通过电流镜实现，不使用检测电阻。如果达到最大电流条件，电流将受到限制，因此输出电压将下降。稳压器具有接地短路的保护功能。
- 输出电压由电压监控器监控。

如果引脚 QUC 出现欠压，器件将进入 INIT 状态，引脚 ROT 将被拉低，并且该事件将被存储在 SPI 状态寄存器（MONSF2）中。当输出欠压时间小于接地短路检测时间 t_{StG} 时，稳压器不会关闭。如果欠压持续时间超过 t_{StG} ，器件将进入 FAILSAFE 状态。该事件将被存储在 SPI 状态寄存器（MONSF0）中。

如果功率级温度超过温度关断阈值，器件将进入 FAILSAFE 状态，稳压器将关闭，事件将存储在 SPI 状态寄存器（OTFAIL）中。由于温度关断导致的关闭时间至少为一秒。

如果器件进入 STANDBY 状态，则 LDO μ C 被关闭

详情请参阅第 10 章状态机。

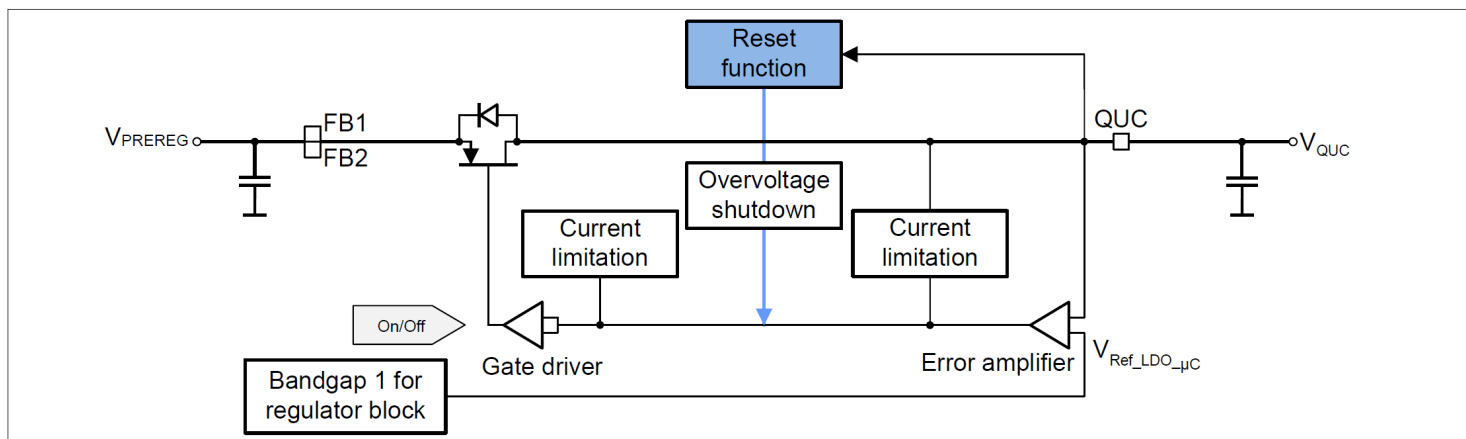


图 10 用于微控制器供电的低压降线性稳压器 LDO_{μC}

6.2.2 电气特性：微控制器电源

表 10 电气特性：微控制器电源

$V_{VS} = 6\text{ V}$ 至 40 V ； $T_j = -40^\circ\text{C}$ 至 150°C ，所有电压均以地为参考，正向电流表示流入该引脚（除非另有说明）

Parameter	Symbol	Values			Unit	Note or Test Condition	Number
		Min.	Typ.	Max.			
Output voltage	V_{QUC}	3.23	3.3	3.37	V	$0\text{ mA} \leq I_{QUC} \leq 600\text{ mA}$	P_7.2.2.2
Output current limitation	$I_{QUC, \max}$	650	–	1100	mA	–	P_7.2.2.3
Dropout voltage	$V_{dr, QUC}$	–	–	500	mV	1)	P_7.2.2.5
Load regulation	ΔV_{QUC}	–	39	60	mV	$I_{QUC} = 100\text{ }\mu\text{A}$ to 600 mA	P_7.2.2.7
Power supply ripple rejection	$PSRR_{QUC}$	26	–	–	dB	2) $V_{PREREG} = 5.8\text{ V}$; $ESR_{C_{QUC}} \leq 100\text{ m}\Omega$	P_7.2.2.8
Output capacitor	C_{QUC}	2.2	–	47	μF	2)	P_7.2.2.9
Output capacitor, ESR	$ESR\ C_{QUC}$	0	–	200	$\text{m}\Omega$	2)	P_7.2.2.10
Overtemperature warning threshold	$T_{j,OT, WRN}$	130	145	160	$^\circ\text{C}$	2) T_j increasing	P_7.2.2.11
Overtemperature shutdown threshold	$T_{j,OT, shutdown}$	175	190	205	$^\circ\text{C}$	2) T_j increasing	P_7.2.2.12
Overtemperature sensor hysteresis	$T_{j,OT, hyst}$	–	10	–	$^\circ\text{C}$	2)	P_7.2.2.13

- 1) 电压差定义为：在输入电压 $V_I = V_{Q,nom} + V_{dr, \max} + 100\text{ mV}$ 条件下，测得的输出电压下降 100 mV 时的电压值，与输入电压之间的差值。
- 2) 由设计规定，不进行生产测试。

6.3 通信电源

6.3.1 功能描述：通信电源

稳压器由中间电路电压 V_{PREREG} 供电，该电压提供稳定的电压。输出电压 V_{QCO} （在引脚QCO）由误差放大器控制。实际值与来自稳压器带隙1（band gap 1）的基准电压进行比较。控制环路的稳定性取决于负载电流、输出电容的特性和芯片温度。为确保稳定运行，应根据表 11 中规定的要求（电容值和电气串联阻抗 ESR ）。下图所示的输出电容是降压前级稳压器的输出滤波电容。

- 为保护 LDO_Com 的传输元件免受过应力影响，电流限制功能会将输出电流限制在规定的最大值以内。电流检测通过电流镜实现，不使用检测电阻。如果达到最大电流条件，电流将受到限制，因此输出电压将下降。稳压器具有接地短路的保护功能。

- 输出电压由电压监控器监控。

如果引脚 QCO 出现过压，LDO_Com 将被关闭，该事件将通过中断指示并存储在 *SPI* 状态寄存器（MONSE1）中。

如果引脚 QCO 出现欠压，该事件将以中断的形式指示并存储在 SPI 状态寄存器（MONSF2）中。当输出欠压小于接地短路检测时间 t_{StG} 时，稳压器不会关闭。如果欠压持续时间超过 t_{StG} 时，稳压器将关闭。该事件将被存储在 SPI 状态寄存器（MONSF0）中并且会产生中断。

- 该稳压器配有专用的温度传感器。

如果功率级温度超过预警阈值，则会发出中断指示此事件，并将该事件存储在SPI状态寄存器（OTWRNSF）中。

如果功率级温度超过温度关断阈值，该事件将被存储在 SPI 状态寄存器（OTFAIL）中，稳压器将被关闭并产生中断。

温度过高导致关机后，可以通过 SPI 指令重新开启 LDO Com。

在 STANDBY 和 FAILSAFE 状态下，稳压器 LDO_Com 关闭。在 INIT、SLEEP、NORMAL 和 WAKE 状态下，LDO_Com 的开启或关闭状态取决于 SPI 配置。

详情请参阅第 10 章状态机。

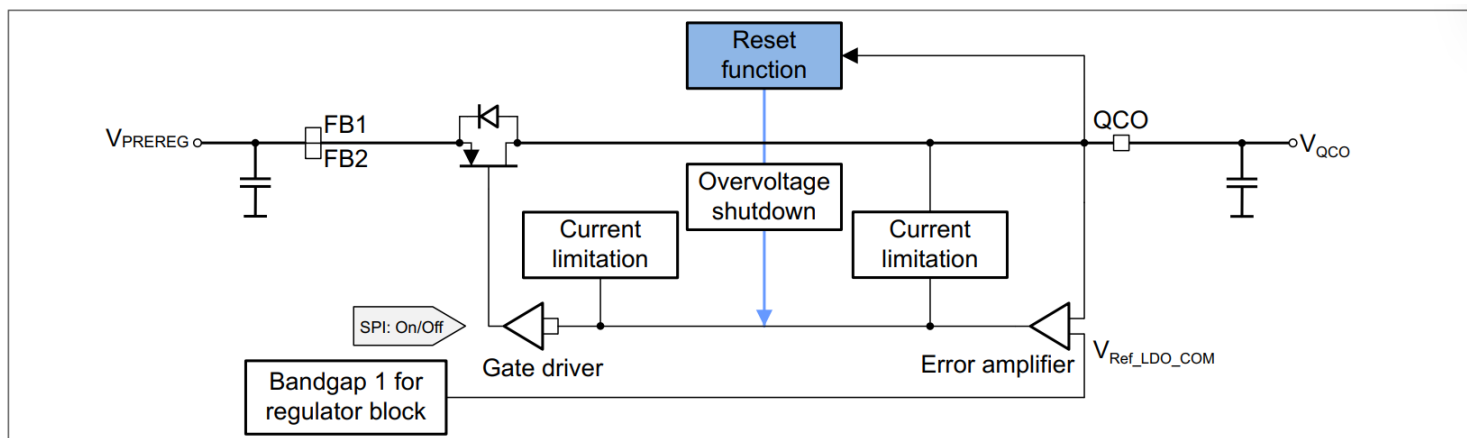


图 11 用于通信电源的低压降线性稳压器 LDO Com

6.3.2 电气特性：通信电源

表 11 电气特性：通信电源

$V_{VS} = 6\text{ V}$ 至 40 V ; $T_j = -40^\circ\text{C}$ 至 150°C , 所有电压均以地为参考, 正向电流表示流入该引脚 (除非另有说明)

Parameter	Symbol	Values			Unit	Note or Test Condition	Number
		Min.	Typ.	Max.			
Output voltage	V_{QCO}	4.90	5.00	5.10	V	$0\text{ mA} \leq I_{QCO} \leq 200\text{ mA}$	P_7.3.2.1
Output current limitation	$I_{QCO, \max}$	250	–	400	mA	–	P_7.3.2.2
Drop voltage	$V_{dr, QCO}$	–	–	400	mV	1)	P_7.3.2.3
Load regulation	ΔV_{QCO}	–	40	70	mV	$I_{QCO} = 100\text{ }\mu\text{A}$ to 200 mA	P_7.3.2.4
Power supply ripple rejection	$PSRR_{QCO}$	26	–	–	dB	2) $V_{PREREG} = 5.8\text{ V}$; $ESR_{C_{QCO}} \leq 100\text{ m}\Omega$	P_7.3.2.5
Output capacitor	C_{QCO}	1	–	47	μF	2)	P_7.3.2.6
Output capacitor, ESR	$ESR_{C_{QCO}}$	0	–	200	$\text{m}\Omega$	2)	P_7.3.2.7
Overtemperature warning threshold	$T_{j, OT, WRN}$	130	145	160	$^\circ\text{C}$	2) T_j increasing	P_7.3.2.8
Overtemperature shutdown threshold	$T_{j, OT, shutdown}$	175	190	205	$^\circ\text{C}$	2) T_j increasing	P_7.3.2.9
Overtemperature sensor hysteresis	$T_{j, OT, hyst}$	–	10	–	$^\circ\text{C}$	2)	P_7.3.2.10

1) 电压差定义为：在输入电压 $V_i = V_{Q, \text{nom}} + V_{dr, \text{max}} + 100\text{ mV}$ 条件下, 测得的输出电压下降 100 mV 时的电压值, 与输入电压之间的差值。

2) 由设计规定, 不进行生产测试。

6.4 基准电压

6.4.1 功能描述：基准电压

线性低压降稳压器 Volt_Ref 提供高精度 5.0 V 输出电压作为基准电压。

稳压器由中间电路电压 V_{PREREG} 供电，该电压提供稳定的电压。引脚 QVR 处的输出电压 V_{QVR} 由误差放大器控制。实际值与来自稳压器带隙 1 (bandgap 1) 的基准电压进行比较。控制环路的稳定性取决于负载电流、输出电容的特性和芯片温度。为确保稳定运行，应根据表 12 中规定的要求（电容值和电气串联阻抗 ESR ）选择输出电容。下图所示的输入电容是降压前级稳压器的输出滤波电容。

为防止稳压器和应用电路受到损害，器件内置了保护电路：

- 为了保护 Volt_Ref 的传输元件免受过应力，电流限制功能会将输出电流限制在规定的最大值以内。电流检测通过电流镜实现，不使用检测电阻。如果达到最大电流条件，电流将被限制，因此输出电压将下降。稳压器具有接地短路的保护功能。

- 输出电压由电压监控器监控。

如果引脚 QVR 出现过压，LDO Volt_Ref 将被关闭，器件将进入 FAILSAFE 状态。该事件将存储在 SPI 状态寄存器 (MONSF1) 中。

如果引脚 QVR 出现欠压，该事件将以中断的形式指示并存储在 SPI 状态寄存器 (MONSF2) 中。当输出欠压持续的时间小于接地短路检测时间 t_{StG} ，稳压器不会关闭。如果欠压持续时间超过 t_{StG} ，稳压器将关闭。该事件将被存储在 SPI 状态寄存器 (MONSF0) 中并产生一个中断。

- 该稳压器没有专用的温度传感器。芯片上的温度由位于 LDO_μC 和降压前级稳压器的其他温度传感器感测。如果芯片温度超过预警阈值，则会出现中断指示该事件，并将其存储在 SPI 状态寄存器 (OTWRNSF) 中。如果芯片温度超过温度关断阈值，稳压器将关闭。温度关断时间至少为一秒。

当 LDO 的 Volt_Ref 引脚发生过载（检测到超过 1 毫秒的过流）时，将通过中断进行指示，并存储在 SPI 状态寄存器 (OTWRNSF) 中。

如果器件进入 FAILSAFET 状态，则 ROT 被拉低，所有电源都被关闭。

在 STANDBY 和 FAILSAFE 状态下，稳压器 Volt_Ref 关闭。在 INIT、SLEEP、NORMAL 和 WAKE 状态下，Volt_Ref 的开启或关闭状态取决于 SPI 配置。

详情请参阅第 10 章状态机。

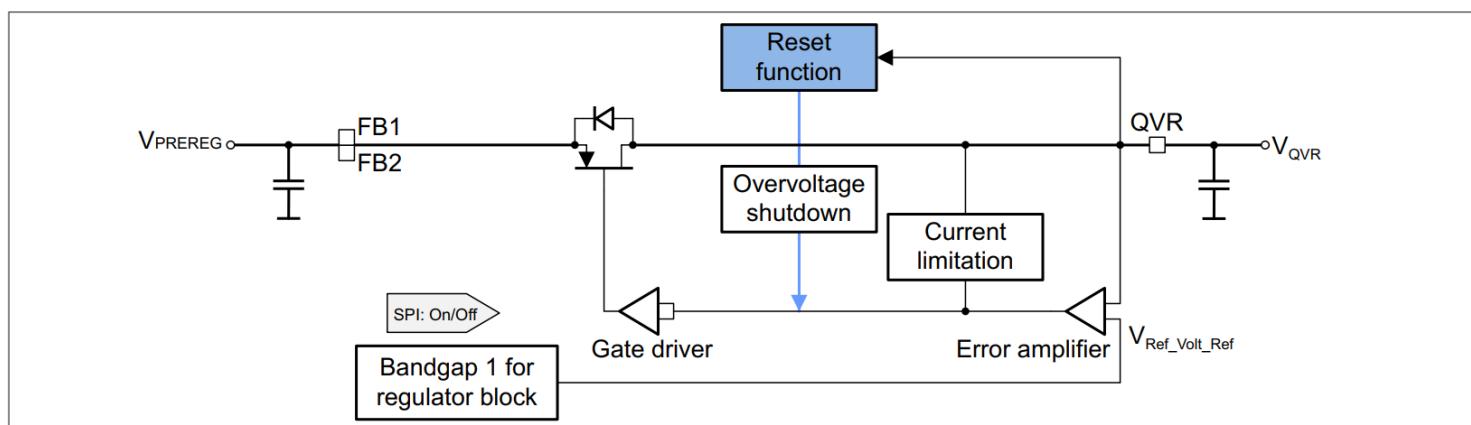


图 12 精密低压降线性稳压器作为基准电压 Volt_Ref

6.4.2 电气特性：基准电压

表12 电气特性：基准电压

$V_{VS} = 6\text{ V}$ 至 40 V ； $T_j = -40^\circ\text{C}$ 至 150°C ，所有电压均以地为参考，正向电流表示流入该引脚（除非另有说明）

Parameter	Symbol	Values			Unit	Note or Test Condition	Number
		Min.	Typ.	Max.			
Output voltage	V_{QVR}	4.95	5.00	5.05	V	$0\text{ mA} \leq I_{QVR} \leq 150\text{ mA}$	P_7.4.2.1
Output current limitation	$I_{QVR, \text{max}}$	170	–	345	mA	–	P_7.4.2.2
Drop voltage	$V_{\text{dr}, QVR}$	–	–	400	mV	1)	P_7.4.2.3
Load regulation	ΔV_{QVR}	–	4.5	9	mV	$I_{QVR} = 100\text{ }\mu\text{A}$ to 150 mA	P_7.4.2.4
Power supply ripple rejection	$PSRR_{QVR}$	26	–	–	dB	2) $V_{\text{PREREG}} = 5.8\text{ V}$; $ESRC_{QVR} \leq 100\text{ m}\Omega$	P_7.4.2.5
Output capacitor	C_{QVR}	1	–	10	μF	2)	P_7.4.2.6
Output capacitor, ESR	$ESR\ C_{QVR}$	0	–	200	$\text{m}\Omega$	2)	P_7.4.2.7

1) 电压差定义为：在输入电压 $V_I = V_{Q, \text{nom}} + V_{\text{dr}, \text{max}} + 100\text{ mV}$ 条件下，测得的输出电压下降 100 mV 时的电压值，与输入电压之间的差值。
2) 由设计规定，不进行生产测试。

6.5 跟踪器 1 和 2

6.5.1 功能描述：跟踪器 1 和 2

线性跟踪器 1 和 2 提供具有非常高精度的传感器电源，参考电压输出（引脚 QVR）。

两个跟踪器均由中间电路电压 V_{PREREG} 供电，该电压提供稳定的电压。引脚 QTx 处的输出电压 V_{QTx} 由误差放大器控制。实际值会与由 QVR 引脚处的基准电压 V_{QVR} 提供的基准电压进行比较。跟踪器输出电压跟随 Volt_Ref 输出，但有一个非常小的压降。控制环路的稳定性取决于负载电流、输出电容的特性和芯片温度。为了确保稳定运行，每个跟踪器的输出电容器应根据表 13 中指定的要求（电容值和电气串联阻抗 *ESR*）进行选择。下图所示的输入电容是降压前级稳压器的输出滤波电容。

安装保护电路是为了防止追踪器和应用电路受到损坏：

- 为了保护跟踪器的传输元件免受过载影响，限流功能会将输出电流限制在最大指定限值。电流检测通过电流镜实现，不使用检测电阻。如果达到最大电流条件，电流将受到限制，因此输出电压将下降。跟踪器具有接地短路和对电池电压短路保护功能。
- 输出电压由电压监控器监控。
如果引脚 QTx 出现过压，相应的跟踪器将被关闭，事件将被存储在 SPI 状态寄存器（MONSF1）中并产生中断。
如果引脚 QTx 出现欠压，该事件将存储在 SPI 状态寄存器（MONSF2）中并产生中断。当输出欠压持续时间小于接地短路检测时间 t_{StG} 时，跟踪器不会关闭。如果欠压持续时间超过 t_{StG} ，跟踪器将关闭。该事件将被存储在 SPI 状态寄存器（MONSF0）中并产生中断。
- 跟踪器能够承受接地或电池电压的短路而不会受到损坏。
如果出现对电池短路电压并且电池电压高于跟踪器过压阈值，则跟踪器将关闭，该事件将存储在 SPI 状态寄存器（MONSF1）中。
- 该稳压器没有专用的温度传感器。芯片上的温度由位于 LDO_μC 和降压前级稳压器的其他温度传感器进行检测。如果芯片温度超过预警阈值，该事件将被存储在 SPI 状态寄存器（OTWRNSF）中并产生中断。如果芯片温度超过温度关断阈值，跟踪器将关闭。温度关断时间至少为一秒。

在 STANDBY 和 FAILSAFE 状态下，两个跟踪器均关闭。在 INIT、NORMAL、SLEEP 和 WAKE 状态下，每个跟踪器的开启或关闭状态取决于 SPI 的配置。

6.6 用于核供电的外部后级稳压器（可选）

如果需要，可以在器件中添加一个额外的外部后级稳压器，为微控制器提供核心电源电压 $V_{\text{Core_Supply}}$ 。在这种情况下，配置引脚 SEC 必须保持开路，以指示外部核心电源电压选项处于激活。SEC 引脚的配置仅在核心电源启动时的电源时序期间被读取（从 STANDBY 到 INIT，请参阅图 15 和从 STANDBY 到 INIT 状态电源时序）。

稳压器由中间电路电压 V_{PREREG} 供电。后级稳压器由 EVC 引脚上的高电平信号启用，并由 EVC 引脚上的低电平信号关闭。EVC 信号由状态机控制。例如，当检测到引脚 VCI 处的过压时，将在引脚 EVC 处产生低信号，并关闭后级稳压器以保护微控制器核心。

该器件在 SYN 引脚上提供 50% 占空比的同步信号，其相位（仅具有非常小的延迟）和频率与内部降压前级稳压器相等，或者相位移位 180 度（通过 SPI 指令选择）。强烈建议将外部切换模式后级稳压器与该信号同步，以避免干扰。一旦前级稳压器输出电压 V_{PREREG} 出现且 LDO_μC 输出电压 V_{QUC} 高于复位阈值下限，外部后级稳压器将启用。

后级稳压器的输出电压 $V_{\text{Core_Supply}}$ 将由器件的复位功能监控。为了获得适当的监测电压，后级稳压器的输出电压必须通过电阻分压器连接到引脚 VCI 的电压监测输入端。电阻分压器的尺寸应能够将后级稳压器输出电压 $V_{\text{Core_Supply}}$ 调整至内部复位基准电压 V_{VCI} 。

SYN 引脚的同步信号可以通过 SPI 指令打开，默认配置是关闭的。应安装保护电路以防止外部稳压器和应用电路受到损坏：

- 为保护外部后级稳压器的传输器件免受过应力影响，限流功能应将输出电流限制在规定的最大值以内。电流检测应通过电流镜实现，不应使用检测电阻。如果出现最大电流，电流将被限制，因此输出电压会下降。稳压器应具备短路到地的保护功能。
- 输出电压由器件的电压监测来监控，外部后级稳压器无需额外的复位功能。如果外部后级稳压器具有该等复位功能，它将不会被器件的复位功能使用或支持。

如果引脚 VCI 过压，器件会通过将引脚 EVC 拉至低电平来关断外部后级稳压器，并进入 FAILSAFE 状态。事件存储在 SPI 状态寄存器（MONSF1）中。

如果引脚 VCI 出现欠压，器件将进入 INIT 状态，引脚 ROT 将被拉低，并且该事件将被存储在 SPI 状态寄存器（MONSF2）中。当输出欠压时间小于接地短路检测时间 t_{StG} 时，外部后级稳压器不会关断。如果欠压持续时间超过 t_{StG} ，器件将进入 FAILSAFE 状态。该事件将被存储在 SPI 状态寄存器（MONSF0）中。

- 外部后级稳压器应具有温度关断功能。如果功率级温度超过温度关断阈值，则后级稳压器应通过自身温度关断机制关闭。器件将此识别为欠压，并按上述方式做出反应。

6 Post-regulators

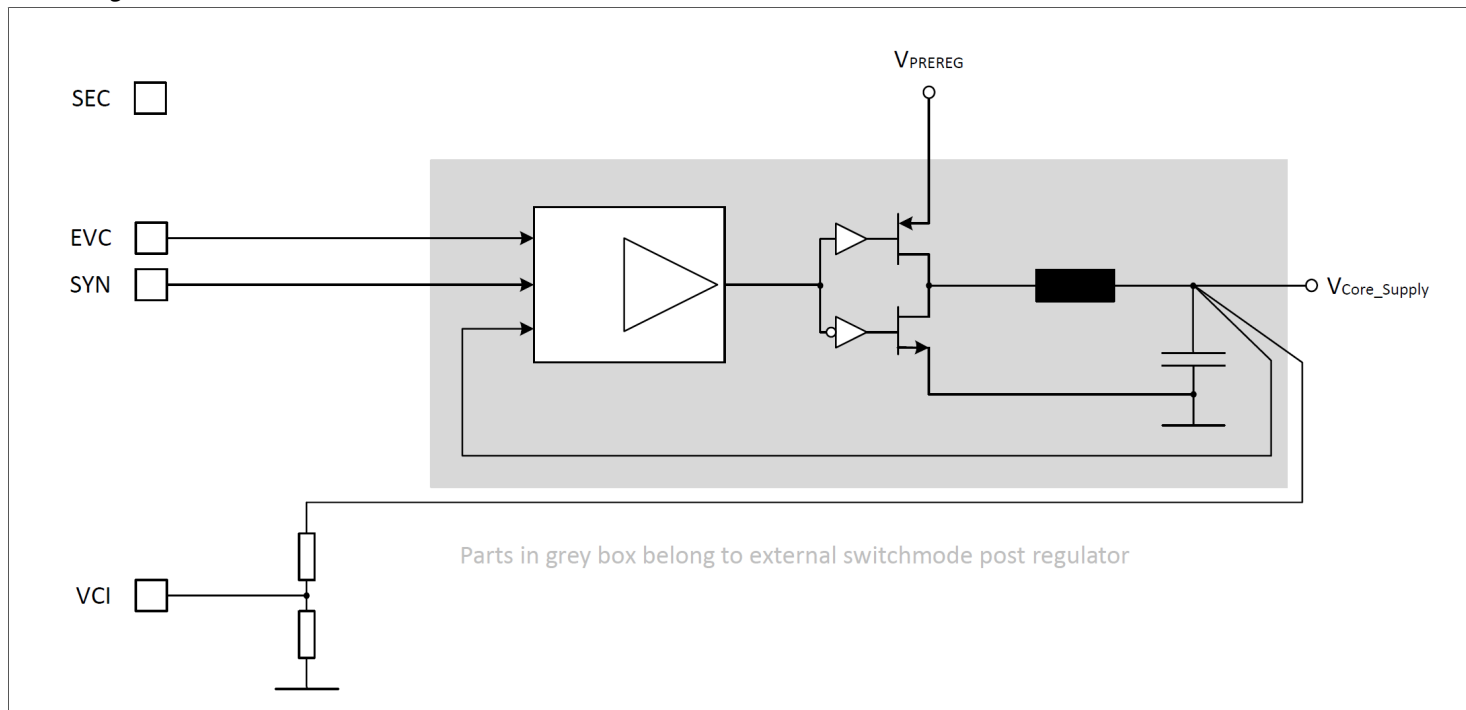


图 14 用于核供电的外部开关模式后级稳压器

表 14 电气特性：外部后级稳压器

$V_{VS} = 6\text{ V}$ 至 40 V ; $T_j = -40^\circ\text{C}$ 至 150°C , 所有电压均以地为参考, 正向电流表示流入该引脚 (除非另有说明)

Parameter	Symbol	Values			Unit	Note or Test Condition	Number
		Min.	Typ.	Max.			
Enable signal, pin EVC							
Enable high level	$V_{\text{EVC, high}}$	2.3	–	–	V	$V_{\text{QUC}} = 3.3 \text{ V};$ $I_{\text{EVC}} = -7 \text{ mA}$	P_7.6.0.4
Enable high level>	$V_{\text{EVC, high}}$	3.0	–	–	V	$V_{\text{QUC}} \geq 3.1 \text{ V};$ $I_{\text{EVC}} = -0.5 \text{ mA}$	P_7.6.0.5
Enable low level	$V_{\text{EVC, low}}$	–	–	0.7	V	$V_{\text{QUC}} = 3.3 \text{ V}; I_{\text{EVC}} =$ 5.5 mA	P_7.6.0.6
Enable rise time	$t_{\text{EVC, rise}}$	–	–	25	ns	¹⁾ $C_{\text{EVC, load}} = 50 \text{ pF}$	P_7.6.0.7
Enable fall time	$t_{\text{EVC, fall}}$	–	–	25	ns	¹⁾ $C_{\text{EVC, load}} = 50 \text{ pF}$	P_7.6.0.8
Synchronization signal source							
Sync out high level	$V_{\text{SYN, high}}$	2.3	–	–	V	$V_{\text{QUC}} = 3.3 \text{ V};$ $I_{\text{SYN}} = -7 \text{ mA}$	P_7.6.0.12
Sync out high level	$V_{\text{SYN, high}}$	3.0	–	–	V	$V_{\text{QUC}} \geq 3.1 \text{ V};$ $I_{\text{SYN}} = -0.5 \text{ mA}$	P_7.6.0.13
Sync out low level	$V_{\text{SYN, low}}$	–	–	0.7	V	$V_{\text{QUC}} = 3.3 \text{ V};$ $I_{\text{SYN}} = 5.5 \text{ mA}$	P_7.6.0.14

(表格续下页.....)

表 14 (续) 电气特性：外部后级稳压器

$V_{VS} = 6\text{ V}$ 至 40 V ； $T_j = -40^\circ\text{C}$ 至 150°C ，所有电压均以地为参考，正向电流表示流入该引脚（除非另有说明）

Parameter	Symbol	Values			Unit	Note or Test Condition	Number
		Min.	Typ.	Max.			
Sync out signal duty cycle	D_{SYN}	–	50	–	%	–	P_7.6.0.15
Synch out signal rise time	$t_{\text{SYN, rise}}$	–	–	25	ns	¹⁾ $C_{\text{SYN, load}} = 50\text{ pF}$	P_7.6.0.16
Synch out signal fall time	$t_{\text{SYN, fall}}$	–	–	25	ns	¹⁾ $C_{\text{SYN, load}} = 50\text{ pF}$	P_7.6.0.17

Core voltage supply monitoring input

Core voltage monitoring input pull-up current	I_{VCI}	–	100	130	nA	$V_{\text{VCI}} = 0.8\text{ V}$	P_7.6.0.18
---	------------------	---	-----	-----	----	---------------------------------	------------

1) 由设计规定，不进行生产测试。

6.7 电源时序

该器件包括电源时序功能，以确保所有输出电压正确上升。内部 *POR* 释放后，待机稳压器和前级稳压器将开始工作。

如果某个与微控制器无关的电压（Volt_Ref、LDO_Com、Tracker1 或 Tracker2）无法上升（例如接地短路），则电源时序停止，但复位输出仍会在上电复位延迟 t_{rd} 后被释放。微控制器应通过读取 *SPI* 状态寄存器（*VMONSTAT*）来检查各输出的状态。

如果微控制器在上下电时序过程中发送 *SPI* 请求启用或禁用任何非微控制器相关的 *LDO*（Volt_Ref、LDO_Com、Tracker1 或 Tracker2），则序列将停止，并执行所请求的配置。

6.7.1 从 POR 到 INIT 状态电源时序

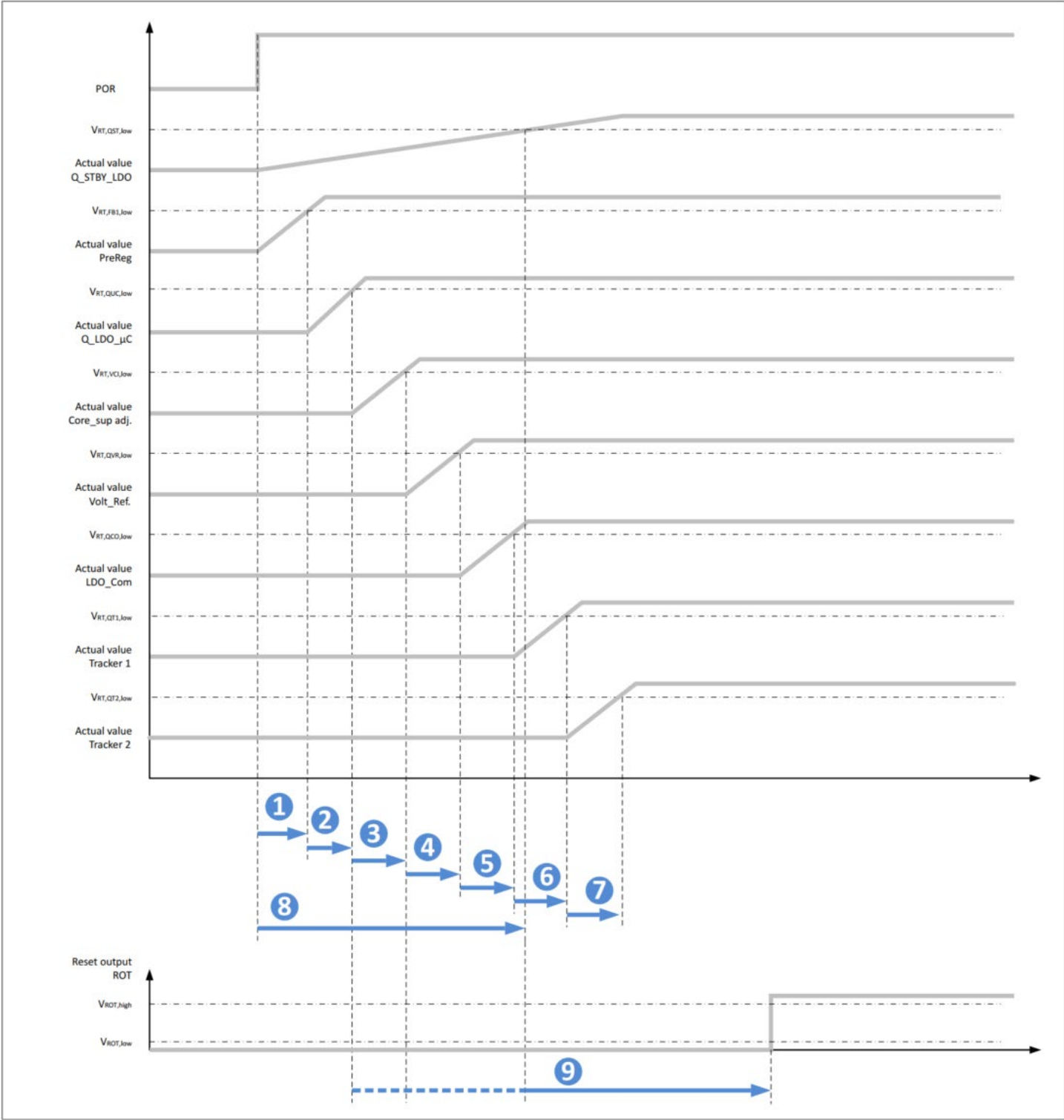


图 15 从 POR 到 INIT 状态电源时序

说明:

1. 在 **POR** 释放后，待机稳压器和前级稳压器开始工作。
2. 当 V_{FB} 高于复位阈值下限 $V_{RT,FB,low}$ 时，LDO_μC 开始工作。
3. 当 V_{QUC} 高于复位阈值下限 $V_{RT,QUC,low}$ 时，外部核电源将被启用（如果选择）。如果未选择启用外部核心供电，基准电压 **LDO** 开始工作。

6 Post-regulators

4. 如果选择外部核心供电且 V_{VCI} 高于复位阈值下限 $V_{RT,VCI,low}$ ，基准电压 LDO 开始工作。
5. 当 V_{QVR} 高于复位阈值下限 $V_{RT,QVR,low}$ 时，LDO_Com 开始工作。
6. 当 V_{QCO} 高于复位阈值下限 $V_{RT,QCO,low}$ 时，Tracker 1 开始工作。
7. 当 V_{QT1} 高于复位阈值下限 $V_{RT,QTx,low}$ 时，Tracker 2 开始工作。
8. 这是从启用待机稳压器到其输出 V_{QST} 高于复位阈值下限 $V_{RT,QST,low}$ 的时间。
9. 复位延时时间 t_{RD} 在 LDO_STBY、LDO_μC 和外部核心电源（如果选择）达到其下限复位阈值 $V_{RT,x,low}$ 后开始。复位延时时间可通过 [SPI](#) 进行配置。复位延时时间结束后，ROT 引脚被拉高。

图中显示了 t_{RD} 启动时间的可能性。

一旦 ROT 变为高电平，微控制器可以改变可选 LDO 的配置，这可能会相应地改变电源时序。

6.7.2 从 STANDBY 到 INIT 状态电源时序

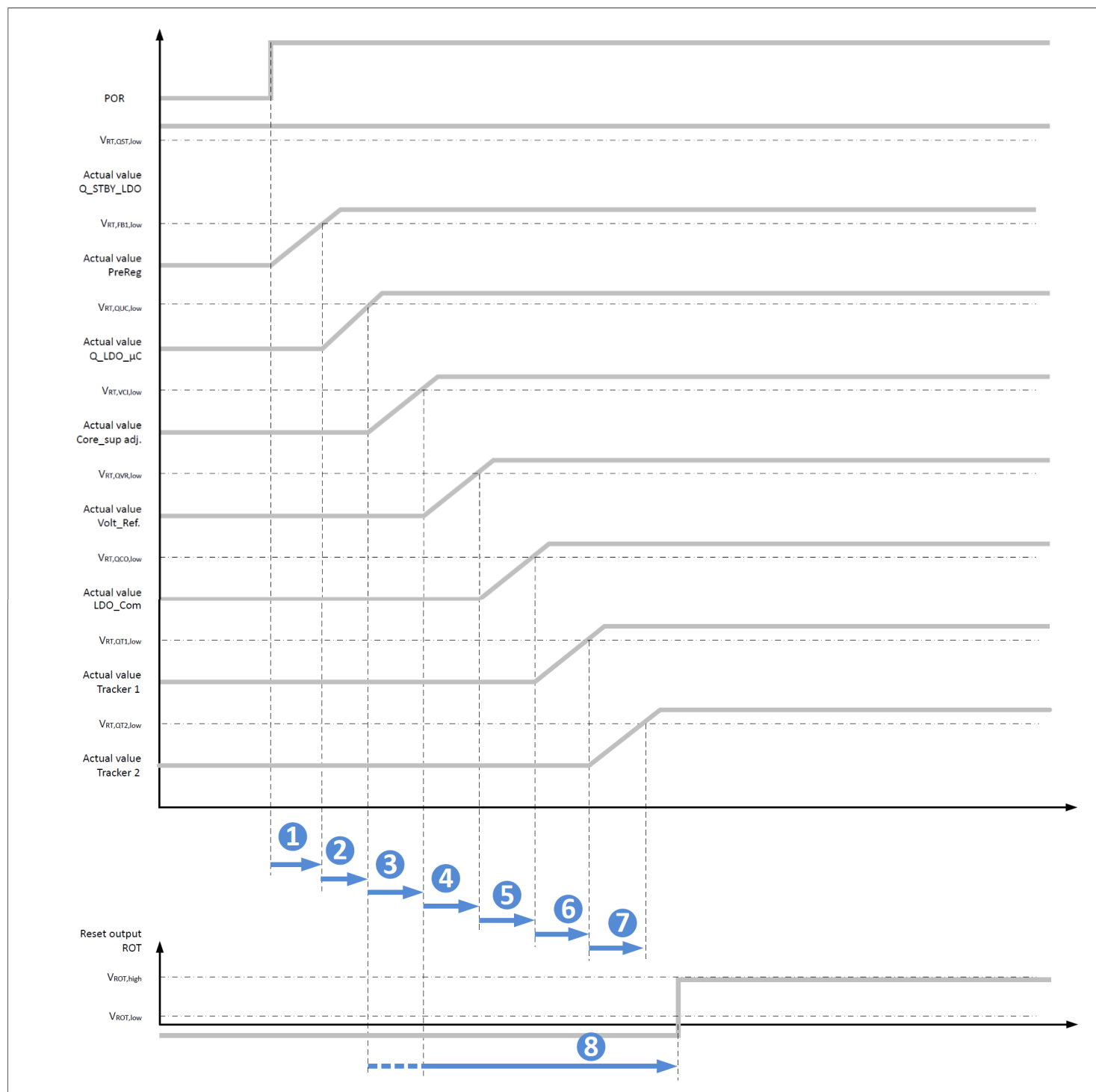


图 16 从 STANDBY 到 INIT 状态电源时序

描述：输入电压存在，器件处于 STANDBY 状态，LDO_STBY 激活。

1. 在有效的唤醒信号或唤醒定时器到期后，前级稳压器开始工作。
2. 当 V_{FB} 高于复位阈值下限 $V_{RT,FB,low}$ 时，LDO_μC 开始工作。
3. 当 V_{QUC} 高于复位阈值下限 $V_{RT,QUC,low}$ 时，外部核电源将被启用（如果选择）。如果未选择启用外部核心供电，基准电压 LDO 开始工作。
4. 如果选择外部核心供电且 V_{VCI} 高于复位阈值下限 $V_{RT,VCI,low}$ ，基准电压 LDO 开始工作。

6 Post-regulators

- 5. 当 V_{QVR} 高于复位阈值下限 $V_{RT,QVR,low}$ 时, LDO_Com 开始工作。
- 6. 当 V_{QCO} 高于复位阈值下限 $V_{RT,QCO,low}$ 时, Tracker 1 开始工作。
- 7. 当 V_{QT1} 高于复位阈值下限 $V_{RT,QTx,low}$ 时, Tracker 2 开始工作。
- 8. 复位延时时间 t_{RD} 在 LDO_μC 和外部核心电源 (如果选择) 达到其复位阈值下限 $V_{RT,x,low}$ 后开始。复位延时时间可通过 [SPI](#) 进行配置。复位延时时间结束后, ROT 引脚被拉高。

图中显示了 t_{RD} 启动时间的可能性。

6.7.3 从SLEEP到WAKE状态电源时序

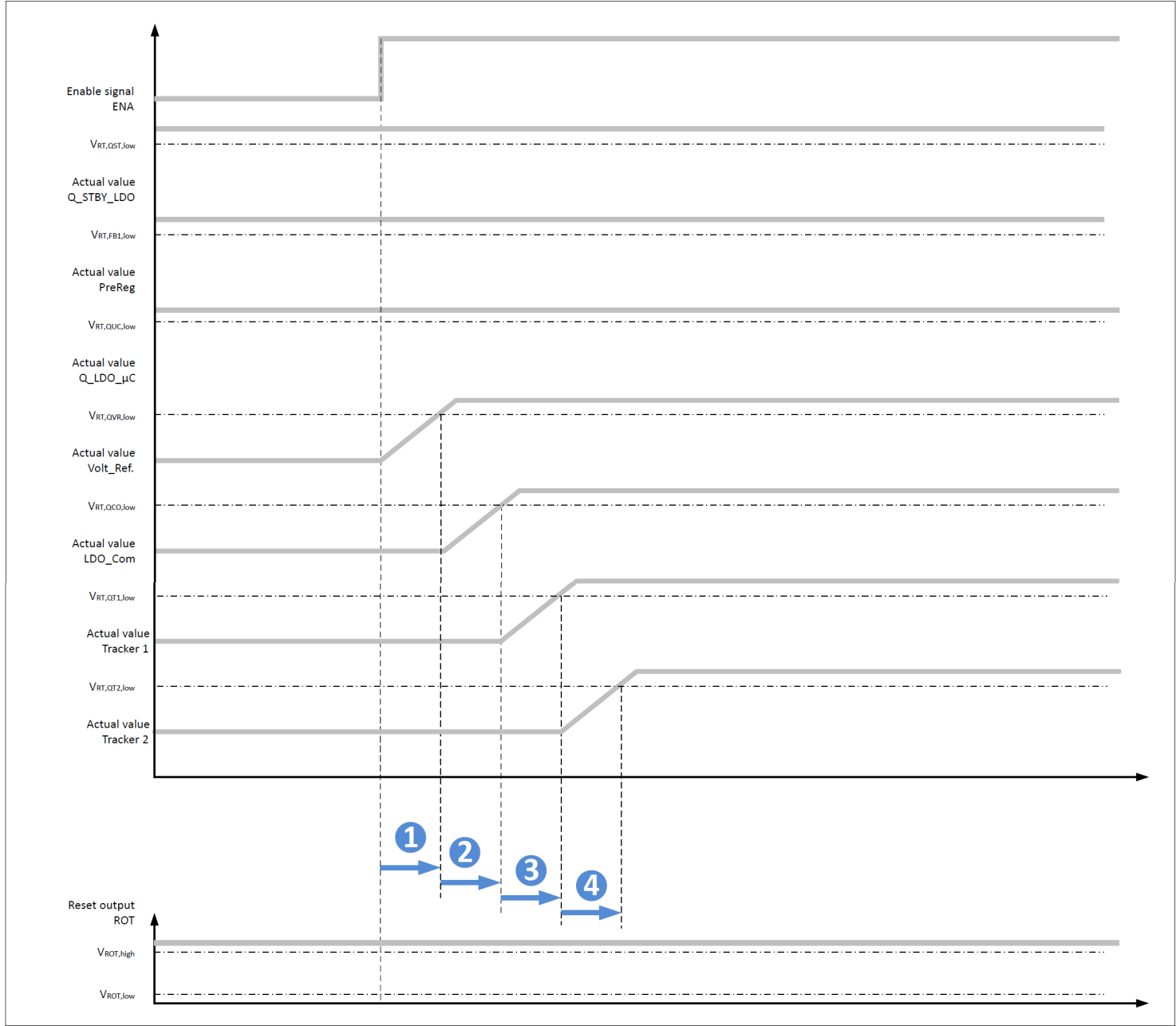


图 17 从 SLEEP 到 WAKE 状态电源时序

说明：输入电压存在，器件处于 SLEEP 状态，所有可选 LDO 在睡眠状态下均已关闭，所有可选 LDO 在之前的 NORMAL 状态下均已开启：

1. 在有效唤醒信号或唤醒定时器到期后，基准电压开始工作。
2. 当 V_{QVR} 高于复位阈值下限 $V_{RT,QVR,low}$ 时，LDO_Com 开始工作。
3. 当 V_{QCO} 高于复位阈值下限 $V_{RT,QCO,low}$ 时，Tracker 1 开始工作。
4. 当 V_{QT1} 高于复位阈值下限 $V_{RT,QTx,low}$ 时，Tracker 2 开始工作。

复位输出 ROT 在 SLEEP 状态下为高电平，并且在 WAKE 状态下保持为高电平。

如果某个可选的 **LDO** 在先前的 NORMAL 状态下被关闭，那么在从 SLEEP 过渡到 WAKE 期间不会启用，电源时序将跟随下一个 LDO。如果某个 LDO 在 SLEEP 状态期间启用的并且在之前的 NORMAL 状态期间启用，它将保持启用的。

7 监测功能

7.1 监测功能介绍

该器件包括对所有输出电压的独立电压监测功能，包括用于微控制器核心供电的可选外部后级稳压器（如果使用）。

监测功能由每个输出电压的两个比较器组成。一种是检测过压，另一种是检测欠压。两个比较器的基准值均来自仅用于电压监测功能块的独立带隙。该带隙与稳压器带隙基准是相互独立的。带隙为过压检测（高电压复位阈值 $V_{RT,xxx,high}$ ）和欠电压检测（低电压复位阈值 $V_{RT,xxx,low}$ ）提供基准值。在正常工作条件下，相关稳压器的输出电压必须保持在由上限 $V_{RT,xxx,high}$ 和下限 $V_{RT,xxx,low}$ 定义的电压窗口内。

监测功能块设有专用温度传感器。如果功率级温度超过温度关断阈值，器件将进入 FAILSAFE 状态，稳压器将关闭，事件将存储在 SPI 状态寄存器（OTFAIL）中。由于温度关断导致的关闭时间至少为一秒。

特性

过压比较器和欠压比较器的行为如下：

- 对于每个稳压器，上限 $V_{RT,xxx,high}$ 和下限 $V_{RT,xxx,low}$ 都是固定的，不能通过 SPI 指令进行编程或改变。
- 如果稳压器输出电压高于对应的过压复位阈值 $V_{RT,xxx,high}$ 并持续超过复位响应时间 t_{RR} ，则会被检测为过压。高于相关过压复位阈值 $V_{RT,xxx,high}$ 且持续时间短于复位响应时间 t_{RR} 的过压，将被视为瞬态尖脉冲，不会被检测为过压。

如果稳压器输出电压低于对应的欠压复位阈值 $V_{RT,xxx,low}$ 且持续时间超过复位响应时间 t_{RR} ，则检测为欠压。低于对应欠压复位阈值 $V_{RT,xxx,low}$ 且持续时间短于复位响应时间 t_{RR} 的欠压将被视为瞬态尖脉冲，不会被检测为欠压。

- 对于内部电源欠压和过压情况，复位响应时间 t_{RR} 不适用。
- 一旦检测到过压，就会立即关闭相关的稳压器，以保护负载免受伤害或破坏。
此次关断可能导致（取决于受影响的稳压器）进一步行动，详情请参阅[状态机](#)章节。

- 检测到欠压不会关闭相关的稳压器。
- 后级稳压器（包括为微控制器核心供电的可选外部后级稳压器）具有接地短路检测功能。

如果检测到的欠压持续时间超过接地短路检测时间 t_{StG} ，则相关稳压器将关闭

以保护自身和芯片免受过热影响。此关机操作可能会导致（取决于受影响的稳压器）进一步行动，请参阅[状态机](#)章节了解详情。（用于微控制器核心供电的外部后级稳压器必须具备使能或禁止功能。）。

- 过压和欠压检测仅在相关稳压器被使用并处于开启状态时才会激活（包括用于微控制器核心供电的外部后级稳压器）。

过压和欠压指示

根据相关稳压器的不同，过压和欠压的指示会有所不同，可以通过复位信号或中断指示：

- 每次过压和欠压检测都会存储在 SPI 状态寄存器（MONSF0、MONSF1、MONSF2）中。
- 对于微控制器相关的输出电压（ V_{QST} 、 V_{QUC} 、 V_{VCI} ），过压和欠压由硬件复位引脚 ROT 指示。如果出现过压或欠压，引脚 ROT 会被拉至低电平。
- 如果微控制器磁核心电源的外部后级稳压器发生过压或检测到接地短路，则引脚 EVC 将被拉至低电平以关闭稳压器。
- 对于前级稳压器输出（ V_{FB} ）和基准输出电压（ V_{QVR} ），仅过压由硬件复位引脚 ROT 指示。如果出现过压，引脚 ROT 会被拉至低电平。
- 对于前级稳压器输出和基准电压输出，只有欠压会通过中断指示。
- 对于所有与微控制器无关的输出电压（ V_{QCO} 、 V_{QT1} 、 V_{QT2} ），过压和欠压都会通过中断指示。
- 对于内部电源电压，过压和欠压由硬件复位引脚 ROT 指示。如果出现过压或欠压，引脚 ROT 会被拉至低电平。

本介绍为概述，详情请参阅以下各小节。

7.2 关断功能

前级稳压器输出处的接地短路检测时间 t_{StG} 仅在 INIT 状态下的电源时序过程中有效。如果前级稳压器的输出电压在规定时间内未达到指定范围，器件将进入 FAILSAFE 状态。一旦 $V_{PREREG, BUCK}$ 在第一次跨越其欠压 (UV) 值后进入有效范围内阈值（即完成第 6.7 章所述的电源时序步骤 1），对于之后检测到的短路到地将不再有任何响应。如果在其他情况下前级稳压器的输出电压过低，则器件的行为将取决于后级稳压器的电压监控。

当检测到输出电压 V_{QUC} 、 V_{VCI} 、 V_{QST} 、 V_{QVR} 或 V_{FB} 过压时，将关闭所有稳压器，以保护负载免受损坏或破坏，并将器件移至 FAILSAFE 状态。

在输出电压 V_{QCO} 、 V_{QT1} 和 V_{QT2} 处检测到过压时，将关闭相关的稳压器，以保护负载免受伤害或破坏并生成中断事件。

如果在输出电压 V_{QUC} 、 V_{VCI} 或 V_{QST} 处检测到欠压，且持续时间超过接地短路检测时间 t_{StG} ，则所有稳压器将关闭，以保护自身和芯片免受过热损坏，并将器件移至 FAILSAFE 模式。

如果在输出电压 V_{QVR} 、 V_{QCO} 、 V_{QT1} 或 V_{QT2} 处检测到欠压，且持续时间超过接地短路检测时间 t_{StG} ，则相关的稳压器将关闭以保护自身和芯片免受过热影响，并产生中断事件。

7.3 复位功能

一旦内部 POR 释放，复位发生器就开始工作。

区分“软复位”和“硬复位”

如果引脚 ROT 电压低于 $V_{ROT, low}$ ，但前级和后级稳压器输出电压不关闭，则称为“软复位”。

如果引脚 ROT 电压低于 $V_{ROT, low}$ 并且后级稳压器输出电压关闭，则称为“硬复位”。电源时序将在延迟 t_{SDT} 后重新启动。（适用于连续第二次初始化超时）。

7 Monitoring function

安全状态控制触发事件

安全状态控制功能与监测功能块相连。当检测到安全状态控制触发事件时，安全状态控制输出引脚（SS1 和 SS2）以及 ROT 将被拉至地。安全状态控制触发事件将被存储在 *SPI* 状态寄存器（*SYSFAIL*、*INITERR*、*MONSF1*、*MONSF2*、*MONSF3* 或 *OTFAIL* 中的相关位）。关于安全状态信号 SS1 的触发条件，请参阅[安全状态控制功能](#)。

复位输出引脚

复位输出引脚 ROT 为开漏结构。一旦发生复位条件，ROT 引脚就会被拉至低于 $V_{ROT,low}$ 。内部上拉电流将输出电压拉向 V_{QUCo} 。

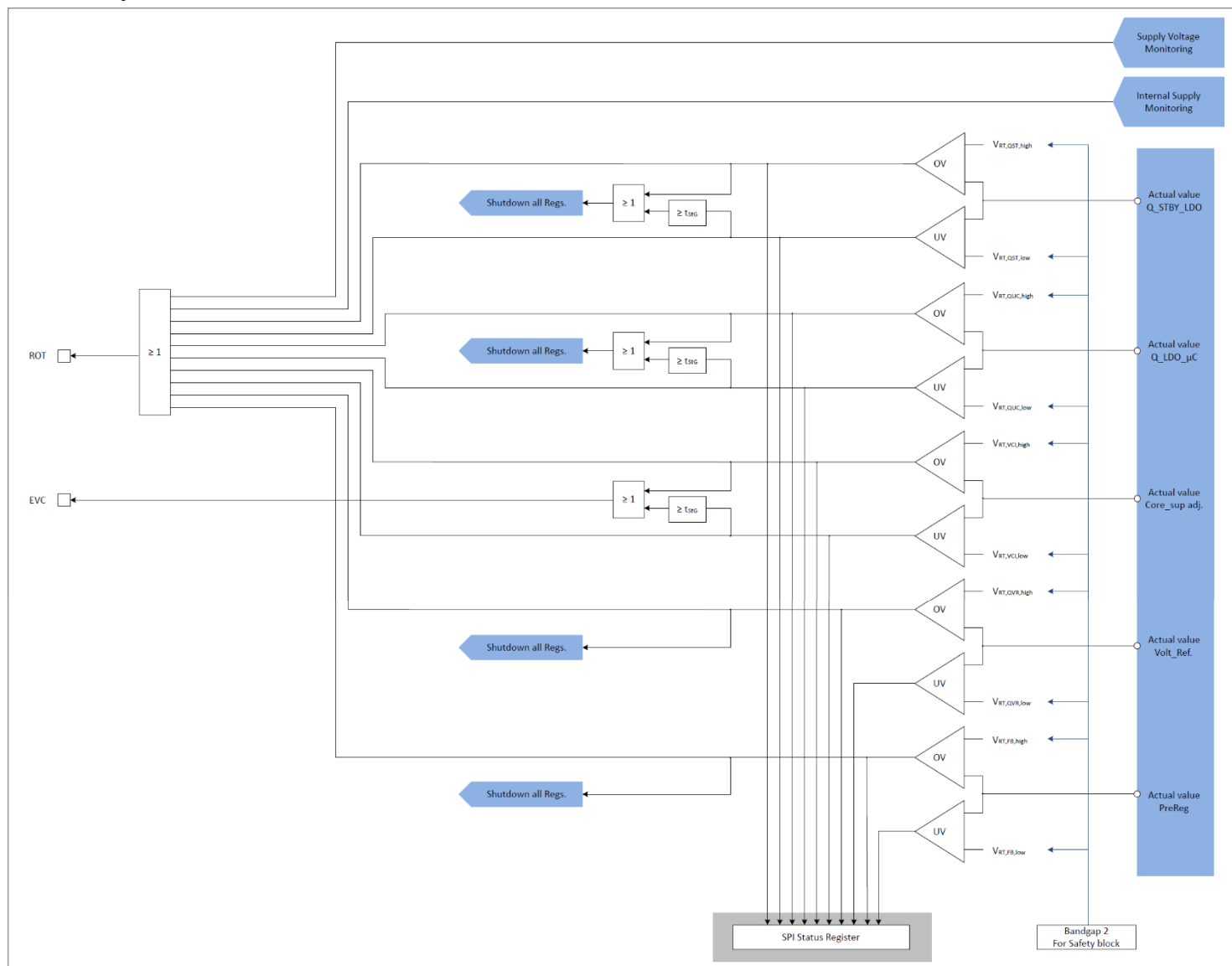


图 18 复位功能原理

复位功能的详细描述（图 18）：

以下稳压器参与复位功能：

- 内部供电监测（外部不可见）
- 待机稳压器（Q_STBY_LDO）： V_{QST}
- *LDO* 用于为 μC （Q_LDO_μC）供电： V_{QUC}
- 用于 μC 核心供电的外部后级稳压器（Core_sup adj.）： V_{VCI}

7 Monitoring function

- 基准电压 (Volt_Ref.) : V_{QVR} - 仅限过压, 不包括欠压和接地短路
- 前级稳压器 (PreReg.) : V_{FB} - 仅限过压, 不包括欠压

这些输出的实际值直接在输出引脚处获取, 并由每个稳压器的两个比较器进行监控, 一个用于过压 (名为 OV), 另一个用于欠压 (名为 UV)。基准值 $V_{RT,XXX,high}$ 和 $V_{RT,XXX,low}$ 由与监测功能相关的独立带隙 2 提供。

过压、欠压事件的“内部电源稳压器监测”和 IBIAS 监测都会参与触发复位。如果一个或两个内部电源电压超出其指定的范围, 则器件的正常功能将无法得到保证。IBIAS 监控故障存储在状态位 (BIA SHI 或 BIASLOW)。内部电源故障将触发“切换至断电”事件 (详情请参阅状态机章节)。

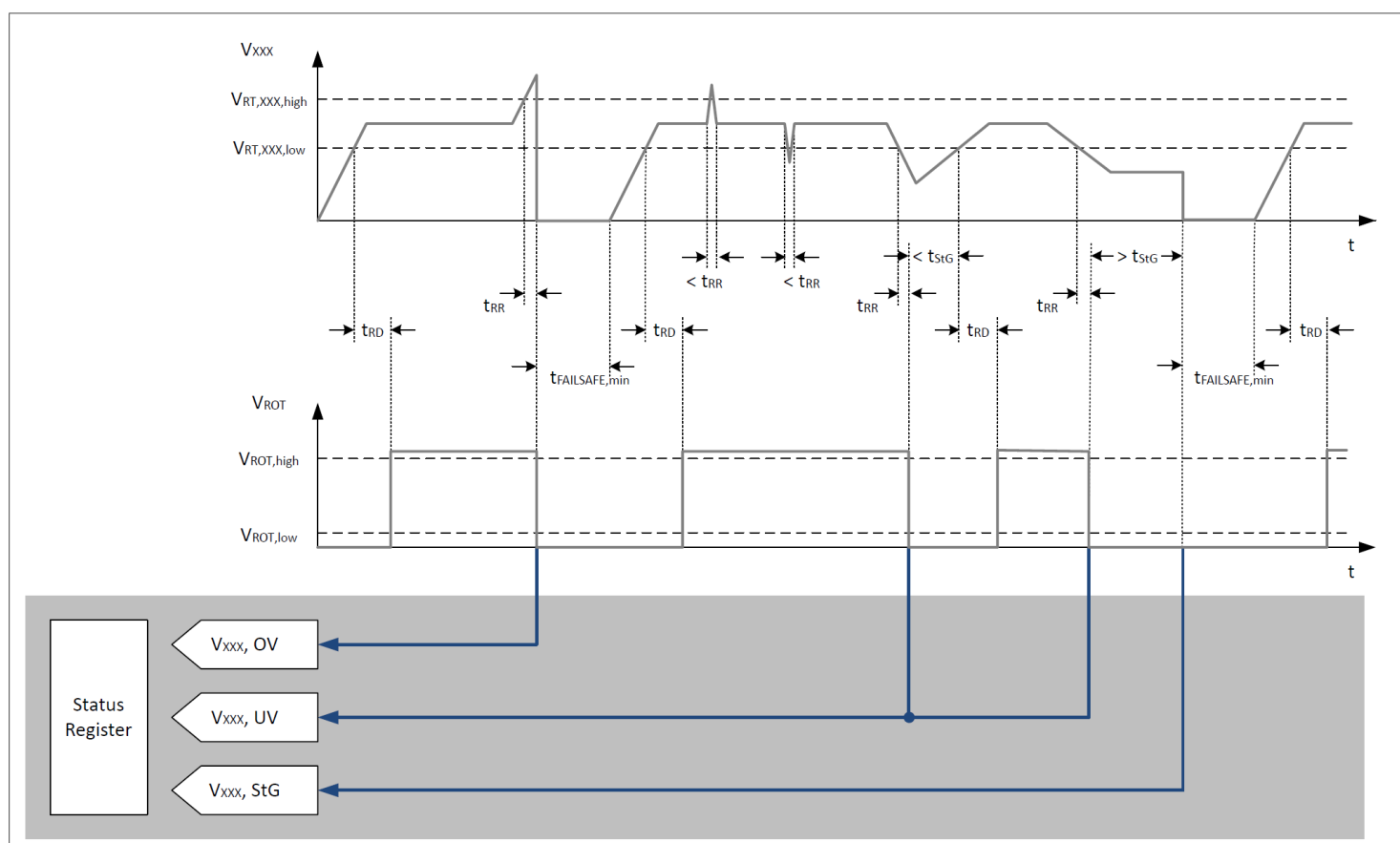


图 19 输出电压硬件复位信号 ROT 时序图

说明:

- V_{XXX} = 由复位发生器监控的输出电压: V_{QUC} , V_{VCI} , V_{QST} , V_{QVR} 或 V_{FB}
- $V_{RT,XXX,high}$ = 过压复位阈值: $V_{RT,QUC,high}$, $V_{RT,VCI,high}$, $V_{RT,QST,high}$, $V_{RT,QVR,high}$ 或 $V_{RT,FB,high}$
- $V_{RT,XXX,low}$ = 欠压复位阈值: $V_{RT,VCI,low}$, $V_{RT,QUC,low}$ 或 $V_{RT,QST,low}$
- t_{RD} = 复位延时时间, 通过 SPI 指令调整
- t_{RR} = 复位响应时间, 从检测到过压到将 ROT 拉至低电平之间的时间
- $< t_{RR}$ = 不可检测, 因为短于复位响应时间
- $> t_{StG}$ = 接地短路检测时间, 欠压被视为接地短路后的时间
- $t_{FAILSAFE,min}$ = 系统关断时间 (FAILSAFE), 将 ROT 拉低至器件重启之间的时间, 详细信息请参阅状态机章节
- V_{ROT} = 硬件复位信号, ROT
- $V_{ROT,high}$ = 硬件复位信号, 高电平
- $V_{ROT,low}$ = 硬件复位信号, 低电平

7 Monitoring function

- $V_{XXX,OV}$ = 检测到 V_{XXX} 过压并存储在 SPI 寄存器 (MONSF1)
- $V_{XXX,UV}$ = 检测到 V_{XXX} 欠压并存储在 SPI 寄存器 (MONSF2)
- $V_{XXX,StG}$ = 检测到 V_{XXX} 对地短路并存储在 SPI 寄存器 (MONSF0)
- 这也适用于偏置电流违规、供电过压 (MONSF3) 和温度关断 (OTFAIL) 导致复位的情况。请参见图 42 和 图 49。

7 Monitoring function

7.4 中断功能

一旦内部 **POR** 释放，中断发生器就开始工作。

电压监测功能监视与微控制器无关的后级稳压器输出电压 V_{QCO} 、 V_{QT1} 和 V_{QT2} ，前级稳压器输出电压 V_{FB} （仅欠压）和基准电压输出 V_{QVR} （仅欠压和接地短路）。监控结果写入 **SPI** 状态寄存器（**IF** 和 **MONSF0**、**MONSF1** 或 **MONSF2**）并通过中断（引脚 **INT**）进行指示。所有这些监测信号的连接方式为逻辑 OR。

中断 **INT** 不仅指示电压监控的结果，还指示器件中其他事件引起的中断。

中断输出引脚

中断输出引脚 **INT** 为推挽结构。通过将 **INT** 引脚拉至接地来指示中断。

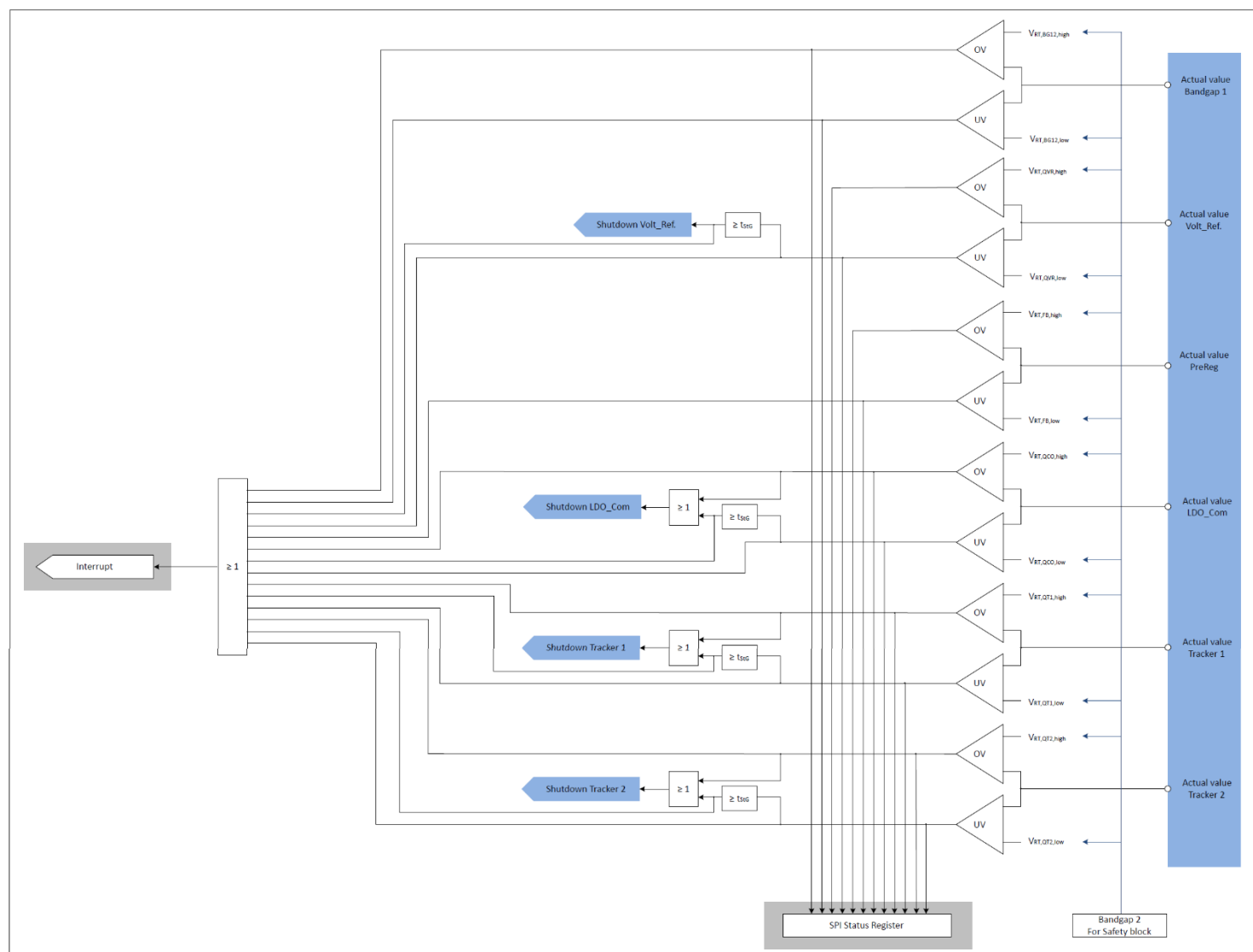


图 20 通过中断指示电压监测的基本原理

通过中断功能进行电压监控的详细描述（图 20）

以下稳压器通过中断功能参与电压监控：

- 前级稳压器 (PreReg.)： V_{FB} ，刚好欠压
- 基准电压(Volt_Ref.)： V_{QVR} ，刚好欠压且接地短路

7 Monitoring function

- LDO 用于提供通信 (LDO_Com) : V_{QCO}
- 传感器电源 1 (Tracker 1) : V_{QT1}
- 传感器电源 2 (Tracker 2) : V_{QT2}

这些输出的实际值直接在输出引脚处获取，并由每个稳压器的两个比较器进行监控，一个用于过压（名为 OV），另一个用于欠压（名为 UV）。基准值 $V_{RT,XXX,high}$ 和 $V_{RT,XXX,low}$ 由仅与监控功能相关的独立带隙 2 提供。

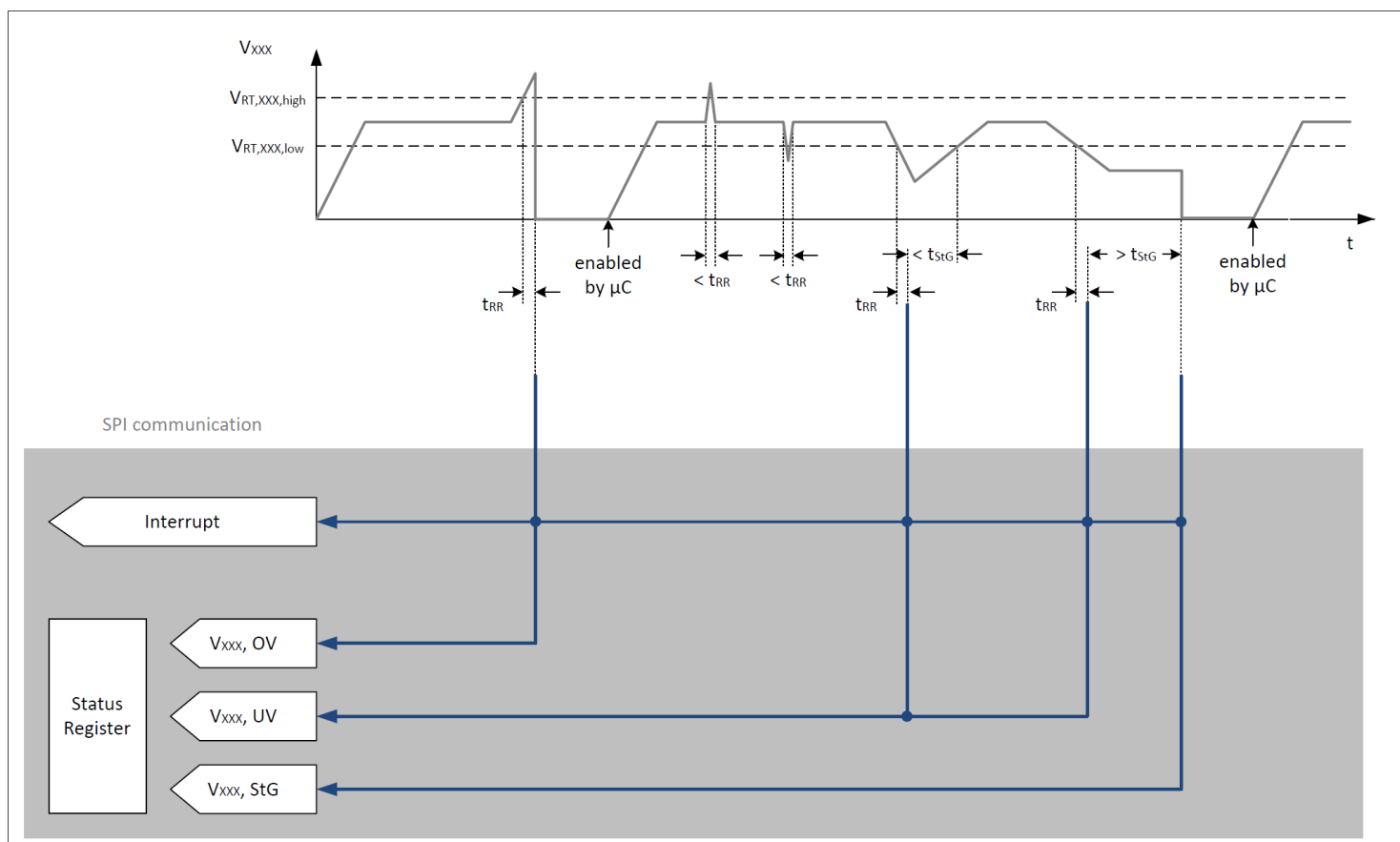


图 21 输出电压中断指示时序图

说明：

- V_{XXX} = 由中断指示监控的输出电压： V_{FB} 、 V_{QVR} 、 V_{QCO} 、 V_{QT1} 或 V_{QT2}
- $V_{RT,XXX,high}$ = 过压中断指示： $V_{RT,QCO,high}$ 、 $V_{RT,QT1,high}$ 或 $V_{RT,QT2,high}$
- $V_{RT,XXX,low}$ = 欠压中断指示： $V_{RT,FB,low}$ 、 $V_{RT,QVR,low}$ 、 $V_{RT,QCO,low}$ 、 $V_{RT,QT1,low}$ 或 $V_{RT,QT2,low}$
- t_{RR} = 复位响应时间，即检测到过压到产生中断之间的时间
- $< t_{RR}$ = 不可检测，因为短于复位响应时间
- $> t_{StG}$ = 接地短路检测时间，欠压被视为接地短路后的时间
- $V_{XXX,OV}$ = 检测到 V_{XXX} 过压并存储在 SPI 寄存器 (MONSF1) 中
- $V_{XXX,UV}$ = 检测到 V_{XXX} 欠压并存储在 SPI 寄存器 (MONSF2)
- $V_{XXX,StG}$ = 检测到 V_{XXX} 对地短路并存储在 SPI 寄存器 (MONSF0)
- 也适用于检测带隙 1 到 2 的偏差 (MONSF3)、过载和过温事件 (OTWRNSF, OTFAIL)，这些事件会导致中断功能。请参见图 41

7 Monitoring function

7.5 电气特性：电压监测和复位功能

表15 电气特性：电压监测和复位功能

$V_{VS} = 6\text{ V}$ 至 40 V ; $T_j = -40^\circ\text{C}$ 至 150°C , 所有电压均以地为参考, 正向电流表示流入该引脚 (除非另有说明)

Parameter	Symbol	Values			Unit	Note or Test Condition	Number
		Min.	Typ.	Max.			

Timing

Reset cycle time	t_{CYCLE}	9.4	10	10.65	μs	–	P_8.5.1
Reset delay time, default value	t_{RD}	–	1000	–	t_{CYCLE}	–	P_8.5.2
Reset delay time, adjustable range by <i>SPI</i> command	t_{RD}	20	–	1500	t_{CYCLE}	1)	P_8.5.3
Reset reaction time	t_{RR}	8	–	20	μs	–	P_8.5.4
Reset reaction time, standby regulator	$t_{\text{RR, STBY}}$	8	–	40	μs	–	P_8.5.5
Short to ground detection time	t_{StG}	2.7	3	3.3	ms	–	P_8.5.6
Step-down regulator short to ground detection time	$t_{\text{StG, HF}}$	2.7	3	3.3	ms	Step down pre-regulator 2.2 MHz switching frequency	P_8.5.7
Step-down regulator short to ground detection time	$t_{\text{StG, LF}}$	5.4	6	6.6	ms	Step down pre-regulator 400 kHz switching frequency	P_8.5.8
System shutdown time	t_{SDT}	9	–	20	ms	–	P_8.5.9

Reset thresholds standby regulator, pin QST

Overvoltage reset threshold	$V_{\text{RT, QST, high}}$	3.46	3.53	3.6	V	V_{QST} increasing	P_8.5.14
Overvoltage reset hysteresis	$V_{\text{RT, QST, OV hyst}}$	20	–	55	mV	–	P_8.5.15
Undervoltage reset threshold	$V_{\text{RT, QST, low}}$	2.9	2.97	3.05	V	V_{QST} decreasing	P_8.5.16
Undervoltage reset hysteresis	$V_{\text{RT, QST, UV hyst}}$	20	–	50	mV	–	P_8.5.17

Reset thresholds LDO_μC, pin QUC

Overvoltage reset threshold	$V_{\text{RT, QUC, high}}$	3.46	3.53	3.6	V	V_{QUC} increasing	P_8.5.22
Overvoltage reset hysteresis	$V_{\text{RT, QUC, OV hyst}}$	20	–	55	mV	2)	P_8.5.23
Undervoltage reset threshold	$V_{\text{RT, QUC, low}}$	2.9	2.97	3.05	V	V_{QUC} decreasing	P_8.5.24
Undervoltage reset hysteresis	$V_{\text{RT, QUC, UV hyst}}$	20	–	50	mV	2)	P_8.5.25

Reset thresholds external core supply, pin VCI

Overvoltage reset threshold	$V_{\text{RT, VCI, high}}$	860	872	884	mV	V_{VCI} increasing	P_8.5.26
-----------------------------	----------------------------	-----	-----	-----	----	-----------------------------	----------

(表格续下页.....)

7 Monitoring function

表 15 (续) 电气特性：电压监测和复位功能

$V_{VS} = 6\text{ V}$ 至 40 V ; $T_j = -40^\circ\text{C}$ 至 150°C , 所有电压均以地为参考, 正向电流表示流入该引脚 (除非另有说明)

Parameter	Symbol	Values			Unit	Note or Test Condition	Number
		Min.	Typ.	Max.			
Overvoltage reset hysteresis	$V_{RT,VCI,OV\ hyst}$	5	–	15	mV	2)	P_8.5.27
Undervoltage reset threshold	$V_{RT,VCI,low}$	716	728	740	mV	V_{VCI} decreasing	P_8.5.28
Undervoltage reset hysteresis	$V_{RT,VCI,UV\ hyst}$	5	–	15	mV	2)	P_8.5.29

Reset thresholds V_{PreReg} , pins FBx

Overvoltage reset threshold	$V_{RT,FB,high}$	6.46	6.58	6.7	V	V_{FB} increasing	P_8.5.30
Overvoltage reset hysteresis	$V_{RT,FB,OV\ hyst}$	40	–	120	mV	–	P_8.5.31
Undervoltage reset threshold	$V_{RT,FB,low}$	5.0	5.1	5.2	V	V_{FB} decreasing	P_8.5.32
Undervoltage reset hysteresis	$V_{RT,FB,UV\ hyst}$	30	–	90	mV	–	P_8.5.33

Reset thresholds LDO_Com, pin QCO

Overvoltage reset threshold	$V_{RT,QCO,high}$	5.4	5.5	5.6	V	V_{QCO} increasing	P_8.5.34
Overvoltage reset hysteresis	$V_{RT,QCO,OV\ hyst}$	30	–	90	mV	–	P_8.5.35
Undervoltage reset threshold	$V_{RT,QCO,low}$	4.4	4.5	4.6	V	V_{QCO} decreasing	P_8.5.36
Undervoltage reset hysteresis	$V_{RT,QCO,UV\ hyst}$	20	–	80	mV	–	P_8.5.37

Reset thresholds voltage reference, pin QVR

Overvoltage reset threshold	$V_{RT,QVR,high}$	5.25	5.35	5.45	V	V_{QVR} increasing	P_8.5.38
Overvoltage reset hysteresis	$V_{RT,QVR,OV\ hyst}$	30	–	80	mV	–	P_8.5.39
Undervoltage reset threshold	$V_{RT,QVR,low}$	4.2	4.3	4.4	V	V_{QVR} decreasing	P_8.5.40
Undervoltage reset hysteresis	$V_{RT,QVR,UV\ hyst}$	30	–	70	mV	–	P_8.5.41

Reset thresholds tracker 1, pin QT1

Overvoltage reset threshold	$V_{RT,QT1,high}$	5.4	5.5	5.6	V	V_{QT1} increasing	P_8.5.42
Overvoltage reset hysteresis	$V_{RT,QT1,OV\ hyst}$	30	–	90	mV	–	P_8.5.43
Undervoltage reset threshold	$V_{RT,QT1,low}$	4.4	4.5	4.6	V	V_{QT1} decreasing	P_8.5.44
Undervoltage reset hysteresis	$V_{RT,QT1,UV\ hyst}$	20	–	80	mV	–	P_8.5.45

Reset thresholds tracker 2, pin QT2

Overvoltage reset threshold	$V_{RT,QT2,high}$	5.4	5.5	5.6	V	V_{QT2} increasing	P_8.5.46
Overvoltage reset hysteresis	$V_{RT,QT2,OV\ hyst}$	30	–	90	mV	–	P_8.5.47

(表格续下页.....)

表 15 (续) 电气特性：电压监测和复位功能

Datasheet

$V_{in} = 6V$ 至 $40V$; $T_j = -40^{\circ}C$ 至 $150^{\circ}C$, 所有电压均以地为参考, 正向电流表示流入该引脚 (除非另有说明)

Parameter	Symbol	Values			Unit	Note or Test Condition	Number
		Min.	Typ.	Max.			
Undervoltage reset threshold	$V_{RT,QT2,Low}$	4.4	4.5	4.6	V	V_{QT2} decreasing	P_8.5.48
Undervoltage reset hysteresis	$V_{RT,QT2,UV hyst}$	20	–	80	mV	–	P_8.5.49

Input voltage VSx monitoring, pin VSx

Input overvoltage reset threshold	$V_{VS,OV}$	45	47	49	V	–	P_8.5.50
-----------------------------------	-------------	----	----	----	---	---	----------

Overtemperature protection of monitoring

Overtemperature shutdown threshold	$T_{j,OT, shutdown}$	175	190	205	$^{\circ}C$	2) T_j increasing	P_8.5.51
Overtemperature shutdown hysteresis	$T_{j,OT, hyst}$	–	10	–	$^{\circ}C$	2)	P_8.5.52

Reset output ROT

Reset output, pull-up current	$I_{ROT, pu}$	-175	-110	-15	μA	$V_{ROT} \leq 2.0 V$	P_8.5.53
Reset output, low level	$V_{ROT, low}$	–	–	0.7	V	$V_{QUC} = 3.3 V$; $I_{ROT} = 5.5 mA$	P_8.5.56
Reset output, low level	$V_{ROT, low}$	–	–	0.4	V	$V_{QUC} = 3.3 V$; $I_{ROT} = 3 mA$	P_8.5.57
Reset output fall time	$t_{ROT, fall}$	–	–	25	ns	2) $C_{ROT, load} = 50 pF$	P_8.5.58

Interrupt output INT

Interrupt output, high level	$V_{INT, high}$	2.3	–	–	V	$V_{QUC} = 3.3 V$; $I_{INT} = -7 mA$	P_8.5.61
Interrupt output, low level	$V_{INT, low}$	–	–	0.7	V	$V_{QUC} = 3.3 V$; $I_{INT} = 5.5 mA$	P_8.5.62
Interrupt output rise time	$t_{INT, rise}$	–	–	25	ns	2) $C_{INT, load} = 50 pF$	P_8.5.63
Interrupt output fall time	$t_{INT, fall}$	–	–	25	ns	2) $C_{INT, load} = 50 pF$	P_8.5.64

- 1)
- 由于内部延迟, 复位延时时间最多可增加 50 μs 。请在进入INT状态并开始上电时序之前, 考虑 [表 25](#) 中指定的进入 INIT 状态的转换时间 $t_{r, INIT}$ 。
- 2)
- 由设计规定, 不进行生产测试。

8 待机 LDO 和内部电源

8.1 待机 LDO

8.1.1 功能描述：待机 LDO

待机稳压器 LDO_STBY 独立于前级稳压器级和其他后级稳压器。在所有状态下可能会打开或关闭（详细信息请参见[状态机](#)章节）。线性低压降稳压器 LDO_STBY 为待机电源提供精确的 3.3 V（或 5.0 V，与 LDO_μC 相同）输出电压。

LDO_STBY 将根据其先前的配置，通过离开 STANDBY 状态来保持其原有状态。对于 STANDBY 状态，LDO_STBY 的状态（开或关）必须在之前的状态中定义。

稳压器由 VST 引脚供电。根据应用的需要，引脚 VST 可以直接连接到电池电压（通过防反接二极管保护），也可以连接到升压前级稳压器的输出（引脚 VSx）。输出电压 V_{QST} （在引脚 QST）由误差放大器控制。实际值与来自稳压器带隙 1 的基准电压进行比较。控制环路的稳定性取决于负载电流、输出电容的特性和芯片温度。为确保稳定运行，应根据[表 16](#)中规定的要求（电容值和电气串联阻抗 *ESR*）选择输出电容。为防止稳压器和应用电路受到损害，器件内置了保护电路：

- 为了保护调节元件免受应力影响，限流会将输出电流限制在指定的最大限值以内。电流检测通过电流镜实现，不使用检测电阻。如果出现最大电流，电流将被限制，因此输出电压会下降。稳压器具有接地短路的保护功能。
- 输出电压由电压监控器监控。

如果引脚 QST 处发生过压，LDO_STBY 将关闭，器件将进入 FAILSAFE 状态。该事件将存储在 [SPI 状态寄存器 \(MONSF1\)](#) 中。

如果引脚 QST 出现欠压，器件将进入 INIT 状态，引脚 ROT 将被拉低，并且该事件将被存储在 SPI 状态寄存器 ([MONSF2](#)) 中。当输出欠压时间小于接地短路检测时间 t_{StG} 时，稳压器不会关闭。如果欠压持续时间超过 t_{StG} ，器件将进入 FAILSAFE 状态。该事件将被存储在 SPI 状态寄存器 ([MONSF0](#)) 中。

- 该稳压器没有专用的温度传感器。芯片上的温度由位于 LDO_μC 和降压前级稳压器的其他温度传感器感测。如果芯片温度超过预警阈值，则会出现一个中断来指示该事件，并将其存储在 SPI 状态寄存器 ([OTFAIL](#)) 中。如果芯片温度超过关断阈值，后级稳压器将关闭。温度关断时间至少为一秒。

过载 [LDO STBY](#)（检测到超过 1ms 的过流）将由中断指示，除非器件处于 STANDBY 状态并且该事件将存储在 SPI 状态寄存器 ([OTWRNSF](#)) 中。

除 FAILSAFET 状态外，稳压器 LDO_STBY 在所有状态下均可配置为开启或关闭。STANDBY 状态的选择应在进入此状态之前通过 SPI 指令完成。

详情请参阅[第 10 章状态机](#)。

8 Standby LDO and internal supplies

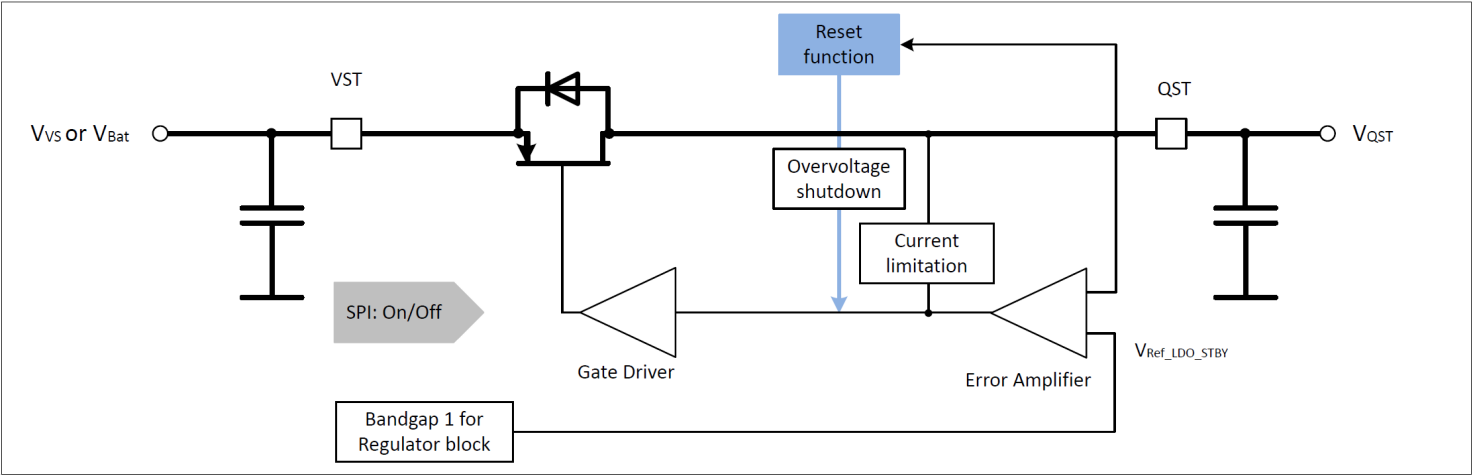


图 22 用于待机供电的低压降线性稳压器

8.1.2 电气特性：待机 LDO

表 16 电气特性：待机 LDO

$V_{VS} = 6V$ 至 $40V$ ； $T_j = -40^{\circ}C$ 至 $150^{\circ}C$ ，所有电压均以地为参考，正向电流表示流入该引脚（除非另有说明）

Parameter	Symbol	Values			Unit	Note or Test Condition	Number
		Min.	Typ.	Max.			
Output voltage	V_{QST}	3.7	3.3	3.43	V	$0\text{ mA} < I_{QST} < 10\text{ mA}$	P_9.1.2
Output current limitation	$I_{QST, \max}$	15	–	40	mA	–	P_9.1.3
Drop voltage	$V_{dr, QST}$	–	–	400	mV	–	P_9.1.4
Load regulation	$\Delta V_{QST, \text{load}}$	–	20	40	mV	$I_{QST} = 100\text{ }\mu\text{A}$ to 10 mA	P_9.1.6
Line regulation	$\Delta V_{QST, \text{line}}$	–	0.1	0.5	mV/V	–	P_9.1.8
Power supply ripple rejection	$PSRR_{QST}$	40	–	–	dB	¹⁾ $f_{\text{ripple}} = 100\text{ kHz}$; $ESR C_{QST} \leq 100\text{ m}\Omega$	P_9.1.9
Output capacitor	C_{QST}	0.47	–	10	μF	¹⁾	P_9.1.10
Output capacitor, ESR	$ESR C_{QST}$	0	–	200	m Ω	¹⁾	P_9.1.11

1) 由设计规定，不进行生产测试。

8.2 内部电源

器件包括内部电压源和偏置电流，以操作所有稳压器、监测和逻辑功能。这些内部电源在内部进行监控，以确保 CLF35584QVVS2 提供的功能块正常运行。该器件在出现内部故障时，将依据[状态机](#)、[监测功能](#)、[中断生成](#)和[安全状态控制功能](#)中所定义的策略进行响应。内部稳压器无需外部元器件（例如电容器）。内部电压在任何引脚上均不可见。

9 唤醒定时器

9.1 功能描述：唤醒定时器

唤醒定时器是唤醒器件的功能。

唤醒定时器数值可由 *SPI* 处于 INIT、NORMAL 和 WAKE 状态下进行设置。该值存储在 24 位宽唤醒定时器寄存器（WKTIMCFG0、WKTIMCFG1、WKTIMCFG2）中。唤醒定时器作为 24 位定时器实现，由 100 kHz 或 100Hz 时钟源（时间基准）计时。时间基准可以通过 *SPI* 选择。当选择 100 kHz 作为时间基准，分辨率为 10 μ s，并且可以通过 *SPI* 配置 10 μ s 至 168 s 内的唤醒时间。¹⁾ 对于所选的 100 Hz 时间基准，分辨率为 10 ms，并且可通过 *SPI* 配置 10 ms 至 1.9 天范围内的唤醒时间。当进入 STANDBY 或 SLEEP 状态时，计数器会加载唤醒定时器寄存器中的数值并开始递减。当发生下溢时，定时器会将器件从 SLEEP 或 STANDBY 状态唤醒。当退出 SLEEP 状态时，会产生一个中断。

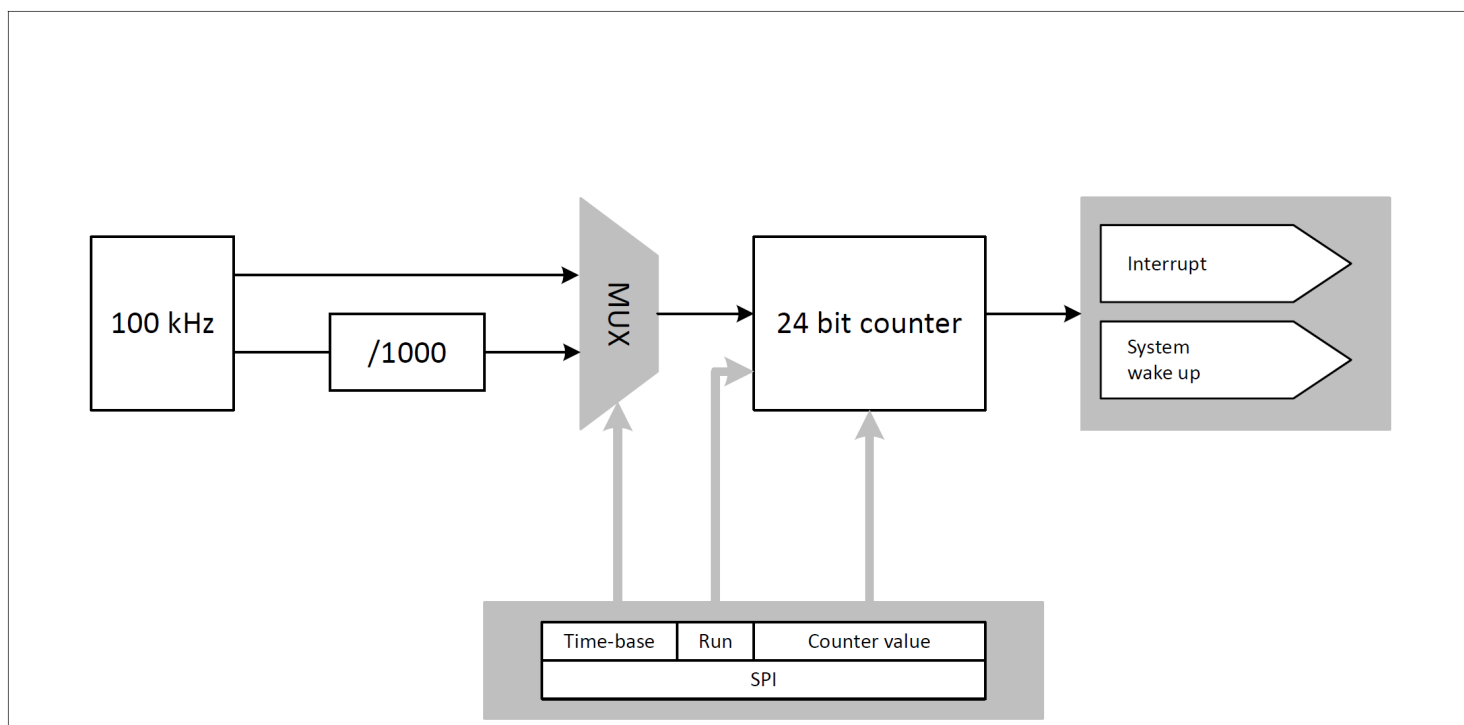


图 23 唤醒定时器原理

¹⁾ 进入 SLEEP 或 STANDBY 状态后，唤醒定时器开始计时之前需考虑最多 40 微秒的额外启动延时时间。

9.2 电气特性：唤醒定时器

表 17 电气特性：唤醒定时器

V_{VS} = 6V 至 40V； T_{j} = -40°C 至 150°C，所有电压均以地为参考，正向电流表示流入该引脚（除非另有说明）

Parameter	Symbol	Values			Unit	Note or Test Condition	Number
		Min.	Typ.	Max.			
Time base, resolution	$t_{\text{WakeUpTimer}}$	9.5	10	10.5	μs	1)	P_10.2.1
Time base, resolution	$t_{\text{WakeUpTimer}}$	9.5	10	10.5	ms	–	P_10.2.2
Counter	C	–	24	–	bit	2)	P_10.2.3

1) 由于内部延迟，唤醒时间可能增加最多 50 微秒。
2) 由设计规定，不进行生产测试。

10 状态机

10.1 状态机介绍

状态机描述了器件可能进入的不同工作状态。下图展示了状态机的流程图，详细信息请参阅后续页面。

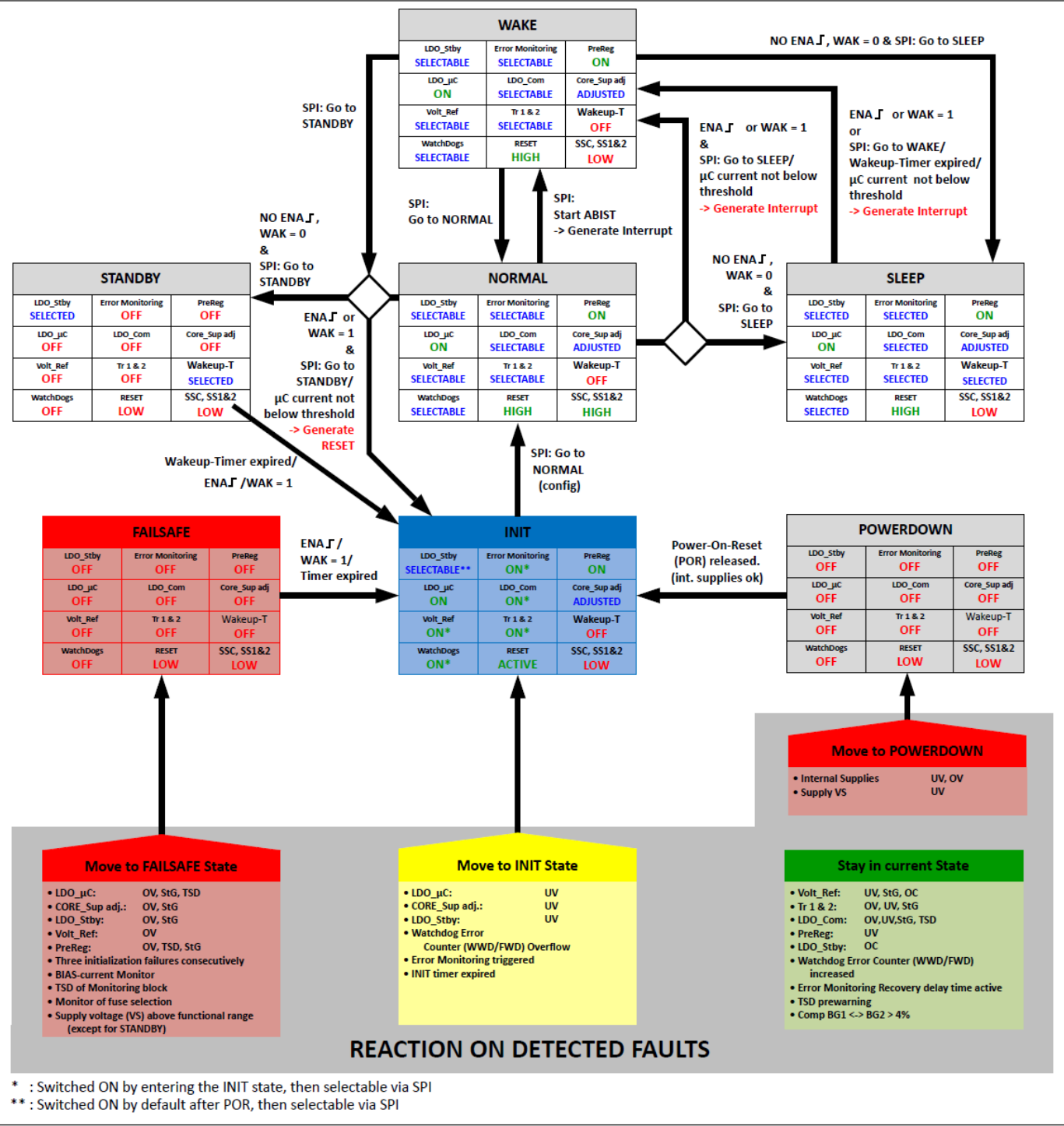


图 24 状态机流程图

描述

- ON /OFF:= 开启或关闭，不可通过 *SPI* 指令进行配置
- ON*:= 通过进入 INIT 状态而开启，然后可通过 SPI 选择
- SELECTED:= 可在先前状态下的 SPI 指令进行配置（开启或关闭），或者在 SLEEP 状态的 *LDO* 配置情况下，由状态转换请求 (DEVCTRL) 选择
- SELECTABLE:= 可通过 SPI 指令在该状态下开启或者关闭
- SELECTABLE**:= 在 *POR* 后默认开启，然后可通过 SPI 选择。
- ADJUSTED:= 由配置引脚定义存在或不存在，不可通过 SPI 指令进行配置
- ACTIVE:= 如 INIT 状态中所述
- SSC、SS1 和 2:= 安全状态控制信号 1 和 2
- LOW:= 信号为低电平
- HIGH:= 信号为高电平
- OV:= 过压
- *UV*:= 欠压
- StG:= 接地短路
- TSD:= 热关断
- OC:= 过流
- ABIST:= 内置模拟自检
- Comp BG1 <-> BG2 > 4%: 带隙 1 和 2 之间的差异大于 4%

10.2 状态描述

10.2.1 POWERDOWN 状态

POR 只要未被释放，器件就处于POWERDOWN 状态。

Table with 3 columns and 4 rows showing POWERDOWN state settings: LDO_Stby (OFF), Error Monitoring (OFF), PreReg (OFF), LDO_μC (OFF), LDO_Com (OFF), Core_Sup adj (OFF), Volt_Ref (OFF), Tr 1 & 2 (OFF), Wakeup-T (OFF), WatchDogs (OFF), RESET (LOW), SSC, SS1&2 (LOW).

图 25 POWERDOWN 状态

表 18 POWERDOWN 状态设置

Table with 3 columns: Part/Function, Value, Description. It lists 12 settings for the POWERDOWN state, such as LDO_Stby being OFF, PreReg being OFF, and RESET being LOW.

10.2.2 INIT 状态

在 INIT 状态期间，期望在 INIT 定时器内与 μC 进行有效通信。否则将发生初始化超时。INIT 定时器从 ROT 的上升沿开始计时。

当满足以下三个边界条件时，INIT 定时器将停止计时：

- 从微控制器接收到有效的 SPI 通信
• 看门狗已根据默认配置或重新配置完成一次喂狗操作。
• ERR 监测功能已正确维护（至少提供 3 个周期）或已配置为关闭

Table with 3 columns and 4 rows showing INIT state settings: LDO_Stby (SELECTABLE**), Error Monitoring (ON*), PreReg (ON), LDO_μC (ON), LDO_Com (ON*), Core_Sup adj (ADJUSTED), Volt_Ref (ON*), Tr 1 & 2 (ON*), Wakeup-T (OFF), WatchDogs (ON*), RESET (ACTIVE), SSC, SS1&2 (LOW).

图 26 INIT 状态

表 19 INIT 状态设置

Table with 3 columns: Part/Function, Value, Description. Rows include LDO_Stby, PreReg, LDO_μC, LDO_Com, Core_Sup adj., Volt_Ref, Tr.1 and 2, Wake-up-T., and Watchdogs.

(表格续下页.....)



表 19 (续) INIT 状态设置

Part/Function	Value	Description
Error monitoring	ON	- The Error monitoring is switched on per default - The Error monitoring may be configured and switched ON or OFF by SPI
RESET	ACTIVE	The reset output goes HIGH as soon as all microcontroller related output voltages V_{QST}, V_{QUC} and V_{VCI} are above their undervoltage reset threshold, $V_{RT,XXX,low}$ delayed by the reset delay time t_{RD}
SSC, SS1 and 2	LOW	Both safe state signals are LOW and the application is in safe state

10.2.3 NORMAL 状态

在 NORMAL 状态下，器件为微控制器和应用供电。安全和监测功能（如复位模块和安全状态控制）已激活。微控制器可以通过 SPI 指令配置多个器件的后级稳压器和唤醒定时器。

Table with 3 columns and 4 rows showing NORMAL state settings for LDO_Stby, Error Monitoring, PreReg, LDO_μC, LDO_Com, Core_Sup adj, Volt_Ref, Tr 1 & 2, Wakeup-T, WatchDogs, RESET, and SSC, SS1&2.

图 27 NORMAL 状态

表 20 NORMAL 状态设置

Table with 3 columns: Part/Function, Value, and Description. It lists settings for LDO_Stby, PreReg, LDO_μC, LDO_Com, Core_Sup adj., Volt_Ref, Tr.1 and 2, Wake-up-T., Watchdogs, Error monitoring, RESET, and SSC, SS1 and 2.

10.2.4 STANDBY 状态

STANDBY 状态是一种低功耗状态，当应用在长时间内不需要运行时，微控制器可以进入该状态，以将电流消耗降至最低。应用处于安全状态。

Table with 3 columns and 4 rows showing STANDBY state settings: LDO_Stby (SELECTED), Error Monitoring (OFF), PreReg (OFF), LDO_μC (OFF), LDO_Com (OFF), Core_Sup adj (OFF), Volt_Ref (OFF), Tr 1 & 2 (OFF), Wakeup-T (SELECTED), WatchDogs (INACTIVE), RESET (LOW), SSC, SS1&2 (LOW).

图 28 STANDBY 状态

表 21 STANDBY 状态设置

Table with 3 columns: Part/Function, Value, Description. It lists settings for LDO_Stby, PreReg, LDO_μC, LDO_Com, Core_Sup adj., Volt_Ref, Tr.1 and 2, Wake-up-T., Watchdogs, Error monitoring, RESET, and SSC, SS1 and 2.

10.2.5 SLEEP 状态

SLEEP 状态是一种低功耗状态，当应用不使用时（例如，微控制器处于 STOP 模式），微控制器可以进入该状态以降低电流消耗。微控制器在之前的状态下可以通过 SPI 指令配级稳压器的状态和安全功能。应用处于安全状态。

Table with 3 columns and 4 rows showing SLEEP state configuration: LDO_Stby (SELECTED), Error Monitoring (SELECTED), PreReg (ON), LDO_μC (ON), LDO_Com (SELECTED), Core_Sup adj (ADJUSTED), Volt_Ref (SELECTED), Tr 1 & 2 (SELECTED), Wakeup-T (SELECTED), WatchDogs (SELECTED), RESET (HIGH), SSC, SS1&2 (LOW).

图 29 SLEEP 状态

表 22 SLEEP 状态设置

Table with 3 columns: Part/Function, Value, Description. Rows include LDO_Stby, PreReg, LDO_μC, LDO_Com, Core_Sup adj., Volt_Ref, Tr.1 and 2, Wake-up-T., Watchdogs, Error monitoring, and RESET.



表 22

(续) SLEEP 状态设置

Part/Function	Value	Description
SSC, SS1 and 2	LOW	Both safe state signals are LOW and the application is in safe state

10.2.6 WAKE 状态

WAKE 状态是介于 NORMAL 状态和低功耗状态（SLEEP 状态和 STANDBY 状态）的中间状态。该状态提供与 NORMAL 状态相同的功能，但通过保持安全状态输出为低电平来确保应用处于安全状态。该状态应根据所选配置，通过完成看门狗喂狗操作以及错误监控（至少 3 个周期），为系统正确且安全地重新进入 NORMAL 状态做好准备。

此外，它还提供了将器件移至低功耗状态（SLEEP 和 STANDBY）的可能性。

如果 LDO_μC 的输出电流超过某个阈值 I_LDO_μC,att，检测到有效的 ENA 或 WAK 信号，或者 SPI 指令 GoToWake 被发送，则器件可从 SLEEP 状态或从向 SLEEP 状态的转换过程中进入 WAKE 状态。在 NORMAL 状态下使用 ABIST 也会触发器件进入 WAKE 状态。

进入该状态时，会生成一个中断，并且监督功能（看门狗和 ERR 监控）将根据其在 NORMAL 状态下的先前配置重新变为激活状态。进入 WAKE 状态后，LDO 的配置将恢复为此前 NORMAL 状态下的设置。应用处于安全状态

Table with 3 columns and 4 rows showing WAKE state configuration: LDO_Stby (SELECTABLE), Error Monitoring (SELECTABLE), PreReg (ON), LDO_μC (ON), LDO_Com (SELECTABLE), Core_Sup adj (ADJUSTED), Volt_Ref (SELECTABLE), Tr 1 & 2 (SELECTABLE), Wakeup-T (OFF), WatchDogs (SELECTABLE), RESET (ACTIVE), SSC, SS1&2 (LOW).

图 30 WAKE 状态

表 23 WAKE 状态设置

Table with 3 columns: Part/Function, Value, Description. Rows include LDO_Stby, PreReg, LDO_μC, LDO_Com, Core_Sup adj., Volt_Ref with their respective values and descriptions.

(表格续下页.....)

表 23 (续) WAKE 状态设置

Part/Function	Value	Description
Tr.1 and 2	SELECTABLE	- Both trackers 1 and 2 will be switched ON or OFF depending on their configuration in NORMAL-state prior to SLEEP-state when entering WAKE-state - It may be switched on or off by SPI command
Wake-up-T.	OFF	The wake-up timer is switched off
Watchdogs	SELECTABLE	- The watchdogs will be switched ON or OFF depending on their configuration in NORMAL-State prior to SLEEP-state when entering WAKE-State - The watchdogs may be configured and switched ON or OFF by SPI
Error monitoring	SELECTABLE	- The Error monitoring will be switched ON or OFF depending on the configuration in NORMAL-state prior to SLEEP-state when entering WAKE-state - The Error monitoring may be configured and switched ON or OFF by SPI
RESET	HIGH	The reset output is HIGH
SSC, SS1 and 2	LOW	Both safe state signals are LOW and the application is in safe state

10.2.7 FAILSAFE 状态

FAILSAFE 状态在检测到严重故障后出现。在故障安全状态下，所有稳压器均关闭。应用处于安全状态。

Table with 3 columns and 4 rows showing FAILSAFE status: LDO_Stby OFF, Error Monitoring OFF, PreReg OFF, LDO_μC OFF, LDO_Com OFF, Core_Sup adj OFF, Volt_Ref OFF, Tr 1 & 2 OFF, Wakeup-T OFF, WatchDogs OFF, RESET LOW, SSC, SS1&2 LOW.

图 31 FAILSAFE 状态

表 24 FAILSAFE 状态设置

Table with 3 columns: Part/Function, Value, Description. Rows include LDO_Stby, PreReg, LDO_μC, LDO_Com, Core_Sup adj., Volt_Ref, Tr.1 and 2, Wake-up-T., Watchdogs, Error monitoring, RESET, and SSC, SS1 and 2.

10.3 状态之间的转换

通过 [SPI](#) 请求状态转换会在片选信号（SCS）的有效上升沿被触发执行。

10.3.1 POWERDOWN → INIT 状态

当 [POR](#) 释放时，器件从 POWERDOWN 状态进入 INIT 状态。POR 只有满足以下所有条件才会释放：

- 在上升过程中 V_{VS} 高于 $V_{PD,hi}$
- 内部电源无欠压或过压现象

10.3.2 INIT → NORMAL 状态

前提条件

- 看门狗必须在 INIT 定时器时间内，按照默认配置或重新配置完成一次喂狗操作。
- ERR 监控必须在 INIT 定时器时间内，接收到有效信号（至少 3 个周期）或被禁用。
- 如果功能看门狗被激活，则需要提供有效的 [功能看门狗\(FWD\)](#) 触发信号
- 在完成上述服务后，需要考虑 60 微秒的延迟，以确保内部验证信号能被正确释放

触发事件

- 状态转移仅由 [SPI](#) 指令 "Go to NORMAL" 来触发

例外情况

- 无

时序图

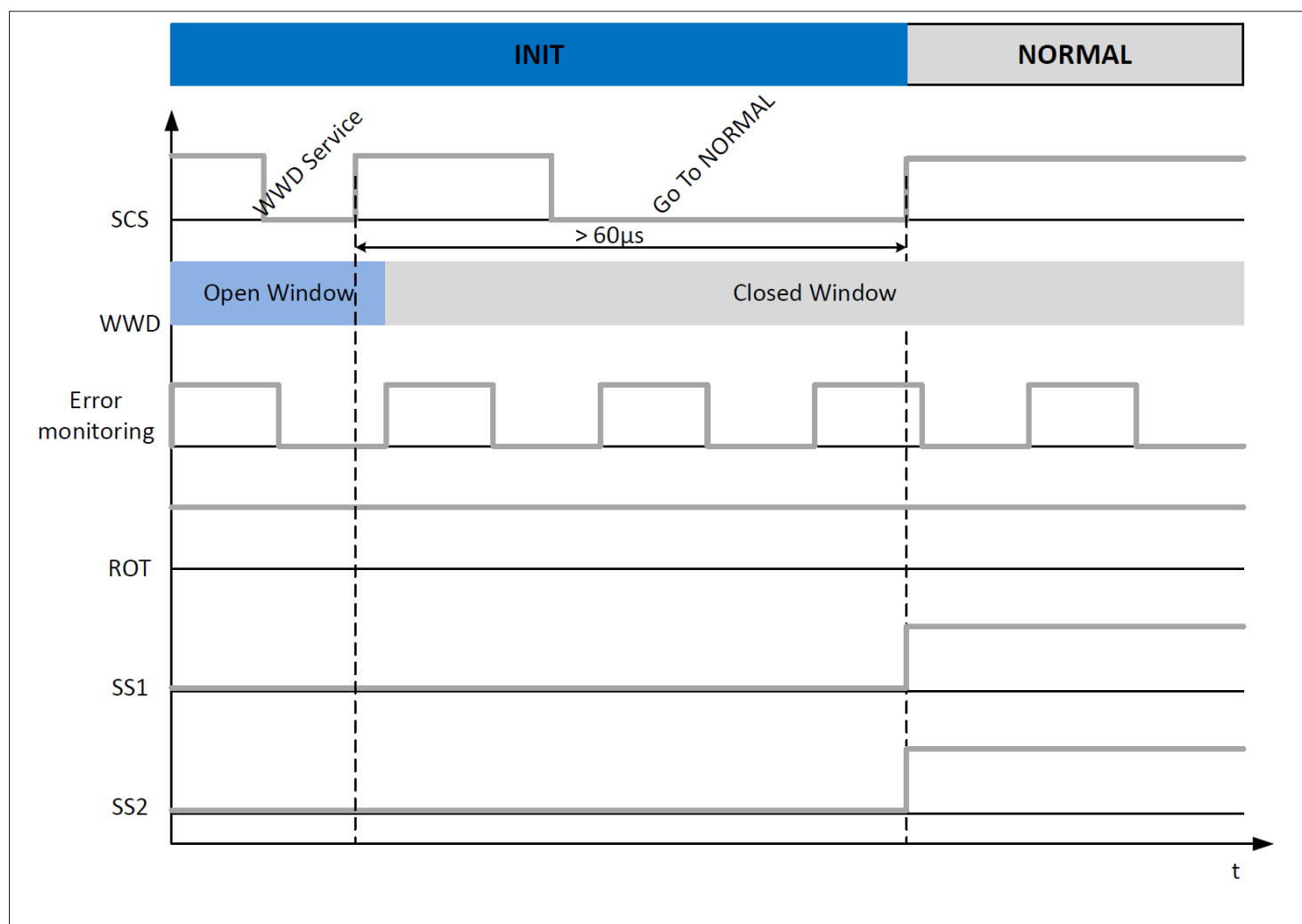


图 32 INIT 到 NORMAL 状态的转换

- 有效的 SPI 指令 “Go to NORMAL”（在引脚 SCS 处片选为高电平时有效）会将器件从 INIT 状态移至 NORMAL 状态

- 复位引脚 ROT 保持为高电平，因为后级稳压器在 INIT 状态下已经处于激活状态。
- 当片选信号（引脚 SCS）上升沿为高电平时，安全状态信号 SS1 和 SS2 同时被拉高。（必须考虑安全状态输出的内部响应时间，参见表 27）

10.3.3 NORMAL 与 SLEEP 状态之间的转换

10.3.3.1 NORMAL → SLEEP 状态

前提条件

- 选择 LDO_μC 电流监控或绝对转换定时器
- 转换延迟定时器 $t_{tr,del}$ 需要进行配置，否则将使用默认值。
- 可以选择定义 LDO_μC 电流阈值，或者使用默认值。

触发事件

- 状态转移仅由 *SPI* 指令 “Go to SLEEP” 触发

例外情况

- 如果在过渡到睡眠状态的过程中检测到有效的 ENA（边沿）或 WAK（电平）信号，器件将进入唤醒状态并发送中断（在引脚 INT 处）
- 如果 LDO_μC 电流监控被激活，并且在转换延迟 $t_{tr,del}$ 到期之前，微控制器的电流损耗不低于所选的 LDO_μC 电流阈值，则器件将进入 WAKE 状态并发送中断信号（在引脚 INT 处）

时序图

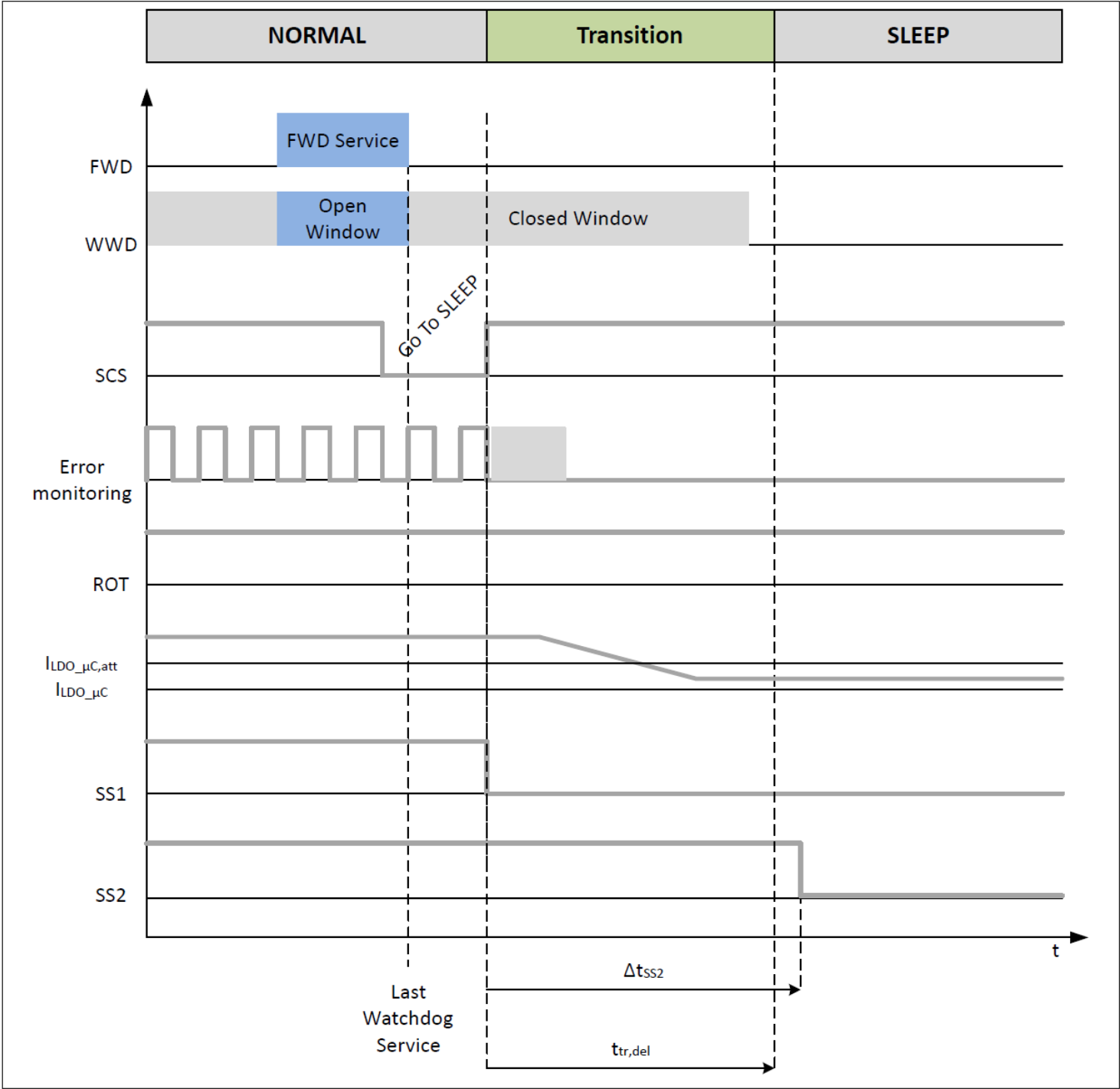


图 33 从 NORMAL 状态到 SLEEP 状态的转换

- 在发送 SPI 指令“Go to SLEEP”之前，如果启用看门狗，应先完成看门狗喂狗操作，以便 SCS 信号的上升沿正好位于窗口看门狗的“关窗”之间。
建议这样做是为了避免因缺少看门狗触发而与“Go to SLEEP”状态转换指令发生冲突。
- 在发送 SPI 指令“Go to SLEEP”之后，片选信号（SCS 引脚）的上升沿将启动状态转换。当片选信号为高电平时，安全状态信号 SS1 被拉低，器件将退出 NORMAL 状态并进入过渡状态（至 SLEEP 状态）。（根据表 27，必须要考虑安全状态输出的内部响应时间）。

10 State machine

- 当片选信号（SCS 引脚）为高电平时，错误监控（ERR 引脚）将被停止，其翻转信号可能会在 SCS 引脚的上升沿结束。如果错误监控被配置为在 SLEEP 状态下保持激活，则必须持续输出翻转信号。
- 窗口看门狗和功能看门狗的监测随着引脚 SCS 的上升沿而停止。如果一个或两个看门狗被配置为在 SLEEP 状态下保持激活，则必须持续进行看门狗喂狗操作。
- 复位引脚 ROT 保持为高电平，因为后级稳压器未被关闭。
- 如果选择绝对转换定时器，器件将在转换延时时间 $t_{tr,del}$ 后从转换状态进入 SLEEP 状态。转换时间 $t_{tr,del}$ 可通过 SPI 指令确定，其时间介于 100 μ s 到 1.6 ms 之间，默认设置为 900 μ s。在此过渡时间之后，应确保微控制器
电流损耗已降至 LDO_μC 监测阈值 $I_{LDO_{\mu C,att}}$ 以下，才能使器件保持在 SLEEP 状态。
- 如果 LDO_μC 电流监控启用，则引脚 QUC 中流出的微控制器电流必须在 [DEVCFG0.TRDEL](#) 中配置的最大转换时间 $t_{tr,del}$ 内降至 LDO_μC 监测阈值 $I_{LDO_{\mu C,att}}$ 以下。转换时间取决于微控制器电流降至 LDO_μC 监测阈值 $I_{LDO_{\mu C,att}}$ 以下所需的时间（一旦低于阈值，转换完成）。
- 延时时间 Δt_{SS2} 之后，安全状态信号 SS2 变为零。调整后的延时时间 Δt_{SS2} 与过渡延时时间 $t_{tr,del}$ 无关。

10.3.3.2 SLEEP → WAKE 状态

前提条件

- 无

触发事件

- *SPI* 指令 “Go to WAKE”
- 有效唤醒信号（ENA 或 WAK）
- LDO_μC 的电流超过已配置的阈值
- 唤醒定时器超时（若启用）

例外情况

- 无

时序图

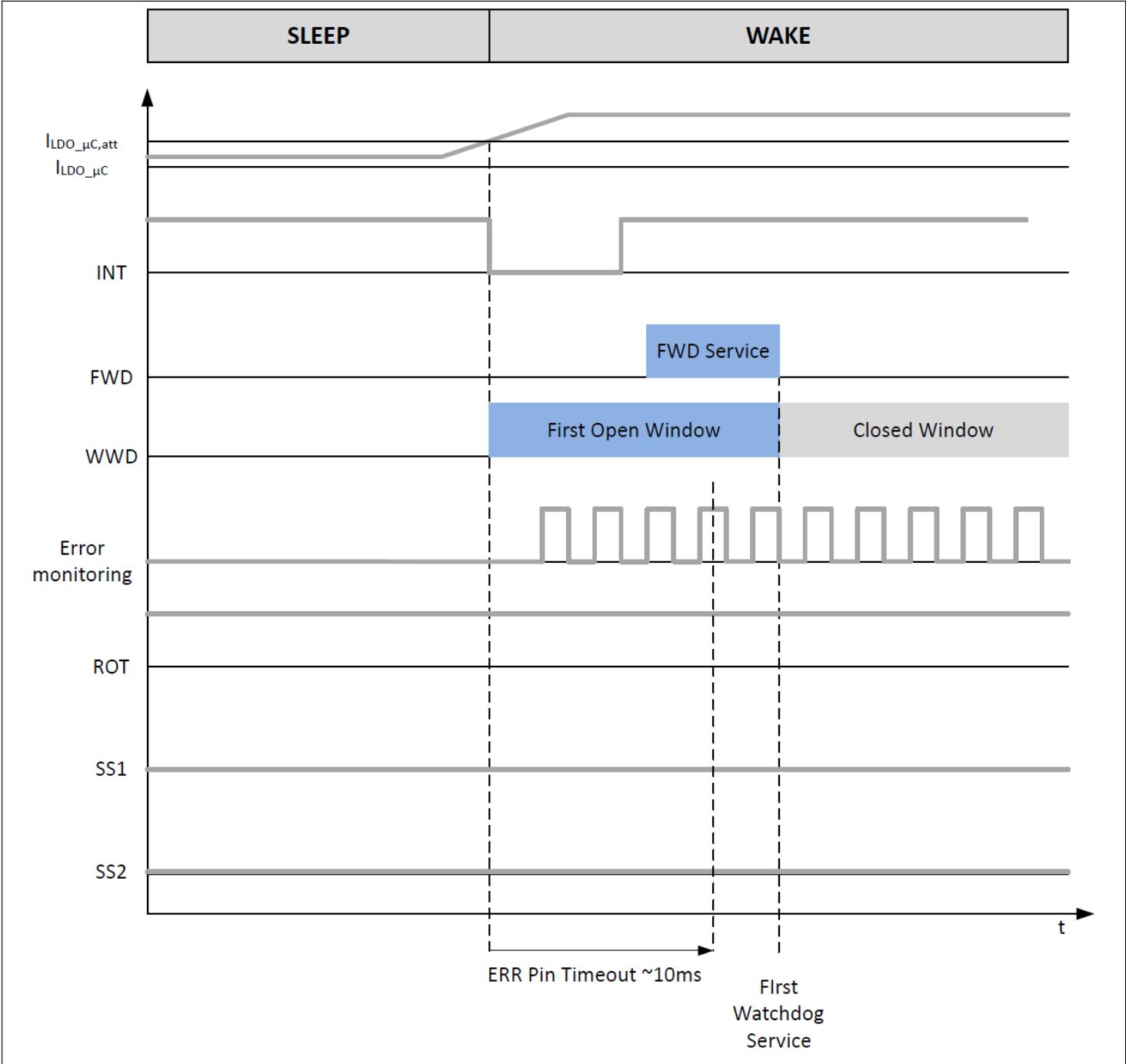


图 34 从 SLEEP 状态到 WAKE 状态的转换

- 状态转移无需过渡时间即可完成，并由引脚 INT 处的中断指示。从 SLEEP 转换的触发事件可以从状态寄存器 **WKSF** 中读取。
- 所有三项监控功能（窗口看门狗、功能看门狗和错误监控）都会恢复到进入 SLEEP 状态之前在 NORMAL 状态下的激活或未激活（关闭）状态。
- LDO 的配置将恢复为进入 SLEEP 状态之前在 NORMAL 状态下的激活或未激活（关闭）状态。
- 如果窗口看门狗在之前的 NORMAL 状态下被激活，随着中断信号（在引脚 INT 处）下降沿，窗口看门狗将打开第一个"开窗"，第一个"开窗"的时间取决于配置的周期时间，为 600 ms (**WDCYC** = 1) 或 60 ms (**WDCYC**



(如果窗口看门狗在 SLEEP 状态下处于未激活，则需要进行喂狗操作。如果窗口看门狗已在 SLEEP 状态下激活，则必须连续进行喂狗操作。

- 如果功能看门狗在此前的 NORMAL 状态中处于激活状态，则在中断信号（在引脚 INT 处）的下降沿时，功能看门狗将启动心跳计时器并需要进行喂狗操作。如果功能看门狗在 SLEEP 状态下保持激活，则必须持续进行喂狗操作。
- 如果 ERR 引脚监控在此前的 NORMAL 状态中处于激活状态，则在中断信号（在引脚 INT 处）的下降沿时，错误监控将重新变为激活状态。在重新激活后的最多 10 毫秒内，ERR 引脚必须提供一个翻转信号（且至少经过三个周期）。如果错误监控在 SLEEP 状态下保持激活，则必须持续输出翻转信号。
- 复位引脚 ROT 保持为高电平，因为后级稳压器在 SLEEP 状态和 WAKE 状态下均处于激活状态。
- 安全信号 SS1 和 SS2 在 SLEEP 状态和 WAKE 状态下都会保持为低电平。
- 如果在 WAKE 状态下所有已启用的监控功能（窗口看门狗、功能看门狗以及错误监控）都被正确服务，则器件可以在 WAKE 状态中无限期停留。
- 如果在 WAKE 状态下所有三个监控功能（窗口看门狗、功能看门狗和错误监控）均处于未激活（关闭）状态，则器件可以在 WAKE 状态中无限期停留。

10.3.3.3 WAKE → SLEEP 状态

前提条件

- 选择 LDO_μC 电流监控或绝对转换定时器
- 转换延迟定时器 $t_{tr,del}$ 需要进行配置，否则将使用默认值。
- 可以选择定义 LDO_μC 电流阈值，或者使用默认值。

触发事件

- 状态转移仅由 *SPI* 指令 “Go to SLEEP” 触发

例外情况

- 如果在向 SLEEP 状态的转换过程中检测到有效的 ENA（边沿）或 WAK（电平）信号，器件返回到 WAKE 状态并发送中断信号（在引脚 INT 处）。
- 如果 LDO_μC 电流监控被激活，并且在转换延迟 $t_{tr,del}$ 到期之前，微控制器的电流检测不低于所选的 LDO_μC 电流阈值，则器件返回 WAKE 状态并发送中断信号（在引脚 INT 处）

时序图

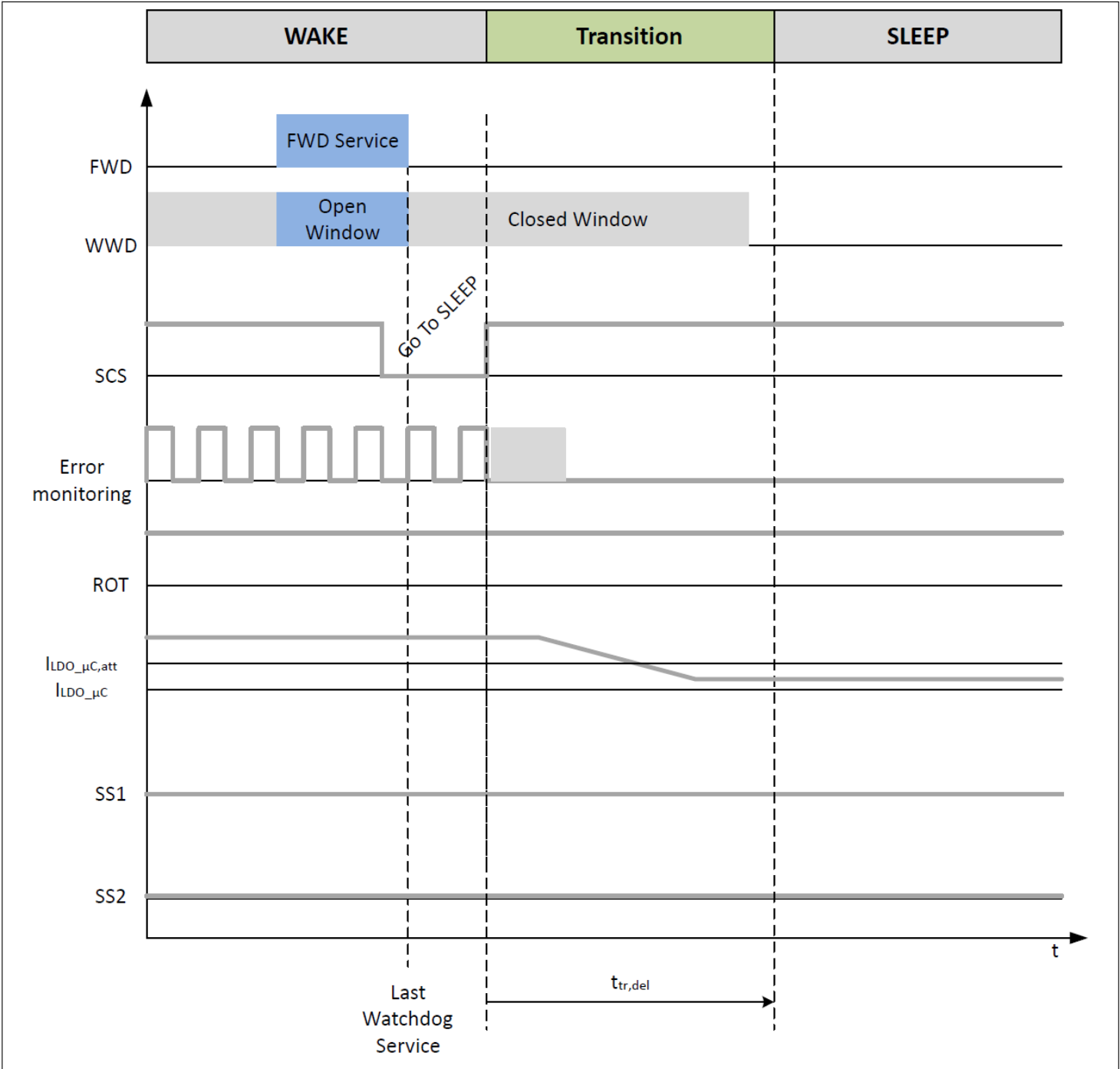


图 35 从 WAKE 状态到 SLEEP 状态的转变

- 在发送 SPI 指令“Go to SLEEP”之前，如果启用看门狗，应先完成看门狗喂狗操作，以便 SCS 信号的上升沿正好位于窗口看门狗的“关窗”之间。
建议这样做是为了避免因缺少看门狗触发而与“Go to SLEEP”状态转换指令发生冲突。
- 在发送 SPI 指令“Go to SLEEP”之后，片选信号（SCS 引脚）的上升沿将启动状态转换。当片选信号为高电平时，器件退出 WAKE 状态并进入向 SLEEP 状态的转换状态。
- 当片选信号（SCS 引脚）为高电平时，错误监控（ERR 引脚）将被停止，其翻转信号可能会在 SCS 引脚的上升沿结束。如果错误监控被配置为在 SLEEP 状态下保持激活，则必须持续输出翻转信号。

10 State machine

- 窗口看门狗和功能看门狗的监测随着引脚 SCS 的上升沿而停止。如果一个或两个看门狗被配置为在 SLEEP 状态下保持激活，则必须持续进行看门狗喂狗操作。
- 复位引脚 ROT 保持为高电平，因为后级稳压器未被关闭。
- 如果 LDO_μC 电流监控启用，则引脚 QUC 中的 μC 电流必须在配置的最大转换延时时间 $t_{tr,del}$ 内降至 LDO_μC 监测阈值 $I_{LDO_μC,att}$ 以下。过渡的时间取决于微控制器电流下降到 LDO_μC 监测阈值 $I_{LDO_μC,att}$ 以下所需的时间，一旦电流低于该阈值，状态转换即完成。
- 安全状态信号 SS1 和 SS2 始终保持为低电平。

10.3.4 NORMAL 与 STANDBY 状态之间的转换

10.3.4.1 NORMAL → STANDBY 状态

前提条件

- 选择 LDO_μC 电流监控或绝对转换定时器
- 过渡定时器需要配置，否则将使用默认值
- 可以选择定义 LDO_μC 电流阈值，或者使用默认值。

触发事件

- 状态转换仅由 *SPI* 指令 “Go to STANDBY” 触发

例外情况

- 如果在向 STANDBY 状态的转换过程中检测到有效的 ENA（边沿）或 WAK（电平）信号，器件将进入 INIT 状态，并生成一次复位（ROT）。
- 如果 LDO_μC 电流监控已激活，并且在转换延迟 $t_{tr,del}$ 到期之前，微控制器的电流损耗不低于所选 LDO_μC 电流阈值，则器件将移至 INIT 状态并生成复位 (ROT)。

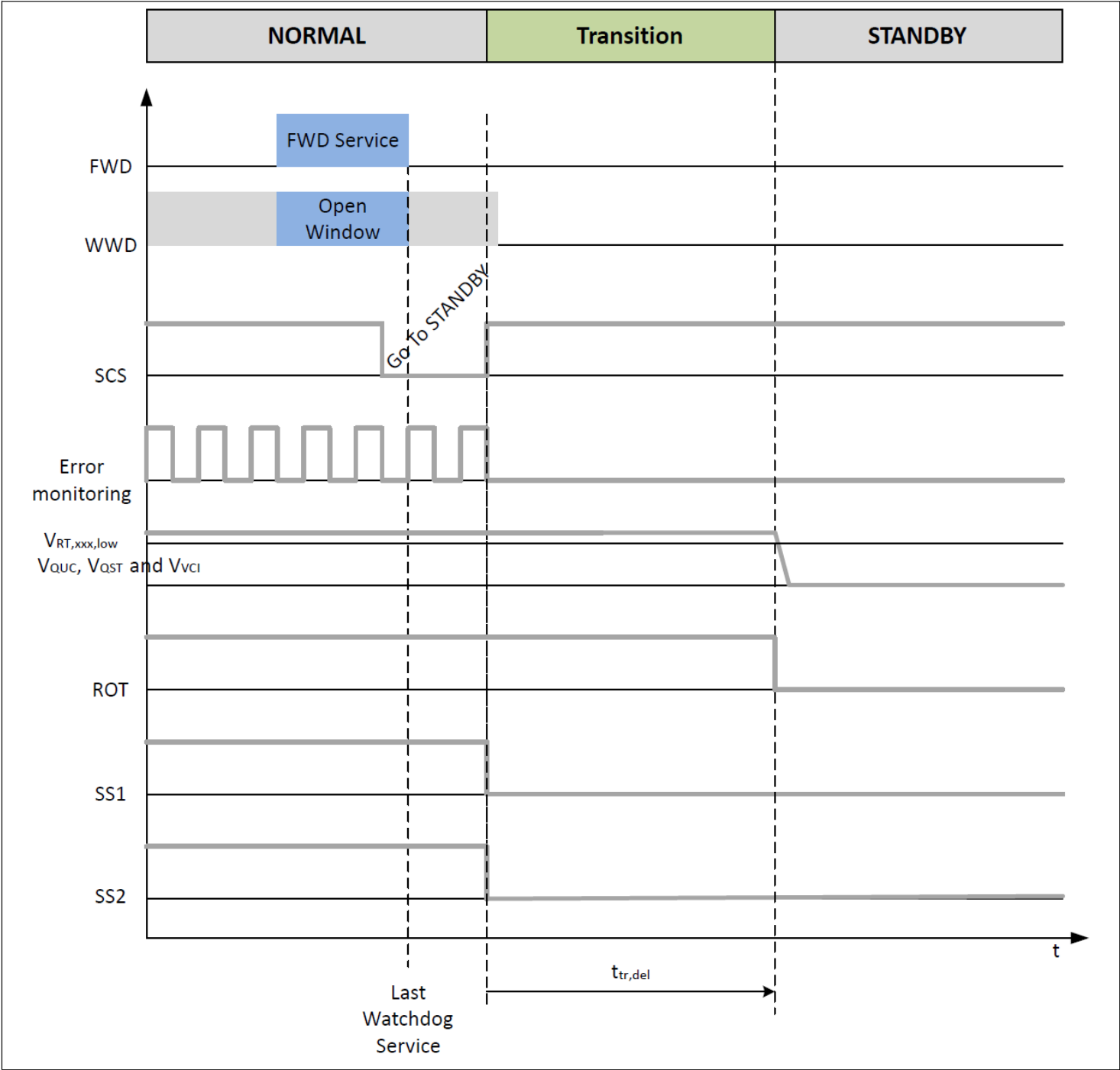


图 36 从 NORMAL 状态到 STANDBY 状态的转换

- 在执行 SPI 指令 "Go to STANDBY" 之前，如果正在使用，则必须对看门狗进行喂狗操作，以便 SCS 信号的上升沿正好位于窗口看门狗的“关闭窗口”范围之内。此操作建议执行，以避免因看门狗未触发而与“Go to STANDBY”状态切换命令发生干扰。
- 片选（引脚 SCS）的上升沿在执行 SPI 指令“Go to STANDBY”之后触发启动转换。当芯片选择信号为高电平时，安全状态信号 SS1 和 SS2 会被同时拉低，二者之间没有任何延迟。器件将从 NORMAL 状态退出并进入向 STANDBY 状态的过渡状态。
(需要考虑安全状态输出的内部响应时间，具体参见表 27)。

- 当片选信号（SCS 引脚）为高电平时，错误监控（ERR 引脚）将被停止，其翻转信号可能会在 SCS 引脚的上升沿结束。
- 窗口看门狗和功能看门狗的监测随着引脚 SCS 的上升沿而停止。
- 在从 NORMAL 状态成功切换到 STANDBY 状态后，复位信号（ROT）会在芯片选择信号（SCS 引脚）变为高电平后的过渡时间结束时被拉低。
- 所有前级稳压器和所有后级稳压器（待机 *LDO* 除外，在 STANDBYBY 状态下，它可能处于 ON 或 OFF 状态），都会在复位信号（ROT）被拉低并完成过渡后关闭。
- 如果选择绝对转换定时器，器件将在转换延时时间 $t_{tr,del}$ 后从转换状态切换到 STANDBY 状态。转换时间 $t_{tr,del}$ 可通过 SPI 指令确定，范围为 100 μ s 到 1.6 ms 之间，默认设置为 900 μ s。
- 如果选择 LDO_ μ C 电流检测最为过渡条件，则在转换延迟定时器 $t_{tr,del}$ 到期之前，在 LDO_ μ C 处测量的电流损耗降至所选阈值以下时，器件将从转换状态移至 STANDBY 状态。

10.3.4.2 STANDBY → INIT 状态

前提条件

- 无

触发事件

- 有效的 ENA（边沿）或 WAK（电平）信号
- 唤醒定时器超时（若启用）

例外情况

- 无

时序图

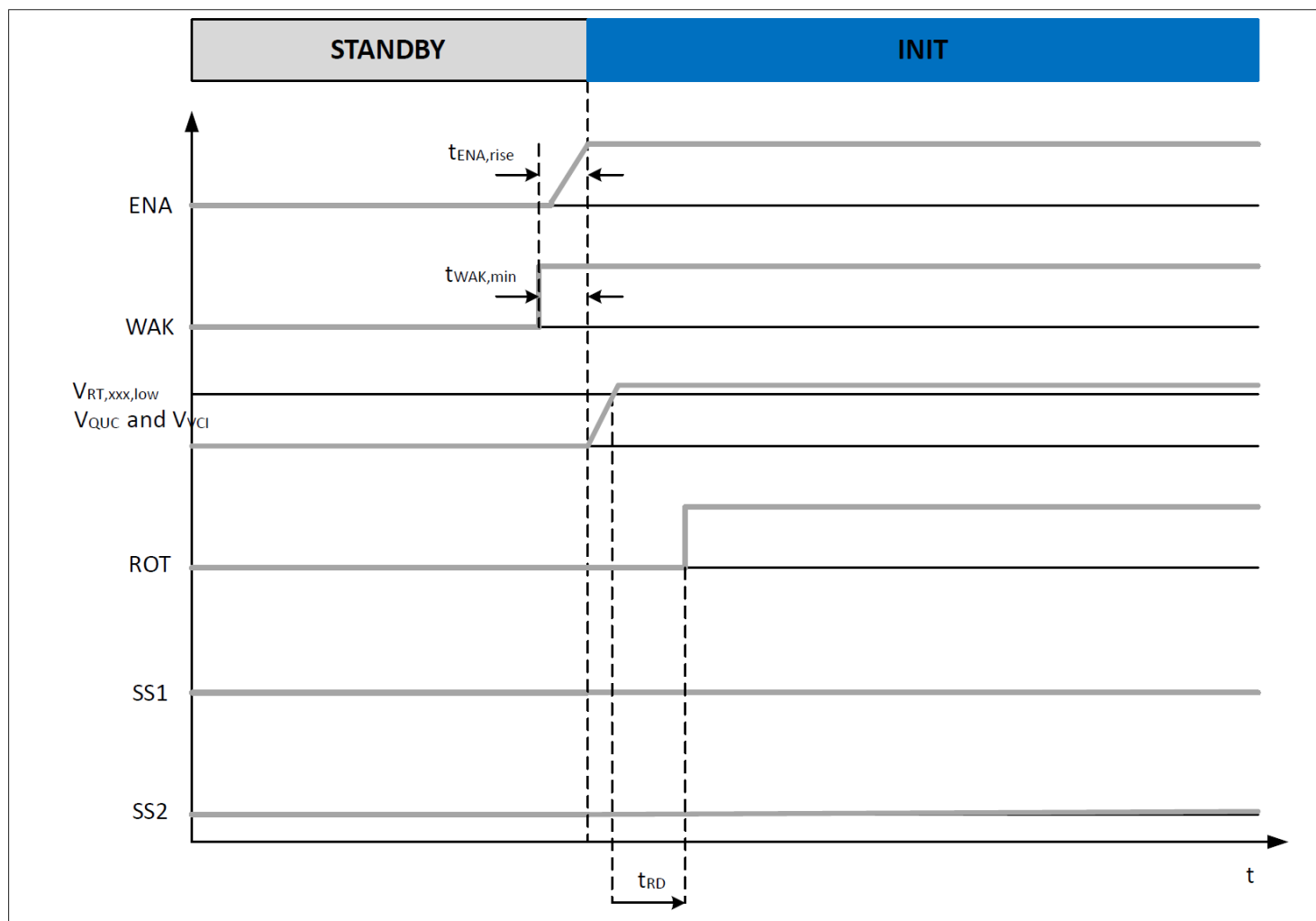


图 37 从 STANDBY 状态到 INIT 状态的过渡

- 所有前级稳压器和后级稳压器都会按照电源时序开启，只有 LDO_Stby 根据其配置保持开启或关闭（如上图所示为简化示意）。
- 当与微控制器相关稳压器 V_{QUC} 或 V_{VCI} （如果已启用）中最新一个在上升过程中越过相关的欠压复位阈值 $V_{RT,xxx,low}$ 时，开始上电复位延时。
- 当电源上电复位延时时间到期后，复位信号（ROT）将被拉高。
- 安全信号 SS1 和 SS2 在 STANDBY 状态和 INIT 状态下将保持低电平。

10.3.4.3 INIT → NORMAL 状态

有关此状态转换，请参阅[章节 10.3.2](#)。

10 State machine

10.3.5 NORMAL → WAKE 状态

有关此状态转换，请参阅 [章节 10.6.1](#) ABIST 的描述。

10.3.6 WAKE → NORMAL 状态

前提条件

- 已激活的监控功能（例如窗口看门狗、功能看门狗、ERR 引脚监测）在激活 WAKE 状态下需要至少维修一次（ERR 监测至少 3 个周期），如果它们在 WAKE 状态下重新启动/重新初始化（例如看门狗在先前的 SLEEP 状态下未激活）

触发事件

- 状态转换仅由 [SPI](#) 指令“Go to NORMAL”触发

例外情况

- 无

时序图

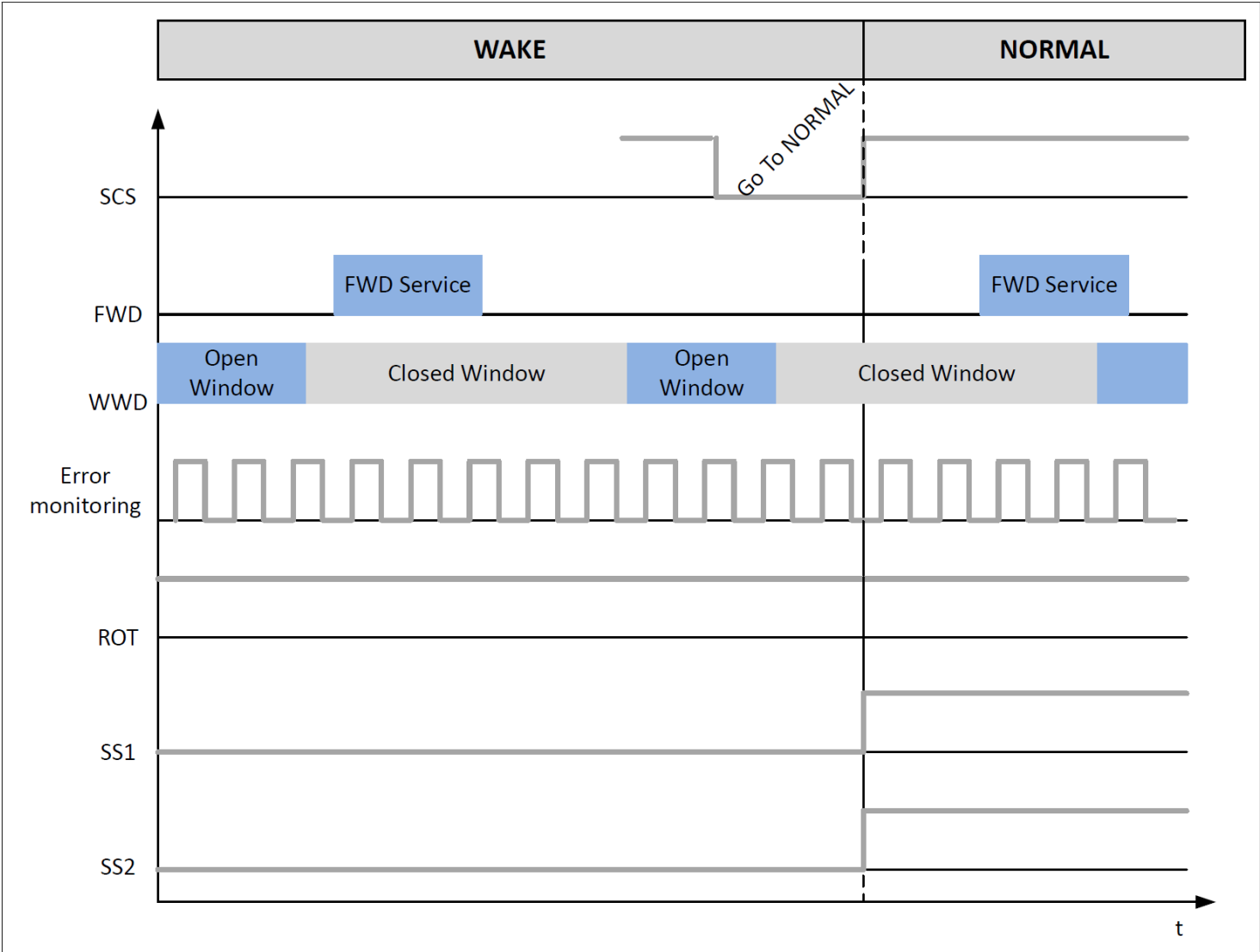


图 38 从 WAKE 状态到 NORMAL 状态的转换

- 使能信号将被忽略。有效的使能（边沿）信号不会使器件从 WAKE 状态进入 NORMAL 状态。
- 唤醒信号的状态将被忽略。有效的唤醒（电平）信号不会使器件从 WAKE 状态进入 NORMAL 状态。
- 窗口看门狗（如果在 WAKE 状态下处于激活状态）将需要持续喂狗，其操作不与从 WAKE 状态到 NORMAL 状态的过渡同步。
- 功能看门狗（如果在 WAKE 状态下处于激活状态）将需要持续喂狗，其操作不与从 WAKE 状态到 NORMAL 状态的过渡同步。
- 错误监控（ERR 引脚）（如果在 WAKE 状态下处于激活状态）将需要持续的翻转信号，其操作不与从 WAKE 状态到 NORMAL 状态的过渡同步，但必须检测到至少 3 个周期后才允许进入 NORMAL 状态。
- 由于后级稳压器在 WAKE 状态和 NORMAL 状态下均保持激活，复位引脚 ROT 将保持为高电平。
- 当片选信号（引脚 SCS）上升沿为高电平时，安全状态信号 SS1 和 SS2 同时被拉高。（必须考虑安全状态输出的内部响应时间，参见表 27）

10.3.7 WAKE → STANDBY 状态

前提条件

- 选择 LDO_μC 电流监控或绝对转换定时器
- 过渡定时器需要配置，否则将使用默认值
- 可以选择定义 LDO_μC 电流阈值，或者使用默认值。

触发事件

- 状态转换仅由 *SPI* 指令 “Go to STANDBY” 触发

例外情况

- 如果在向 STANDBY 状态过渡期间检测到有效的 ENA（边沿）或 WAK（电平）信号，器件将进入 INIT 状态，并产生复位信号（ROT）。
- 如果启用了 LDO_μC 电流监测，并且在过渡定时器到期之前微控制器的电流消耗未下降到所选电流阈值以下，器件将进入 INIT 状态并产生复位信号（ROT）。

时序图

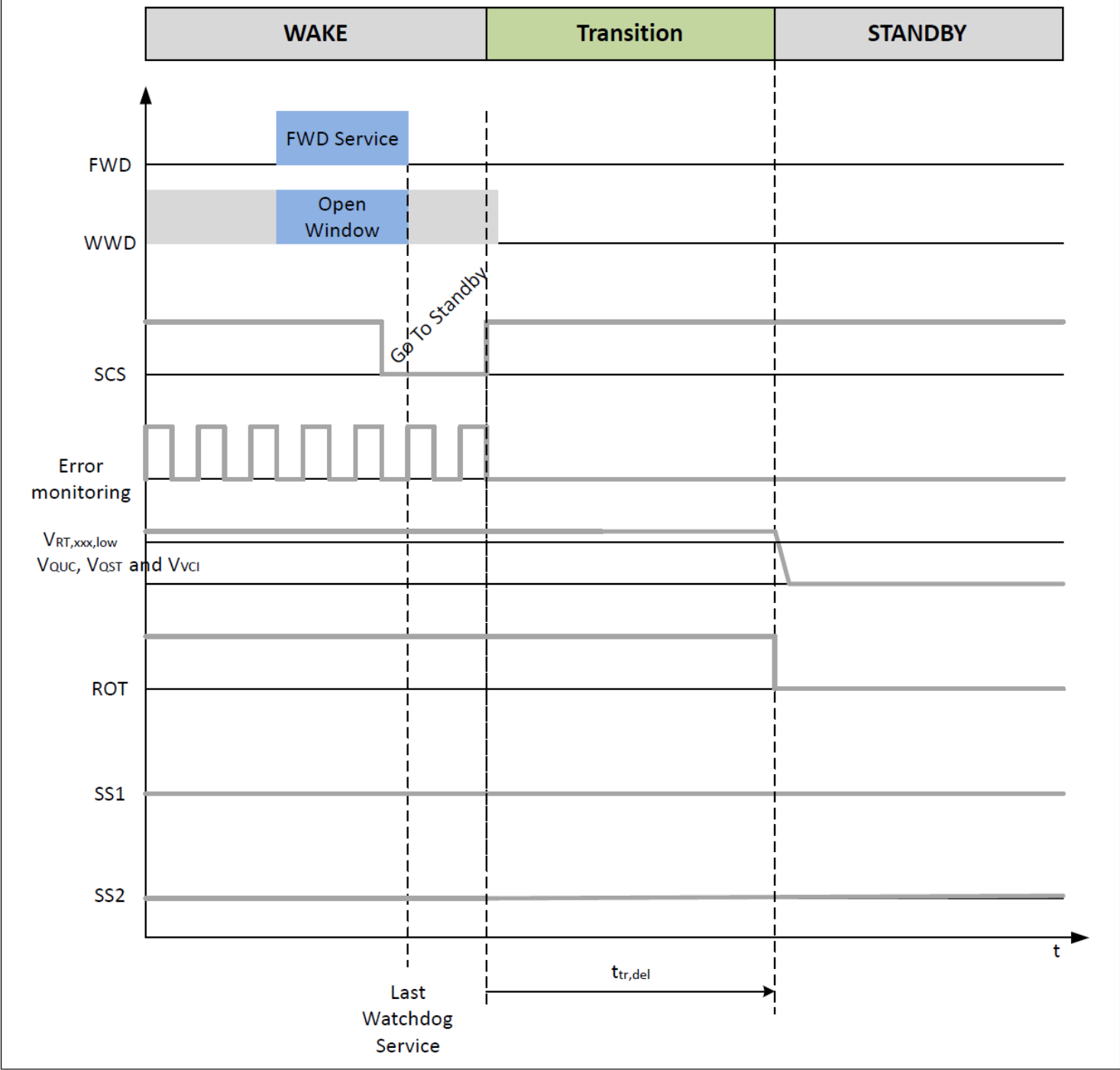


图 39 从 WAKE 状态到 STANDBY 状态的转换

- 在执行 SPI 指令 "Go to STANDBY" 之前，如果正在使用，则必须对看门狗进行喂狗操作，以便 SCS 信号的上升沿正好位于窗口看门狗的“关闭窗口”范围之内。此操作建议执行，以避免因看门狗未触发而与“Go to STANDBY”状态切换命令发生干扰。
- 片选（引脚SCS）的上升沿在执行 SPI 指令“Go to STANDBY”之后启动转换。在 WAKE 状态下，安全状态信号 SS1 和 SS2 为低电平，并且在转换到 STANDBY 状态期间将保持低电平。器件将从 WAKE 状态退出并进入向 STANDBY 状态的过渡状态。
- 当片选信号（SCS 引脚）为高电平时，错误监控（ERR 引脚）将被停止，其翻转信号可能会在 SCS 引脚的上升沿结束。

- 窗口看门狗和功能看门狗的监测随着引脚 SCS 的上升沿而停止。
- 在从 WAKE 状态成功切换到 STANDBY 状态后，复位信号（ROT）将在芯片选择信号（SCS 引脚）变为高电平后的过渡时间结束时被拉低。
- 当复位信号（ROT）被拉低并完成过渡后，所有前级稳压器和所有后级稳压器都会关闭（待机 LDO 除外——在 STANDBYBY 状态下，它可能处于 ON 或 OFF 状态）。
- 如果选择绝对转换定时器，器件将在转换时间 $t_{tr,del}$ 后从转换状态切换到 STANDBY 状态。转换时间 $t_{tr,del}$ 可通过 SPI 指令设置，范围为 100 μ s 至 1.6 ms，默认设置为 900 μ s。
- 如果选择 LDO_μC 电流检测作为过渡条件，则在转换延迟定时器 $t_{tr,del}$ 到期之前，在 LDO_μC 处测量的电流损耗降至所选阈值以下时，器件将从转换状态移至 STANDBY 状态。

10.3.8 FAILSAFE → INIT 状态

前提条件

- FAILSAFE 定时器已超时。

触发事件

- 在满足先决条件后触发的自发状态转换
- 有效的 ENA (边沿) 或 WAK (电平) 信号 (仅当例外情况成立时需要)

例外情况

- 如果因同一故障连续三次进入 FAILSAFE 状态，则自触发的状态转换将被阻止。

时序图

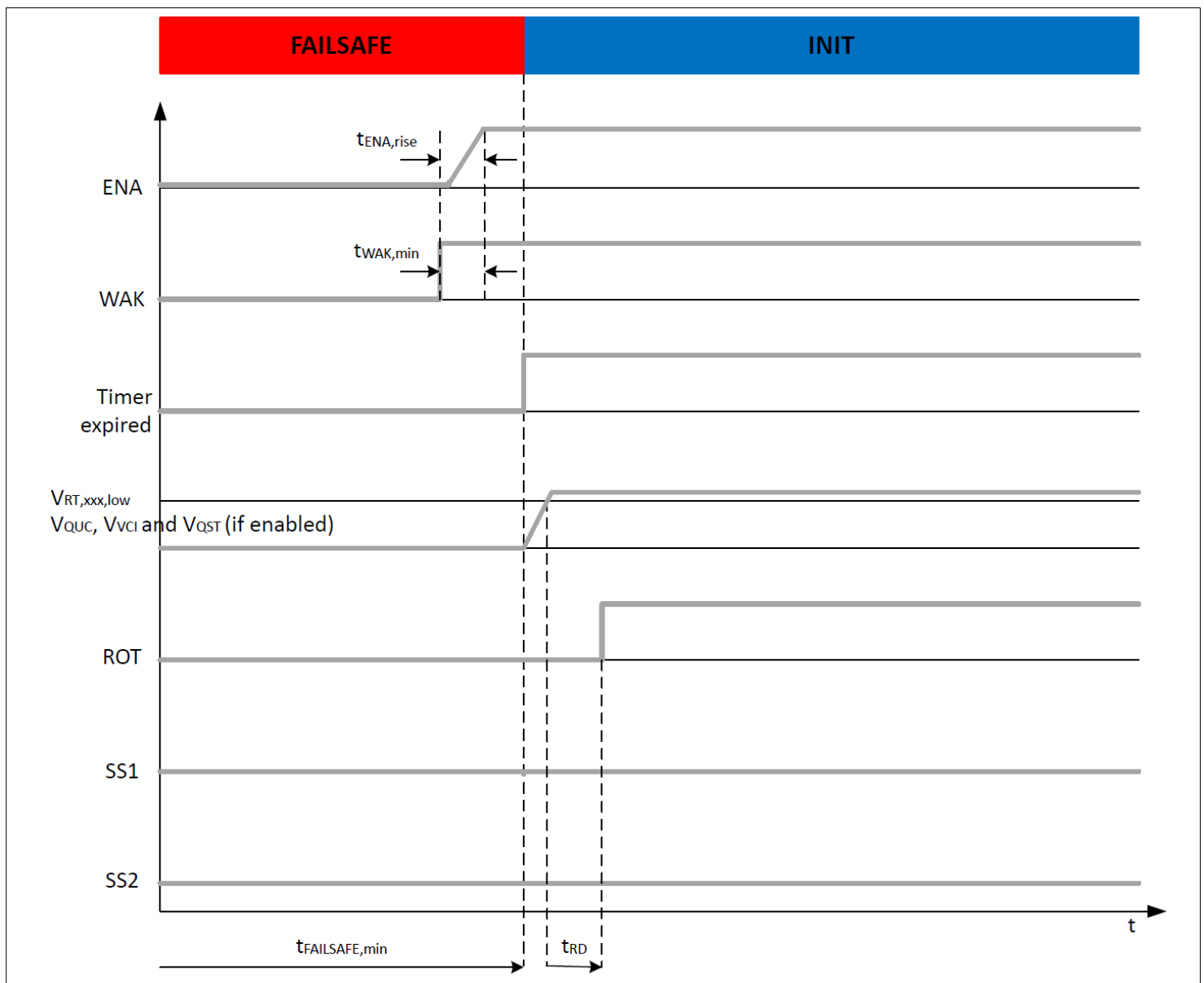


图 40 FAILSAFE 到 INIT 状态的转换

- 器件从 FAILSAFE 状态转换到 INIT 状态的最早时间为达到最小 FAILSAFE 时间 $t_{FAILSAFE, min}$ 之后，对于除热关断之外的所有故障，该时间为 20 ms。如果发生热关断，最小 FAILSAFE 时间 $t_{FAILSAFE, min}$ 为 1 秒。

一条指令用于在最小故障安全时间之前进行转换。 $t_{\text{FAILSAFE,min}}$ 已过期，将不会执行。

- 进入 INIT 状态后，稳压器将根据功率排序进行充电。
- 当微控制器的相关稳压器 V_{QUC} 、 V_{VCI} 或 V_{QST} （根据之前的配置）中最新的一个在上升过程中越过相关欠压复位阈值 $V_{\text{RT,xxx,low}}$ ，就会启动上电复位延时。
- 当电源上电复位延时时间到期后，复位信号（ROT）将被拉高。
- 需要对器件进行配置和初始化。器件进入 FAILSAFE 状态之前在配置寄存器中完成的所有设置都将丢失，但 LDO_Stby ([RSYSPCFG0](#)) 和复位延时时间 ([DEVCFG1](#)) 的配置除外。
- 安全状态信号 SS1 和 SS2 在 FAILSAFE 状态下为低电平，并将在 INIT 状态下保持低电平。

10.4 对检测到的故障的响应

根据严重程度，错误被分为四个不同的错误等级：

- 保持当前状态——此类故障影响外设，但不会对微控制器造成直接风险，并通过中断进行指示以便微控制器在不改变状态的情况下进行分析
- 转入 INIT——中等严重程度的错误会使器件重新进入 INIT 状态，并对微控制器生成复位信号。
- 转入 FAILSAFE——高风险的严重错误，可能对微控制器造成损害
- 转入 POWERDOWN——最严重的错误，具有对器件自身以及微控制器造成重大损害的高风险

错误等级将根据其严重程度进行覆盖。例如：进入 POWERDOWN 的优先级高于进入 FAILSAFE，而进入 FAILSAFE 的优先级又高于进入 INIT

本文档中，将导致转入 INIT、FAILSAFE 和 POWERDOWN 状态的错误称为“错误触发的状态转换”。

10.4.1 保持当前状态

Stay in current State	
• Volt_Ref:	UV, StG, OC
• Tr 1 & 2:	OV, UV, StG
• LDO_Com:	OV,UV,StG, TSD
• PreReg:	UV
• LDO_Stby:	OC
• Watchdog Error Counter (WWD/FWD)	increased
• Error Monitoring Recovery delay time active	
• TSD prewarning	
• Comp BG1 <-> BG2 > 4%	

图 41 停留在当前状态

以下故障本身不会触发器件进入其他状态，但会通过中断事件指示故障：

- 检测到基准电压的欠压、短路到地或过载情况。
- 检测跟踪器 1 或 2 处的过压、欠压或短路到地
- 检测 LDO_Com 的过压、欠压、短路到地或热关断
- 前级稳压器欠压检测
- 待机稳压器过载检测
- 窗口看门狗或功能看门狗的状态计数器增加，但其当前数值仍低于触发阈值。
- 错误监控正在处于恢复延时时间内，并且 ERR 信号停止翻转
- 热关断预警（降压前级稳压器和/或 LDO_μC 和/或 LDO_Com）
- 带隙监控：如果两个带隙基准之间的偏差超过 4%

由于微控制器电源被切断，在 STANDBY 和 FAILSAFE 状态下，中断可能不会在 INT 引脚上显示。该事件存储在状态标志（IF、SYSSF、MONSF0、MONSF1、MONSF2、OTWRNSF、OTFAIL）中。

10.4.2 过渡到 INIT 状态

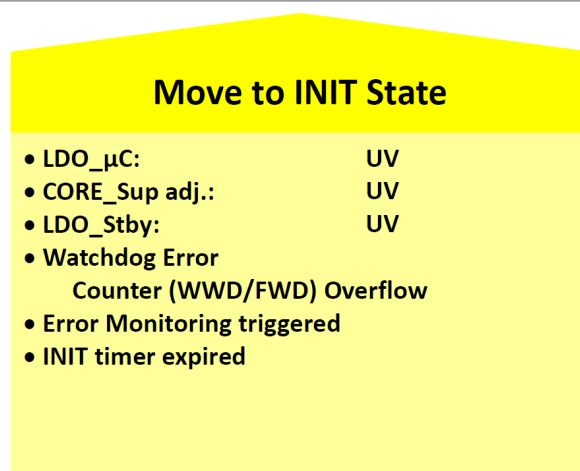


图 42 转入 INT 状态

以下故障会使器件从任何状态进入 INIT 状态：

- 检测到 LDO_μC、Core_Sup adj. 或 LDO_Stby 的欠压
- 检测到窗口看门狗或功能看门狗的状态计数器溢出
- 检测到错误信号停止（即时反应模式），或错误信号停止持续超过恢复延时时间（恢复模式）
- INIT 定时器连续一次或两次超时（表示在 INIT 状态下的配置失败）

10.4.2.1 INIT → INIT 状态（由于检测到故障）

10.4.2.1.1 INIT → INIT 状态（由于 INIT 定时器首次超时）

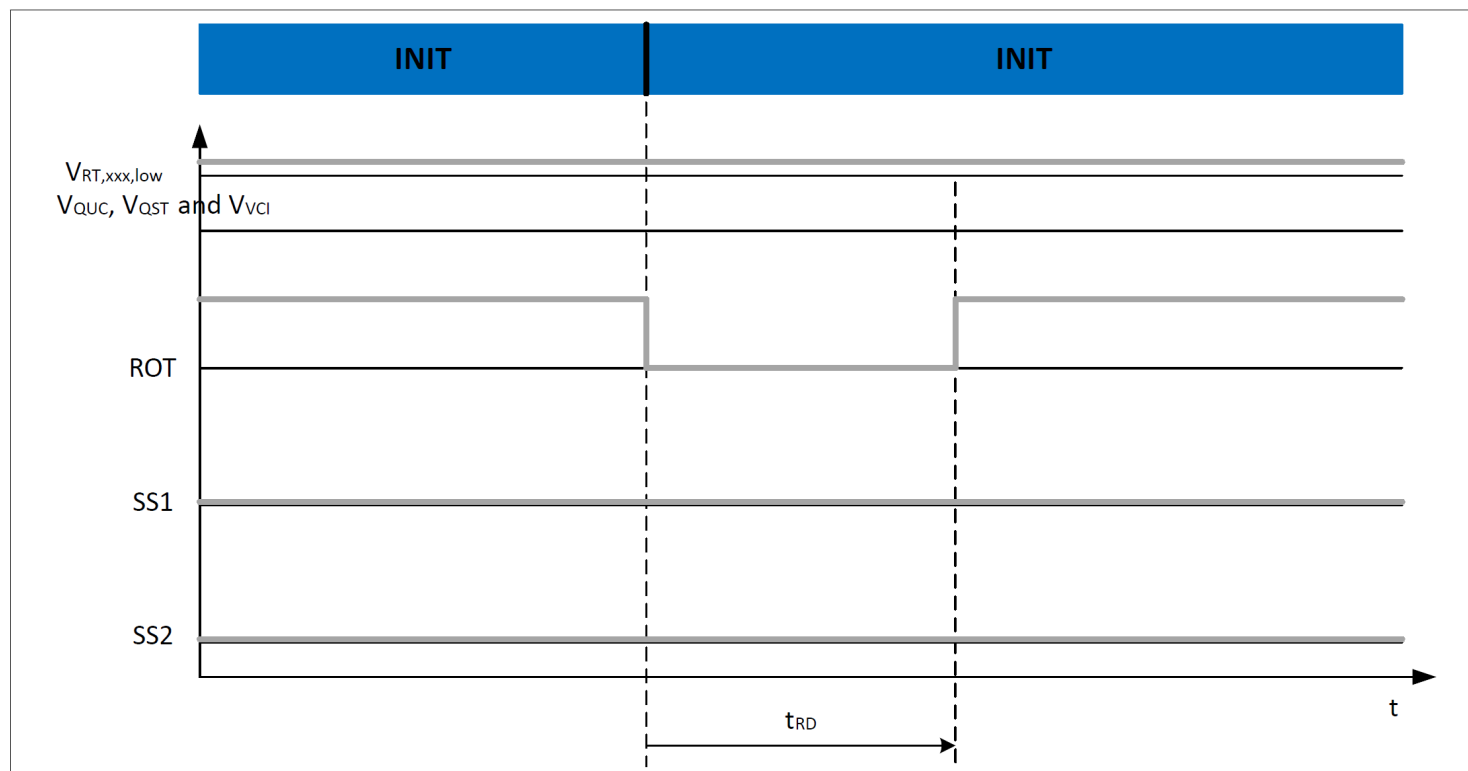


图 43 从 INIT 到 INIT 状态的转换——第一次触发

说明:

- 器件首次从 INIT 转换到 INIT 状态（或保持在 INIT 状态）时，会执行一次“软复位”。如果所有微控制器相关电压均在有效范围内，则 ROT 引脚会在复位延时时间 t_{RD} 内被拉低。进入 INIT 状态后将启动电源时序：先前被关闭的输出会重新启用，其他输出将保持启用状态；但 LDO_Stby 会保持其原先的打开或关闭配置不变。

10.4.2.1.2 INIT → INIT 状态（由于 INIT 定时器第二次超时）

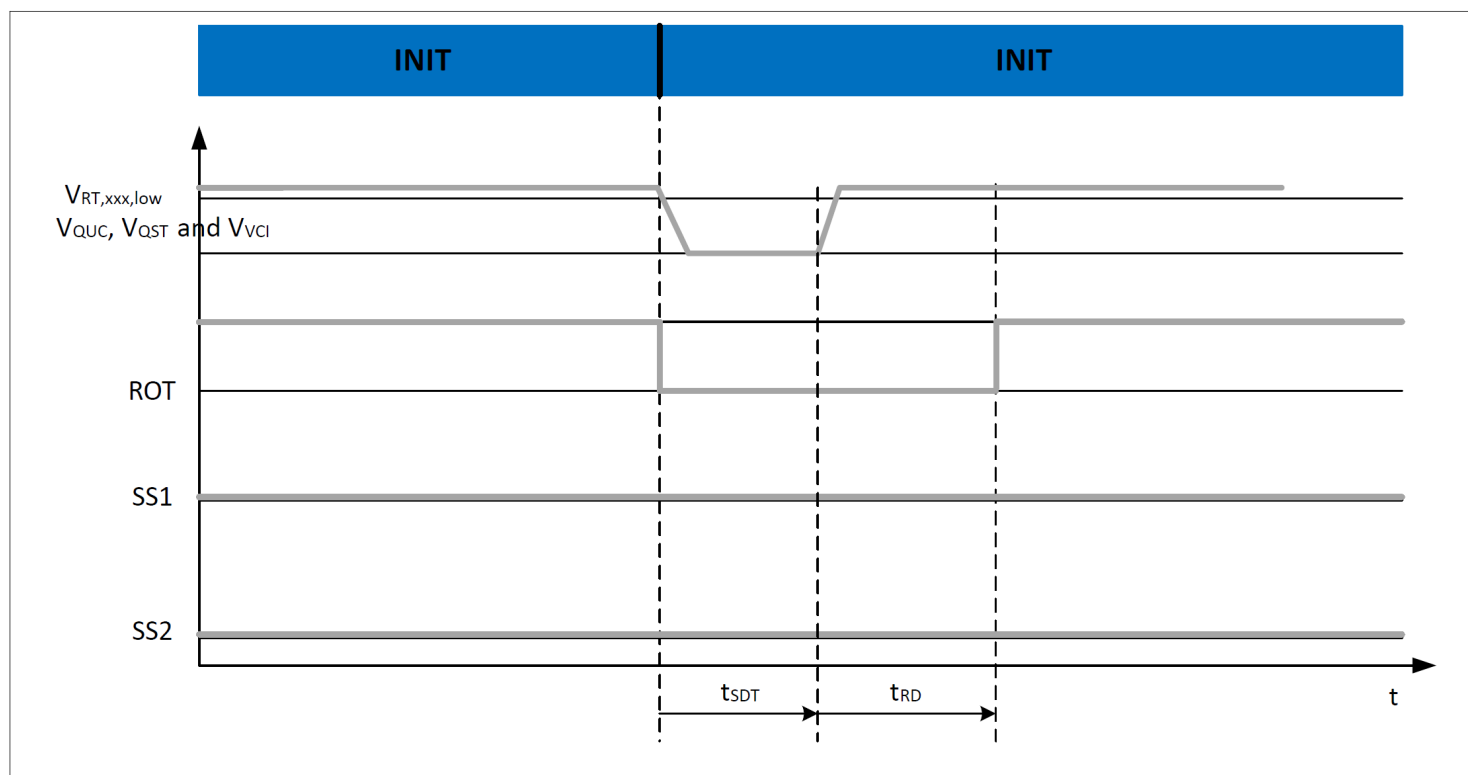


图 44 从 INIT 到 INIT 状态的转换——第二次触发

说明：

- 器件第二次从 INIT 转换到 INIT 状态（或保持在 INIT 状态）时，将执行一次“硬复位”
 - ROT 引脚被拉低，所有输出在时间 t 内被禁用，并根据电源时序重新启动（请参阅第 7.3 章），但 LDO_Stby 将恢复其配置为 ON 或 OFF。
- ROT 引脚将根据上电顺序使用复位延时时间 t_{rd} 释放。

注意： 请同时参考从 INIT 到 FAILSAFE 的状态转换部分。

10.4.2.2 NORMAL → INIT 状态（由于检测到故障）

时序图

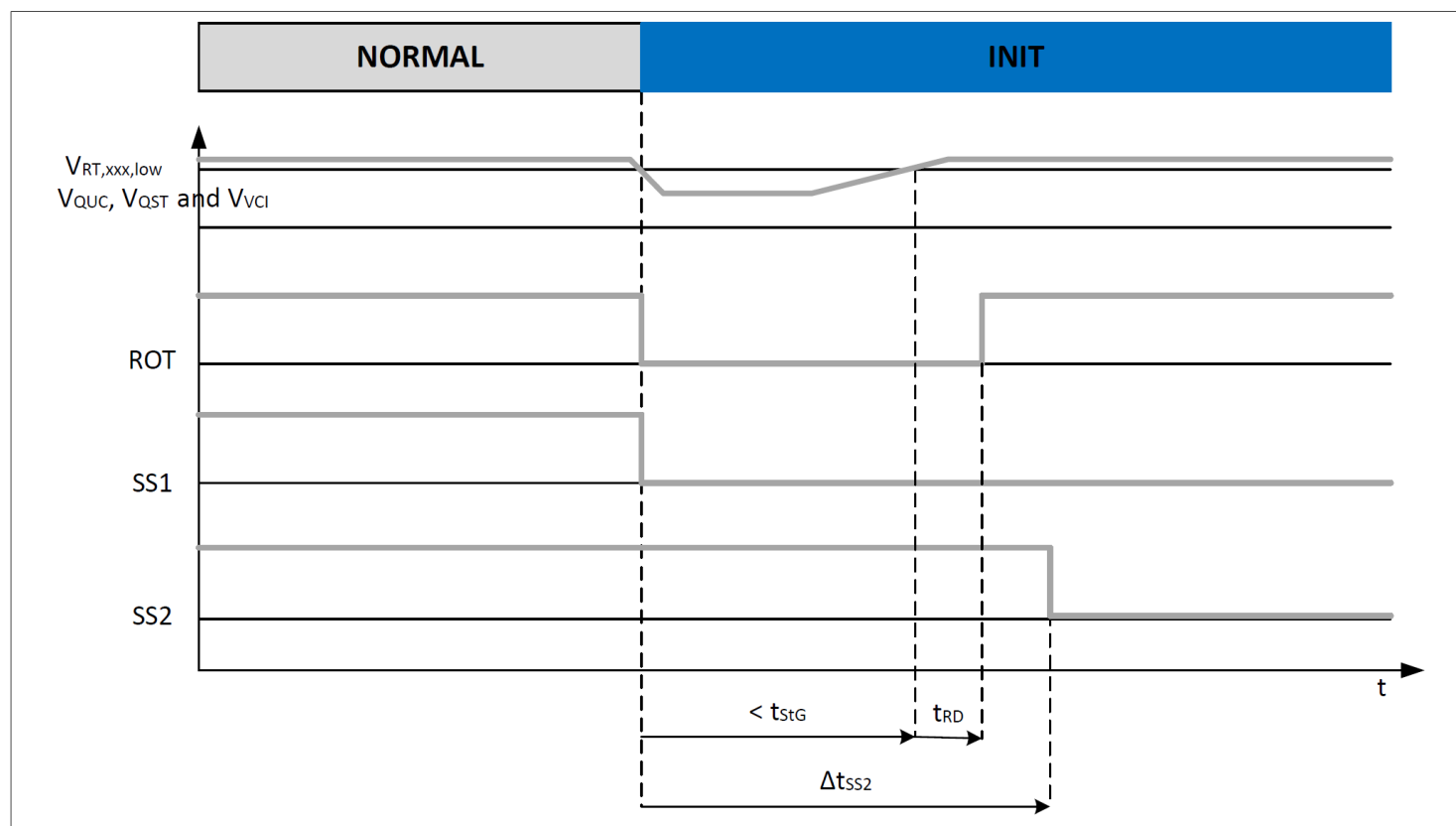


图 45 从 NORMAL 状态到 INIT 状态的转换

说明:

- 器件从 NORMAL 状态转换到 INIT 状态时会执行一次“软复位”—— ROT 引脚被拉低，且所有输出随之关闭。之后输出将重新启用，但 LDO_Stby 将保持其原先的开启或关闭配置不变。在 NORMAL 状态下被关闭的输出将在此过程中重新开启。
- 这可能是由于微控制器相关电压 V_{QUC} 、 V_{QST} 或 V_{VCI} 出现欠压所致，如图所示。欠压持续时间短于短路检测时间 t_{StGo} 。一旦所有微控制器相关电压 V_{QUC} 、 V_{QST} 或 V_{VCI} 再次处于有效范围内，短路延时时间 t_{RD} 便开始计时。并相应地释放 ROT 引脚。如果欠压持续时间长于短路检测时间 t_{StG} ，则首先会导致从 NORMAL 状态过渡到 INIT 状态，然后在接地短路检测时间 t_{StG} 到期后，从 INIT 状态过渡到 FAILSAFE 状态。
- “软复位”也可以通过窗口看门狗错误计数溢出 ($> \Sigma WWO$)、功能看门狗错误计数溢出 ($> \Sigma FWO$)、错误指示（立即或恢复延时时间模式）来启动，前提是这些监控功能正在使用。在这种情况下，复位延时时间 t_{RD} 将沿着 ROT 引脚下降沿开始。请参考表 25 中状态转换到 INIT 状态的时间。
- $SS1$ 会随着 ROT 引脚被立即拉低， $SS2$ 将在选定的 Δt_{SS2} 之后被拉低。
- 请注意，如果 UV 事件发生在 QUC 时，延迟的 $SS2$ 信号将跟随 V_{QUC} ，因为它是由 QUC 提供的。

注意：如果在配置的 Δt_{SS2} 到期之前将器件置于 NORMAL 状态，则 $SS2$ 将保持高电平。

10.4.2.3 STANDBY → INIT 状态（由于检测到故障）

时序图

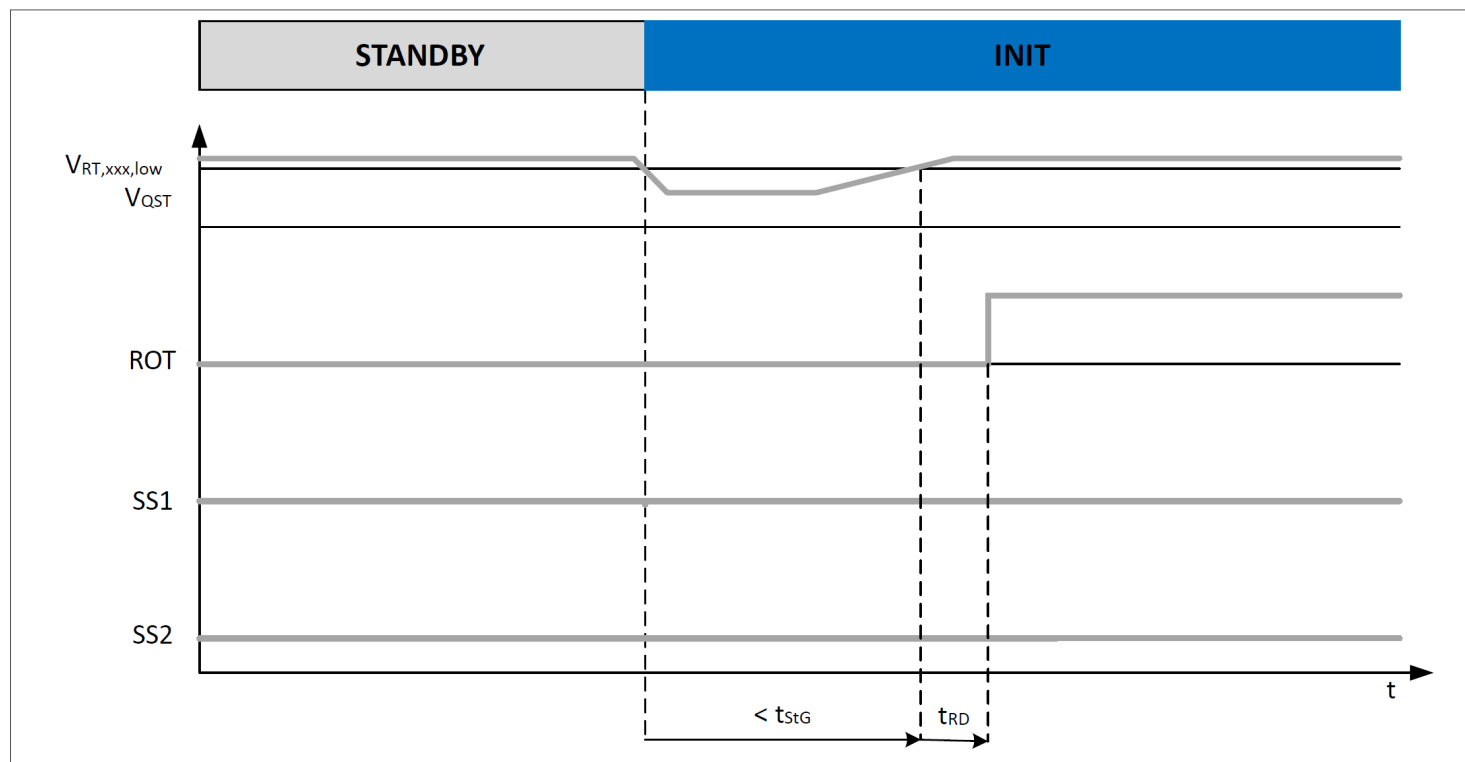


图 46 从 STANDBY 状态到 INIT 状态的转换

说明：

- 如图所示，由于微控制器相关电压 V_{QST} 出现欠压，器件从 STANDBY 状态转换到 INIT 状态。该欠压持续时间短于接地短路检测时间 t_{StG} 。如果欠压持续时间长于接地短路检测时间 t_{StG} ，则器件首先从 STANDBY 状态转换到 INIT 状态，然后在接地短路检测时间 t_{StG} 结束后，再从 INIT 状态转换到 FAILSAFE 状态。
- 进入 INIT 状态后将启动电源时序：先前被关闭的输出会重新启用，但 LDO_Stby 将保持其原先的开启或关闭配置不变。
- 上电复位延时时间将根据电源时序开始计时，并相应地释放 ROT 引脚。
- 安全状态信号 SS1 和 SS2 在 STANDBY 状态下为低电平，并将在 INIT 状态下保持低电平。例外情况：
- 例外情况：如果内部供电出现过压或欠压，则会始终启动“硬复位”。请参阅第 7.3 章。

10.4.2.4 SLEEP → INIT 状态（由于检测到故障）

时序图

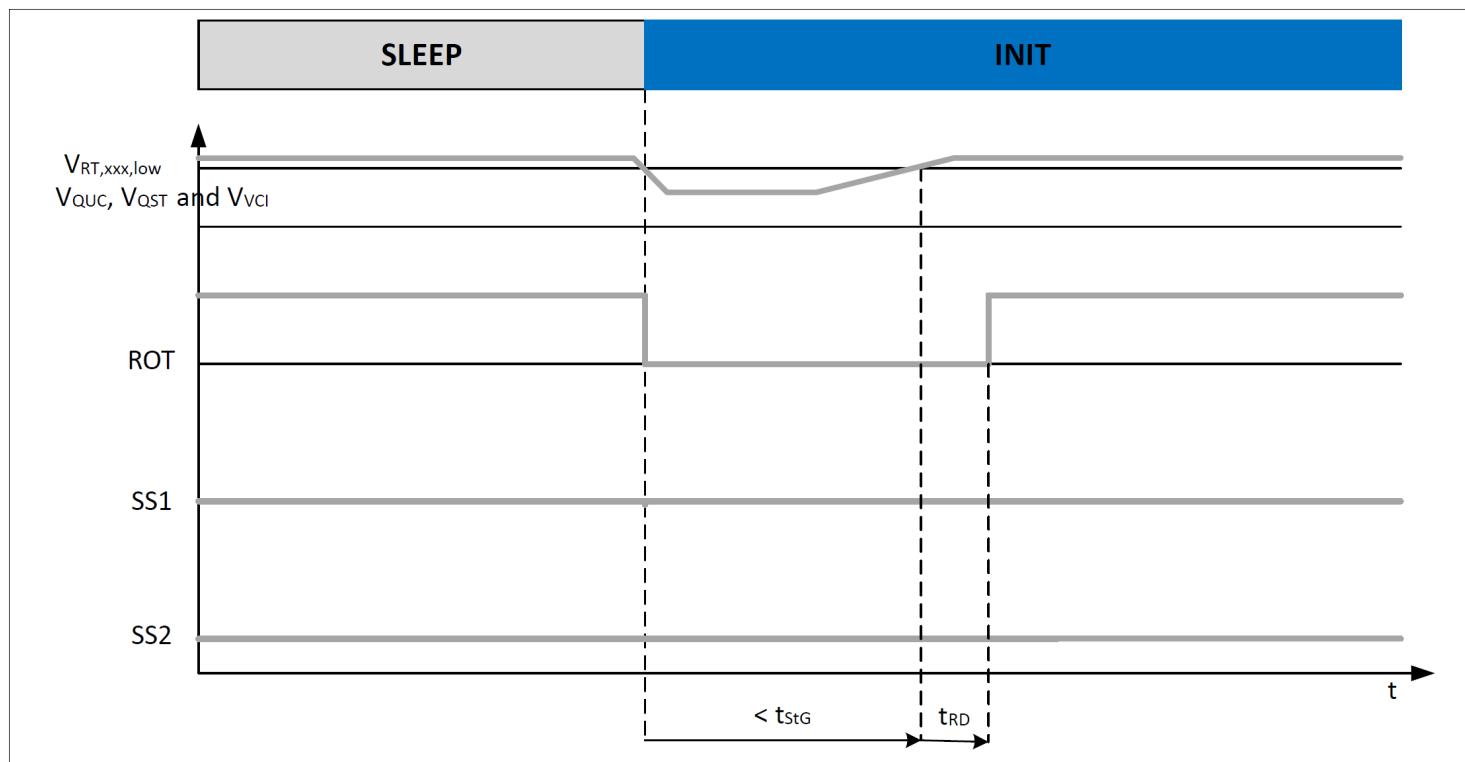


图 47 从 SLEEP 状态到 INIT 状态的转换

说明：

- 器件从 SLEEP 状态转换到 INIT 状态时会发出“软复位”信号——复位后，ROT 引脚被拉低一段时间 t_{RD} ，所有输出保持启用状态。在 SLEEP 状态下被关闭的输出将重新开启，但 LDO_Stby 会保持其原先的开启或关闭配置不变。
- 这可能是由于微控制器相关电压 V_{QUC} 、 V_{QST} 或 V_{VCI} 出现欠压所致，如图所示。欠压持续时间短于短路检测时间 t_{StG} 。一旦所有微控制器相关电压 V_{QUC} 、 V_{QST} 或 V_{VCI} 恢复到有效范围，复位延时时间 t_{RD} 便开始计时。此时，ROT 引脚相应释放。如果欠压持续时间长于短路检测时间 t_{StG} ，则首先会导致从 SLEEP 状态转换到 INIT 状态，然后在短路检测时间 t_{StG} 结束后，再从 INIT 状态转换到 FAILSAFE 状态。
- “软复位”也可以通过窗口看门狗错误计数溢出 ($> \Sigma WWO$)、功能看门狗错误计数溢出 ($> \Sigma FWO$)、错误指示（立即或恢复延时时间模式）来启动，前提是这些监控功能正在使用。在这种情况下，复位延时时间 t_{RD} 将沿着 ROT 引脚下降沿开始。请参考表 25 中状态转换到 INIT 状态的时间。
- 安全状态信号 SS1 和 SS2 在 SLEEP 状态下为低电平，并将在 INIT 状态下保持低电平。

例外情况：

- 例外情况：如果内部供电出现过压或欠压，则会始终启动“硬复位”。请参阅第 7.3 章。

10.4.2.5 WAKE → INIT 状态（由于检测到故障）

时序图

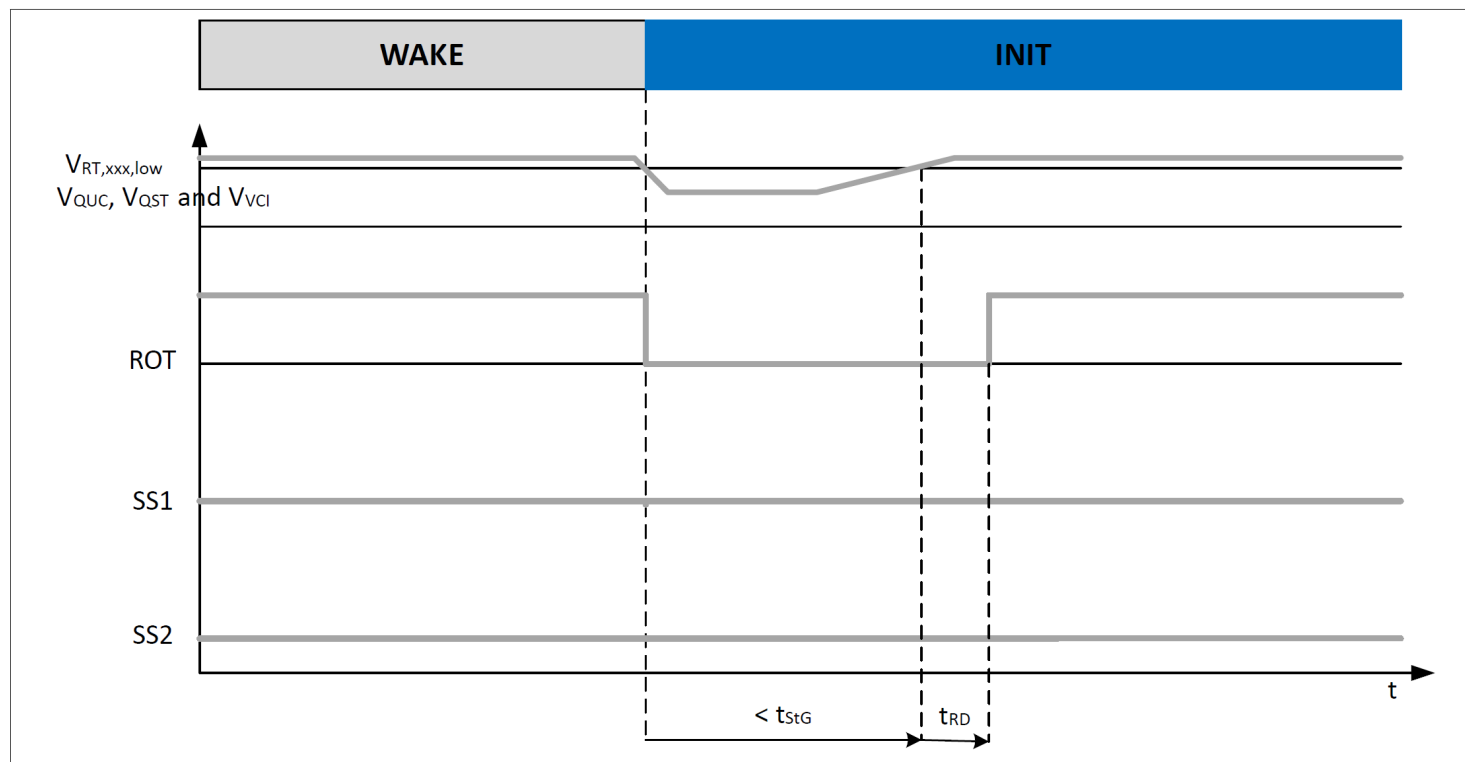


图 48 从 WAKE 状态到 INIT 状态的转换

说明:

- 器件从 WAKE 状态转换到 INIT 状态时会发出“软复位”信号—— ROT 引脚会被拉低一段时间 t_{RD} ，所有输出保持启用状态。在 WAKE 状态下被关闭的输出将重新开启，但 LDO_Stby 会保持其原先的开启或关闭配置不变。
- 这可能是由于微控制器相关电压 V_{QUC} 、 V_{QST} 或 V_{VCI} 出现欠压所致，如图所示。欠压持续时间短于短路检测时间 t_{StG} 。一旦所有微控制器相关电压 V_{QUC} 、 V_{QST} 或 V_{VCI} 再次处于有效范围内，复位延时时间 t_{RD} 便开始计时。ROT 引脚也相应释放。如果欠压持续时间长于短路检测时间 t_{StG} ，则首先会导致从 WAKE 状态转换到 INIT 状态，然后在短路检测时间 t_{StG} 结束后，再从 INIT 状态转换到 FAILSAFE 状态。
- “软复位”也可以通过窗口看门狗错误计数溢出 ($> \Sigma WWO$)、功能看门狗错误计数溢出 ($> \Sigma FWO$)、错误指示（立即或恢复延时时间模式）来启动，前提是这些监控功能正在使用。在这种情况下，复位延时时间 t_{RD} 将沿着 ROT 引脚下降沿开始。请参考表 25 中状态转换到 INIT 状态的时间。
- 安全状态信号 SS1 和 SS2 在 WAKE 状态下为低电平，并将在 INIT 状态下保持低电平。例外情况：
 - 例外情况：如果内部供电出现过压或欠压，则会始终启动“硬复位”。请参阅第 7.3 章。

10.4.3 过渡到 FAILSAFE 状态

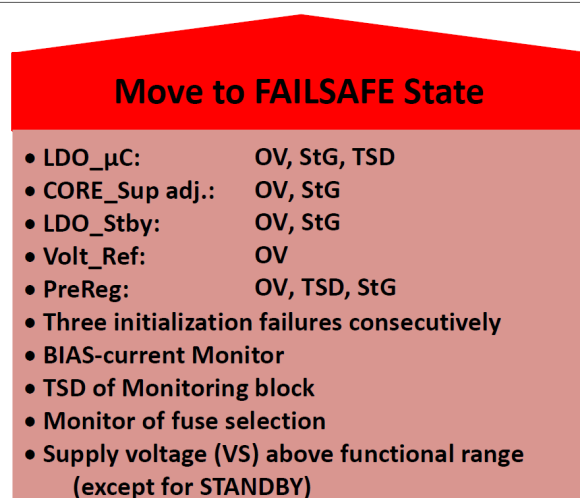


图 49 转入 FAILSAFE 状态

以下故障会使器件从任意状态进入 FAILSAFE 状态：

- 检测到 LDO_μC 的过压、短路到地或热关断
- 检测到 Core_Sup adj. 或 LDO_Stby 的过压或短路到地
- 检测到基准电压发生过压
- 检测到前级稳压器的过压、接地短路²⁾（仅在 INIT 状态下的启动相期间）或热关断
- 连续三次初始化失败（例如：INIT 状态下的配置失败）
- 偏置电流监控故障
- 由于监控模块温度超限而触发的过温关断
- 熔丝选择监控故障
- 在电源引脚（VS）出现过压时，将触发过压保护并使器件进入 FAILSAFE 状态（STANDBY 状态除外）。

²⁾ 在 INIT 状态下进行电源时序后检测到前级稳压器接地短路（一旦高于 UV 阈值）将不会被视为“转入 FAILSAFE”事件，但该事件将存储在 MONSF0.PREGSG 中，且不会产生中断信号。

10.4.3.1 INIT → FAILSAFE 状态（由于检测到故障）

时序图

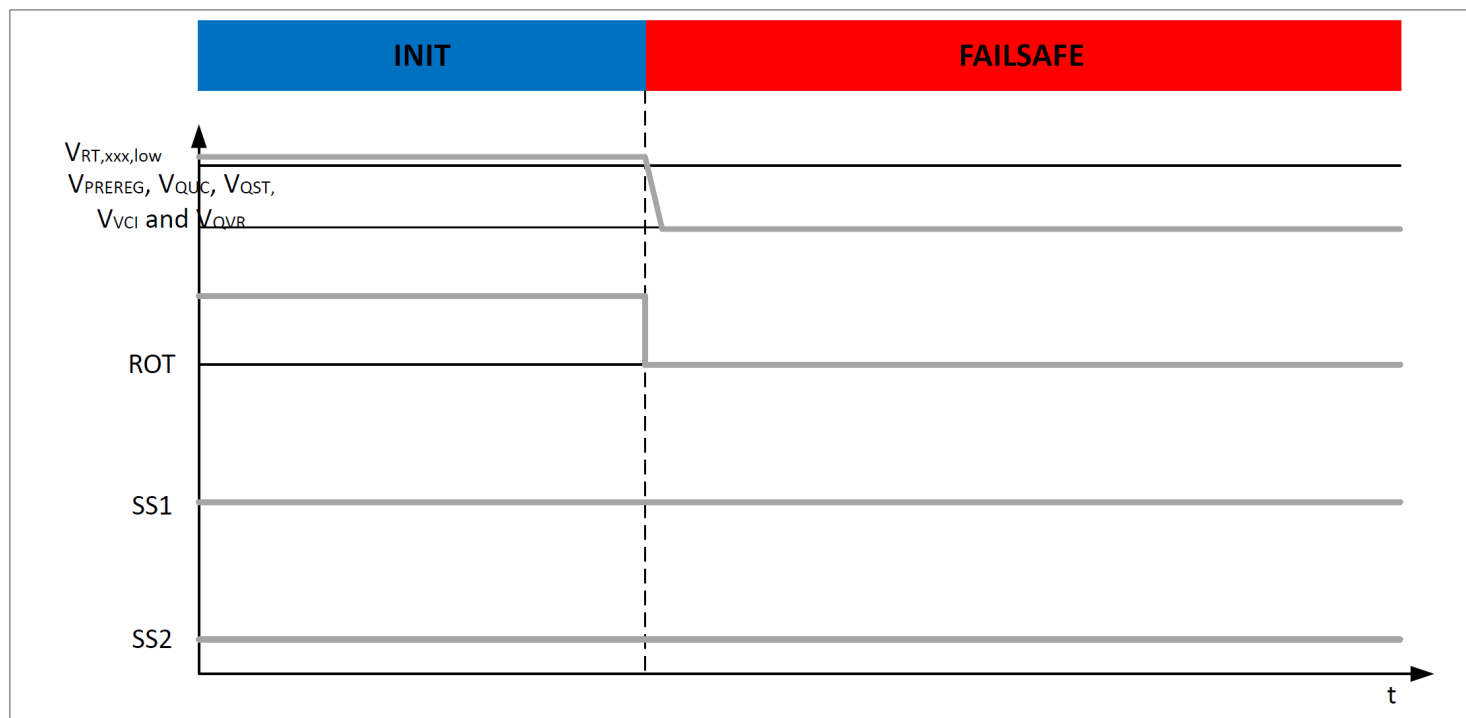


图 50 从 INIT 状态到 FAILSAFE 状态的转换

说明:

- 从 INIT 状态向 FAILSAFE 状态的转换将由在 [第 10.4.3 章](#) 中提到的任何故障（外部或内部）触发。
- 一旦检测到任一触发进入 FAILSAFE 的故障，ROT 引脚将立即被拉低；如果由于微控制器相关稳压器的欠压导致 ROT 已经为低电平，则保持不变
- 当器件从 INIT 状态转为 FAILSAFE 状态时，所有稳压器将被关闭，无论它们是否处于过压状态
- 安全状态信号 SS1 和 SS2 在 INIT 状态为低电平，并且将在 FAILSAFE 状态下保持低电平

10.4.3.2 XXXX → INIT → FAILSAFE 状态（由于检测到故障）

时序图

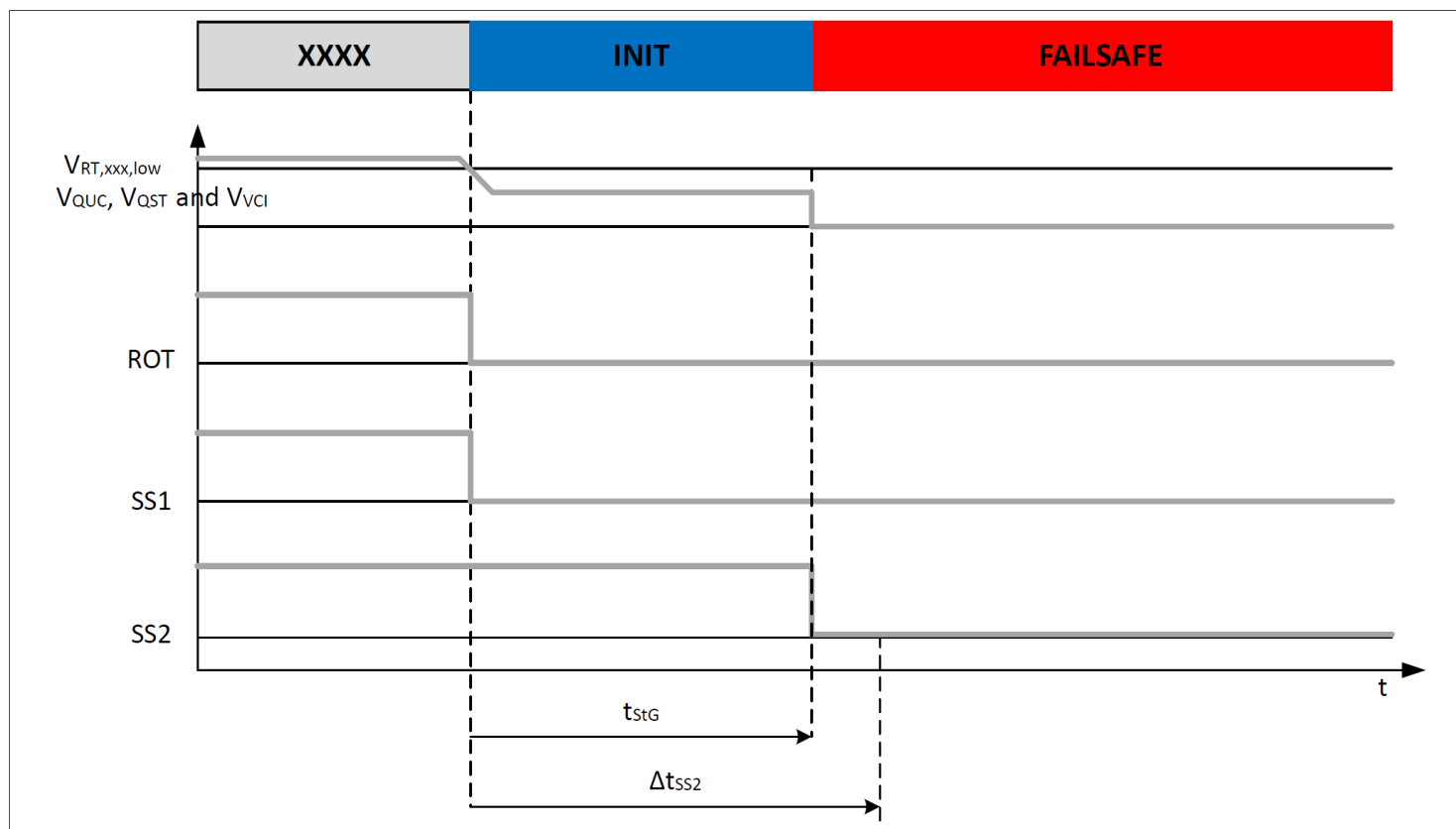


图 51 检测到短路到地后从 XXXX 到 INIT 再到 FAILSAFE 状态的转换

说明:

- 如图所示，检测到与微控制器相关电压 V_{QUC} 、 V_{QST} 或 V_{VCI} 出现欠压时，系统将进入 INIT 状态。（请参阅前一章“过渡到 INIT 状态”）
- 一旦检测到欠压，ROT 引脚将被拉低。
(在上述一个或多个稳压器中——以最先发生的为准)
- 安全状态信号 SS1 将在 ROT 引脚被拉低的同时一起被拉低。
- 如果短路持续时间超过接地短路检测时间 t_{StG} ，则检测到接地短路事件。
- 所有稳压器一旦检测到接地短路，无论是否处于欠压状态，都会立即关断
- 器件从 INIT 状态转变为 FAILSAFE 状态
- 安全状态信号 SS2 将在从 INIT 过渡到 FAILSAFE 状态时被拉至 LOW，即使延时时间 Δt_{SS2} 尚未结束，原因是 LDO_μC 已关闭（LDO_μC 在 INIT 状态下开启，而在 FAILSAFE 状态下关闭）

10.4.3.3 NORMAL → FAILSAFE 状态（由于检测到故障）

时序图

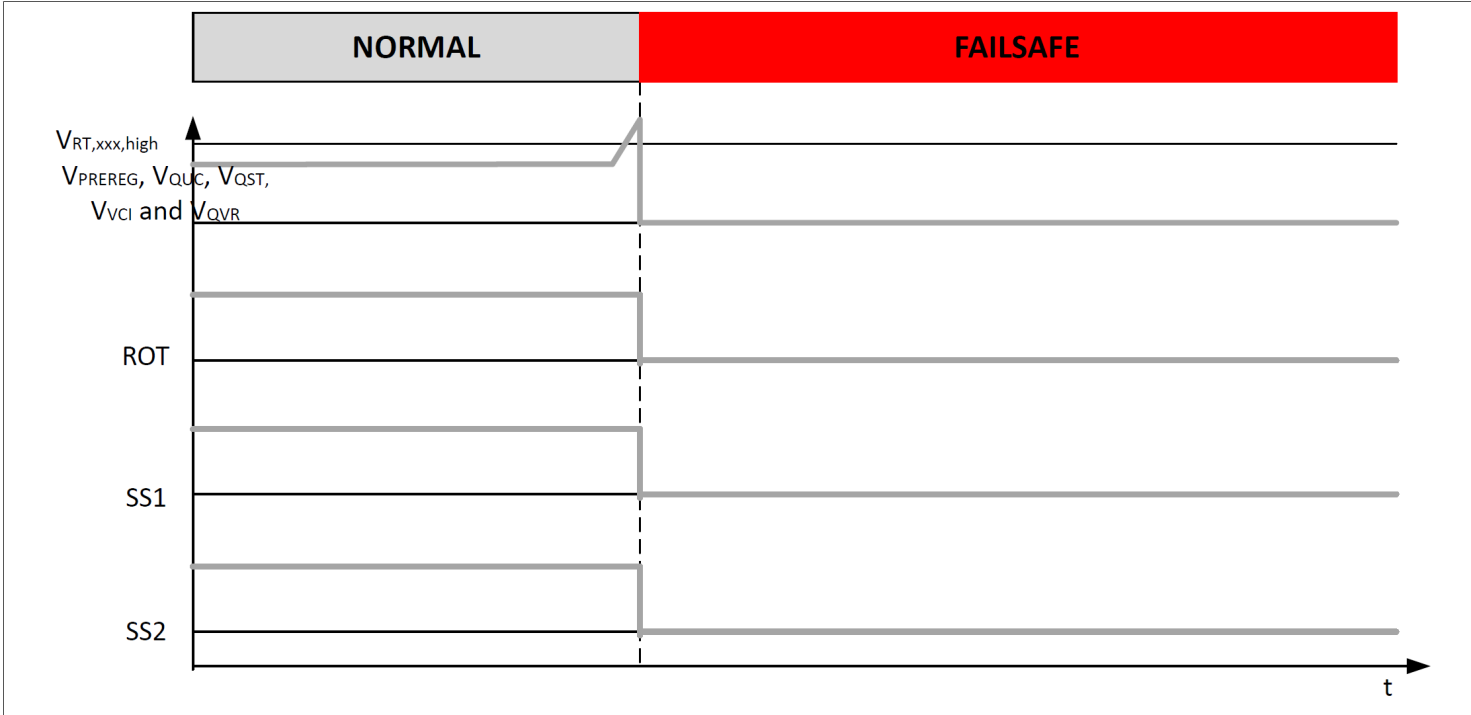


图 52 从 NORMAL 状态到 FAILSAFE 状态的转换

说明:

- 前级稳压器电压 V_{PREREG} 或微控制器相关电压 V_{QUC} 的过压监测，如图所示， V_{QST} 、 V_{VCI} 或 V_{QVR} 将触发从 NORMAL 状态到 FAILSAFE 状态的转换。
- 一旦在上述一个或多个稳压器中的任一处检测到过压事件（以最先触发者为准），ROT 引脚将被拉至低电平。
- 当器件从 NORMAL 状态转为 FAILSAFE 状态时，无论是否处于过压状态，所有稳压器都将被关断。
- 当 ROT 引脚拉低时，安全状态信号将立即被拉低，因为 LDO_μC 已关闭。
- 从 NORMAL 状态向 FAILSAFE 状态的转换将由在第 10.4.3 章提到的任何故障（外部或内部）触发。
- 检测到与微控制器相关电压 V_{QUC} 、 V_{QST} 或 V_{VCI} 短路到地，如 [XXXX → INIT → FAILSAFE 状态（由于检测到故障）](#) 中所示），首先会被检测为欠压事件，并将器件从 NORMAL 状态移至 INIT 状态。经过接地短路检测时间 t_{StG} 后，器件将从 INIT 状态移至 FAILSAFE 状态（请参阅从 INIT 状态到 FAILSAFE 状态的转换）。

10.4.3.4 STANDBY → FAILSAFE 状态（由于检测到故障）

时序图

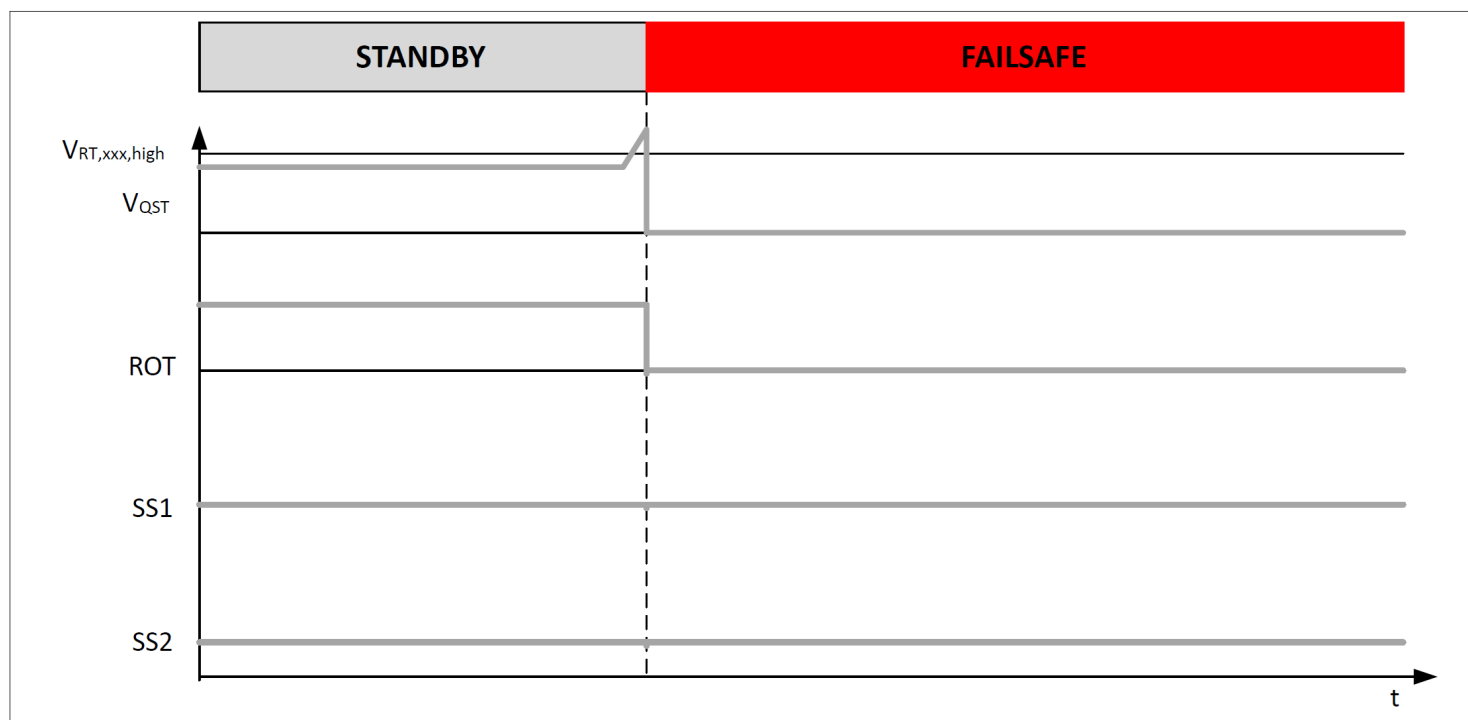


图 53 从 STANDBY 状态到 FAILSAFE 状态的转换

说明:

- 如图所示，检测到与微控制器相关电压 V_{QST} 过压时，将启动从 STANDBY 状态到 FAILSAFE 状态的转换。
- ROT 引脚在 STANDBY 状态下为低电平，并且将在 FAILSAFE 状态下将保持低电平。
- 安全状态信号 SS1 和 SS2 在 STANDBY 状态下为低电平，并且将在 FAILSAFE 状态下将保持低电平。
- 除了上述示例外，从 STANDBY 状态转入 FAILSAFE 状态的过程还会因内部偏置电流监测故障而被触发。
- 检测到与微控制器相关电压 V_{QUC} 、 V_{QST} 或 V_{VCI} 短路到地，如 [XXXX → INIT → FAILSAFE 状态（由于检测到故障）](#) 中所示，首先会被检测为欠压事件，并将器件从 STANDBY 状态移至 INIT 状态。经过接地短路检测时间 t_{StG} 后，器件将从 INIT 状态移至 FAILSAFE 状态（请参阅从 INIT 状态到 FAILSAFE 状态的转换）。

10.4.3.5 SLEEP → FAILSAFE 状态（由于检测到故障）

时序图

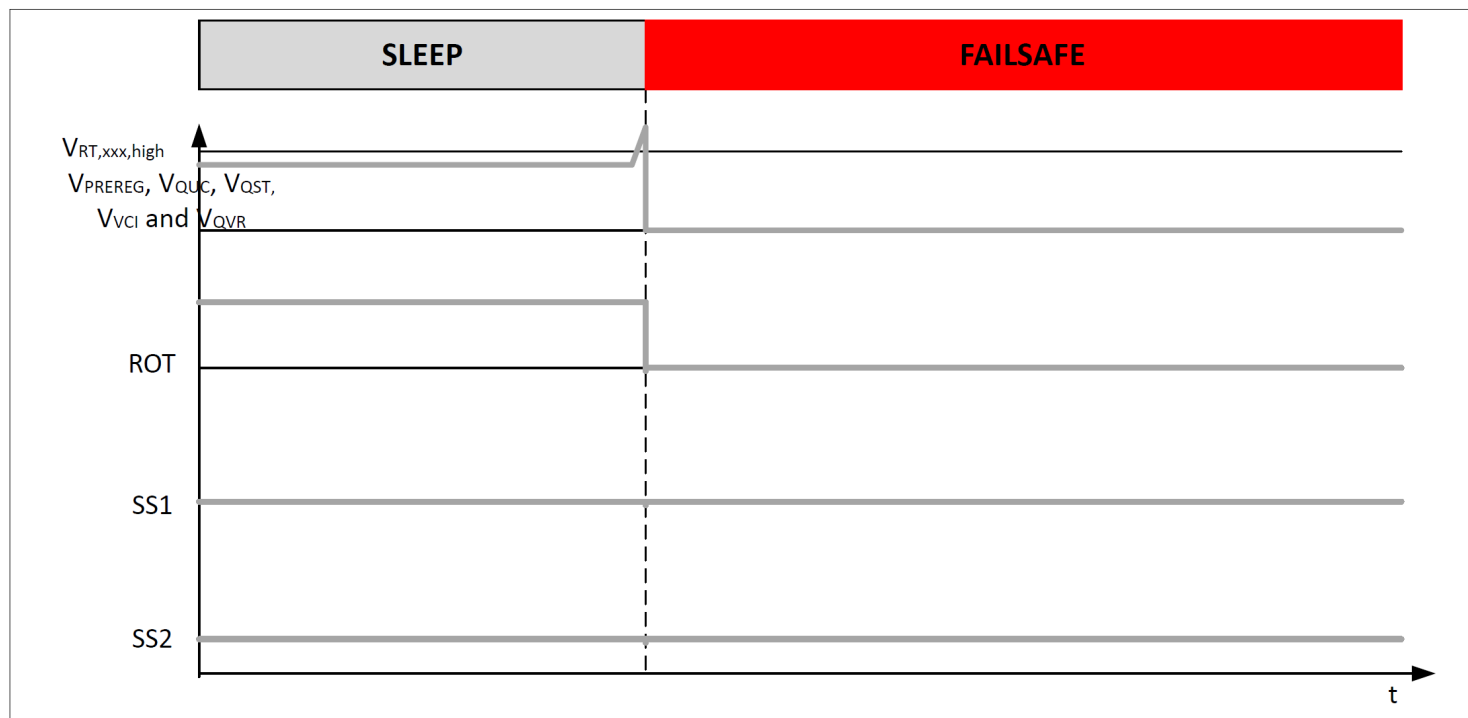


图 54 从 SLEEP 状态到 FAILSAFE 状态的转换

说明：

- 前级稳压器电压 V_{PREREG} 或微控制器相关电压 V_{QUC} 的过压监测，如图所示， V_{QST} 、 V_{VCI} 或 V_{QVR} 将触发从 SLEEP 状态到 FAILSAFE 状态的转换。
- 一旦在上述一个或多个稳压器中的任一处检测到过压事件（以最先触发者为准），ROT 引脚将被拉至低电平。
- 当器件从 SLEEP 状态转入 FAILSAFE 状态时，所有稳压器都将被关闭，无论它们是否处于过压条件。
- 安全状态信号将保持为低电平，与 SLEEP 状态时相同。
- 第 10.4.3 章中提到的任何故障（外部或内部）都会触发从 SLEEP 状态到 FAILSAFE 状态的转换。
- 与微控制器相关电压 V_{QUC} 、 V_{QST} 或 V_{VCI} 的接地短路检测，如 [XXXX → INIT → FAILSAFE 状态（由于检测到故障）](#) 中所示，首先会被检测为欠压事件并使器件从 SLEEP 状态变为 INIT 状态。经过接地短路检测时间 t_{StG} 后，器件将从 INIT 状态变为 FAILSAFE 状态（请参阅从 INIT 状态到 FAILSAFE 状态的转换）。

10.4.3.6 WAKE → FAILSAFE 状态（由于检测到故障）

时序图

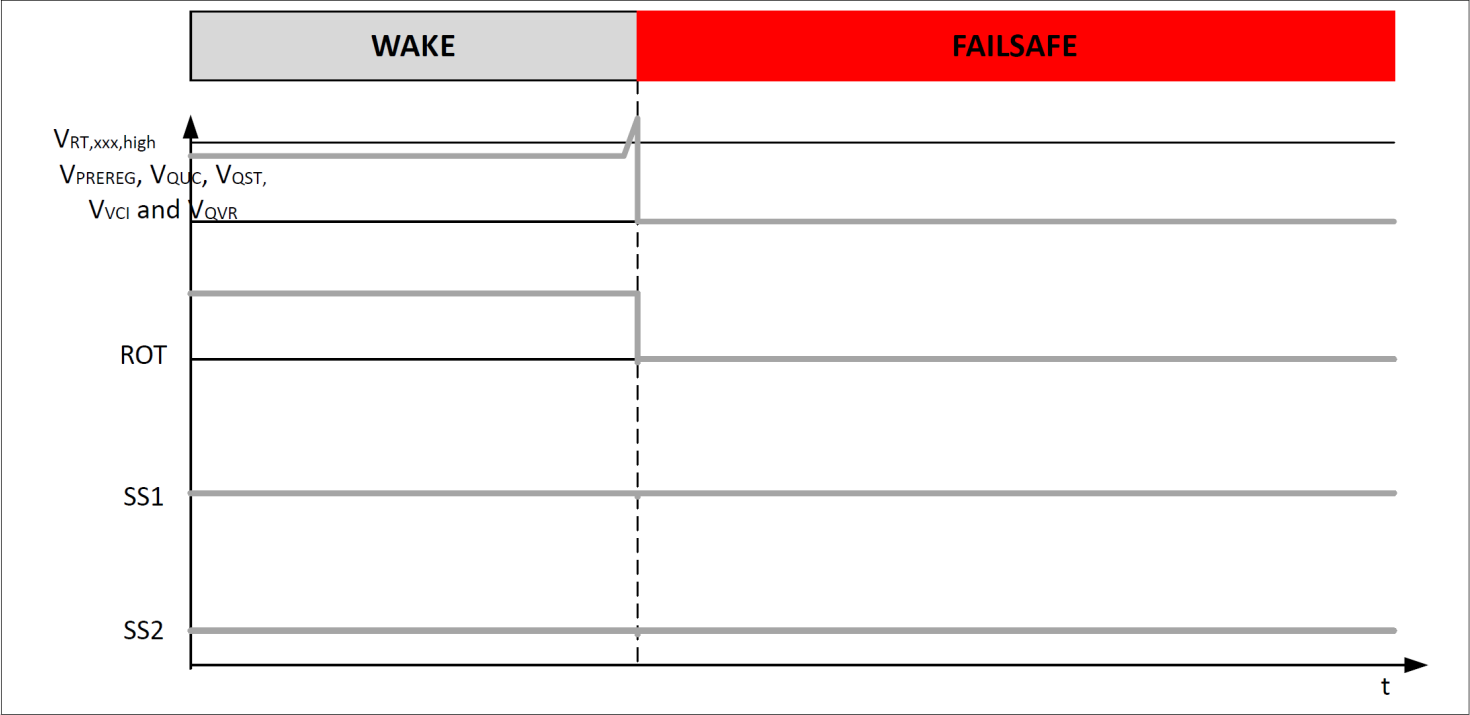


图 55 从 WAKE 状态到 FAILSAFE 状态的转换

说明：

- 前级稳压器电压 V_{PREREG} 或微控制器相关电压 V_{QUC} 、 V_{QST} 、 V_{VCI} 或 V_{QVR} （如图所示）的过压监测将触发从 WAKE 状态到 FAILSAFE 状态的转换。
- 一旦在上述一个或多个稳压器中的任一处检测到过压事件（以最先触发者为准）， ROT 引脚将被拉至低电平。
- 当器件从 WAKE 状态转为 FAILSAFE 状态时，所有稳压器都将被关闭，无论它们是否处于过压状态。
- 安全状态信号将与 WAKE 状态一样保持低电平。
- 从 WAKE 状态向 FAILSAFE 状态的转换将由在第 10.4.3 章中提到的任何故障（外部或内部）触发。
- 与微控制器相关电压 V_{QUC} 、 V_{QST} 或 V_{VCI} 的接地短路检测，如 [XXXX → INIT → FAILSAFE 状态（由于检测到故障）](#) 中所示，首先会被检测为欠压事件并使器件从 WAKE 状态变为 INIT 状态。经过接地短路检测时间 t_{StG} 后，器件将从 INIT 状态变为 FAILSAFE 状态（请参阅从 INIT 状态到 FAILSAFE 状态的转换）。

10.4.3.7 过渡到 FAILSAFE 状态（由于热关断）

时序图

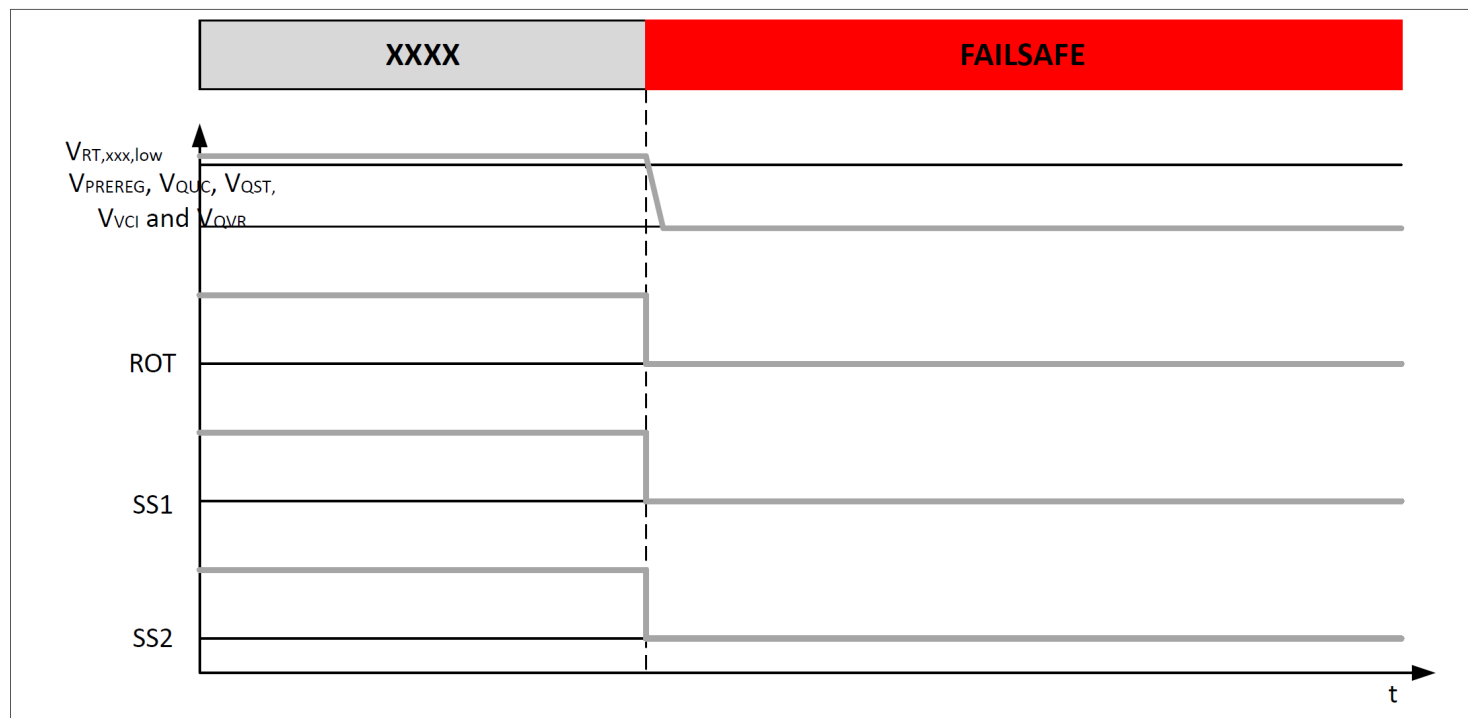


图 56 过渡到 FAILSAFE 状态（由于热关断）

说明:

- 由热关断 (TSD) 触发从任何状态到 FAILSAFE 状态的转换。
- 一旦检测到热关断， ROT 引脚将被拉至低电平。
- 当器件从 xxx 状态变为 FAILSAFE 状态时，所有稳压器都将关闭，无论它们是否处于过温状态。
- 一旦离开 NORMAL 状态，安全状态信号 $SS1$ 和 $SS2$ 将立即被拉至低电平， ROT 引脚也会变为低电平，因为 $LDO_{\mu C}$ 被关闭。在任何其他状态下，安全状态信号 $SS1$ 和 $SS2$ 均为低电平，并保持低电平。
- 器件在发生热关断 (TSD) 后，将至少保持在 FAILSAFE 状态 $1 s_0$ 。

10.4.4 过渡到 POWERDOWN 状态

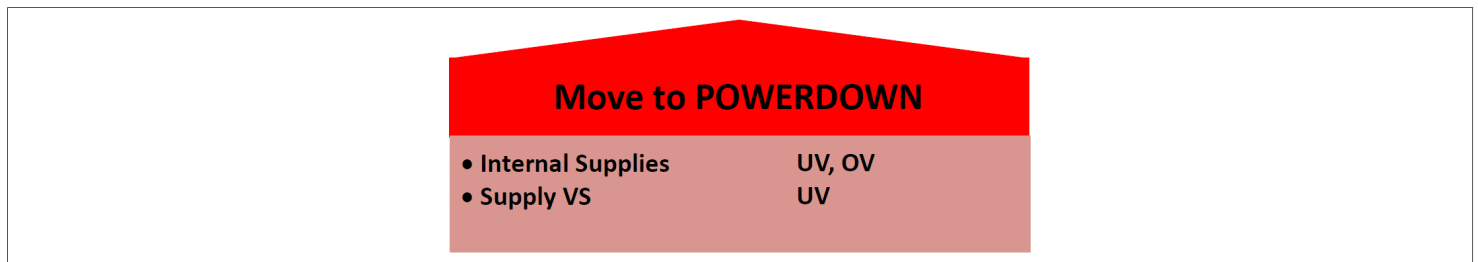


图 57 转入 POWERDOWN 状态

以下故障/事件将使器件始终以最高优先级进入 POWERDOWN 状态：

- 当电压下降时， V_{VS} 低于 $V_{PD,lo,min}$
- 检测内部电源的过压或欠压

10.5 电气特性：状态机

表 25 电气特性：状态机

$V_{VS} = 6V$ 至 $40V$ ； $T_j = -40^{\circ}C$ 至 $150^{\circ}C$ ，所有电压均以地为参考，正向电流表示流入该引脚（除非另有说明）

Parameter	Symbol	Values			Unit	Note or Test Condition	Number
		Min.	Typ.	Max.			
INIT timer / Initialization time-out	t_{INIT}	550	600	650	ms	–	P_11.5.1
FAILSAFE time	$t_{FAILSAFE, min}$	18	20	22	ms	–	P_11.5.2
FAILSAFE time TSD	$t_{FAILSAFE, min}$	0.9	1	1.1	s	For thermal shutdown TSD	P_11.5.3
Transition delay timer accuracy	$t_{tr, del}$	-20	–	+20	%	¹⁾ Configurable value DEVCFG0.TRDEL	P_11.5.4
LDO_μC current monitoring for low power states	$I_{LDO_μC, at t}$	-30	–	+30	%	Configurable value DEVCFG2.CTHR ; $V_{PREREG} > V_{QUC} + V_{dr, QUC}$	P_11.5.5
State transition time	t_{tr}	–	–	100	μs	²⁾ Except transitions to SLEEP, to STANDBY or from STANDBY	P_11.5.6
State transition time to INIT	$t_{tr, INIT}$	–	–	150	μs	Valid for "Move to INIT" events excluding transitions from STANDBY, FAILSAFE and POWERDOWN	P_11.5.7
State transition time to INIT	$t_{tr, INIT}$	–	–	250	μs	Valid for transitions from STANDBY, FAILSAFE and interrupted transition to STANDBY	P_11.5.8
Internal start-up time from POWERDOWN	$t_{tr, pwr d}$	–	0.4	2	ms	From first VS connection to INIT/ power sequence	P_11.5.9
PowerDown threshold high (Power-On-Reset POR)	$V_{PD, hi}$	–	–	6	V	V_{VS} increasing	P_11.5.10
PowerDown threshold low (Power-On-Reset POR)	$V_{PD, lo}$	2	–	3.5	V	V_{VS} decreasing	P_11.5.11

1) 由于内部延迟，转换延时时间最多可延长 30 μs。

2) 对于进入 SLEEP 或 STANDBY 的转换时间，请参考寄存器 DEVCFG0.TRDEL 可配置的转换延迟定时器，其精度在表 25 中有所规定。

10.6 内置自检 (BIST) 功能

该器件提供了通过内置自检功能，借助外部微控制器来测试某些观测功能的选项。

10.6.1 模拟内置自检 (ABIST)

该器件可选择测试与监控功能相关的比较器和评估逻辑，这些功能有助于激活次级安全关断路径并产生中断。此外，与安全状态控制本身相关的其他比较器和评估逻辑也可以进行测试（SSC 过压看门狗和翻转监控）。这是通过内部 ABIST 控制器来实现的。该控制器对每个比较器进行测试，生成模拟的欠压和过压（或电流）条件，检查测试结果，并生成需要由微控制器评估的信息，以判断 ABIST 操作是否成功完成。

系统会生成以下与 ABIST 操作相关的状态信息：

- 如果微控制器请求执行 ABIST 操作，则 ABIST 执行完毕后会提供一个状态（[ABIST_CTRL0.STATUS](#)）。所提供的状态仅为“通过或未通过（GO-NOGO）”的信息，这意味着仅指示特定测试路径是否正常。测试的是比较器的基本功能，而不是其对应的阈值。

对监控和安全相关输出功能的测试在系统的三个不同区域中进行：

- 比较器及其对应的去毛刺逻辑的功能可以通过“仅比较器”测试来验证。该测试通过在时间短于去毛刺时间的情况下生成故障条件来执行，因此由于检测到的故障，不会触发次级安全关断路径或中断。在此测试期间，仅会测试所选的比较器。如果选择了多个比较器，则使用固定的比较器测试顺序进行测试。测试完成后会通过中断予以指示。
- 可以测试比较器的功能，包括其对应的去毛刺逻辑以及其对相关安全措施的作用。该安全措施可以是激活次级安全关断路径，也可以是产生中断。该测试在超过去毛刺时间的条件下执行。
- 虽然器件会提供关于第一和第二项 ABIST 的状态信息，但对于第三个区域，则需要微控制器进行进一步配合。微控制器需要检查次级安全关断路径是否已成功激活（SS1/SS2 被拉低），或者微控制器是否检测到了中断事件。

10.6.1.1 如何运行 ABIST

在 ABIST 期间，需要根据微控制器的配置对看门狗进行喂狗操作和错误监控。如果不这样做，将会造成这些功能出现故障事件，并相应地导致中断、复位或安全状态输出事件的断言，从而干扰对 ABIST 结果的正确分析。可以选择在 ABIST 操作期间通过受保护的寄存器访问禁用看门狗功能和/或错误监控。在这种情况下，无需进行喂狗操作。

在执行包括去尖峰脉冲逻辑的 ABIST 期间，标志寄存器 (SYSFAIL、INITERR、IF) 以及状态信息 (MONSF1、MONSF2、MONSF3) 由 ABIST 功能引起的超范围条件触发和更新，除了 ABIST 相关寄存器 (ABIST_CTRL0 到 ABIST_SELECT2) 还必须将这些更新情况一并考虑。

在内部硬件执行 ABIST 期间，由于任何本应触发相应操作且属于受 ABIST 控制影响的逻辑的事件的发生而导致的 ROT 触发将被屏蔽。此外，状态机不会根据章节10.4 中描述的对检测到的故障的响应而改变其状态。如果启动的 ABIST 属于次级安全关断路径的一部分，并且器件处于 NORMAL 状态，则状态机将从 NORMAL 移动到 WAKE 状态。此外，无论 ABIST 本身引起的任何超范围检测如何，所有电压都将保持启用。

对单个功能的测试基本上始终以相同的方式进行：

- 如果被选中进行测试，则所有比较器都被认为是启用状态；对于与微控制器相关的电压而言情况确实如此，但对于非微控制器相关的电压则不一定成立。因此，可配置的 LDO 在执行测试之前必须先被启用。另一方面，对于系统未使用的比较器，则不需要执行 ABIST 测试。
- 待测比较器应通过设置相应寄存器（ABIST_SELECT0、ABIST_SELECT1以及 ABIST_SELECT2）中的各个 bit(s) 来选择。对于此选择，需要根据对不同安全措施的贡献进行区分。这种区分可以参考表26。
- 微控制器应根据待测试的功能来配置寄存器 ABIST_CTRL0。配置包括被测安全措施（ABIST_CTRL0.INT）、ABIST 测试区域/覆盖范围（ABIST_CTRL0.PATH）以及是要测试序列还是单个比较器的配置（ABIST_CTRL0.SINGLE）。
- 微控制器应设置全局 ABIST 启动位（ABIST_CTRL0.START）来启动 ABIST。
- 全局 ABIST 启动位应由微控制器读取。如果该位仍为置位状态，则表示 ABIST 功能正在进行。在所选 ABIST 操作完成后，启动位将被清除，并会产生一个中断事件。
- 每一 bit 用于位选择一个专用比较器的测试的位（ABIST_SELECT0、ABIST_SELECT1和ABIST_SELECT2），在对该比较器成功执行 ABIST 操作后将被清除。若对该比较器的 ABIST 操作未成功执行，则这些已设置的选择位保持不变。

这样，如果 ABIST 状态信息显示 ABIST 操作失败，微控制器就可以确定哪个比较器发生故障。

表26 比较器对安全措施的贡献

Comparator	Secondary safety shutdown Path	Interrupt	ABIST_Select register bit
LDO_μC overvoltage	X		ABIST_SELECT0.UCOV
Core_Sup overvoltage	X		ABIST_SELECT0.VCOREOV
LDO_Stby overvoltage	X		ABIST_SELECT0.STBYOV
Volt_Ref overvoltage	X		ABIST_SELECT0.VREFUV

(表格续下页.....)

表26 (续) 比较器对安全措施的贡献

Comparator	Secondary safety shutdown Path	Interrupt	ABIST_Select register bit
PreReg overvoltage	X		ABIST_SELECT0.PREGOV
LDO_μC undervoltage	X		ABIST_SELECT1.UCUV
Core_Sup undervoltage	X		ABIST_SELECT1.VCOREUV
LDO_Stby undervoltage	X		ABIST_SELECT1.STBYUV
BIAS current low	X		ABIST_SELECT2.BIASLOW
BIAS current high	X		ABIST_SELECT2.BIASHI
Supply VS overvoltage	X		ABIST_SELECT2.VBATOV
Internal supply overvoltage	X ¹⁾		ABIST_SELECT2.INTOV
Tracker 1 overvoltage		X	ABIST_SELECT0.TRK1OV
Tracker 2 overvoltage		X	ABIST_SELECT0.TRK2OV
LDO_Com overvoltage		X	ABIST_SELECT0.COMOV
Volt_Ref undervoltage		X	ABIST_SELECT1.VREFUV
Tracker 1 undervoltage		X	ABIST_SELECT1.TRK1UV
Tracker 2 undervoltage		X	ABIST_SELECT1.TRK2UV
LDO_Com undervoltage		X	ABIST_SELECT1.COMUV
Pre_Reg undervoltage		X	ABIST_SELECT1.PREGUV
$V_{BG1} - 4\% \leq V_{BG2}$		X	ABIST_SELECT2.BG12UV
$V_{BG1} + 4\% \geq V_{BG2}$		X	ABIST_SELECT2.BG12OV

1) 该比较器只能通过“仅比较器”测试方式进行测试。

10.6.1.2 仅测试比较器逻辑

在 ABIST 操作期间，比较器由 ABIST 控制器触发，触发时间短于内部抗尖峰脉冲时间 t_{rr} （复位响应时间）。当应用故障条件时，正常工作的比较器会向其输出发出超出范围条件的信号。

每个比较器提供的信息都会与预期值进行比对。如果比较器的输出值与预期值匹配，则 ABIST 控制器认为测试通过。如果任何输出值与预期值不匹配，则认为测试失败。ABIST 的总体结果由寄存器 `ABIST_CTRL0` 中的 `STATUS` 提供。每个选定比较器的详细结果可以通过寄存器 `ABIST_SELECT0`、`ABIST_SELECT1` 以及 `ABIST_SELECT2` 进行查询。如果在测试结束后先前选择的位被复位，则可以认为测试通过。如果某个位仍然是置位，则表明比较器测试失败，从而导致整体 `STATUS` 为失败。

因此，比较器测试的最大选择³⁾（包括可能的选择）如下：

次级安全关断路径 (SS1/2) 相关：

- `ABIST_SELECT0`: 00101111_B (2F_H)
- `ABIST_SELECT1`: 00001110_B (0E_H)
- `ABIST_SELECT2`: 11001001_B (C9_H)
- `ABIST_CTRL0`: 00000001_B (01_H) 启动测试

中断 (INT) 相关：

- `ABIST_SELECT0`: 11010000_B (D0_H)
- `ABIST_SELECT1`: 11110001_B (F1_H)
- `ABIST_SELECT2`: 00110000_B (30_H)
- `ABIST_CTRL0`: 00001001_B (09_H) 启动测试

此类 ABIST 可在以下状态下执行：**状态机**：INIT、NORMAL、WAKE。如果 ABIST 成功，则辅助安全关闭路径 SS1/2 不会产生任何反应，只会因 ABIST 完成而产生中断（`IF.ABIST` 被置位且 `IF.MON` 未置位，前提是 ABIST 之前已清除中断标志，且 ABIST 期间未发生实际故障事件）。

³⁾ 请注意，在对比较器进行测试时，必须使其对应的输出保持使能状态。

10.6.1.3 测试比较器逻辑和相应的去毛刺逻辑

在 ABIST 操作期间，控制器会触发比较器，触发时间长于内部去毛刺时间 t_{rr} （复位响应时间）。正常工作的比较器会在故障条件生效期间向其输出端发出超范围条件信号。去毛刺逻辑会在 t_{rr} 之后响应故障触发信号，并使器件对识别到的故障事件做出反应。该反应包括存储相应的监测故障标志，以及触发相应的输出功能，即中断 INT 或次级安全关断路径 SS1/2。只有在正常状态下启动测试时，才能观察到安全状态输出 SS1/2 的反应。

此外，系统会将每个去毛刺逻辑输出的提供信息与预期值进行比较。如果去毛刺逻辑输出值与预期值匹配，则 ABIST 控制器会将此测试视为通过。如果任何提供的输出值与预期值不匹配，则此测试会被视为失败。ABIST 的总体结果由寄存器 ABIST_CTRL0 中 STATUS 字段提供。每个选定比较器的详细结果可以通过寄存器 ABIST_SELECT0、ABIST_SELECT1 以及 ABIST_SELECT2。如果在测试完成后先前选择的位被复位，则可以认为 ABIST 控制器已识别为通过。如果某个位仍然保持置位，则表示比较器出现故障，导致整体 STATUS 为失败。

除了从 ABIST 控制器相关寄存器读取的结果外，微控制器还必须读取并根据预期结果检查故障/中断标志（SYSFAIL、INITERR 和 IF）以及监测状态标志（MONSF1、MONSF2 或 MONSF3），并且要考虑在 ABIST 启动前所设定的配置。

INTOV 位于寄存器 ABIST_SELECT2 中，不能用这种方式进行测试，根据第 10.6.1.2 章，只需要测试比较器逻辑。

比较器和抗尖峰脉冲逻辑测试的最大选择⁴⁾如下：

次级安全关断路径 (SS1/2) 相关：

- ABIST_SELECT0: 00101111_B (2F_H)
- ABIST_SELECT1: 00001110_B (0E_H)
- ABIST_SELECT2: 11000001_B (C1_H)
- ABIST_CTRL0: 00000011_B (03_H) 启动测试

中断 (INT) 相关：

- ABIST_SELECT0: 11010000_B (D0_H)
- ABIST_SELECT1: 11110001_B (F1_H)
- ABIST_SELECT2: 00110000_B (30_H)
- ABIST_CTRL0: 00001011_B (0B_H) 启动测试

⁴⁾ 请注意，在对比较器进行测试时，必须使其对应的输出保持使能状态。

基于最大可能选择的分析将包括以下内容：

次级安全关断路径（SS1/2）相关：

- IF: 01000000_B (40_H)
- INITERR: 00000100_B (04_H)
- SYSFAIL: 00000100_B (04_H)
- MONSF1: 00101111_B (2F_H)
- MONSF2: 00001110_B (0E_H)
- MONSF3: 11000001_B (C1_H)
- ABIST_CTRL0: 00000011_B (03_H) 启动测试

中断 (INT) 相关：

- IF: 01001000_B (48_H)
- INITERR: 00000000_B (00_H)
- SYSFAIL: 00000000_B (00_H)
- MONSF1: 11010000_B (D0_H)
- MONSF2: 11110001_B (F1_H)
- MONSF3: 00110000_B (30_H)
- ABIST_CTRL0: 00001011_B (0B_H) 启动测试

这种类型的 ABIST 可以在状态机的以下状态下执行：INIT、WAKE、NORMAL。如果在 NORMAL 状态下对参与次级安全关断路径的比较器运行此测试，则器件会将安全状态输出 SS1/2 拉低，并且将状态机切换到 WAKE 状态，而不会触发 ROT。

需要注意的是，以这种方式测试整个监测链直至相应的输出（SS1/2 或 INT）只能覆盖序列中的第一个比较器，因为只有第一个比较器会触发输出反应。更多详情，请参阅第 10.6.1.4 章。

如果此测试在 INIT 或 WAKE 状态下运行，则无法测试对次级安全关断路径激活的贡献。系统已处于安全状态，次级安全关断路径已激活。

无论何种情况，微控制器都需要检查次级关断路径以及中断信号的正常工作。

10.6.1.4 测试完整的监测链（比较器、去毛刺和输出）

从比较器到相应输出功能的整个监测链的测试必须分为器件中可用的两个功能。首先是次级安全关断路径 SS1/2，用于严重的微控制器相关故障事件，其次是中断功能 INT，用于在电压和电流监测方面外设相关故障事件。

10.6.1.4.1 测试次级安全关断路径的激活

要测试次级安全关断路径的激活，需将器件置于 NORMAL 状态。微控制器应检查次级安全关断路径是否已成功停用（SS1/2 高电平）。

一旦处于 NORMAL 状态，应选择一个参与次级安全关断路径的比较器。需要在寄存器为相应的比较器设置一个比特（‘x’）`ABIST_SELECT0` (00x0xxx_B)、`ABIST_SELECT1` (0000xxx0_B) 或 `ABIST_SELECT2` (xx00000x_B)。微控制器的随机选择确保了对次级安全关断路径的贡献的最大覆盖范围。然后需要启动次级安全关断路径的完整路径上的单个比较器 ABIST 操作(寄存器`ABIST_CTRL0`:00000111_B (07H_H))。

完成请求的 ABIST 操作后，器件将自动进入 WAKE 状态并生成中断事件。中断事件将指示 ABIST (`IF.ABIST`) 的完成。此外，所选比较器各自的监测故障标志将为设置位（对于图 42 类型故障为 `INITERR.VMONF` 或对于图 49 类型故障为 `SYSFAIL.VMONF`），这些标志需要由微控制器检查和清除。

次级安全关断路径应被激活（SS1/2 低电平），微控制器负责检查次级安全关断路径的激活情况。如果 SS2 延迟已启用，则在执行 ABIST 操作时将应用此延迟，即对于不会导致 FAILSAFE 的故障情况，连接到 SS2 的关断路径的激活将根据编程值进行延迟。微控制器需要读取并检查所请求的 ABIST 操作的状态

（`ABIST_CTRL0.STATUS`）以及相应的监测状态标志（`MONSF1`、`MONSF2` 或 `MONSF3`），并确认 `ABIST_SELECT0`、`ABIST_SELECT1` 和 `ABIST_SELECT2` 的相应位已被清除。

此外，微控制器还需执行以下步骤，以检查安全状态控制和安全状态输出：

- 检查次级安全关断路径是否已成功激活（SS1/2 为低电平）。
- 使能过压触发安全状态控制（置位 `ABIST_CTRL1.OV_TRIG`）
- 等待 50 微秒，并检查次级安全关断路径是否仍然成功激活（SS1/2 为低电平）
- 选择安全状态控制生成有效的翻转信号（置位 `ABIST_CTRL1.ABIST_CLK_EN`）
- 等待 50 微秒，并检查次级安全关断路径是否仍然成功激活（SS1/2 为低电平）
- 取消为安全状态控制生成翻转信号（复位 `ABIST_CTRL1.ABIST_CLK_EN`）
- 等待 50 微秒，并检查次级安全关断路径是否仍然成功激活（SS1/2 为低电平）
- 禁用安全状态控制的过压触发功能（置位 `ABIST_CTRL1.OV_TRIG`）
- 等待 50 微秒，并检查次级安全关断路径是否仍然成功激活（SS1/2 为低电平）

随后，应按照章节 10.6.1.3 规定配置并启动所有参与激活次级安全关断路径的比较器的测试。

10.6.1.4.2 测试中断事件生成

中断事件生成的测试可以在 INIT、NORMAL 和 WAKE 状态下进行。尽管建议将应用置于安全状态（INIT 或 WAKE 状态）。

对于此测试，首先应选择有助于中断功能的单个比较器。一个单独的 bit ('x') 必须在寄存器 **ABIST_SELECT0** (xx0x0000_B)、**ABIST_SELECT1** (xxxx000x_B) 或 **ABIST_SELECT2** (00xx0000_B) 中。微控制器的随机选择确保了对中断功能贡献的最大覆盖率。然后，需要对中断的完整路径启动一次比较器 ABIST 操作（寄存器 **ABIST_CTRL0**: 00001111_B (0F_H))。ABIST 控制器触发的选定比较器上的人工故障将生成一个中断 (INT) 事件。微控制器负责检查触发故障时是否生成了此中断事件。由于这是基于故障事件生成中断的测试，因此没有专门的 ABIST 完成事件，也没有 ABIST 完成事件中断后的标志置位。因此，建议将有关启动的 ABIST 的信息存储在固件中。中断生成后，应检查中断标志寄存器：监测位 (**IF.MON**) 置位和 ABIST 完成位 (**IF.ABIST**) 不被置位。

微控制器需要读取并检查所请求的 ABIST 操作的状态（**ABIST_CTRL0.STATUS**），各自的监测状态标志（**MONSF1**、**MONSF2** 或 **MONSF3**）根据先前的选择已置位，并且 **ABIST_SELECT0**、**ABIST_SELECT1** 和 **ABIST_SELECT2** 中相关的位已被清除。

之后，应按照第 10.6.1.3 章的规定，配置并启动所有参与中断生成的比较器的测试。

10.6.1.5 ABIST 操作的中止条件

如果在未选择的比较器⁵⁾上检测到严重监测故障事件（对次级安全关断路径的贡献）或仅在比较器上执行 ABIST 操作期间发生与电压或电流监测功能无关的严重故障事件（**ABIST_CTRL0.PATH**未置位），器件将按正常工作状态响应。因此，监测、保护和安全状态控制功能会做出响应，使器件进入安全状态并触发状态机进入 FAILSAFE 或 INIT 状态。在这种情况下，ABIST 将被中止。

如果对完整路径执行 ABIST 操作（**ABIST_CTRL0.PATH**置位），用于电压和反向电流监测的比较器在 ABIST 操作期间处于盲态。因此，建议在安全状态下进行测试，除非需要在 NORMAL 状态下开始测试（例如第 10.6.1.4.1 章中描述的次级安全关断路径激活测试）。与电压和电流偏置监测无关的严重故障事件将触发与通常条件相同的器件反应：将器件置于安全状态并触发状态机进入 FAILSAFE 或 INIT 状态。在这种情况下，ABIST 将被中止。

该器件在寄存器 **SYSFAIL.ABISTERR** 中显示此 ABIST 中止。由于检测到真实故障而导致 ABIST 中止之前所生成的人工故障事件，也会同样被记录在监测寄存器中。

⁵⁾ 请注意，在 ABIST 操作期间，选定的比较器可能处于盲态。因此，建议在安全状态下进行测试，除非需要在 NORMAL 状态下开始测试（例如，第 10.6.1.4.1 章中描述的次级安全关断路径的激活测试）。

10.6.2 内置逻辑自检

器件中不存在专用于数字逻辑的内置自测试。因此，可以假定与数字逻辑相关的任何测试都是由微控制器执行的。

微控制器可对数字逻辑内部的以下模块进行测试：

- [FWD/窗口看门狗\(WWD\)](#)
- 错误监控

为验证这些模块的功能正确性，并检查其对 ROT/INT 以及最终对 SS1/SS2 的贡献，微控制器应在相应模块上产生一个错误条件，并检查是否出现预期的系统行为。

- 对于看门狗功能，这基本上意味着停止触发 [看门狗\(WD\)](#) 和/或生成虚假触发事件。这将导致触发中断，甚至触发复位。最终，次级安全关断路径将被激活，微控制器将被复位，器件将进入 INIT 状态。为了验证次级关断路径是否已激活，此类测试只能在器件进入 NORMAL 状态后执行。
- 对于错误监控模块，这意味着需要停止 ERR 引脚上的翻转（toggling），以便观察所要求的系统行为。微控制器可自行决定是否使用错误恢复机制。

10.7 微控制器编程支持

该器件提供了微控制器编程支持，可用于避免由于窗口看门狗的触发缺失和 INIT 定时器内的错误监控而导致的周期性复位触发。微控制器编程支持的激活特性是通过将 MPS 引脚拉至 5V 来完成的。该电压最早应在电压基准启用时提供。因此，在微控制器编程期间，将 MPS 引脚连接到输出 QVR 是一种可行的方案。

主动微控制器编程支持功能在器件的正常操作基础上引入以下变化：

- INIT 定时器将停止
- 窗口看门狗故障计数器溢出对复位 ROT 的贡献将被屏蔽
- 功能看门狗故障计数器溢出对复位 ROT 的贡献将被屏蔽
- 错误监控对复位 ROT 的贡献将被屏蔽

由于仅屏蔽/断开了看门狗以及错误监控对复位功能的贡献，状态机与安全状态控制功能不受影响。因此，窗口看门狗或功能看门狗故障计数器发生溢出将触发一次“转入 INIT（Move to INIT）”事件，但不会对微控制器发出复位。

微控制器编程支持（programming support）功能同样提供了按状态机规则将器件切换到其他任意状态的能力。例如，在 NORMAL 状态下若 MPS 引脚为高电平且发生看门狗错误计数器溢出，器件将转入 INIT，但不会发出复位信号。

11 安全状态控制功能

11.1 安全状态控制功能介绍

安全状态控制器监控与安全相关的信号，并控制安全状态信号 SS1 和 SS2。

以下说明总结了对安全状态控制功能的各个贡献项，以及可对其进行调整的方式。

运行原理

安全状态控制功能监测以下输入信号：

- 错误监控结果。引脚 ERR 上的“Error”信号应为翻转（toggling）信号。永久性低电平或高电平信号将被检测为错误信号
- 微控制器相关稳压器的过压和欠压（详见[监测功能](#)章节）
- 窗口看门狗故障计数器阈值比较器的结果：用于判定“无效窗口看门狗触发”的阈值 ΣWWO 是否已被超过
- 功能看门狗故障计数器阈值比较器的结果：用于判定“无效功能看门狗触发”的阈值 ΣFWO 是否已被超过
- 热关断信号（TSD），用于会使器件转入 FAILSAFE 状态的相关事件
- 内部时钟
- **SPI** 状态转移请求。如果满足其他边界条件，有效的 GoToNORMAL 指令会触发信号 SS1/2 切换为高电平。通过 SPI 指令将器件移出 NORMAL 状态会将信号 SS1 和 2（可选地延迟 t_{SS2} 延迟）切换至低电平。

安全状态控制功能的以下参数可通过 SPI 进行编程：这些设置可以在 INIT、NORMAL、SLEEP 和 WAKE 状态下进行，**WWD** 和 **FWD** 配置以及错误引脚配置，包括通过受保护寄存器禁用各个功能也可以设置（状态描述请参见[状态机](#)章节）：

- 导致激活 SS1 和 SS2 的无效看门狗触发次数：器件实现了两个看门狗触发故障计数器，一个用于窗口看门狗，另一个用于功能看门狗。每个计数器在每次无效看门狗触发时加 2，在每次有效看门狗触发时减 1。（有效与无效触发的定义见“功能看门狗”和“窗口看门狗”章节。）
计数器递增用中断表示。计数器递减不使用中断表示。每个计数器的阈值可以通过 SPI 指令进行编程。该功能可用于测试看门狗功能。
 - 立即响应或延时恢复响应（仅与输入信号 ERR 相关）：该参数决定安全状态控制是在 SMU 指示错误时立即响应，还是在经过一定延时后（若错误指示仍然存在）再作出响应。在延时恢复响应模式下，安全状态控制会产生一次中断，并启动所编程的恢复延时时间。如果在该时间内错误消失（即在恢复延时时间结束前，错误信号再次恢复翻转），安全状态控制将保持安全状态输出 SS1/SS2 为高电平。如果在这段时间内错误信号不应消失并保持错误指示（即在恢复延时时间结束前错误信号不应再次切换），则安全状态控制将激活安全状态信号 SS1 和 SS2（在恢复延时时间结束后）。立即反应是指在信号检测延时时间后做出反应。
 - 恢复延时时间 Δt_{REC} 仅与输入信号 ERR 相关：错误（违反有效的 ERR 信号）必须超过此延时时间才会激活安全状态信号 SS1 和 SS2。此延时时间仅在选择了恢复延时时间模式时生效。
 - 安全状态信号 1 和安全状态信号 2 之间的延时时间 Δt_{SS2}
- 安全状态功能提供两个输出信号，这两个信号均作为输出级来驱动外部开关（需要额外的驱动级）：
- 安全状态信号 1（位于 SS1 引脚）
 - 安全状态信号 2（位于引脚 SS2）可通过可调延时时间 Δt_{SS2} 延迟至安全状态信号 1（通过 SPI）

11 Safe State Control function

微控制器安全管理单元 (SMU) 在 ERR 引脚上发出的错误信号

在微控制器由其 SMU 保持无故障运行时，错误监控功能要求 ERR 引脚输出具有规定时序的翻转信号。该翻转信号被视为“存活 (alive)”指示。错误应由持续低电平信号显示。持续的高电平信号也被视为故障指示，可能是由短路引起的。结果将提供给安全状态控制。

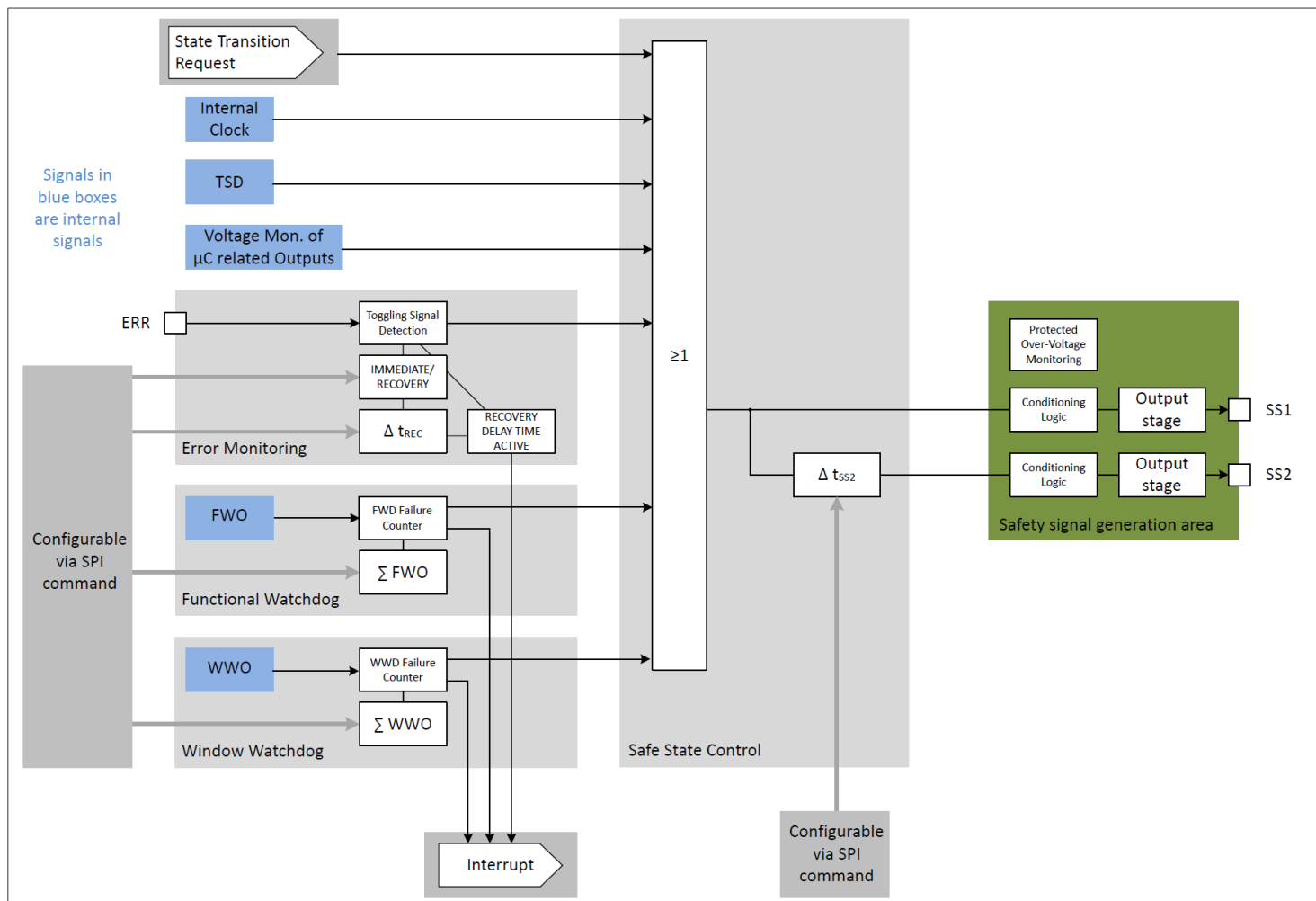


图 58 安全状态控制功能原理

说明:

- 状态转移请求=微控制器可以通过 SPI 请求取消激活次级安全关断路径 (SS1/2 为高)。微控制器处于正常状态时，可以通过SPI 将器件移出正常状态，从而激活次级安全关断路径 (SS1/2 为低)。
- ERR = 连接到微控制器安全管理单元 (SMU) 的错误引脚
- TSD = 热关断
- ROT = 复位输出
- ΣWWO = “无效 WWD 触发” 的次数，在安全状态控制后应激活安全状态信号 SS1 和 SS2，位于窗口看门狗功能块
- ΣFWO = “无效 FWD 触发” 的次数，在安全状态控制后应激活安全状态信号 SS1 和 SS2，位于功能看门狗功能块
- IMMEDIATE/RECOVERY = 区分对 SMU 信号的即时反应或恢复延时时间，位于错误监控功能块
- Δt_{REC} = 针对 ERR 引脚 SMU 信号的恢复延时时间，位于错误监控模块

11 Safe State Control function

- Δt_{SS2} = 安全状态信号 1 和安全状态信号 2 之间的延时时间
- SS1 = 安全状态信号 1
- SS2 = 安全状态信号 2

11.2 电气特性：安全状态控制

表 27 电气特性：安全状态控制

$V_{\text{VS}} = 6\text{ V}$ 至 40 V ; $T_j = -40^\circ\text{C}$ 至 150°C , 所有电压均以地为参考, 正向电流表示流入该引脚 (除非另有说明)

Parameter	Symbol	Values			Unit	Note or Test Condition	Number
		Min.	Typ.	Max.			
ERR pin							
ERR valid high level	$V_{\text{ERR,hi}}$	3.6	–	–	V	V_{ERR} increasing; $V_{\text{QUC}} = 5.0\text{ V}$	P_12.2.1
ERR valid low level	$V_{\text{ERR,lo}}$	–	–	0.8	V	V_{ERR} decreasing; $V_{\text{QUC}} = 5.0\text{ V}$	P_12.2.2
ERR hysteresis	$V_{\text{ERR,hyst}}$	–	350	–	mV	$V_{\text{QUC}} = 5.0\text{ V}$	P_12.2.3
ERR valid high level	$V_{\text{ERR,hi}}$	2.0	–	–	V	V_{ERR} increasing; $V_{\text{QUC}} = 3.3\text{ V}$	P_12.2.4
ERR valid low level	$V_{\text{ERR,lo}}$	–	–	0.8	V	V_{ERR} decreasing; $V_{\text{QUC}} = 3.3\text{ V}$	P_12.2.5
ERR hysteresis	$V_{\text{ERR,hyst}}$	–	160	–	mV	$V_{\text{QUC}} = 3.3\text{ V}$	P_12.2.6
ERR pull-down current	I_{ERR}	–	150	330	μA	$V_{\text{ERR}} = V_{\text{QUC}}$	P_12.2.7
ERR input capacitance	C_{ERR}	–	4	15	pF	1)	P_12.2.8
Valid ERR input signal frequency	$f_{\text{ERR,valid}}$	10	–	45	kHz	Considering a duty cycle of 50%	P_12.2.9
Invalid ERR input signal frequency (low frequency)	$f_{\text{ERR,invalid,LF}}$	0	–	5	kHz	Considering a duty cycle of 50%	P_12.2.10
Invalid ERR input signal frequency (high frequency)	$f_{\text{ERR,invalid,HF}}$	96.2	–	500	kHz	Considering a duty cycle of 50%	P_12.2.11
Invalid ERR input signal detection time (low frequency)	$\Delta t_{\text{DET,LF}}$	50.1	–	99.9	μs	Derived from $f_{\text{ERR,valid}}$ and $f_{\text{ERR,invalid,LF}}$	P_12.2.12
Invalid ERR input signal detection time (high frequency)	$\Delta t_{\text{DET,HF}}$	5.2	–	11.1	μs	Derived from $f_{\text{ERR,valid}}$ and $f_{\text{ERR,invalid,HF}}$	P_12.2.13
ERR reactivation time-out	$t_{\text{ERR,TO}}$	9	10	11	ms	After SLEEP	P_12.2.14
ERR reactivation time-out (first edge expected)	$t_{\text{ERR,ren}}$	50.1	–	110	μs	2) After reenabling via SPI	P_12.2.15
Safe state signal 1 pin SS1							
SS1 output, high level	$V_{\text{SS1,hi}}$	2.9	3.2	V_{QUC}	V	$I_{\text{SS1}} \geq -1\text{ mA}$; $V_{\text{QUC}} = 3.3\text{ V}$	P_12.2.18
SS1 output, high level	$V_{\text{SS1,hi}}$	2.0	2.8	V_{QUC}	V	$I_{\text{SS1}} \geq -5\text{ mA}$; $V_{\text{QUC}} = 3.3\text{ V}$	P_12.2.19

(表格续下页.....)

表 27 (续) 电气特性：安全状态控制

$V_{\text{VS}} = 6 \text{ V}$ 至 40 V ; $T_j = -40^\circ\text{C}$ 至 150°C , 所有电压均以地为参考, 正向电流表示流入该引脚 (除非另有说明)

Parameter	Symbol	Values			Unit	Note or Test Condition	Number
		Min.	Typ.	Max.			
SS1 pull-down resistor	$R_{\text{SS1,pd}}$	70	100	130	k Ω	–	P_12.2.20
SS1 output, low level	$V_{\text{SS1,lo}}$	–	0	0.8	V	^{3) 4)} $R_{\text{SS1,pd}} \leq 100 \text{ k}\Omega$; $C_{\text{SS1}} \geq 50 \text{ pF}$; LDO_μC active; $V_{\text{QUC}} \geq 2 \text{ V}$	P_12.2.21
SS1 internal reaction time	$t_{\text{SS1,act}}$	–	12	30	μs	–	P_12.2.22

Safe state signal 2 pin SS2

SS2 output, high level	$V_{\text{SS2,hi}}$	2.9	3.2	V_{QUC}	V	$I_{\text{SS2}} \geq -1 \text{ mA}$; $V_{\text{QUC}} = 3.3 \text{ V}$	P_12.2.25
SS2 output, high level	$V_{\text{SS2,hi}}$	2.0	2.8	V_{QUC}	V	$I_{\text{SS2}} \geq -5 \text{ mA}$; $V_{\text{QUC}} = 3.3 \text{ V}$	P_12.2.26
SS2 pull-down resistor	$R_{\text{SS2,pd}}$	70	100	130	k Ω	–	P_12.2.27
SS2 output, low level	$V_{\text{SS2,lo}}$	–	0	0.8	V	^{3) 4)} $R_{\text{SS2,pd}} \leq 100 \text{ k}\Omega$; $C_{\text{SS2}} \geq 50 \text{ pF}$; LDO_μC active; $V_{\text{QUC}} \geq 2 \text{ V}$	P_12.2.28
SS2 internal reaction time	$t_{\text{SS2,act}}$	–	12	30	μs	–	P_12.2.29

Adjustable parameters

SSC time base accuracy	t_{SSC}	-10	–	10	%	Timebase for Δt_{REC} and Δt_{SS2}	P_12.2.30
Adjustable recovery delay time	Δt_{REC}	0	–	10	ms	Selectable 0, 1.0, 2.5, 5.0 or 10 ms; t_{SSC} to be considered	P_12.2.31
Adjustable delay time between SS1 and SS2	Δt_{SS2}	0	–	250	ms	Selectable 0, 10, 50, 100 or 250 ms; t_{SSC} to be considered	P_12.2.32

- 1) 由设计规定, 不进行生产测试。
- 2) 建议在通过 [SPI](#) 再次激活该功能之前, 先向 ERR 引脚提供 ERR 信号。
- 3) 对于 QUC 关闭的故障情况, 必须考虑内部和外部下拉电阻。
- 4) 考虑模拟安全地 (AGS1 和 AGS2) 的丢失。

11.3 对微控制器安全管理单元（SMU - 引脚 ERR）的响应：

11.3.1 对 ERR 监测故障的立即响应

当微控制器安全管理单元（SMU）通过停止 ERR 引脚的翻转信号来指示严重错误时，已设定对错误信号的立即响应：

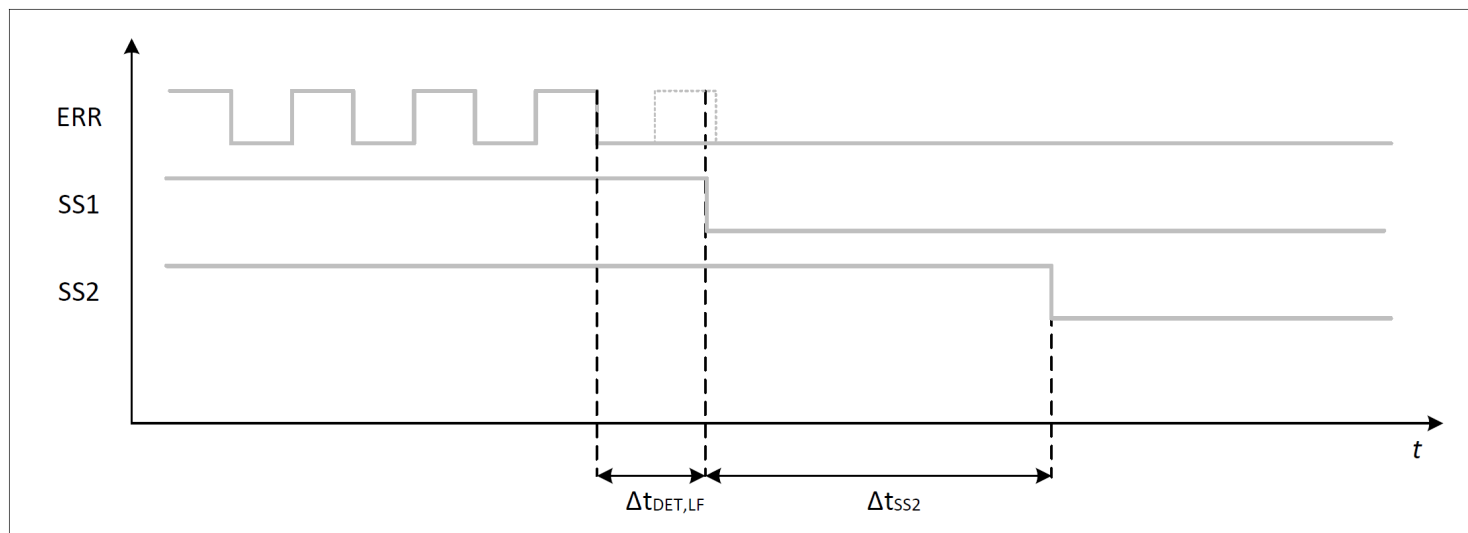


图 59 SMU 信号响应流程图（ERR 信号保持低）

说明：

- ERR 信号停止翻转并保持低电平
- 这将在检测时间 $\Delta t_{DET,LF}$ 到期后被检测为错误
- $\Delta t_{DET,LF}$ 是从最后一个识别出的下降沿开始测量的
- 安全状态信号 1（引脚 SS1）被拉低
- 安全状态信号 2（引脚 SS2）在可选的延时时间 Δt_{SS2} 后被拉低

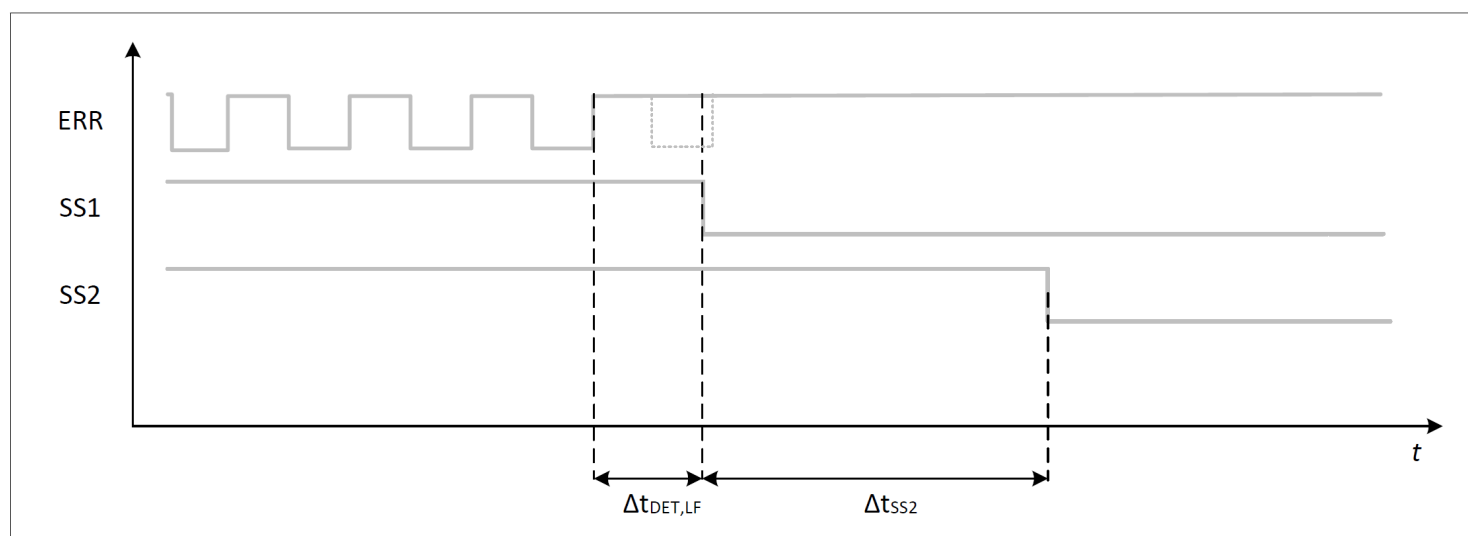


图 60 SMU 信号响应流程图（ERR 信号保持高电平）

说明：

- ERR 信号停止翻转并保持高电平
- 这将在检测时间 $\Delta t_{DET,LF}$ 到期后被检测为错误

11 Safe State Control function

- $\Delta t_{DET,LF}$ 是从最后一个识别出的上升沿开始测量的
- 安全状态信号 1 (引脚 SS1) 被拉低
- 安全状态信号 2 (引脚 SS2) 在可选的延时时间 Δt_{SS2} 后被拉低

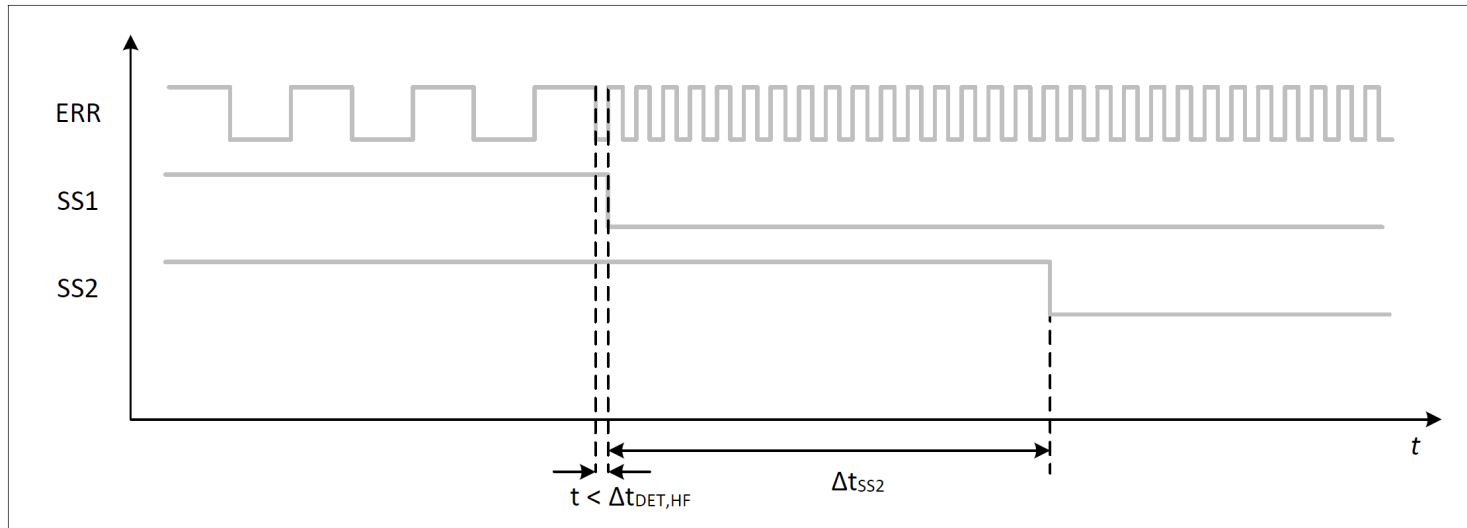


图 61 SMU 信号响应流程图 (ERR 信号频率过高)

说明:

- ERR 信号开始以频率 $f_{ERR,invalid,HF}$ 进行翻转
- 只要边沿到边沿时间短于检测时间 $\Delta t_{DET,HF}$, 就会被检测为错误
- 安全状态信号 1 (引脚 SS1) 被拉低
- 安全状态信号 2 (引脚 SS2) 在可选的延时时间 Δt_{SS2} 后被拉低

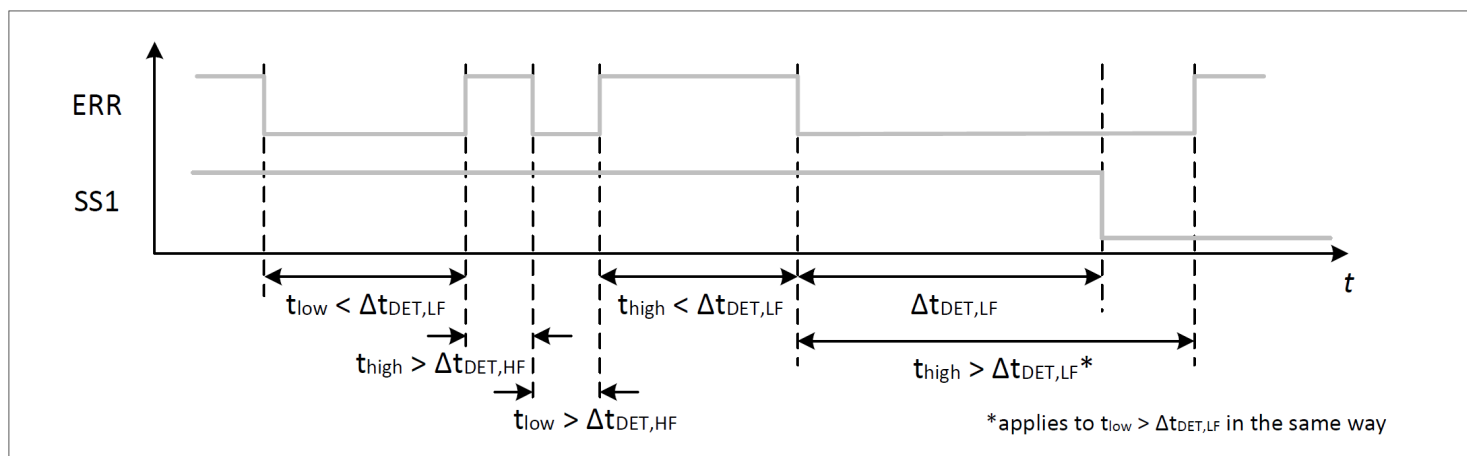


图 62 SMU 信号响应流程图 (占空比与 50% 不同, t_{low} 或 t_{high} 过长)

说明:

- ERR 信号会随着高低电平时间的变化而切换 (占空比也可以变化), 但 t_{low} 和 t_{high} 最初在 $t_{DET,HF}$ 和 $t_{DET,LF}$ 之间的有效范围内
- 而后 ERR 低脉冲持续时间长于检测时间 $t_{DET,LF}$
- 只要边沿到边沿时间长于检测时间 $\Delta t_{DET,LF}$, 立即会被检测为错误。
- 安全状态信号 1 (引脚 SS1) 被拉低
- 经过可选的延时时间 Δt_{SS2} 后, 安全状态信号 2 (引脚 SS2) 相应地被拉低 (图中未显示)。
- 同样地, 该条件也可以应用于高脉冲持续时间长于检测时间 $t_{DET,LF}$ 的情况。

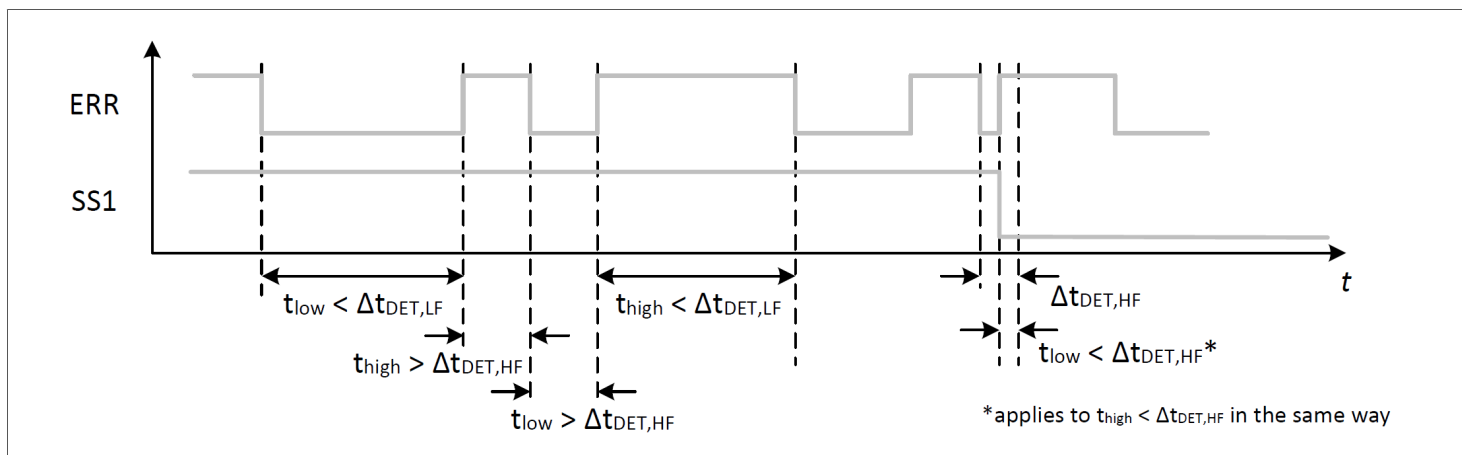


图 63 SMU 信号响应流程图（占空比不同于 50%， t_{low} 或 t_{high} 过短）

说明：

- ERR 信号会随着高低电平时间的变化而切换（占空比也可以变化），但 t_{low} 和 t_{high} 最初在 $t_{DET,HF}$ 和 $t_{DET,LF}$ 之间的有效范围内
- 如图所示，ERR 低电平脉冲的持续时间短于检测时间 $t_{DET,HF}$
- 只要边沿到边沿时间短于检测时间 $\Delta t_{DET,HF}$ ，就会被检测为错误
- 安全状态信号 1（引脚 SS1）被拉低
- 经过可选的延时时间 Δt_{SS2} 后，安全状态信号 2（引脚 SS2）相应地被拉低（图中未显示）。
- 同样地，该条件也可以应用于高脉冲短于检测时间 $t_{DET,HF}$ 的情况

11.3.2 ERR 监测失败导致的延时恢复响应

当微控制器安全管理单元（SMU）通过停止 ERR 引脚的翻转信号来指示严重错误时，已设定对错误信号的延时恢复响应——给予 SMU 恢复的时间：

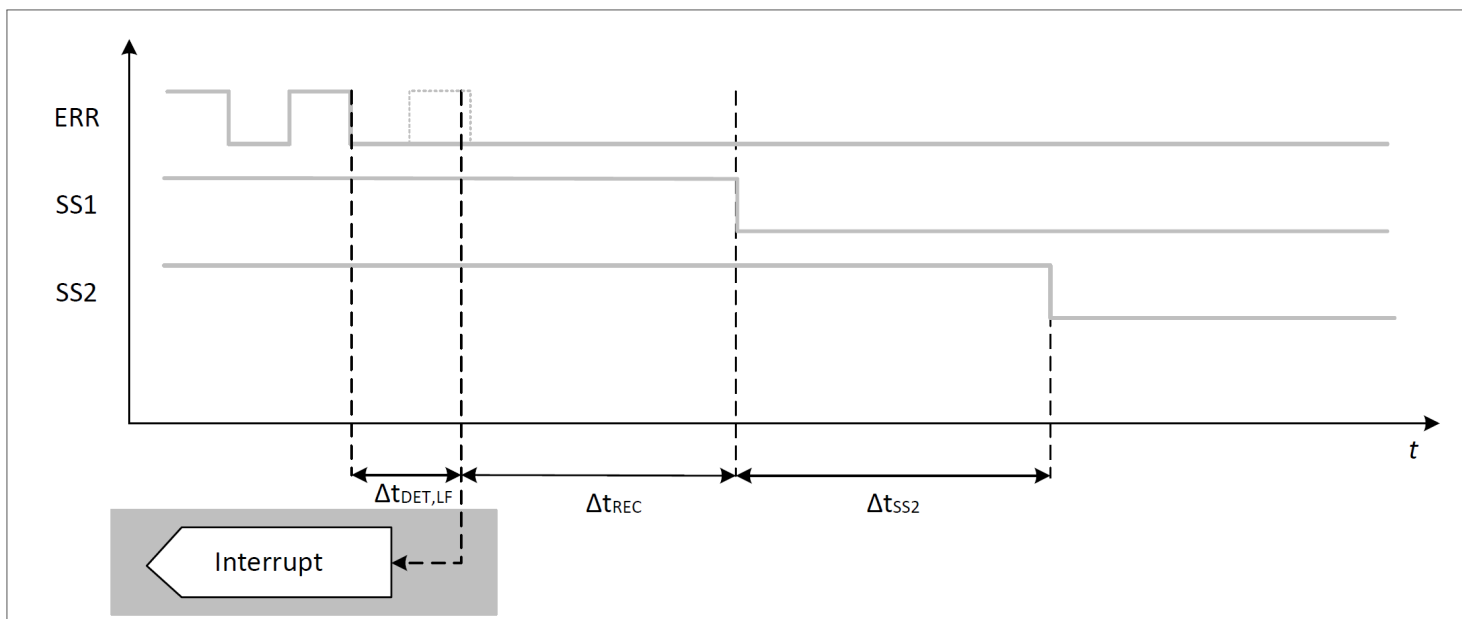


图 64 对 SMU 信号响应的流程图，错误持续时间大于恢复延时时间

说明：

- ERR 信号停止翻转并保持低电平（或高电平）
- 这将在检测时间 $\Delta t_{DET,LF}$ 到期后被检测为错误

11 Safe State Control function

- $\Delta t_{\text{DET,LF}}$ 从最后一个识别边沿开始测量
- 检测到异常后会产生一个中断，指示恢复延时时间 Δt_{REC} 的开始
- 安全状态信号 1（引脚 SS1）在 Δt_{REC} 超时后被拉低
- 安全状态信号 2（引脚 SS2）在可选的延时时间 Δt_{SS2} 后被拉低

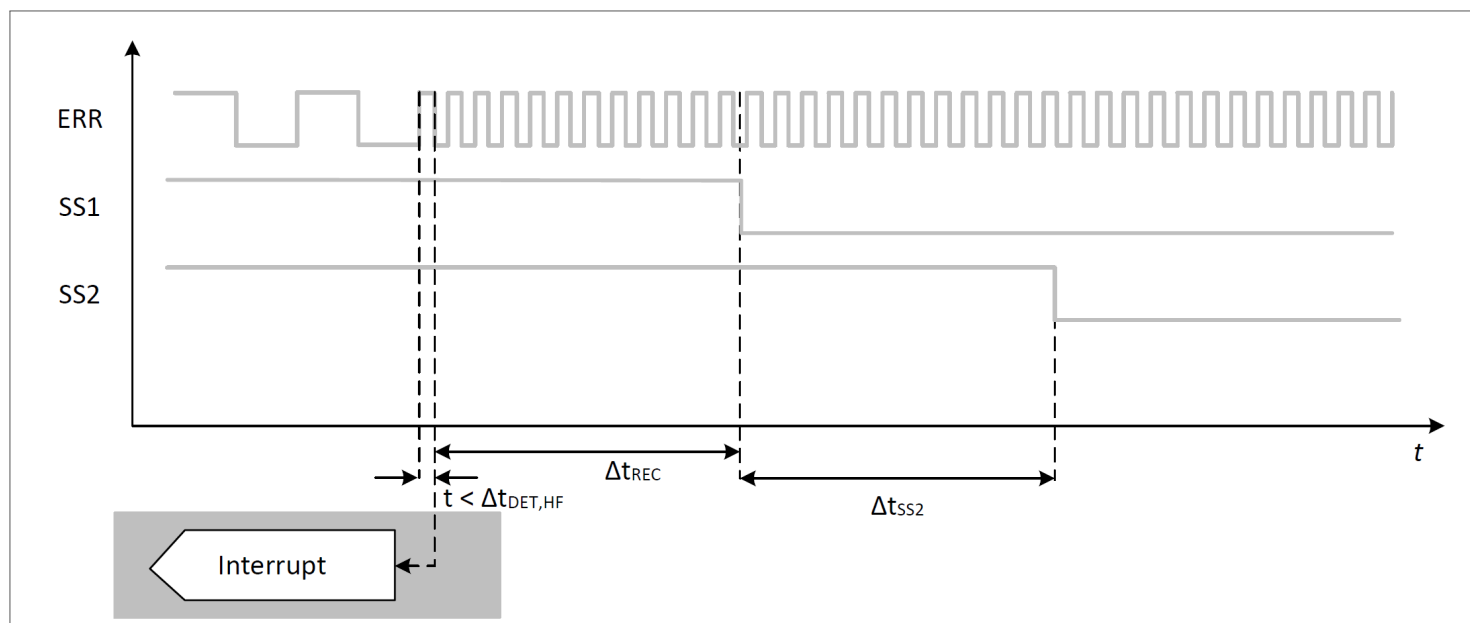


图 65 对 SMU 信号响应的流程图 —— 错误持续时间大于恢复延时时间（ERR 信号频率过高）

说明：

- ERR 信号开始以频率 $f_{\text{ERR,invalid,HF}}$ 进行翻转
- 只要边沿到边沿时间短于检测时间 $\Delta t_{\text{DET,HF}}$ ，就会被检测为错误
- 检测到异常后会产生一个中断，指示恢复延时时间 Δt_{REC} 的开始
- 安全状态信号 1（引脚 SS1）在 Δt_{REC} 超时后被拉低
- 安全状态信号 2（引脚 SS2）在可选的延时时间 Δt_{SS2} 后被拉低

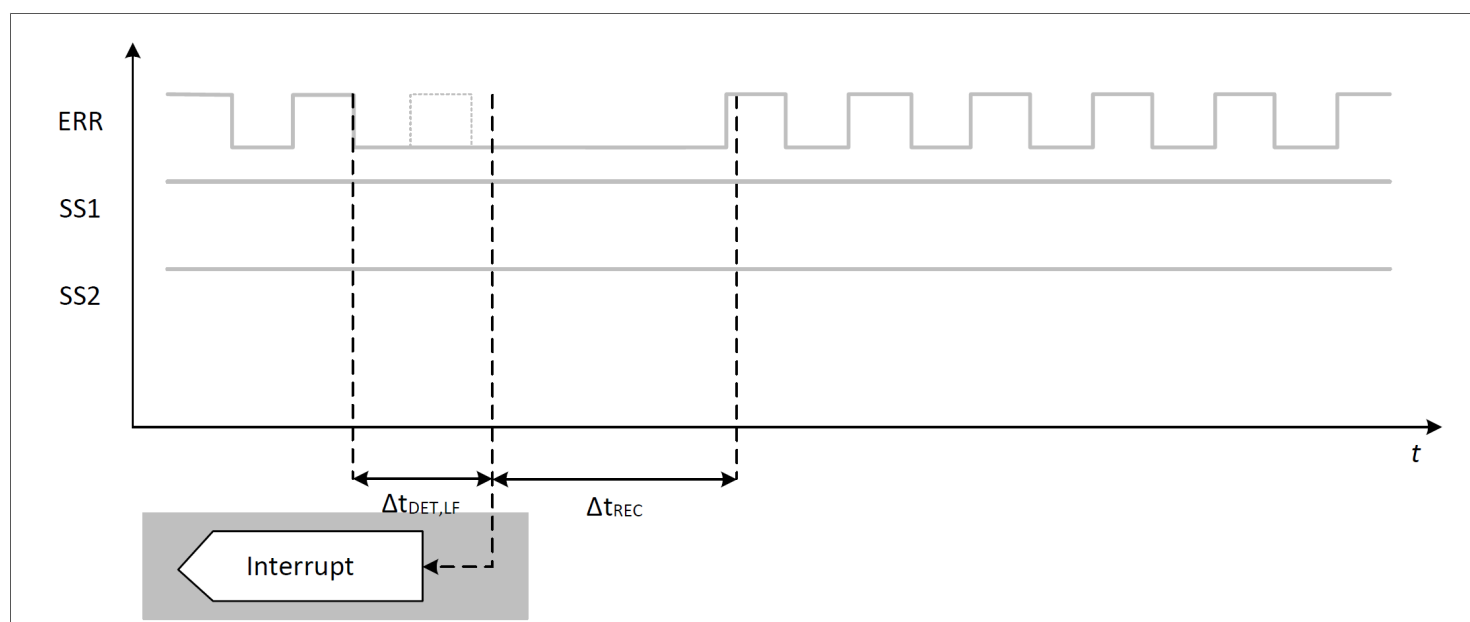


图 66 对 SMU 信号响应的流程图，错误持续时间小于恢复延时时间

11 Safe State Control function

说明:

- ERR 信号停止翻转并保持低电平（或高电平）
- 这将在检测时间 $\Delta t_{\text{DET,LF}}$ 到期后被检测为错误
- $\Delta t_{\text{DET,LF}}$ 从最后一个识别边沿开始测量
- 检测到异常后会产生一个中断，指示恢复延时时间 Δt_{REC} 的开始
- 在 Δt_{REC} 结束之前，ERR 信号恢复翻转
- 安全状态信号 1（引脚 SS1）和 2（引脚 SS2）始终保持高电平

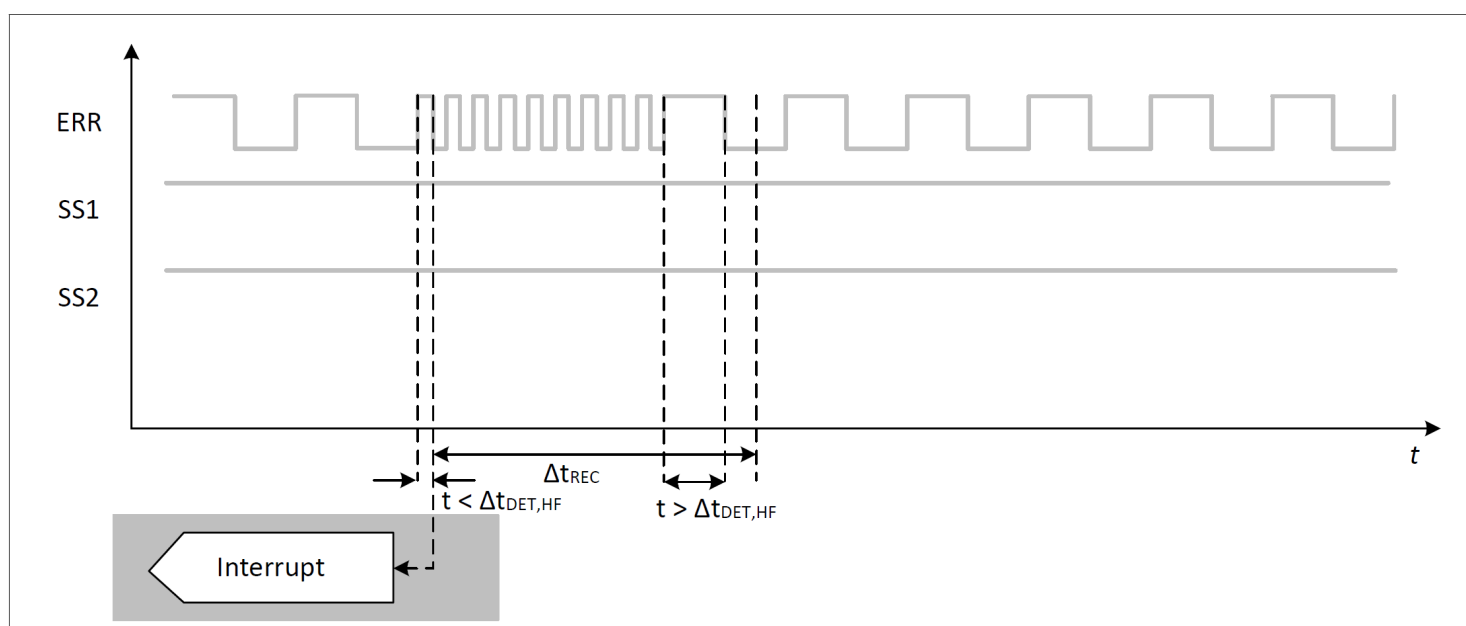


图 67 对 SMU 信号响应的流程图，错误持续时间小于恢复延时时间（ERR 信号频率过高）

说明:

- ERR 信号开始以频率 $f_{\text{ERR,invalid,HF}}$ 进行翻转
- 只要边沿到边沿时间短于检测时间 $\Delta t_{\text{DET,HF}}$ ，就会被检测为错误
- 检测到异常后会产生一个中断，指示恢复延时时间 Δt_{REC} 的开始
- 在 Δt_{REC} 到期之前，ERR 信号恢复以有效频率切换
- 安全状态信号 1（引脚 SS1）和 2（引脚 SS2）始终保持高电平

11.4 对错误触发的状态转换的响应

复位输出 (ROT) 指示微控制器相关稳压器的行为 (详见"电压监测与复位功能"章节)。

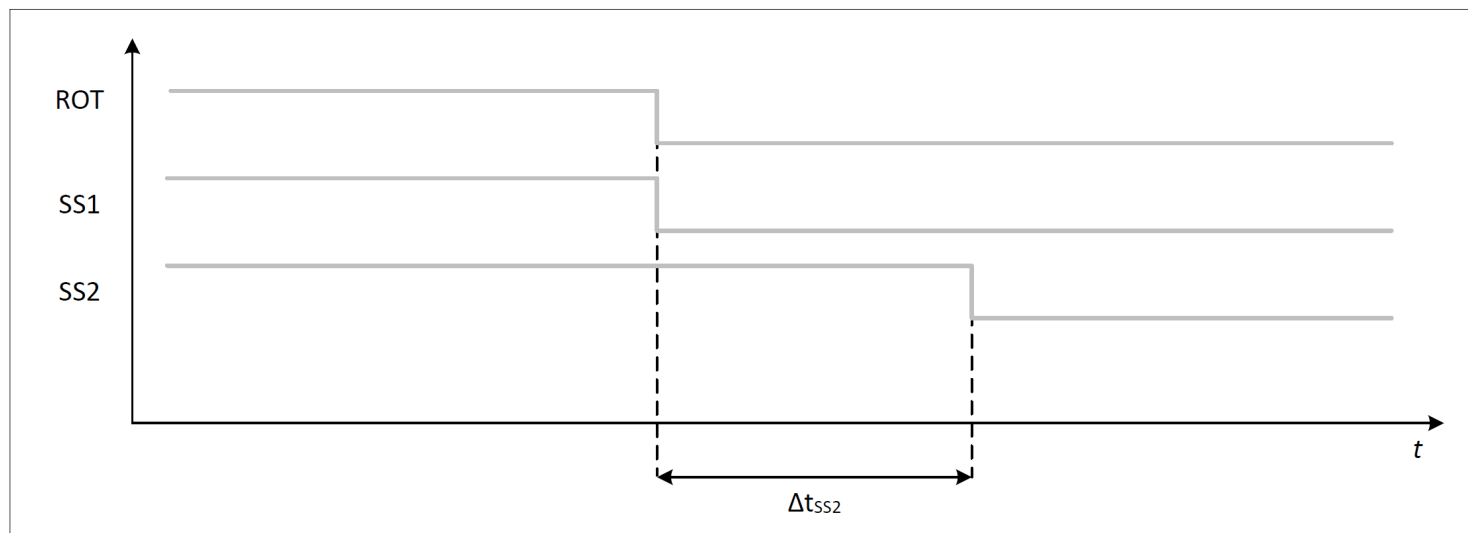


图 68 错误触发状态转换 (软复位) 的流程图

说明:

- ROT 信号下降沿表示发生错误
- 发生错误时, 安全状态信号 1 (引脚 SS1) 立即变为低电平
- 安全状态信号 2 (位于引脚 SS2) 在延时时间 Δt_{SS2} 后变为低电平, 该延时时间由 SPI 指令设置
- 请注意, 当 QUC 发生 UV 事件时, 延迟的 SS2 信号将跟随 V_{QUC} 下降, 因其由 QUC 提供。

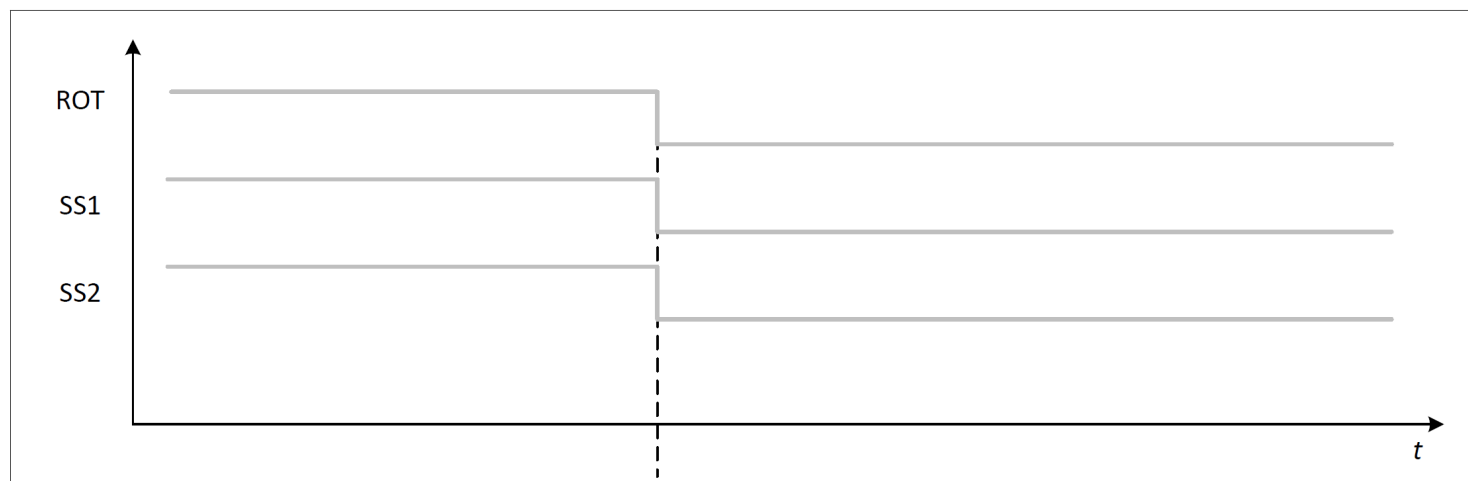


图 69 错误触发状态转换的流程图响应 - 硬复位

说明:

- ROT 信号下降沿表示发生错误
- 发生错误时, 安全状态信号 1 (引脚 SS1) 立即变为低电平
- 安全状态信号 2 (位于引脚 SS2) 与 SS1 一起变低, 因为当引脚 ROT 变低时, 供电后级稳压器 LDO_μC 被关闭

11.5 窗口看门狗输出 (WWO) 的响应

该器件有一个已实现的窗口看门狗故障计数器(WWDSTAT.WWDECNT)。每触发一次无效的窗口看门狗，计数器加2；每触发一次有效的窗口看门狗，计数器数减1。（有效和无效触发的说明请参见功能和窗口看门狗章节）。

窗口看门狗故障计数器的状态记录在所谓的窗口看门狗状态计数器中。窗口看门狗状态计数器的任何递增都会通过中断进行指示。窗口看门狗状态计数器的递减不会通过中断进行指示。窗口看门狗状态计数器的内容不能小于零。

激活安全状态信号 SS1 和 SS2 的阈值 ΣWWO 可以在 INIT、NORMAL 和 WAKE 状态下更改。(WDCFG0.WWDETHR) 将状态计数器的内容与设定的阈值 ΣWWO (RWDCFG0.WWDETHR) 进行比较。如果状态计数器的内容等于或大于 ΣWWO ，则安全状态信号 SS1 和 SS2 将被激活（低电平）。

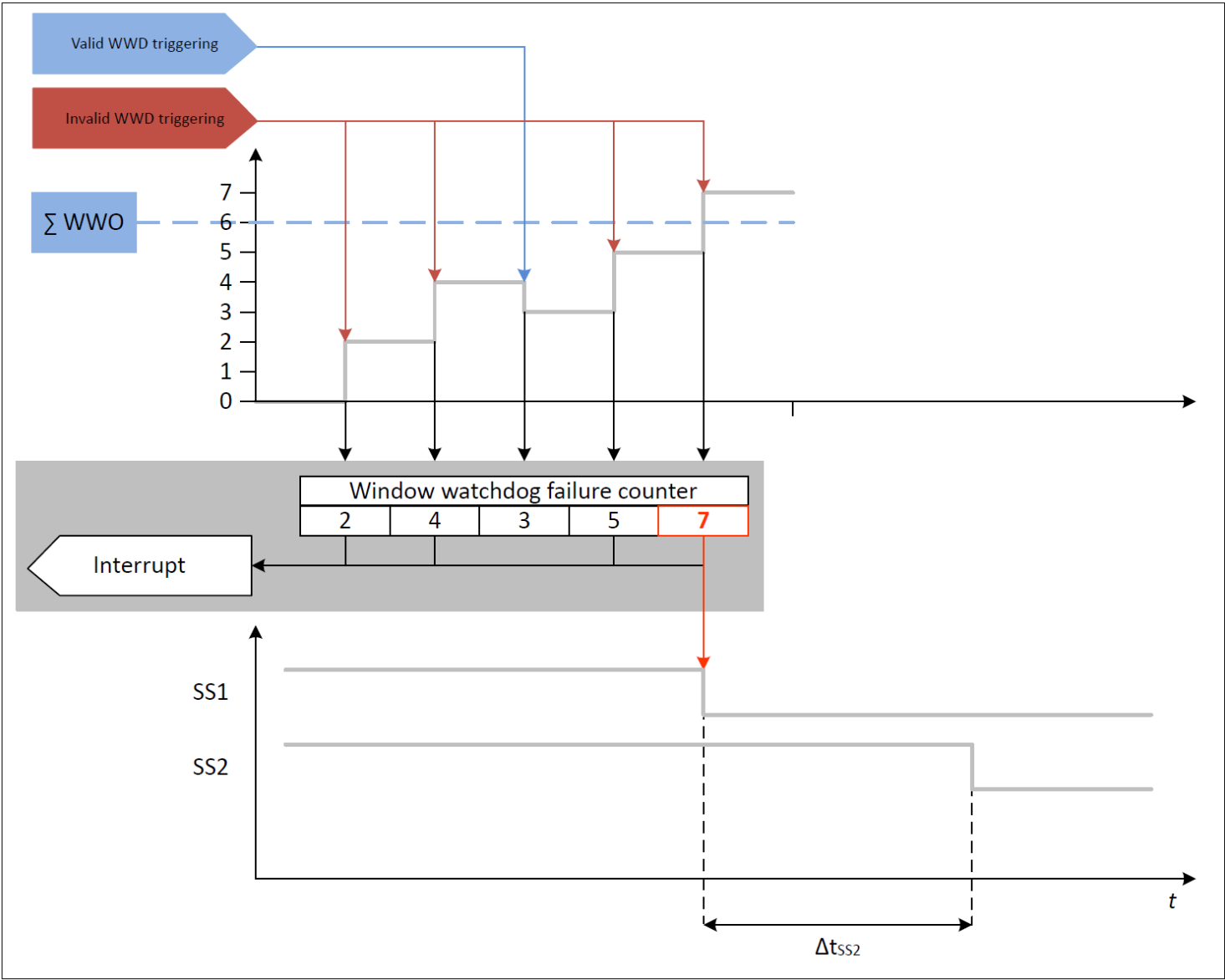


图 70 WWO 响应流程图

说明：

- 阈值 ΣWWO 置位为 6（示例）

- 无效的看门狗触发会使窗口看门狗状态计数器加二，这会通过中断来指示
- 有效的看门狗触发会使窗口看门狗状态计数器减 1，但这不会通过中断来指示
- 状态计数器值为 7 时，被识别为错误
- 当计数器状态发生变化时，安全状态信号 1（引脚 SS1）立即变为低电平
- 安全状态信号 2（位于引脚 SS2）在延时时间 Δt_{SS2} 后变为低电平，该延时时间由 [SPI](#) 指令设置

11.6 对功能看门狗输出 (FWO) 的响应

该器件具有已实现的功能看门狗故障计数器 ([FWDSTAT1.FWDECNT](#))。每次无效的功能看门狗触发时，计数器加 2；每次有效的功能看门狗触发时，计数器减 1。（有效和无效触发的说明请参见功能和窗口看门狗章节）。

功能看门狗故障计数器的状态记录在所谓的功能看门狗状态计数器中。任何功能看门狗状态计数器的递增都会通过中断来指示。功能看门狗状态计数器的任何递减都不会通过中断指示。功能看门狗状态计数器的内容不能小于零。

激活安全状态信号 SS1 和 SS2 的阈值 ΣFWO 可以在 INIT、NORMAL 和 WAKE 状态下更改。（[WDCFG1.FWDETHR](#)）

将状态计数器的内容与设定的阈值 ΣFWO ([RWDCFG1.FWDETHR](#)) 进行比较。如果状态计数器的内容等于或大于 ΣFWO ，则安全状态信号 SS1 和 SS2 将被激活（低电平）。

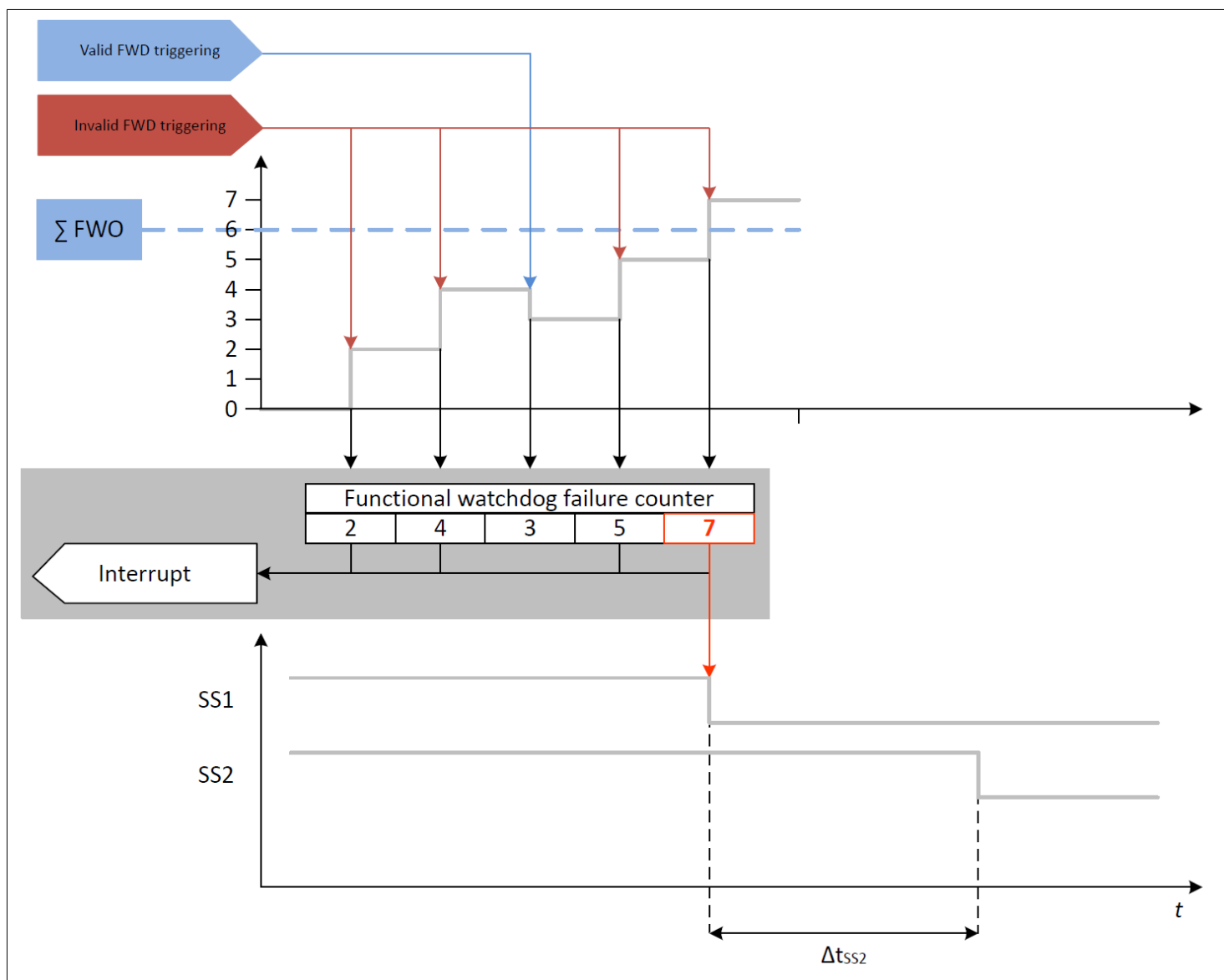


图 71 FWO 响应流程图

说明:

- 阈值 ΣFWO 置位为 6 (示例)
- 无效的看门狗触发会使功能正常的看门狗状态计数器加 2, 这会通过中断来指示
- 有效的看门狗触发会使功能看门狗状态计数器减 1, 但这不会通过中断来指示
- 状态计数器值为 7 时, 被识别为错误
- 当计数器状态发生变化时, 安全状态信号 1 (引脚 SS1) 立即变为低电平
- 安全状态信号 2 (位于引脚 SS2) 在延时时间 Δt_{SS2} 后变为低电平, 该延时时间由 *SPI* 指令设置

11.7 对热关断 (TSD) 的响应

热关断 (TSD) 表示芯片上温度过高: 因此, 所有前级稳压器和后级稳压器将立即关闭。

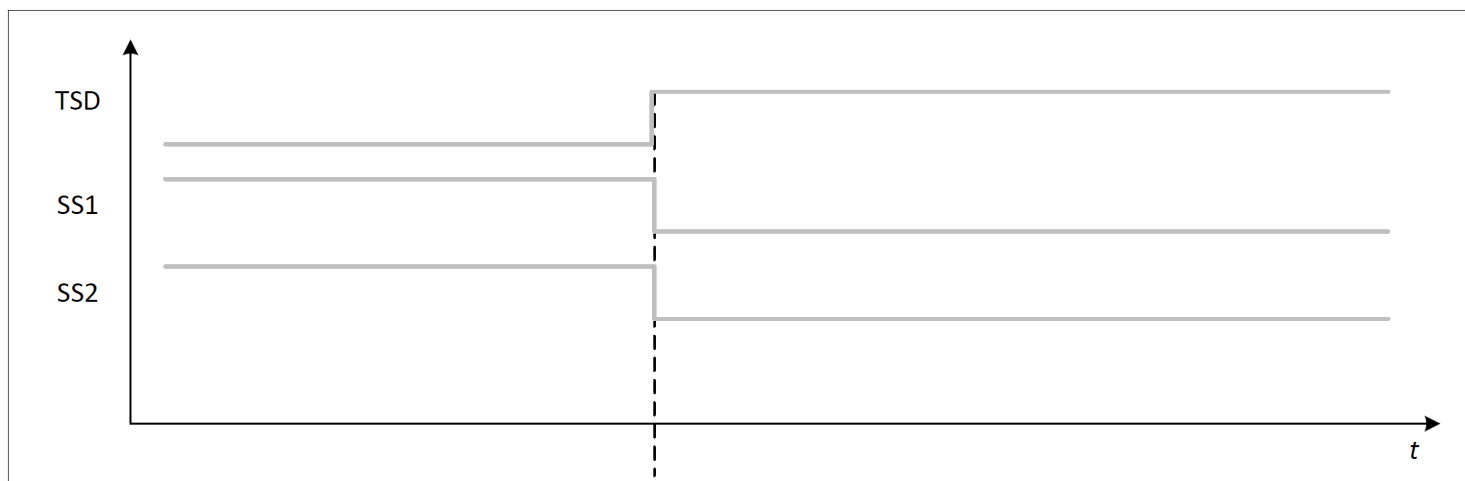


图 72 TSD 响应流程图

说明:

- TSD信号（内部）的上升沿被识别为错误
- 安全状态信号 1（位于引脚 SS1）在 TSD 信号上升沿时立即变为低电平
- 安全状态信号 2（位于引脚 SS2）与 SS1 一起变低，因为当引脚 ROT 变低时，供电后级稳压器 LDO_μC 被关闭

12 SPI (串行外设接口)

12.1 SPI 介绍

主要功能

串行外设接口或 SPI 总线是一种以全双工模式运行的同步串行数据链路。器件以从模式进行通信，其中主机（微控制器）启动数据帧。该器件应通过专用片选线进行寻址。这允许将其他从机设备连接到SPI 总线上。

数据传输

要启动通信，微控制器首先需配置时钟，使用不大于器件所支持最大频率的时钟频率。微控制器拉低该器件的片选信号。

功能说明

SPI基本访问：所有 MOSI（引脚 SDI）上的数据都是在SPI 时钟信号（引脚SCL）的上升沿被采样，并在 SPI 时钟信号（引脚 SCL）移出。SPI 主机 MISO（SDO）也需要采用相同的方法。。读取操作必须以 CMD 位 1'b0 开始，写入操作必须以 CMD 位 1'b1 开始。
当执行写操作时，写入到 SDI 的命令会回传（looped back）到 SDO。
如果执行读取操作，则对输出数据流计算奇偶校验。计算数据包括 1'b1、状态 [5:0] 和 rd_data[7:0]。如果输出数据流中 '1' 的数量为奇数，则奇偶校验位设置为 '1'，即对所有要发送的 15 位数据执行异或（XOR）运算。
对写入数据进行奇偶校验。奇偶校验是根据 cmd 位、六个地址位和八个数据位的传入位流计算的。
只要状态机 (FSM) 处于 INIT 状态、NORMAL 状态、WAKE状态或 SLEEP状态，即可随时通过 SPI 进行配置。在 SLEPP 状态下，SPI 的最大时钟频率降低，参见表 28。
SPI 访问时序参考下图：

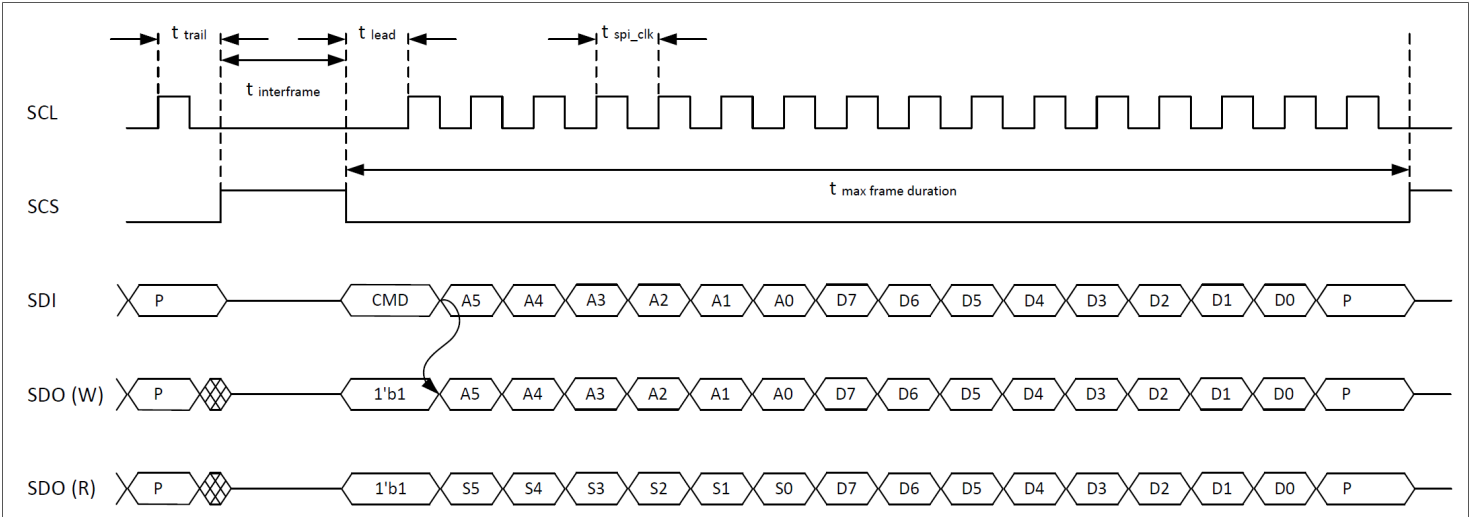


图 73 SPI - 正常模式下的帧

SPI MISO:

- 写入时，MOSI 的数据被直接回转；读取时，寻址寄存器的内容将在同一 SPI 帧中提供
cmd 位始终设置为 1'b1。所有其他状态位均置为零

12 SPI (Serial Peripheral Interface)

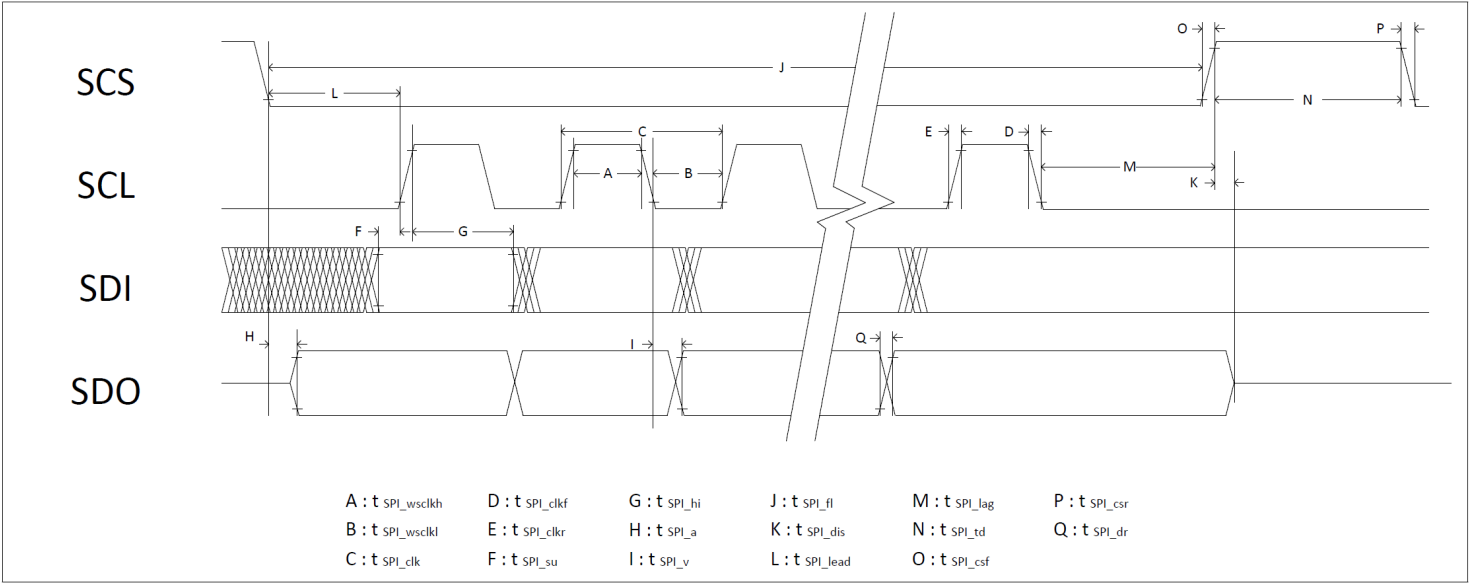


图 74 SPI 时序

表 28 电气特性：SPI 时序

VVS = 6 V 至 40 V; Tj = -40°C 至 150°C, 所有电压均以地为参考, 正向电流表示流入该引脚 (除非另有说明)

Parameter	Symbol	Values			Unit	Note or Test Condition	Number
		Min.	Typ.	Max.			
CLK_SPI Operating Frequency	fSPI_clk	–	–	10	MHz	1)	P_13.1.1
CLK_SPI Operating Frequency	fSPI_clk	–	–	1.5	MHz	SLEEP-state	P_13.1.2
CLK Signal duty cycle	DSCL	45	50	55	%	–	P_13.1.3
CLK_SPI Operating Period	tSPI_clk	100	–	–	ns	–	P_13.1.4
CLK_SPI high time	tSPI_wscclkh	45	–	–	ns	–	P_13.1.5
CLK_SPI low time	tSPI_wscclkl	45	–	–	ns	–	P_13.1.6
CLK_SPI fall time	tSPI_clkf	–	–	0.1 × tSPI_fact	[ns]	tSPI_fact ≤ tSPI_clk; 100 ns ≤ tSPI_fact ≤ 1 μs	P_13.1.7
CLK_SPI rise time	tSPI_clkr	–	–	0.1 × tSPI_fact	[ns]	tSPI_fact ≤ tSPI_clk; 100 ns ≤ tSPI_fact ≤ 1 μs	P_13.1.8
CLK_SPI lead time	tSPI_lead	100	–	–	ns	–	P_13.1.9
CLK_SPI lag time	tSPI_lag	50	–	–	ns	–	P_13.1.10
SPI Chip Select (SCS) rise time	tSPI_csr	–	–	0.2 × tSPI_fact	[ns]	tSPI_fact ≤ tSPI_lag; 50 ns ≤ tSPI_fact ≤ 500 ns	P_13.1.11

(表格续下页.....)

表 28 (续) 电气特性：SPI 时序

$V_{\text{VS}} = 6\text{ V}$ 至 40 V ； $T_{\text{j}} = -40^{\circ}\text{C}$ 至 150°C ，所有电压均以地为参考，正向电流表示流入该引脚（除非另有说明）

Parameter	Symbol	Values			Unit	Note or Test Condition	Number
		Min.	Typ.	Max.			
SPI Chip Select (SCS) fall time	$t_{\text{SPI_csf}}$	–	–	$0.2 \times t_{\text{SPI_fact}}$	[ns]	$t_{\text{SPI_fact}} \leq t_{\text{SPI_lead}}$; $100\text{ ns} \leq t_{\text{SPI_fact}} \leq 1\text{ }\mu\text{s}$	P_13.1.12
SPI Data Input (SDI) setup	$t_{\text{SPI_su}}$	10	–	–	ns	–	P_13.1.13
SPI Data Input (SDI) hold time	$t_{\text{SPI_hi}}$	10	–	–	ns	–	P_13.1.14
SPI Data Output (SDO) valid after CLK_SPI	$t_{\text{SPI_v}}$	–	–	$(0.1 \times t_{\text{SPI_fact}}) + 36$	[ns]	$C_{\text{SDO,load}} = 50\text{ pF}$; $t_{\text{SPI_fact}} \geq t_{\text{SPI_clkf}}$; $10\text{ ns} \leq t_{\text{SPI_fact}} \leq 100\text{ ns}$	P_13.1.15
SPI write propagation delay SDI to SDO	$t_{\text{SPI_wpd}}$	–	–	35	ns	–	P_13.1.16
SPI Data Output (SDO) access	$t_{\text{SPI_a}}$	–	–	50	ns	$C_{\text{SDO,load}} = 50\text{ pF}$	P_13.1.17
SPI Data Output (SDO) disable time	$t_{\text{SPI_dis}}$	–	–	100	ns	$C_{\text{SDO,load}} = 50\text{ pF}$	P_13.1.18
Sequential transfer delay	$t_{\text{SPI_td}}$	350	–	–	ns	–	P_13.1.19
Sequential transfer delay	$t_{\text{SPI_td}}$	2	–	–	μs	SLEEP-state	P_13.1.20
Frame duration (SCS low)	$t_{\text{SPI_fl}}$	–	–	1.85	ms	–	P_13.1.21

1) 要获得最大可实现的 CLK_SPI 工作频率，请考虑 CLK_SPI 的上升时间和下降时间（ $t_{\text{SPI_clkr}}$ 和 $t_{\text{SPI_clkf}}$ ）。

SPI 错误：

- 写操作期间奇偶校验位错误，写入数据将被忽略
- 写入无效地址，写入数据将被忽略
- 当 SCS 为低电平时，SPI 时钟周期数量错误，写入数据将被忽略；读取数据由器件在每个 SPI 时钟周期内提供
- 从无效地址读取数据（读取数据时，MISO 返回所有数据位均为零）。在这种情况下，器件在完成计算后会对奇偶校验位进行反转/破坏。
- 无效帧持续时间，写入数据将被忽略，并且在 $t_{\text{SPI_fl}}$ 之后，器件内部会关闭 SDO 的输出驱动器。只要 SCS 为低电平的时间小于 $t_{\text{SPI_fl}}$ ，则读取数据会在每个 SPI 时钟周期提供。
- 如果 SPI 时钟周期不是 16，并且器件检测到无效帧持续时间错误，则无效帧持续时间状态标志为置位，并且 SPI 时钟周期状态标志位为置位。

如果 SPI 发生错误，将产生中断。

SPI 中断错误只有在 SCS 被拉高或帧超时发生后才会发生。

12.2 对受保护寄存器的 SPI 写访问

某些内部寄存器（SYSPCFG0、SYSPCFG1、WDCFG0、WDCFG1、FWDCFG、WWDCFG0、WWDCFG1）需要防止被意外覆盖。保护状态可以通过读取在寄存器 PROTSTAT 中的 LOCK bit 来检查。

只有在通过 SPI 发送了特定的 32 位 UNLOCK 序列后，才能对这些寄存器进行写入访问。这四个字节需要单独发送，无需任何其他 SPI 写入访问操作。如果操作错误，将导致序列检测失败，即需要发送新的 UNLOCK 序列。如果在序列传输过程中检测到对 保护寄存器 *R2) 以外任何其他寄存器的写访问，则会生成一个中断，并将成功检测到的 UNLOCK 序列字节数置零。在 INIT、NORMAL 和 WAKE 状态下均可访问受保护的寄存器。

UNLOCK 序列由 32 bit（4 个连续字节）组成（1：0xAB；2：0xEF；3：0x56；4：0x12）。必须在中间没有其它 SPI 写入访问的情况下单独发送，不得与其他一起发送。在写入访问期间，可以通过读取寄存器 PROTSTAT 来检查每个写入字节的正确性。一旦成功执行 UNLOCK 序列，即可写入任何受保护的配置请求寄存器。为了确保正确写入受保护的配置请求寄存器，微控制器应读取寄存器值并通过检查数据来验证其正确性。写入受保护的配置请求寄存器的数据位在读取操作期间会反转后返回，这意味着微控制器可以计算读取的寄存器数据与预期数据的异或 (XOR)。如果寄存器数据正确，则结果应为 0xFF。器件不会检查寄存器中值的正确性。

所有受保护的配置请求寄存器值仅在成功执行 LOCK 序列后才能被相应的函数捕获。成功的 LOCK 序列由 4 个连续字节 32 bit（1：0xDF；2：0x34；3：0xBE；4：0xCA）组成，必须在中间没有其它 SPI 写访问的情况下发送。可以通过读取寄存器 PROTSTAT 来检查每个写入字节的正确性。

这样做出错会导致序列检测失败，即需要发送新的 LOCK 序列。在这种情况下（LOCK 序列之间任何 SPI 写入访问），都会产生一个中断。

成功检测到的 LOCK 序列后，配置寄存器及其所有内部函数将使用来自受保护配置请求寄存器的值进行更新。微控制器 (uC) 负责确保所有寄存器都已正确配置，方法是向特定寄存器写入新值或读取一个应该保持不变的寄存器。不支持对受保护寄存器进行部分重新配置，即仅配置单个函数而保持其他函数不变，因为在成功的 LOCK 序列中，所有受保护的配置请求寄存器都会被纳入配置（RSYSPCFG0、RSYSPCFG1、RWDCFG0、RWDCFG1、RFWDCFG、RWWDCFG0、RWWDCFG1）。

在 LOCK 序列之后，最大内部配置时间必须考虑 60 微秒，以确保新配置被接管。

受影响的功能：

- 所有用于 WWD 和 FWD 的看门狗配置寄存器
- 当器件处于 SLEEP 状态时 WD 的启用
- 全部错误引脚监测配置寄存器
- FSM 处于 SLEEP 状态时错误引脚监测使能
- 用于启用或禁用 STDBY LDO 的专用寄存器
- SS2 延时时间的配置，针对不会导致 FAILSAFE 状态的故障事件。

对任何受保护的配置请求寄存器的读取访问始终可行。

12.3 SPI 写发起的状态转换请求和稳压器配置

状态机转换可以通过SPI指令启动。如果任何可选电压源（后级稳压器）在下一状态下预期会改变状态，则此信息必须与命令一起发送到同一寄存器中。如果某特定电压源（后级稳压器）的设置需要改变但状态需保持不变，也可采用相同方法。这基本上意味着SPI指令包含FSM当前的状态，但对可配置电压源（后级稳压器）使用不同设置。

如需申请状态转换和/或更改LDO配置请求数据必须依次写入两个独立的控制器DEVCTRL和DEVCTRLN。写入DEVCTRLN的数据必须与写入DEVCTRL的数据进行按位取反。只有当两个寄存器依次写入时（先写DEVCTRL，后写DEVCTRLN），请求才会被接受，并在第二个命令结束时随着CS的上升沿生效。

如果请求无效（序列错误或DEVCTRLN未反转为DEVCTRL），则会被拒绝，生成中断，并且相应的状态标志（NO_OP）被置位。如果是根据第10章状态机规则判定为无效的状态转换请求，将忽略该请求且不发出中断信号。

12.4 寄存器描述

表 29 缩写词

*R0)	Registers that are being reset only in case of a <i>POR</i>
*R1)	Registers that are being reset only in case of STANDBY and a POR
*R2)	Registers that are being reset only in case of FAILSAFE, STANDBY and a POR
*R3)	Registers that are being reset in case of "Move to INIT" event, FAILSAFE, STANDBY and a POR
r	Bits that are readable (read)
rw	Bits that are readable and writable (read-write)
rwp	Bits that are readable and writable but protected by register PROTCFG (read-write-protected)
rw1c	Bits that are readable and to clear the bit you have to write a 1 to it. (read-write-1-to-clear). Flag-bits are updated based on the occurred condition.
rwhc	Bits that are readable and writable after writing the operation is triggered, once this is done successfully the bit is cleared by hardware. (read-write-hardware-cleared)
rwhu	Bits that are readable and writable, after the operation the bit is updated by hardware. (read-write-hardware-updated)

表 30 寄存器地址空间

Module	Base Address	End Address	Note
Bus Interface	0 _H	3F _H	Slave interface

表 31 寄存器概览

Register Short Name	Register Long Name	Offset Address	Page Number
DEVCFG0	Device configuration 0 *R2)	00 _H	08 _H
DEVCFG1	Device configuration 1 *R0)	01 _H	06 _H
DEVCFG2	Device configuration 2 *R2)	02 _H	00 _H
PROTCFG	Protection register *R2)	03 _H	00 _H
SYSPCFG0	Protected System configuration request 0 *R1)	04 _H	01 _H
SYSPCFG1	Protected System configuration request 1 *R2)	05 _H	00 _H
WDCFG0	Protected Watchdog configuration request 0 *R2)	06 _H	9B _H
WDCFG1	Protected Watchdog configuration request 1 *R2)	07 _H	09 _H
FWDCFG	Protected Functional watchdog configuration request *R2)	08 _H	0B _H
WWDCFG0	Protected Window watchdog configuration request 0 *R2)	09 _H	06 _H
WWDCFG1	Protected Window watchdog configuration request 1 *R2)	0A _H	0B _H
RSYSPCFG0	System configuration 0 status *R0)	0B _H	01 _H
RSYSPCFG1	System configuration 1 status *R3) ¹⁾	0C _H	00 _H

(表格续下页.....)

表 31 (续) 寄存器概览

Register Short Name	Register Long Name	Offset Address	Page Number
RWDCFG0	Watchdog configuration 0 status *R3)	0D _H	9B _H
RWDCFG1	Watchdog configuration 1 status *R3)	0E _H	09 _H
RFWDCFG	Functional watchdog configuration status *R3)	0F _H	0B _H
RWWDCFG0	Window watchdog configuration 0 status *R3)	10 _H	06 _H
RWWDCFG1	Window watchdog configuration 1 status *R3)	11 _H	09 _H
WKTIMCFG0	Wake timer configuration 0 *R2)	12 _H	00 _H
WKTIMCFG1	Wake timer configuration 1 *R2)	13 _H	00 _H
WKTIMCFG2	Wake timer configuration 2 *R2)	14 _H	00 _H
DEVCTRL	Device control request *R2)	15 _H	00 _H
DEVCTRLN	Device control inverted request *R2)	16 _H	00 _H
WWDSCMD	Window watchdog service command *R2)	17 _H	00 _H
FWDRSP	Functional watchdog response command *R2)	18 _H	00 _H
FWDRSPSYNC	Functional watchdog response command with synchronization *R2)	19 _H	00 _H
SYSFAIL	Failure status flags *R1)	1A _H	00 _H
INITERR	Init error status flags *R2)	1B _H	00 _H
IF	Interrupt flags *R2)	1C _H	00 _H
SYSSF	System status flags *R2)	1D _H	00 _H
WKSF	Wakeup status flags *R2)	1E _H	00 _H
SPISF	<i>SPI</i> status flags *R2)	1F _H	00 _H
MONSF0	Monitor status flags 0 *R1)	20 _H	00 _H
MONSF1	Monitor status flags 1 *R1)	21 _H	00 _H
MONSF2	Monitor status flags 2 *R2)	22 _H	00 _H
MONSF3	Monitor status flags 3 *R1)	23 _H	00 _H
OTFAIL	Overtemperature failure status flags *R1)	24 _H	00 _H
OTWRNSF	Overtemperature warning status flags *R2)	25 _H	00 _H
VMONSTAT	Voltage monitor status *R2)	26 _H	00 _H
DEVSTAT	Device status *R2)	27 _H	00 _H
PROTSTAT	Protection status *R1)	28 _H	01 _H
WWDSTAT	Window watchdog status *R3)	29 _H	00 _H
FWDDSTAT0	Functional watchdog status 0 *R3)	2A _H	30 _H
FWDDSTAT1	Functional watchdog status 1 *R3)	2B _H	00 _H
ABIST_CTRL0	ABIST control0 *R2) ¹⁾	2C _H	00 _H
ABIST_CTRL1	ABIST control1 *R2)	2D _H	00 _H

(表格续下页.....)



12 SPI (Serial Peripheral Interface)

表 31 (续) 寄存器概览

Table with 4 columns: Register Short Name, Register Long Name, Offset Address, Page Number. Rows include ABIST_SELECT0, ABIST_SELECT1, ABIST_SELECT2, GTM, BCK_FREQ_CHANGE, BCK_FRE_SPREAD, BCK_MAIN_CTRL.

1) 单比特复位类有所不同。详情请参见寄存器。

寄存器访问

寄存器按字寻址。

12.4.1 器件寄存器

12.4.1.1 器件配置 0 *R2)

DEVCFG0 Address: 00H
Device configuration 0 *R2) Reset value: 08H

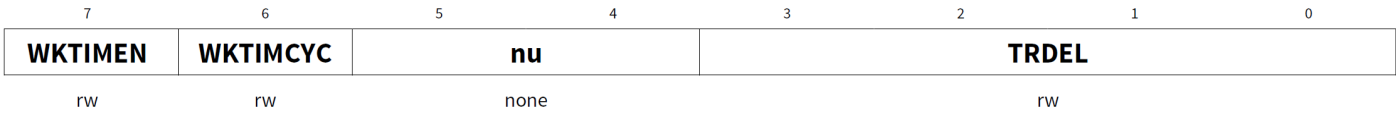


Table with 4 columns: Field, Bits, Type, Description. Rows describe WKTIMEN, WKTIMCYC, and nu fields.

(表格续下页.....)



(续)

Field	Bits	Type	Description
TRDEL	3:0	rw	Transition delay into low power states For STANDBY and SLEEP transition. Defined as a step of 100 μ s. 0 _D 100 μ s 1 _D 200 μ s 2 _D 300 μ s ... 15 _D 1600 μ s Reset: 8 _H



12.4.1.2 器件配置 1 *R0)

DEVCFG1

Device configuration 1 *R0)

Address: 01_H

Reset value: 06_H

7	6	5	4	3	2	1	0
nu					RESDEL		
none					rw		

Field	Bits	Type	Description
nu	7:3	none	Reset: 00 _H
RESDEL	2:0	rw	Reset release delay time 0 _D 200 μs 1 _D 400 μs 2 _D 800 μs 3 _D 1 ms 4 _D 2 ms 5 _D 4 ms 6 _D 10 ms 7 _D 15 ms Reset: 6 _H

12.4.1.3 器件配置 2 *R2)

DEVCFG2

Device configuration 2 *R2)

Address: 02_H

Reset value: 00_H

7	6	5	4	3	2	1	0
EVCEN	STU	FRE	CMONEN	CTHR	ESYNPHA	ESYNEN	
r	r	r	rw	rw	rw	rw	

Field	Bits	Type	Description
EVCEN	7	r	External core supply enable status 0 _D External core supply disabled 1 _D External core supply enabled Reset: 0 _H
STU	6	r	Step-up converter enable status 0 _D Disabled 1 _D Enabled Reset: 0 _H
FRE	5	r	Step-down converter frequency selection status 0 _D Step-down converter runs on low frequency range 1 _D Step-down converter runs on high frequency range Reset: 0 _H
CMONEN	4	rw	QUC current monitor enable for transition to a low power state For STANDBY and SLEEP transition. The setting is overwritten in SLEEP as current monitoring is always enabled. 0 _D Disabled 1 _D Enabled Reset: 0 _H
CTHR	3:2	rw	QUC current monitoring threshold value 0 _D 10 mA 1 _D 30 mA 2 _D 60 mA 3 _D 100 mA Reset: 0 _H
ESYNPHA	1	rw	External synchronization output phase 0 _D No phase shift 1 _D 180 phase shift Reset: 0 _H
ESYNEN	0	rw	Synchronization output for external switchmode regulator enable 0 _D Disable 1 _D Enable Reset: 0 _H



12.4.1.4 保护寄存器 *R2)

PROTCFG Address: 03H
Protection register *R2) Reset value: 00H

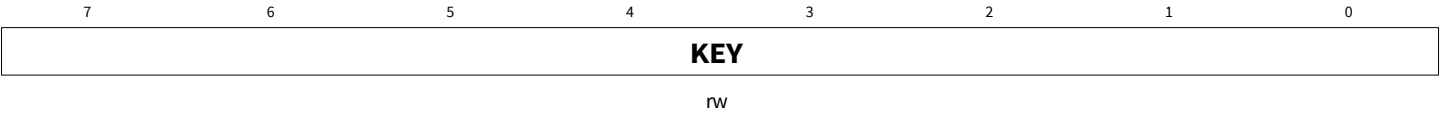


Table with 4 columns: Field, Bits, Type, Description. Row 1: KEY, 7:0, rw, Protection key. Description includes unlock/lock sequences and key values.



12.4.1.5 受保护系统配置请求 0 *R1)

SYSPCFG0 Address: 04H
Protected System configuration request 0 *R1) Reset value: 01H

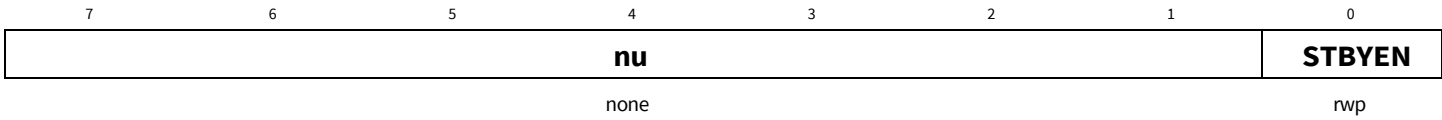


Table with 4 columns: Field, Bits, Type, Description. Rows include nu (Not used bits shall be written as 0 and will always return 1 upon read) and STBYEN (Request standby regulator QST enable).

12.4.1.6 受保护系统配置请求 1 *R2)

SYSPCFG1 Address: 05_H
Protected System configuration request 1 *R2) Reset value: 08_H

7	6	5	4	3	2	1	0
SS2DEL		ERRSLPEN		ERREN	ERRRECEN	ERRREC	
rwp		rwp		rwp	rwp	rwp	

Field	Bits	Type	Description
SS2DEL	7:5	rwp	Request safe state 2 delay Applied for transitions from NORMAL to INIT, WAKE and SLEEP-state. 0 _D no delay 1 _D 10 ms 2 _D 50 ms 3 _D 100 ms 4 _D 250 ms Reset: 0 _H
ERRSLPEN	4	rwp	Request ERR pin monitor functionality enable while the system is in SLEEP 0 _D ERR pin monitor is disabled in SLEEP 1 _D ERR pin monitor can be active in SLEEP depending on ERREN bit value. Reset: 0 _H
ERREN	3	rwp	Request ERR pin monitor enable 0 _D Disabled 1 _D Enabled Reset: 1 _H
ERRRECEN	2	rwp	Request ERR pin monitor recovery enable 0 _D Disabled 1 _D Enabled Reset: 0 _H
ERRREC	1:0	rwp	Request ERR pin monitor recovery time 0 _D 1 ms 1 _D 2.5 ms 2 _D 5 ms 3 _D 10 ms Reset: 0 _H

12.4.1.7 受保护的看门狗配置请求 0 *R2)

WDCFG0 Address: 06_H
Protected Watchdog configuration request 0 *R2) Reset value: 9B_H

7	6	5	4	3	2	1	0
WWDETHR				WWDEN	FWDEN	WWDTSEL	WDCYC
rwp				rwp	rwp	rwp	rwp

Field	Bits	Type	Description
WWDETHR	7:4	rwp	Request window watchdog error threshold WWD error threshold to generate reset and enter into INIT-state. Reset: 9 _H
WWDEN	3	rwp	Request window watchdog enable 0 _D Disabled 1 _D Enabled Reset: 1 _H
FWDEN	2	rwp	Request functional watchdog enable 0 _D Disabled 1 _D Enabled Reset: 0 _H
WWDTSEL	1	rwp	Request window watchdog trigger selection This is ignored when window watchdog is disabled. 0 _D External WDI input used as a WWD trigger 1 _D WWD is triggered by SPI write to WWDSCMD register Reset: 1 _H
WDCYC	0	rwp	Request watchdog cycle time 0 _D 0,1 ms tick period 1 _D 1 ms tick period Reset: 1 _H



12.4.1.8 受保护的看门狗配置请求 1 *R2)

WDCFG1 Address: 07H
Protected Watchdog configuration request 1 *R2) Reset value: 09H



Table with 4 columns: Field, Bits, Type, Description. Rows include nu, WDSL PEN, and FWDETHR with detailed descriptions of their functions and reset values.

12.4.1.9 受保护的功能看门狗配置请求 *R2)

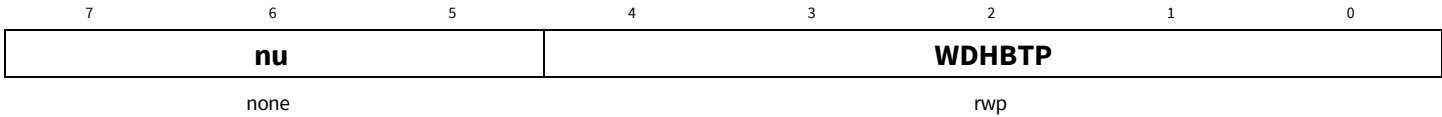
FWDCFG
Protected Functional watchdog configuration request
*R2)

Address:

Reset value:

08_H

0B_H



Field	Bits	Type	Description
nu	7:5	none	Not used bits shall be written as 0 and will always return 1 upon read Reset: 0 _H
WDHBTP	4:0	rwp	Request functional watchdog heartbeat timer period Defined as a multiple of 50 watchdog cycles (RWDCFG0.WDCYC). 0 _D 50 wd cycles 1 _D 100 wd cycles 2 _D 150 wd cycles ... 31 _D 1600 wd cycles Reset: 0B _H

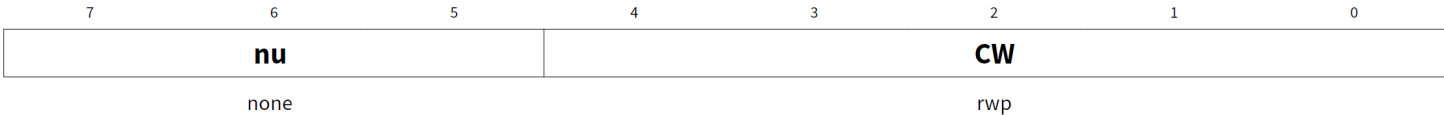
12.4.1.10 受保护的窗口看门狗配置请求 0 *R2)

WWDCFG0

Address: 09_H

Protected Window watchdog configuration request 0 *R2)

Reset value: 06_H



Field	Bits	Type	Description
nu	7:5	none	Not used bits shall be written as 0 and will always return 1 upon read Reset: 0 _H
CW	4:0	rwp	Request window watchdog closed window time Defined as a multiple of 50 watchdog cycles (RWDCFG0.WDCYC). 0 _D 50 wd cycles 1 _D 100 wd cycles 2 _D 150 wd cycles ... 31 _D 1600 wd cycles Reset: 06 _H



12.4.1.11 受保护的窗口看门狗配置请求 1 *R2)

WWDCFG1 Address: 0AH
Protected Window watchdog configuration request 1 *R2) Reset value: 0BH

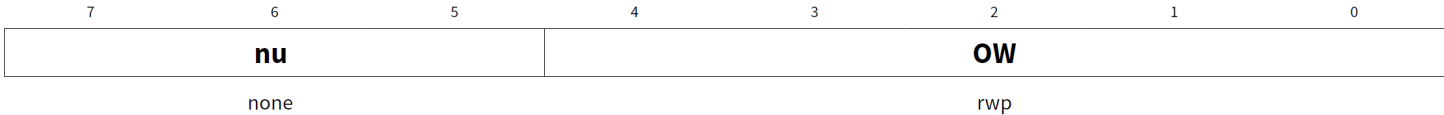


Table with 4 columns: Field, Bits, Type, Description. Rows include 'nu' (bits 7:5, none) and 'OW' (bits 4:0, rwp) with detailed descriptions of watchdog configuration.



12 SPI (Serial Peripheral Interface)

12.4.1.12 系统配置 0 状态 *R0)

RSYSPCFG0

Address: 0B_H

System configuration 0 status *R0)

Reset value: 01_H

7	6	5	4	3	2	1	0
nu							STBYEN
none							r

Field	Bits	Type	Description
nu	7:1	none	Reset: 00 _H
STBYEN	0	r	Standby regulator QST enable status Current configuration of standby regulator QST enable. Valid for all device states except FAILSAFE. 0 _D Disabled 1 _D Enabled Reset: 1 _H

12.4.1.13 系统配置 1 状态 *R3)

RSYSPCFG1 ¹⁾

System configuration 1 status *R3)

Address: 0C_H
Reset value: 08_H

1) 个位的复位类别有所不同。详细信息请参见对应寄存器说明。

7	6	5	4	3	2	1	0
SS2DEL			ERRSLPEN	ERREN	ERRRECEN	ERRREC	
r			r	r	r	r	

Field	Bits	Type	Description
SS2DEL	7:5	r	Safe state 2 delay status Current configuration of safe state 2 delay applied for transitions from NORMAL to INIT, WAKE and SLEEP-state. Bits have different reset class than whole register. The Bits are reset according to *R1) 0 _D no delay 1 _D 10 ms 2 _D 50 ms 3 _D 100 ms 4 _D 250 ms Reset: 0 _H
ERRSLPEN	4	r	ERR pin monitor functionality enable status while the device is in SLEEP Current configuration of ERR pin monitor functionality enable for SLEEP. 0 _D ERR pin monitor is disabled in SLEEP 1 _D ERR pin monitor can be active in SLEEP depending on ERREN bit value. Reset: 0 _H
ERREN	3	r	ERR pin monitor enable status Current configuration of ERR pin monitor enable. 0 _D Disabled 1 _D Enabled Reset: 1 _H
ERRRECEN	2	r	ERR pin monitor recovery enable status Current configuration of ERR pin monitor recovery enable. 0 _D Disabled 1 _D Enabled Reset: 0 _H

(表格续下页.....)



(续)

Field	Bits	Type	Description
ERRREC	1:0	r	ERR pin monitor recovery time status Current configuration of ERR pin monitor recovery time. 0 _D 1 ms 1 _D 2.5 ms 2 _D 5 ms 3 _D 10 ms Reset: 0 _H

12.4.1.14 看门狗配置 0 状态 *R3)

RWDCFG0

Watchdog configuration 0 status *R3)

Address: 0D_H

Reset value: 9B_H

7	6	5	4	3	2	1	0
WWDETHR				WWDEN	FWDEN	WWDTSSEL	WDCYC
r				r	r	r	r

Field	Bits	Type	Description
WWDETHR	7:4	r	Window watchdog error threshold status Current configuration of WWD error threshold to generate reset and enter into INIT-state. Reset: 9 _H
WWDEN	3	r	Window watchdog enable status Current configuration of WWD enable. 0 _D Disabled 1 _D Enabled Reset: 1 _H
FWDEN	2	r	Functional watchdog enable status Current configuration of FWD enable. 0 _D Disabled 1 _D Enabled Reset: 0 _H
WWDTSSEL	1	r	Window watchdog trigger selection status Current configuration of WWD trigger selection. This is ignored when window watchdog is disabled. 0 _D External WDI input used as a WWD trigger 1 _D WWD is triggered by SPI write to WWDSCMD register Reset: 1 _H
WDCYC	0	r	Watchdog cycle time status Current configuration of watchdog cycle time. 0 _D 0,1 ms tick period 1 _D 1 ms tick period Reset: 1 _H

12.4.1.15 看门狗配置 1 状态*R3)

RWDCFG1

Watchdog configuration 1 status *R3)

Address: 0E_H

Reset value: 09_H

7	6	5	4	3	2	1	0
nu			WDSLPEN	FWDETHR			
none			r	r			

Field	Bits	Type	Description
nu	7:5	none	Reset: 0 _H
WDSLPEN	4	r	Watchdog functionality enable status while the device is in SLEEP Current configuration of WD functionality enable for SLEEP. 0 _D Disabled 1 _D Enabled, the WD will work based on individual configuration (WWDEN and FWDEN) settings while the system is in SLEEP mode Reset: 0 _H
FWDETHR	3:0	r	Functional watchdog error threshold status Current configuration of FWD error threshold to generate reset and enter into INIT-state. Reset: 9 _H

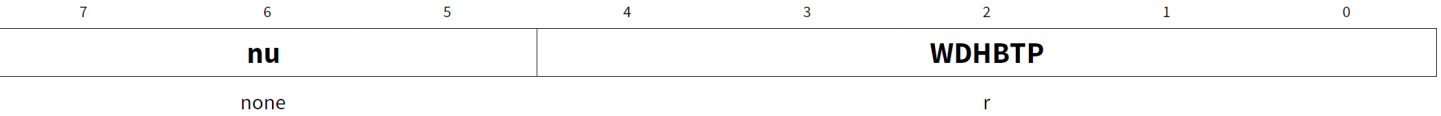
12.4.1.16 功能看门狗配置状态 *R3)

RFWDCFG

Functional watchdog configuration status *R3)

Address: 0F_H

Reset value: 0B_H



Field	Bits	Type	Description
nu	7:5	none	Reset: 0 _H
WDHBTP	4:0	r	Functional watchdog heartbeat timer period status Current configuration of FWD heartbeat timer period defined as a multiple of 50 watchdog cycles (RWD CFG0.WDCYC). 0 _D 50 wd cycles 1 _D 100 wd cycles 2 _D 150 wd cycles ...D ... 31 _D 1600 wd cycles Reset: 0B _H



12.4.1.17 窗口看门狗配置 0 状态 *R3)

RWWDCFG0 Address: 10H
Window watchdog configuration 0 status *R3) Reset value: 06H

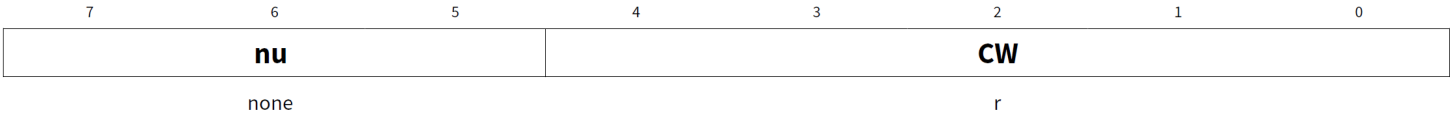
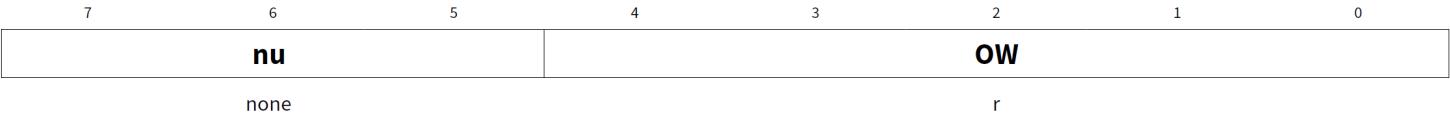


Table with 4 columns: Field, Bits, Type, Description. It details the nu and CW fields, including their bit ranges, types, and descriptions of the window watchdog closed window time status.

12.4.1.18 窗口看门狗配置 1 状态 *R3)

RWWDCFG1 Address: 11_H
Window watchdog configuration 1 status *R3) Reset value: 0B_H



Field	Bits	Type	Description
nu	7:5	none	Reset: 0 _H
OW	4:0	r	Window watchdog open window time status Current configuration of WWD open window time defined as a multiple of 50 watchdog cycles (RWWDCFG0.WDCYC). 0 _D 50 wd cycles 1 _D 100 wd cycles 2 _D 150 wd cycles ... 31 _D 1600 wd cycles Reset: 0B _H



12 SPI (Serial Peripheral Interface)

12.4.1.19 唤醒定时器配置 0 *R2)

WKTIMCFG0 Address: 12H
Wake timer configuration 0 *R2) Reset value: 00H



Table with 4 columns: Field, Bits, Type, Description. Row 1: TIMVALL, 7:0, rw, Wake timer value lower bits. Description includes: Bits (7:0) of wake time defined as a multiple of wake timer cycles (DEVCFG0.WKTIMCYC). Reset: 00H



12.4.1.20 唤醒定时器配置 1 *R2)

WKTIMCFG1

Wake timer configuration 1 *R2)

Address: 13_H

Reset value: 00_H



Field	Bits	Type	Description
TIMVALM	7:0	rw	Wake timer value middle bits Bits (15:8) of wake time defined as a multiple of wake timer cycles (DEVCFG0.WKTIMCYC). Reset: 00 _H



12 SPI (Serial Peripheral Interface)

12.4.1.21 唤醒定时器配置 2 *R2)

WKTIMCFG2 Address: 14_H
Wake timer configuration 2 *R2) Reset value: 00_H



Field	Bits	Type	Description
TIMVALH	7:0	rw	Wake timer value higher bits Bits (23:16) of wake time defined as a multiple of wake timer cycles (DEVCFG0.WKTIMCYC). Reset: 00 _H

12.4.1.22 器件控制请求 *R2)

DEVCTRL

Device control request *R2)

Address: 15_H

Reset value: 00_H

7	6	5	4	3	2	1	0
TRK2EN	TRK1EN	COMEN	nu	VREFEN	STATEREQ		
rw	rw	rw	none	rw	rwhc		

Field	Bits	Type	Description
TRK2EN	7	rw	Request tracker2 QT2 enable 0 _D QT2 will be disabled after valid request 1 _D QT2 will be enabled after valid request Reset: 0 _H
TRK1EN	6	rw	Request tracker1 QT1 enable 0 _D QT1 will be disabled after valid request 1 _D QT1 will be enabled after valid request Reset: 0 _H
COMEN	5	rw	Request communication ldo QCO enable 0 _D QCO will be disabled after valid request 1 _D QCO will be enabled after valid request Reset: 0 _H
nu	4	none	Reset: 0 _H
VREFEN	3	rw	Request voltage reference QVR enable 0 _D QVR will be disabled after valid request 1 _D QVR will be enabled after valid request Reset: 0 _H
STATEREQ	2:0	rwhc	Request for device state transition Cleared to 000 by the HW after the request is processed. After writing a new state value a user should not change the value before it's cleared by HW. 7 _D RESERVED 6 _D RESERVED 5 _D WAKE 4 _D STANDBY 3 _D SLEEP 2 _D NORMAL 1 _D INIT 0 _D NONE Reset: 0 _H



12.4.1.23 器件控制反向请求 *R2)

DEVCTRLN Address: 16H
Device control inverted request *R2) Reset value: 00H

Table with 6 columns: TRK2EN, TRK1EN, COMEN, nu, VREFEN, STATEREQ. Includes bit positions (7-0) and access types (rw, none, rwhc).

Table with 4 columns: Field, Bits, Type, Description. Contains detailed descriptions for TRK2EN, TRK1EN, COMEN, nu, VREFEN, and STATEREQ.



12 SPI (Serial Peripheral Interface)

12.4.1.24 窗口看门狗服务指令 *R2)

WWDSCMD Address: 17H
Window watchdog service command *R2) Reset value: 00H

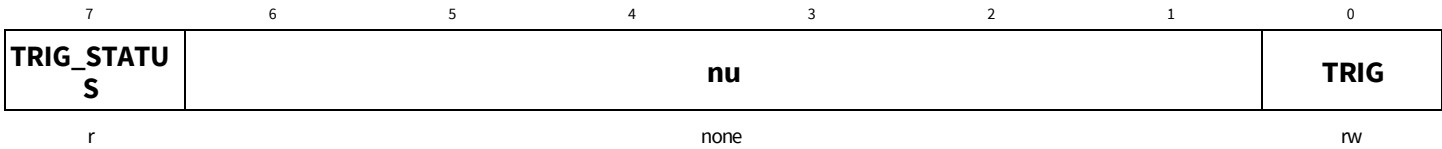


Table with 4 columns: Field, Bits, Type, Description. Rows include TRIG_STATUS (7 bits, read, Last SPI trigger received), nu (6:1 bits, none, Reset: 00H), and TRIG (0 bit, read/write, Window watchdog SPI trigger command).



12.4.1.25 窗口看门狗响应指令 *R2)

FWDRSP
Functional watchdog response command *R2)

Address: 18_H

Reset value: 00_H



Field	Bits	Type	Description
FWDRSP	7:0	rw	Functional watchdog response Write functional watchdog response bytes to this field. Reset: 00 _H



12.4.1.26 带同步的窗口看门狗响应指令 *R2)

FWDRSPSYNC

Address: 19_H

Functional watchdog response command
with synchronization *R2)

Reset value: 00_H



Field	Bits	Type	Description
FWDRSPS	7:0	rw	Functional watchdog heartbeat synchronization response Write the last functional watchdog response byte to this field to synchronize/restart the heartbeat. Reset: 00 _H

12.4.1.27 故障状态标志 *R1)

SYSFAIL Address: 1A_H
Failure status flags *R1) Reset value: 00_H

7	6	5	4	3	2	1	0
INITF	ABISTERR	nu			VMONF	OTF	VOLTSELER R
rw1c	rw1c	none			rw1c	rw1c	rw1c

Field	Bits	Type	Description
INITF	7	rw1c	INIT failure flag INIT failure due to the third INIT failure in row. i.e. The device restarts INIT phase from FAILSAFE. 0 _D No fault, write 0 - no action 1 _D Fault occurred, write 1 to clear the flags Reset: 0 _H
ABISTERR	6	rw1c	ABIST operation interrupted flag ABIST interrupted by any fault/event which is not part of ABIST. 0 _D No fault, write 0 - no action 1 _D Fault occurred, write 1 to clear the flags Reset: 0 _H
nu	5:3	none	Reset: 0 _H
VMONF	2	rw1c	Voltage monitor failure flag Voltage monitor failure occurred which lead to FAILSAFE. 0 _D No fault, write 0 - no action 1 _D Fault occurred, write 1 to clear the flags, read MONSF0, MONSF1 and MONSF3 for details Reset: 0 _H
OTF	1	rw1c	Overtemperature failure flag 0 _D No fault, write 0 - no action 1 _D Fault occurred, write 1 to clear the flags, read OTFAIL for details Reset: 0 _H
VOLTSELERR	0	rw1c	Double Bit error on voltage selection flag Device entered FAILSAFE-state due to internal voltage selection failure. 0 _D No fault, write 0 - no action 1 _D Fault occurred, write 1 to clear the flags Reset: 0 _H

12.4.1.28 Init 错误状态标志 *R2)

INITERR

Init error status flags *R2)

Address: 1B_H

Reset value: 00_H

7	6	5	4	3	2	1	0
HARDRES	SOFTRES	ERRF	FWDF	WWDF	VMONF	nu	
rw1c	rw1c	rw1c	rw1c	rw1c	rw1c	rw1c	

Field	Bits	Type	Description
HARDRES	7	rw1c	Hard reset flag Hard reset has been generated due to the second INIT failure in row. i.e. The device restarts INIT phase for the 3rd time. 0 _D No fault, write 0 - no action 1 _D Fault occurred, write 1 to clear the flags Reset: 0 _H
SOFTRES	6	rw1c	Soft reset flag Soft reset has been generated due to the first INIT failure. i.e. The device restarts INIT phase for the 2nd time. 0 _D No fault, write 0 - no action 1 _D Fault occurred, write 1 to clear the flags Reset: 0 _H
ERRF	5	rw1c	MCU error monitor failure flag 0 _D No fault, write 0 - no action 1 _D Fault occurred, write 1 to clear the flags Reset: 0 _H
FWDF	4	rw1c	Functional watchdog error counter overflow failure flag Functional watchdog error counter reached the error threshold. 0 _D No fault, write 0 - no action 1 _D Fault occurred, write 1 to clear the flags Reset: 0 _H
WWDF	3	rw1c	Window watchdog error counter overflow failure flag Window watchdog error counter reached the error threshold. 0 _D No fault, write 0 - no action 1 _D Fault occurred, write 1 to clear the flags Reset: 0 _H
VMONF	2	rw1c	Voltage monitor failure flag Voltage monitor failure occurred which lead to INIT. 0 _D No fault, write 0 - no action 1 _D Fault occurred, write 1 to clear the flags, read MONSF2 for details Reset: 0 _H
nu	1:0	rw1c	Reset: 0 _H

12.4.1.29 中断标志 *R2)

IF Address: 1C_H
Interrupt flags *R2) Reset value: 00_H

7	6	5	4	3	2	1	0
INTMISS	ABIST	OTF	OTW	MON	SPI	WK	SYS
r	rw1c	rw1c	rw1c	rw1c	rw1c	rw1c	rw1c

Field	Bits	Type	Description
INTMISS	7	r	Interrupt not serviced in time flag Interrupt has not been serviced within $t_{INT,TO}$ time 0 _D No interrupt timeout happened 1 _D Interrupt timeout happened, cleared by hardware when all other flags in IF are cleared. Reset: 0 _H
ABIST	6	rw1c	Requested ABIST operation performed flag 0 _D No interrupt, write 0 - no action 1 _D Interrupt flag active, write 1 to clear the flag Reset: 0 _H
OTF	5	rw1c	Overtemperature failure interrupt flag 0 _D No interrupt, write 0 - no action 1 _D Interrupt flag active, write 1 to clear the flag, read OTFAIL for details Reset: 0 _H
OTW	4	rw1c	Overtemperature warning interrupt flag 0 _D No interrupt, write 0 - no action 1 _D Interrupt flag active, write 1 to clear the flag, read OTWRNSF for details Reset: 0 _H
MON	3	rw1c	Monitor interrupt flag 0 _D No interrupt, write 0 - no action 1 _D Interrupt flag active, write 1 to clear the flag, read MONSF0, MONSF1, MONSF2 and MONSF3 for details Reset: 0 _H
SPI	2	rw1c	SPI interrupt flag 0 _D No interrupt, write 0 - no action 1 _D Interrupt flag active, write 1 to clear the flag, read SPISF for details Reset: 0 _H

(表格续下页.....)



(续)

Field	Bits	Type	Description
WK	1	rw1c	Wake interrupt flag Only set if device generates an interrupt when leaving SLEEP-state. 0 _D No interrupt, write 0 - no action 1 _D Interrupt flag active, write 1 to clear the flag, read WKSF for details Reset: 0 _H
SYS	0	rw1c	System interrupt flag 0 _D No interrupt, write 0 - no action 1 _D Interrupt flag active, write 1 to clear the flag, read SYSSF for details Reset: 0 _H

12.4.1.30 系统状态标志*R2)

SYSSF

System status flags *R2)

Address: 1D_H

Reset value: 00_H

7	6	5	4	3	2	1	0
nu	NO_OP	TRFAIL	ERRMISS	FWDE	WWDE	CFGE	
none	rw1c	rw1c	rw1c	rw1c	rw1c	rw1c	

Field	Bits	Type	Description
nu	7:6	none	Reset: 0 _H
NO_OP	5	rw1c	State transition request failure flag Requested state transition via DEVCTRL and DEVCTRLN could not be performed because of wrong protocol. 0 _D Write 0 - no action 1 _D Event detected, write 1 to clear the flag Reset: 0 _H
TRFAIL	4	rw1c	Transition to low power failed flag Transition to low power failed either due to the QUC current monitor, WAK high level or a rising edge on ENA during TRDEL time. 0 _D Write 0 - no action 1 _D Event detected, write 1 to clear the flag Reset: 0 _H
ERRMISS	3	rw1c	MCU error miss status flag Set only when SYSPCFG1.ERRRECEN='1' 0 _D Write 0 - no action 1 _D Event detected, write 1 to clear the flag Reset: 0 _H
FWDE	2	rw1c	Functional watchdog error interrupt flag 0 _D Write 0 - no action 1 _D Event detected, write 1 to clear the flag Reset: 0 _H
WWDE	1	rw1c	Window watchdog error interrupt flag 0 _D Write 0 - no action 1 _D Event detected, write 1 to clear the flag Reset: 0 _H
CFGE	0	rw1c	Protected configuration double bit error flag Double bit error occurred on protected configuration register. Status registers shall be read in order to determine which configuration has changed. 0 _D Write 0 - no action 1 _D Event detected, write 1 to clear the flag Reset: 0 _H

12.4.1.31 唤醒状态标志 *R2)

WKSF Address: 1E_H
Wakeup status flags *R2) Reset value: 00_H

7	6	5	4	3	2	1	0
nu		WKSPI	WKTIM	CMON	ENA	WAK	
none		rw1c	rw1c	rw1c	rw1c	rw1c	

Field	Bits	Type	Description
nu	7:5	none	Reset: 0 _H
WKSPI	4	rw1c	Wakeup from SLEEP by SPI flag (GoToWAKE) 0 _D Write 0 - no action 1 _D Event detected, write 1 to clear the flag Reset: 0 _H
WKTIM	3	rw1c	Wake timer wakeup flag Bit will also be set if STANDBY-state left because of wake timer expired. 0 _D Write 0 - no action 1 _D Event detected, write 1 to clear the flag Reset: 0 _H
CMON	2	rw1c	QUC current monitor threshold wakeup flag 0 _D Write 0 - no action 1 _D Event detected, write 1 to clear the flag Reset: 0 _H
ENA	1	rw1c	ENA signal wakeup flag Bit will also be set if FAILSAFE or STANDBY-state left because of ENA. 0 _D Write 0 - no action 1 _D Event detected, write 1 to clear the flag Reset: 0 _H
WAK	0	rw1c	WAK signal wakeup flag Bit will also be set if FAILSAFE or STANDBY-state left because of WAK. 0 _D Write 0 - no action 1 _D Event detected, write 1 to clear the flag Reset: 0 _H

12.4.1.32 SPI 状态标志*R2)

SPISF

SPI status flags *R2)

Address: 1F_H

Reset value: 00_H

7	6	5	4	3	2	1	0
nu		LOCK		DURE	ADDRE	LENE	PARE
none		rw1c		rw1c	rw1c	rw1c	rw1c

Field	Bits	Type	Description
nu	7:5	none	Reset: 0 _H
LOCK	4	rw1c	LOCK or UNLOCK procedure error flag 0 _D Write 0 - no action 1 _D Event detected, write 1 to clear the flag Reset: 0 _H
DURE	3	rw1c	SPI frame duration error flag SCS low for more than 2 ms. 0 _D Write 0 - no action 1 _D Event detected, write 1 to clear the flag Reset: 0 _H
ADDRE	2	rw1c	SPI address invalid flag 0 _D Write 0 - no action 1 _D Event detected, write 1 to clear the flag Reset: 0 _H
LENE	1	rw1c	SPI frame length invalid flag Number of detected SPI clock cycles different than 16. 0 _D Write 0 - no action 1 _D Event detected, write 1 to clear the flag Reset: 0 _H
PARE	0	rw1c	SPI frame parity error flag 0 _D Write 0 - no action 1 _D Event detected, write 1 to clear the flag Reset: 0 _H

12.4.1.33 监测状态标志 0 *R1)

MONSF0

Address: 20_H

Monitor status flags 0 *R1)

Reset value: 00_H

7	6	5	4	3	2	1	0
TRK2SG	TRK1SG	VREFSG	COMSG	VCORESG	STBYSG	UCSG	PREGSG
rw1c	rw1c	rw1c	rw1c	rw1c	rw1c	rw1c	rw1c

Field	Bits	Type	Description
TRK2SG	7	rw1c	Tracker2 short to ground status flag 0 _D Write 0 - no action 1 _D Event detected, write 1 to clear the flag Reset: 0 _H
TRK1SG	6	rw1c	Tracker1 short to ground status flag 0 _D Write 0 - no action 1 _D Event detected, write 1 to clear the flag Reset: 0 _H
VREFSG	5	rw1c	Voltage reference short to ground status flag 0 _D Write 0 - no action 1 _D Event detected, write 1 to clear the flag Reset: 0 _H
COMSG	4	rw1c	Communication LDO short to ground status flag 0 _D Write 0 - no action 1 _D Event detected, write 1 to clear the flag Reset: 0 _H
VCORESG	3	rw1c	Core voltage short to ground status flag 0 _D Write 0 - no action 1 _D Event detected, write 1 to clear the flag Reset: 0 _H
STBYSG	2	rw1c	Standby LDO short to ground status flag 0 _D Write 0 - no action 1 _D Event detected, write 1 to clear the flag Reset: 0 _H
UCSG	1	rw1c	uC LDO short to ground status flag 0 _D Write 0 - no action 1 _D Event detected, write 1 to clear the flag Reset: 0 _H
PREGSG	0	rw1c	Pre-regulator voltage short to ground status flag 0 _D Write 0 - no action 1 _D Event detected, write 1 to clear the flag Reset: 0 _H

12.4.1.34 监测状态标志 1 *R1)

MONSF1

Monitor status flags 1 *R1)

Address: 21_H

Reset value: 00_H

7	6	5	4	3	2	1	0
TRK2OV	TRK1OV	VREFOV	COMOV	VCOREOV	STBYOV	UCOV	PREGOV
rw1c	rw1c	rw1c	rw1c	rw1c	rw1c	rw1c	rw1c

Field	Bits	Type	Description
TRK2OV	7	rw1c	Tracker2 overvoltage status flag 0 _D Write 0 - no action 1 _D Event detected, write 1 to clear the flag Reset: 0 _H
TRK1OV	6	rw1c	Tracker1 overvoltage status flag 0 _D Write 0 - no action 1 _D Event detected, write 1 to clear the flag Reset: 0 _H
VREFOV	5	rw1c	Voltage reference overvoltage status flag 0 _D Write 0 - no action 1 _D Event detected, write 1 to clear the flag Reset: 0 _H
COMOV	4	rw1c	Communication LDO overvoltage status flag 0 _D Write 0 - no action 1 _D Event detected, write 1 to clear the flag Reset: 0 _H
VCOREOV	3	rw1c	Core voltage overvoltage status flag 0 _D Write 0 - no action 1 _D Event detected, write 1 to clear the flag Reset: 0 _H
STBYOV	2	rw1c	Standby LDO overvoltage status flag 0 _D Write 0 - no action 1 _D Event detected, write 1 to clear the flag Reset: 0 _H
UCOV	1	rw1c	uC LDO overvoltage status flag 0 _D Write 0 - no action 1 _D Event detected, write 1 to clear the flag Reset: 0 _H
PREGOV	0	rw1c	Pre-regulator voltage overvoltage status flag 0 _D Write 0 - no action 1 _D Event detected, write 1 to clear the flag Reset: 0 _H

12.4.1.35 监测状态标志 2 *R2)

MONSF2

Monitor status flags 2 *R2)

Address: 22_H

Reset value: 00_H

7	6	5	4	3	2	1	0
TRK2UV	TRK1UV	VREFUV	COMUV	VCOREUV	STBYUV	UCUV	PREGUV
rw1c	rw1c	rw1c	rw1c	rw1c	rw1c	rw1c	rw1c

Field	Bits	Type	Description
TRK2UV	7	rw1c	Tracker2 undervoltage status flag 0 _D Write 0 - no action 1 _D Event detected, write 1 to clear the flag Reset: 0 _H
TRK1UV	6	rw1c	Tracker1 undervoltage status flag 0 _D Write 0 - no action 1 _D Event detected, write 1 to clear the flag Reset: 0 _H
VREFUV	5	rw1c	Voltage reference undervoltage status flag 0 _D Write 0 - no action 1 _D Event detected, write 1 to clear the flag Reset: 0 _H
COMUV	4	rw1c	Communication LDO undervoltage status flag 0 _D Write 0 - no action 1 _D Event detected, write 1 to clear the flag Reset: 0 _H
VCOREUV	3	rw1c	Core voltage undervoltage status flag 0 _D Write 0 - no action 1 _D Event detected, write 1 to clear the flag Reset: 0 _H
STBYUV	2	rw1c	Standby LDO undervoltage status flag 0 _D Write 0 - no action 1 _D Event detected, write 1 to clear the flag Reset: 0 _H
UCUV	1	rw1c	uC LDO undervoltage status flag 0 _D Write 0 - no action 1 _D Event detected, write 1 to clear the flag Reset: 0 _H
PREGUV	0	rw1c	Pre-regulator voltage undervoltage status flag 0 _D Write 0 - no action 1 _D Event detected, write 1 to clear the flag Reset: 0 _H



12.4.1.36 监测状态标志 3 *R1)

MONSF3 Address: 23H
Monitor status flags 3 *R1) Reset value: 00H

Table with 6 columns: Bit 7 (BIASHI), Bit 6 (BIASLOW), Bit 5 (BG12OV), Bit 4 (BG12UV), Bit 3-1 (nu), Bit 0 (VBATOV). Includes rw1c and none access types.

Table with 4 columns: Field, Bits, Type, Description. Rows include BIASHI, BIASLOW, BG12OV, BG12UV, nu, and VBATOV with detailed descriptions of each flag.

12.4.1.37 过温故障状态标志 *R1)

OTFAIL Address: 24_H
Overtemperature failure status flags *R1) Reset value: 00_H

7	6	5	4	3	2	1	0
MON	nu		COM	nu		UC	PREG
rw1c	none		rw1c	none		rw1c	rw1c

Field	Bits	Type	Description
MON	7	rw1c	Monitoring overtemperature flag 0 _D Write 0 - no action 1 _D Event detected, write 1 to clear the flag Reset: 0 _H
nu	6:5	none	Reset: 0 _H
COM	4	rw1c	Communication LDO overtemperature flag 0 _D Write 0 - no action 1 _D Event detected, write 1 to clear the flag Reset: 0 _H
nu	3:2	none	Reset: 0 _H
UC	1	rw1c	uC LDO overtemperature flag 0 _D Write 0 - no action 1 _D Event detected, write 1 to clear the flag Reset: 0 _H
PREG	0	rw1c	Pre-regulator overtemperature flag 0 _D Write 0 - no action 1 _D Event detected, write 1 to clear the flag Reset: 0 _H

12.4.1.38 过温警告状态标志 *R2)

OTWRNSF

Overtemperature warning status flags *R2)

Address: 25_H

Reset value: 00_H

7	6	5	4	3	2	1	0
nu	VREF	COM	nu	STDBY	UC	PREG	
none	rw1c	rw1c	none	rw1c	rw1c	rw1c	

Field	Bits	Type	Description
nu	7:6	none	Reset: 0 _H
VREF	5	rw1c	Voltage reference over load flag (overcurrent for more than 1ms) 0 _D Write 0 no action 1 _D Event detected, write 1 to clear the flag Reset: 0 _H
COM	4	rw1c	Communication LDO overtemperature warning flag 0 _D Write 0 - no action 1 _D Event detected, write 1 to clear the flag Reset: 0 _H
nu	3	none	Reset: 0 _H
STDBY	2	rw1c	Standby LDO over load flag (overcurrent for more than 1ms) 0 _D Write 0 - no action 1 _D Event detected, write 1 to clear the flag Reset: 0 _H
UC	1	rw1c	uC LDO overtemperature warning flag 0 _D Write 0 - no action 1 _D Event detected, write 1 to clear the flag Reset: 0 _H
PREG	0	rw1c	Pre-regulator overtemperature warning flag 0 _D Write 0 - no action 1 _D Event detected, write 1 to clear the flag Reset: 0 _H

12.4.1.39 电压监测状态 *R2)

VMONSTAT Address: 26_H
Voltage monitor status *R2) Reset value: 00_H

7	6	5	4	3	2	1	0
TRK2ST	TRK1ST	VREFST	COMST	VCOREST	STBYST	nu	
r	r	r	r	r	r	none	

Field	Bits	Type	Description
TRK2ST	7	r	Tracker2 voltage ready status 0 _D Voltage is out of range or not enabled 1 _D Voltage is OK Reset: 0 _H
TRK1ST	6	r	Tracker1 voltage ready status 0 _D Voltage is out of range or not enabled 1 _D Voltage is OK Reset: 0 _H
VREFST	5	r	Voltage reference voltage ready status 0 _D Voltage is out of range or not enabled 1 _D Voltage is OK Reset: 0 _H
COMST	4	r	Communication LDO voltage ready status 0 _D Voltage is out of range or not enabled 1 _D Voltage is OK Reset: 0 _H
VCOREST	3	r	Core voltage ready status 0 _D Voltage is out of range or not enabled 1 _D Voltage is OK Reset: 0 _H
STBYST	2	r	Standby LDO voltage ready status 0 _D Voltage is out of range or not enabled 1 _D Voltage is OK Reset: 0 _H
nu	1:0	none	Reset: 0 _H

12.4.1.40 器件状态 *R2)

DEVSTAT

Device status *R2)

Address: 27_H

Reset value: 00_H

7	6	5	4	3	2	1	0
TRK2EN	TRK1EN	COMEN	STBYEN	VREFEN	STATE		
r	r	r	r	r	r		

Field	Bits	Type	Description
TRK2EN	7	r	Tracker2 voltage enable status 0 _D Voltage is disabled 1 _D Voltage is enabled Reset: 0 _H
TRK1EN	6	r	Tracker1 voltage enable status 0 _D Voltage is disabled 1 _D Voltage is enabled Reset: 0 _H
COMEN	5	r	Communication LDO enable status 0 _D Voltage is disabled 1 _D Voltage is enabled Reset: 0 _H
STBYEN	4	r	Standby LDO enable status 0 _D Voltage is disabled 1 _D Voltage is enabled Reset: 0 _H
VREFEN	3	r	Reference voltage enable status 0 _D Voltage is disabled 1 _D Voltage is enabled Reset: 0 _H
STATE	2:0	r	Device state 7 _D RESERVED 6 _D RESERVED 5 _D WAKE 4 _D STANDBY 3 _D SLEEP 2 _D NORMAL 1 _D INIT 0 _D NONE Reset: 0 _H



12.4.1.41 保护状态 *R1)

PROTSTAT

Protection status *R1)

Address: 28_H

Reset value: 01_H

7	6	5	4	3	2	1	0
KEY4OK	KEY3OK	KEY2OK	KEY1OK	nu		LOCK	
r	r	r	r	none		r	

Field	Bits	Type	Description
KEY4OK	7	r	Key4 ok status Information about validity of the 4th received protection key byte 0 _D Key not valid 1 _D Key valid Reset: 0 _H
KEY3OK	6	r	Key3 ok status Information about validity of the 3rd received protection key byte 0 _D Key not valid 1 _D Key valid Reset: 0 _H
KEY2OK	5	r	Key2 ok status Information about validity of the 2nd received protection key byte 0 _D Key not valid 1 _D Key valid Reset: 0 _H
KEY1OK	4	r	Key1 ok status Information about validity of the 1st received protection key byte 0 _D Key not valid 1 _D Key valid Reset: 0 _H
nu	3:1	none	Reset: 0 _H
LOCK	0	r	Protected register lock status 0 _D Access is unlocked 1 _D Access is locked Reset: 1 _H



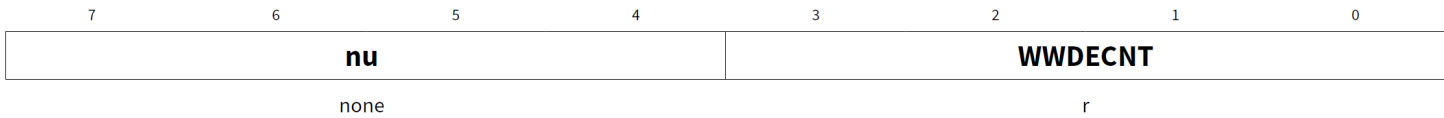
12.4.1.42 窗口看门狗状态 *R3)

WWDSTAT

Window watchdog status *R3)

Address: 29_H

Reset value: 00_H



Field	Bits	Type	Description
nu	7:4	none	Reset: 0 _H
WWDECNT	3:0	r	Window watchdog error counter status Reset: 0 _H



12.4.1.43 功能看门狗状态 0 *R3)

FWDSTAT0 Address: 2A_H
Functional watchdog status 0 *R3) Reset value: 30_H



Table with 4 columns: Field, Bits, Type, Description. Rows include nu, FWDRSPOK, FWDRSPC, and FWDQUEST with their respective bit ranges, types, and descriptions.



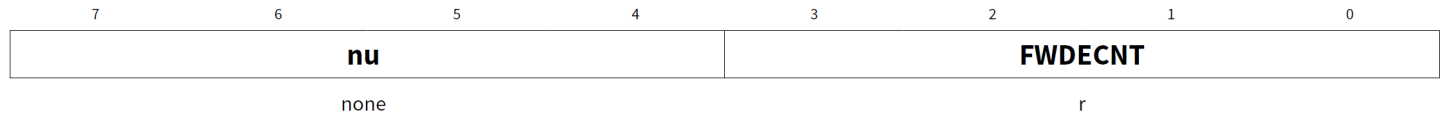
12.4.1.44 功能看门狗状态 1 *R3)

FWDSTAT1

Functional watchdog status 1 *R3)

Address: 2B_H

Reset value: 00_H



Field	Bits	Type	Description
nu	7:4	none	Reset: 0 _H
FWDECNT	3:0	r	Functional watchdog error counter value Reset: 0 _H

12.4.1.45 ABIST control 0 *R2)

ABIST_CTRL0

Address: 2C_H

ABIST control0 *R2)

Reset value: 00_H

7	6	5	4	3	2	1	0
STATUS				INT	SINGLE	PATH	START
r				rw	rw	rw	rwhc

Field	Bits	Type	Description
STATUS	7:4	r	ABIST global error status ABIST status information after requested operation has been performed, information shall only be considered valid, once START bit is cleared. Bits have different reset class than whole register. The Bits are reset according to *R1). 5 _D Selected ABIST operation performed with no errors 10 _D Selected ABIST operation performed with errors, check respective SELECT registers Reset: 0 _H
INT	3	rw	Safety path selection Select whether safe state or interrupt related comparator shall be tested. 0 _D safe state related comparators shall be tested 1 _D interrupt related comparators shall be tested Reset: 0 _H
SINGLE	2	rw	ABIST Sequence selection Select whether a single comparator shall be tested or all comparators in predefined sequence 0 _D Predefined sequence 1 _D Single comparator test Reset: 0 _H
PATH	1	rw	Full path test selection Select the path which should be covered by ABIST operation 0 _D Comparator only 1 _D Comparator and corresponding deglitching logic, shall be selected in case contribution to respective safety measure needs to be tested Reset: 0 _H
START	0	rwhc	Start ABIST operation The ABIST operation itself will be started. This bit is cleared after ABIST operation has been performed 0 _D Operation done 1 _D Start operation Reset: 0 _H



12.4.1.46 ABIST control 1 *R2)

ABIST_CTRL1 Address: 2D_H
ABIST control1 *R2) Reset value: 00_H

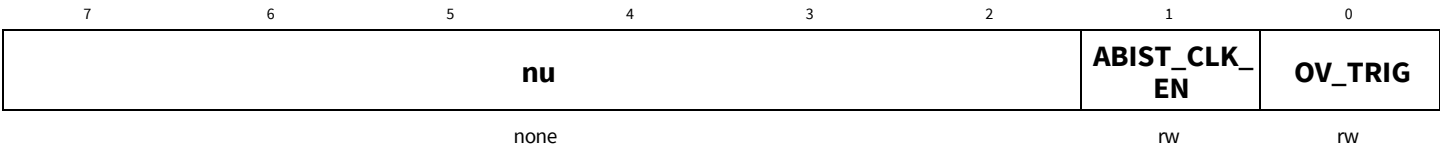


Table with 4 columns: Field, Bits, Type, Description. Rows include: nu (bits 7:2, none, Reset: 00_H), ABIST_CLK_EN (bit 1, rw, ABIST clock check enable), OV_TRIG (bit 0, rw, Overvoltage trigger for secondary internal monitor enable).

12 SPI (Serial Peripheral Interface)

12.4.1.47 ABIST select 0 *R2)

ABIST_SELECT0

ABIST select 0 *R2)

Address: 2E_H

Reset value: 00_H

7	6	5	4	3	2	1	0
TRK2OV	TRK1OV	VREFOV	COMOV	VCOREOV	STBYOV	UCOV	PREGOV
rwhu	rwhu	rwhu	rwhu	rwhu	rwhu	rwhu	rwhu

Field	Bits	Type	Description
TRK2OV	7	rwhu	Select TRK2 OV comparator for ABIST operation 0 _D Not selected 1 _D Selected, bit will be cleared upon successful ABIST operation on comparator, bit will be set in case of ABIST fail for this comparator Reset: 0 _H
TRK1OV	6	rwhu	Select TRK1 OV comparator for ABIST operation 0 _D Not selected 1 _D Selected, bit will be cleared upon successful ABIST operation on comparator, bit will be set in case of ABIST fail for this comparator Reset: 0 _H
VREFOV	5	rwhu	Select VREF OV comparator for ABIST operation 0 _D Not selected 1 _D Selected, bit will be cleared upon successful ABIST operation on comparator, bit will be set in case of ABIST fail for this comparator Reset: 0 _H
COMOV	4	rwhu	Select COM OV comparator for ABIST operation 0 _D Not selected 1 _D Selected, bit will be cleared upon successful ABIST operation on comparator, bit will be set in case of ABIST fail for this comparator Reset: 0 _H
VCOREOV	3	rwhu	Select Core voltage OV comparator for ABIST operation 0 _D Not selected 1 _D Selected, bit will be cleared upon successful ABIST operation on comparator, bit will be set in case of ABIST fail for this comparator Reset: 0 _H
STBYOV	2	rwhu	Select Standby LDO OV comparator for ABIST operation 0 _D Not selected 1 _D Selected, bit will be cleared upon successful ABIST operation on comparator, bit will be set in case of ABIST fail for this comparator Reset: 0 _H

(表格续下页.....)



(续)

Field	Bits	Type	Description
UCOV	1	rwhu	Select uC LDO OV comparator for ABIST operation 0 _D Not selected 1 _D Selected, bit will be cleared upon successful ABIST operation on comparator, bit will be set in case of ABIST fail for this comparator Reset: 0 _H
PREGOV	0	rwhu	Select Pre-regulator OV comparator for ABIST operation 0 _D Not selected 1 _D Selected, bit will be cleared upon successful ABIST operation on comparator, bit will be set in case of ABIST fail for this comparator Reset: 0 _H

12.4.1.48 ABIST select 1 *R2)

ABIST_SELECT1

ABIST select 1 *R2)

Address: 2F_H

Reset value: 00_H

7	6	5	4	3	2	1	0
TRK2UV	TRK1UV	VREFUV	COMUV	VCOREUV	STBYUV	UCUV	PREGUV
rwhu	rwhu	rwhu	rwhu	rwhu	rwhu	rwhu	rwhu

Field	Bits	Type	Description
TRK2UV	7	rwhu	Select TRK2 UV comparator for ABIST operation 0 _D Not selected 1 _D Selected, bit will be cleared upon successful ABIST operation on comparator, bit will be set in case of ABIST fail for this comparator Reset: 0 _H
TRK1UV	6	rwhu	Select TRK1 UV comparator for ABIST operation 0 _D Not selected 1 _D Selected, bit will be cleared upon successful ABIST operation on comparator, bit will be set in case of ABIST fail for this voltage Reset: 0 _H
VREFUV	5	rwhu	Select VREF UV comparator for ABIST operation 0 _D Not selected 1 _D Selected, bit will be cleared upon successful ABIST operation on comparator, bit will be set in case of ABIST fail for this comparator Reset: 0 _H
COMUV	4	rwhu	Select COM UV comparator for ABIST operation 0 _D Not selected 1 _D Selected, bit will be cleared upon successful ABIST operation on comparator, bit will be set in case of ABIST fail for this comparator Reset: 0 _H
VCOREUV	3	rwhu	Select VCORE UV comparator for ABIST operation 0 _D Not selected 1 _D selected, bit will be cleared upon successful ABIST operation on comparator, bit will be set in case of ABIST fail for this comparator Reset: 0 _H
STBYUV	2	rwhu	Select STBY UV comparator for ABIST operation 0 _D Not selected 1 _D selected, bit will be cleared upon successful ABIST operation on comparator, bit will be set in case of ABIST fail for this comparator Reset: 0 _H

(表格续下页.....)



(续)

Field	Bits	Type	Description
UCUV	1	rwhu	Select uC UV comparator for ABIST operation 0 _D Not selected 1 _D selected, bit will be cleared upon successful ABIST operation on comparator, bit will be set in case of ABIST fail for this comparator Reset: 0 _H
PREGUV	0	rwhu	Select pre-regulator UV comparator for ABIST operation 0 _D Not selected 1 _D Selected, bit will be cleared upon successful ABIST operation on comparator, bit will be set in case of ABIST fail for this comparator Reset: 0 _H



12 SPI (Serial Peripheral Interface)

12.4.1.49 ABIST select 2 *R2)

ABIST_SELECT2 Address: 30H
ABIST select 2 *R2) Reset value: 00H

Table with 7 columns: Bit 7 (BIASHI), Bit 6 (BIASLOW), Bit 5 (BG12OV), Bit 4 (BG12UV), Bit 3 (INTOV), Bit 2 (nu), Bit 1 (VBATOV). Each column has a default value (rwhu, none, etc.).

Table with 4 columns: Field, Bits, Type, Description. Rows include BIASHI, BIASLOW, BG12OV, BG12UV, INTOV, nu, and VBATOV with detailed descriptions of their functions and reset values.

(表格续下页.....)



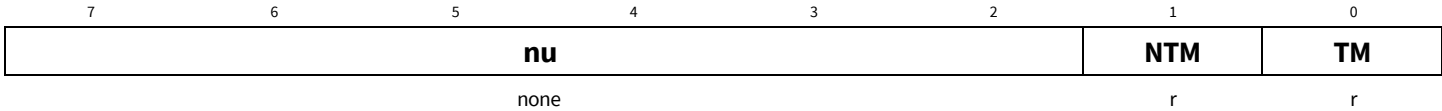
(续)

Field	Bits	Type	Description
VBATOV	0	rwhu	Select supply VSx overvoltage 0 _D Not selected 1 _D Selected, bit will be cleared upon successful ABIST operation on comparator, bit will be set in case of ABIST fail for this comparator Reset: 0 _H



12.4.1.50 Global testmode *R2)

GTM Address: 3F_H
Global testmode *R2) Reset value: 02_H

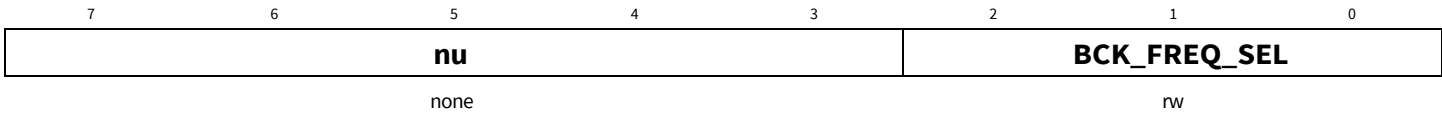


Field	Bits	Type	Description
nu	7:2	none	Reset: 00 _H
NTM	1	r	Test mode inverted status 0 _D Device is in test mode 1 _D Device is in normal mode Reset: 1 _H
TM	0	r	Test mode status 0 _D Device is in normal mode 1 _D Device is in test mode Reset: 0 _H

12.4.2 降压寄存器

12.4.2.1 降压开关频率变化 *R2)

BCK_FREQ_CHANGE Address: 31_H
Buck switching frequency change *R2) Reset value: 00_H



Field	Bits	Type	Description
nu	7:3	none	Reset: 00 _H
BCK_FREQ_SEL	2:0	rw	BUCK switching frequency change For hi and low switching mode. New value needs to be validated via data_valid procedure 7 _D Change buck frequency by approx. -4.5% from $f_{OSC,step-down}$ 6 _D Change buck frequency by approx. -3.0% from $f_{OSC,step-down}$ 5 _D Change buck frequency by approx. -1.5% from $f_{OSC,step-down}$ 4 _D No change 3 _D Change buck frequency by approx. +4.5% from $f_{OSC,step-down}$ 2 _D Change buck frequency by approx. +3.0% from $f_{OSC,step-down}$ 1 _D Change buck frequency by approx. +1.5% from $f_{OSC,step-down}$ 0 _D No Change Reset: 0 _H



12.4.2.2 降压频率展宽 *R2)

BCK_FRE_SPREAD Address: 32_H
Buck Frequency spread *R2) Reset value: 00_H

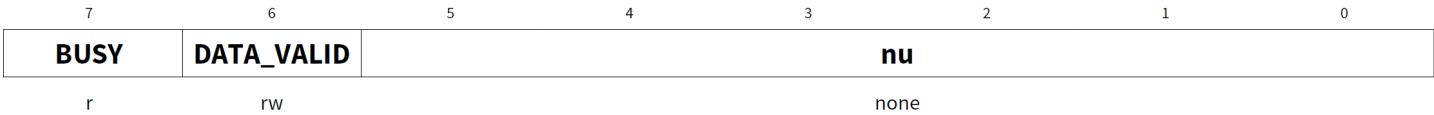


Field	Bits	Type	Description
FRE_SP_THR	7:0	rw	Spread spectrum Select the percentage of frequency spread(±). The mean frequency is reduced by the percentage as well keeping the maximum frequency at the nominal frequency selected by FRE. 00 _H No spread 2B _H 1% 55 _H 2% 80 _H 3% AA _H 4% D5 _H 5% FF _H 6% Reset: 00 _H



12.4.2.3 降压主控制 *R2)

BCK_MAIN_CTRL Address: 33_H
Buck main control *R2) Reset value: 00_H



Field	Bits	Type	Description
BUSY	7	r	DATA_VALID parameter update ready status 0 _D update done 1 _D update ongoing Reset: 0 _H
DATA_VALID	6	rw	Enable buck update Update Command to load new parameter for stepdown regulator (after configuration write 1 to update and write 0 after BUSY flag is cleared to proceed operation) 0 _D No action 1 _D Load new parameters Reset: 0 _H
nu	5:0	none	Reset: 00 _H

12.5 电气特性：SPI 信号

表 32 电气特性：SPI 信号

$V_{\text{VS}} = 6 \text{ V}$ 至 40 V ; $T_j = -40^\circ\text{C}$ 至 150°C , 所有电压均以地为参考, 正向电流表示流入该引脚 (除非另有说明)

Parameter	Symbol	Values			Unit	Note or Test Condition	Number
		Min.	Typ.	Max.			
Pin SCS, Chip Select							
Chip select valid high level	$V_{\text{SCS, hi}}$	3.6	–	–	V	V_{SCS} increasing, $V_{\text{QUC}} = 5.0 \text{ V}$	P_13.5.1
Chip select valid low level	$V_{\text{SCS, lo}}$	–	–	0.8	V	V_{SCS} decreasing, $V_{\text{QUC}} = 5.0 \text{ V}$	P_13.5.2
Chip select hysteresis	$V_{\text{SCS, hyst}}$	–	350	–	mV	$V_{\text{QUC}} = 5.0 \text{ V}$	P_13.5.3
Chip select valid high level	$V_{\text{SCS, hi}}$	2.0	–	–	V	V_{SCS} increasing, $V_{\text{QUC}} = 3.3 \text{ V}$	P_13.5.4
Chip select valid low level	$V_{\text{SCS, lo}}$	–	–	0.8	V	V_{SCS} decreasing, $V_{\text{QUC}} = 3.3 \text{ V}$	P_13.5.5
Chip select hysteresis	$V_{\text{SCS, hyst}}$	–	160	–	mV	$V_{\text{QUC}} = 3.3 \text{ V}$	P_13.5.6
Chip select pull-up current	I_{SCS}	-175	-120	–	μA	$V_{\text{SCS}} = 0 \text{ V}$	P_13.5.7
Chip select input capacitance	C_{SCS}	–	4	15	pF	1)	P_13.5.8
Pin SCL, Clock							
Clock signal valid high level	$V_{\text{SCL, hi}}$	3.6	–	–	V	V_{SCL} increasing, $V_{\text{QUC}} = 5.0 \text{ V}$	P_13.5.9
Clock signal valid low level	$V_{\text{SCL, lo}}$	–	–	0.8	V	V_{SCL} decreasing, $V_{\text{QUC}} = 5.0 \text{ V}$	P_13.5.10
Clock hysteresis	$V_{\text{SCL, hyst}}$	–	350	–	mV	$V_{\text{QUC}} = 5.0 \text{ V}$	P_13.5.11
Clock signal valid high level	$V_{\text{SCL, hi}}$	2.0	–	–	V	V_{SCL} increasing, $V_{\text{QUC}} = 3.3 \text{ V}$	P_13.5.12
Clock signal valid low level	$V_{\text{SCL, lo}}$	–	–	0.8	V	V_{SCL} decreasing, $V_{\text{QUC}} = 3.3 \text{ V}$	P_13.5.13
Clock hysteresis	$V_{\text{SCL, hyst}}$	–	160	–	mV	$V_{\text{QUC}} = 3.3 \text{ V}$	P_13.5.14
Clock signal pull-down current	I_{SCL}	–	150	330	μA	$V_{\text{SCL}} = V_{\text{QUC}}$	P_13.5.15
Clock input capacitance	C_{SCL}	–	4	15	pF	1)	P_13.5.16
Pin SDI, data input, MOSI							
Data input valid high level	$V_{\text{SDI, hi}}$	3.6	–	–	V	V_{SDI} increasing, $V_{\text{QUC}} = 5.0 \text{ V}$	P_13.5.17
Data input valid low level	$V_{\text{SDI, lo}}$	–	–	0.8	V	V_{SDI} decreasing, $V_{\text{QUC}} = 5.0 \text{ V}$	P_13.5.18
Data input hysteresis	$V_{\text{SDI, hyst}}$	–	350	–	mV	$V_{\text{QUC}} = 5.0 \text{ V}$	P_13.5.19

(表格续下页.....)

表 32 (续) 电气特性：SPI 信号

$V_{\text{VS}} = 6 \text{ V}$ 至 40 V ； $T_{\text{j}} = -40^{\circ}\text{C}$ 至 150°C ，所有电压均以地为参考，正向电流表示流入该引脚（除非另有说明）

Parameter	Symbol	Values			Unit	Note or Test Condition	Number
		Min.	Typ.	Max.			
Data input valid high level	$V_{\text{SDI, hi}}$	2.0	–	–	V	V_{SDI} increasing, $V_{\text{QUC}} = 3.3 \text{ V}$	P_13.5.20
Data input valid low level	$V_{\text{SDI, lo}}$	–	–	0.8	V	V_{SDI} decreasing, $V_{\text{QUC}} = 3.3 \text{ V}$	P_13.5.21
Data input hysteresis	$V_{\text{SDI, hyst}}$	–	160	–	mV	$V_{\text{QUC}} = 3.3 \text{ V}$	P_13.5.22
Data input signal pull-down current	I_{SDI}	–	150	330	μA	$V_{\text{SDI}} = V_{\text{QUC}}$	P_13.5.23
Data input capacitance	C_{SDI}	–	4	15	pF	1)	P_13.5.24

Pin SDO, data output, MISO

Data output high level	$V_{\text{SDO, hi}}$	2.3	–	–	V	$V_{\text{QUC}} = 3.3 \text{ V}$, $I_{\text{SDO}} = -7 \text{ mA}$	P_13.5.27
Data output low level	$V_{\text{SDO, lo}}$	–	–	0.7	V	$V_{\text{QUC}} = 3.3 \text{ V}$ $I_{\text{SDO}} = 5.5 \text{ mA}$	P_13.5.28
Data output rise time	$t_{\text{SDO, rise}}$	–	–	25	ns	1) $C_{\text{SDO, load}} = 50 \text{ pF}$	P_13.5.29
Data output fall time	$t_{\text{SDO, fall}}$	–	–	25	ns	1) $C_{\text{SDO, load}} = 50 \text{ pF}$	P_13.5.30
Data output tristate capacitance	$C_{\text{SDO, tri}}$	–	4	15	pF	1)	P_13.5.31
Data output tristate leakage	$I_{\text{SDO, tr, leaki}}$	-10	–	10	μA	–	P_13.5.32

1) 由设计规定，不进行生产测试。

13 中断生成

实现了专用中断生成功能块，它处理来自独立源的请求以生成中断。不同的请求如下：

- 状态机情况：
 - 请求的状态转换尚未成功执行，例如：由于 LDO_μC 电流消耗高于所选阈值水平，无法进入 SLEEP 状态。
 - 已成功执行从 SLEEP 到唤醒状态 (WAKE) 的请求状态转换，即系统已成功进入唤醒状态。微控制器仅可在系统生成中断事件后发送（额外的）SPI 发出的指令。中断事件的目的是通知微控制器状态转移已成功执行，并且系统能够以 SPI 全速进行 SPI 通信。
- 看门狗：如果看门狗未被正确服务，并且配置方式允许服务错误发生（例如，将错误计数器阈值配置为大于 2），则会产生中断请求。在这种情况下，只有当由于该错误导致错误计数器阈值未超过时，才会产生中断。
- 错误引脚监控：如果错误引脚监控模块检测到错误，并且其配置允许该错误在一定时间内存在（启用了恢复延迟动作），则会产生中断请求。在这种情况下，如果错误监控检测到错误，并且恢复延迟尚未到期，则会请求中断。
- 监测功能块，根据章节 10.4 中描述的定义的系統反应生成中断请求。
- 通信 LDO 的过温警告及过温关断
- 基准电压或待机 LDO 的过流状态
- SPI 发生错误时的 SPI block 阻断
- ABIST 操作已完成
- 受保护配置中的双位错误

会产生一个中断，用于通知连接的微控制器已发生非严重的系统状况。这样，微控制器就能根据中断源执行适当的操作。只有一个中断线，默认情况下为高电平。默认情况下，所有内部中断源都是启用的，并且无法禁用。

内部中断条件发生后，中断线会被拉低至至少 t_{INT} （中断最小脉冲宽度），以此发出中断信号。如果所有 IF 寄存器标志通过 SPI 操作清除后，中断线将被驱动为高电平，其时刻不得早于 t_{INT} 超时，但必须晚于 t_{INTTO} 到期之前。

特殊情况：

- 如果通过将 INT 拉低来发出中断信号，并且微控制器在 t_{INTTO} 内未清除所有中断状态标志，则 INT 将保持低电平直到 t_{INTTO} 到期，但不会生成额外的中断。有关未处理的中断事件的信息可以通过 INTMISS 状态标志获得。每次中断线被拉低时，该状态标志都会被清除。
- 如果通过将 INT 拉低来发出中断信号，而在微控制器读取中断位之后，又有其它位在 IF 寄存器中被置位，并且微控制器仍使用已过期的信息来清除中断标志，则中断线将保持低电平直到 t_{INTTO} 到期，但不会生成额外的中断。有关未处理的中断事件的信息可通过状态标志获取。
- 将中断线释放到高电平后，中断线将保持高电平至少 t_{INTTO} ，无论是否发生任何其他内部中断条件。如果在延迟超时 (t_{INTTO}) 期间发生新中断事件，则将通过在延迟超时 t_{INTTO} 之后生成新脉冲来发出信号。

所有中断源只能通过“写入 1 清除”(w1c) SPI 操作来清除，即向中断寄存器中的相应位写入逻辑 1 将清除该事件。

中断事件以两级方式组织。第一级（中断标志）提供有关不同组中断事件的信息。第二级（状态标志）提供关于

13 Interrupt generation

哪些特定事件生成了中断的详细信息。要提供中断服务，只需写下中断标志寄存器 (IF)。状态标志寄存器仅用于提供详细信息。但是，所有状态标志也可以被清除。

推荐中断服务程序

微控制器检测到中断后，推荐的中断服务程序需要通过SPI执行以下任务：

- 1. 读取中断标志寄存器 (IF)
 - 2. 根据首次读取的信息读取相应的状态标志寄存器
 - 3. 根据中断标志和状态标志采取适当的措施
 - 4. 将状态标志寄存器写回以清除特定的状态标志
 - 5. 将中断标志寄存器 (IF) 中先前读取的值写回，以清除中断标志
 - 6. 建议：再次读取中断标志寄存器 (IF)，检查是否发生另一次中断事件。如果再次发生中断事件，则从步骤 2 继续。
 - 7. 写回中断寄存器 (IF) 将释放中断线 INT，前提是所有位都已清除（中断时序要求将得到满足）。
- 只有在微控制器的复位信号释放后才会产生中断。当微控制器的复位线仍然激活时发生的中断事件不会在中断线上发出信号，但该事件的特定状态位是置位。

中断线的具体时序信息如下图所示：

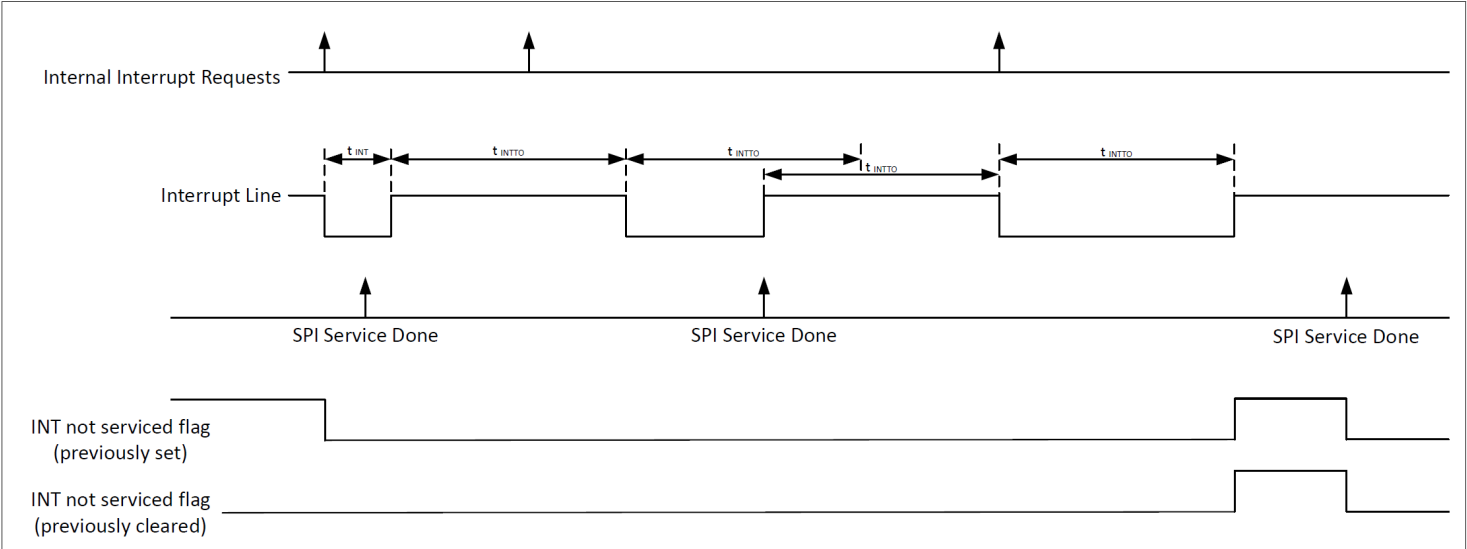


图 75 中断时序

表 33 电气特性：中断时序

VVS = 6 V 至 40 V；Tj = -40°C 至 150°C，所有电压均以地为参考，正向电流表示流入该引脚（除非另有说明）

Parameter	Symbol	Values			Unit	Note or Test Condition	Number
		Min.	Typ.	Max.			
Minimum interrupt pulse width	tINT,min	90	100	150	μs	–	P_14.1
Interrupt time out	tINTTO	270	300	350	μs	–	P_14.2

在未清除所有中断状态标志时系统行为的详细信息如下图所示：

13 Interrupt generation

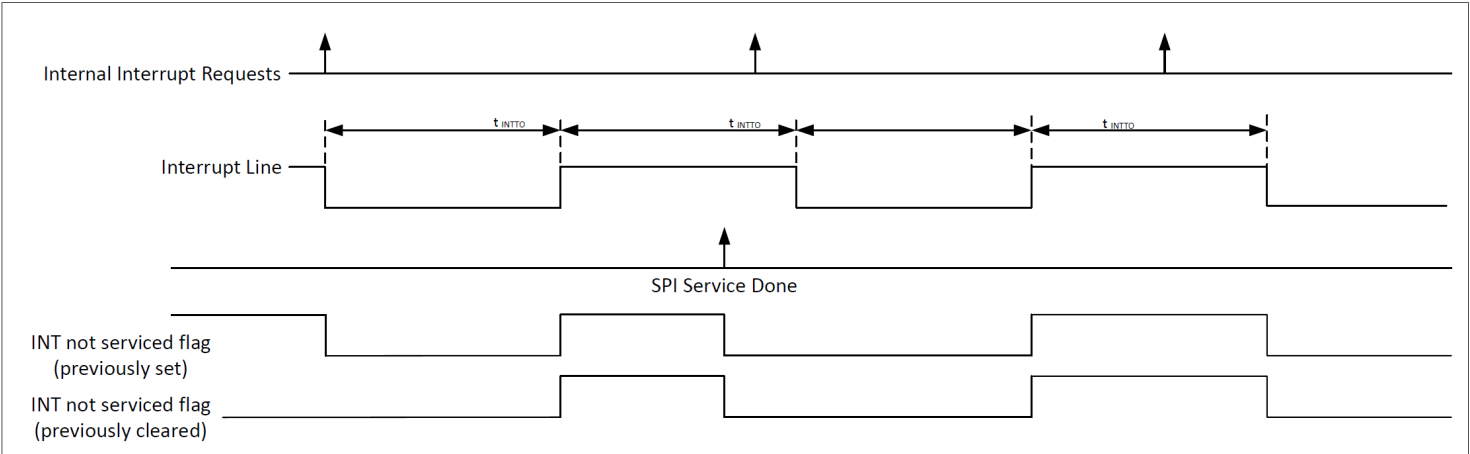


图 76 未及时服务情况下的中断时序

如果内部状态标志是置位，则无论该状态标志当前的状态如何，总是会生成中断。例如，如果首次监测到 SPI 上出现奇偶校验错误，标志 SPISF.PARE 将被置位，并产生中断。此标志也会置位相应的 SPI 中断标志（IF.SPI）。若标志 IF.SPI 未清除，但第二个 SPI 发生奇偶校验错误，无论如何都会生成新的中断。生成新的中断将实现上方两个图所示的时序。

14 窗口看门狗和功能看门狗

14.1 窗口看门狗和功能看门狗介绍

该器件中实现了两种独立的看门狗：

- 一个独立的 **WWD**，具有可编程的输入触发信号（可通过引脚 WDI 触发，或通过向 **WWDSCMD** 寄存器发送 **SPI** 指令触发）
- 一个独立的 **FWD** 或问答式看门狗

两个看门狗具有独立的定时器和错误计数器，因此可以并行运行。

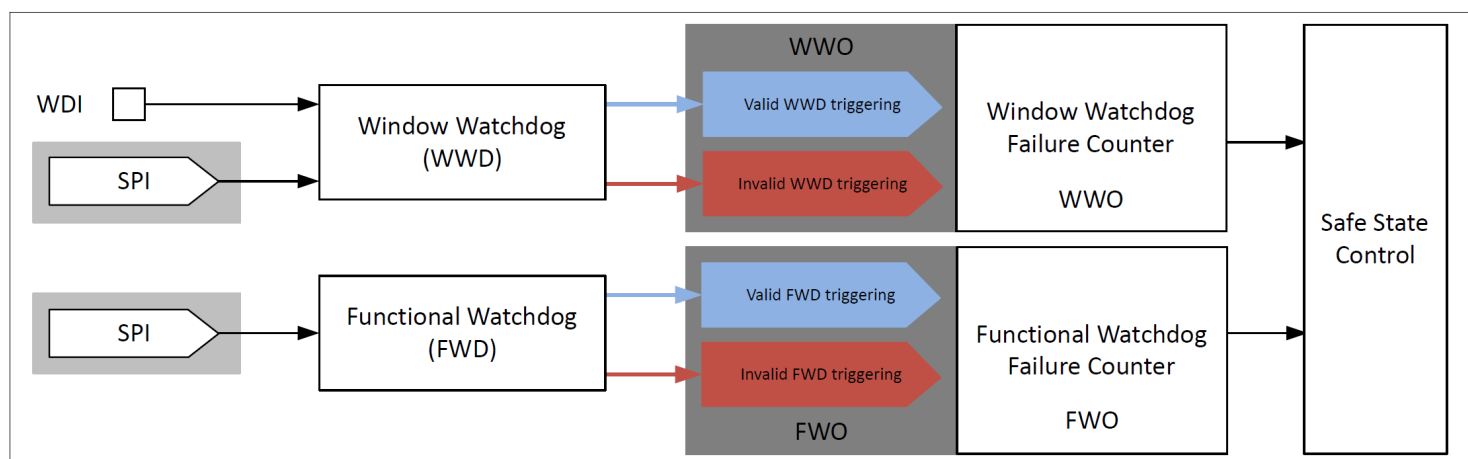


图77 窗口看门狗和功能看门狗

说明：

- 功能看门狗与窗口看门狗不同步，两者完全独立
- 功能看门狗和窗口看门狗可以独立激活和关闭
- 看门狗的触发结果（有效或无效触发）由相关的看门狗故障计数器独立监控
- 窗口看门狗的状态是 WWO，其值可能为“有效 WWD 触发”或“无效 WWD 触发”
- 功能看门狗的状态为 FWO，其值可能为“有效 FWD 触发”或“无效 FWD 触发”
- 为了更好地理解这两个看门狗的设置对安全状态控制的影响，请参阅安全状态控制这一章节

14.2 窗口看门狗

运行原理

窗口看门狗集成在器件中用于监控微控制器。被监控的微控制器必须在“开窗”期间周期性的触发。根据配置，触发可以包括 WDI 引脚上的下降沿或通过 SPI 命令写入 WWDSCMD 寄存器。该触发将终止“开窗”。看门狗输出会向 WWD 故障计数器指示“有效”或“无效” WWD 触发。如果触发“有效”，则会启动“关窗”。如果在“开窗”期间没有触发，或者在“关窗”期间没有触发，则“看门狗”输出会向 WWD 故障计数器指示“无效 WWD 触发”，并启动一个新的“开窗”。

如果微控制器无法以正确的时序触发窗口看门狗，则假定微控制器无法按预期工作。器件将在发生多次故障事件时通知微控制器，并对其进行复位。

配置

窗口看门狗的以下参数可以在 INIT、NORMAL 和 WAKE 状态下配置：

- 触发可以设置为引脚触发（引脚 WDI）或通过 SPI 指令（寄存器 WWDSCMD）触发。默认配置为通过 SPI 触发
- 可以通过 SPI 根据应用需求修改窗口的开启和关闭长度。（结合周期时间 WDCYC 以及打开 OW 的循环次数和关闭 CW 窗口的周期数）
- 窗口看门狗故障计数器溢出的阈值可以通过 SPI 定义。

初始化

一旦复位输出引脚 ROT 从低电平变为高电平，窗口看门狗就会激活并进入 INIT 状态。激活后，看门狗会打开一个持续时间为 t_{LOW} 的所谓“长开窗”。在“长开窗”期间，窗口看门狗期望有效触发，如果保留默认配置该触发必须通过 SPI 提供，则任何发送至看门狗触发引脚 WDI 的信号都会被忽略。这样设计是为了避免微控制器在启动和初始化过程中，其输出端可能产生的毛刺导致对 WDI 引脚的误触发。

微控制器可以在“长开窗”期间更改窗口看门狗的配置，以更改触发方式的选择以及“开窗”和“关窗”的时间。重新配置后，窗口看门狗将使用新配置重新启动。“开窗”将相应启动，并期望由所选触发输入产生一次有效触发。

如果在“长开窗”期间没有发生有效的触发或配置看门狗，则窗口看门狗会识别出“无效 WWD 触发”。如果 INIT 计时超时且存在无效 WWD 触发，则会发出所谓的“软复位”。在所谓的“软复位”之后，窗口看门狗打开一个新的“长开窗”。这没有用中断来表示。“长开窗”的重复次数是有限的。如果在第二个“长开窗”内窗口看门狗没有被正确触发，则会发生一次正常复位或“硬”复位，这意味着引脚 ROT 变为零，后级稳压器输出电压将被关闭。在连续第三次“长开窗”没有有效触发后，状态机将使器件进入“FAILSAFE 状态”（详细信息请参阅状态机章节）。

正常工作

在“长开窗”期间内接收到触发信号将终止“长开窗”并启动“关窗”。“关窗”具有固定的操作持续时间，在此期间不会发生无效触发。正常运行期间，“关窗”内不允许接收到任何有效的触发信号。如果在“关窗”内接收到有效的触发信号，窗口看门狗会识别为“无效 WWD 触发”。“关窗”将因这次无效触发而终止，并启动一个“开窗”。

一次“无效 WWD 触发”将使窗口看门狗故障计数增加 2。这由中断表示。

“关窗”结束后，窗口看门狗开始“开窗”。

在“开窗”期间内，会预期收到有效的触发信号。如果在“开窗”内收到有效的触发信号，看门狗将终止“开窗”

14 Window watchdog and functional watchdog

并启动“关窗”。“有效 WWD 触发”将在窗口看门狗故障计数器大于零时使其减一，这一操作不会通过中断指示。如果在“开窗”期间未收到有效触发信号，窗口看门狗会识别为“无效 WWD 触发”，并将窗口看门狗故障计数增加 2，同时开始一个新的“开窗”。这由中断表示。

正常运行时，只要收到有效的触发信号，看门狗就会在“开窗”和“关窗”之间循环切换。

窗口看门狗输出 WWO

窗口看门狗输出 WWO 是一个内部信号：它连接到安全窗口看门狗故障计数器。WWO 的值为“有效 WWD 触发”或“无效 WWD 触发”。

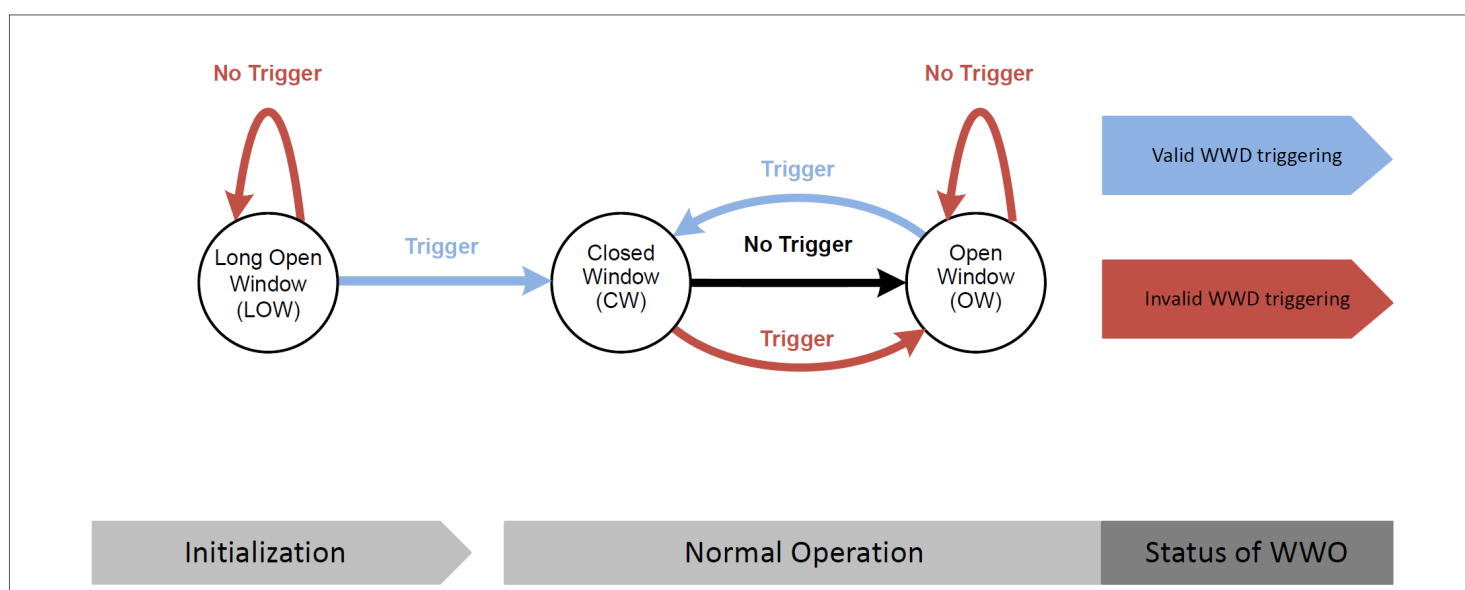


图 78 看门狗状态图

说明：

- “触发”可以用 SPI 命令写入 **WWDSCMD** 寄存器或在 WDI 引脚上一个有效的看门狗触发
- 如果“长开窗”中没有“触发”，则视为“无效 WWD 触发”，看门狗将再次打开一个新的“长开窗”
- 在“长开窗”内触发的“触发器”被视为“有效 WWD 触发”，看门狗会关闭“长开窗”并打开“关窗”
- 在“关窗”期间发生的“触发”被视为“无效 WWD 触发”
- “关窗”期间发生“无触发”事件时，在“关窗”结束后，看门狗会进入“开窗”
- “开窗”期间内的“触发”被视为“有效 WWD 触发”，看门狗会关闭“开窗”并打开“关窗”
- “开窗”期间内的“无触发”被视为“无效 WWD 触发”

窗口看门狗触发引脚 WDI

看门狗输入引脚 WDI 集成了一个下拉电流 I_{WDI} 。看门狗输入 WDI 可以在“关窗”内或随后的“开窗”内变为高电平。

WDI 引脚上有效触发信号

看门狗输入 WDI 以周期 T_{SAM} 进行周期性采样。有效的触发信号是来自 $V_{WDI,high}$ 的下降沿至 $V_{WDI,lowo}$ 。为了提高对 WDI 输入噪声或毛刺的抗扰度，至少需要两个连续的高电平采样，然后是有效触发信号需要两个低电平采样点，

14 Window watchdog and functional watchdog

当第二个连续采样点测量到低电平信号时，即认为触发有效。例如，如果 WDI 引脚上触发脉冲的前三个采样点（两个高电平和一个低电平）位于“关窗”内，而只有第四个采样点（第二个低电平采样点）位于“开窗”内，则看门狗输出 WWO 将指示“有效 WWD 触发”。

WDI 引脚无效触发

在"开窗" 期间未检测到触发信号，或在"关窗" 期间检测到触发信号，均视为无效触发。在“开窗”期间未收到有效触发后，或在“关窗”期间一旦检测到触发信号，看门狗输出 WDO 会立即指示“无效触发”。

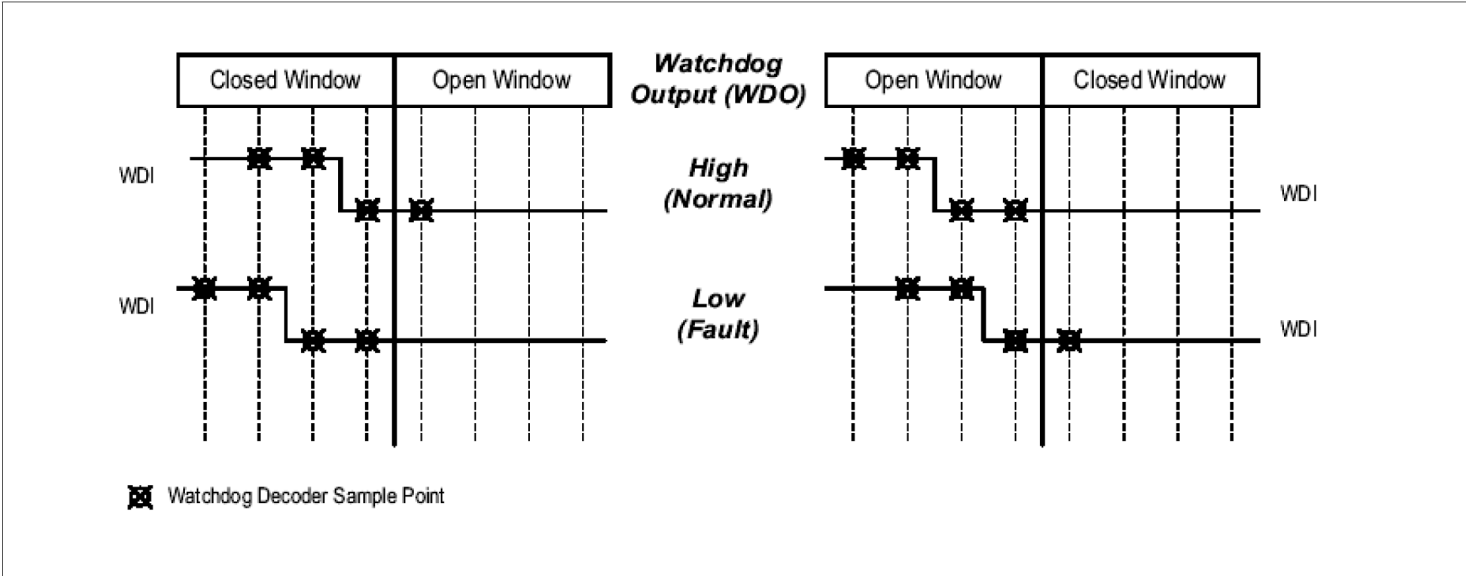


图 79 引脚 WDI 处的有效和无效触发脉冲

14.2.1 窗口看门狗时序图

14.2.1.1 正常操作：正确触发

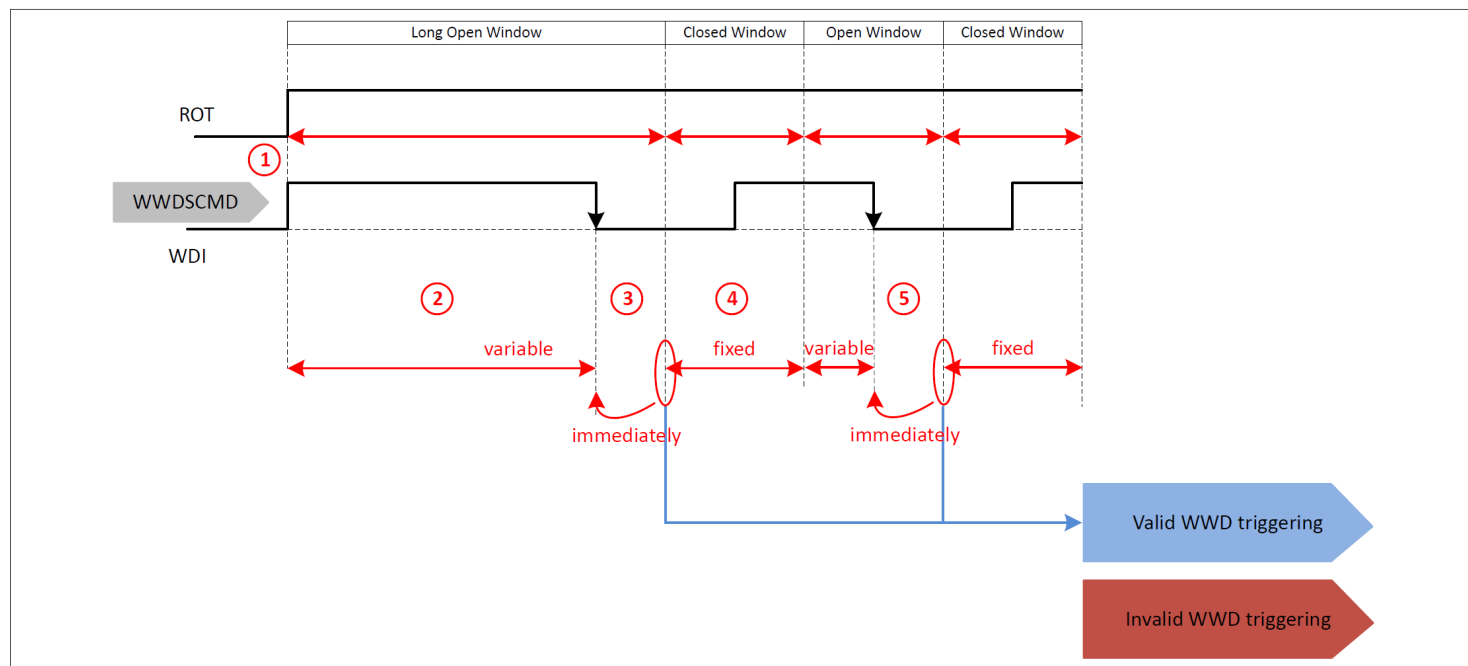


图 80 正常操作：正确触发

1. 如果 ROT（监测微控制器相关电压）的复位输出为高电平，则“长开窗”在 INIT 状态下启动。如果窗口在 SLEEP 状态下被禁用，则第一个开窗在从 SLEEP 状态转换到 WAKE 状态时启动，这由“中断”指示。第一个窗口的持续时间取决于配置的周期时间，为 600 ms ($WDCYC = 1$) 或 60 ms ($WDCYC = 0$)。
2. 在“长开窗”期间，预计 WWD 将根据配置的触发选择进行有效触发。“长开窗”的最长时间是固定的，但一旦识别到“有效 WWD 触发”，窗口就会终止。
3. 窗口看门狗现在将进入“关窗”。收到第一个有效触发信号后，器件将被允许从 INIT 状态变为 NORMAL 状态，或从 WAKE 状态变为 NORMAL 状态。
4. “关窗”具有固定的持续时间 $t_{WD,CW}$ （可通过 SPI 指令决定）。它在有效的触发信号发出后立即启动，该触发信号会关闭“开窗”或“长开窗”。在“关窗”期间，不应施加任何触发信号。WDI 引脚上的低电平到高电平的转换不会被检测到，也不会导致触发事件。
5. 有效触发信号会立即终止“开窗”，因此“开窗”的时间是可变的，并取决于微控制器安排的触发时间。这被算作“有效 WWD 触发”。

14.2.1.2 故障操作：初始化后打开窗口中无触发信号

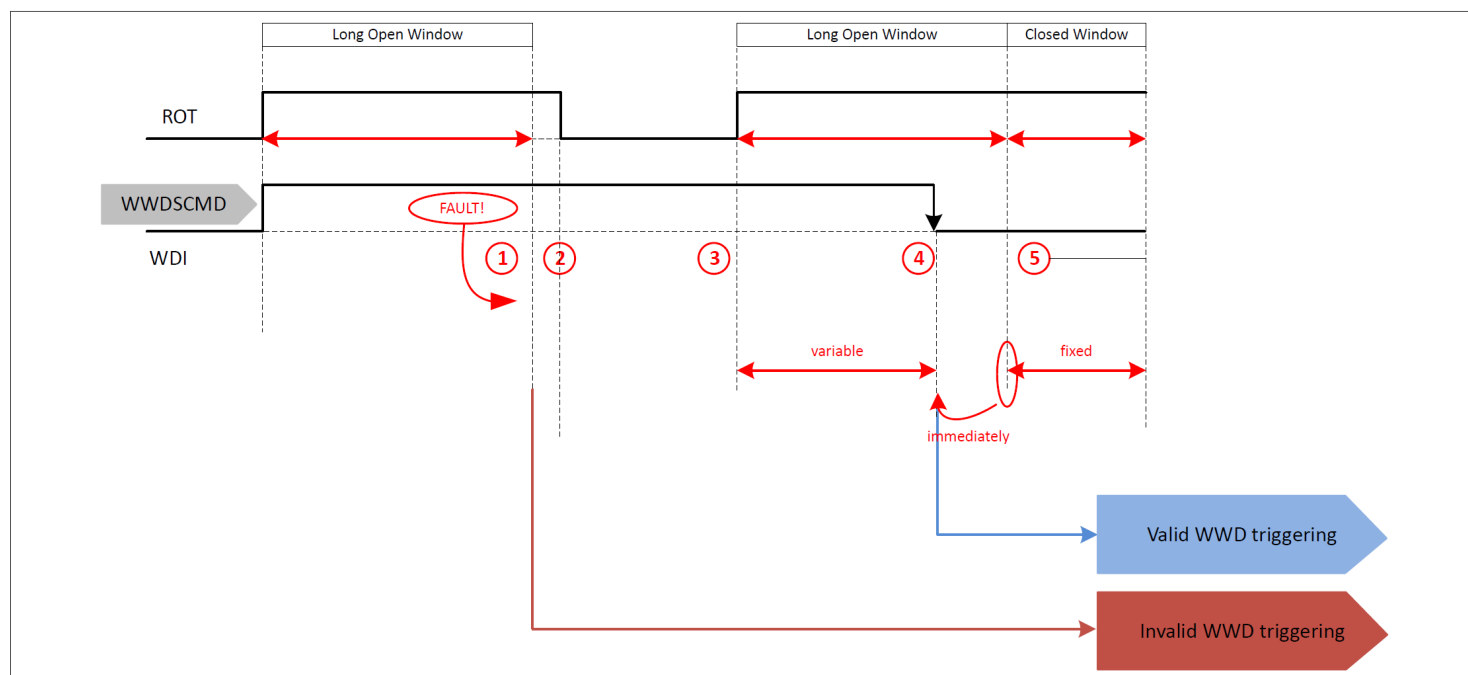


图 81 故障操作：初始化后打开窗口中无触发信号

1. 初始化超时和长开窗（LOW）具有相同的典型长度。通常情况下，这会导致初始化超时在 LOW 之前或同时完成，从而跳过中断事件 (1)。即使由于给定的精度，在“长开窗”内缺少有效触发可能会导致低电平结束后发生中断事件，从而使窗口看门狗故障计数器增加 2。
2. INIT 状态定时器第一次超时。由于在 INIT 状态中未按预期收到窗口看门狗的有效触发，将会执行所谓的“软复位”（Soft-Reset）：ROT 引脚会被拉低至零，但后级稳压器的输出电压将保持不变。
附加信息：如果在下一次 INIT 相的下一个“长开窗”内窗口看门狗未能正确触发，则会发出“硬复位”，这意味着引脚 ROT 将变为零，输出电压也将关闭。在 INIT 过程中第三次无效触发后，器件将进入 FAILSAFE 状态。
3. 在所谓的“软复位”之后，引脚 ROT 在上电复位延时时间 t_{rd} 后再次变高，并且看门狗打开一个“长开窗”，使微控制器有机会触发并同步到看门狗周期。
4. 有效的触发事件会终止“长开窗”，这使得“长开窗”的持续时间变为可变的，并取决于触发事件。这被计为“有效 WWD 触发”，并开始“关窗”。窗口看门狗故障寄存器将减一，且不会发出中断。
5. 接下来“关窗”持续时间为 $t_{WD,CW}$ 。在此时间内触发将被视为“无效 WWD 触发”。

14.2.1.3 故障操作：稳态下打开窗口无触发

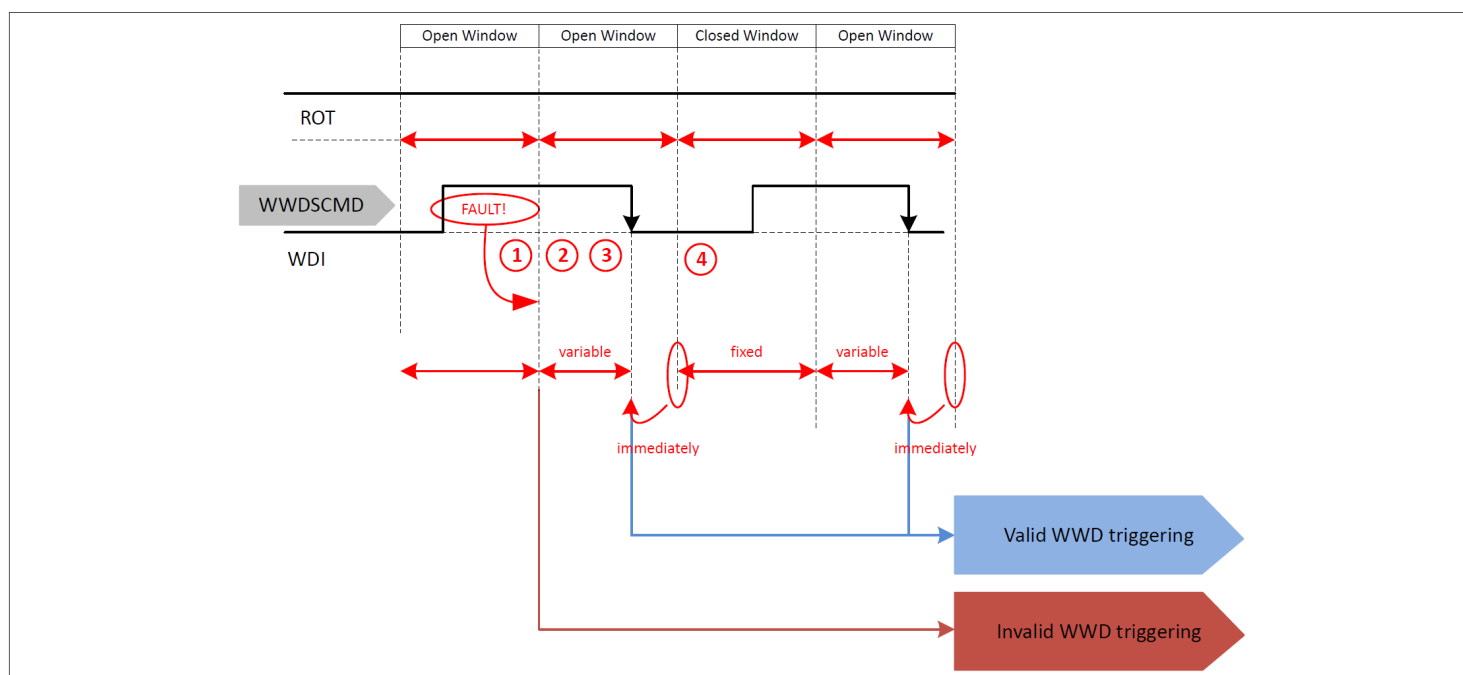


图 82 故障操作：稳态下打开窗口无触发

1. "开窗" 内缺少有效触发，导致窗口结束后出现"无效 WWD 触发"。该事件以中断表示，窗口看门狗故障计数器增加2。
2. 检测到“无效 WWD 触发”后，看门狗将启动一个新的“开窗”，持续时间为 $t_{WD,OW}$ ，让微控制器有机会触发并同步看门狗周期。
3. 一次有效的触发会终止“开窗”，这使得“开窗”的持续时间变化，并取决于触发。这被计为一次“有效 WWD 触发”，并启动“关窗”。窗口看门狗故障计数器将减 1 并且不会生成中断。

补充信息：如果在“开窗”中多次发生“无效 WWD 触发”，则窗口看门狗故障计数器将再次加 2，直到达到可配置的阈值。此时将产生复位。

4. 接下来"关窗"持续时间为 $t_{WD,CW}$ 。在此时间内触发将被视为"无效 WWD 触发"。

ROT 的行为取决于 ΣWWO 的值。在上面的例子中，假设无效触发不会导致超出 ΣWWO 阈值。

14.2.1.4 故障操作：初始化后关闭窗口中的错误触发

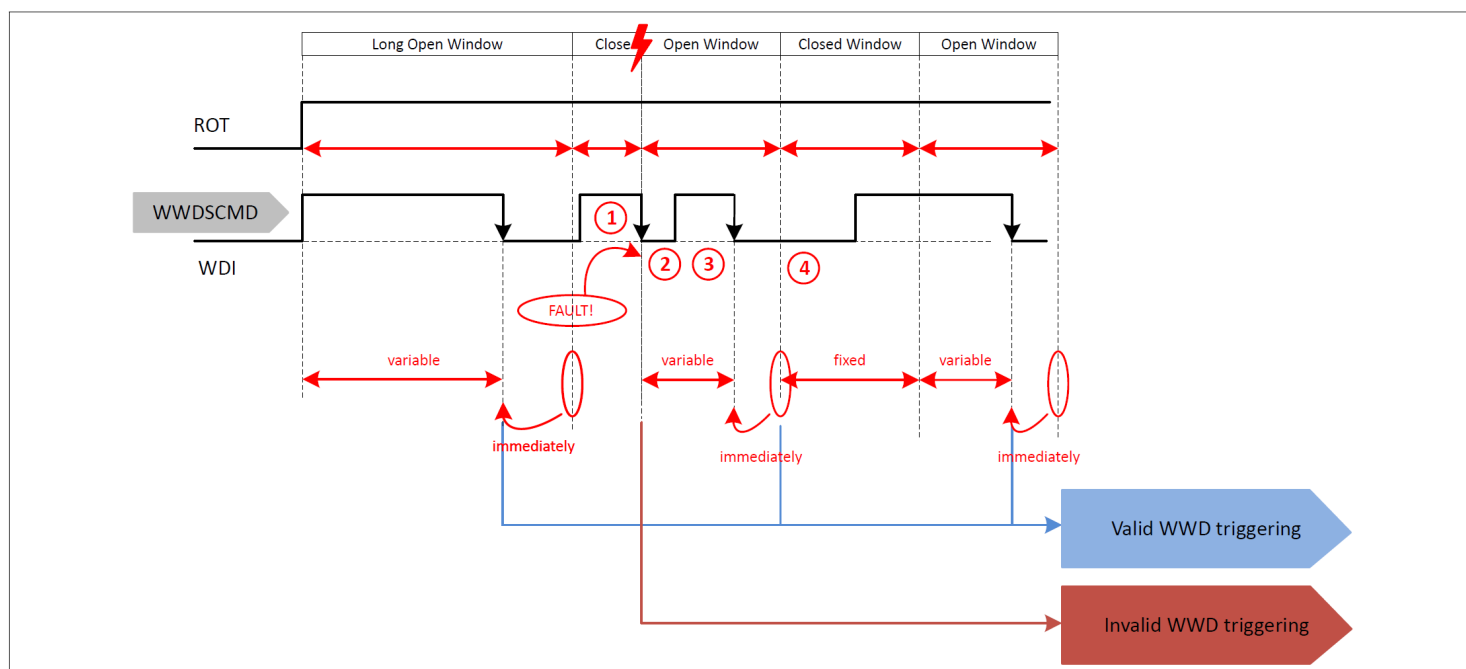


图 83 故障操作：初始化后关闭窗口中的错误触发

1. 在“关窗”期间触发的事件会显示为“无效 WWD 触发”。此事件由中断指示，并且窗口看门狗故障计数器加 2。
2. “关窗”会随着“无效 WWD 触发”而关闭。它原本会持续 $t_{WD,CW}$ 。错误触发会终止“关窗”，并启动一个“开窗”，以便微控制器有机会与窗口看门狗周期同步。
3. 在此“开窗”内，预期会发生有效的触发事件。有效的触发事件会终止“开窗”，因此“开窗”的持续时间是可变的并且取决于触发时刻。这被计为一次“有效 WWD 触发”，并启动一个“关窗”。窗口看门狗故障计数器将减 1，且不会产生中断。
4. 接下来“关窗”持续时间为 $t_{WD,CW}$ 。在此时间内触发将被视为“无效 WWD 触发”。

ROT 的行为取决于 ΣWWO 的值。在上面的例子中，假设无效触发不会导致超出 ΣWWO 阈值。

14.2.1.5 故障操作：稳态下关闭窗口中的错误触发

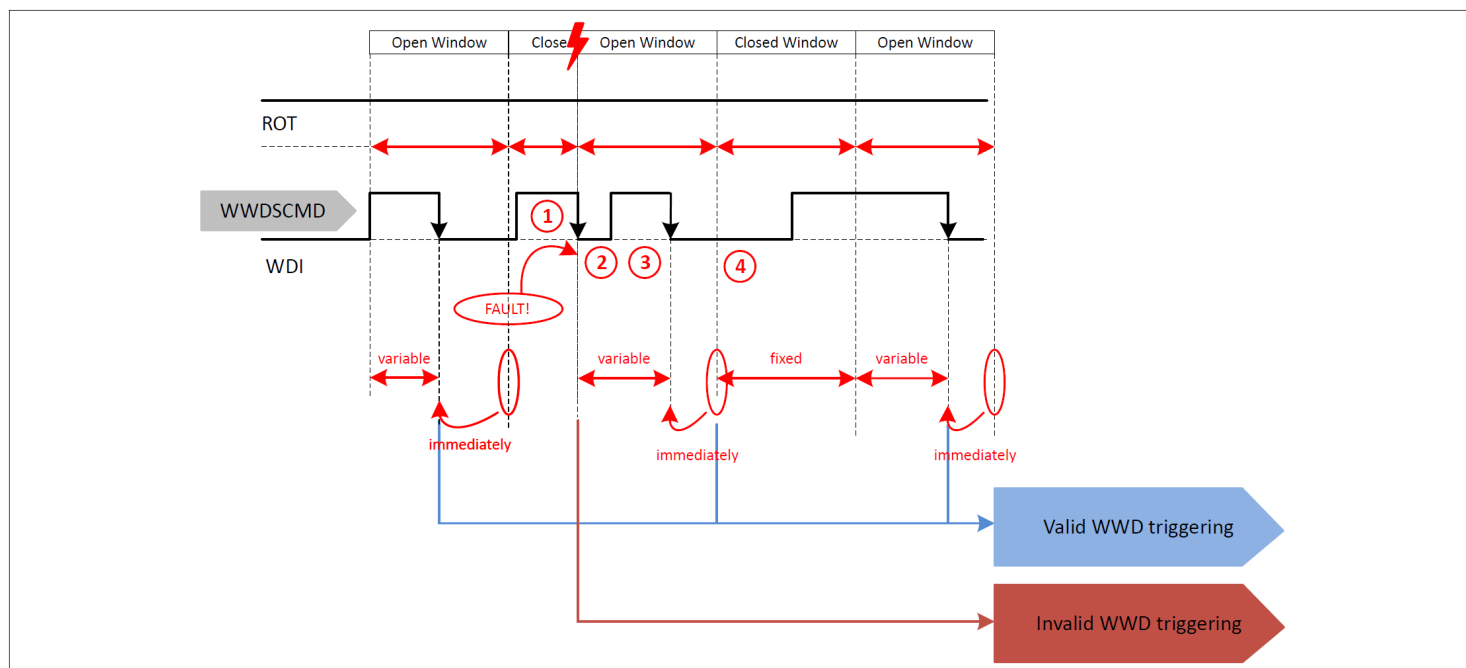


图 84 故障操作：关闭窗口中的错误触发

1. 在“关闭窗口”期间触发的事件会显示为“无效 WWD 触发”。此事件由中断指示，并且窗口看门狗故障计数器加 2。
2. “关闭窗口”会随着“无效 WWD 触发”而关闭。它原本会持续 $t_{WD,CW}$ 。错误触发会终止“关闭窗口”，并启动一个“开窗”，以便微控制器有机会与窗口看门狗周期同步。
3. 在此“开窗”内，预期会发生有效的触发事件。有效的触发事件会终止“开窗”，因此“开窗”的持续时间是可变的并且取决于触发时刻。这被计为一次“有效 WWD 触发”，并启动一个“关闭窗口”。窗口看门狗故障计数器将减 1，且不会产生中断。
4. 接下来“关闭窗口”持续时间为 $t_{WD,CW}$ 。在此时间内触发将被视为“无效 WWD 触发”。

引脚 ROT 的行为取决于 ΣWWO 的值。在上面的例子中，假设无效触发不会导致超出 ΣWWO 阈值。

14.2.2 电气特性：窗口看门狗

表 34 电气特性：窗口看门狗

$V_{\text{VS}} = 6 \text{ V}$ 至 40 V ； $T_{\text{J}} = -40^{\circ}\text{C}$ 至 150°C ，所有电压均以地为参考，正向电流表示流入该引脚（除非另有说明）

Parameter	Symbol	Values			Unit	Note or Test Condition	Number
		Min.	Typ.	Max.			
General timing parameters <i>WWD</i> and <i>FWD</i>							
Watchdog cycle time	t_{CYCLE}	94	100	106.5	μs	Selectable by <i>SPI</i> command	P_15.2.2.1
Watchdog cycle time, default setting	t_{CYCLE}	940	1000	1065	μs	Selectable by SPI command	P_15.2.2.2
Long open window time	t_{LOW}	564	600	639	ms	–	P_15.2.2.3
Watchdog input <i>WDI</i>							
Watchdog sampling time	t_{SAM}	188	200	213	μs	–	P_15.2.2.4
WDI valid high level	$V_{\text{WDI, high}}$	3.6	–	–	V	V_{WDI} increasing, $V_{\text{QUC}} = 5.0 \text{ V}$	P_15.2.2.5
WDI valid low level	$V_{\text{WDI, low}}$	–	–	0.8	V	V_{WDI} decreasing, $V_{\text{QUC}} = 5.0 \text{ V}$	P_15.2.2.6
WDI hysteresis	$V_{\text{WDI, hyst}}$	–	350	–	mV	$V_{\text{QUC}} = 5.0 \text{ V}$	P_15.2.2.7
WDI valid high level	$V_{\text{WDI, high}}$	2.0	–	–	V	V_{WDI} increasing, $V_{\text{QUC}} = 3.3 \text{ V}$	P_15.2.2.8
WDI valid low level	$V_{\text{WDI, low}}$	–	–	0.8	V	V_{WDI} decreasing, $V_{\text{QUC}} = 3.3 \text{ V}$	P_15.2.2.9
WDI hysteresis	$V_{\text{WDI, hyst}}$	–	160	–	mV	$V_{\text{QUC}} = 3.3 \text{ V}$	P_15.2.2.10
WDI pull-down current	I_{WDI}	–	150	330	μA	$V_{\text{WDI}} = V_{\text{QUC}}$	P_15.2.2.11
WDI input capacitance	C_{WDI}	–	4	15	pF	¹⁾	P_15.2.2.12

1) 由设计规定，不进行生产测试。

14.3 功能看门狗

运行原理

器件内集成了功能看门狗或问题/应答看门狗，用于监控微控制器。在稳定状态下，会生成一个问题（从表中取出），所谓的心跳计数从零开始计数。心跳计数累加，直到心跳周期结束。心跳周期的持续时间设置为默认值，但可以通过 SPI 命令进行调整。问题由 4 位组成，期望的答案由 4 个响应组成，每个响应为 8 位。必须在心跳周期结束前发送这 4 个响应。最后一个响应应写入同步响应寄存器，以复位心跳计数器。

初始化

当器件第一次上电时，功能看门狗功能默认关闭。它可以通过 SPI 写入 WDCFG0.FWDEN 来使能。

配置

功能看门狗可以配置为 INIT、NORMAL 和 WAKE 状态。"配置"意味着：

- 根据应用需求，通过 SPI 指令修改心跳周期长度。（该长度结合循环时间 WDCYC 以及心跳周期数 WDHBTp）
- 功能性门狗故障计数器溢出的阈值可以通过 SPI 定义。心跳周期基于表 34 中规定的周期时间 tCYCLEo

正常工作

问题出自表 35，正确答案列在同一行。在发送响应之前，响应序列的顺序必须保持不变，可从响应计数器 FWDSTAT0.FWDRSPC 得出。

对表中定义的实际问题的响应应由四个连续的响应字节组成。对于寄存器 FWDSTAT0.FWDQUEST 中给定问题的正确响应应按以下方式完成。

- 前三个响应应写入 FWDRSP
- 最后一个响应应该写入 FWDRSPSYNC 以重置心跳计时器。所有四个响应必须在心跳周期到期前完成写入。

如果完整的响应（32 位）正确，并且最后一个响应字节是同步发送的，则心跳计数器将重置并置位为零。如果完整的应答（所有四个响应 - 32 位）正确，则视为“有效 FWD 触发”，功能看门狗错误计数器 ΣFWO 将减 1。如果最后一次响应是同步响应，则心跳计数器会复位，但如果应答错误，则视为“无效 FWD 触发”，功能看门狗错误计数器 ΣFWO 将增加 2。

功能看门狗错误计数器 ΣFWO 溢出将触发“转入 INIT”事件，复位心跳计数器并将功能看门狗错误计数器 ΣFWO 置为零。

表 35 功能看门狗响应定义

QUESTION	RESP3	RESP2	RESP1	RESP0
0	FF	0F	F0	00
1	B0	40	BF	4F
2	E9	19	E6	16
3	A6	56	A9	59
4	75	85	7A	8A
5	3A	CA	35	C5
6	63	93	6C	9C

(表格续下页.....)



表 35 (续) 功能看门狗响应定义

QUESTION	RESP3	RESP2	RESP1	RESP0
7	2C	DC	23	D3
8	D2	22	DD	2D
9	9D	6D	92	62
A	C4	34	CB	3B
B	8B	7B	84	74
C	58	A8	57	A7
D	17	E7	18	E8
E	4E	BE	41	B1
F	01	F1	0E	FE

功能看门狗输出 FWO

功能看门狗输出 FWO 是一个内部信号：它连接到FWD故障计数器。功能看门狗输出 FWO 的值要么是“有效 FWD 触发”，要么是“无效 FWD 触发”。

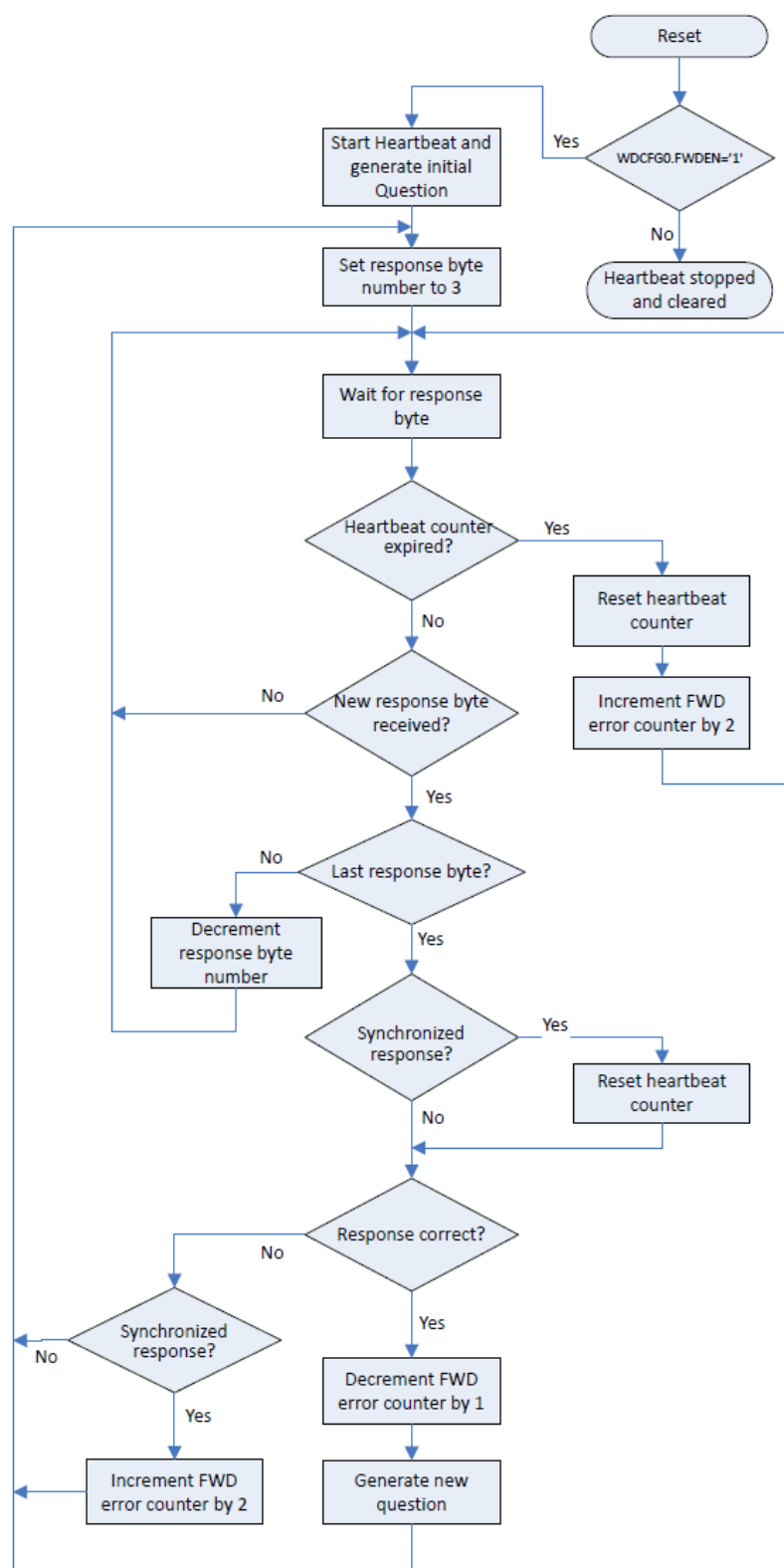


图 85 功能看门狗流程图

14.3.1 功能看门狗时序图

14.3.1.1 正常操作：正确触发

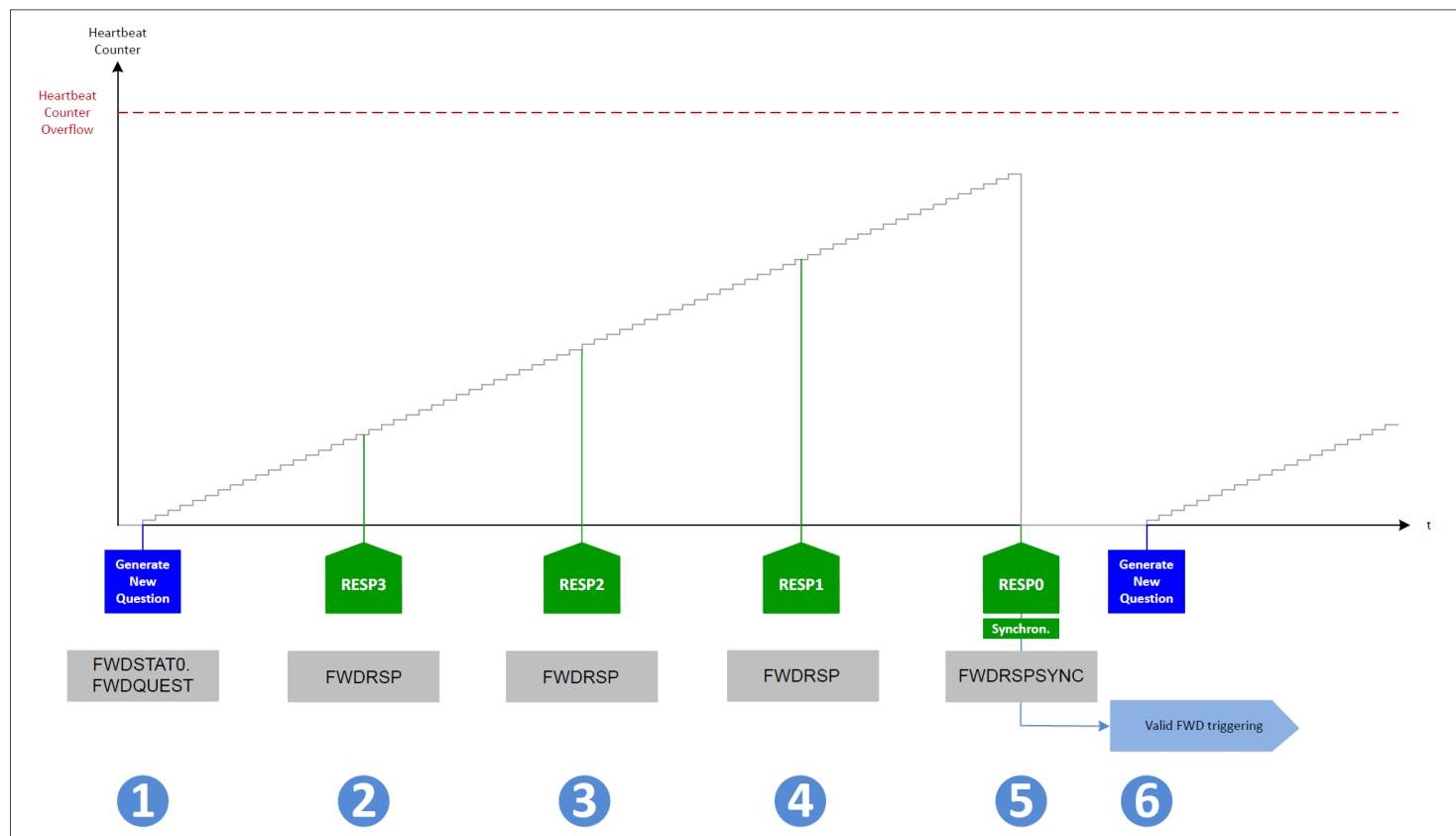


图 86 正常操作：正确触发

1. 生成一个新问题的同时，心跳计数器开始计数（假设“有效 FWD 触发”之前已经发生过）。
2. 收到正确响应（RESP3）。
3. 收到正确响应（RESP2）。
4. 收到正确响应（RESP1）。
5. 收到正确的同步响应（RESP0）。所有响应都正确，响应序列正确，并且最后的同步响应在心跳计数器溢出前收到。心跳计数器将重置（置位为零）。这被视为“有效 FWD 触发”，功能看门狗错误计数器 ΣFWO 减 1（如果功能看门狗错误计数器值大于零）。
6. 新的问题被生成的同时，心跳计数器开始计数。

14.3.1.2 故障操作：同步缺失

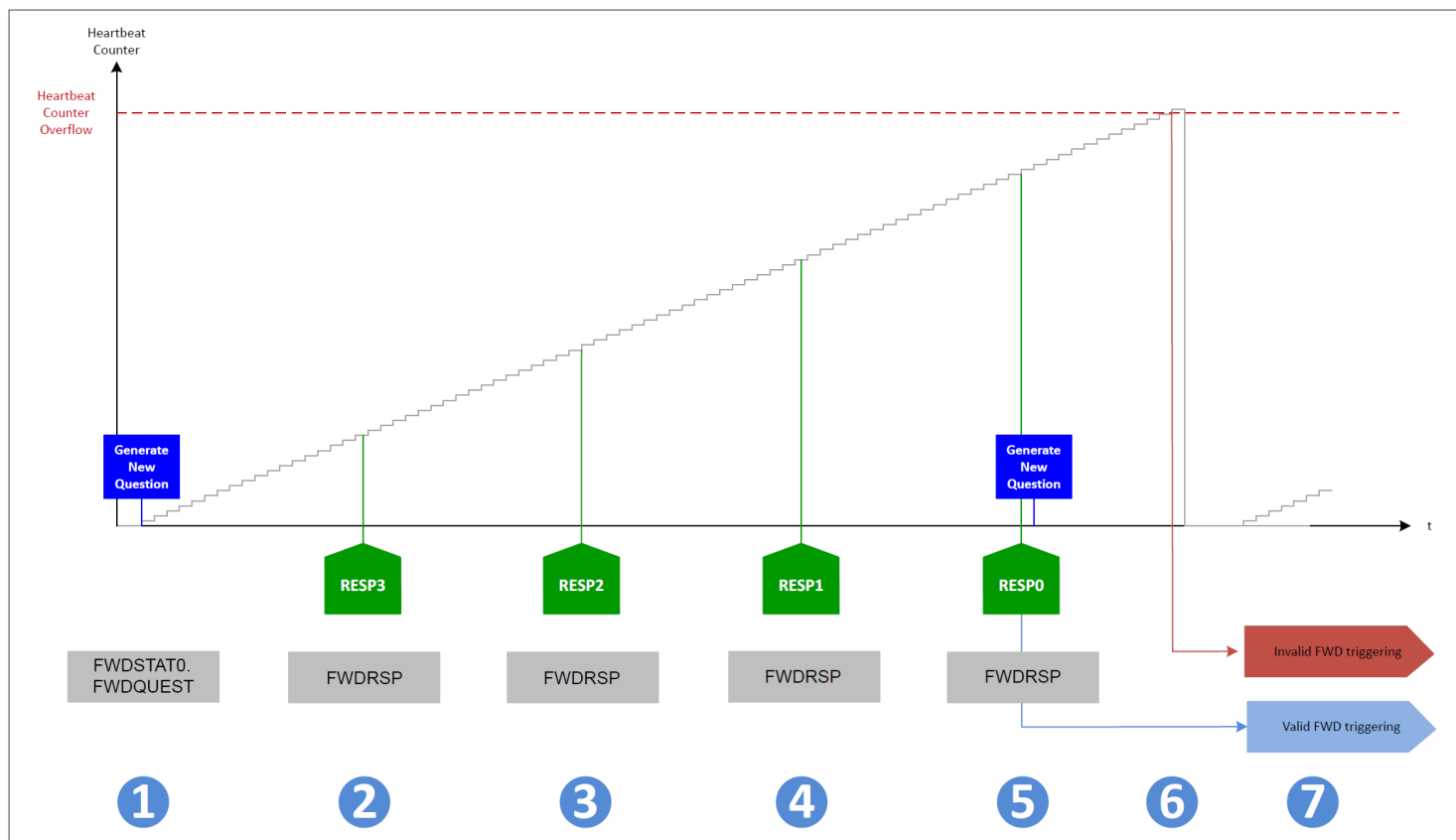


图 87 故障操作：同步缺失

1. 生成一个新问题的同时，心跳计数器开始计数（假设“有效 *FWD* 触发”之前已经发生过）。
2. 收到正确响应（RESP3）。
3. 收到正确响应（RESP2）。
4. 收到正确响应（RESP1）。
5. 收到了正确的响应（RESP0），但未同步（写入了错误的寄存器）。到目前为止，所有响应都正确，响应序列正确，并且最后一个非同步响应在心跳计数器溢出发生前收到。心跳计数器不会被重置并继续计数。这被视为“有效 *FWD* 触发”，功能看门狗错误计数器 ΣFWO 减 1（如果功能看门狗错误计数器值大于零）。生成了一个新问题。
6. 心跳计数器仍在计数，等待新问题的应答。稍后，心跳计数器将过期，发生溢出。这被视为“无效 *FWD* 触发”。功能看门狗错误计数器 ΣFWO 加 2。心跳计数器复位。
7. 心跳计数器开始计数。不产生新问题。

14.3.1.3 故障操作：应答错误

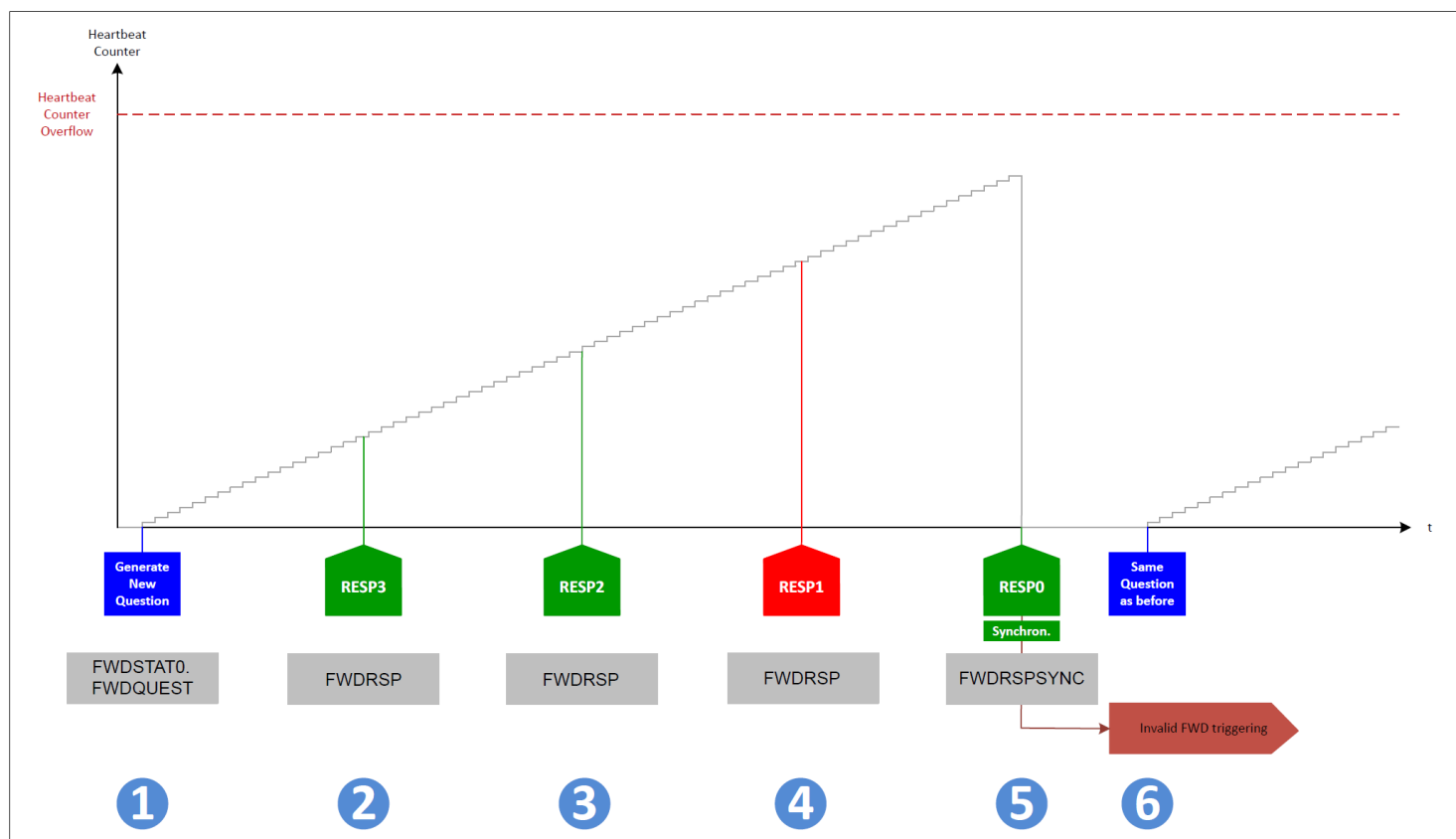


图88 故障操作：应答错误

1. 生成一个新问题的同时，心跳计数器开始计数（假设“有效 *FWD* 触发”之前已经发生过）
2. 收到正确响应（RESP3）。
3. 收到正确响应（RESP2）。
4. 收到错误响应（RESP1）。
5. 收到正确的响应（RESP0）。心跳计数将重置（置位为零）。完整的应答不正确。这被视为“无效 *FWD* 触发”。功能看门狗错误计数器 ΣFWO 加 2。心跳计数器复位。
6. 虽然没有生成新的问题，但心跳计数器开始计数。

注意：如果 RESP2 和 RESP1 混合，则两个响应都将被视为不正确 - 响应必须按正确顺序发送。

14.3.1.4 故障操作：响应缺失

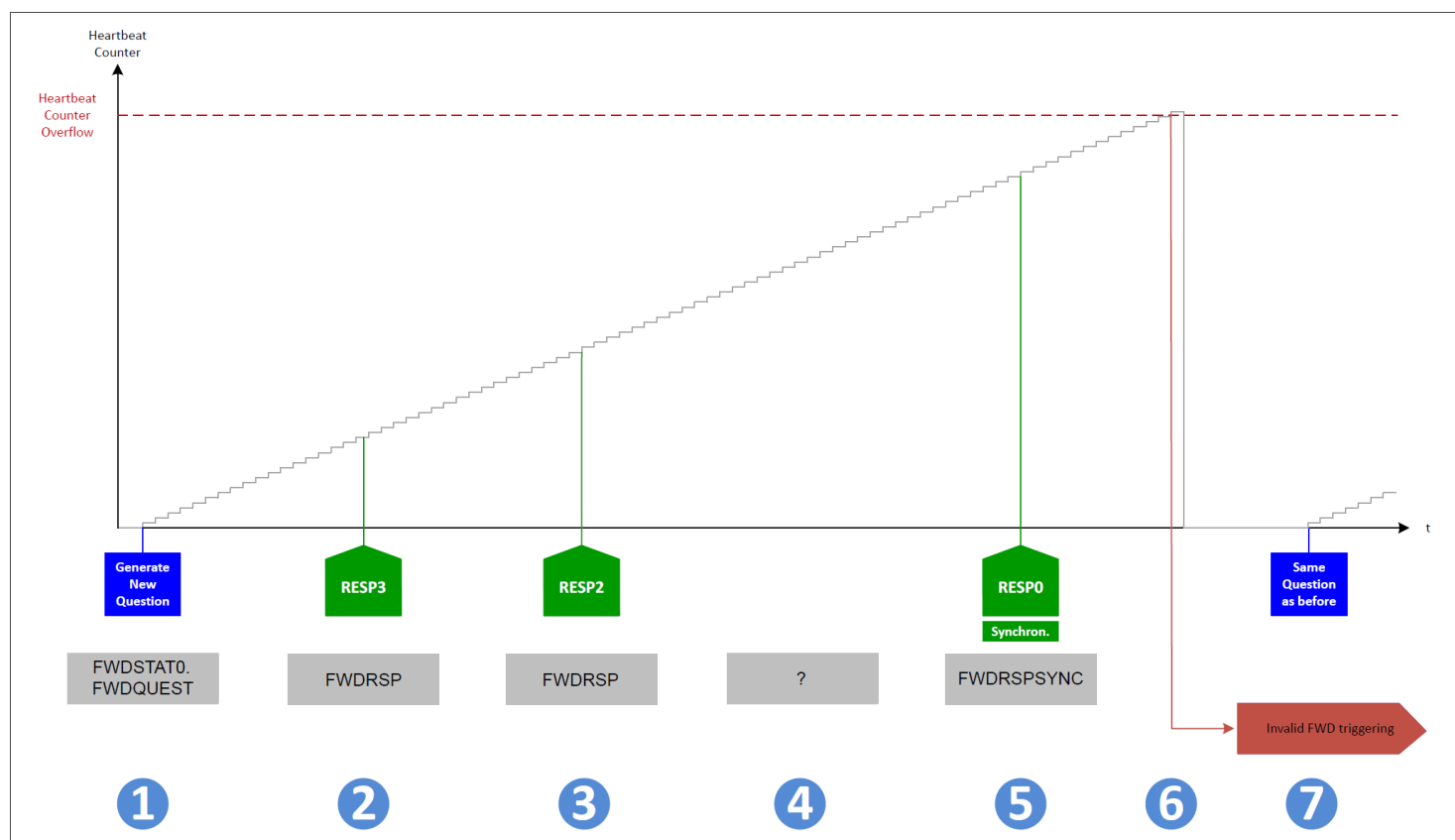


图89 故障操作：应答未完成

1. 生成一个新问题的同时，心跳计数器开始计数（假设“有效 *FWD* 触发”之前已经发生过）。
2. 收到正确响应（RESP3）。
3. 收到正确响应（RESP2）。
4. 缺少响应 (RESP1)。
5. 收到正确响应 (RESP0)。所以最后的响应不是真正的最后响应，而是倒数第二个响应，因为缺少响应（在本例中缺少RESP1）。功能看门狗会等待所有四个响应都写入完毕，而心跳计数器则会继续计数。这四个响应没有固定的时间限制，但必须在心跳计数器到期之前按正确的顺序发送。
6. 由于缺少响应 RESP1，完整的应答不正确。尽管最后一个响应是同步的，但心跳计数器不会反转，并会继续计数，直到发生溢出。
这被视为“无效 FWD 触发”。功能看门狗错误计数器 ΣFWO 加2。心跳计数器复位。
7. 没有生成新的问题，心跳计数器开始计数。



15 应用信息

这是 IC 如何在这种情况下使用的描述。

注意： 以下信息仅作为执行器件的提示，不应被视为对器件某种功能、条件或质量的描述或担保。

- 请联系我们以获取更多支持文件。
- 如需了解更多信息，您可以访问 <http://www.infineon.cn/>

注意： 下面的图是一个非常简化的应用电路示例。该功能必须在实际应用中进行验证。

表 36 应用框图中各部件的推荐值

Name	Value	Switching frequency range
Inductor step-up	22 µH	500 kHz
Capacitor step-up	100 µF	500 kHz
Filter inductor step-down	4.7 µH	2.2 MHz
filter capacitor step-down	10 - 47 µF	2.2 MHz
Filter inductor step-down	22 µH	400 kHz
filter capacitor step-down	68 - 100 µF	400 kHz

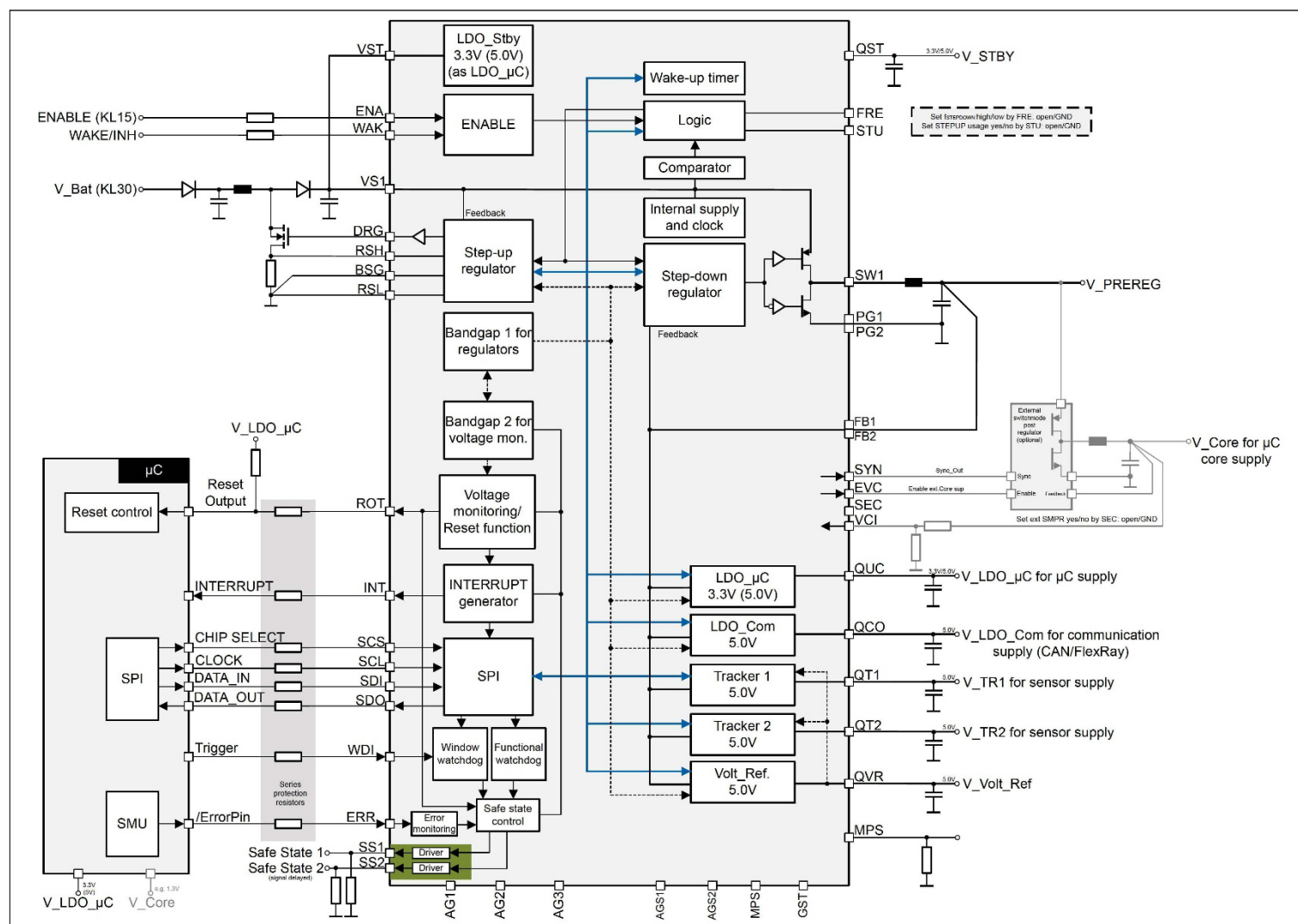


图 90 应用框图

16 封装信息

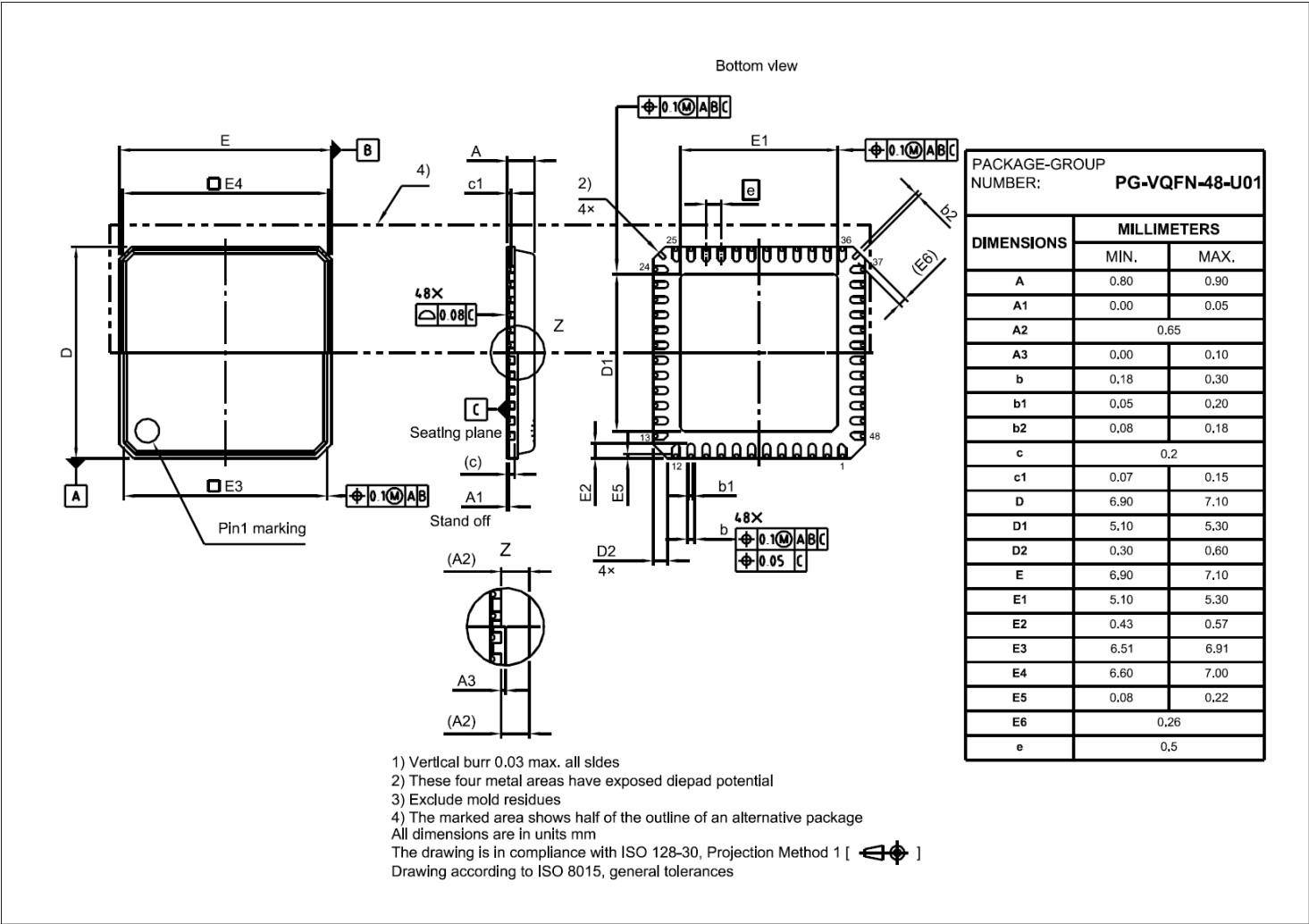


图 91 PG-VQFN-48

绿色产品（符合 RoHS 标准）

为了满足全球客户对环保产品的要求，并符合政府规定，该器件可作为绿色产品提供。绿色产品符合 RoHS 标准（即，引线采用无铅涂层，并且符合 IPC/JEDEC J-STD-020 标准，适用于无铅焊接）。

封装信息

有关封装的更多信息（例如组装建议），请参阅 www.infineon.com/packages。

词汇表

ADC

模数转换器 (ADC)

CDM

带电器件模型 (CDM)

用于表征电子器件对静电放电 (ESD) 损坏的敏感性的模型。

EMC

电磁兼容性 (EMC)

电气设备和系统在电磁环境中正常运行的能力，通过限制无意产生、传播和接收的电磁能可能会造成不必要的影响，如电磁干扰 (EMI)，甚至对运行设备造成物理损坏。

ESR

等效串联电阻 (ESR)

代表由电阻和理想电容或电感组成的简单电子电路中有效热量的损耗的值。

FWD

功能看门狗 (FWD)

看门狗的一个特殊子集，其回复取决于看门狗消息。

HBM

人体模型 (HBM)

基于人体的用于表征电子器件对静电放电 (ESD) 损坏的敏感性的模型。

IC

集成电路 (IC)

一种构建在半导体材料薄基板表面上的迷你型电子电路。

LDO

低压差稳压器 (LDO)

一种可以在输入和输出之间仅存在很小电压差的情况下运行的线性稳压器。

MOSFET

金属氧化物半导体场效应晶体管 (MOSFET)

NMI

不可屏蔽中断 (NMI)

系统中标准中断屏蔽技术无法忽略的硬件中断。

PMIC

电源管理集成电路 (PMIC)

管理主系统电源需求的电子元件。

POR

上电复位 (POR)

确保逻辑和存储器安全启动的功能。

PWM

脉宽调制 (PWM)

一种将模拟值编码为具有任意振幅的脉冲信号的占空比的技术。

SPI

串行外设接口 (SPI)

一种用于芯片间通信的同步串行通信接口规范，主要用于嵌入式系统。

UV

欠压 (UV)

WD

看门狗 (WD)

一种提供可靠安全方式来检测和恢复临时软件或硬件故障的技术。

WWD

窗口看门狗 (WWD)

看门狗定时器功能的特殊子集，仅允许在指定时间范围内回复。



修订记录

Revision	Date	Changes
1.00	2025-12-09	Datasheet created



免责声明

请注意，本文件的原文使用英文撰写，为方便客户浏览英飞凌提供了中文译文。该中文译文仅供参考，并不可作为任何论点之依据。

由于翻译过程中可能使用了自动化程序，以及语言翻译和转换过程中的差异，最后的中文译文与最新的英文版本原文含义可能存在不尽相同之处。

因此，我们同时提供该中文译文版本的最新英文原文供您阅读，请参见 <http://www.infineon.com>

英文原文和中文译文版本之间若存有任何歧异，以最新的英文版本为准，并且仅认可英文版本为正式文件。

您如果使用本文件，即表示您同意并理解上述说明。英飞凌不对因翻译过程中可能存在的任何不完整或不准确信息而产生的任何直接或间接损失或损害负责。英飞凌不承担中文译文版本的完整性和准确性责任。如果您不同意上述说明，请不要使用本文件。

Trademarks

All referenced product or service names and trademarks are the property of their respective owners.

重要通知

版本 2026-04-24

Infineon Technologies AG 出版，
德国 Neubiberg 85579

版权 © 2026 Infineon Technologies AG
及其关联公司。
保留所有权利。

Do you have a question about this
document?

Email:
erratum@infineon.com

Infineon Technologies AG 及其关联公司（以下简称“英飞凌”）销售或提供和交付的产品（可能也包括样品，且可能由硬件或软件或两者组成）（以下简称“产品”），应遵守客户与英飞凌签订的框架供应合同或其他书面协议的条款和条件，如无上合同或其他书面协议，则应遵守适用的英飞凌销售条件。只有在英飞凌明确书面同意的情况下，客户的一般条款和条件或对适用的英飞凌销售条件的偏离才对英飞凌具有约束力。

为避免疑义，英飞凌不承担不侵犯第三方权利的所有保证和默示保证，例如对特定用途/目的的适用性或适销性的保证。

英飞凌对与样品、应用或客户对任何产品的具体使用有关的任何信息或本文件中给出的任何示例或典型值概不负责。

本文件中包含的数据仅供具有技术资格和技能的客户代表使用。客户有责任评估产品对预期应用和客户特定用途的适用性，并在预期应用和客户特定用途中验证本文件中包含的所有相关技术数据。客户有责任正确设计、编程和测试预期应用的功能性和安全性，并遵守与其使用相关的法律要求。

除非英飞凌另行明确批准，否则产品不得用于任何因产品故障或使用产品的任何后果可合理预期会导致人身伤害的应用。但是，上述规定并不妨碍客户在英飞凌明确设计和销售的使用领域中使用任何产品，但是客户对应用负有全部责任。

英飞凌明确保留根据适用法律，如《德国版权法》（UrhG）第 44b 条，将其内容用于商业资料和数据勘探（TDM）的权利。

如果产品包含安全功能：

由于任何计算设备都不可能绝对安全，尽管产品采取了安全措施，但英飞凌不保证产品不会被入侵、数据不会被盗或遗失，或不会发生其他漏洞（以下简称“安全漏洞”），英飞凌对任何安全漏洞不承担任何责任。

如果本文件包含或引用软件：

根据美国、德国和世界其他国家的知识产权法律和条约，该软件归英飞凌所有。英飞凌保留所有权利。因此，您只能按照软件附带的软件授权协议的规定使用本软件。

如果没有适用的软件授权协议，英飞凌特此授予您个人的、非排他性的、不可转让的软件知识产权授权（无权转授权）：(a) 对于以源代码形式提供的软件，仅在贵组织内部修改和复制该软件用于英飞凌硬件产品；及 (b) 对于以二进制代码 (binary code) 形式对外向终端用户分发该软件，仅得用于英飞凌硬件产品。禁止对本软件进行任何其他使用、复制、修改、翻译或编译。有关产品、技术、交货条款和条件以及价格的详细信息，请联系离您最近的英飞凌办公室或访问 <https://www.infineon.com>。