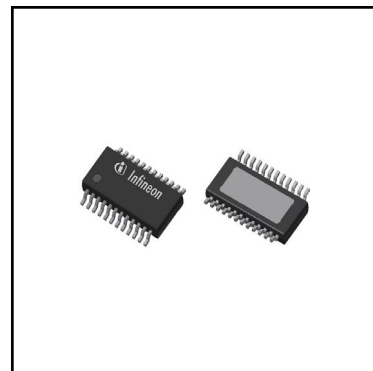


英飞凌CLE94112ES十二路半桥驱动器



特性

- 十二个半桥功率输出
- 睡眠模式下功耗极低
- 具有迟滞功能的 3.3V / 5V 兼容输入
- 所有输出均具有过载和短路保护
- 可独立诊断的输出（过流、开路负载）
- 针对所有高边和低边，在导通状态下进行开路诊断
- 具有可选开路阈值的输出（HS1、HS2）
- 16 位标准 SPI 接口，具备菊花链和帧内响应能力，用于控制和诊断
- 借助全局错误标志实现快速诊断
- PWM 输出频率为 80Hz、100Hz 和 200Hz，占空比分辨率为 8 位
- 过温预警和保护
- 过压和欠压锁定
- 交叉电流保护



应用

- HVAC 风门直流电机
- 单稳态和双稳态继电器
- 侧后视镜 x-y 调节和后视镜折叠
- LED

描述

CLE94112ES 是一款具备保护功能的十二路半桥驱动器，专为汽车运动控制应用而设计，例如加热、通风和空调 (HVAC) 风门直流电机控制。它属于一个更庞大的系列产品，该系列提供从三路输出到十二路输出的半桥驱动器，具备直接接口或者 SPI 接口。

半桥驱动器设计用于以顺序或并行操作驱动直流电机负载。正转 (顺时针)、反转 (逆时针)、制动和高阻态运行模式由 16 位 SPI 接口控制。它具备诸如短路、负载开路、电源故障和过温检测等诊断功能。结合其低静态电流，该器件在汽车应用等领域颇具吸引力。小型精密散热焊盘封装 PG-TSDSO-24 具有良好的热性能，可减少 PCB 板空间并降低成本。

Type	Package	Marking
CLE94112ES	PG-TSDSO-24	CLE94112ES

表 1 产品概要

Normal Operating Voltage	V_S	5.5 ... 18 V
Extended Operating Voltage	V_S	18 ... 20 V
Logic Supply Voltage	V_{DD}	3.0 V
Maximum Supply Voltage for Load Dump Protection	$V_{S(LD)}$	40 V
Minimum Overcurrent Threshold	I_{SD}	0.9 A
Maximum On-State Path Resistance at $T_j = 150^\circ\text{C}$	$R_{DS(on)(total)_HSx+LSy}$	1.8 + 1.8 Ω
Typical Quiescent Current at $T_j = 85^\circ\text{C}$	I_{SQ}	0.1 μA
Maximum SPI Access Frequency	f_{SCLK}	5 MHz

目录

1	引脚配置	5
1.1	引脚分布	5
1.2	引脚定义和功能	5
2	框图	7
2.1	电压和电流定义	8
3	一般产品特性	9
3.1	绝对最大额定值	9
3.2	工作范围	11
3.3	热阻抗	12
3.4	电气特性	13
4	特性描述结果	18
5	概述	23
5.1	电源	23
5.2	操作模式	23
5.2.1	正常模式	23
5.2.2	休眠模式	23
5.3	复位行为	23
5.4	反极性保护	24
6	半桥输出	25
6.1	功能说明	25
6.1.1	启用PWM的半桥操作	25
6.1.1.1	感性负载	26
6.1.1.2	LED模式(可选)	28
6.2	保护与诊断	29
6.2.1	短路输出到电源或地	31
6.2.2	交叉电流	33
6.2.3	温度监控	35
6.2.4	过压和欠压关断	36
6.2.4.1	V_S 欠压	36
6.2.4.2	V_S 过压	36
6.2.4.3	V_{DD} 欠压	36
6.2.5	负载开路	37
7	串行外设接口 (SPI)	38
7.1	SPI描述	38
7.1.1	全局错误标志	39
7.1.2	全局状态寄存器	40
7.1.3	SPI协议错误检测	41
7.2	具有独立从机配置的 SPI	43
7.3	菊花链操作	45
7.4	SPI通信期间的状态寄存器变化	47
7.5	SPI映射	50
7.6	SPI控制寄存器	52
7.6.1	控制寄存器定义	53
7.7	SPI状态寄存器	65

7.7.1 状态寄存器定义.....66

8 应用信息 73

8.1 应用框图..... 73

8.2 热应用信息..... 76

8.3 电磁兼容增强 77

9 封装外形 78

10 修订记录 79

引脚配置

1 引脚配置

1.1 引脚分配

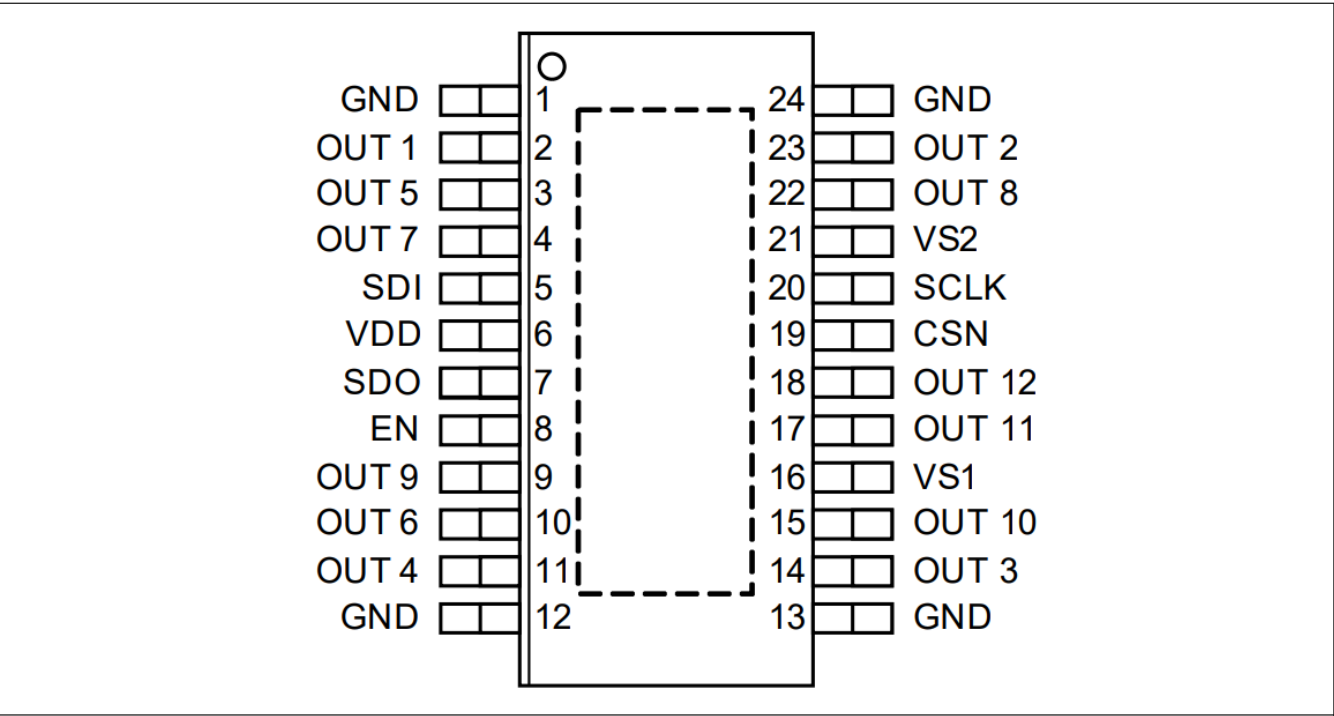


图 1 CLE94112ES 引脚分配

1.2 引脚定义和功能

Pin	Symbol	Function
1	GND	Ground. All ground pins should be externally connected together.
2	OUT 1	Power half-bridge 1
3	OUT 5	Power half-bridge 5
4	OUT 7	Power half-bridge 7
5	SDI	Serial data input with internal pull down
6	VDD	Logic supply voltage
7	SDO	Serial data output
8	EN	Enable with internal pull-down; Places device in standby mode by pulling the EN line Low
9	OUT 9	Power half-bridge 9
10	OUT 6	Power half-bridge 6
11	OUT 4	Power half-bridge 4
12	GND	Ground. All ground pins should be externally connected together.

引脚配置

Pin	Symbol	Function
13	GND	Ground. All ground pins should be externally connected together.
14	OUT 3	Power half-bridge 3
15	OUT 10	Power half-bridge 10
16	VS1	Main supply voltage for power half bridges. VS1 should be externally connected to VS2.
17	OUT 11	Power half-bridge 11
18	OUT 12	Power half-bridge 12
19	CSN	Chip select Not input with internal pull up
20	SCLK	Serial clock input with internal pull down
21	VS2	Main supply voltage for power half bridges. VS1 should be externally connected to VS2.
22	OUT 8	Power half-bridge 8
23	OUT 2	Power half-bridge 2
24	GND	Ground. All ground pins should be externally connected together.
EDP	-	Exposed Die Pad; For cooling and EMC purposes only - not usable as electrical ground. Electrical ground must be provided by pins 1,12,13,24. ¹⁾

- 1) 封装底部裸露的芯片焊垫可以使器件通过PCB更好地散热。裸露的焊盘 (EP) 必须保持开路或连接到接地点。
建议将 EP 连接到接地以获得最佳的电磁兼容性和热性能。

框图

2 框图

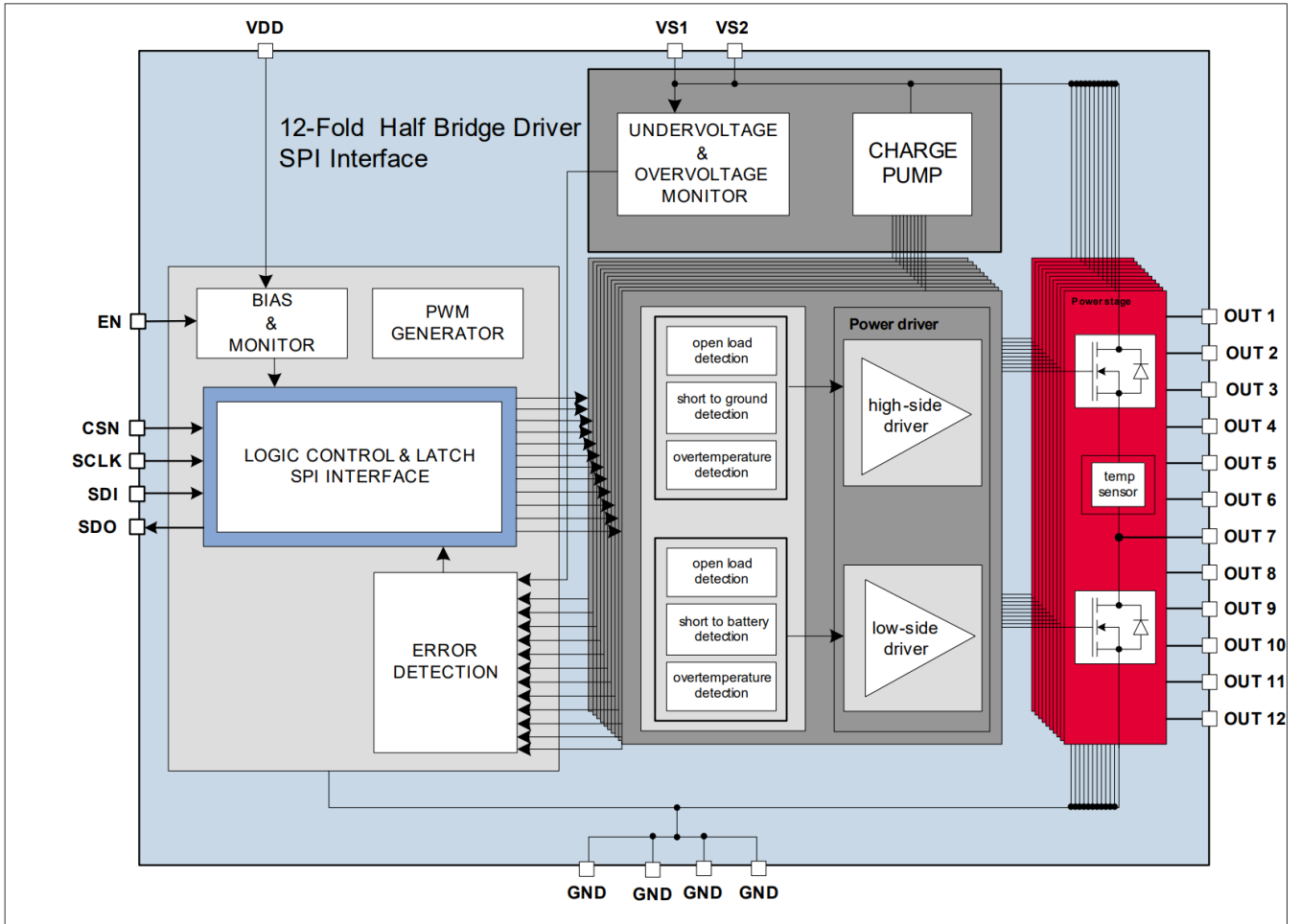


图2 CLE94112ES框图（SPI接口）

框图

2.1 电压和电流定义

图 3 显示了本数据手册中使用的术语，以及正值的相关约定。

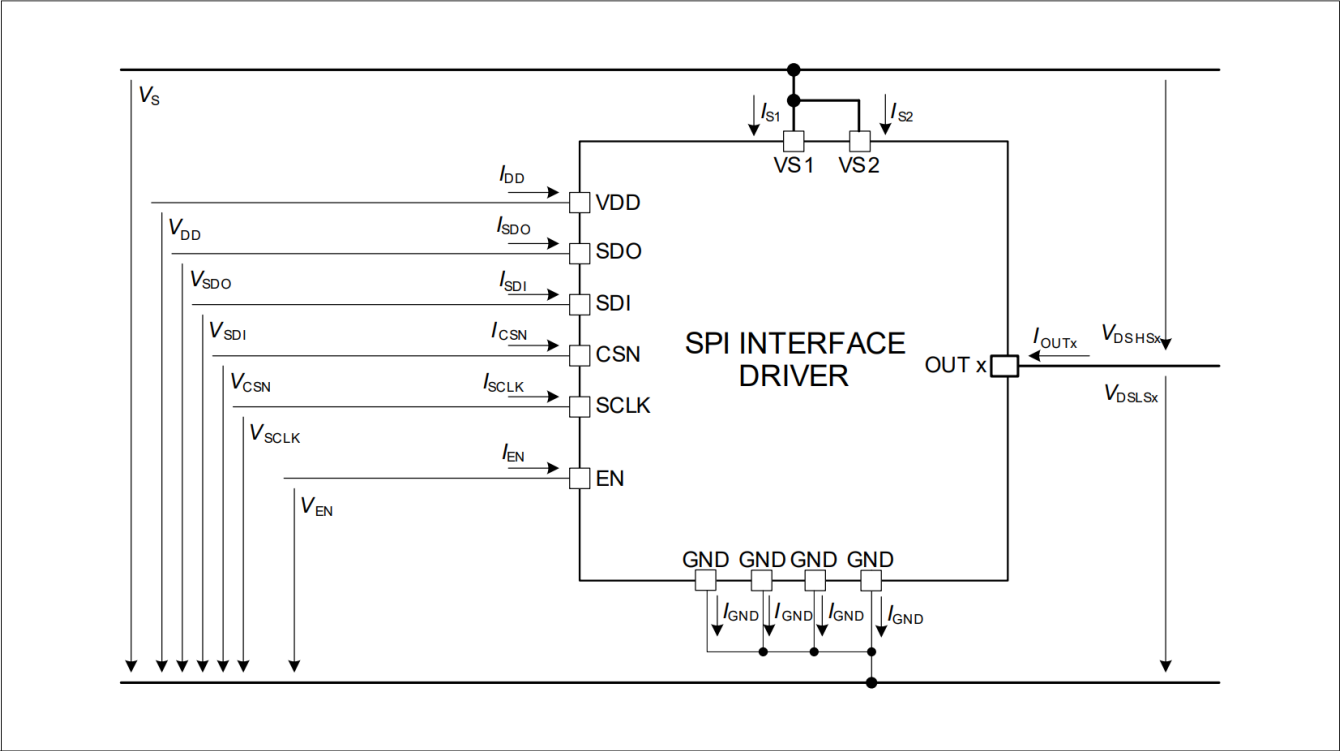


图 3 电压和电流定义

一般产品特性

3 一般产品特性

3.1 绝对最大额定值

表 2 绝对最大额定值¹⁾ $T_j = -40^{\circ}\text{C}$ 至 $+150^{\circ}\text{C}$

Parameter	Symbol	Values			Unit	Note or Test Condition	Number
		Min.	Typ.	Max.			
Voltages							
Supply voltage	V_S	-0.3	–	40	V	$V_S = V_{S1} = V_{S2}$	P_4.1.1
Supply Voltage Slew Rate	$ dV_S/dt $	–	–	10	V/ μ s	V_S increasing and decreasing ¹⁾	P_4.2.2
Power half-bridge output voltage	V_{OUT}	-0.3	–	40	V	$0\text{ V} < V_{OUT} < V_S$	P_4.1.2
Logic supply voltage	V_{DD}	-0.3	–	5.5	V	$0\text{ V} < V_S < 40\text{ V}$	P_4.1.3
Logic input voltages (SDI, SCLK, CSN, EN)	$V_{SDI},$ $V_{SCLK},$ V_{CSN}, V_{EN}	-0.3	–	VDD	V	$0\text{ V} < V_S < 40\text{ V}$ $0\text{ V} < V_{DD} < 5.5\text{V}$	P_4.1.4
Logic output voltage (SDO)	V_{SDO}	-0.3	–	VDD	V	$0\text{ V} < V_S < 40\text{ V}$ $0\text{ V} < V_{DD} < 5.5\text{V}$	P_4.1.5

电流

Continuous Supply Current for V_{S1}	I_{S1}	0	–	3.0	A	–	P_4.1.6
Continuous Supply Current for V_{S2}	I_{S2}	0	–	3.0	A	–	P_4.1.7
Current per GND pin	I_{GND}	0	–	2.0	A	–	P_4.1.14
Output Currents	I_{OUT}	-2.0	–	2.0	A	–	P_4.1.15

温度

Junction temperature	T_j	-40	–	150	$^{\circ}\text{C}$	–	P_4.1.8
Storage temperature	T_{stg}	-50	–	150	$^{\circ}\text{C}$	–	P_4.1.9

ESD 承受能力

ESD susceptibility OUTn and VSx pins versus GND. All other pins grounded.	V_{ESD}	-8	–	8	kV	JEDEC HBM ¹⁾²⁾	P_4.1.10
ESD susceptibility all pins	V_{ESD}	-2	–	2	kV	JEDEC HBM ¹⁾²⁾	P_4.1.11
ESD susceptibility all pins	V_{ESD}	-500	–	500	V	CDM ¹⁾³⁾	P_4.1.12
ESD susceptibility corner pins	V_{ESD}	-750	–	750	V	CDM ¹⁾³⁾	P_4.1.13

1) 未经过生产测试，由设计指定。

2) ESD 敏感度，“JEDEC HBM”基于 ANSI/ESDA/JEDEC JS-001 的（1.5 k Ω ，100 pF）

3) ESD 敏感度，带电器件模型“CDM”，符合 JEDEC JESD22-C101

注：

1. 超过此处列出的应力可能会对设备造成永久性损害。长时间暴露在绝对最大额定条件下可能会影响芯片的可靠性。

一般产品特性

2. 集成保护功能，确保C不会在数据手册所述故障条件下损坏。故障情况被认为超出了正常工作范围。保护功能不是为了连续重复的操作而设计的。

一般产品特性

3.2 工作范围

表 3 工作范围

Parameter	Symbol	Values			Unit	Note or Test Condition	Number
		Min.	Typ.	Max.			
Supply voltage range for normal operation	$V_{S(nor)}$	5.5	–	18	V	–	P_4.2.1
Extended supply voltage range	$V_{S(ext)}$	18	–	20	V	¹⁾²⁾	P_4.2.7
Logic supply voltage range for normal operation	V_{DD}	3.0	–	5.5	V	–	P_4.2.3
Logic input voltages (SDI, SCLK, CSN, EN)	$V_{SDI},$ $V_{SCLK},$ V_{CSN}, V_{EN}	-0.3	–	5.5	V	–	P_4.2.4
Junction temperature	T_j	-40	–	150	°C		P_4.2.5

1) 未经过生产测试，由设计指定。

2) 在扩展的供电范围内，器件仍可正常工作。但是，特定的电气特性可能会有偏差。

注释： 在正常功能范围内，芯片的工作情况符合电路描述中的说明。电气特性是在相关电气特性表中给出的条件范围内规定的。

一般产品特性

3.3 热阻抗

表 4 热阻 CLE94112ES

Parameter	Symbol	Values			Unit	Note or Test Condition	Number
		Min.	Typ.	Max.			
Junction to Case, $T_A = 85^\circ\text{C}$	R_{thJC_hot}	–	1.7	–	K/W	1)	
Junction to ambient, $T_A = 85^\circ\text{C}$ (1s0p, minimal footprint)	$R_{thJA_hot_min}$	–	77.3	–	K/W	1) 2)	
Junction to ambient, $T_A = 85^\circ\text{C}$ (1s0p, 300mm ² Cu)	$R_{thJA_hot_300}$	–	44.9	–	K/W	1) 3)	
Junction to ambient, $T_A = 85^\circ\text{C}$ (1s0p, 600mm ² Cu)	$R_{thJA_hot_600}$	–	38.2	–	K/W	1) 1)	
Junction to ambient, $T_A = 85^\circ\text{C}$ (2s2p)	$R_{thJA_hot_2s2p}$	–	26.9	–	K/W	1) 5)	

1)指定的 R_{thJA} 值是根据JEDEC JESD51-2,-3标准, 在FR4 1s0p电路板上在自然对流条件下测得的。产品（芯片+封装）在76.2 x 114.3 x 1.5mm 的电路板上进行模拟, 该板有 600mm² 铜面积和 35μm厚度的额外散热铜区 $T_A = 85^\circ\text{C}$, 每个通道功耗0.135W。

一般产品特性

3.4 电气特性

表 5 电气特性, $V_S=5.5\text{ V}$ 至 18 V , $V_{DD}=3.0\text{ V}$ 至 5.5 V , $T_J=-40^\circ\text{C}$ 至 $+150^\circ\text{C}$, $EN=HIGH$, $I_{OUTn}=0\text{ A}$; 除非另有说明, 典型值基于 $V_{DD}=5.0\text{ V}$ 、 $V_S=13.5\text{ V}$ 和 $T_J=25^\circ\text{C}$; 所有电压均相对于地, 正电流流入引脚 (除非另有说明)

Parameter	Symbol	Values			Unit	Note or Test Condition	Number
		Min.	Typ.	Max.			
电流损耗，EN = low							
Supply Quiescent current	I_{SQ}	–	0.5	2	μA	$-40^{\circ}\text{C} \leq T_j \leq 85^{\circ}\text{C}$	P_4.4.1
Logic supply quiescent current	I_{DD_Q}	–	0.1	1	μA	$-40^{\circ}\text{C} \leq T_j \leq 85^{\circ}\text{C}$	P_4.4.2
Total quiescent current	$I_{SQ} + I_{DD_Q}$	–	0.6	3	μA	$-40^{\circ}\text{C} \leq T_j \leq 85^{\circ}\text{C}$	P_4.4.3
电流损耗，EN=HIGH							
Supply current	I_S	–	0.5	1	mA	Power drivers and power stages are off	P_4.4.4
Supply current	I_{S_HSON}	–	4.5	9	mA	All high-sides ON ¹⁾	P_4.4.101
Logic supply current	I_{DD}	–	1.5	3	mA	SPI not active	P_4.4.5
Logic supply current	I_{DD_RUN}	–	5	–	mA	SPI 5MHz ³⁾	P_4.4.6
Total supply current	$I_S + I_{DD_RUN}$	–	5.5	–	mA	SPI 5MHz ³⁾	P_4.4.7
过压和欠压锁定							
Undervoltage Switch ON voltage threshold	V_{UVON}	4.25	–	5.25	V	V_S increasing	P_4.4.8
Undervoltage Switch OFF voltage threshold	V_{UVOFF}	4	–	5.0	V	V_S decreasing	P_4.4.9
Undervoltage Switch ON/OFF hysteresis	V_{UVHY}	–	0.25	–	V	$V_{UVON} - V_{UVOFF}$ ³⁾	P_4.4.10
Overvoltage Switch OFF voltage threshold	V_{OVFF}	21	–	25	V	V_S increasing	P_4.4.11
Overvoltage Switch ON voltage threshold	V_{OVON}	20	–	24	V	V_S decreasing	P_4.4.12
Overvoltage Switch ON/OFF hysteresis	V_{OVHY}	–	1	–	V	$V_{OVFF} - V_{OVON}$ ³⁾	P_4.4.13
V _{DD} Power-On-Reset	V_{DDPOR}	2.40	2.70	2.90	V	V_{DD} increasing	P_4.4.14
V _{DD} Power-Off-Reset	$V_{DDPOFFR}$	2.35	2.65	2.85	V	V_{DD} decreasing	P_4.4.15
V _{DD} Power ON/OFF hysteresis	$V_{DDPORHY}$	–	0.05	–	V	$V_{DDPOR} - V_{DDPOFFR}$ ³⁾	P_4.4.98
静态漏源 导通电阻（高边或低边）							
High-Side or Low-Side R _{DS(on)} (all outputs)	$R_{DS(on)_{HB_25C}}$	–	850	1200	mΩ	$I_{OUT} = \pm 0.5\text{ A};$ $T_j = 25^{\circ}\text{C}$	P_4.4.16
High-Side or Low-Side R _{DS(on)} (all outputs)	$R_{DS(on)_{HB_150C}}$	–	1400	1800	mΩ	$I_{OUT} = \pm 0.5\text{ A};$ $T_j = 150^{\circ}\text{C}$	P_4.4.17

一般产品特性

表 5 电气特性, $V_S=5.5\text{ V}$ 至 18 V , $V_{DD}=3.0\text{ V}$ 至 5.5 V , $T_J=-40^\circ\text{C}$ 至 $+150^\circ\text{C}$, $EN=\text{HIGH}$, $I_{OUTn}=0\text{ A}$; 除非另有说明, 典型值基于 $V_{DD}=5.0\text{ V}$ 、 $V_S=13.5\text{ V}$ 和 $T_J=25^\circ\text{C}$; 所有电压均相对于地, 正电流流入引脚 (除非另有说明) (续)

Parameter	Symbol	Values			Unit	Note or Test Condition	Number
		Min.	Typ.	Max.			
High-Side $R_{DS(on)}$ (HS1 and HS2 in LED mode)	$R_{DS(on)_{HI_HB_25C}}$	–	950	1300	m Ω	²⁾ $I_{OUT} = -0.1\text{ A}$; $T_J = 25^\circ\text{C}$	P_4.4.18
High-Side $R_{DS(on)}$ (HS1 and HS2 in LED mode)	$R_{DS(on)_{HI_HB_150C}}$	–	1500	2000	m Ω	²⁾ $I_{OUT} = -0.1\text{ A}$; $T_J = 150^\circ\text{C}$	P_4.4.19

半桥输出高边 (HS) 通道的输出保护与诊断

HS Overcurrent Shutdown Threshold	I_{SD_HS}	-1.4	-1.1	-0.9	A	See Figure 7	P_4.4.89
Difference between shutdown and limit current	$I_{LIM_HS} - I_{SD_HS}$	-1.2	-0.6	0	A	³⁾ $ I_{LIM_HS} \geq I_{SD_HS} $ See Figure 7	P_4.4.21
Overcurrent Shutdown filter time	t_{dSD_HS}	15	19	23	μs	³⁾	P_4.4.22
Open Load Detection Current	I_{OLD1_HS}	-15	-8	-3	mA	–	P_4.4.23
Open Load Detection filter time	t_{OLD1_HS}	2000	3000	4000	μs	³⁾	P_4.4.24
Open Load Detection Current for LED mode (HS1 & HS2)	$I_{OLD2_HS1,2}$	-3.2	-2	-0.5	mA	Bit OL_SEL_HS1 = 1, OL_SEL_HS2 = 1	P_4.4.25
Open Load Detection filter time for LED mode (HS1 & HS2)	$t_{OLD2_HS1,2}$	100	200	300	μs	Bit OL_SEL_HS1 = 1, OL_SEL_HS2 = 1; ³⁾	P_4.4.26

半桥输出低边 (LS) 通道的输出保护和诊断

LS Overcurrent Shutdown Threshold	I_{SD_LS}	0.9	1.1	1.4	A	Figure 8	P_4.4.104
Difference between shutdown and limit current	$I_{LIM_LS} - I_{SD_LS}$	0	0.6	1.2	A	³⁾ $I_{LIM_LS} \geq I_{SD_LS}$ Figure 8	P_4.4.28
Overcurrent Shutdown filter time	t_{dSD_LS}	15	19	23	μs	³⁾	P_4.4.29
Open Load Detection Current	I_{OLD_LS}	3	8	15	mA	–	P_4.4.30
Open Load Detection filter time	t_{OLD_LS}	2000	3000	4000	μs	³⁾	P_4.4.31

输出 OUT(1...n) 的漏电流

HS leakage current in off state	I_{QLHn_NOR}	-2	-0.5	–	μA	$V_{OUTn} = 0\text{ V}$; $EN=\text{High}$	P_4.4.32
HS leakage current in off state	I_{QLHn_SLE}	-2	-0.5	–	μA	$V_{OUTn} = 0\text{ V}$; $EN=\text{GND}$	P_4.4.33
LS Leakage current in off state	I_{QLLn_NOR}	–	0.5	2	μA	$V_{OUTn} = V_S$; $EN=\text{High}$	P_4.4.34
LS Leakage current in off state	I_{QLLn_SLE}	–	0.5	2	μA	$V_{OUTn} = V_S$; $EN=\text{GND}$	P_4.4.35

输出开关时间。见图 9 和图 10。

Slew rate of high-side and low-side outputs	d_{VOUT}/dt	0.1	0.45	0.75	V/ μs	Resistive load = 100 Ω ; $V_S=13.5\text{ V}$ ⁴⁾	P_4.4.36
---	---------------	-----	------	------	------------------	---	----------

一般产品特性

表 5 电气特性, $V_S=5.5\text{ V}$ 至 18 V , $V_{DD}=3.0\text{ V}$ 至 5.5 V , $T_J=-40^\circ\text{C}$ 至 $+150^\circ\text{C}$, $EN=HIGH$, $I_{OUTn}=0\text{ A}$; 除非另有说明, 典型值基于 $V_{DD}=5.0\text{ V}$ 、 $V_S=13.5\text{ V}$ 和 $T_J=25^\circ\text{C}$; 所有电压均相对于地, 正电流流入引脚 (除非另有说明) (续)

Parameter	Symbol	Values			Unit	Note or Test Condition	Number
		Min.	Typ.	Max.			
Output delay time high side driver on	t_{dONH}	5	20	35	μs	Resistive load = 100Ω to GND	P_4.4.37
Output delay time high side driver off	t_{dOFFH}	15	45	75	μs	Resistive load = 100Ω to GND	P_4.4.38
Output delay time low side driver on	t_{dONL}	5	20	35	μs	Resistive load = 100Ω to V_S	P_4.4.39
Output delay time low side driver off	t_{dOFFL}	15	45	75	μs	Resistive load = 100Ω to V_S	P_4.4.40
Cross current protection time, high to low	t_{DHL}	100	130	160	μs	Resistive load = $100\Omega^{(3)}$	P_4.4.41
Cross current protection time, low to high	t_{DLH}	100	130	160	μs	Resistive load = $100\Omega^{(3)}$	P_4.4.42

输入接口: 逻辑输入 EN

High-input voltage	V_{ENH}	$0.7 \cdot V_{DD}$	–	–	V	–	P_4.4.43
Low-input voltage	V_{ENL}	–	–	$0.3 \cdot V_{DD}$	V	–	P_4.4.44
Hysteresis of input voltage	V_{ENHY}	–	500	–	mV	³⁾	P_4.4.45
Pull down resistor	R_{PD_EN}	20	40	70	$k\Omega$	$V_{EN} = 0.2 \times V_{DD}$	P_4.4.46

SPI 频率

Maximum SPI frequency	$f_{SPI,max}$	–	–	5.0	MHz	^{3) 5)}	P_4.4.47
-----------------------	---------------	---	---	-----	-----	------------------	----------

SPI接口: 从 EN 上升沿到第一个数据的延迟时间

Setup time	t_{set}	–	–	150	μs	³⁾ See Figure 14	P_4.4.48
------------	-----------	---	---	-----	---------------	-----------------------------	----------

SPI接口: 输入接口、逻辑输入 SDI、SCLK、CSN

H-input voltage threshold	V_{IH}	$0.7 \cdot V_{DD}$	–	–	V	–	P_4.4.50
L-input voltage threshold	V_{IL}	–	–	$0.3 \cdot V_{DD}$	V	–	P_4.4.51
Hysteresis of input voltage	V_{IHY}	–	500	–	mV	³⁾	P_4.4.52
Pull up resistor at pin CSN	R_{PU_CSN}	30	50	80	$k\Omega$	$V_{CSN} = 0.7 \times V_{DD}$	P_4.4.53
Pull down resistor at pin SDI, SCLK	R_{PD_SDI} , R_{PD_SCLK}	20	40	70	$k\Omega$	$V_{SDI}, V_{SCLK} = 0.2 \times V_{DD}$	P_4.4.54
Input capacitance at pin CSN, SDI or SCLK	C_i	–	10	15	pF	$0\text{ V} < V_{DD} < 5.25\text{ V}^{(3)}$	P_4.4.55

输入接口, 逻辑输出 MISO

H-output voltage level	V_{SDOH}	$V_{DD} - 0.4$	$V_{DD} - 0.2$	–	V	$I_{SDOH} = -1.6\text{ mA}$	P_4.4.56
------------------------	------------	----------------	----------------	---	---	-----------------------------	----------

一般产品特性

表 5 电气特性, $V_S=5.5\text{ V}$ 至 18 V , $V_{DD}=3.0\text{ V}$ 至 5.5 V , $T_J=-40^\circ\text{C}$ 至 $+150^\circ\text{C}$, $EN=HIGH$, $I_{OUTn}=0\text{ A}$; 除非另有说明, 典型值基于 $V_{DD}=5.0\text{ V}$ 、 $V_S=13.5\text{ V}$ 和 $T_J=25^\circ\text{C}$; 所有电压均相对于地, 正电流流入引脚 (除非另有说明) (续)

Parameter	Symbol	Values			Unit	Note or Test Condition	Number
		Min.	Typ.	Max.			
L-output voltage level	V_{SDOL}	–	0.2	0.4	V	$I_{SDOL}=1.6\text{ mA}$	P_4.4.57
Tri-state Leakage Current	I_{SDOLK}	-1	–	1	μA	$V_{CSN}=V_{DD}$; $0\text{ V} < V_{SDO} < V_{DD}$	P_4.4.58
Tri-state input capacitance	C_{SDO}	–	10	15	pF	³⁾	P_4.4.59

数据输入时序。参见图 15 和图 17。

SCLK Period	t_{pCLK}	200	–	–	ns	³⁾	P_4.4.60
SCLK High Time	t_{SCLKH}	$0.45 \cdot t_{pCLK}$	–	$0.55 \cdot t_{pCLK}$	ns	³⁾	P_4.4.61
SCLK Low Time	t_{SCLKL}	$0.45 \cdot t_{pCLK}$	–	$0.55 \cdot t_{pCLK}$	ns	³⁾	P_4.4.62
SCLK Low before CSN Low	t_{BEF}	125	–	–	ns	³⁾	P_4.4.63
CSN Setup Time	t_{lead}	250	–	–	ns	³⁾	P_4.4.64
SCLK Setup Time	t_{lag}	250	–	–	ns	³⁾	P_4.4.65
SCLK Low after CSN High	t_{BEH}	125	–	–	ns	³⁾	P_4.4.66
SDI Setup Time	t_{SDI_setup}	30	–	–	ns	³⁾	P_4.4.67
SDI Hold Time	t_{SDI_hold}	30	–	–	ns	³⁾	P_4.4.68
Input Signal Rise Time at pin SDI, SCLK, CSN	t_{rIN}	–	–	50	ns	³⁾	P_4.4.69
Input Signal Fall Time at pin SDI, SCLK, CSN	t_{fIN}	–	–	50	ns	³⁾	P_4.4.70
Delay time from EN falling edge to standby mode	t_{DMODE}	–	–	8	μs	³⁾	P_4.4.71
Minimum CSN High Time	t_{CSNH}	5	–	–	μs	³⁾	P_4.4.72

数据输出时序。参见图 15。

SDO Rise Time	t_{rSDO}	–	30	80	ns	$C_{load}=40\text{ pF}$ ³⁾	P_4.4.73
SDO Fall Time	t_{fSDO}	–	30	80	ns	$C_{load}=40\text{ pF}$ ³⁾	P_4.4.74
SDO Enable Time after CSN falling edge	t_{ENSDO}	–	–	75	ns	Low Impedance ³⁾	P_4.4.75
SDO Disable Time after CSN rising edge	t_{DISSDO}	–	–	75	ns	High Impedance ³⁾	P_4.4.76
Duty cycle of incoming clock at SCLK	$duty_{SCLK}$	45	–	55	%	³⁾	P_4.4.77
SDO Valid Time for $V_{DD}=3.3\text{ V}$	t_{VASDO3}	–	70	95	ns	$V_{SDO} < 0.2 \times V_{DD}$ $V_{SDO} > 0.8 \times V_{DD}$ $C_{load}=40\text{ pF}$ ³⁾	P_4.4.78

一般产品特性

表 5 电气特性, $V_S=5.5\text{ V}$ 至 18 V , $V_{DD}=3.0\text{ V}$ 至 5.5 V , $T_J=-40^\circ\text{C}$ 至 $+150^\circ\text{C}$, $EN=\text{HIGH}$,
 $I_{OUTn}=0\text{ A}$; 除非另有说明, 典型值基于 $V_{DD}=5.0\text{ V}$ 、 $V_S=13.5\text{ V}$ 和 $T_J=25^\circ\text{C}$; 所有电压
 均相对于地, 正电流流入引脚 (除非另有说明) (续)

Parameter	Symbol	Values			Unit	Note or Test Condition	Number
		Min.	Typ.	Max.			
SDO Valid Time for $V_{DD}=5\text{ V}$	t_{VASDO5}	–	50	65	ns	$V_{SDO} < 0.2 \times V_{DD}$ $V_{SDO} > 0.8 V_{DD}$ $C_{load} = 40\text{ pF}^{3)}$	P_4.4.79

过热警告和关机

Thermal warning junction temperature	T_{JW}	120	140	170	$^\circ\text{C}$	See Figure 11 ³⁾	P_4.4.80
Thermal shutdown junction temperature	T_{JSD}	150	175	200	$^\circ\text{C}$	See Figure 11 ³⁾	P_4.4.81
Thermal comparator hysteresis	T_{JHYS}	–	5	–	$^\circ\text{C}$	³⁾	P_4.4.82
Ratio of SD to W temperature	T_{JSD}/T_{JW}	1.05	1.20	–	–	³⁾	P_4.4.83

1) I_{S_HSON} 不包括负载电流

2) 通过将 OL_SEL_HS1 位设置为 1, 可将 HS1 设置为 LED 模式; 同理将 OL_SEL_HS2 位设置为 1, 可将 HS2 设置为 LED 模式

3) 未经过生产测试, 由设计指定。

4) 在 V_S 的 20% - 80% 范围内进行测量。

5) 在菊花链配置中不适用

特性描述结果

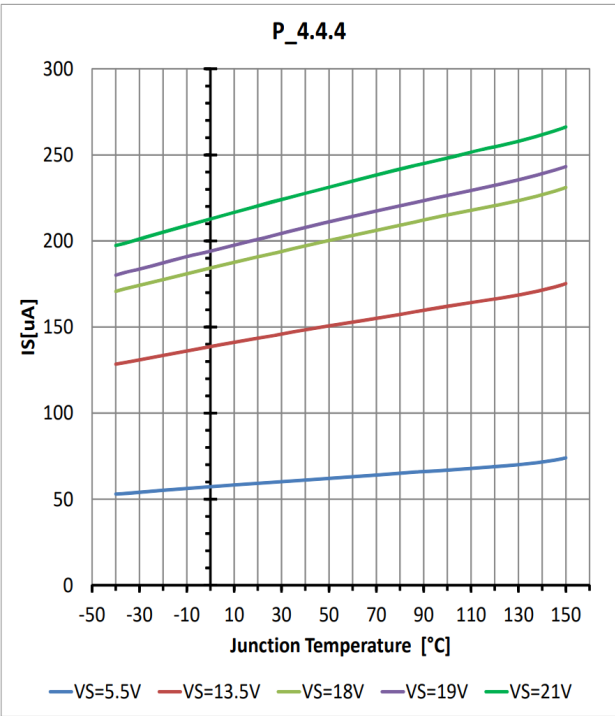
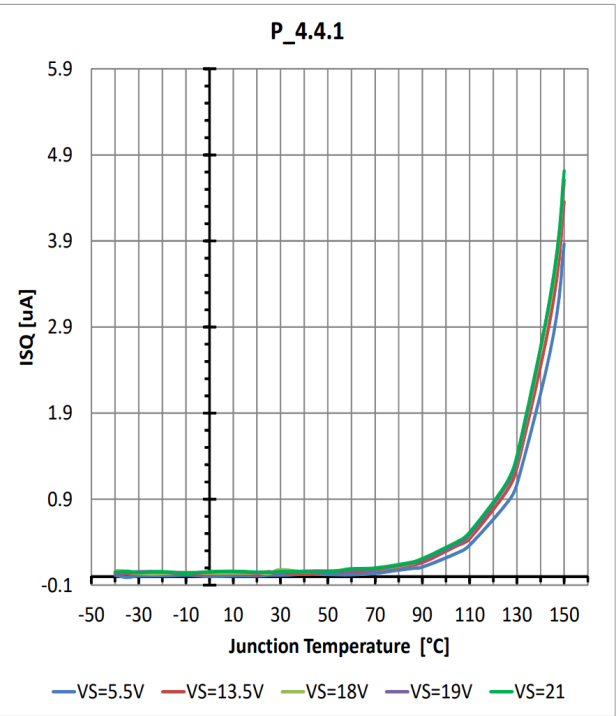
4 特性描述结果

对来自 2 个批次的 7 个芯片进行了测试，测试覆盖了工作温度和标称/扩展电源范围。

典型性能特征

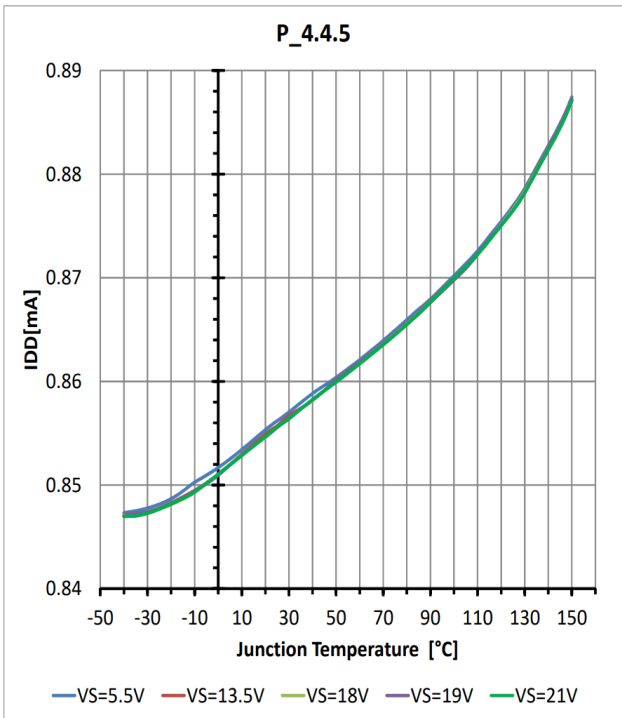
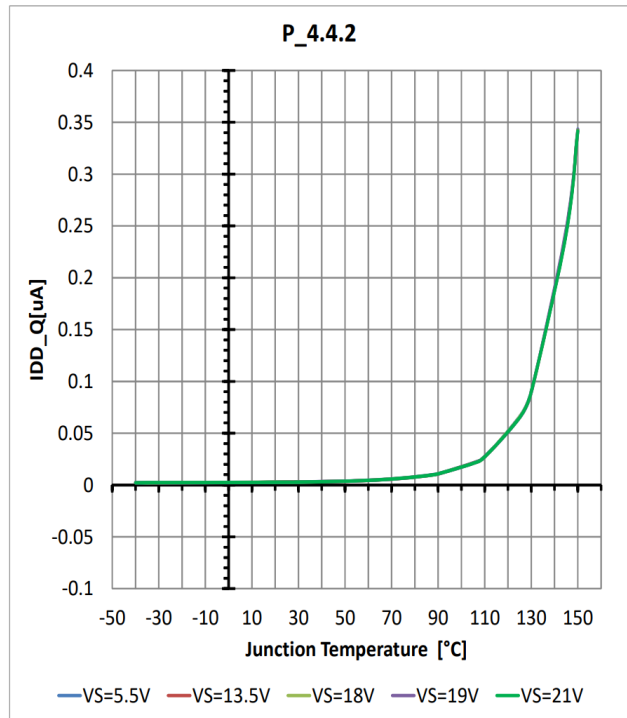
电源静态电流

电源电流



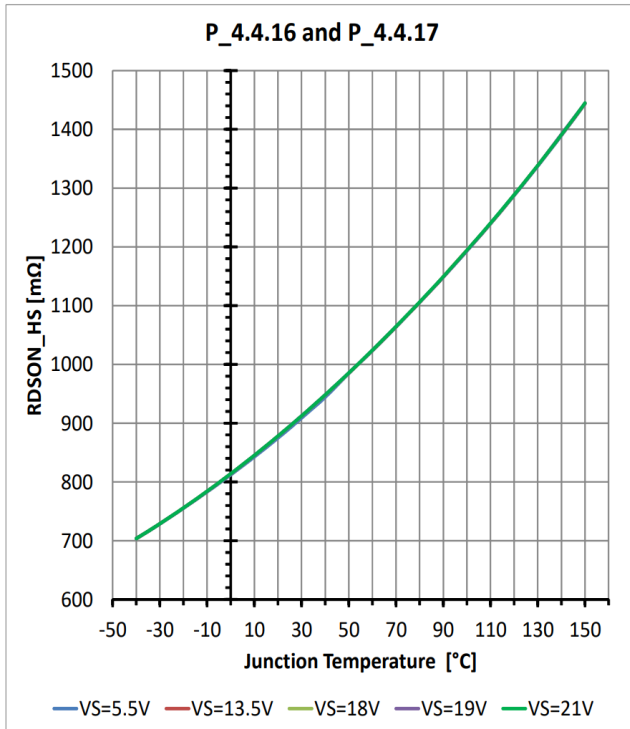
逻辑电源静态电流

逻辑电源电流

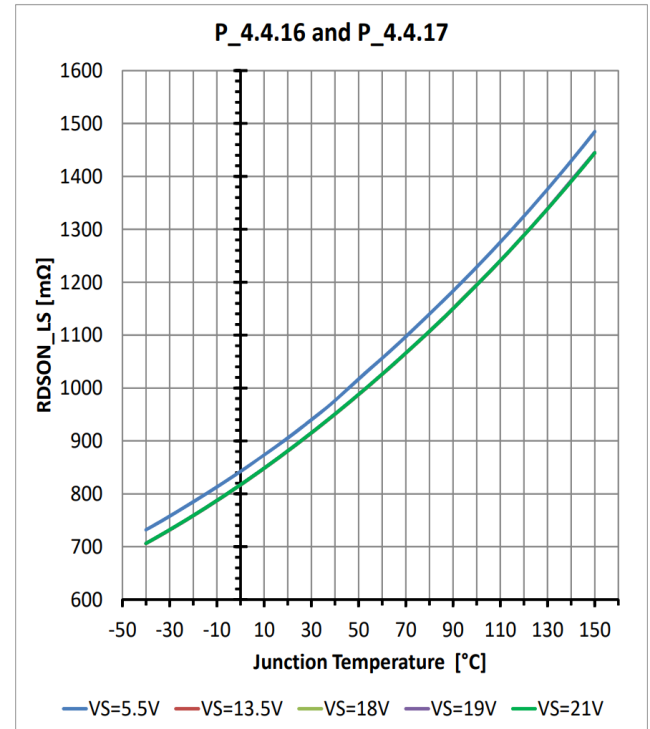


特性描述结果

高边静态漏源导通电阻

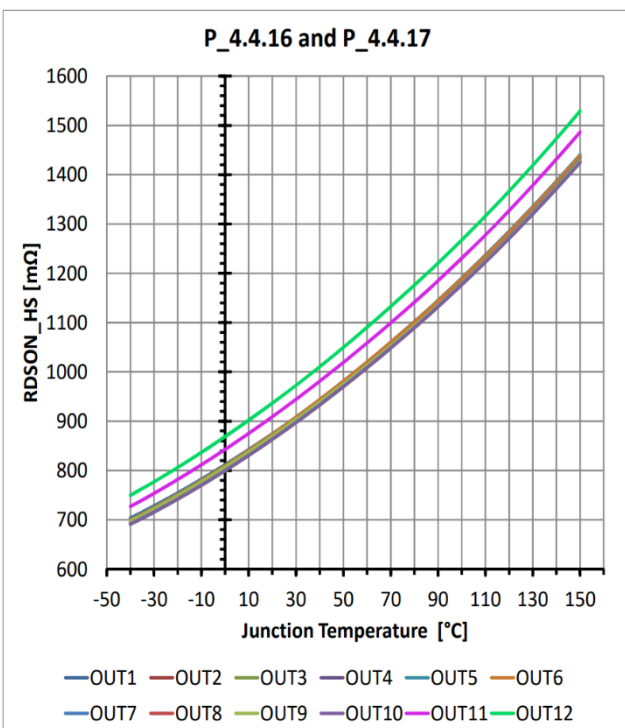


低边静态漏源导通电阻



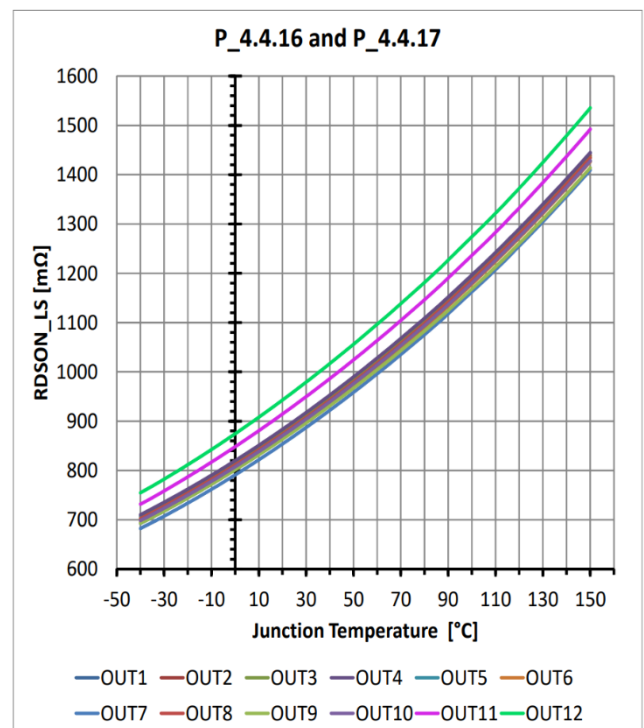
高边静态漏源导通电阻 VS = 13.5V

和 VDD = 5V



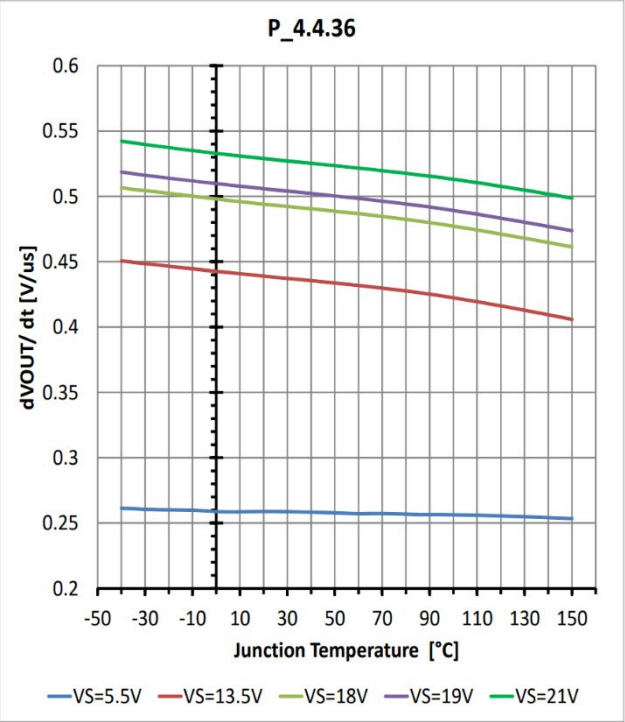
低边静态漏源导通电阻 VS = 13.5V

和 VDD = 5V

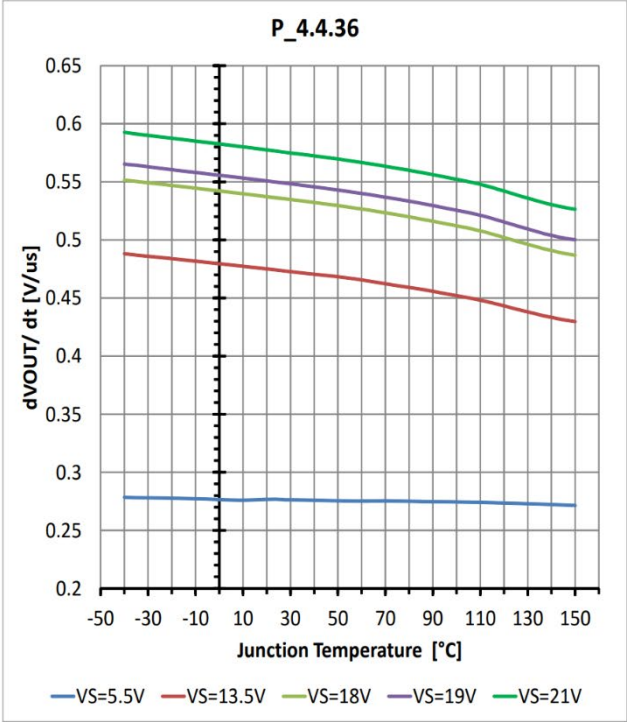


特性描述结果

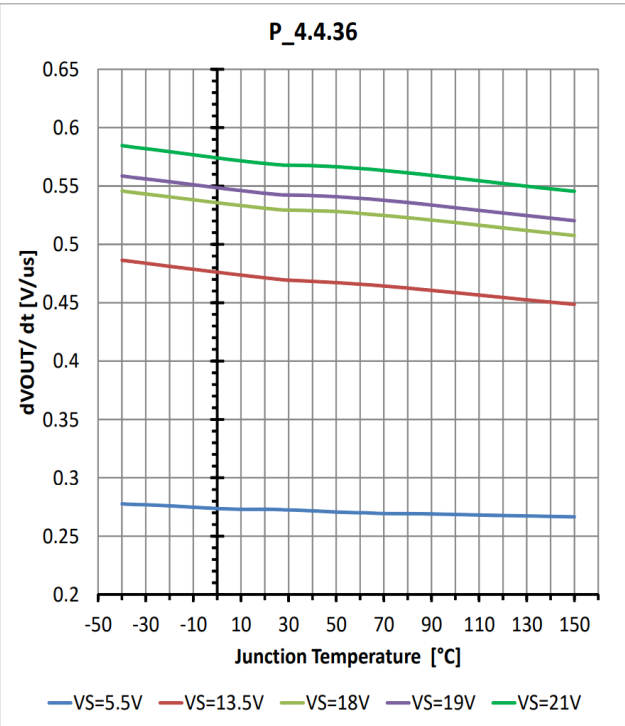
高边输出导通斜率



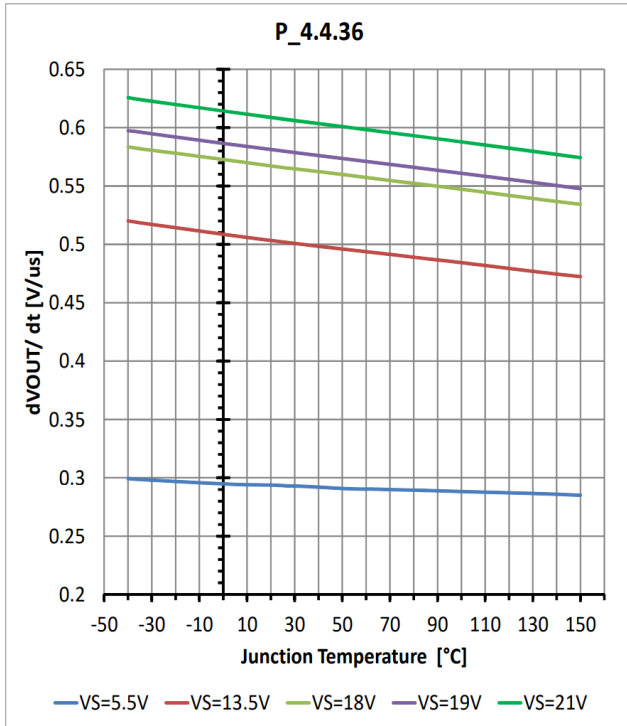
低边输出导通斜率



高边输出关断斜率

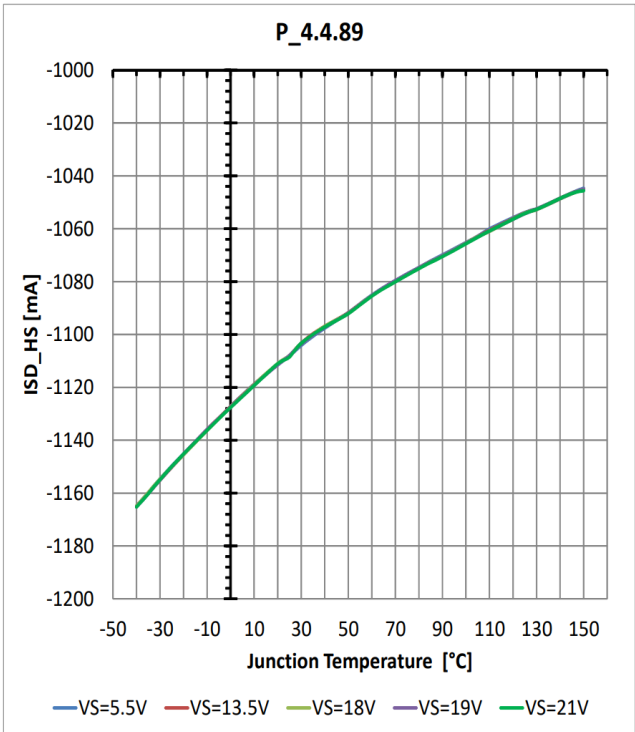


低边输出关断斜率

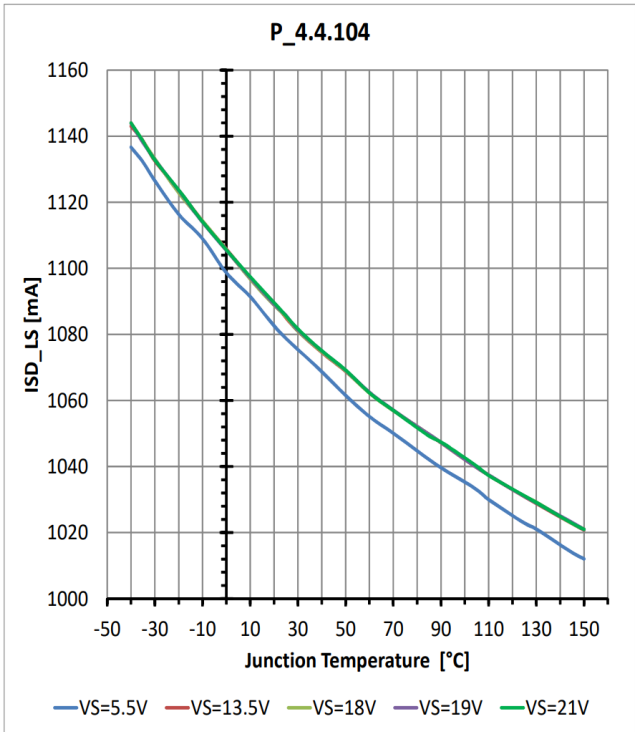


特性描述结果

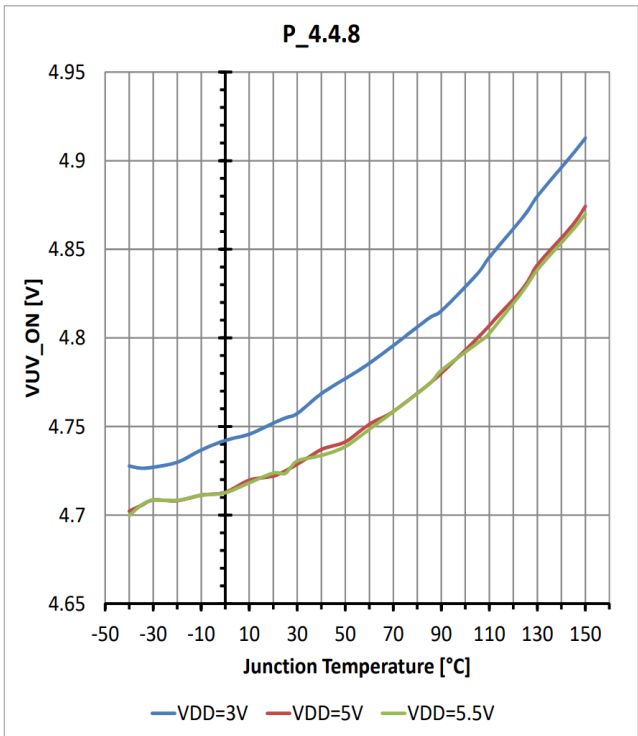
高边过流关断阈值



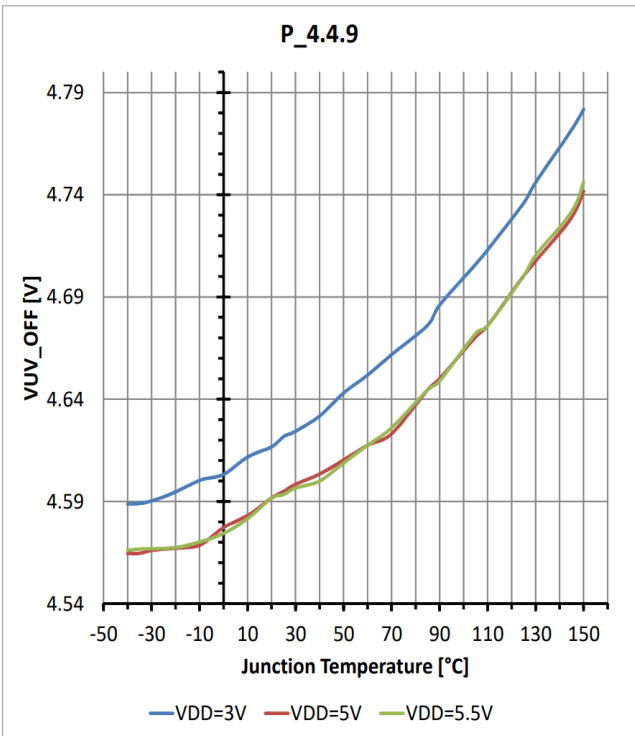
低边过流关断阈值



欠压开启电压阈值

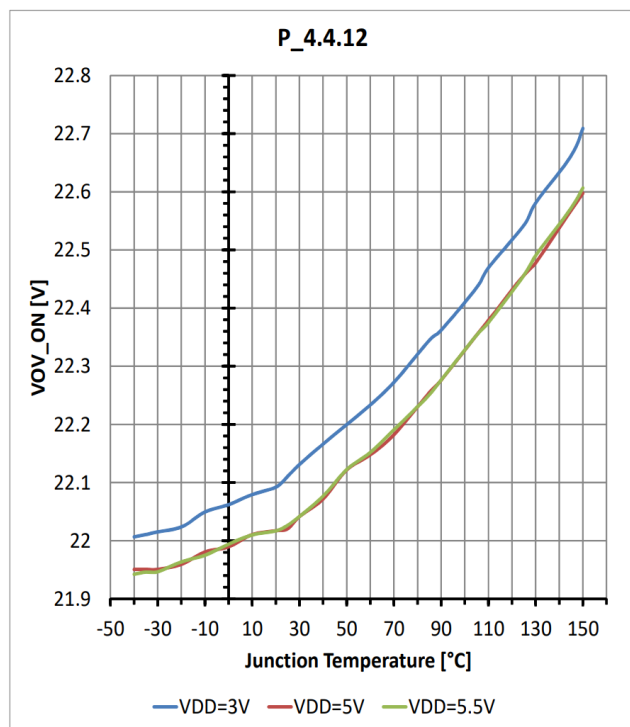


欠压关断电压阈值

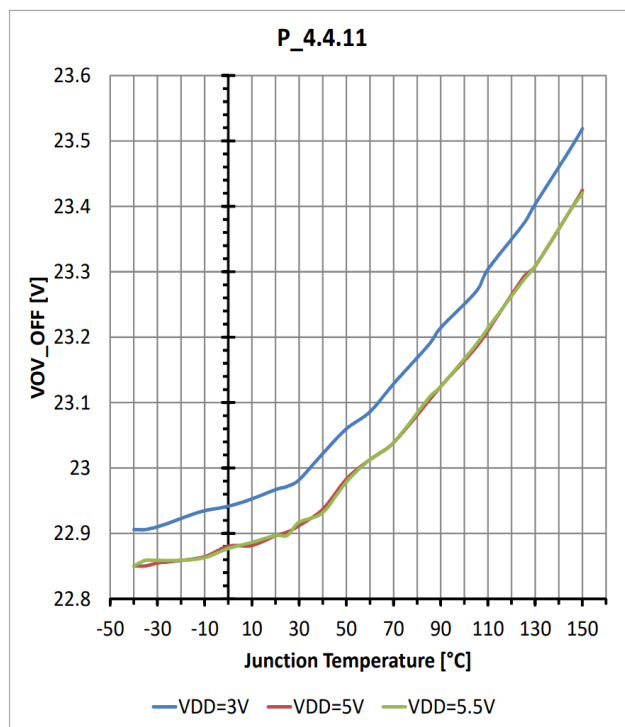


特性描述结果

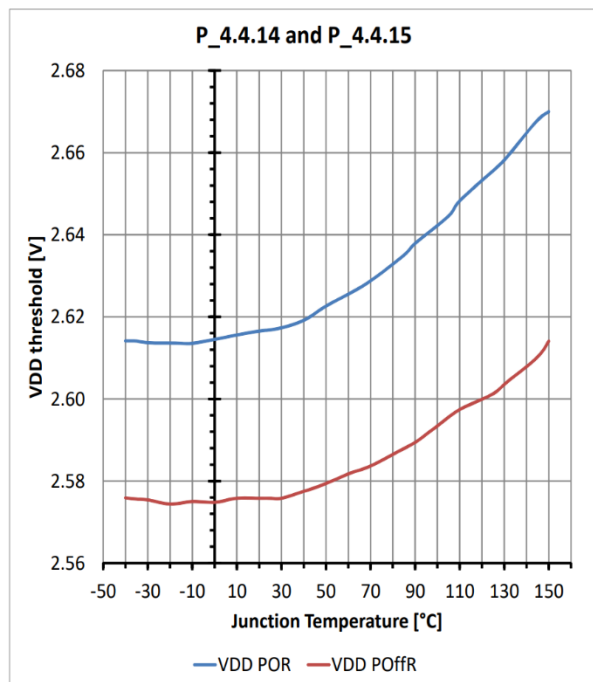
过压开启电压阈值



过压关断电压阈值



VDD 上电复位和 VDD 断电复位



概述

5 概述

5.1 电源

CLE94112ES 有两个电源输入引脚，分别为 V_S 和 V_{DD} 。半桥输出由 V_S 供电， V_S 连接到 12V 汽车电源轨。 V_{DD} 用于为器件的 I/O 缓冲器和内部稳压器供电。

V_S 和 V_{DD} 电源是相互独立的，这样一来，当 V_S 出现电压跌落或干扰时，逻辑模块中存储的信息仍能保持完整。因此，一旦 V_S 恢复，系统就可以继续运行，无需向器件重新发送指令。

V_{DD} 上升沿超过 V_{DD_POR} 时，会触发内部上电复位 (POR)，以在上电时初始化 IC。所有内部存储的数据都将被删除，并且输出将被关闭（高阻态）。

建议将一个电解电容和一个 100nF 陶瓷电容器尽可能靠近器件的 V_S 电源引脚放置，以改善高频和低频段效的电磁兼容性能(EMC)。电解电容的尺寸必须经过设计，以防止 V_S 电压超过绝对最大额定值。此外，建议在 V_{DD} 电源引脚上使用去耦电容。

5.2 操作模式

5.2.1 正常模式

通过将 EN 输入设置为高电平，CLE94112ES 进入正常模式。在正常模式下，电荷泵处于激活状态，所有输出晶体管都可以通过 SPI 进行配置。

5.2.2 休眠模式

通过设置 EN 输入低电平，CLE94112ES 进入休眠模式。EN 输入具有内部下拉电阻。

在休眠模式下，所有输出晶体管均关闭，SPI 寄存器组复位。电流消耗降至 $I_{SQ} + I_{DD_QO}$ 。

5.3 复位行为

CLE94112ES 有以下复位触发行为：

V_{DD} 欠压复位：

如果 V_{DD} 低于欠压阈值 V_{DD_POFFR} ，则 SPI 接口将无法工作。数字功能块将被停用，逻辑内容被清除，输出级被关闭。一旦 V_{DD} 电压电平高于欠压阈值 V_{DD_POR} ，数字功能块就会被初始化。然后 NPOR 位复位（在 **SYS_DIAG1** 和 Global Status Register 中的 NPOR = 0）。

EN 引脚复位：

如果 EN 引脚被拉至低电平，逻辑内容将被重置，器件进入休眠模式。

一旦 CLE94112ES 处于正常模式（EN = 高； $V_{DD} > V_{DD_POR}$ ），NPOR 位（NPOR = 0）就会报告复位事件。

概述

5.4 反极性保护

CLE94112ES 需要外部反极性保护。在反极性情况下，半桥输出端的续流二极管将开始导通，导致电流从地电位到电池的非期望流动 (I_{RB})，并导致二极管两端的功耗过大。因此，建议使用反极性保护二极管（参见图 4）。

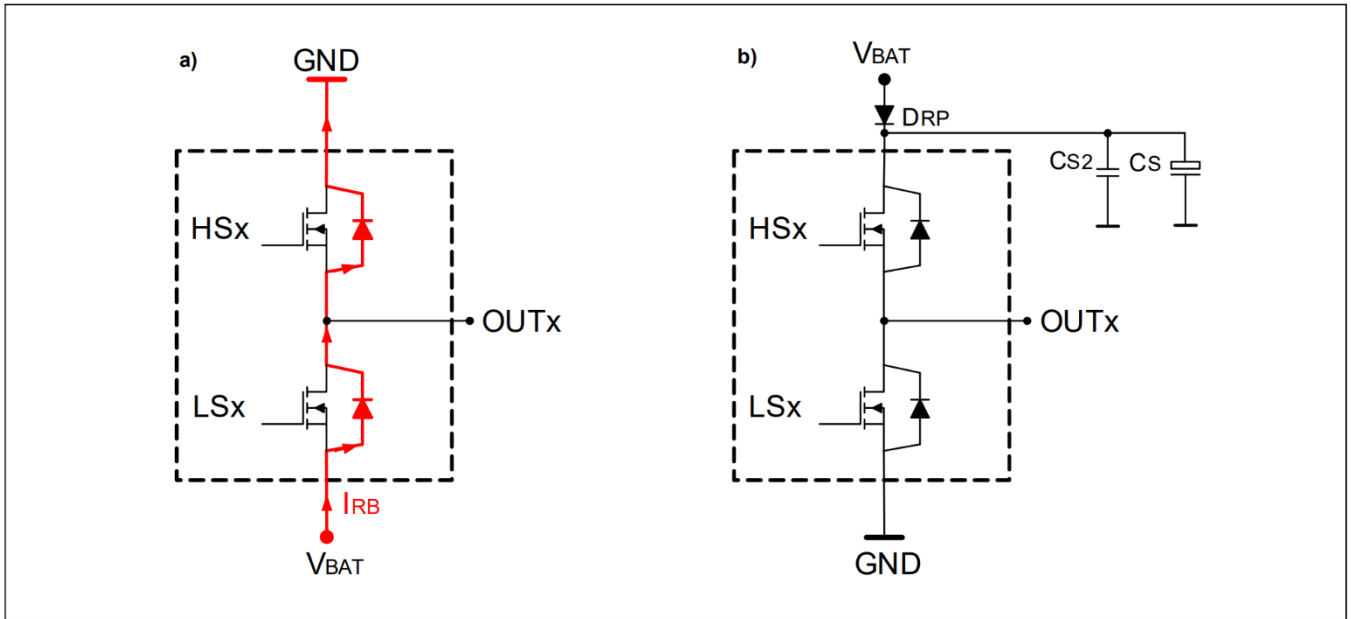


图 4 反极性保护

半桥输出

6 半桥输出

6.1 功能说明

CLE94112ES 的半桥输出用于驱动电机负载。这些输出可以连续驱动，也可以通过SPI启用PWM。

如果输出通过SPI连续驱动，例如HS1 和 LS2用于驱动电机的，则应发送以下建议的SPI指令：

- 激活 HS1：HB_ACT_1_CTRL 寄存器中的位 HB1_HS_EN
- 激活 LS2：HB_ACT_1_CTRL 寄存器中的位 HB2_LS_EN

6.1.1 启用PWM的半桥操作

CLE94112ES 的所有半桥输出均支持PWM 操作。它们既可以用来驱动感性负载（例如直流电刷电机）也可以驱动电阻性负载（例如 LED）。每个半桥输出最多分配三个 PWM 通道，每个通道都有独立的占空比设置，分辨率为8位。每个通道进一步映射到最多三个PWM信号频率选项，即 80Hz、100Hz 和 200Hz。此功能使得在驱动具有不同控制曲线的负载时，能够实现高度灵活的PWM操作。

在所需半桥输出的PWM操作期间，可以根据需要更改PWM信号频率和占空比。内部逻辑电路将防止因PWM运行中按需更改而出现的PWM输出波形上的毛刺。

当使用电机负载时，可通过SPI选择主动或被动续流配置，一确定电感电流在全桥电路中衰减的速度。默认设置为被动续流。

注意： 如果所选的占空比对应于HS 和LS 的导通时间大于交叉导通时间 $t_{DHL} + t_{DLH}$ 之和，则主动续流就能得到有效应用。

表 6 每个半桥输出的 PWM 能力和频率选择

Control Register: HBx_MODEn (n=0,1)	PWM Frequency 80Hz (Control Register: PWM_CH_FREQ_CTRL)	PWM Frequency 100Hz (Control Register: PWM_CH_FREQ_CTRL)	PWM Frequency 200Hz (Control Register: PWM_CH_FREQ_CTRL)
PWM Channel 1	PWM_CH1_FREQ_n (n=0,1) Bit '01 _B '	PWM_CH1_FREQ_n (n=0,1) Bit '10 _B '	PWM_CH1_FREQ_n (n=0,1) Bit '11 _B '
PWM Channel 2	PWM_CH2_FREQ_n (n=0,1) Bit '01 _B '	PWM_CH2_FREQ_n (n=0,1) Bit '10 _B '	PWM_CH2_FREQ_n (n=0,1) Bit '11 _B '
PWM Channel 3	PWM_CH3_FREQ_n (n=0,1) Bit '01 _B '	PWM_CH3_FREQ_n (n=0,1) Bit '10 _B '	PWM_CH3_FREQ_n (n=0,1) Bit '11 _B '

半桥输出

6.1.1.1 感性负载

图5展示了OUT1和OUT2驱动直流有刷电机的示意图。在这种配置下，HS1 持续驱动，而 LS2 以PWM方式运行。HS2 用于主动续流 (FW) 电机电流负载，从而减少器件的功耗。

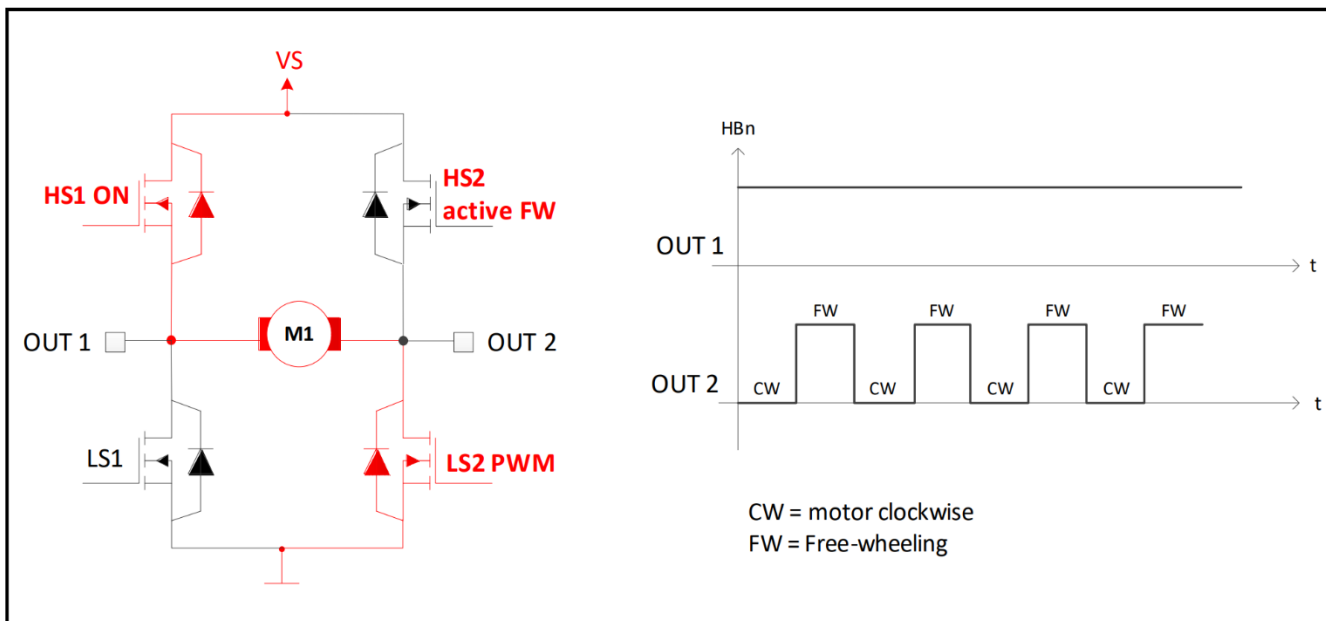


图 5 OUT 2 上的PWM操作

假设 HBx Mode = 00 且 HSx 和 LSx 均处于关闭状态（三态）。为实现正确的PWM操作，建议的SPI控制指令如下：

选项 1：所考虑的输出不与另一个输出并联

- 将所选的 PWM 通道的频率配置为 00（PWM 停止并关闭）
- 在FW_CTRL寄存器中配置电感衰减电流的主动或者被动续流
- 在 HB_MODE_CTRL 寄存器中为选定的半桥输出分配适当的 PWM 通道
- 在 PWM_DC_CTRL 寄存器中配置所选半桥输出的占空比
- 在 PWM_CH_FREQ_CTRL 寄存器中选择PWM频率以启动PWM周期
- 通过HB_ACT_CTRL 寄存器中的 HS_n 或 LS_n来激活需要以PWM 模式驱动通道

选项 2：由不同控制寄存器控制的输出被并联使用。此序列确保相应的 HS 或 LS 被同时激活

- 将所选的 PWM 通道频率配置为 00（PWM 停止并关闭）
- 在FW_CTRL寄存器中配置电感衰减电流的主动或者被动续流
- 在 HB_MODE_CTRL 寄存器中为选定的半桥输出分配适当的 PWM 通道
- 在 PWM_DC_CTRL 寄存器中配置所选半桥输出的占空比
- 通过HB_ACT_CTRL 寄存器中的 HS_n 或 LS_n来激活需要以PWM 模式驱动通道
- 在 PWM_CH_FREQ_CTRL 寄存器中选择PWM频率以启动PWM周期

应特别注意 PWM 操作中需要驱动的半桥的续流配置。例如，如果激活了高边通道并为其分配了PWM通道，且选择了主动续流，但在PWM_CH_FREQ_CTRL寄存器中配置了频率模式为“00”（PWM停止并关闭），

半桥输出

则相应的高边通道将被配置为低电平，并且半桥内的相对的低边通道将被启用。这是启用主动续流的结果。

半桥输出

6.1.1.2 LED模式（可选）

输出端 OUT1 和 OUT2 设计用于选择性地驱动低电流负载，例如 LED。高边通道 HS1 和 HS2 配备了较低的负载开路阈值检测电流和较短的滤波时间，专门针对 LED 等低电流负载。请参见 FW_OL_CTRL 寄存器中的 OL_SEL_HS1 和 OL_SEL_HS2 位。将 HS1 或 HS2 设置为 LED 模式会增加 $R_{DS(on)}$ 并降低负载开路检测阈值。图示如图 6 所示 OUT1 驱动 LED。在此配置下，HS1 以 PWM 模式驱动，而 LS1 处于停用状态。

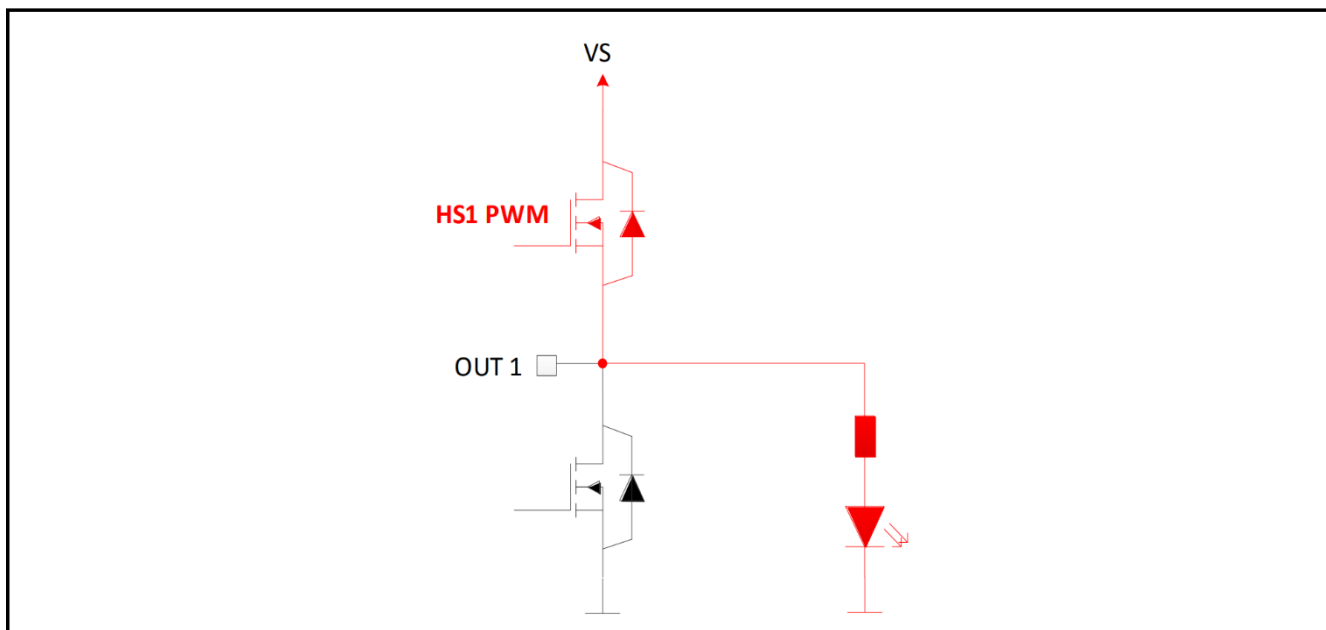


图 6 OUT 1 上的 PWM 操作

假设 HBx Mode = 00 且 HSx 和 LSx 均处于关闭状态（三态）。建议的 SPI 控制指令如下：

- 为选定的通道配置频率 00（PWM 停止并关闭）以确保 PWM 关闭。
- 在 HB_MODE_CTRL 寄存器中为选定的 HS1 或 HS2 输出分配适当的 PWM 通道
- 在 PWM_DC_CTRL 寄存器中配置所选 HS1 或 HS2 输出的占空比
- 通过 HB_ACT_CTRL 寄存器中的 HS1 或 HS2 来激活需要以 PWM 模式驱动通道
- 在 FW_OL_CTRL 寄存器中为 HS1 或 HS2 的低电流负载开路检测阈值
- 在 PWM_CH_FREQ_CTRL 寄存器中选择 PWM 信号频率以开始 PWM 周期。

半桥输出

6.2 保护与诊断

CLE94112ES 配备 SPI 接口，用于控制和诊断半桥驱动器的状态。

该器件内置保护功能，旨在防止IC在以下章节描述的故障条件下被破坏。故障情况被认为超出了正常工作范围。保护功能并非为连续重复运行而设计。

下表总结了 CLE94112ES 器件中内置的故障条件、保护机制和恢复状态。

表 7 输出的诊断和监控总结

Fault condition	Error Flag (EF) behaviour	Error bit: Status Register	Output Protection mechanism	Output error state	Output and error flag (EF) recovery
Overcurrent	Latch	1. Load Error bit, LE (bit 6) in SYS_DIAG 1: Global Status 1 Register 2. Localized error for each HS and LS channel of half-bridge, HBn_HS_OC and HBn_LS_OC bits in SYS_DIAG_2, SYS_DIAG_3, SYS_DIAG_4 status registers.	Error output shutdown and latched	High-Z	Half-bridge control bits remain set despite error, however the output stage is shutdown. Clear EF to reactivate output stage.
Open load	Latch	1. Load Error bit, LE (bit 6) in SYS_DIAG 1: Global Status 1 Register 2. Localized error for each HS and LS channel of half-bridge, HBn_HS_OL and HBn_LS_OL bits in SYS_DIAG_5, SYS_DIAG_6, SYS_DIAG_7 status registers.	None	No state change	An open load detection does not change the state of the output. EF to be cleared.
Temperature pre-warning	Latch	Global error bit 1, TPW in SYS_DIAG_1: Global Status 1 register	None	No state change	Not applicable
Temperature shutdown	Latch	Global error bit 2, TSD in SYS_DIAG_1: Global Status 1 register	All outputs shutdown and latched.	High-Z	Half-bridge control bits remain set despite error, however the output stage is shutdown. Clear EF to reactivate output stage.

半桥输出

表 7 输出的诊断和监控总结 (续)

Fault condition	Error Flag (EF) behaviour	Error bit: Status Register	Output Protection mechanism	Output error state	Output and error flag (EF) recovery
Power supply failure due to undervoltage	Latch	Global error bit 5, VS_UV in SYS_DIAG_1: Global Status 1 register	All outputs shutdown and automatically recovers.	High-Z	Half-bridge control bits remain set despite error, however the output stage is shutdown. They will automatically be reactivated once the power supply recovers. EF to be cleared.
Power supply failure due to overvoltage	Latch	Global error bit 4, VS_OV in SYS_DIAG_1: Global Status 1 register	All outputs shutdown and automatically recover.	High-Z	Half-bridge control bits remain set despite error, however the output stage is shutdown. They will automatically be reactivated once the power supply recovers. EF to be cleared.

半桥输出

6.2.1 短路输出到电源或地

高边开关具有对地短路保护功能，而低边开关具有对电源短路保护功能。

如果开关内的电流超过过流关断检测阈值 I_{SD} ，高边和低边开关将进入过流状态。一旦检测到 I_{SD} 阈值，过流关断滤波器 t_{dSD} 启动。当电流上升超过阈值 I_{SD} 时，它将受到限流阈值 I_{LIM} 的限制。过流关断滤波器时间结束后，受影响的功率开关被锁定关闭，相应的故障位 HBn_HS_OC 或 HBn_LS_OC 被置位并锁定。见图7和图8了解更多详情。全局状态寄存器 SYS_DIAG_1 中包含的全局负载故障位 LE 也会被置位，以便于应用软件进行错误扫描。只要故障位被置位，开关就会保持停用状态。

为了恢复电源开关的正常功能（如果过流条件消失或需要验证故障是否仍然存在时），控制器应清除相应状态寄存器中的错误位，以重新激活所需的开关。

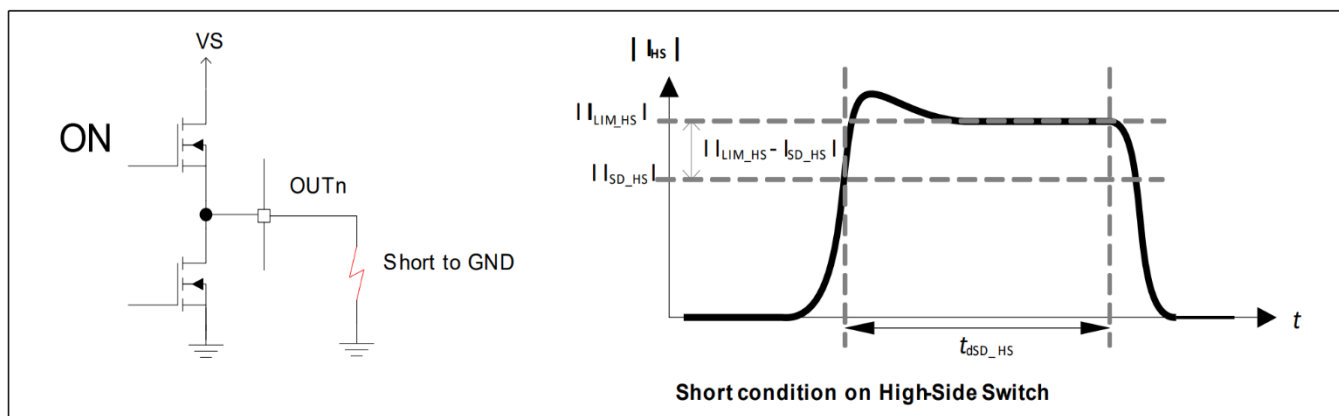


图 7 高边开关——短路和过流保护

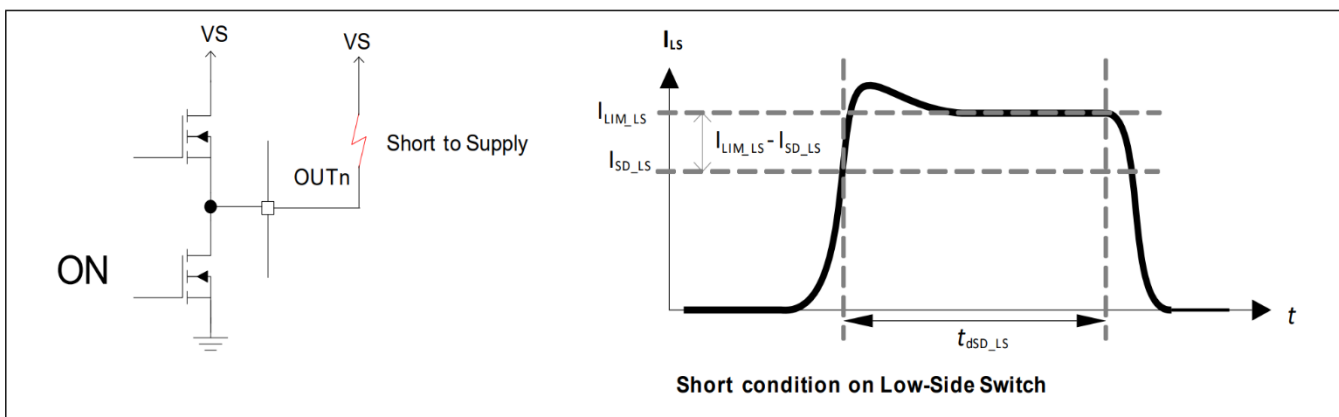


图 8 低边开关——短路和过流保护

半桥输出

表 8 激活功率开关发生过流情况时的控制和状态寄存器状态

REGISTER TYPE	REGISTER NAME	Bit	BEFORE OVERCURRENT	DURING OVERCURRENT	AFTER OVERCURRENT
			Bit State	Bit State	Bit State
Control	HB_ACT_CTRL_n	HBn_HS_EN HBn_LS_EN	1	1	1 (corresponding half-bridge deactivated)
Status	SYS_DIAG_1: Global Status 1	LE	0	0	1
Status	SYS_DIAG_x where x=2,3,4	HBn_HS_OC HBn_LS_OC	0	0	1

半桥输出

6.2.2 交叉电流

在桥式中，确保高边和低边功率开关不会同时“导通”，以避免交叉电流。这是通过在功率输出的驱动级中加入延迟来实现的，从而在半桥内一个功率晶体管关闭与半桥内相对的功率晶体管开启之间产生死区时间。死区时间 t_{DHL} 和 t_{DLH} ，如图 9 案例3和图 10 案例3所示，以确保开关斜率不会相互重叠。这可以防止发生交叉导通事件。

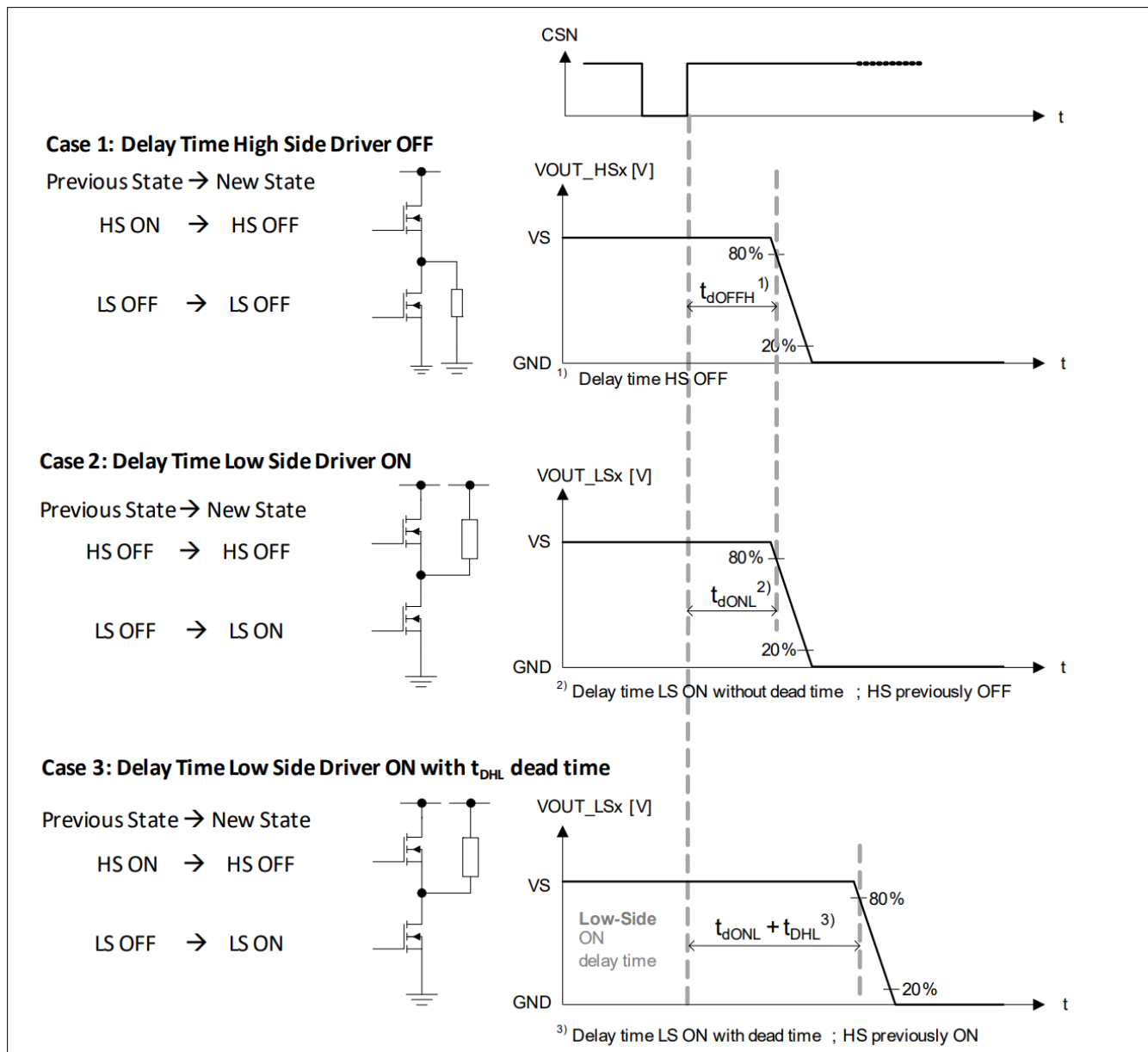


图9 半桥输出开关时间——高边到低边的转换

半桥输出

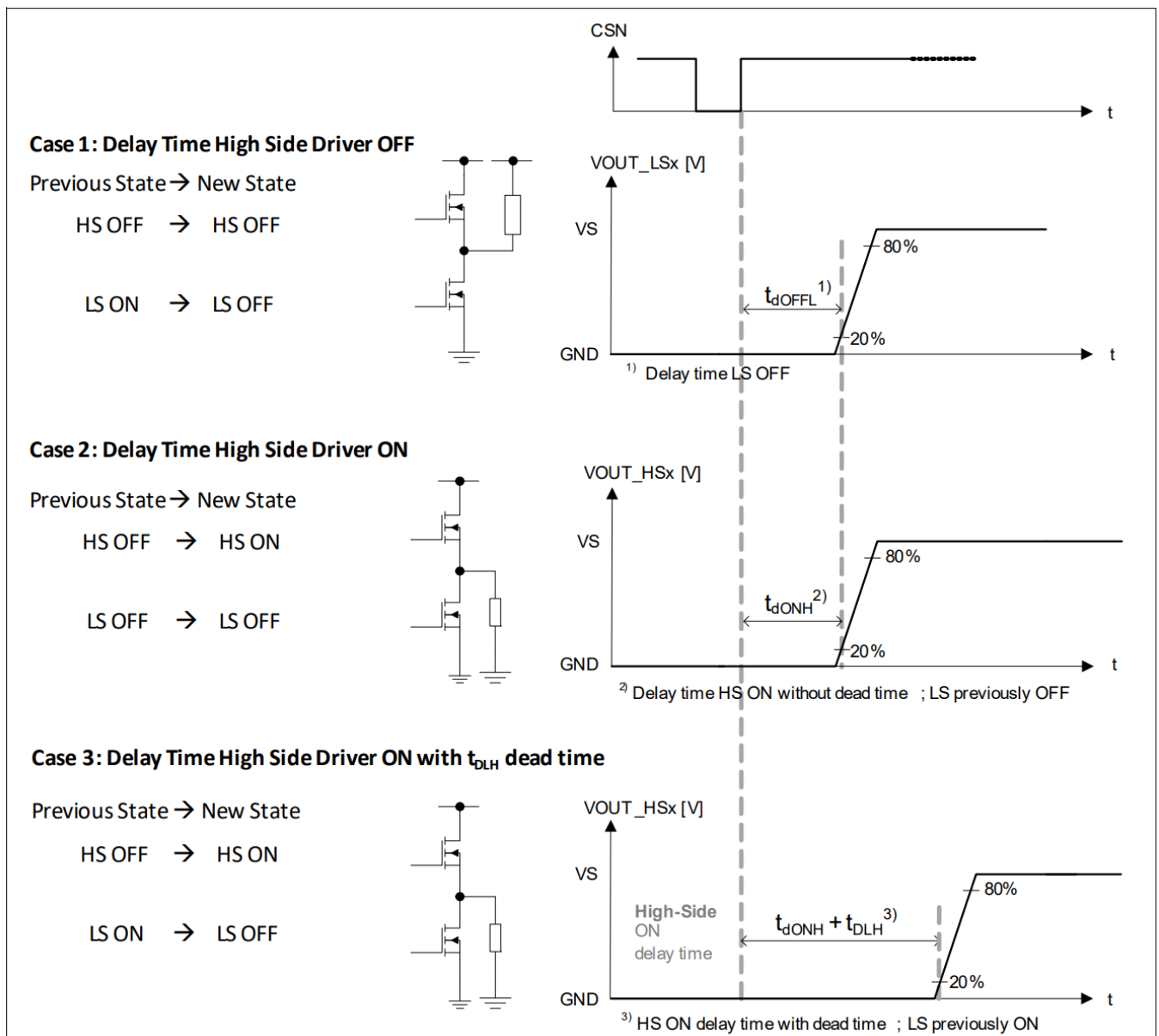


图10 半桥输出开关时间——低边到高边的转换

半桥输出

6.2.3 温度监控

功率级中集成了温度传感器。温度监控电路会将测量的温度与关断阈值进行比较。如果一个或多个温度传感器达到警告温度，则温度预警位，TPW置位。该位是锁存的并且只能通过 SPI 清除。但输出级仍保持激活状态。

如果一个或多个温度传感器达到关断温度阈值，**所有输出都会进入锁定关闭状态**。SYS_DIAG_1：全局状态 1 中的 TSD 位会被置位。所有输出保持停用状态，直至 TSD 位被清除。参见图 11。

为了恢复电源开关的正常功能（在过温条件消失的情况下，或验证故障是否仍然存在时），微控制器应清除状态寄存器中的TDS故障位，以重新激活相应的开关切换。

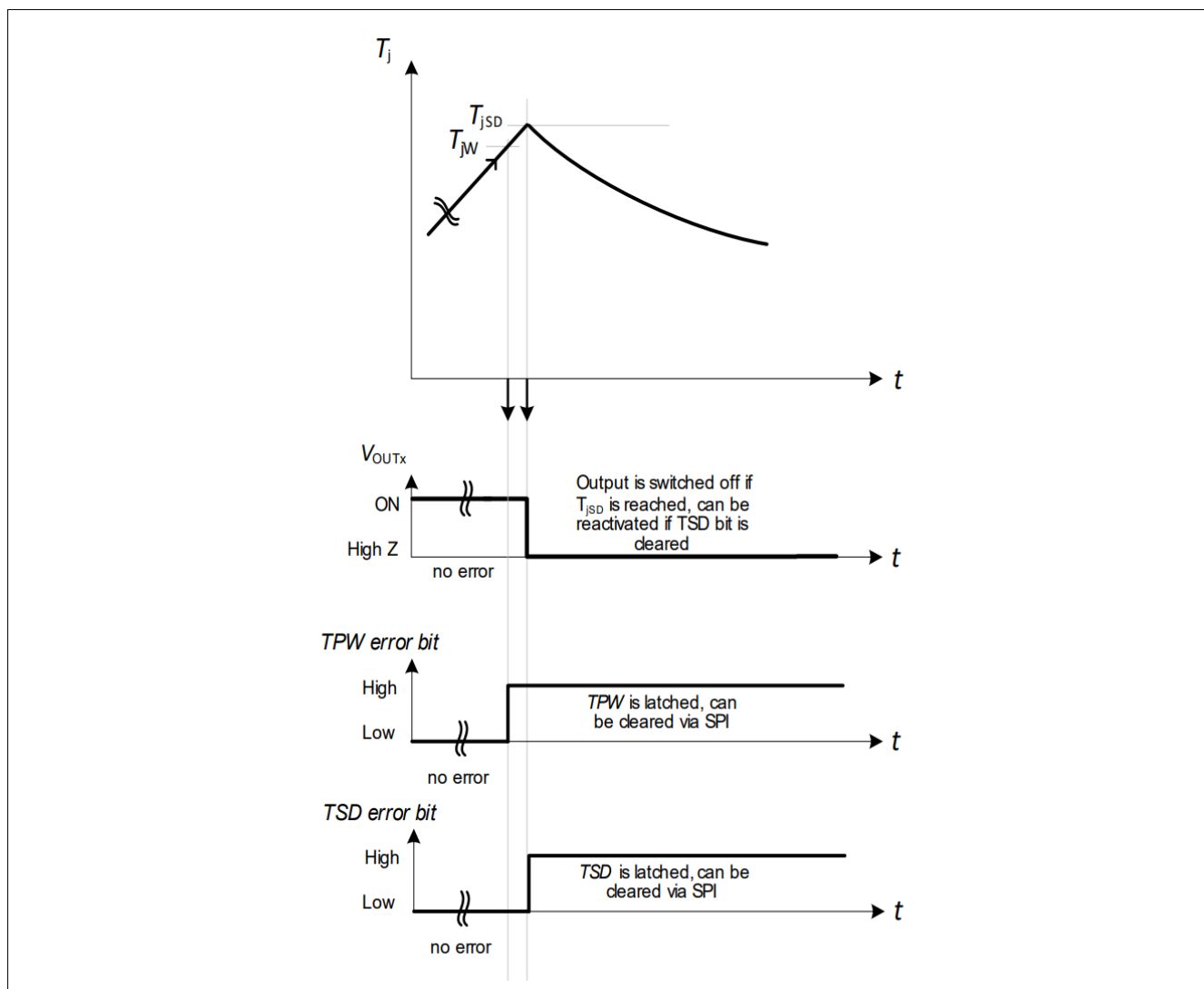


图 11 过温行为

半桥输出

表 9 激活的功率开关出现过温情况时的控制和状态寄存器状态

REGISTER TYPE	REGISTER NAME	Bit	$T_j < T_{jw}$	$T_j > T_{jw}$	$T_j > T_{jSD}$	$T_j < T_{jSD} - T_{jHYS}$
			Bit State	Bit State	Bit State	Bit State
Control	HB_ACT_CTRL_n	HBn_HS_EN HBn_LS_EN	1	1	1 (all outputs are latched off)	'1' (outputs are latched off unless error is cleared)
Status	SYS_DIAG_1: Global status 1	TPW	0	1 (latched)	1 (latched)	'0' if error is cleared and $T_j < T_{jw}$, else '1'
Status	SYS_DIAG_1: Global status 1	TSD	0	0	1 (latched)	'0' if error is cleared, else '1'

6.2.4 过压和欠压关断

电源轨 V_S 和 V_{DD} 均受到监控，以防电源波动。 V_S 电源受到欠压和过压情况的监控，而 V_{DD} 电源则受到欠压情况的监控。

6.2.4.1 V_S 欠压

如果供电电压 V_S 降至关断电压 $V_{UV\ OFF}$ 以下，所有输出级都会关闭，但逻辑信息保持完整且未损坏。位于 SYS_DIAG_1: Global Status 1 状态寄存器中的 V_S 欠压故障位 VS_UV，将被置位并锁存。如果 V_S 再次上升并达到开启电压 $V_{UV\ ON}$ 阈值，功率级将自动激活。应清除 VS_UV 故障位以验证电源跌落是否仍然存在。见图 12。

6.2.4.2 V_S 过压

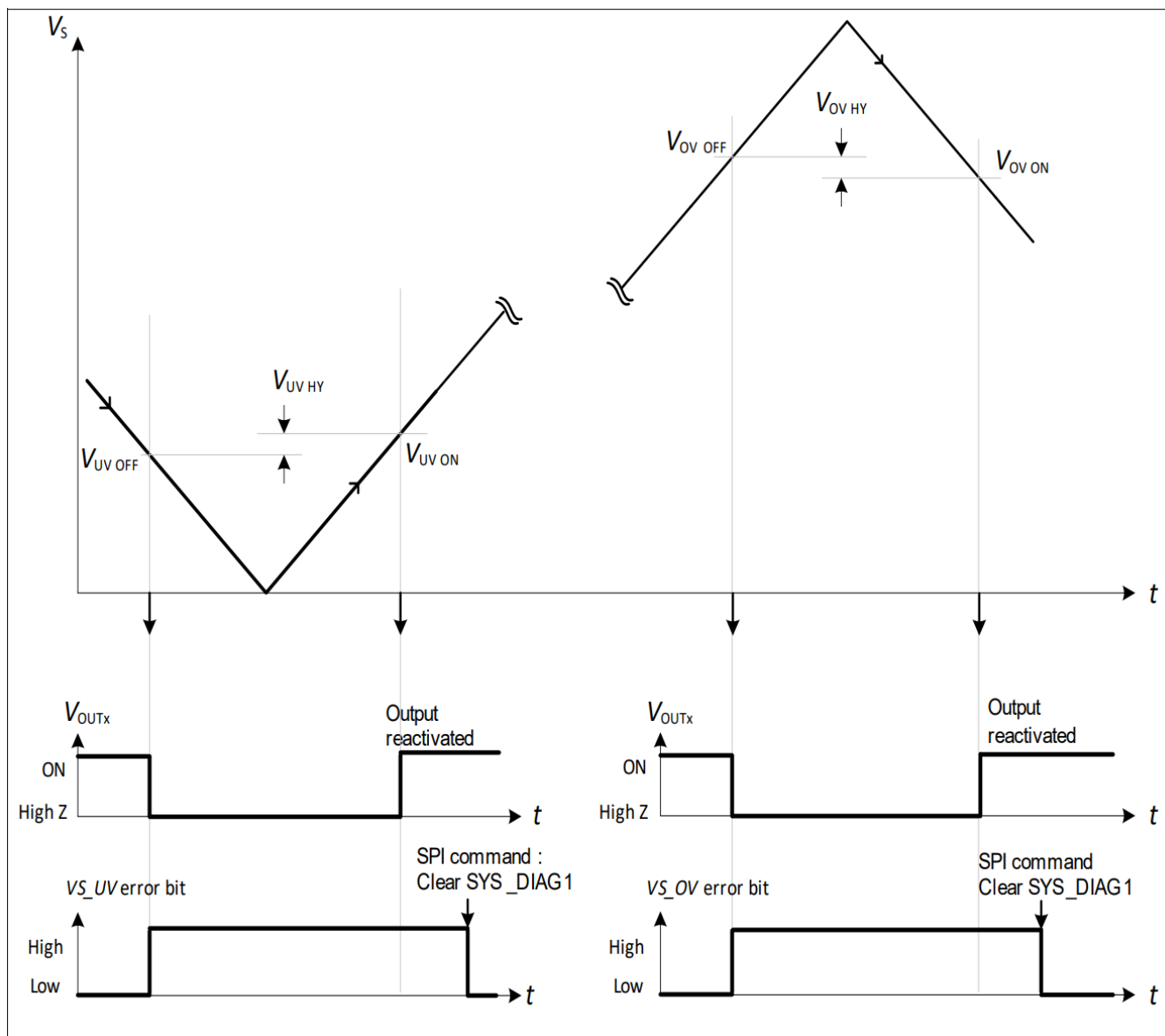
如果供电电压 V_S 上升到关断电压 $V_{OV\ OFF}$ 以上，则所有输出级都会关闭。，位于 SYS_DIAG_1: Global Status 1 状态寄存器中的 V_S 过压故障位 VS_OV，将被置位并锁存。如果 V_S 再次下降并达到开启电压 $V_{OV\ ON}$ 阈值，功率级将自动激活。应清除 VS_OV 故障位以验证过压情况是否仍然存在。见图 12。

6.2.4.3 V_{DD} 欠压

如果 VDD 逻辑电源降至欠压阈值 $V_{DD\ POFF}$ 以下，则 SPI 接口将不再工作，并且 CLE94112ES 将进入复位状态。

数字模块将被初始化，输出级将关闭至高阻态。一旦 V_{DD} 电压高于欠压阈值 $V_{DD\ POR}$ 就会进行欠压复位。一旦 CLE94112ES 处于正常模式（EN = 高； $V_{DD} > V_{DD\ POR}$ ），复位事件会通过 NPOR 位（NPOR = 0）在 SYS_DIAG1 中报告。

半桥输出

图 12 V_s 欠压和过压条件下的输出行为

6.2.5 负载开路

半桥输出的高边和低边开关在其激活状态都能够检测到负载开路。如果在激活的开关处检测到负载电流低于负载开路检测阈值 I_{OLD} 且持续至少 t_{dOLD} ，则相应的故障位 HBn_HS_OL 或 HBn_LS_OL 将被置位并锁存。全局状态寄存器 SYS_DIAG_1 : Global Status 1 中的全局负载故障位 LE 也会被置位，以便应用软件进行错误扫描。然而，半桥输出保持激活状态。

微控制器必须清除相应状态寄存器中的故障位，以确定负载开路是否仍然存在或已消失。

高边输出 $HS1$ 和 $HS2$ 专门设计用于检测 LED 负载的开路阈值而设计。 $HS1$ 和 $HS2$ 均具有独特且较低的开路负载电流阈值和滤波时间，可通过控制寄存器 FW_OL_CTRL 中的 SPI 进行配置。

PWM 运行期间，负载开路检测被屏蔽，并且在主动续流的功率级的状态寄存器中不可见。

串行外设接口 (SPI)

7 串行外设接口 (SPI)

CLE94112ES 具有 16 位 SPI 接口，用于输出控制和诊断。本节描述 SPI 协议、控制和状态寄存器。

7.1 SPI 描述

16 位宽的控制输入通过数据输入 SDI 读取，该数据输入与微控制器提供的时钟输入 tSCLK 同步。在 CSN 下降沿期间，SCLK 必须为低电平（时钟极性=0）。SPI 包含帧内响应：被寻址寄存器的内容在同一 SPI 帧内的 SDO 处输出（参见图 19 和图 21）。当芯片被输入 CSN 选中时，传输周期开始，低电平有效。当 CSN 输入从低电平回到高电平后，已读取的字将根据内容进行解析。此时 SDO 输出切换到高阻态，从而释放 SDO 总线供其他使用。SDI 的状态随 SCLK 的每个下降沿移入输入寄存器。SDO 的状态在 SCLK 的每个上升沿（ClockPhase = 1）移出输出寄存器。CLE94112ES 的 SPI 协议兼容独立从机配置和菊花链。菊花链适用于具有相同协议的 SPI 设备。

写入、清除和读取都是按字节进行的。SPI 配置和状态位不会由器件自动清除，因此必须由微控制器进行清除，例如，如果 TSD 位由于过热而处于置位（详细信息请参阅相应的寄存器描述）。

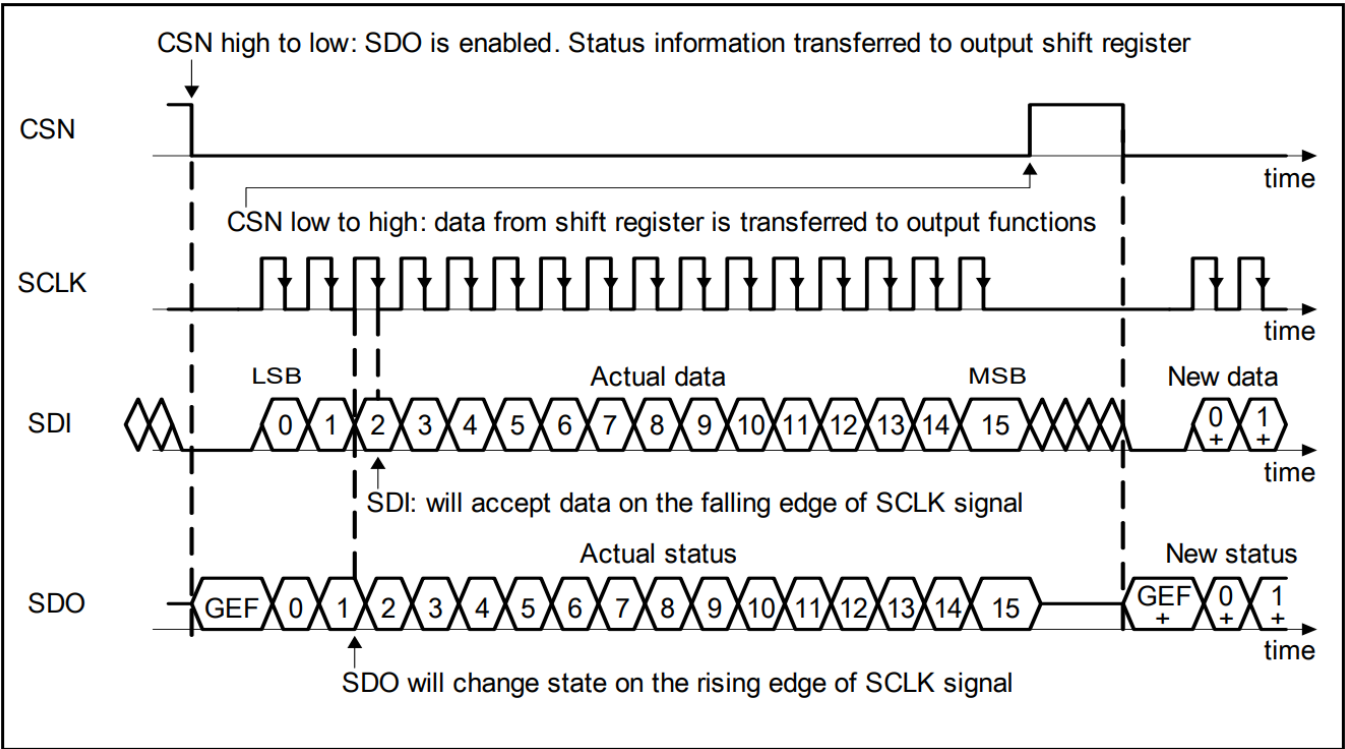


图 13 SPI 数据传输时序（注意：与寄存器描述相比，本图中所示的 LSB 和 MSB 的顺序相反）

仅当在 EN 引脚的上升沿上满足最小置位时间 tSET 时，SPI 信息才能被识别（图 14）。

串行外设接口 (SPI)

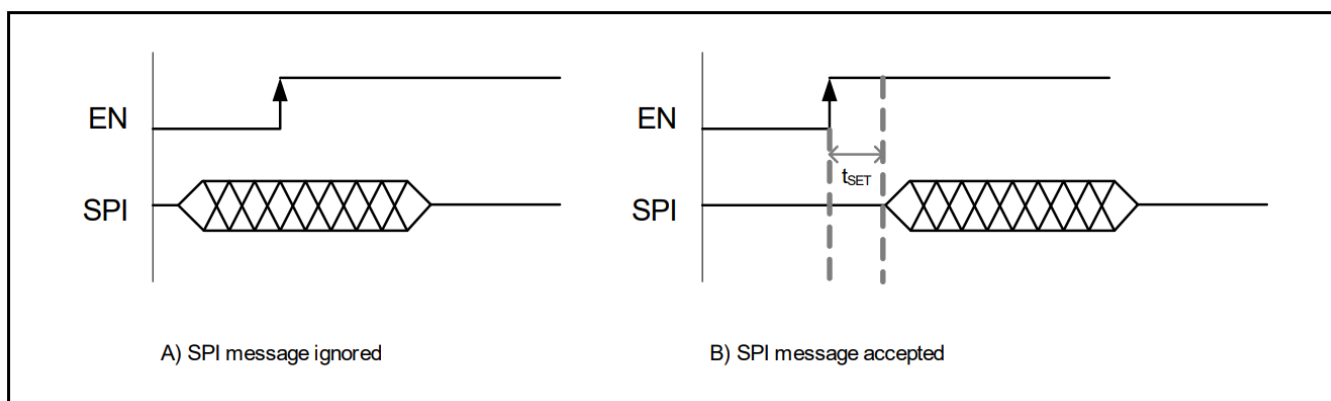


图 14 从 EN 上升沿到首次SPI通讯的建立时间

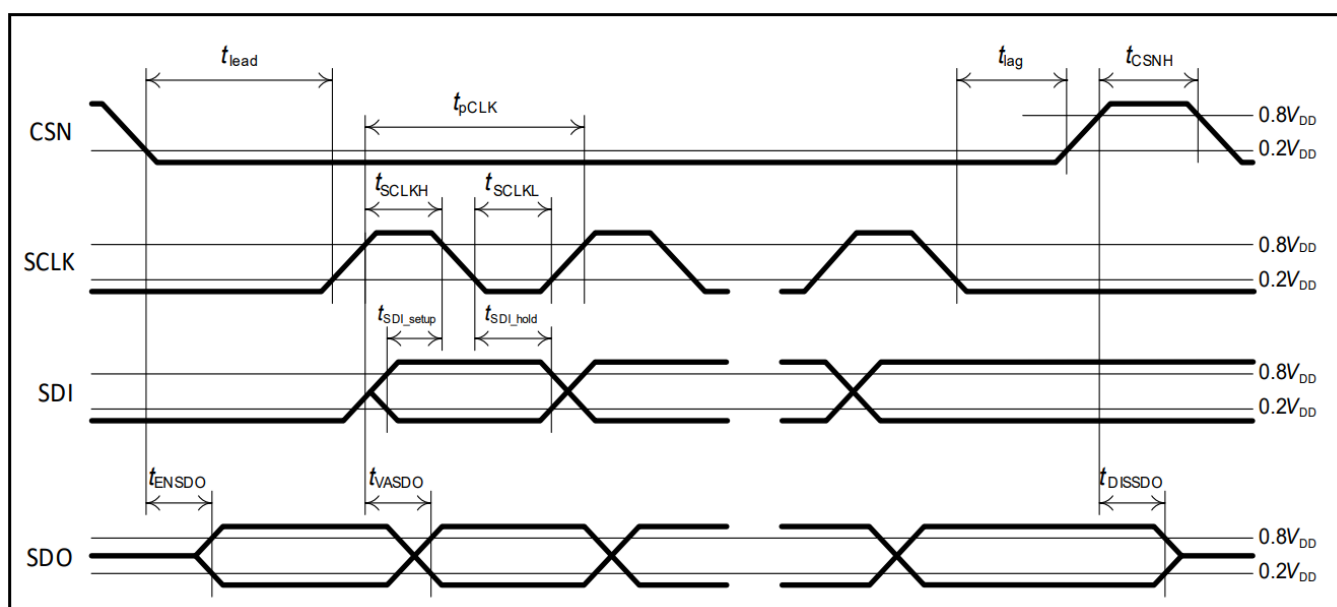


图 15 SPI数据时序

7.1.1 全局错误标志

全局错误标志 (GEF) 和 SDI 上存在的信号之间的逻辑或组合在 CSN 下降沿和第一个 SCLK 上升沿之间的 SDO 上报告 (图 13)。如果检测到故障条件或器件从上电复位 (POR) 状态启动, 则 GEF 置位。

注: 在菊花链或非菊花链模式下, 所有器件的 SDI 引脚在 SPI 帧开始时 (在 CSN 下降沿和第一个 SCLK 上升沿之间) 必须为低电平。

可以通过在没有 SPI 时钟脉冲的情况下读取 GEF 来检查 CLE94112ES 是否检测到故障 (图 16)。

串行外设接口 (SPI)

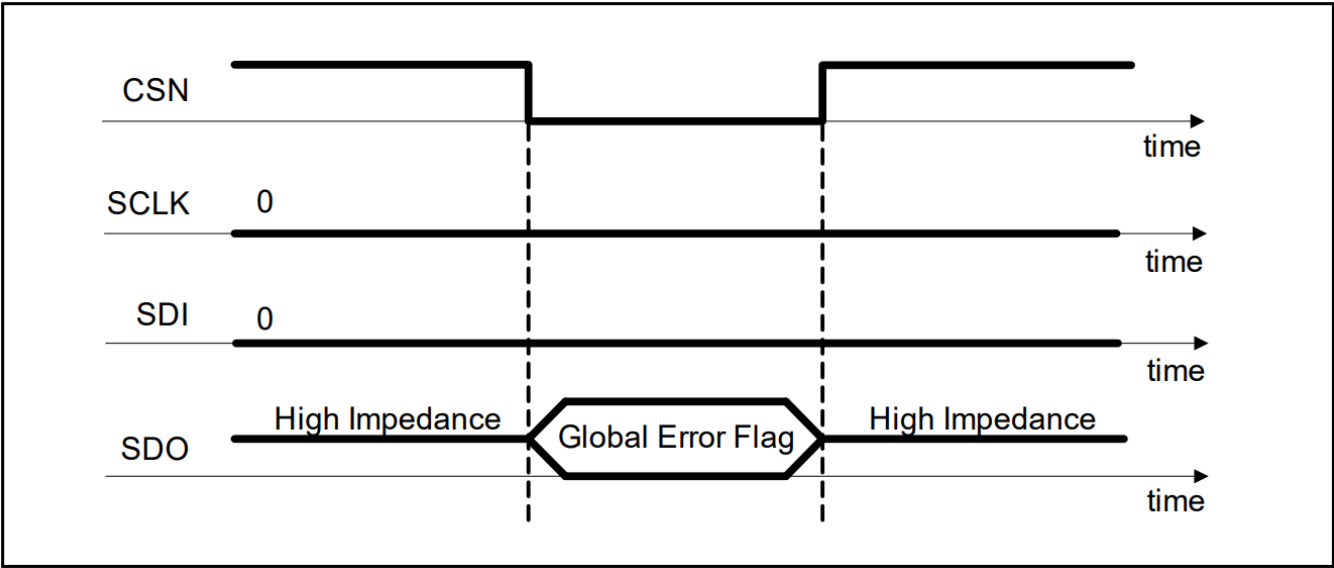


图 16 0 时钟周期下的 SDO 行为

7.1.2 全局状态寄存器

SDO 会在最初的八个 SCLK 周期内传送全局状态寄存器。该寄存器提供了器件状态的概述。所有故障情况均在此字节中报告：

- SPI协议错误 (SPI_ERR)
- 负载错误 (LE位)：负载开路 (OL) 和过流 (OC) 故障之间的逻辑或运算结果
- VS 欠压 (VS_UV 位)
- VS 过压 (VS_OV 位)
- 上电复位 (NPOR 位)
- 温度关断 (TSD 位)
- 温度预警 (TPW 位) 详见第 7.7.1 章。

注： 全局错误标志是全局状态寄存器中除NPOR外每个位的逻辑或组合： $GEF = (SPI_ERR) \text{ OR } (LE) \text{ OR } (VS_UV) \text{ OR } (VS_OV) \text{ OR } (NOT(NPOR)) \text{ OR } (TSD) \text{ OR } (TPW)$ 。

下表展示了故障在全局状态寄存器和全局错误标志的报告方式。

表10 全局状态寄存器和全局错误标志中报告的故障

Type of Error	Failure reported in the Global Status Register	Global Error Flag
SPI protocol error	SPI_ERR = 1	1
Open load or Overcurrent	LE = 1	1
VS Undervoltage	VS_UV = 1	1
VS Overvoltage	VS_OV = 1	1
Power ON Reset	NPOR = 0	1
Thermal Shutdown	TSD = 1	1

串行外设接口 (SPI)

表10 全局状态寄存器和全局错误标志中报告的故障

Type of Error	Failure reported in the Global Status Register	Global Error Flag
Thermal Warning	TPW = 1	1
No Error and no Power ON Reset	SPI_ERR = 0 LE = 0 VS_UV = 0 VS_OV = 0 NPOR = 1 TSD = 0 TPW = 0	0

注： NPOR 的默认值（上电复位后）为0，因此GEF 的默认值为1。

7.1.3 SPI协议错误检测

SPI 在全局状态寄存器中集成了一个错误标志(SPI_ERR, Bit7) ，用于监督和维护数据完整性。如果在特定帧期间检测到SPI协议错误，则 SPI_ERR 位在下一个SPI通讯中被置位。

在以下错误情况下，SPI_ERR 位会被置位：

- 在CSN为低电平时接收到的SCLK时钟脉冲个数不为0，或者不是8的倍数，且至少为16个
- 微控制器将SPI指令发送到未使用的地址。特别是，当SDI固定为高电平时，会在SPI_ERR 位中报告
- 地址字节的最低有效位未设置为1。特别是，当SDI固定为高电平时，会在SPI_ERR 位中报告
- 独立从机配置中的最后地址位（LABT,地址字节的第一位，参见第7.2章）未设置为1
- 菊花链配置中，最后一个地址字节的LABT位未设置为1（参见第7.3章）
- 检测到时钟极性错误（见图 17 情况 2 和情况 3）：在 CSN 上升沿或下降沿期间，输入时钟信号为高。

为确保SPI通讯正常：

- 在 CSN 下降沿之前，SCLK 必须保持低电平至少 t_{BEF} ，并且在 CSN 下降沿之后必须保持低电平 t_{lead}
- 在 CSN 上升沿之前，SCLK 必须保持低电平，至少 t_{lag} ，并且 CSN 上升沿之后必须保持 t_{BEH}

串行外设接口 (SPI)

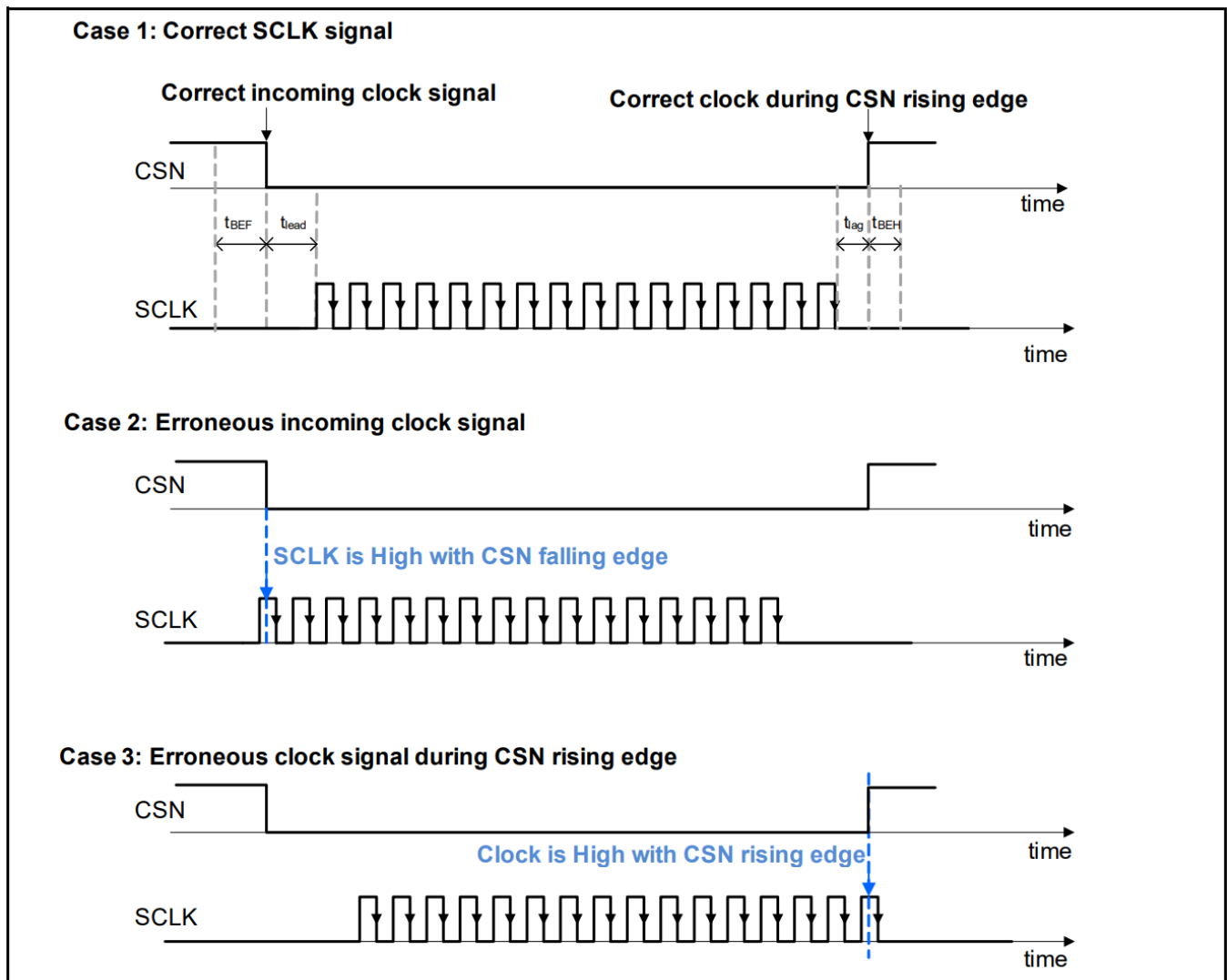


图 17 时钟极性错误

串行外设接口 (SPI)

7.2 具有独立从机配置的SPI

在独立从机配置中，微控制器单独控制每个从机的CSN（图 18）。

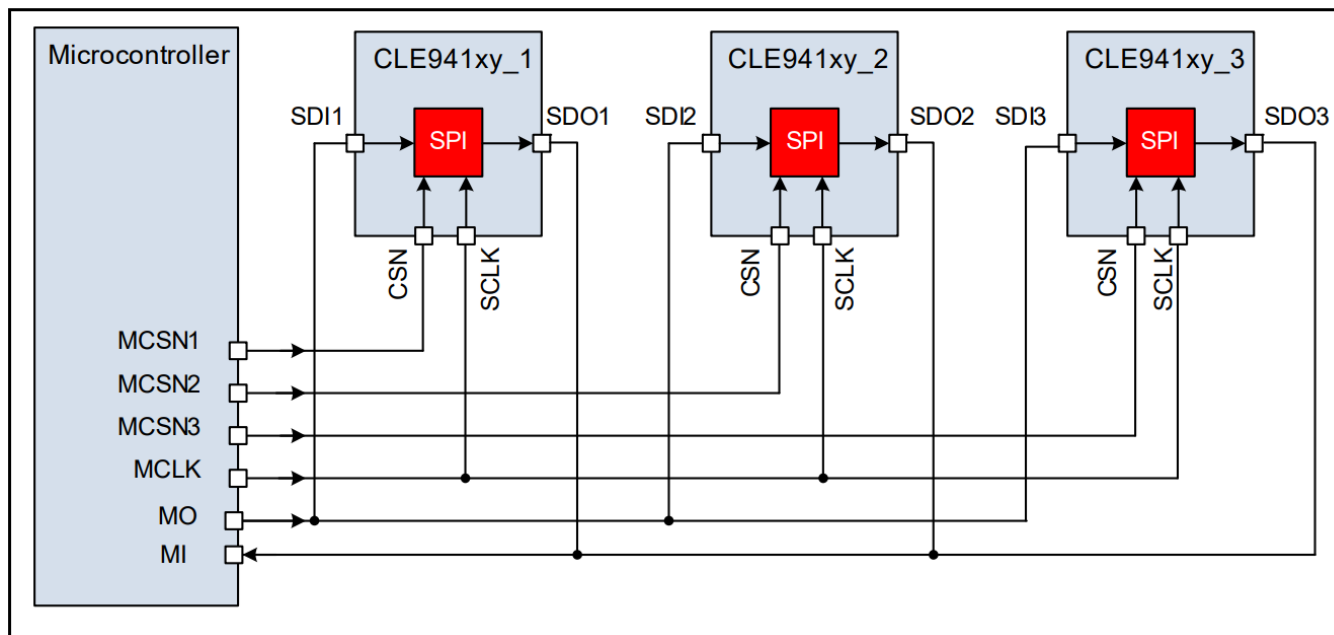


图 18 具有独立从机配置的 SPI

每次 SPI 通信以一个地址字节开始，后跟一个数据字节 (图 19)。数据字节的最低有效位必须设置为 '1'。地址字节指定：

- 操作类型：配置位只读 (OP 位 = 0) 或读/写 (OP 位 = 1)，状态位只读 (OP 位 = 0) 或读取&清除 (OP 位 = 1)。
- 目标寄存器地址 (A[6:2])

最后一个地址字节位 (LABT, 地址字节的 Bit1) 必须设置为 1，因为未使用菊花链配置。

微控制器在 SDI 上发送地址字节时，SDO 传递 GEF 和全局状态寄存器。

另一个数据字节 (Bit15...8) 用于配置半桥或检索 CLE94112ES 的状态信息。

串行外设接口 (SPI)

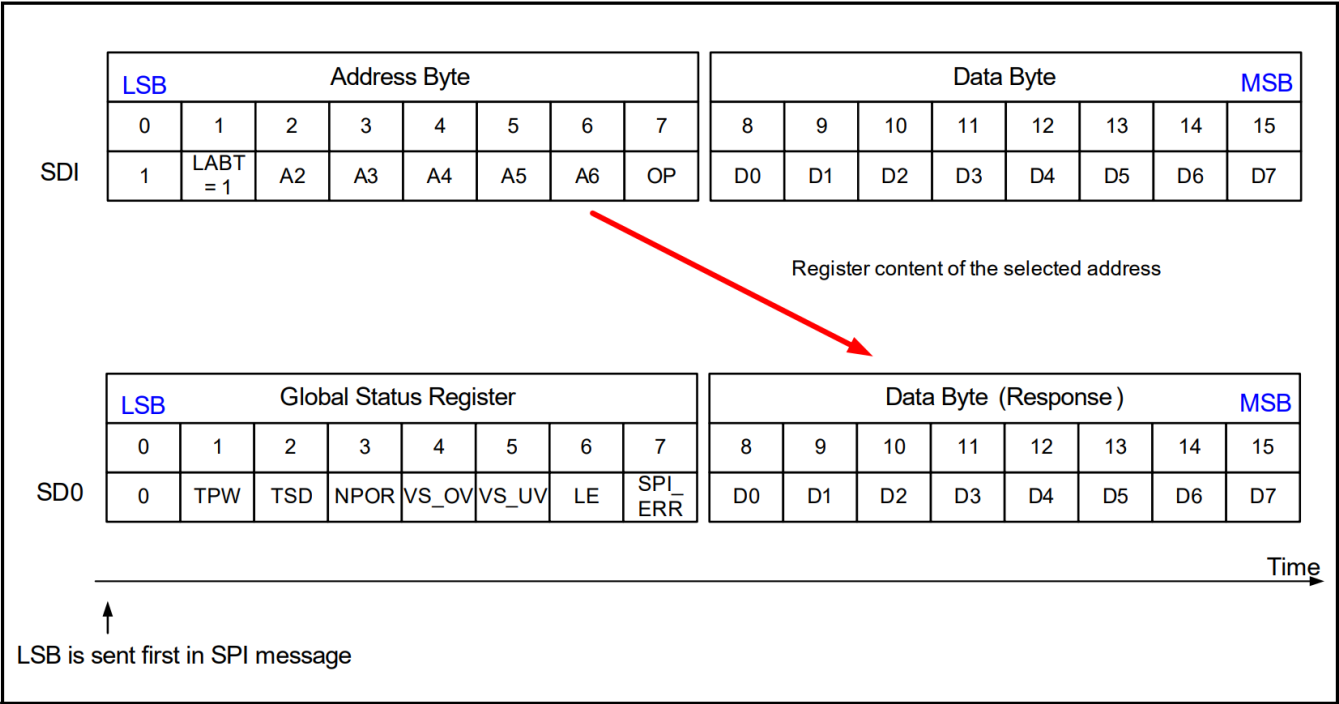


图 19 具有独立从机配置的 SPI 操作模式

帧内响应特性使微控制器能够读取SPI指令内寻址寄存器的内容。见图19。

串行外设接口 (SPI)

7.3 菊花链操作

CLE94112ES 支持与具有相同 SPI 协议的设备进行菊花链操作。本节介绍 CLE941xy 系列中的三个器件的菊花链硬件配置（见图 20）。

主机输出（标记为 MO）连接到从机 SDI，第一个从机 SDO 连接到下一个从机 SDI，形成一个链。链中最后一个从机的 SDO 将连接到主机输入（MI）以闭合 SPI 通讯帧的环路。在菊花链配置中，微控制器使用单个片选信号 CSN 和时钟信号 SCLK 来控制或访问 SPI 设备，这两个信号并行连接到每个从设备。

在此配置中，主机输出必须按以下顺序发送地址字节和数据字节：

- 所有地址字节必须首先发送：
 - 首先发送地址字节 1（用于 CLE941xy_1），然后发送地址字节 2（用于 CLE941xy_2）等等.....
 - 最后一个地址字节的 LABT 位必须为 1，而所有其他地址字节的 LABT 位必须为 0
- 所有地址字节传输完毕后，数据字节将一次性全部发送：首先发送数据字节 1（用于 CLE941xy_1）然后发送数据字节 2（用于 CLE941xy_2）依此类推.....

注： 在菊花链模式（以及非菊花链模式）下，第一个 IC 的 SDI 引脚上的信号，在 SPI 帧开始时（在 CSN 下降沿和第一个 SCLK 上升沿之间）必须是低电平。这是因为菊花链操作中的每个全局错误标志都是通过“或”逻辑实现的。

主输入 (MI) 与菊花链中最后一个器件的 SDO 相连，它会接收：

- 所有全局错误标志 (GEF) 的逻辑或组合，位于 SPI 帧起始处、即 CSN 下降沿和第一个 SCLK 上升沿之间的。
- GEF 的逻辑或组合之后是按相反顺序排列的全局状态寄存器。换句话说，MI 首先收到菊花链中最后一个器件的全局状态寄存器
- 一旦接收到所有全局状态寄存器，MI 就会按反向顺序接收与相应地址和数据字节相对应的响应字节。例如，如果菊花链由三台设备组成，MI 连接的 SDO 或 CLE941xy_3，则主机首先接收 CLE941xy_3 的响应字节 3（对应于地址字节 3 和数据字节 3），然后接收 CLE941xy_2 的响应字节 2，最后接收 CLE941xy_1 的响应字节 1。

图 21 展示了包含三个 CLE941xy 系列器件的 SPI 帧示例。

串行外设接口 (SPI)

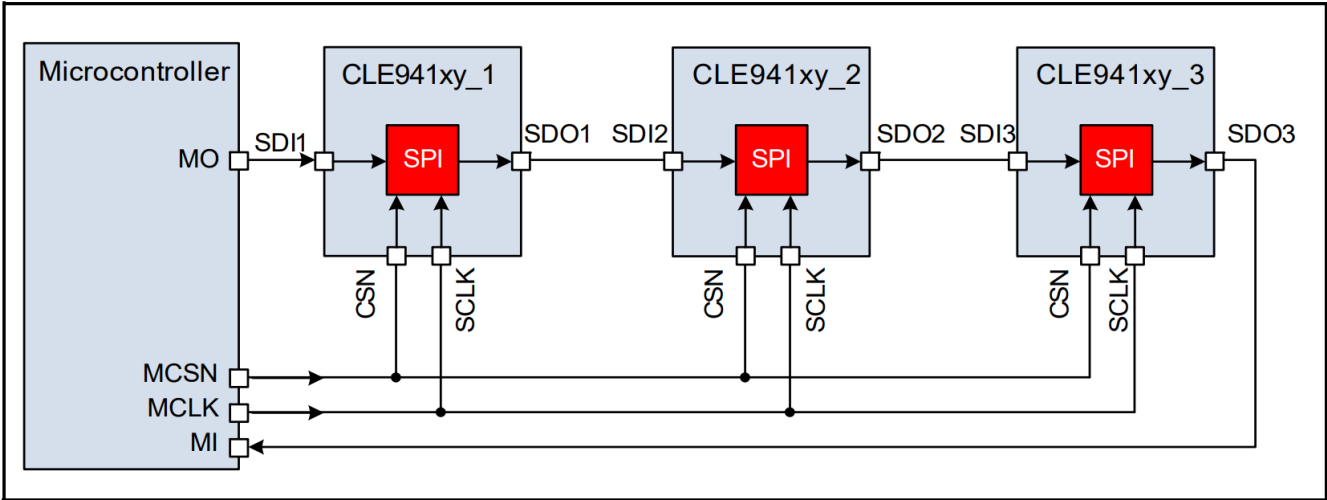


图 20 CLE941xy 系列设备的菊花链硬件配置示例

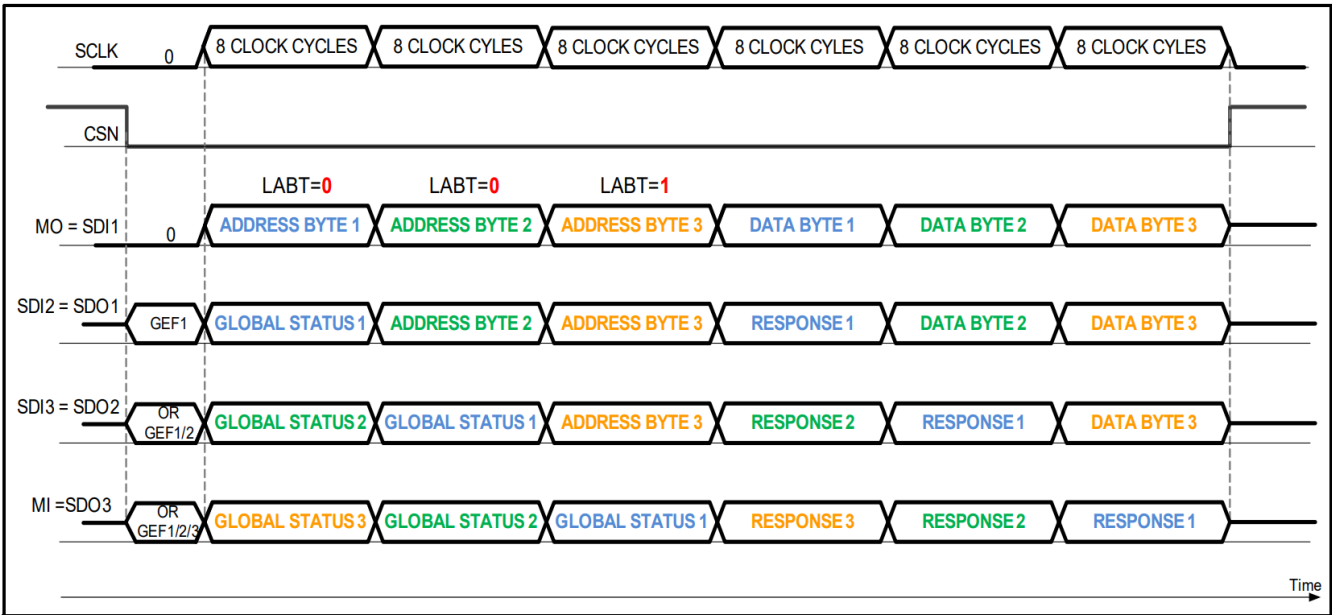


图 21 包含三个 CLE941xy 系列器件的 SPI 帧

与单独的从机配置类似，可以通过在 CSN 为低电平且无任何时钟周期时，读取所有全局错误标志的逻辑或组合，来检查一个或多个 CLE941xy 是否检测到故障条件（图 22）。

串行外设接口 (SPI)

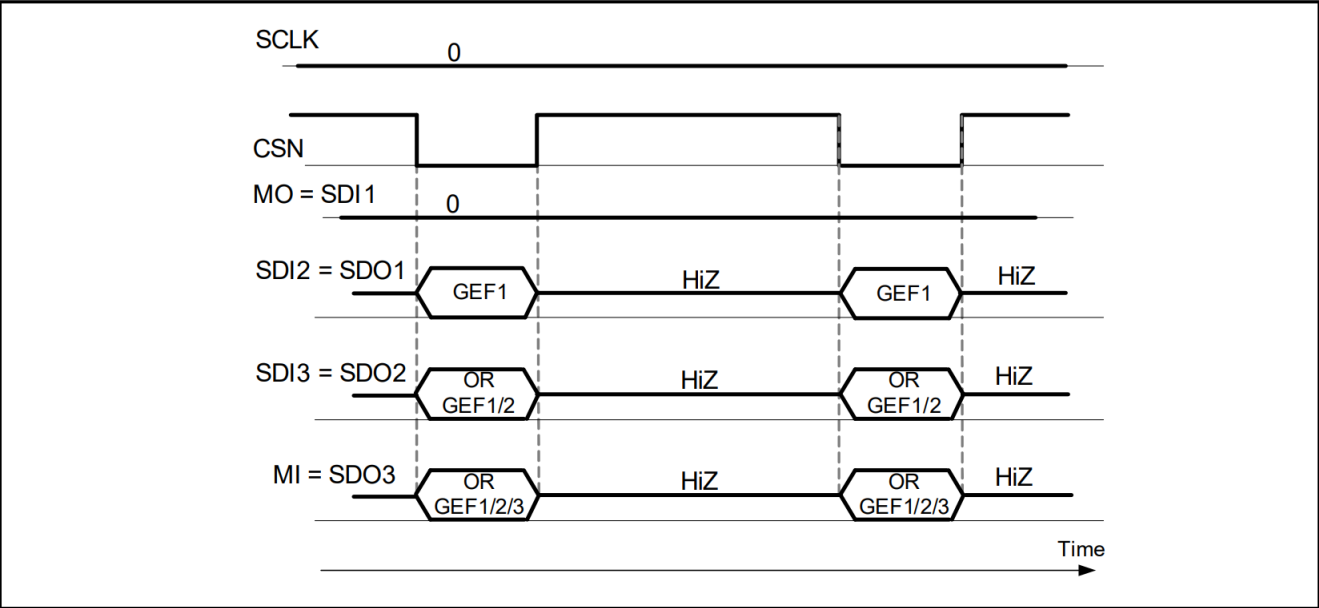


图 22 仅由 CLE941xy 器件组成的菊花链中具有零 SCLK 时钟周期的全局错误标志

注释: 某些SPI协议错误, 例如某个地址字节的最低有效位错误地等于0, 可能会报告在该菊花链中另一个器件的SPI_ERR 位中 (有关SPI_ERR 的更多详情, 请参见第7.1.3章和第7.7章)。在这种情况下, 某些器件可能会在损坏的SPI帧期间接收错误数据。因此, 如果菊花链中的某个设备报告SPI错误, 建议验证所有器件的寄存器内容。

7.4 SPI通信期间的状态寄存器变化

如果在传输数据字节之后 (即最后一个地址字节结束到 CSN 上升沿之间) 发生故障, 该故障会在下一个 SPI 帧中报告 (参见图 23中的示例)。

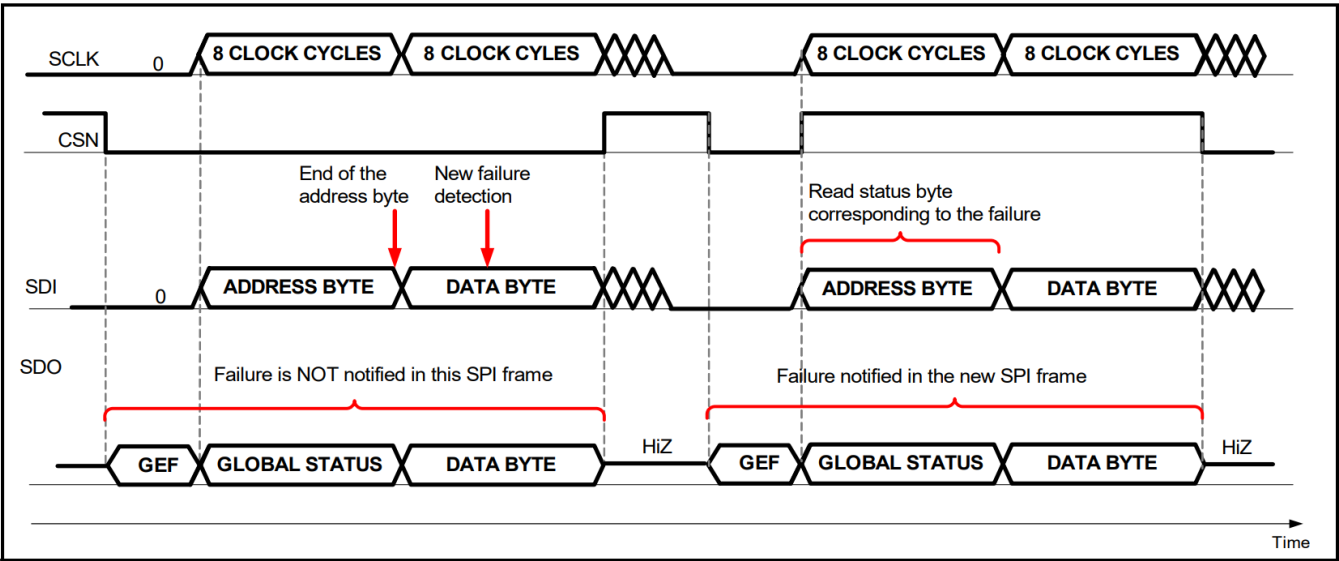


图 23 数据字节传输过程中状态寄存器变化 - 独立从机配置示例

串行外设接口 (SPI)

即使在SPI帧期间状态寄存器发生更改，尤其是在读取和清除命令期间，也不会丢失任何信息。例如：

- 微控制器向状态寄存器发送读取和清除指令
 - CLE94112ES 在传输数据字节期间检测到新的故障情况，该情况通常在目标状态寄存器中报告
- 传入的清除指令将被忽略，以便微控制器可以在后续SPI帧中读取新的故障。

在以下情况下，全局状态寄存器（参见[第7.7章](#)）和同一SPI帧中的数据字节（状态寄存器）之间的数据不一致是可能的：

- 在数据字节传输过程中检测到负载开路或过流错误
- 目标状态寄存器对应于新检测到的故障。

在这种情况下，新的故障：

- 不会在当前SPI帧的全局状态寄存器中报告，而是会在接下来一帧中报告
- 当前SPI帧的数据字节报告。参见[图23](#)。

串行外设接口 (SPI)

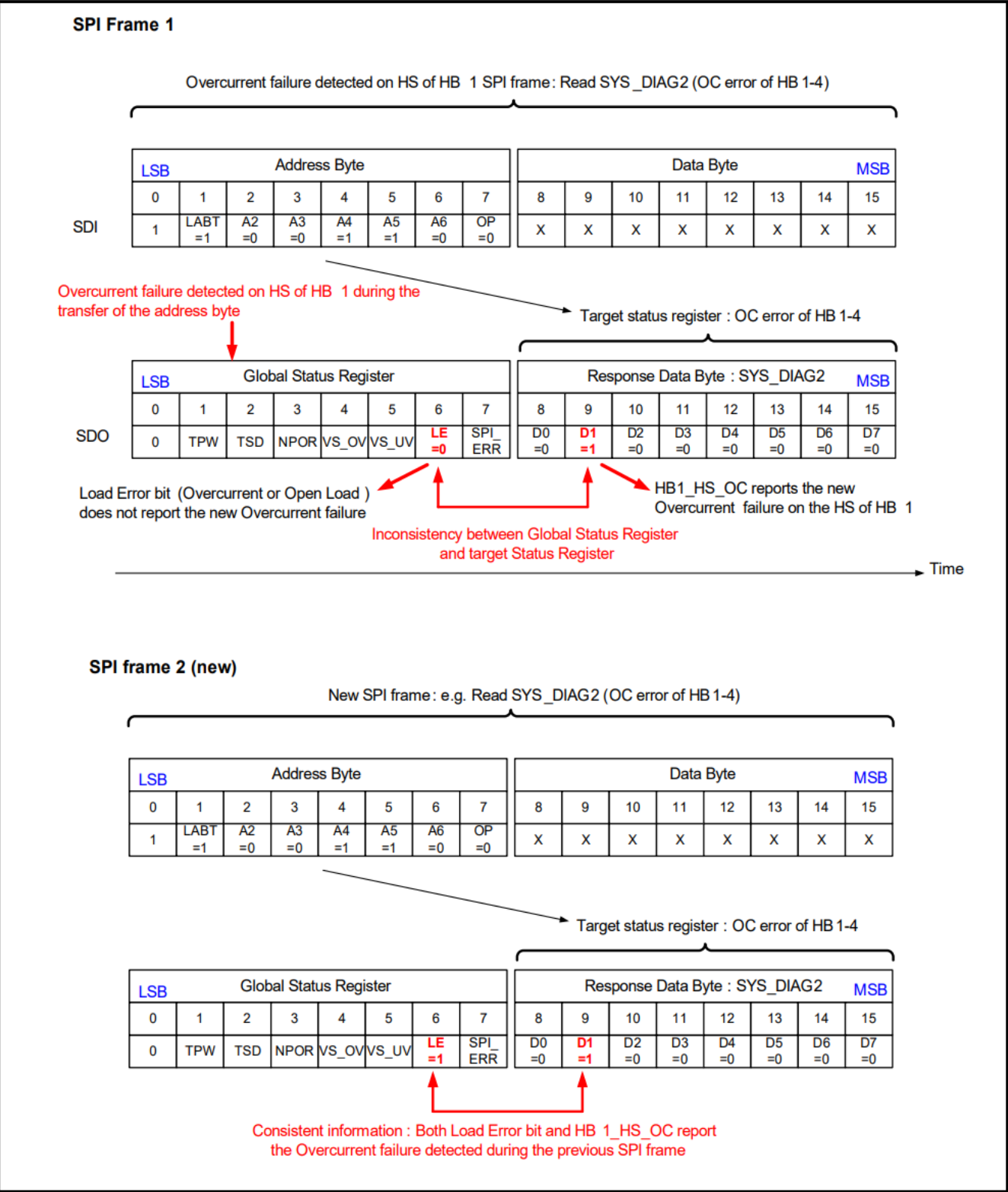


图 24 在传输地址字节期间状态位发生变化时，全局错误标志和状态寄存器之间不一致的示例

串行外设接口 (SPI)

7.5 SPI映射

SPI 寄存器的映射分别如图 25 和图 26 所示。

控制寄存器是读/写寄存器。要将控制地址设置为读模式，地址字节的第 7 位 (OP 位) 必须编程为“0”，设置为“1”表示写模式。

状态寄存器为读/清除寄存器。要清除任何状态寄存器，地址字节的第7位必须置位为 '1'，否则为 '0'表示读取

		15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
		8 Data Bits [D7...D0] for Configuration & Status Information									8 Address Bits [A7...A0]							
											Access type							
CONTROL REGISTERS		HB_ACT_1_CTRL									read/write	0	0	0	0	LABT	1	
		HB_ACT_2_CTRL									read/write	1	0	0	0	LABT	1	
		HB_ACT_3_CTRL									read/write	0	1	0	0	LABT	1	
		HB_MODE_1_CTRL									read/write	1	1	0	0	LABT	1	
		HB_MODE_2_CTRL									read/write	0	0	1	0	LABT	1	
		HB_MODE_3_CTRL									read/write	1	0	1	0	LABT	1	
		PWM_CH_FREQ_CTRL									read/write	0	1	1	0	LABT	1	
		PWM1_DC_CTRL									read/write	1	1	1	0	LABT	1	
		PWM2_DC_CTRL									read/write	0	0	0	1	LABT	1	
		PWM3_DC_CTRL									read/write	1	0	0	1	LABT	1	
		FW_OL_CTRL									read/write	0	1	0	1	LABT	1	
		FW_CTRL									read/write	1	1	0	1	LABT	1	
	CONFIG_CTRL									read	1	1	0	0	LABT	1		
STATUS REGISTERS		SYS_DIAG_1 : Global status 1									read/clear	0	0	1	1	LABT	1	
		SYS_DIAG_2 : OP_ERROR_1_STAT									read/clear	1	0	1	1	LABT	1	
		SYS_DIAG_3 : OP_ERROR_2_STAT									read/clear	0	1	1	1	LABT	1	
		SYS_DIAG_4 : OP_ERROR_3_STAT									read/clear	1	1	1	1	LABT	1	
		SYS_DIAG_5 : OP_ERROR_4_STAT									read/clear	0	0	0	0	LABT	1	
		SYS_DIAG_6 : OP_ERROR_5_STAT									read/clear	1	0	0	0	LABT	1	
		SYS_DIAG_7 : OP_ERROR_6_STAT									read/clear	0	1	0	0	LABT	1	

图 25 CLE94112ES SPI 寄存器映射

注释： LABT： 最后一个地址位， 请参阅 章节7.2 和第7.3 章。

Register Name	15	14	13	12	Data Bits D7...D0			11	10	9	8	7	Address Bits A7...A0			
	D7	D6	D5	D4	D3	D2	D1	D0	Access type							
	CONTROL REGISTERS															
HB_ACT_1_CTRL	HB4_HS_EN	HB4_LS_EN	HB3_HS_EN	HB3_LS_EN	HB2_HS_EN	HB2_LS_EN	HB1_HS_EN	HB1_LS_EN	read/write	0	0	0	0	LABT	1	
HB_ACT_2_CTRL	HB8_HS_EN	HB8_LS_EN	HB7_HS_EN	HB7_LS_EN	HB6_HS_EN	HB6_LS_EN	HB5_HS_EN	HB5_LS_EN	read/write	1	0	0	0	LABT	1	
HB_ACT_3_CTRL	HB12_HS_EN	HB12_LS_EN	HB11_HS_EN	HB11_LS_EN	HB10_HS_EN	HB10_LS_EN	HB9_HS_EN	HB9_LS_EN	read/write	0	1	0	0	LABT	1	
HB_MODE_1_CTRL	HB4_MODE1	HB4_MODE0	HB3_MODE1	HB3_MODE0	HB2_MODE1	HB2_MODE0	HB1_MODE1	HB1_MODE0	read/write	1	1	0	0	LABT	1	
HB_MODE_2_CTRL	HB8_MODE1	HB8_MODE0	HB7_MODE1	HB7_MODE0	HB6_MODE1	HB6_MODE0	HB5_MODE1	HB5_MODE0	read/write	0	1	0	0	LABT	1	
HB_MODE_3_CTRL	HB12_MODE1	HB12_MODE0	HB11_MODE1	HB11_MODE0	HB10_MODE1	HB10_MODE0	HB9_MODE1	HB9_MODE0	read/write	1	0	1	0	LABT	1	
PWM_CH_FREQ_CTRL	FM_CLK_MOD1	FM_CLK_MOD0	PWM_CH3_FREQ_1	PWM_CH3_FREQ_0	PWM_CH2_FREQ_1	PWM_CH2_FREQ_0	PWM_CH1_FREQ_1	PWM_CH1_FREQ_0	read/write	0	1	0	0	LABT	1	
PWM1_DC_CTRL	PWM1_DC_CTRL_7	PWM1_DC_CTRL_6	PWM1_DC_CTRL_5	PWM1_DC_CTRL_4	PWM1_DC_CTRL_3	PWM1_DC_CTRL_2	PWM1_DC_CTRL_1	PWM1_DC_CTRL_0	read/write	1	1	0	0	LABT	1	
PWM2_DC_CTRL	PWM2_DC_CTRL_7	PWM2_DC_CTRL_6	PWM2_DC_CTRL_5	PWM2_DC_CTRL_4	PWM2_DC_CTRL_3	PWM2_DC_CTRL_2	PWM2_DC_CTRL_1	PWM2_DC_CTRL_0	read/write	0	0	1	0	LABT	1	
PWM3_DC_CTRL	PWM3_DC_CTRL_7	PWM3_DC_CTRL_6	PWM3_DC_CTRL_5	PWM3_DC_CTRL_4	PWM3_DC_CTRL_3	PWM3_DC_CTRL_2	PWM3_DC_CTRL_1	PWM3_DC_CTRL_0	read/write	1	0	1	0	LABT	1	
FW_OV_CTRL	FW_HB6	FW_HB5	FW_HB4	FW_HB3	FW_HB2	FW_HB1	FW_HB0	OL_SEL_HS1	read/write	0	1	0	1	LABT	1	
FW_CTRL	reserved	reserved	FW_HB12	FW_HB11	FW_HB10	FW_HB9	FW_HB8	FW_HB7	read/write	1	0	1	0	LABT	1	
CONFIG_CTRL	reserved	reserved	reserved	reserved	reserved	DEV_ID2	DEV_ID1	DEV_ID0	read	1	1	0	0	1	LABT	1
STATUS REGISTERS																
SYS_DIAG_1 : Global status 1	SPI_ERR	LE	VS_LV	VS_OV	NPOR	TSD	TPW	0	read/clear	0	0	1	1	0	LABT	1
SYS_DIAG_2 : OP_ERROR_1_STAT	HB4_HS_OC	HB4_LS_OC	HB3_HS_OC	HB3_LS_OC	HB2_HS_OC	HB2_LS_OC	HB1_HS_OC	HB1_LS_OC	read/clear	1	0	1	1	0	LABT	1
SYS_DIAG_3 : OP_ERROR_2_STAT	HB8_HS_OC	HB8_LS_OC	HB7_HS_OC	HB7_LS_OC	HB6_HS_OC	HB6_LS_OC	HB5_HS_OC	HB5_LS_OC	read/clear	0	1	1	1	0	LABT	1
SYS_DIAG_4 : OP_ERROR_3_STAT	HB12_HS_OC	HB12_LS_OC	HB11_HS_OC	HB11_LS_OC	HB10_HS_OC	HB10_LS_OC	HB9_HS_OC	HB9_LS_OC	read/clear	1	1	1	1	0	LABT	1
SYS_DIAG_5 : OP_ERROR_4_STAT	HB4_HS_OL	HB4_LS_OL	HB3_HS_OL	HB3_LS_OL	HB2_HS_OL	HB2_LS_OL	HB1_HS_OL	HB1_LS_OL	read/clear	0	0	0	1	LABT	1	
SYS_DIAG_6 : OP_ERROR_5_STAT	HB8_HS_OL	HB8_LS_OL	HB7_HS_OL	HB7_LS_OL	HB6_HS_OL	HB6_LS_OL	HB5_HS_OL	HB5_LS_OL	read/clear	1	0	0	1	LABT	1	
SYS_DIAG_7 : OP_ERROR_6_STAT	HB12_HS_OL	HB12_LS_OL	HB11_HS_OL	HB11_LS_OL	HB10_HS_OL	HB10_LS_OL	HB9_HS_OL	HB9_LS_OL	read/clear	0	1	0	1	LABT	1	

Figure 26 CLE94112ES Bit Mapping

Note: LABT: Last Address Bit Token, refer to [Chapter 7.2](#) and [Chapter 7.3](#)

串行外设接口 (SPI)

7.6 SPI控制寄存器

控制寄存器具有读/写访问权限（参见第7.5章）:

- ‘POR’值由POR或器件复位后的寄存器内容定义 – 所有控制寄存器的默认值为 0000 0000₈
- 一个 16 位SPI指令由两个字节组成（参见图 25 和图 26），即
 - 一个地址字节
 - 后跟一个数据字节
- 控制位不会被器件自动清除或更改。这必须由微控制器通过SPI编程来完成。
- 通过将 SPI 第7位设置为“0”（=只读），可以按字节读取寄存器。
- 通过将 SPI 位 7 设置为“1”，可以按字节写入寄存器。

串行外设接口 (SPI)

7.6.1 控制寄存器定义

HB_ACT_1_CTRL

半桥输出控制1 (地址字节[OP] 000 00[LABT]1_B)

D7	D6	D5	D4	D3	D2	D1	D0
HB4_HS_EN	HB4_LS_EN	HB3_HS_EN	HB3_LS_EN	HB2_HS_EN	HB2_LS_EN	HB1_HS_EN	HB1_LS_EN
rw	rw	rw	rw	rw	rw	rw	rw

Field	Bits	Type	Description
HB4_HS_EN	D7	rw	Half-bridge output 4 high side switch enable 0 _B HS4 OFF/ High-Z (default value) 1 _B HS4 ON
HB4_LS_EN	D6	rw	Half-bridge output 4 low side switch enable 0 _B LS4 OFF/ High-Z (default value) 1 _B LS4 ON
HB3_HS_EN	D5	rw	Half-bridge output 3 high side switch enable 0 _B HS3 OFF/ High-Z (default value) 1 _B HS3 ON
HB3_LS_EN	D4	rw	Half-bridge output 3 low side switch enable 0 _B LS3 OFF/ High-Z (default value) 1 _B LS3 ON
HB2_HS_EN	D3	rw	Half-bridge output 2 high side switch enable 0 _B HS2 OFF/ High-Z (default value) 1 _B HS2 ON
HB2_LS_EN	D2	rw	Half-bridge output 2 low side switch enable 0 _B LS2 OFF/ High-Z (default value) 1 _B LS2 ON
HB1_HS_EN	D1	rw	Half-bridge output 1 high side switch enable 0 _B HS1 OFF/ High-Z (default value) 1 _B HS1 ON
HB1_LS_EN	D0	rw	Half-bridge output 1 low side switch enable 0 _B LS1 OFF/ High-Z (default value) 1 _B LS1 ON

注释: 数字功能块会防止半桥内HS 和LS 同时激活, 以避免交叉电流。如果给定半桥的LS_EN 和 HS_EN 位均置位, 则逻辑电路会关断该半桥。

串行外设接口 (SPI)

HB_ACT_2_CTRL

半桥输出控制2 (地址字节[OP]100 00[LABT]1_B)

D7	D6	D5	D4	D3	D2	D1	D0
HB8_HS_EN	HB8_LS_EN	HB7_HS_EN	HB7_LS_EN	HB6_HS_EN	HB6_LS_EN	HB5_HS_EN	HB5_LS_EN
rw	rw	rw	rw	rw	rw	rw	rw

Field	Bits	Type	Description
HB8_HS_EN	D7	rw	Half-bridge output 8 high side switch enable 0 _B HS8 OFF/ High-Z (default value) 1 _B HS8 ON
HB8_LS_EN	D6	rw	Half-bridge output 8 low side switch enable 0 _B LS8 OFF/ High-Z (default value) 1 _B LS8 ON
HB7_HS_EN	D5	rw	Half-bridge output 7 high side switch enable 0 _B HS7 OFF/ High-Z (default value) 1 _B HS7 ON
HB7_LS_EN	D4	rw	Half-bridge output 7 low side switch enable 0 _B LS7 OFF/ High-Z (default value) 1 _B LS7 ON
HB6_HS_EN	D3	rw	Half-bridge output 6 high side switch enable 0 _B HS6 OFF/ High-Z (default value) 1 _B HS6 ON
HB6_LS_EN	D2	rw	Half-bridge output 6 low side switch enable 0 _B LS6 OFF/ High-Z (default value) 1 _B LS6 ON
HB5_HS_EN	D1	rw	Half-bridge output 5 high side switch enable 0 _B HS5 OFF/ High-Z (default value) 1 _B HS5 ON
HB5_LS_EN	D0	rw	Half-bridge output 5 low side switch enable 0 _B LS5 OFF/ High-Z (default value) 1 _B LS5 ON

注释： 数字功能块会防止半桥内HS 和LS 同时激活，以避免交叉电流。如果给定半桥的LS_EN 和 HS_EN 位均置位，则逻辑电路会关断该半桥。

串行外设接口 (SPI)

HB_ACT_3_CTRL

半桥输出控制3 (地址字节[OP]010 00[LABT]1_B)

D7	D6	D5	D4	D3	D2	D1	D0
HB12_HS_EN	HB12_LS_EN	HB11_HS_EN	HB11_LS_EN	HB10_HS_EN	HB10_LS_EN	HB9_HS_EN	HB9_LS_EN
rw	rw	rw	rw	rw	rw	rw	rw

Field	Bits	Type	Description
HB12_HS_EN	D7	rw	Half-bridge output 12 high side switch enable 0 _B HS12 OFF/ High-Z (default value) 1 _B HS12 ON
HB12_LS_EN	D6	rw	Half-bridge output 12 low side switch enable 0 _B LS12 OFF/ High-Z (default value) 1 _B LS12 ON
HB11_HS_EN	D5	rw	Half-bridge output 11 high side switch enable 0 _B HS11 OFF/ High-Z (default value) 1 _B HS11 ON
HB11_LS_EN	D4	rw	Half-bridge output 11 low side switch enable 0 _B LS11 OFF/ High-Z (default value) 1 _B LS11 ON
HB10_HS_EN	D3	rw	Half-bridge output 10 high side switch enable 0 _B HS10 OFF/ High-Z (default value) 1 _B HS10 ON
HB10_LS_EN	D2	rw	Half-bridge output 10 low side switch enable 0 _B LS10 OFF/ High-Z (default value) 1 _B LS10 ON
HB9_HS_EN	D1	rw	Half-bridge output 9 high side switch enable 0 _B HS9 OFF/ High-Z (default value) 1 _B HS9 ON
HB9_LS_EN	D0	rw	Half-bridge output 9 low side switch enable 0 _B LS9 OFF/ High-Z (default value) 1 _B LS9 ON

注释： 数字功能块会防止半桥内HS 和LS 同时激活，以避免交叉电流。如果给定半桥的LS_EN 和 HS_EN 位均置位，则逻辑电路会关断该半桥。

串行外设接口 (SPI)

HB_MODE_1_CTRL

半桥输出模式控制1 (地址字节[OP]110 00[LABT]1_B)

D7	D6	D5	D4	D3	D2	D1	D0
HB4_MODE1	HB4_MODE0	HB3_MODE1	HB3_MODE0	HB2_MODE1	HB2_MODE0	HB1_MODE1	HB1_MODE0
rw	rw	rw	rw	rw	rw	rw	rw

Field	Bits	Type	Description
HB4_MODE_n (n = 0,1)	D7:D6	rw	Half-bridge output 4 mode select 00 _B No PWM (default value) 01 _B PWM control with PWM Channel 1 10 _B PWM control with PWM Channel 2 11 _B PWM control with PWM Channel 3
HB3_MODE_n (n = 0,1)	D5:D4	rw	Half-bridge output 3 mode select 00 _B No PWM (default value) 01 _B PWM control with PWM Channel 1 10 _B PWM control with PWM Channel 2 11 _B PWM control with PWM Channel 3
HB2_MODE_n (n = 0,1)	D3:D2	rw	Half-bridge output 2 mode select 00 _B No PWM (default value) 01 _B PWM control with PWM Channel 1 10 _B PWM control with PWM Channel 2 11 _B PWM control with PWM Channel 3
HB1_MODE_n (n = 0,1)	D1:D0	rw	Half-bridge output 1 mode select 00 _B No PWM (default value) 01 _B PWM control with PWM Channel 1 10 _B PWM control with PWM Channel 2 11 _B PWM control with PWM Channel 3

注释： 有关PWM操作的更多信息，参见[第6.1.1章节](#)。

串行外设接口 (SPI)

HB_MODE_2_CTRL

半桥输出模式控制2 (地址字节[OP]001 00[LABT]1_B)

D7	D6	D5	D4	D3	D2	D1	D0
HB8_MODE1	HB8_MODE0	HB7_MODE1	HB7_MODE0	HB6_MODE1	HB6_MODE0	HB5_MODE1	HB5_MODE0
rw	rw	rw	rw	rw	rw	rw	rw

Field	Bits	Type	Description
HB8_MODE_n (n = 0,1)	D7:D6	rw	Half-bridge output 8 mode select 00 _B No PWM (default value) 01 _B PWM control with PWM Channel 1 10 _B PWM control with PWM Channel 2 11 _B PWM control with PWM Channel 3
HB7_MODE_n (n = 0,1)	D5:D4	rw	Half-bridge output 7 mode select 00 _B No PWM (default value) 01 _B PWM control with PWM Channel 1 10 _B PWM control with PWM Channel 2 11 _B PWM control with PWM Channel 3
HB6_MODE_n (n = 0,1)	D3:D2	rw	Half-bridge output 6 mode select 00 _B No PWM (default value) 01 _B PWM control with PWM Channel 1 10 _B PWM control with PWM Channel 2 11 _B PWM control with PWM Channel 3
HB5_MODE_n (n = 0,1)	D1:D0	rw	Half-bridge output 5 mode select 00 _B No PWM (default value) 01 _B PWM control with PWM Channel 1 10 _B PWM control with PWM Channel 2 11 _B PWM control with PWM Channel 3

注释： 有关PWM操作的更多信息，参见[第6.1.1章节](#)。

串行外设接口 (SPI)

HB_MODE_3_CTRL

半桥输出模式控制3 (地址字节[OP]101 00[LABT]1_B)

D7	D6	D5	D4	D3	D2	D1	D0
HB12_MODE1	HB12_MODE0	HB11_MODE1	HB11_MODE0	HB10_MODE1	HB10_MODE0	HB9_MODE1	HB9_MODE0
rw	rw	rw	rw	rw	rw	rw	rw

Field	Bits	Type	Description
HB12_MODE_n (n = 0,1)	D7:D6	rw	Half-bridge output 12 mode select 00 _B No PWM (default value) 01 _B PWM control with PWM Channel 1 10 _B PWM control with PWM Channel 2 11 _B PWM control with PWM Channel 3
HB11_MODE_n (n = 0,1)	D5:D4	rw	Half-bridge output 11 mode select 00 _B No PWM (default value) 01 _B PWM control with PWM Channel 1 10 _B PWM control with PWM Channel 2 11 _B PWM control with PWM Channel 3
HB10_MODE_n (n = 0,1)	D3:D2	rw	Half-bridge output 10 mode select 00 _B No PWM (default value) 01 _B PWM control with PWM Channel 1 10 _B PWM control with PWM Channel 2 11 _B PWM control with PWM Channel 3
HB9_MODE_n (n = 0,1)	D1:D0	rw	Half-bridge output 9 mode select 00 _B No PWM (default value) 01 _B PWM control with PWM Channel 1 10 _B PWM control with PWM Channel 2 11 _B PWM control with PWM Channel 3

注释： 有关PWM操作的更多信息，参见[第6.1.1章节](#)。

串行外设接口 (SPI)

PWM_CH_FREQ_CTRL

PWM通道频率选择 (地址字节 [OP]011 00[LABT]1_B)

D7	D6	D5	D4	D3	D2	D1	D0
FM_CLK_MOD1	FM_CLK_MOD0	PWM_CH3_FREQ_1	PWM_CH3_FREQ_0	PWM_CH2_FREQ_1	PWM_CH2_FREQ_0	PWM_CH1_FREQ_1	PWM_CH1_FREQ_0
rw	rw	rw	rw	rw	rw	rw	rw

Field	Bits	Type	Description
FM_MOD_EN	D7:D6	rw	FM Modulation Enable¹⁾ 00 _B No modulation (default) 01 _B Modulation frequency 15.625kHz 10 _B Modulation frequency 31.25kHz 11 _B Modulation frequency 62.5kHz
PWM_CH3_FREQ_n (n=0,1)	D5:D4	rw	PWM Channel 3 frequency select 00 _B PWM is stopped and off (default value) 01 _B PWM frequency 1 : 80Hz 10 _B PWM frequency 2 : 100Hz 11 _B PWM frequency 3 : 200Hz
PWM_CH2_FREQ_n (n=0,1)	D3:D2	rw	PWM Channel 2 frequency select 00 _B PWM is stopped and off (default value) 01 _B PWM frequency 1 : 80Hz 10 _B PWM frequency 2 : 100Hz 11 _B PWM frequency 3 : 200Hz
PWM_CH1_FREQ_n (n=0,1)	D1:D0	rw	PWM Channel 1 frequency select 00 _B PWM is stopped and off (default value) 01 _B PWM frequency 1 : 80Hz 10 _B PWM frequency 2 : 100Hz 11 _B PWM frequency 3 : 200Hz

1) 不进行生产测试，由设计保证。频率可能存在±10%的偏差

注释： 有关PWM操作的更多信息，参见[第6.1.1章节](#)。

串行外设接口 (SPI)

PWM1_DC_CTRL

PWM 通道 1 占空比配置 (地址字节 [OP]111 00[LABT]1_B)

D7	D6	D5	D4	D3	D2	D1	D0
PWM1_DC_CTRL_7	PWM1_DC_CTRL_6	PWM1_DC_CTRL_5	PWM1_DC_CTRL_4	PWM1_DC_CTRL_3	PWM1_DC_CTRL_2	PWM1_DC_CTRL_1	PWM1_DC_CTRL_0
rw	rw	rw	rw	rw	rw	rw	rw

Field	Bits	Type	Description
PWM1_DC_CTRLn	D7:D0	rw	PWM Channel 1 Duty Cycle configuration (bit7=MSB; bit0) 0000 0000 _B 100% OFF (default value) xxxx xxxx _B parts of 255 ON 1111 1111 _B 100% ON

注释: 有关PWM操作的更多信息, 参见[第6.1.1章节](#)。

PWM2_DC_CTRL

PWM通道 2 占空比配置 (地址 [OP]000 10[LABT]1_B)

D7	D6	D5	D4	D3	D2	D1	D0
PWM2_DC_CTRL_7	PWM2_DC_CTRL_6	PWM2_DC_CTRL_5	PWM2_DC_CTRL_4	PWM2_DC_CTRL_3	PWM2_DC_CTRL_2	PWM2_DC_CTRL_1	PWM2_DC_CTRL_0
rw	rw	rw	rw	rw	rw	rw	rw

Field	Bits	Type	Description
PWM2_DC_CTRLn	D7:D0	rw	PWM Channel 2 Duty Cycle configuration (bit7=MSB; bit0) 0000 0000 _B 100% OFF (default value) xxxx xxxx _B parts of 255 ON 1111 1111 _B 100% ON

注释: 有关PWM操作的更多信息, 参见[第6.1.1章节](#)。

串行外设接口 (SPI)

PWM3_DC_CTRL

PWM通道3占空比配置 (地址字节 [OP]100 10[LABT]1_B)

D7	D6	D5	D4	D3	D2	D1	D0
PWM3_DC_CTRL_7	PWM3_DC_CTRL_6	PWM3_DC_CTRL_5	PWM3_DC_CTRL_4	PWM3_DC_CTRL_3	PWM3_DC_CTRL_2	PWM3_DC_CTRL_1	PWM3_DC_CTRL_0
rw	rw	rw	rw	rw	rw	rw	rw

Field	Bits	Type	Description
PWM3_DC_CTRLn	D7:D0	rw	PWM Channel 3 Duty Cycle configuration (bit7=MSB; bit0) 0000 0000 _B 100% OFF (default value) xxxx xxxx _B parts of 255 ON 1111 1111 _B 100% ON

注释: 有关PWM操作的更多信息, 参见[第6.1.1章节](#)。

串行外设接口 (SPI)

FW_OL_CTRL

HS1、HS2续流配置及负载开路检测设置 (地址节 [OP]010 10[LABT]1_B)

D7	D6	D5	D4	D3	D2	D1	D0
FW_HB6	FW_HB5	FW_HB4	FW_HB3	FW_HB2	FW_HB1	OL_SEL_HS2	OL_SEL_HS1
rw	rw	rw	rw	rw	rw	rw	rw

Field	Bits	Type	Description
FW_HB6	D7	rw	HB6 free-wheeling configuration 0 _B Passive free-wheeling (default value) 1 _B Active free-wheeling
FW_HB5	D6	rw	HB5 free-wheeling configuration 0 _B Passive free-wheeling (default value) 1 _B Active free-wheeling
FW_HB4	D5	rw	HB4 free-wheeling configuration 0 _B Passive free-wheeling (default value) 1 _B Active free-wheeling
FW_HB3	D4	rw	HB3 free-wheeling configuration 0 _B Passive free-wheeling (default value) 1 _B Active free-wheeling
FW_HB2	D3	rw	HB2 free-wheeling configuration 0 _B Passive free-wheeling (default value) 1 _B Active free-wheeling
FW_HB1	D2	rw	HB1 free-wheeling configuration 0 _B Passive free-wheeling (default value) 1 _B Active free-wheeling
OL_SEL_HS2	D1	rw	HS2 open load detection current and filter time select 0 _B High-current mode (default value) 1 _B LED Mode (Low current mode)
OL_SEL_HS1	D0	rw	HS1 open load detection current and filter time select 0 _B High current mode (default value) 1 _B LED Mode (Low current mode)

注释： 有关PWM操作的更多信息，参见[第6.1.1章节](#)。

串行外设接口 (SPI)

FW_CTRL

主动续流配置 (地址字节[OP]110 10[LABT]1) _B

D7	D6	D5	D4	D3	D2	D1	D0
reserved	reserved	FW_HB12	FW_HB11	FW_HB10	FW_HB9	FW_HB8	FW_HB7
rw	rw	rw	rw	rw	rw	rw	rw

Field	Bits	Type	Description
reserved	D7:D6	rw	To be programmed as '0'.
FW_HB12	D5	rw	HB12 free-wheeling configuration 0 _B Passive free-wheeling (default value) 1 _B Active free-wheeling
FW_HB11	D4	rw	HB11 free-wheeling configuration 0 _B Passive free-wheeling (default value) 1 _B Active free-wheeling
FW_HB10	D3	rw	HB10 free-wheeling configuration 0 _B Passive free-wheeling (default value) 1 _B Active free-wheeling
FW_HB9	D2	rw	HB9 free-wheeling configuration 0 _B Passive free-wheeling (default value) 1 _B Active free-wheeling
FW_HB8	D1	rw	HB8 free-wheeling configuration 0 _B Passive free-wheeling (default value) 1 _B Active free-wheeling
FW_HB7	D0	rw	HB7 free-wheeling configuration 0 _B Passive free-wheeling (default value) 1 _B Active free-wheeling

注释: 有关PWM操作的更多信息, 参见第6.1.1章节。

串行外设接口 (SPI)

CONFIG_CTRL

器件配置 (地址 字节 [OP]110 01[LABT]1_B)

D7	D6	D5	D4	D3	D2	D1	D0
reserved	reserved	reserved	reserved	reserved	DEV_ID2	DEV_ID1	DEV_ID0

Field	Bits	Type	Description
reserved	D7:D3	r	Always reads as '0'
DEV_IDn	D2:D0	r	Device/ derivative identifier <i>Note: These bits can be used to verify the silicon content of the device</i> 000 _B CLE94112EL/ES chip 001 _B CLE94110EL/ES chip 010 _B CLE94108EL/ES chip 011 _B CLE94106EL/ES chip 100 _B CLE94104EP chip 101 _B CLE94103EP chip 110 _B reserved 111 _B reserved

串行外设接口 (SPI)

7.7 SPI状态寄存器

控制寄存器有一个读/清除权限（另见[第7.5章](#)）:

- 状态寄存器的POR 值（POR 或器件复位后的内容）为 0000 0000₈₀.
- 一个 16 位SPI指令由两个字节组成（参见[图 25](#)和[图 26](#)），即
 - 一个地址字节
 - 后跟一个数据字节
- 通过将地址字节的 SPI 第7位设置为“0”（=只读），可以按字节读取寄存器。
- 通过将地址字节的 SPI 第7位设置为“1”，可以按字节清除寄存器。
- SPI状态寄存器不会由器件自动清除。这必须由微控制器通过SPI指令来完成。

串行外设接口 (SPI)

7.7.1 状态寄存器定义

SYS_DIAG1

全局状态 1 (地址字节 [OP]001 10[LABT]1_B)

D7	D6	D5	D4	D3	D2	D1	D0
SPI_ERR	LE	VS_UV	VS_OV	NPOR	TSD	TPW	reserved
rc	r	rc	rc	rc	rc	rc	r

Field	Bits	Type	Description
SPI_ERR	D7	rc	SPI error detection 0 _B No SPI protocol error is detected (default value). 1 _B An SPI protocol error is detected.
LE	D6	r	Load error detection (logic OR combination of Open Load and Overcurrent) 0 _B No Open Load and no Overcurrent detected (default value) 1 _B Open Load or Overcurrent detected in at least one of the power outputs. Error latched. Faulty output is latched off in case of Overcurrent
VS_UV	D5	rc	VS Undervoltage error detection 0 _B No undervoltage on V _S detected (default value) 1 _B Undervoltage on V _S detected. Error latched and all outputs disabled.
VS_OV	D4	rc	VS Overvoltage error detection 0 _B No overvoltage on V _S detected (default value) 1 _B Overvoltage on V _S detected. Error latched and all outputs disabled.
NPOR	D3	rc	Not Power On Reset (NPOR) detection 0 _B POR on EN or VDD supply rail (default value) 1 _B No POR
TSD	D2	rc	Temperature shutdown error detection 0 _B Junction temperature below temperature shutdown threshold (default value) 1 _B Junction temperature has reached temperature shutdown threshold. Error latched and all outputs disabled.
TPW	D1	rc	Temperature pre-warning error detection 0 _B Junction temperature below temperature pre-warning threshold (default value) 1 _B Junction temperature has reached temperature pre-warning threshold.
reserved	D0	r	Bit reserved. Always reads '0'.

注释：全局状态寄存器中的LE 位是只读的。它反映了半桥通道各自的负载开路和过流误差的或组合。如果各自的高边和低边通道的所有OC/OL 位都清除为'0'，则LE 位将自动更新为'0'。

串行外设接口 (SPI)

SYS_DIAG_2: OP_ERROR_1_STAT

半桥输出 1 - 4 的过流错误状态 (地址字节 [OP]101 10[LABT]1_B)

D7	D6	D5	D4	D3	D2	D1	D0
HB4_HS_OC	HB4_LS_OC	HB3_HS_OC	HB3_LS_OC	HB2_HS_OC	HB2_LS_OC	HB1_HS_OC	HB1_LS_OC
rc	rc	rc	rc	rc	rc	rc	rc

Field	Bits	Type	Description
HB4_HS_OC	D7	rc	High-side (HS) switch of half-bridge 4 overcurrent detection 0 _B No error on HS4 switch (default value) 1 _B Overcurrent detected on HS4 switch. Error latched and HS4 disabled.
HB4_LS_OC	D6	rc	Low-side (LS) switch of half-bridge 4 overcurrent detection 0 _B No error on LS4 switch (default value) 1 _B Overcurrent detected on LS4 switch. Error latched and LS4 disabled.
HB3_HS_OC	D5	rc	High-side (HS) switch of half-bridge 3 overcurrent detection 0 _B No error on HS3 switch (default value) 1 _B Overcurrent detected on HS3 switch. Error latched and HS3 disabled.
HB3_LS_OC	D4	rc	Low-side (LS) switch of half-bridge 3 overcurrent detection 0 _B No error on LS3 switch (default value) 1 _B Overcurrent detected on LS3 switch. Error latched and LS3 disabled.
HB2_HS_OC	D3	rc	High-side (HS) switch of half-bridge 2 overcurrent detection 0 _B No error on HS2 switch (default value) 1 _B Overcurrent detected on HS2 switch. Error latched and HS2 disabled.
HB2_LS_OC	D2	rc	Low-side (LS) switch of half-bridge 2 overcurrent detection 0 _B No error on LS2 switch (default value) 1 _B Overcurrent detected on LS2 switch. Error latched and LS2 disabled.
HB1_HS_OC	D1	rc	High-side (HS) switch of half-bridge 1 overcurrent detection 0 _B No error on HS1 switch (default value) 1 _B Overcurrent detected on HS1 switch. Error latched and HS1 disabled.
HB1_LS_OC	D0	rc	Low-side (LS) switch of half-bridge 1 overcurrent detection 0 _B No error on LS1 switch (default value) 1 _B Overcurrent detected on LS1 switch. Error latched and LS1 disabled.

串行外设接口 (SPI)

SYS_DIAG_3: OP_ERROR_2_STAT

半桥输出 5 - 8 的过流错误状态 (地址字节 [OP]011 10[LABT]1_B)

D7	D6	D5	D4	D3	D2	D1	D0
HB8_HS_OC	HB8_LS_OC	HB7_HS_OC	HB7_LS_OC	HB6_HS_OC	HB6_LS_OC	HB5_HS_OC	HB5_LS_OC
rc	rc	rc	rc	rc	rc	rc	rc

Field	Bits	Type	Description
HB8_HS_OC	D7	rc	High-side (HS) switch of half-bridge 8 overcurrent detection 0 _B No error on HS8 switch (default value) 1 _B Overcurrent detected on HS8 switch. Error latched and HS8 disabled.
HB8_LS_OC	D6	rc	Low-side (LS) switch of half-bridge 8 overcurrent detection 0 _B No error on LS8 switch (default value) 1 _B Overcurrent detected on LS8 switch. Error latched and LS8 disabled.
HB7_HS_OC	D5	rc	High-side (HS) switch of half-bridge 7 overcurrent detection 0 _B No error on HS7 switch (default value) 1 _B Overcurrent detected on HS7 switch. Error latched and HS7 disabled.
HB7_LS_OC	D4	rc	Low-side (LS) switch of half-bridge 7 overcurrent detection 0 _B No error on LS7 switch (default value) 1 _B Overcurrent detected on LS7 switch. Error latched and LS7 disabled.
HB6_HS_OC	D3	rc	High-side (HS) switch of half-bridge 6 overcurrent detection 0 _B No error on HS6 switch (default value) 1 _B Overcurrent detected on HS6 switch. Error latched and HS6 disabled.
HB6_LS_OC	D2	rc	Low-side (LS) switch of half-bridge 6 overcurrent detection 0 _B No error on LS6 switch (default value) 1 _B Overcurrent detected on LS6 switch. Error latched and LS6 disabled.
HB5_HS_OC	D1	rc	High-side (HS) switch of half-bridge 5 overcurrent detection 0 _B No error on HS5 switch (default value) 1 _B Overcurrent detected on HS5 switch. Error latched and HS5 disabled.
HB5_LS_OC	D0	rc	Low-side (LS) switch of half-bridge 5 overcurrent detection 0 _B No error on LS5 switch (default value) 1 _B Overcurrent detected on LS5 switch. Error latched and LS5 disabled.

串行外设接口 (SPI)

SYS_DIAG_4: OP_ERROR_3_STAT

半桥输出 9 - 12 的过流错误状态 (地址字节 [OP]111 10[LABT]1_B)

D7	D6	D5	D4	D3	D2	D1	D0
HB12_HS_OC C	HB12_LS_OC	HB11_HS_OC C	HB11_LS_OC	HB10_HS_OC C	HB10_LS_OC	HB9_HS_OC	HB9_LS_OC
rc	rc	rc	rc	rc	rc	rc	rc

Field	Bits	Type	Description
HB12_HS_OC	D7	rc	High-side (HS) switch of half-bridge 12 overcurrent detection 0 _B No error on HS12 switch (default value) 1 _B Overcurrent detected on HS12 switch. Error latched and HS12 disabled.
HB12_LS_OC	D6	rc	Low-side (LS) switch of half-bridge 12 overcurrent detection 0 _B No error on LS12 switch (default value) 1 _B Overcurrent detected on LS12 switch. Error latched and LS12 disabled.
HB11_HS_OC	D5	rc	High-side (HS) switch of half-bridge 11 overcurrent detection 0 _B No error on HS11 switch (default value) 1 _B Overcurrent detected on HS11 switch. Error latched and HS11 disabled.
HB11_LS_OC	D4	rc	Low-side (LS) switch of half-bridge 11 overcurrent detection 0 _B No error on LS11 switch (default value) 1 _B Overcurrent detected on LS11 switch. Error latched and LS11 disabled.
HB10_HS_OC	D3	rc	High-side (HS) switch of half-bridge 10 overcurrent detection 0 _B No error on HS10 switch (default value) 1 _B Overcurrent detected on HS10 switch. Error latched and HS10 disabled.
HB10_LS_OC	D2	rc	Low-side (LS) switch of half-bridge 10 overcurrent detection 0 _B No error on LS10 switch (default value) 1 _B Overcurrent detected on LS10 switch. Error latched and LS10 disabled.
HB9_HS_OC	D1	rc	High-side (HS) switch of half-bridge 9 overcurrent detection 0 _B No error on HS9 switch (default value) 1 _B Overcurrent detected on HS9 switch. Error latched and HS9 disabled.
HB9_LS_OC	D0	rc	Low-side (LS) switch of half-bridge 9 overcurrent detection 0 _B No error on LS9 switch (default value) 1 _B Overcurrent detected on LS9 switch. Error latched and LS9 disabled.

注意: 低阶衍生产品未使用或未连接的输出 (即 CLE94110ES、CLE94108ES 和 CLE94106ES) 将被定义为“保留”, 其读取值始终读为“0”

串行外设接口 (SPI)

SYS_DIAG_5: OP_ERROR_4_STAT

半桥输出 1 - 4 负载开路错误状态 (地址 字节 [OP]000 01[LABT]1_B)

D7	D6	D5	D4	D3	D2	D1	D0
HB4_HS_OL	HB4_LS_OL	HB3_HS_OL	HB3_LS_OL	HB2_HS_OL	HB2_LS_OL	HB1_HS_OL	HB1_LS_OL
rc	rc	rc	rc	rc	rc	rc	rc

Field	Bits	Type	Description
HB4_HS_OL	D7	rc	High-side (HS) switch of half-bridge 4 open load detection 0 _B No error on HS4 switch (default value) 1 _B Open load detected on HS4 switch. Error latched.
HB4_LS_OL	D6	rc	Low-side (LS) switch of half-bridge 4 open load detection 0 _B No error on LS4 switch (default value) 1 _B Open load detected on LS4 switch. Error latched.
HB3_HS_OL	D5	rc	High-side (HS) switch of half-bridge 3 open load detection 0 _B No error on HS3 switch (default value) 1 _B Open load detected on HS3 switch. Error latched.
HB3_LS_OL	D4	rc	Low-side (LS) switch of half-bridge 3 open load detection 0 _B No error on LS3 switch (default value) 1 _B Open load detected on LS3 switch. Error latched.
HB2_HS_OL	D3	rc	High-side (HS) switch of half-bridge 2 open load detection 0 _B No error on HS2 switch (default value) 1 _B Open load detected on HS2 switch. Error latched.
HB2_LS_OL	D2	rc	Low-side (LS) switch of half-bridge 2 open load detection 0 _B No error on LS2 switch (default value) 1 _B Open load detected on LS2 switch. Error latched.
HB1_HS_OL	D1	rc	High-side (HS) switch of half-bridge 1 open load detection 0 _B No error on HS1 switch (default value) 1 _B Open load detected on HS1 switch. Error latched.
HB1_LS_OL	D0	rc	Low-side (LS) switch of half-bridge 1 open load detection 0 _B No error on LS1 switch (default value) 1 _B Open load detected on LS1 switch. Error latched.

串行外设接口 (SPI)

SYS_DIAG_6: OP_ERROR_5_STAT

半桥输出 5 - 8 负载开路错误状态 (地址字节 [OP]100 01[LABT]1_B)

D7	D6	D5	D4	D3	D2	D1	D0
HB8_HS_OL	HB8_LS_OL	HB7_HS_OL	HB7_LS_OL	HB6_HS_OL	HB6_LS_OL	HB5_HS_OL	HB5_LS_OL
rc	rc	rc	rc	rc	rc	rc	rc

Field	Bits	Type	Description
HB8_HS_OL	D7	rc	High-side (HS) switch of half-bridge 8 open load detection 0 _B No error on HS8 switch (default value) 1 _B Open load detected on HS8 switch. Error latched.
HB8_LS_OL	D6	rc	Low-side (LS) switch of half-bridge 8 open load detection 0 _B No error on LS8 switch (default value) 1 _B Open load detected on LS8 switch. Error latched.
HB7_HS_OL	D5	rc	High-side (HS) switch of half-bridge 7 open load detection 0 _B No error on HS7 switch (default value) 1 _B Open load detected on HS7 switch. Error latched.
HB7_LS_OL	D4	rc	Low-side (LS) switch of half-bridge 7 open load detection 0 _B No error on LS7 switch (default value) 1 _B Open load detected on LS7 switch. Error latched.
HB6_HS_OL	D3	rc	High-side (HS) switch of half-bridge 6 open load detection 0 _B No error on HS6 switch (default value) 1 _B Open load detected on HS6 switch. Error latched.
HB6_LS_OL	D2	rc	Low-side (LS) switch of half-bridge 6 open load detection 0 _B No error on LS6 switch (default value) 1 _B Open load detected on LS6 switch. Error latched.
HB5_HS_OL	D1	rc	High-side (HS) switch of half-bridge 5 open load detection 0 _B No error on HS5 switch (default value) 1 _B Open load detected on HS5 switch. Error latched.
HB5_LS_OL	D0	rc	Low-side (LS) switch of half-bridge 5 open load detection 0 _B No error on LS5 switch (default value) 1 _B Open load detected on LS5 switch. Error latched.

串行外设接口 (SPI)

SYS_DIAG_7: OP_ERROR_6_STAT

半桥输出9-12负载开路错误状态 (地址 字节 [OP]010 01[LABT]1_B)

D7	D6	D5	D4	D3	D2	D1	D0
HB12_HS_OL	HB12_LS_OL	HB11_HS_OL	HB11_LS_OL	HB10_HS_OL	HB10_LS_OL	HB9_HS_OL	HB9_LS_OL
rc	rc	rc	rc	rc	rc	rc	rc

Field	Bits	Type	Description
HB12_HS_OL	D7	rc	High-side (HS) switch of half-bridge 12 open load detection 0 _B No error on HS12 switch (default value) 1 _B Open load detected on HS12 switch. Error latched.
HB12_LS_OL	D6	rc	Low-side (LS) switch of half-bridge 12 open load detection 0 _B No error on LS12 switch (default value) 1 _B Open load detected on LS12 switch. Error latched.
HB11_HS_OL	D5	rc	High-side (HS) switch of half-bridge 11 open load detection 0 _B No error on HS11 switch (default value) 1 _B Open load detected on HS11 switch. Error latched.
HB11_LS_OL	D4	rc	Low-side (LS) switch of half-bridge 11 open load detection 0 _B No error on LS11 switch (default value) 1 _B Open load detected on LS11 switch. Error latched.
HB10_HS_OL	D3	rc	High-side (HS) switch of half-bridge 10 open load detection 0 _B No error on HS10 switch (default value) 1 _B Open load detected on HS10 switch. Error latched.
HB10_LS_OL	D2	rc	Low-side (LS) switch of half-bridge 10 open load detection 0 _B No error on LS10 switch (default value) 1 _B Open load detected on LS10 switch. Error latched.
HB9_HS_OL	D1	rc	High-side (HS) switch of half-bridge 9 open load detection 0 _B No error on HS9 switch (default value) 1 _B Open load detected on HS9 switch. Error latched.
HB9_LS_OL	D0	rc	Low-side (LS) switch of half-bridge 9 open load detection 0 _B No error on LS9 switch (default value) 1 _B Open load detected on LS9 switch. Error latched.

应用信息

8 应用信息

注： 以下简化的应用示例仅作为器件应用的提示，不应被视为对器件某种功能、状态或质量的描述或担保。所描述电路的功能必须在应用中进行验证。

8.1 应用框图

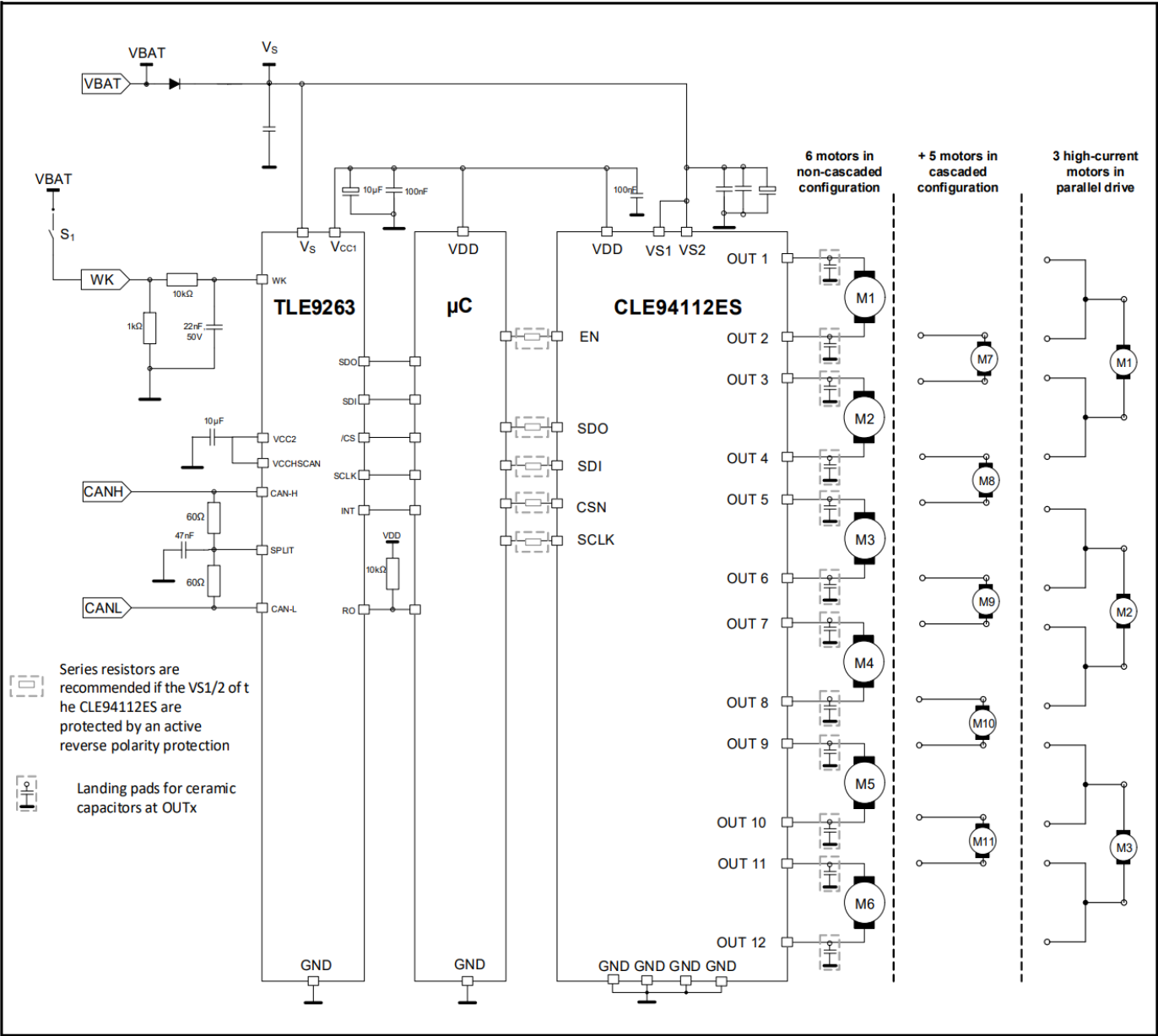


图 27 直流电机负载应用示例

应用信息

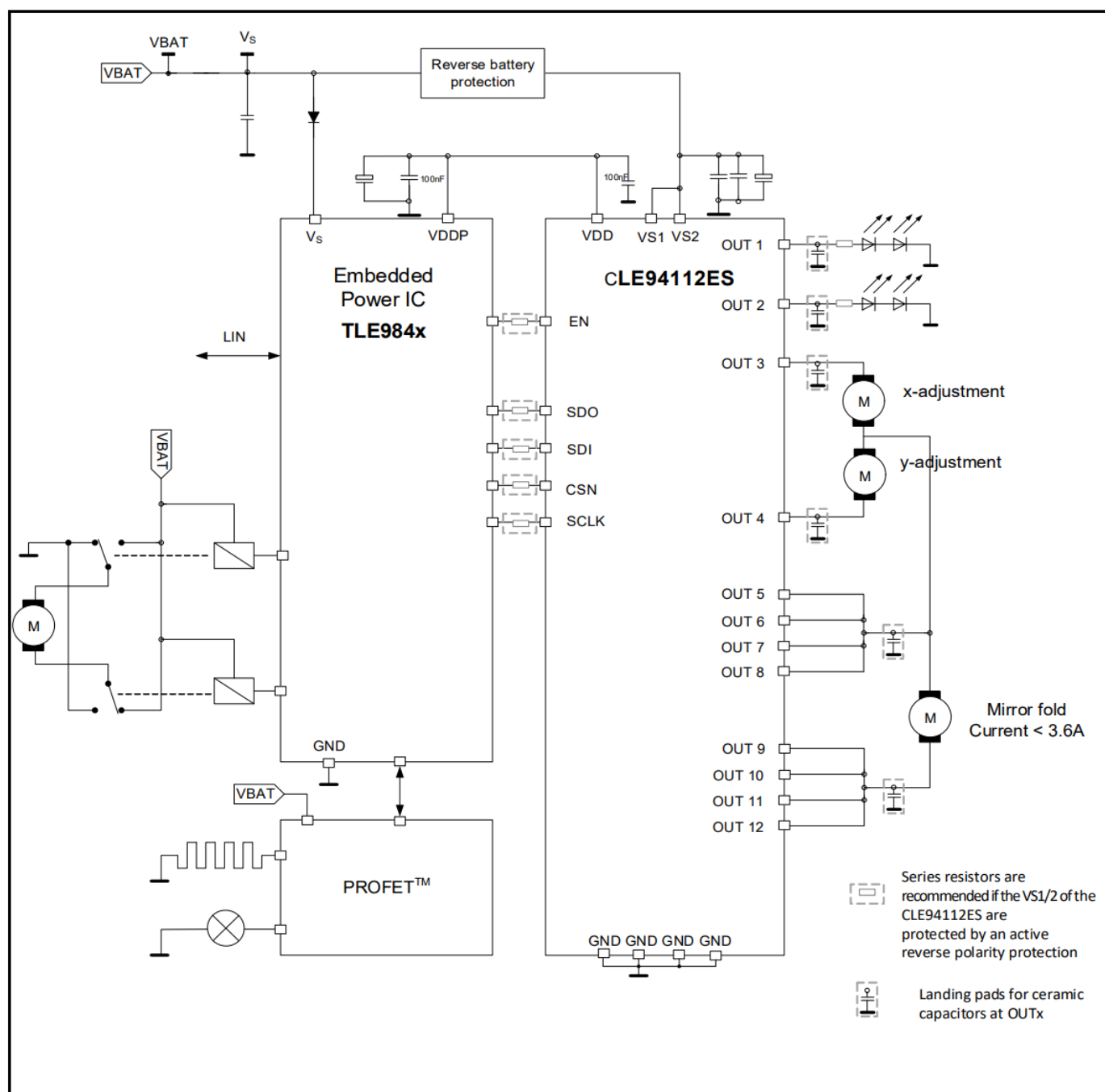


图 28 侧后视镜控制的应用示例

应用示例说明

1. 系列；如果使用有源反极性保护 (MOSFET) 来保护 VS1 和 VS2 引脚，建议在微控制器与 CLE94112ES 的信号引脚之间串联电阻。这些电阻可在 VBAT 上出现负瞬变时（例如 ISO/TR 7637 脉冲 1）限制微控制器与该器件之间的电流。
2. 建议将 CLE94112ES 输出端尽可能靠近连接器的位置为陶瓷电容设置焊盘（如果未使用，则陶瓷电容器可不安装）。如果需要更高的防静电能力，可以安装这些陶瓷电容。
3. VSx 引脚处的电解电容器应进行尺寸设计，以防止 VS 电压超过绝对最大额定值。使用容值过低的电容进行 PWM 操作时，可能会导致 VS 电压过冲，从而导致 VS 过压检测被触发。

应用信息

4. 建议在应用中将未使用的输出保持未连接状态（开路）。如果未使用的输出引脚被连接到PCB外部的连接器，那么这些输出应该配备零欧姆跳线（如果未使用则不需要）或静电保护装置。换句话说，未使用的引脚应像已使用的引脚一样处理。
5. 为获得最佳的电磁兼容性能（EMC），请将旁路陶瓷电容尽可能靠近VSx 引脚放置，并使接地引脚与接地层的连接最短，

应用信息

8.2 热应用信息

$T_a = 85^\circ\text{C}$, Ch1 至 Ch12 总功耗 1.62W (每个 0.135W)。

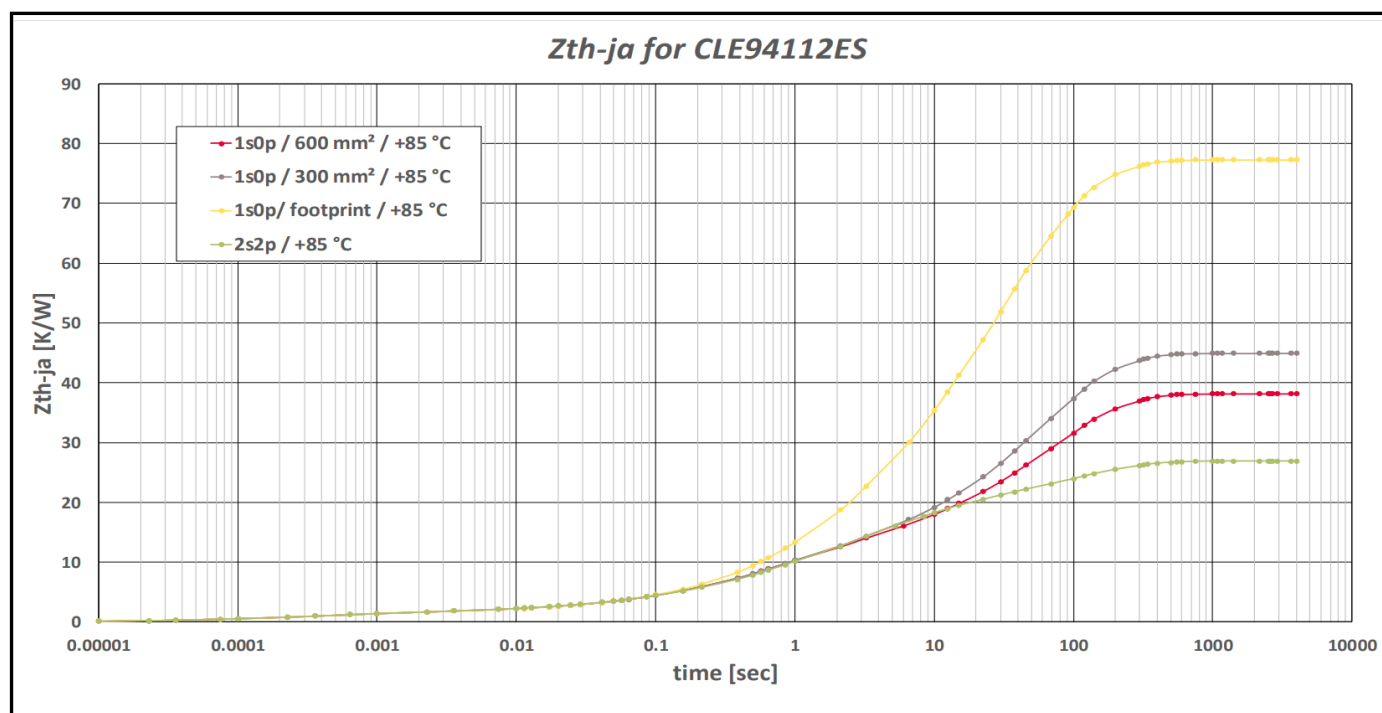


图 29 不同 PCB 设置的 ZthJA 曲线

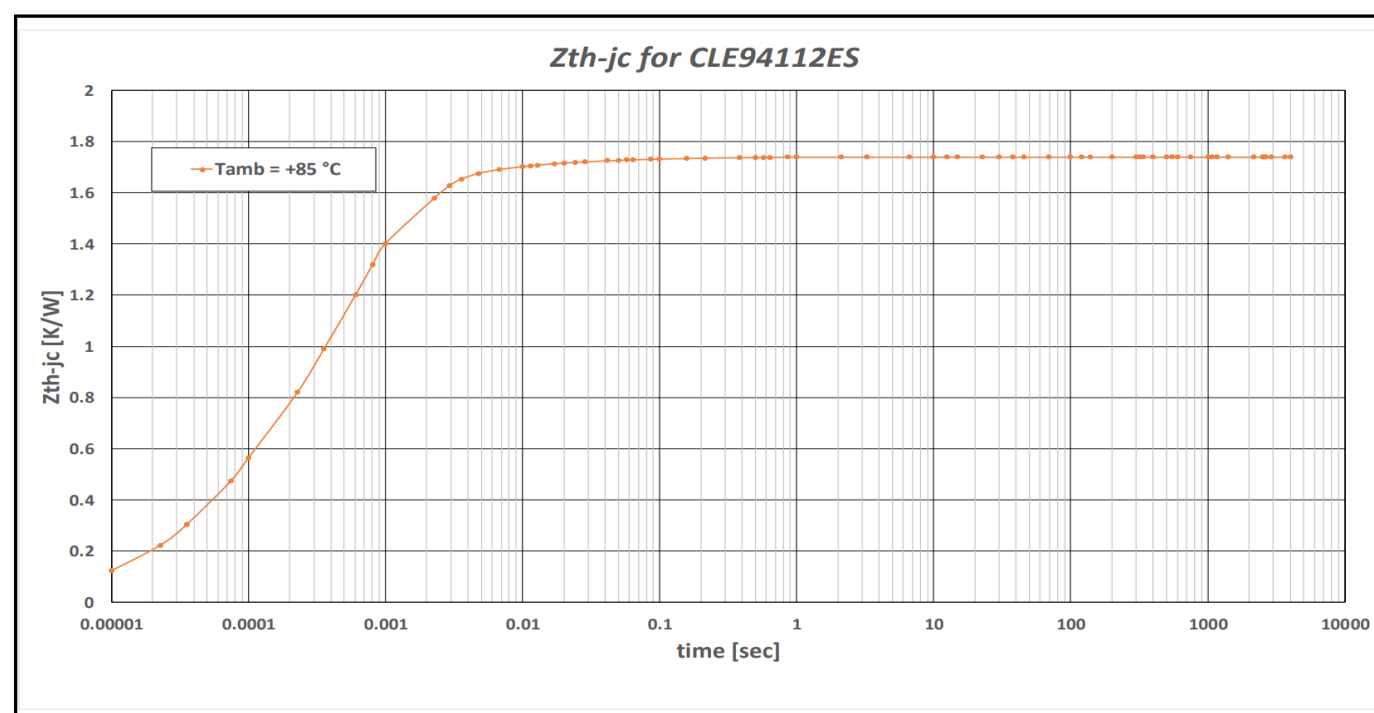


图 30 ZthJC 曲线

应用信息

8.3 电磁兼容增强

如果器件的辐射超过允许限值，则会对振荡器频率进行调制，以减少 8MHz 基准时钟的可能产生的谐波。

在电磁兼容性测试期间，可以根据峰值检测器的分辨率带宽来选择频率。

通过如下方式设置 PWM_CH_FREQ_CTRL 寄存器中的 FM_CLK_MODn 位可实现选择：

00_B: OFF

01_B: FM CLK=15.625 kHz

10_B: FM CLK=31.25 kHz

11_B: FM CLK=62.5 kHz

封装外形

9 封装外形

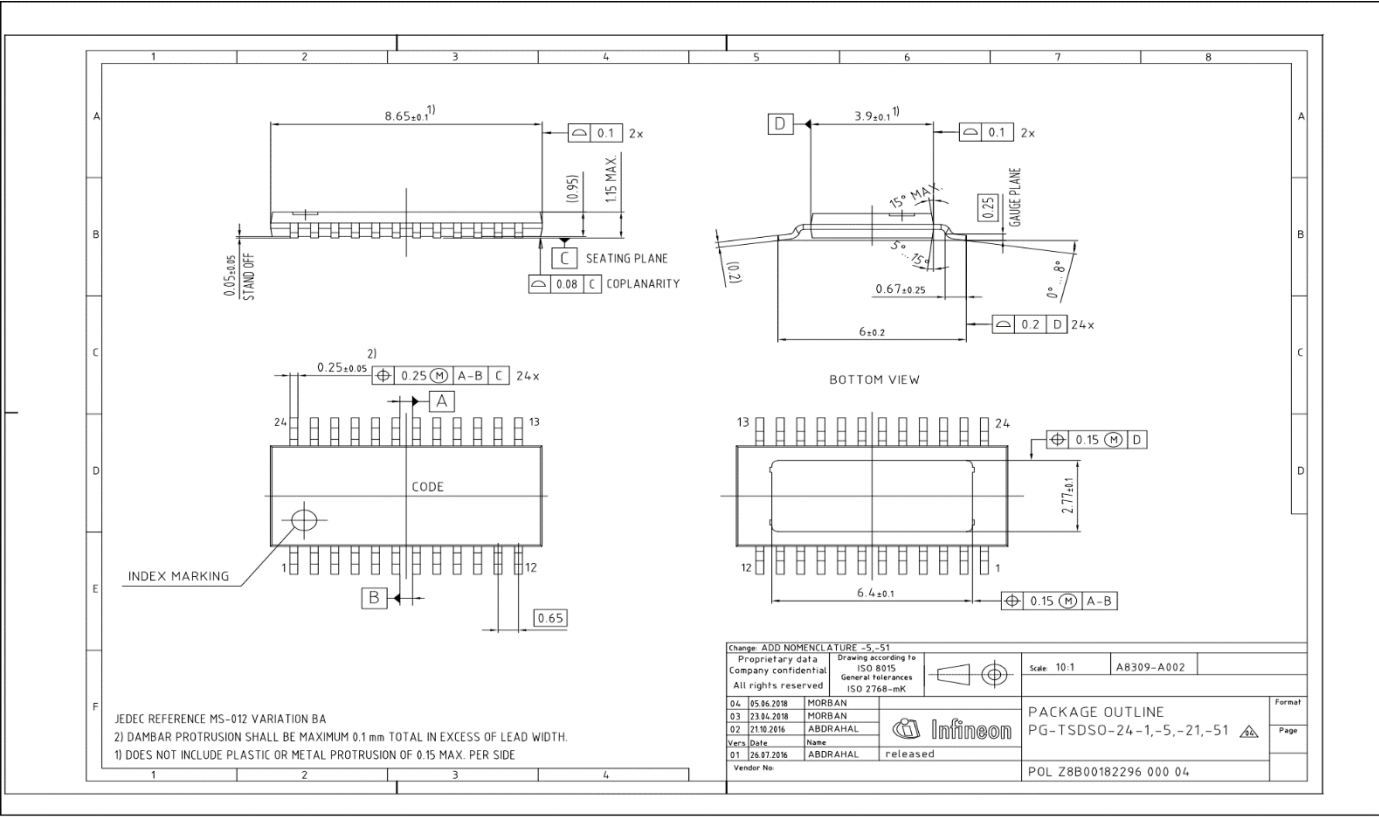


图 31 PG-TSDSO-24（塑料/塑料绿色 - 双侧小外形封装）

绿色产品：符合 RoHS 标准

为了满足全球客户对环保产品的要求，并遵守政府法规，该器件以绿色产品的形式提供。绿色产品符合RoHS标准（即引线采用无铅涂层，并且符合IPC/JEDEC J-STD-020标准，适用于无铅焊接）。

有关替代封装的更多信息，请访问我们的网站：

<http://www.infineon.com/packages>.

Dimensions in mm

修订记录

10 修订记录

Revision	Date	Changes
1.0	2020-09-29	Initial release

Trademarks of Infineon Technologies AG

μHVIC™, μIPM™, μPFC™, AU-ConvertIR™, AURIX™, C166™, CanPAK™, CIPOS™, CIPURSE™, CoolDP™, CoolGaN™, COOLiR™, CoolMOS™, CoolSET™, CoolSiC™, DAVE™, DI-POL™, DirectFET™, DrBlade™, EasyPIM™, EconoBRIDGE™, EconoDUAL™, EconoPACK™, EconoPIM™, EiceDRIVER™, eupec™, FCOS™, GaNpowIR™, HEXFET™, HITFET™, HybridPACK™, iMOTION™, IRAM™, ISOFACE™, IsoPACK™, LEDriviR™, LITIX™, MIPAQ™, ModSTACK™, my-d™, NovalithiC™, OPTIGA™, OptiMOS™, ORIGA™, PowIRaudio™, PowIRstage™, PrimePACK™, PrimeSTACK™, PROFET™, PRO-SiL™, RASIC™, REAL3™, SmartLEWIS™, SOLID FLASH™, SPOC™, StrongIRFET™, SupIRBuck™, TEMPFET™, TRENCHSTOP™, TriCore™, UHVIC™, XHP™, XMC™.

Trademarks updated November 2015

Other Trademarks

All referenced product or service names and trademarks are the property of their respective owners.

Edition 2020-09-29

Published by

Infineon Technologies AG
81726 Munich, Germany

© 2020 Infineon Technologies
AG. All Rights Reserved.

Do you have a question about
any aspect of this document?

Email: erratum@infineon.com

IMPORTANT NOTICE

The information given in this document shall in no event be regarded as a guarantee of conditions or characteristics ("Beschaffenhheitsgarantie").

With respect to any examples, hints or any typical values stated herein and/or any information regarding the application of the product, Infineon Technologies hereby disclaims any and all warranties and liabilities of any kind, including without limitation warranties of non-infringement of intellectual property rights of any third party.

In addition, any information given in this document is subject to customer's compliance with its obligations stated in this document and any applicable legal requirements, norms and standards concerning customer's products and any use of the product of Infineon Technologies in customer's applications.

The data contained in this document is exclusively intended for technically trained staff. It is the responsibility of customer's technical departments to evaluate the suitability of the product for the intended application and the completeness of the product information given in this document with respect to such application.

For further information on technology, delivery terms and conditions and prices, please contact the nearest Infineon Technologies Office (www.infineon.com).

WARNINGS

Due to technical requirements products may contain dangerous substances. For information on the types in question please contact your nearest Infineon Technologies office.

Except as otherwise explicitly approved by Infineon Technologies in a written document signed by authorized representatives of Infineon Technologies, Infineon Technologies' products may not be used in any applications where a failure of the product or any consequences of the use thereof can reasonably be expected to result in personal injury.



免责声明

请注意，本文件的原文使用英文撰写，为方便客户浏览英飞凌提供了中文译文。该中文译文仅供参考，并不可作为任何论点之依据。

由于翻译过程中可能使用了自动化程序，以及语言翻译和转换过程中的差异，最后的中文译文与最新的英文版本原文含义可能存在不尽相同之处。

因此，我们同时提供该中文译文版本的最新英文原文供您阅读，请参见 <http://www.infineon.com>

英文原文和中文译文版本之间若存有任何歧异，以最新的英文版本为准，并且仅认可英文版本为正式文件。

您如果使用本文件，即表示您同意并理解上述说明。英飞凌不对因翻译过程中可能存在的任何不完整或不准确信息而产生的任何直接或间接损失或损害负责。英飞凌不承担中文译文版本的完整性和准确性责任。如果您不同意上述说明，请不要使用本文件。

Trademarks

All referenced product or service names and trademarks are the property of their respective owners.

重要通知

版本 2025-09-05

Infineon Technologies AG 出版，
德国 Neubiberg 85579

版权 © 2025 Infineon Technologies AG
及其关联公司。
保留所有权利。

**Do you have a question about this
document?**

Email:
erratum@infineon.com

Infineon Technologies AG 及其关联公司（以下简称“英飞凌”）销售或提供和交付的产品（可能也包括样品，且可能由硬件或软件或两者组成）（以下简称“产品”），应遵守客户与英飞凌签订的框架供应合同或其他书面协议的条款和条件，如无上述合同或其他书面协议，则应遵守适用的英飞凌销售条件。只有在英飞凌明确书面同意的情况下，客户的一般条款和条件或对适用的英飞凌销售条件的偏离才对英飞凌具有约束力。

为避免疑义，英飞凌不承担侵犯第三方权利的所有保证和默示保证，例如对特定用途/目的的适用性或适销性的保证。

英飞凌对与样品、应用或客户对任何产品的具体使用有关的任何信息或本文件中给出的任何示例或典型值概不负责。

本文件中包含的数据仅供具有技术资格和技能的客户代表使用。客户有责任评估产品对预期应用和客户特定用途的适用性，并在预期应用和客户特定用途中验证本文件中包含的所有相关技术数据。客户有责任正确设计、编程和测试预期应用的功能性和安全性，并遵守与其使用相关的法律要求。

除非英飞凌另行明确批准，否则产品不得用于任何因产品故障或使用产品的任何后果可合理预期会导致人身伤害的应用。但是，上述规定并不妨碍客户在英飞凌明确设计和销售的使用领域中使用任何产品，但是客户对应用负有全部责任。

英飞凌明确保留根据适用法律，如《德国版权法》（UrhG）第 44b 条，将其内容用于商业资料和数据勘探（TDM）的权利。

如果产品包含安全功能：

由于任何计算设备都不可能绝对安全，尽管产品采取了安全措施，但英飞凌不保证产品不会被入侵、数据不会被盗或遗失，或不会发生其他漏洞（以下简称“安全漏洞”），英飞凌对任何安全漏洞不承担任何责任。

如果本文件包含或引用软件：

根据美国、德国和世界其他国家的知识产权法律和条约，该软件归英飞凌所有。英飞凌保留所有权利。因此，您只能按照软件附带的软件授权协议的规定使用本软件。

如果没有适用的软件授权协议，英飞凌特此授予您个人的、非排他性的、不可转让的软件知识产权授权（无权转授权）：(a) 对于以源代码形式提供的软件，仅在贵组织内部修改和复制该软件用于英飞凌硬件产品；及 (b) 对于以二进制代码 (binary code) 形式对外向终端用户分发该软件，仅得用于英飞凌硬件产品。禁止对本软件进行任何其他使用、复制、修改、翻译或编译。有关产品、技术、交货条款和条件以及价格的详细信息，请联系离您最近的英飞凌办公室或访问 <https://www.infineon.com>。