

英飞凌 CLE92108-232QX 多 MOSFET 驱动 IC

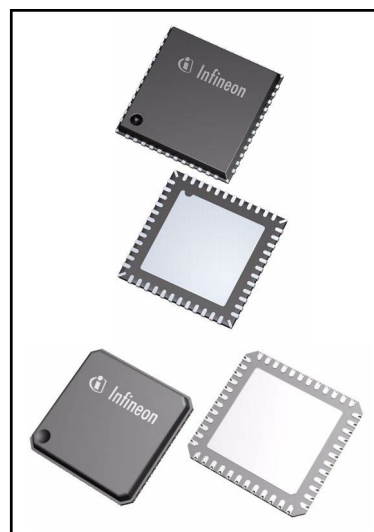
多 MOSFET 驱动 IC



1 概述

特性

- 八个用于外部N沟道MOSFET的半桥栅极驱动器
- 电池防反MOSFET控制
- 自适应 MOSFET 栅极控制
 - 改善电磁辐射
 - 降低PWM模式下的开关损耗
- 24位串行外设接口
- 两个具有可配置增益的电流检测放大器
 - 高边和低边均具有保护和诊断功能
- 用于短路检测的VDS监控
- 过温警告与关断
- 看门狗监控
- 通过SPI进行详细的关断状态诊断（负载开路、对电池短路或对地短路）
- 三路PWM输入
 - 支持高边和低边PWM控制
 - 主动续流
 - 最高 25 kHz 的PWM信号频率
- 睡眠模式下的低电流消耗
- 可配置低边 1-4 制动器，在睡眠模式和正常模式下均具有短路检测功能
- 可配置睡眠模式下VS过压检测
- 无引脚功率封装，支持光学引脚尖端检测
- 绿色产品（符合 RoHS 标准）
- 符合 AEC



潜在应用

- 座椅控制及扩展功能（转向柱调节、油门踏板调节）
- 电动升降门
- 中央门锁
- 车身控制模块（行李厢盖、清洗泵、车窗升降器、后雨刮器...）

本数据手册的原文使用英文撰写。为方便起见，英飞凌提供了译文；由于翻译过程中可能使用了自动化工具，英飞凌不保证译文的准确性。为确认准确性请务必访问 infineon.com 参考最新的英文版本（控制文档）。

概述

产品验证

汽车应用认证，产品依据AEC-Q100进行验证。

描述

CLE92108-232QX 是一款多MOSFET驱动IC，专用于控制多达十六个 n 沟道 MOSFET。它包括八个半桥，用于直流电机控制应用，例如汽车电力电子座椅控制或其他应用。

24 位串行外设接口 (SPI) 用于配置 CLE92108-232QX 并控制半桥。它还允许读取状态寄存器以用于诊断。

CLE92108-232QX 提供广泛的诊断功能，例如监测供电电压、电荷泵电压、温度警告和过温关断。每个栅极驱动器独立地监控其外部 MOSFET 漏源电压是否存在故障情况。

该器件封装在 VQFN-48 中，带有支持引线尖端检查的裸露散热焊盘。该封装具有良好的热性能并最大限度地减少了所需的 PCB 空间。

Type	Package	Marking
CLE92108-232QX	PG-VQFN-48	CLE92108-232QX

目录

1	概述	1
2	框图	5
2.1	电压和电流定义	6
3	引脚配置	7
3.1	引脚分配	7
3.2	引脚定义和功能	8
4	产品一般特性	10
4.1	绝对最大额定值	10
4.2	工作范围	11
4.3	热阻抗	13
5	概述	14
5.1	电源	14
5.2	操作模式	14
5.2.1	正常模式	14
5.2.2	休眠模式	15
5.2.3	故障安全模式	15
5.3	复位行为	16
5.4	电荷泵	17
5.5	频率调制	17
5.6	电气特性	18
5.6.1	电气特性：电源	18
5.6.2	电气特性：逻辑输入PWM _x 、EN	21
5.6.3	电荷泵电气特性	21
6	浮动栅极驱动器	23
6.1	MOSFET激活模式下通过桥驱动器控制 (BD_PASS = 0 且 EN = 高)	25
6.2	桥驱动器处于主动模式时持续激活(BD_PASS = 0)	25
6.2.1	高边MOSFET持续激活	26
6.2.2	低边MOSFET持续激活	29
6.2.3	半桥高边和低边MOSFET的关断	29
6.3	PWM桥驱动器处于主动模式时的操作 (BD_PASS = 0)	30
6.3.1	主动和续流 MOSFET 的确定	31
6.3.2	PWM 模式下的配置	34
6.3.3	可调栅极控制的 PWM 工作模式	35
6.3.3.1	具有可调栅极控制的高边PWM，电机作为负载运行	37
6.3.3.2	具有可调栅极控制的低边PWM，电机作为负载运行	44
6.3.3.3	具有可调栅极控制的高边PWM，电机作为发电机运行	45
6.3.3.4	具有自适应反馈控制的低侧PWM，电机作为发电机运行	47
6.3.3.5	用于调节导通和关断延迟时间的状态位	49
6.3.3.6	预充电和预放电阶段 EN_DEEP_AD = 1	49
6.3.4	无可调栅极控制的 PWM 工作模式	52
6.3.4.1	无可调栅极控制的PWM工作模式，AGC[1:0] = (0,0)	52
6.3.4.2	无可调栅极控制的PWM工作模式，AGC[1:0] = (0,1)	53
6.3.5	高电平和低电平占空比下的PWM模式	55
6.3.6	栅极驱动器电流	58
6.4	被动放电	62

6.5	被动模式下的桥驱.....	62
6.6	栅极驱动器电气特性.....	63
7	保护和诊断.....	65
7.1	反极性保护.....	65
7.2	安全切换（可选）.....	65
7.3	主动模式下的桥驱源漏电压监控.....	65
7.4	被动模式下的桥驱漏源电压监控.....	66
7.5	交叉电流保护和漏源过压消隐时间.....	67
7.5.1	交叉电流保护.....	67
7.5.2	漏源过压桥驱动器激活模式下的空白时间.....	68
7.5.3	交叉电流保护和空白时间的映射.....	70
7.6	断电状态诊断.....	70
7.7	温度监测.....	72
7.8	V_S 过压和欠压关断.....	74
7.8.1	V_S 欠压.....	74
7.8.2	V_S 过压与主动模式下的桥驱动器.....	74
7.8.3	V_S 过压与被动模式下的桥驱动器.....	75
7.8.4	V_{DD} 欠压.....	75
7.8.5	电荷泵欠压.....	75
7.9	PWM 模式下MOSFET的开关参数.....	76
7.10	看门狗监控.....	76
7.11	电流检测放大器.....	78
7.11.1	单向和双向模式.....	78
7.11.2	增益配置.....	78
7.11.3	高边和低边设置.....	79
7.11.4	过流检测.....	79
7.11.5	CSO 输出电容器.....	81
7.12	电气特性保护和诊断.....	83
8	串行外设接口 - SPI.....	88
8.1	具有独立从机选择的 SPI 协议.....	88
8.2	全局错误标志（GEF）.....	90
8.3	全局状态字节.....	90
8.4	SPI 错误检测.....	92
8.5	菊花链.....	93
8.6	SPI 电气特性：时序.....	97
9	寄存器规格.....	100
9.1	控制寄存器.....	100
9.1.1	通用控制寄存器和保护设置.....	102
9.1.2	半桥控制.....	116
9.2	状态寄存器.....	136
9.2.1	通用状态寄存器.....	137
10	应用信息.....	151
11	封装外形.....	153
12	修订记录.....	155

2 框图

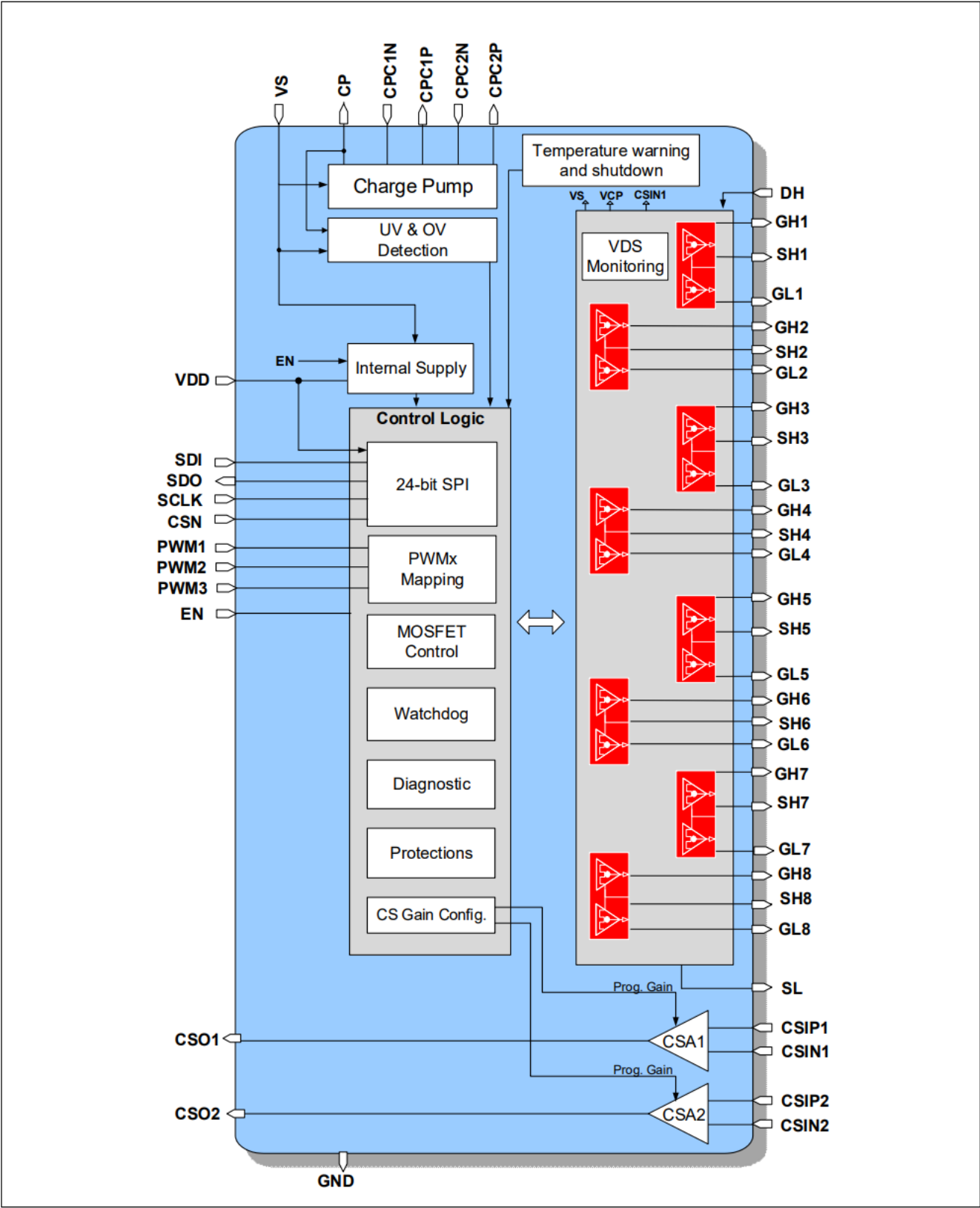


图 1 框图

2.1 电压和电流定义

图 2 显示本数据手册中使用的所有术语以及与正值约定。

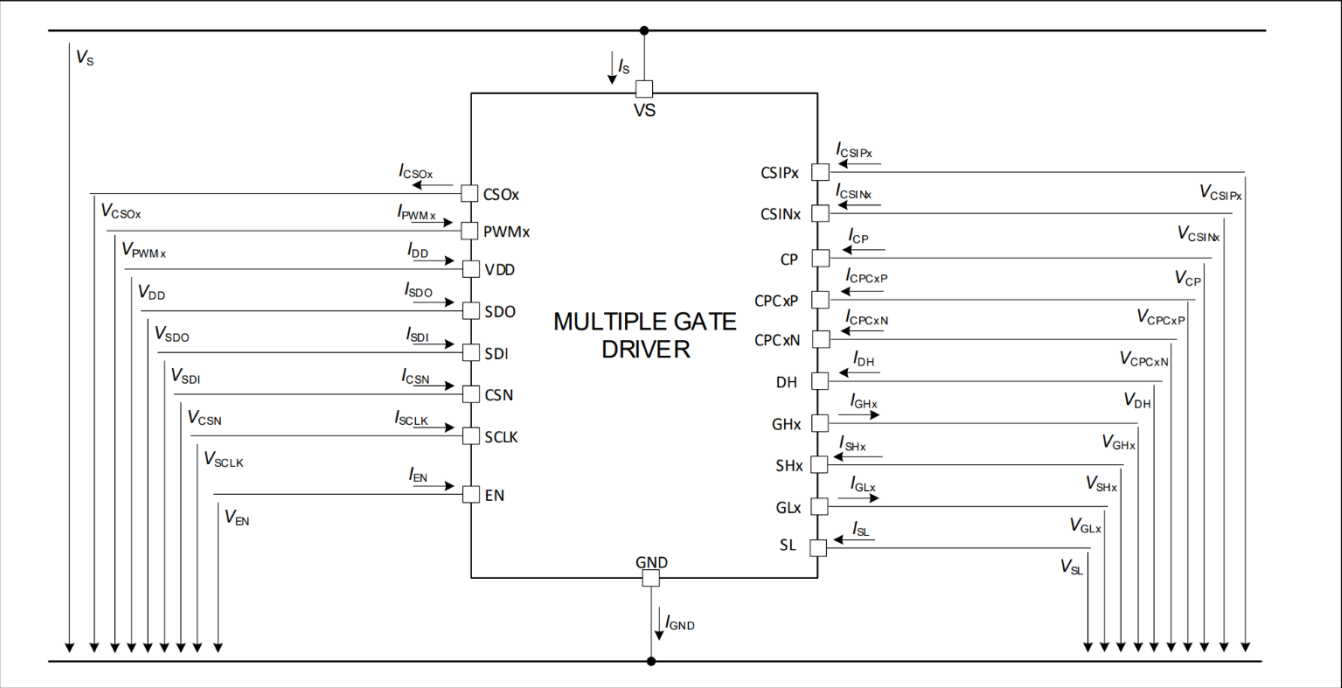


图 2 电压和电流定义

3 引脚配置

3.1 引脚分配

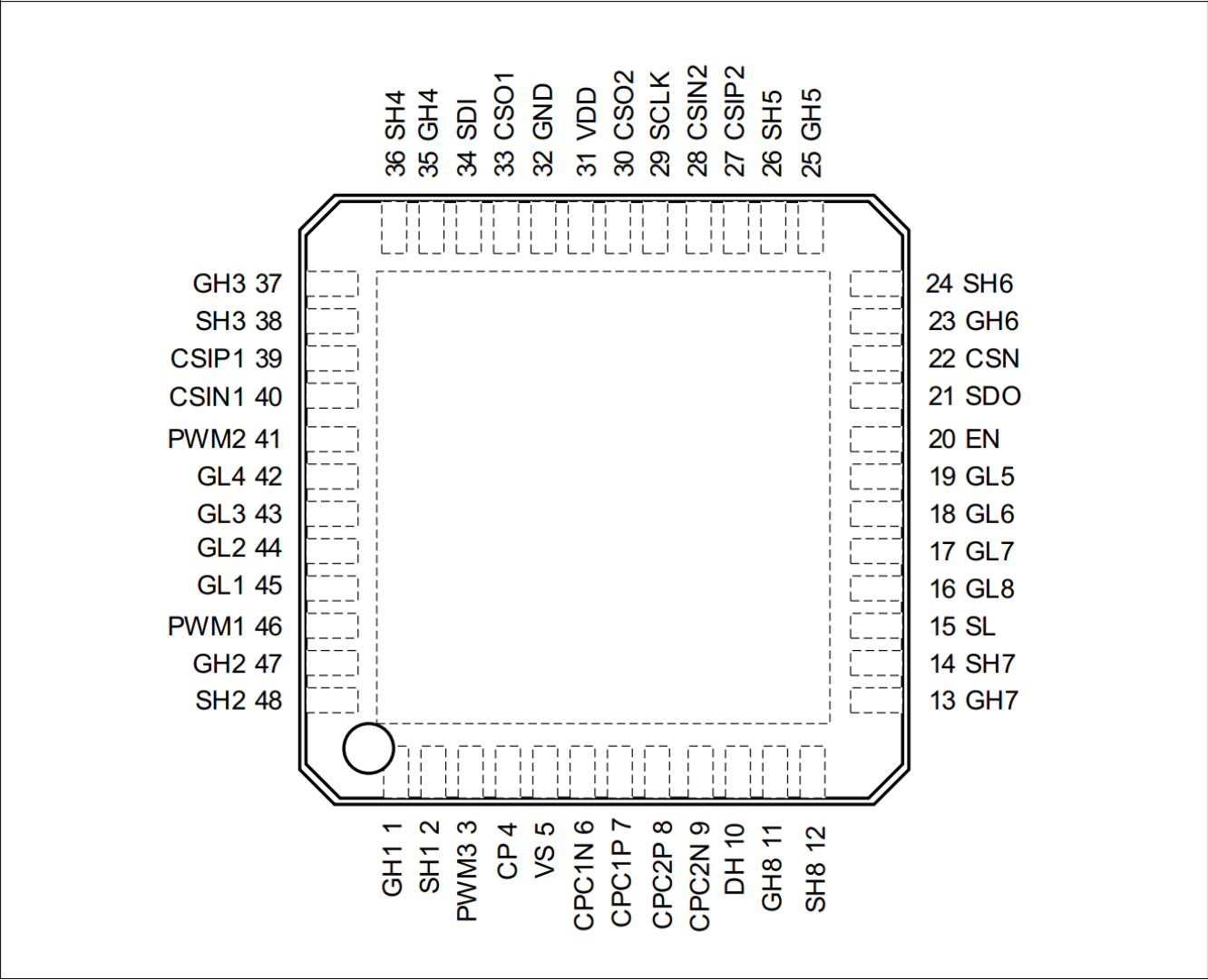


图 3 CLE92108-232QX 引脚配置

3.2 引脚定义和功能

表 1 引脚配置 CLE92108-232QX

Pin	Symbol	Function
1	GH1	Gate high-side 1 Analog I/O pin to turn on/off high-side MOSFET 1. Connect to the gate of high-side MOSFET 1.
2	SH1	Source high-side 1 Connection to source of high-side MOSFET 1.
3	PWM3	PWM input 3
4	CP	Charge Pump Output
5	VS	Supply Voltage Device supply voltage. Connect this pin to the supply (battery) voltage with a reverse battery protection circuit.
6	CPC1N	Negative connection to Charge Pump Capacitor 1
7	CPC1P	Positive connection to Charge Pump Capacitor 1
8	CPC2P	Positive connection to Charge Pump Capacitor 2
9	CPC2N	Negative connection to Charge Pump Capacitor 2
10	DH	Drain input for high-sides Input for the drains of high-side MOSFETs. Refer to Chapter 7.3 .
11	GH8	Gate high-side 8
12	SH8	Source high-side 8
13	GH7	Gate high-side 7
14	SH7	Source high-side 7
15	SL	Source low-side Common connection to the source of the low-side MOSFETs.
16	GL8	Gate low-side 8
17	GL7	Gate low-side 7
18	GL6	Gate low-side 6
19	GL5	Gate low-side 5
20	EN	Enable input with internal pull-down
21	SDO	Serial Data Output
22	CSN	Chip Select Not with internal pull-up
23	GH6	Gate high-side 6
24	SH6	Source high-side 6
25	GH5	Gate high-side 5
26	SH5	Source high-side 5
27	CSIP2	Non-Inverting input of the Current Sense Amplifier 2
28	CSIN2	Inverting input of the Current Sense Amplifier 2
29	SCLK	Serial Clock Input with internal pull-down
30	CSO2	Current Sense Amplifier Output 2

表 1 **引脚配置 CLE92108-232QX**

Pin	Symbol	Function
31	VDD	Logic supply
32	GND	Ground connection
33	CSO1	Current Sense Amplifier Output1
34	SDI	Serial Data Input with internal pull-down
35	GH4	Gate high-side 4
36	SH4	Source high-side 4
37	GH3	Gate high-side 3
38	SH3	Source high-side 3
39	CSIP1	Non-inverting input of the Current Sense Amplifier 1
40	CSIN1	Inverting input of the Current Sense Amplifier 1 . This pin can be used as reference for the high-side MOSFET drain if CSA1 is configured as high-side. Refer to Chapter 7.3
41	PWM2	PWM input 2
42	GL4	Gate low-side 4
43	GL3	Gate low-side 3
44	GL2	Gate low-side 2
45	GL1	Gate low-side 1
46	PWM1	PWM input 1
47	GH2	Gate high-side 2
48	SH2	Source high-side 2
	E.P.	Exposed pad For cooling purpose only, do not use as electrical GND ¹⁾ .

1) 封装底部的裸露焊盘可通过PCB更好得为CLE92108-232QX散热。为获得最佳的电磁兼容性和散热性能，裸露焊盘必须保持悬空或接地（推荐接地）。

4 产品一般特性

4.1 绝对最大额定值

Table 2 Absolute maximum ratings¹⁾

T_j = -40°C 至 +150°C, 所有电压相对于地, 流入引脚的电流为正向电流 (除非另有规定)。

Parameter	Symbol	Values			Unit	Note or Test Condition	Number
		Min.	Typ.	Max.			
电压							
Supply voltage	V_S	-0.3	–	40	V	–	P_4.1.1
PWM input voltages (PWMx)	V_{PWMx}	-0.3	–	$V_{DD} + 0.3$	V	$I_I < 10\text{ mA}$	P_4.1.2
Logic input voltages (SDI, SCLK, CSN, EN)	$V_{SDI}, V_{SCLK}, V_{CSN}, V_{EN}$	-0.3	–	$V_{DD} + 0.3$	V	$I_I < 10\text{ mA}$	P_4.1.3
Voltage range and SDO	V_{SDO}	-0.3	–	$V_{DD} + 0.3$	V	$I_I < 10\text{ mA}$	P_4.1.4
Voltage range at CSIPx and CSINx	V_{CSIP}, V_{CSIN}	-8.0	–	40	V	–	P_4.1.5
Differential input voltage range CSIPx - CSINx	$V_{CSIDiff}$	-8.0	–	8.0	V	–	P_4.1.21
Voltage range at DH	V_{DH}	-0.3	–	40	V	–	P_4.1.6
Voltage range at SL	V_{SL}	-8.0	–	6.0	V	–	P_4.1.7
Voltage range at SHx	V_{SH}	-8.0	–	48	V	–	P_4.1.8
Voltage range at GHx	V_{GH}	-8.0	–	48	V	–	P_4.1.9
Voltage range at GLx	V_{GL}	-8.0	–	24	V	–	P_4.1.10
Voltage difference between GLx and SL	V_{GS_LS}	-0.3	–	16	V	–	P_4.1.11
Voltage difference between GHx and SHx	V_{GS_HS}	-1.0	–	16	V	²⁾	P_4.1.23
Voltage range at charge pump pins CP	V_{CP}	$V_S - 0.3$	–	$V_S + 17$	V	–	P_4.1.12
Voltage range at charge pump pins CPC1P, CPC2P	V_{CPCxP}	-0.3	–	$V_S + 17$	V	–	P_4.1.22
Voltage range at charge pump pins CPC1N, CPC2N	V_{CPCxN}	-0.3	–	$V_S + 0.3$	V	–	P_4.1.24
Logic supply voltage	V_{DD}	-0.3	–	5.5	V	–	P_4.1.13
Voltage at CSOx	V_{CSOx}	-0.3	–	$V_{DD} + 0.3$	V	–	P_4.1.14

温度

Junction temperature	T_j	-40	–	150	°C	–	
----------------------	-------	-----	---	-----	----	---	--

Table 2 Absolute maximum ratings¹⁾ (cont'd)

$T_J = -40^{\circ}\text{C}$ 至 $+150^{\circ}\text{C}$ ，所有电压相对于地，流入引脚的电流为正向电流（除非另有规定）。

Parameter	Symbol	Values			Unit	Note or Test Condition	Number
		Min.	Typ.	Max.			
Storage temperature	T_{stg}	-55	–	150	$^{\circ}\text{C}$	–	P_4.1.16

ESD 承受能力

ESD susceptibility all pins	V_{ESDHBM1}	-2	–	2	kV	HBM ³⁾	P_4.1.17
ESD susceptibility of VS and DH pins versus GND	V_{ESDHBM2}	-4	–	4	kV	HBM ³⁾	P_4.1.18
ESD susceptibility all pins	V_{ESDCDM1}	-500	–	500	V	CDM ⁴⁾	P_4.1.19
ESD susceptibility pin corner pins	V_{ESDCDM2}	-750	–	750	V	CDM ⁴⁾	P_4.1.20

- 1) 未经过生产测试，由设计指定。
- 2) 仅当注入 SHx 的电流低于 4 mA 时， $V_{\text{GS_GH}}$ 才可能在-1.0至-0.3V之间
- 3) ESD 耐受性,HBM 基于ANSI/ESDA/JEDEC JS-001（1.5 k Ω ，100 pF）
- 4) ESD 耐受性，带电器件模型“CDM”，符合JEDEC JESD22-C101

注：

1. 超过此处列出的应力可能会对设备造成永久性损害。长时间暴露在绝对最大额定条件下可能会影响芯片的可靠性。
2. 集成保护功能，确保C不会在数据手册所述故障条件下损坏。故障情况被认为超出了正常工作范围。保护功能不是为了连续重复的操作而设计的。

4.2 工作范围

表 3 工作范围

Parameter	Symbol	Values			Unit	Note or Test Condition	Number
		Min.	Typ.	Max.			
Supply voltage range for normal operation	$V_{\text{S(nor)}}$	6.0	–	28	V	–	P_4.2.1
Extended supply voltage range	$V_{\text{S(ext)}}$	5.5	–	6	V	¹⁾ Parameter deviations possible	P_4.2.7
Extended supply voltage range	$V_{\text{S(ext)}}$	28	–	$V_{\text{SOV_OFF2 (max)}}$	V	¹⁾ Parameter deviations possible	P_4.2.2
Supply voltage transients slew rate	dV_{S}/dt	-10	–	10	V/ μs	²⁾	P_4.2.3
Logic supply voltage	V_{DD}	3.0	–	5.5	V	–	P_4.2.4

表3 工作范围（续）

Parameter	Symbol	Values			Unit	Note or Test Condition	Number
		Min.	Typ.	Max.			
SPI logic input voltage	V_{SDI} , V_{SCLK} , V_{CSN}	0	–	V_{DD}	V	–	P_4.2.5
Junction temperature	T_j	-40	–	150	°C	–	P_4.2.6

- 1) 未经过生产测试，由设计指定。
2) 未经过生产测试，由设计指定。

注： 在工作范围内，IC按照电路说明中的描述运行。电气特性是在电气特性表中注明的条件下定
定的。

4.3 热阻抗

注释： 此热学数据是根据JEDEC JESD51 标准生成的。欲了解更多信息，请访问www.jedec.org。

Table 4 Thermal resistance

Parameter	Symbol	Values			Unit	Note or Test Condition	Number
		Min.	Typ.	Max.			
Junction to case	R_{thJC}	–	4.4	–	K/W	1)	
Junction to ambient	R_{thJA}	–	27	–	K/W	1)2)	

- 1) 未经过生产测试，由设计指定。
- 2) 指定的 R_{thJA} 值是根据 Jedec JESD51-2,-5,-7 在 FR4 2s2p 板上自然对流时得出的；产品（芯片+封装）在 76.2×114.3×1.5 mm 的电路板上进行模拟，该电路板有 2 个内部铜层（2×70 mm Cu，2×35 mm 铜）。在适用情况下，裸露焊盘下方的导热过孔阵列与第一个内部铜层接触。

5 概述

5.1 电源

多MOSFET驱动IC需要两个电源： V_S 和 V_{DD} 。

V_{DD} 为 I/O 缓冲器（包括 SPI 引脚）和逻辑电路的内部稳压器供电。 V_{DD} 支持 3.3 V 或 5.0 V 逻辑接口的灵活选择。

V_S 为 MOSFET 栅极驱动器提供电荷泵。 V_S 引脚必须通过防反接保护连接到电池。

两个电源是分开的，因此 V_S 电压下降时，存储在逻辑中的信息仍然能保持完整。 V_{DD} 和 V_S 应通过接在电源和接地平面附近的陶瓷电容进行去耦。

5.2 操作模式

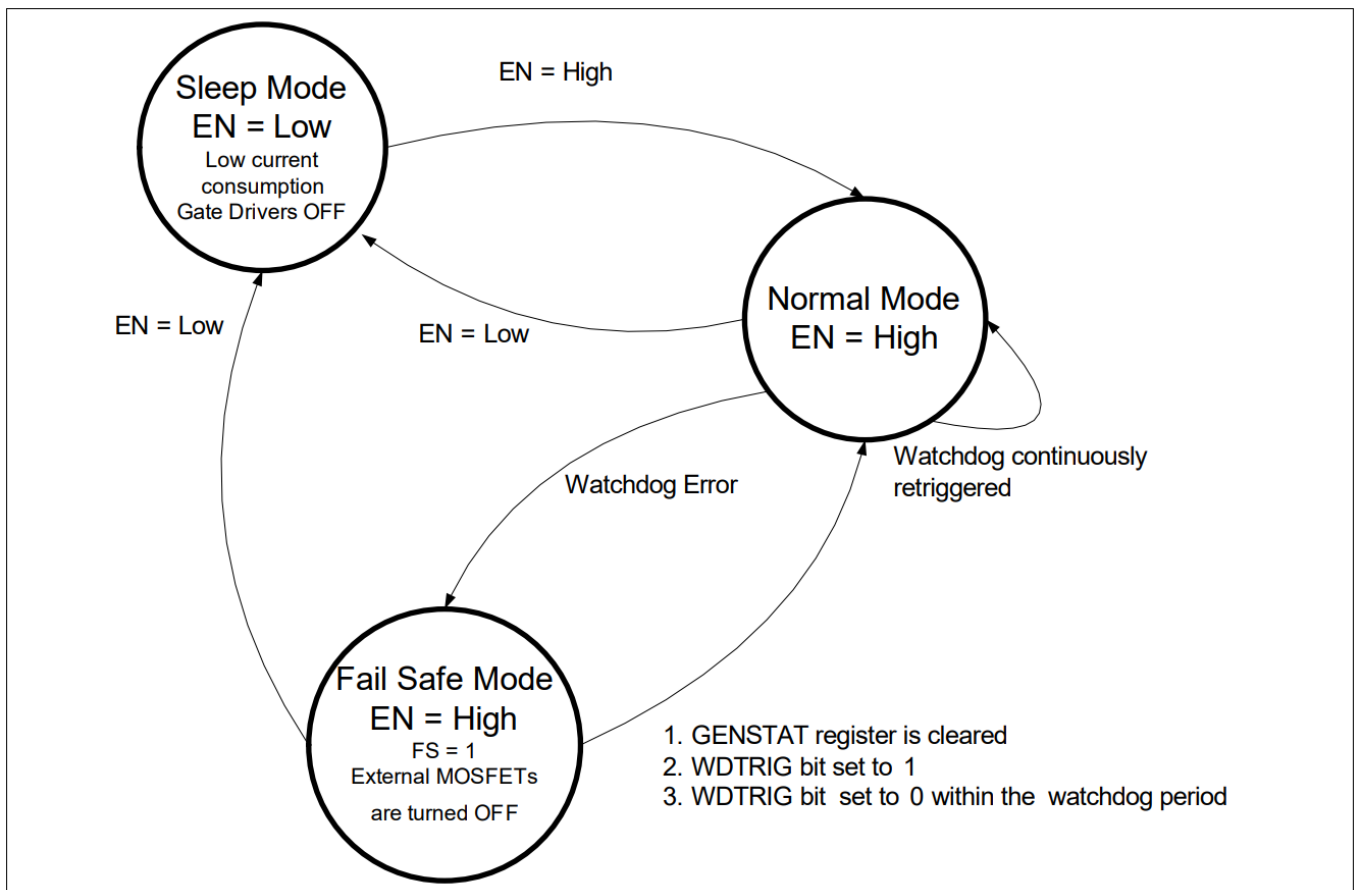


图 4 状态图

注释：状态图对于标称工作范围内的 V_S 和 V_{DD} 有效。对于超出额定范围的 V_S 和 V_{DD} ，请分别参见第 7.8 章 和 第 5.2.2 章。

5.2.1 正常模式

CLE92108-232QX 通过将 EN 引脚设置为高电平并等待 SPI 建立时间 t_{SET_SPI} 进入正常模式。在正常模式下，MOSFET 栅极驱动器已启用，可通过 SPI 接口进行配置。

前提是施加于 V_{DD} 和 V_S 的电压在工作范围内。看门狗必须正确重新触发才能保持在正常模式(参见第7.10章)。

5.2.2 休眠模式

通过将 EN 引脚设置为低电平，多MOSFET驱动IC进入休眠模式。转换到休眠模式会延迟 $t_{DSLEEP}^{1)}$ （有源半桥的最大 $t_{CCP} + 3 \mu s$ ），以便主动关闭外部 MOSFET。在此模式下，内部调节器和内部电路将停用，SPI寄存器会复位。

V_{DD} 的消耗电流减少为 I_{DD_Q} 。 V_S 的消耗电流减少为 I_{SQ} 或 $I_{SQ} + I_{SQ_BRAKE}$ 。

V_S 消耗电流为 I_{SQ} 如果：

- 在进入休眠模式时 **PASS_MOD** = 00_B和**PASS_VDS** = 0_B
- 在进入休眠模式后， V_S 从未低于**V_{SLEEP_SET}**，

V_S 消耗电流为 $I_{SQ} + I_{SQ_BRAKE}$ 如果：

- 在进入休眠模式时 **PASS_MOD** = 01_B、10_B、11_B或**PASS_VDS** = 1_B
- 或者 V_S 已从低于**V_{SLEEP_SET}**的电压中恢复（即 V_S 已从低于**V_{SLEEP_SET}**的电压上升或 V_S 已降至 **V_{SLEEP_SET}** 以下）

GHx/GLx与GND之间的内部电阻 R_{GGND} 被激活，以释放外部MOSFET的栅极电荷。

注：如果EN置位为低电平的持续时间短于（ t_{ENL_FLT} ，最大8 μs ），并且EN再次置位为高电平，则器件不会进入休眠模式，并且寄存器不会复位。当EN为高电平时，半桥根据控制寄存器的设置重新激活。

5.2.3 故障安全模式

如果出现看门狗错误（请参阅第7.10章），器件将进入故障安全模式，FS 位被置位（请参阅全局状态字节）和外部 MOSFET 在最大静态放电电流（第6.2章）期间主动放电。配置 tHBxCCP 有效（第7.5.1章）。然后桥接器驱动器置位至无源的模式（无源的放电路径被激活，章节6.4中，所有外部 MOSFET 均被锁断，并且悬浮泵被停用）。要恢复正常模式，必须执行以下序列²⁾：

1. 清除 **GENSTAT** 寄存器。
2. 在看门狗周期内将WDTRIG 位写为 1 (**GENCTRL1**)。
3. 在看门狗周期内将 WDTRIG 位写入 0³⁾。

在故障安全模式下，除了**WDTRIG**、**CCSO**、**PASS_VDS**、**PASS_MOD**、**CSA1L**、**CSA2L**之外，控制寄存器被冻结为默认值。在此模式下，任何写入命令（WDTRIG除外）或清除命令（GENSTAT除外）都将被丢弃，并设置 SPIE 位（全局状态字节）。

在故障安全模式下向**GENSTAT**发出的明确指令不会重置此状态寄存器报告的任何故障标志。

1) 在 t_{DSLEEP} 期间 SPI 帧将被忽略。

2) 必须严格遵循退出时序才能离开故障安全模式。如果添加了不属于该序列的SPI帧，则该器件将保持故障安全模式，并且微处理器必须重新启动整个时序才能进入正常模式。

3) 在故障安全模式下，电荷泵停用，**CPUV** 处于置位状态。因此，从故障安全模式恢复时，**GENSTAT** 必须在故障安全退出时序结束时再次清除，才能重新激活阻栅极驱动器。

在退出时序开始前，无需设置SPIE位，就可以在此模式下读取控制和状态寄存器。

5.3 复位行为

以下事件触发上电复位：

V_{DD}欠压复位：

如果 $V_{DD} < V_{DD_POFFR}$ ，则数字功能块被停用且输出被关闭。一旦 $V_{DD} > V_{DD_POR}$ 数字功能块就被复位。随后，NPOR位（取反上电复位bit，参见[全局状态字节](#)）会复位为0，以报告复位状态。

EN引脚复位：

如果EN引脚被拉低，则逻辑内容将被重置，器件进入休眠模式。一旦器件进入正常模式（ t_{SET_SPI} 之后当EN = 高且 $V_{DD} > V_{DD_POR}$ 时，NPOR位重置为0，以报告复位状态。

当**GENSTAT**被清除时，NPOR置位为1。

5.4 电荷泵

双级电荷泵为高边和低边 MOSFET 栅极驱动器供电。它需要在 CPC1N 和 CPC1P、CPC2N 和 CPC2P、VS 和 CP 之间连接三个外部电容。

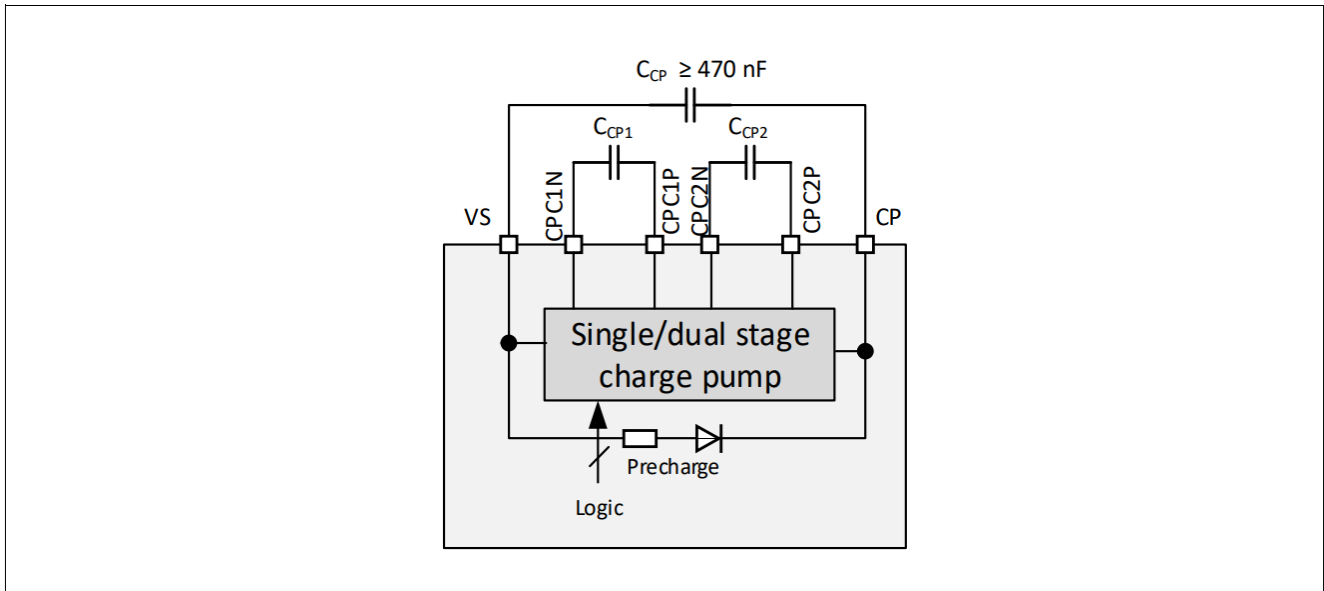


图5 电荷泵

当 CPSTGA = 0（默认值，参见 [GENCTRL2](#)），器件采用双级电荷泵工作。

如果 CPSTGA = 1 ([GENCTRL2](#))，器件自动切换至单级或双级电荷泵：

- 如果 $V_S > V_{CPSO\ SD}$ ：CLE92108-232QX 从双级电荷泵切换到单级电荷泵
- 如果 $V_S < V_{CPSO\ SD}$ ：CLE92108-232QX 从单级电荷泵切换到双级电荷泵。

单级电荷泵运行会降低 VS 引脚的电流消耗。

5.5 频率调制

可以激活电荷泵的频率调制以降低峰值辐射。在电磁兼容测试过程中，可以根据峰值检测器的分辨率带宽来选择调制频率。

调制频率由 [GENCTRL1](#) 中的控制位 FMODE 设置

- FMODE = 0：无调制。
- FMODE = 1：调制频率 = 15.6 kHz（默认值）。

5.6 电气特性

5.6.1 电气特性：电源

表5 电气特性：电源

如果 VSOVTH = 0, 则 $V_S = 6.0\text{ V}$ 至 18 V ; 如果 VSOVTH = 1, 则 $V_S = 6.0\text{ V}$ 至 28 V ; $V_{DD} = 3.0\text{ V}$ 至 5.5 V , $T_j = -40^\circ\text{C}$ 至 150°C , 所有电压相对于地, 电流正向流入引脚 (除非另有说明)

Parameter	Symbol	Values			Unit	Note or Test Condition	Number
		Min.	Typ.	Max.			
消耗电流, EN = LOW							
Supply quiescent current	I_{SQ}	–	2	5	μA	$T_J < 85^{\circ}\text{C}$, $V_S = 13.5\text{ V}$ PASS_MOD =00 _B , PASS_VDS =0 _B	P_5.5.1
Supply quiescent current	I_{SQ2}	–	5	7	μA	$T_J < 85^{\circ}\text{C}$, $V_S < 25\text{ V}$ PASS_MOD =00 _B , P ASS_VDS =0 _B	P_5.5.61
Additional supply quiescent current, brake enabled	I_{SQ_BRAKE}	–	5	7.5	μA	$T_J < 85^{\circ}\text{C}$, $V_S = 13.5\text{ V}^{1)}$ PASS_MOD =01 _B or 10 _B or 11 _B or PASS_VDS =1 _B	P_5.5.60
Logic Supply quiescent current	I_{DD_Q}	–	1	3	μA	$T_J < 85^{\circ}\text{C}$	P_5.5.3
Total quiescent current	$I_{DD_Q} + I_{SQ}$	–	3	8	μA	$T_J < 85^{\circ}\text{C}$, $V_S = 13.5\text{ V}$ PASS_MOD =00 _B , PASS_VDS	P_5.5.5
EN Low filter time	t_{DSLEEP}	–	–	Max. tCCP + 3 μs	μs	²⁾³⁾ BD_PASS = 0	P_5.5.49
EN Low filter time	t_{ENL_FILT}	1	–	8	μs	²⁾	P_5.5.51
VS for LS1-4 setting	V_{SLEEP_SET}	–	–	5.5	V		P_5.5.63

消耗电流, EN = HIGH

Supply current	I_{S1}	–	45	55	mA	HBxVDSTH = 001 _B , BD_PASS = 0, $I_{CP} = 0\text{ mA}$	P_5.5.6
Supply current	I_{S2}	–	83	100	mA	$8\text{ V} < V_S < 28\text{ V}$ HBxVDSTH = 001 _B , BD_PASS = 0, $I_{CP} = -12\text{ mA}$, dual stage CP	P_5.5.7

表5 电气特性：电源（续）

如果 $V_{SOVTH} = 0$ ，则 $V_S = 6.0\text{ V}$ 至 18 V ；如果 $V_{SOVTH} = 1$ ，则 $V_S = 6.0\text{ V}$ 至 28 V ； $V_{DD} = 3.0\text{ V}$ 至 5.5 V ， $T_j = -40^\circ\text{C}$ 至 150°C ，所有电压相对于地，电流正向流入引脚（除非另有说明）

Parameter	Symbol	Values			Unit	Note or Test Condition	Number
		Min.	Typ.	Max.			
Supply current	I_{S3}	–	55	70	mA	$18\text{ V} < V_S < 28\text{ V}$ $\text{HBxVDSTH} = 001\text{B}$, $\text{BD_PASS} = 0$, $I_{CP} = -12\text{ mA}^{(2)}$, single stage CP	P_5.5.56
Supply current	I_{S4}	–	55	70	mA	$V_S = 6\text{ V}$, $\text{HBxVDSTH} = 001\text{B}$, $\text{BD_PASS} = 0$, $I_{CP} = -6\text{ mA}^{(2)}$	P_5.5.57
Supply current	$I_{S_BD_PASS}$	–	10	20	mA	$\text{HBxMODE} = 00\text{B}$, $\text{BD_PASS} = 1$	P_5.5.54
Logic supply current	I_{DD1}	–	3	4	mA	SPI not active, CSA1 and CSA2 off, all I_{PDDiag} off, $\text{BD_PASS} = 0$	P_5.5.8
Logic supply current	I_{DD2}	–	3	3.8	mA	⁴⁾ Additional VDD current per CSA on, $\text{VCSOx} = 4.5\text{ V}$, LS shunt, $\text{CCSO} = 1$ $\text{CSAxL} = 0$, I_{PDDiag} off	P_5.5.52
Logic supply current	I_{DD3}	–	2	2.8	mA	⁴⁾ Additional VDD current per CSA on, $\text{CCSO} = 0$, $\text{VCSOx} = 4.5\text{ V}$, LS shunt, $\text{CSAxL} = 0$, I_{PDDiag} off	P_5.5.55
Logic supply current	I_{DD4}	–	6	7	mA	⁵⁾ Additional VDD current per CSA on, $\text{VCSOx} = 4.5\text{ V}$, HS shunt, $\text{VSOVTH} = 1$ $\text{CSAxL} = 1$, I_{PDDiag} off	P_5.5.58
Logic supply current	I_{DD5}	–	4.2	5.2	mA	⁵⁾ Additional VDD current per CSA on, $\text{VSOVTH} = 0$, $\text{VCSOx} = 4.5\text{ V}$, HS shunt, $\text{CSAxL} = 1$, I_{PDDiag} off	P_5.5.59

表5 电气特性：电源（续）

如果 $V_{SOVTH} = 0$ ，则 $V_S = 6.0V$ 至 $18V$ ；如果 $V_{SOVTH} = 1$ ，则 $V_S = 6.0V$ 至 $28V$ ； $V_{DD} = 3.0V$ 至 $5.5V$ ， $T_j = -40^\circ C$ 至 $150^\circ C$ ，所有电压相对于地，电流正向流入引脚（除非另有说明）

Parameter	Symbol	Values			Unit	Note or Test Condition	Number
		Min.	Typ.	Max.			
Additional logic supply current pull-down	I_{DD_PDDiag}	–	1.5	2	mA	Additional VDD current when all I_{PDDiag} are on	P_5.5.53

VS 在栅极驱动器使能情况下(BD_PASS = 0)

UV switch ON voltage	V_{SUVON}	–	–	5.5	V	V_S increasing	P_5.5.11
UV switch OFF voltage	V_{SUVOFF}	4.0	4.5	5.0	V	V_S decreasing	P_5.5.12
UV ON/OFF hysteresis	V_{SUVHY}	–	0.5	–	V	$V_{SUVON} - V_{SUVOFF}$ ²⁾	P_5.5.13
OV switch OFF voltage $V_{SOVTH} = 0$	$V_{SOVOFF1}$	19	–	21	V	V_S increasing	P_5.5.14
OV switch ON voltage $V_{SOVTH} = 0$	V_{SOVON1}	18	–	20	V	V_S decreasing	P_5.5.15
OV switch OFF voltage $V_{SOVTH} = 1$	$V_{SOVOFF2}$	29	–	31	V	V_S increasing	P_5.5.16
OV switch ON voltage $V_{SOVTH} = 1$	V_{SOVON2}	28	–	30	V	V_S decreasing	P_5.5.17
OV ON/OFF hysteresis	V_{SOVHY}	–	1	–	V	$V_{SUVON} - V_{SUVOFF}$ ²⁾	P_5.5.18
VS undervoltage filter time	t_{VSUV_FILT}	7	10	13	μs	¹⁾	P_5.5.47
VS overvoltage filter time	t_{VSOV_FILT}	7	10	13	μs	²⁾	P_5.5.48
CP turn-off delay after VS overvoltage detection	t_{D_CPVSOV}	12.8	16	19.2	μs	²⁾	P_5.5.50

VDD

V_{DD} Power-On-Reset	V_{DDPOR}	2.40	2.60	2.80	V	V_{DD} increasing	P_5.5.19
V_{DD} Power-Off-Reset	$V_{DDPOFFR}$	2.30	2.50	2.70	V	V_{DD} decreasing	P_5.5.20
V_{DD} Power-On-Reset Hysteresis	$V_{DDPORHY}$	–	0.1	–	V	$V_{DDPOR} - V_{DDPOFFR}$ ²⁾	P_5.5.21

- 1) 如果 V_S 降至 V_{SLEEP_SET} 以下，则会产生额外的静态电流。
- 2) 未经过生产测试，由设计指定。
- 3) 驱动半桥的最大交叉电流保护时间。
- 4) 参数独立于 V_{SOVTH} 。
- 5) 参数独立于 $CCSO$ 。

5.6.2 电气特性：逻辑输入PWMx、EN

表 6 电气特性：PWMx、EN

如果 VSOVTH = 0, 则 $V_S = 6.0\text{ V}$ 至 18 V ; 如果 VSOVTH = 1, 则 $V_S = 6.0\text{ V}$ 至 28 V ; $V_{DD} = 3.0\text{ V}$ 至 5.5 V , $T_j = -40^\circ\text{C}$ 至 150°C , 所有电压相对于地, 电流正向流入引脚 (除非另有说明)

Parameter	Symbol	Values			Unit	Note or Test Condition	Number
		Min.	Typ.	Max.			
EN high voltage	V_{ENH}	$0.7 \times V_{DD}$	–	–	V	–	P_5.5.22
EN low voltage	V_{ENL}	–	–	$0.3 \times V_{DD}$	V	–	P_5.5.23
EN hysteresis	V_{ENHY}	–	$0.12 \times V_{DD}$	–	V	1)	P_5.5.24
EN pull-down resistor	R_{PD_EN}	30	40	50	k Ω	–	P_5.5.25
PWMx high voltage	V_{PWMH}	$0.7 \times V_{DD}$	–	–	V	–	P_5.5.26
PWMx low voltage	V_{PWML}	–	–	$0.3 \times V_{DD}$	V	–	P_5.5.27
PWMx hysteresis	V_{PWMHY}	–	$0.12 \times V_{DD}$	–	V	1)	P_5.5.28
PWMx pull-down resistor	R_{PD_PWMx}	30	40	50	k Ω	–	P_5.5.29

1) 无需经过生产测试, 由设计指定。

5.6.3 电荷泵电气特性

表 7 电气特性：电荷泵

如果 VSOVTH = 0, 则 $V_S = 6.0\text{ V}$ 至 18 V ; 如果 VSOVTH = 1, 则 $V_S = 6.0\text{ V}$ 至 28 V ; $V_{DD} = 3.0\text{ V}$ 至 5.5 V , $T_j = -40^\circ\text{C}$ 至 150°C , 所有电压相对于地, 电流正向流入引脚 (除非另有说明)

Parameter	Symbol	Values			Unit	Note or Test Condition	Number
		Min.	Typ.	Max.			
Charge Pump Frequency	f_{CP}	–	250	–	kHz	3)	P_5.5.30
Output Voltage VCP vs. VS	V_{CPmin}	8.5	–	–	V	$V_S = 6\text{ V}$, $I_{CP} = -6\text{ mA}$	P_5.5.31
Regulated output voltage VCP vs. VS, CPSTGA = 0	V_{CP1}	11	15	17	V	$8\text{ V} < V_S < 28\text{ V}$, $I_{CP} = -12\text{ mA}$	P_5.5.32
Regulated output voltage VCP vs. VS, CPSTGA = 1	V_{CP2}	12	15	17	V	$18\text{ V} < V_S < 28\text{ V}$, $I_{CP} = -12\text{ mA}$	P_5.5.41
Turn-on time, CPSTGA = 0	t_{ON_VCP1}	10	40	80	μs	$8\text{ V} < V_S < 28\text{ V}$ (25%) ¹⁾²⁾³⁾⁴⁾	P_5.5.34
Rise time, CPSTGA = 0	t_{RISE_VCP1}	10	60	100	μs	$8\text{ V} < V_S < 28\text{ V}$ (25%-75%) ¹⁾²⁾³⁾⁴⁾	P_5.5.35
Turn-on time, CPSTGA = 1	t_{ON_VCP2}	10	40	80	μs	$18\text{ V} < V_S < 28\text{ V}$ (25%) ¹⁾²⁾³⁾⁵⁾	P_5.5.36

表 7 电气特性：电荷泵

如果 $V_{SOVTH} = 0$ ，则 $V_S = 6.0V$ 至 $18V$ ；如果 $V_{SOVTH} = 1$ ，则 $V_S = 6.0V$ 至 $28V$ ； $V_{DD} = 3.0V$ 至 $5.5V$ ， $T_j = -40^\circ C$ 至 $150^\circ C$ ，所有电压相对于地，电流正向流入引脚（除非另有说明）

Parameter	Symbol	Values			Unit	Note or Test Condition	Number
		Min.	Typ.	Max.			
Rise time, CPSTGA = 1	t_{RISE_VCP2}	10	60	100	μs	$18V < V_S < 28V$ (25%-75%) ¹⁾²⁾³⁾⁵⁾	P_5.5.37
Charge Pump Undervoltage (referred to VS)	V_{CPUV1}	5.5	6	6.5	V	CPUVTH = 0, VCP falling	P_5.5.38
Charge Pump Undervoltage (referred to VS)	V_{CPUV2}	7	7.5	8	V	CPUVTH = 1, VCP falling	P_5.5.42
Automatic switch over dual to single stage charge pump	$V_{CPSO DS}$	16	17	18	V	CPSTGA = 1	P_5.5.43
Automatic switch over single to dual stage charge pump	$V_{CPSO SD}$	15.5	16.5	17.5	V	CPSTGA = 1	P_5.5.44
Charge pump switch over hysteresis	$V_{CPSO HY}$	–	0.5	–	V	³⁾ CPSTGA = 1, $V_{CPSO DS} - V_{CPSO SD}$	P_5.5.45
Charge Pump Undervoltage Filter Time	t_{CPUV}	51	64	77	μs	³⁾	P_5.5.39
Charge pump minimum output current	I_{CPOC1}	–	–	-12	mA	²⁾³⁾⁴⁾ $V_S = 13.5V$; CPSTGA = 0	
Charge pump minimum output current	I_{CPOC2}	–	–	-12	mA	²⁾³⁾⁵⁾ $V_S = 18V$; CPSTGA = 1	

- 1) 参数取决于电容 C_{CP} 。
- 2) $C_{CPC1} = C_{CPC2} = 220\text{ nF}$, $C_{CP} = 470\text{ nF}$, $I_{CP} = 0\text{ mA}$.
- 3) 未经过生产测试，由设计指定。
- 4) 双级电荷泵。
- 5) 单级电荷泵。

6 浮动栅极驱动器

CLE92108-232QX 集成了十六个浮动栅极驱动器，能够控制各种n沟道MOSFET。配置为八个高边和底边，共八个半桥。

本节介绍栅极驱动器对 MOSFET 的控制。

上电复位后，桥接器驱动器工作在静态模式（**BD_PASS** 的默认值= 1 且所有 HBxMODE=00_B）。参考第 6.4 章 和第 6.5 章。

通过设置**BD_PASS**为0使桥接器驱动器处于主动模式。 章节6.1， 章节 6.2 和 章节 6.3描述主动模式下的持续控制或PWM控制。

注意：强烈建议在设置**BD_PASS**为0之前将所有HBxMODE 位设置为00_B 或11_B以避免漏源过压错误检测。

表8 栅极驱动器工作模式

EN	BD_PASS	HBxMODE[1:0]	Gate driver	Comment	Chapter
High	0	x	Active ¹⁾		Chapter 6.1 Chapter 6.2 Chapter 6.3
High	1	One HBxMODE = 01 _B or 10 _B	Active ¹⁾	Equivalent to EN=High and BD_PASS = 0	Chapter 6.1 Chapter 6.2 Chapter 6.3
High	1	All HBxMODE=00 _B or 11 _B	Passive		Chapter 6.5
Low	x	x	Passive		Chapter 6.5

1) 前提是未检测到 VS 过压、VS 欠压、CP 欠压或过温故障，并且CLE92108-232QX 未处于故障安全模式。

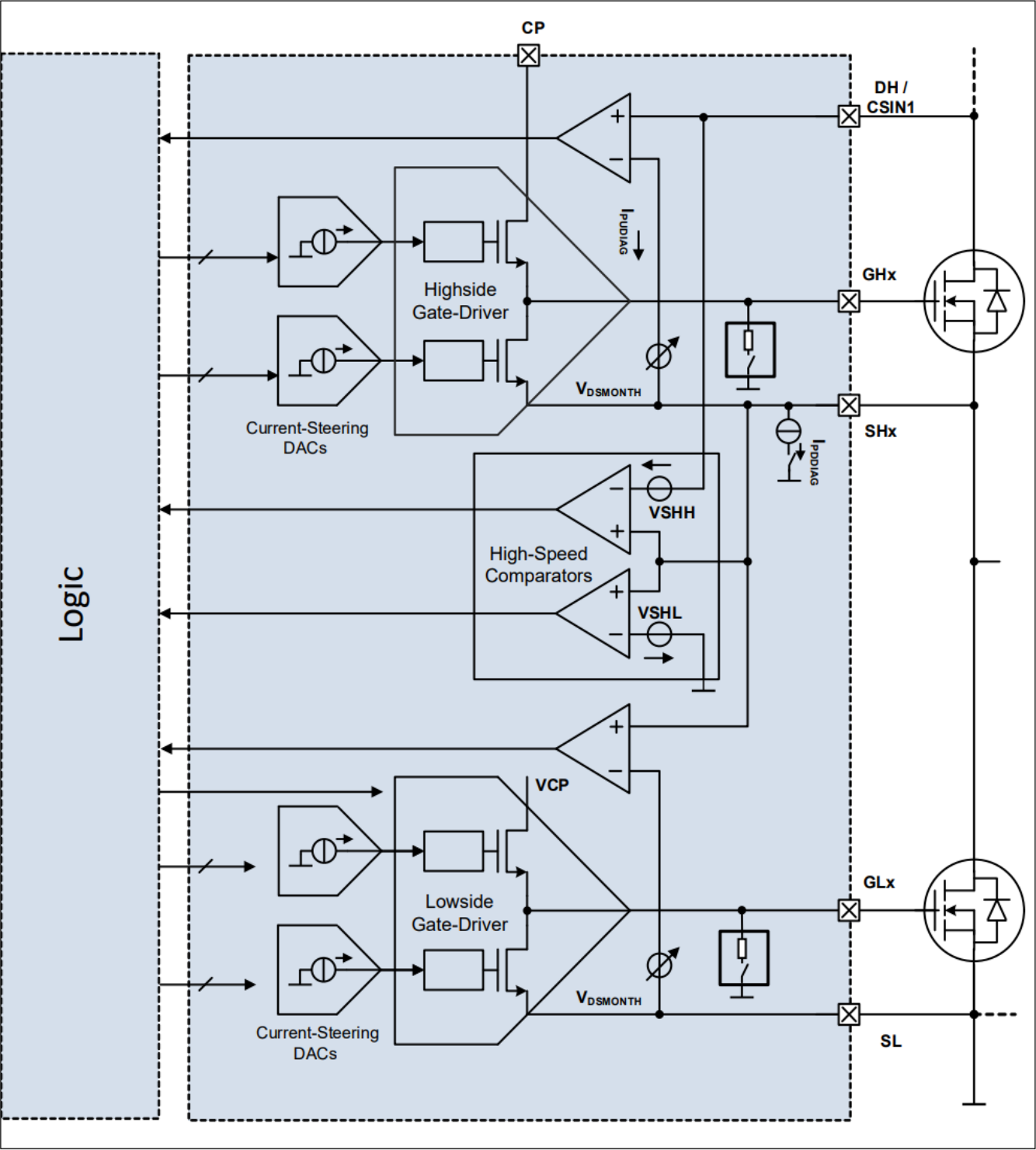


图 6 框图 - 一个半桥的栅极驱动器

6.1 MOSFET激活模式下通过桥驱动器控制（**BD_PASS = 0** 且 **EN = 高**）

取决于配置位 HBxMODE[1:0] (**HBMODE**,表 9 和表 11)，每个高边和低边 MOSFET 可以是：

- 停用
- 激活（持续，无PWM）
- 在PWM模式下激活（第 6.3章、**PWMSET**）

表9 半桥模式选择

HBxMODE[1:0] ¹⁾	Configuration of HSx/LSx ¹⁾
00 _B	LSx and HSx MOSFETs are actively kept OFF (default)
01 _B	LSx MOSFET is ON (static or PWM, refer to Table 11), HSx MOSFET is actively kept OFF
10 _B	HSx MOSFET is ON (static or PWM, refer to Table 11), LSx MOSFET is actively kept OFF
11 _B	Reserved - LSx and HSx MOSFETs are actively kept OFF

1) x = 1 ... 8。

6.2 桥驱动器处于主动模式时持续激活（**BD_PASS = 0**）

本节考虑半桥 x 的高边和低边MOSFET的持续激活情况，x = 1...8。参见表11 用于持续或PWM控制中高边或低边的设置。

如果 HBx 没有映射到任何激活的PWM通道，则通过分别设置 HBxMODE[1:0] 为 (0,1) 或 (1,0)，HBx 的低边或高边MOSFET被持续激活（无PWM）。

配置的交叉电流保护和半桥 x 的漏源过压消隐时间记为 $t_{HBxCCP\ Active}$ 和 $t_{HBxBLANK\ Active}$ （参见第 7.5 章）。施加到持续控制半桥 x 的充电和放电电流记为 ICHGSTx (**ST_ICHG**)。

IHARDOFF 是栅极驱动器可以吸收的最大电流。它对应于 IDCHGx[4:0] = 31₀时的放电电流（参见 **PWM_IDCHG_ACT**）。当同一半桥的对侧的MOSFET导通时，该电流用于保持MOSFET关断。这一功能避免了寄生交叉电流直通。

ICHGSTx 是由栅极驱动器产生或吸收的电流，以导通高边 x 或低边 x。ICHGSTx 在控件寄存器 **ST_ICHG**中配置。

表10 持续充放电电流

ICHGSTx[3:0] ¹⁾	Nom. charge current [mA] ²⁾	Nom. discharge current [mA] ³⁾	Max. deviation to typ. values
0000 _B	1.0	1.0	+/- 60%
0001 _B	2.0	2.8	+/- 60 %
0010 _B	4.5	5.7	+/- 60 %
0011 _B	8.0	9.4	+/- 38 %
0100 _B	12.5	14.2	+/- 38 %
0101 _B	17.8	19.7	+/- 38 %

表10 持续充放电电流

ICHGSTx[3:0] ¹⁾	Nom. charge current [mA] ²⁾	Nom. discharge current [mA] ³⁾	Max. deviation to typ. values
0110 _B	23.9	26.0	+/- 38 %
0111 _B	30.0	32.0	+/- 28 %
1000 _B	37.1	39.5	+/- 28 %
1001 _B	44.3	46.8	+/- 28 %
1010 _B	52.3	54.7	+/- 28 %
1011 _B	60.2	62.5	+/- 28 %
1100 _B	68.3	70.6	+/- 28 %
1101 _B	76.8	78.5	+/- 28 %
1110 _B	86.0	87.0	+/- 28 %
1111 _B	96.0	95.0	+/- 25 %

1) 参考ST_ICHG

2) 若ICHGSTX ≤ 7_D, 则参考V_S ≥ 8V和V_{GS} ≤ V_{GS(ON)1}; 若ICHGSTX ≥ 8_D, 则参考V_S ≥ 8V和V_{GS} ≤ V_{GS(ON)2}

3) 若ICHGSTX ≤ 7_D, 则参考V_{GS} ≥ V_{GS(OFF)1}; 若ICHGSTX ≥ 8_D, 则参考V_{GS} ≥ V_{GS(OFF)2}

IHOLD 是、用于将外部 MOSFET 的栅极保持在期望状态的保持电流。该参数可通过GENCTRL2中的IHOLD控制位配置。

如果IHOLD = 0:

- MOSFET 保持导通状态, 电流为I_{CHG8} (典型值 12.5 mA)
- MOSFET 保持关断状态, 电流为I_{DCHG8} (典型值为 14.2 mA)。

如果IHOLD = 1:

- MOSFET 保持导通状态, 电流为I_{CHG12} (典型值 23.9 mA)
- MOSFET 的电流保持在I_{DCHG12} (典型值 26.0 mA)

当桥接器驱动器处于激活模式且发生以下故障时, 持续放电电流用于关断 MOSFET:

- V_S欠压/过压
- 过温
- V_{DS}过压
- 电荷泵欠压
- OCEN = 1时发生过流

6.2.1 高边MOSFET持续激活

开通时的交叉电流保护

如果LSx 处于开启状态 (HBxMODE[1:0] = 01_B), 在HSx 激活 (HBxMODE[1:0] = 10_B) 之前, 高边MOSFET 会在交叉电流保护时间后导通 (参考图7):

- 在CSN 上升沿之后且在t_{HBxCCP Active}期间:
 - 高边MOSFET通过电流-ICMOSFET保持关断状态,
 - 低边 MOSFET 的栅极通过电流-ICHGSTx 放电

- 在 $t_{HBxCCP\ Active}$ 结束时且在 $t_{HBxBLANK\ Active} + t_{FVDS}$ 持续时间内：
 - 高边MOSFET的栅极由电流 $ICHGSTx$ 充电
 - 低边MOSFET通过电流 $-IHARDOFF$ 保持关闭状态（硬关断阶段）
- 在 t_{FVDS} 结束时：
 - 高边MOSFET的驱动电流降低至 $IHOLD$
 - 低侧MOSFET的驱动电流置位为 $-IHOLD$

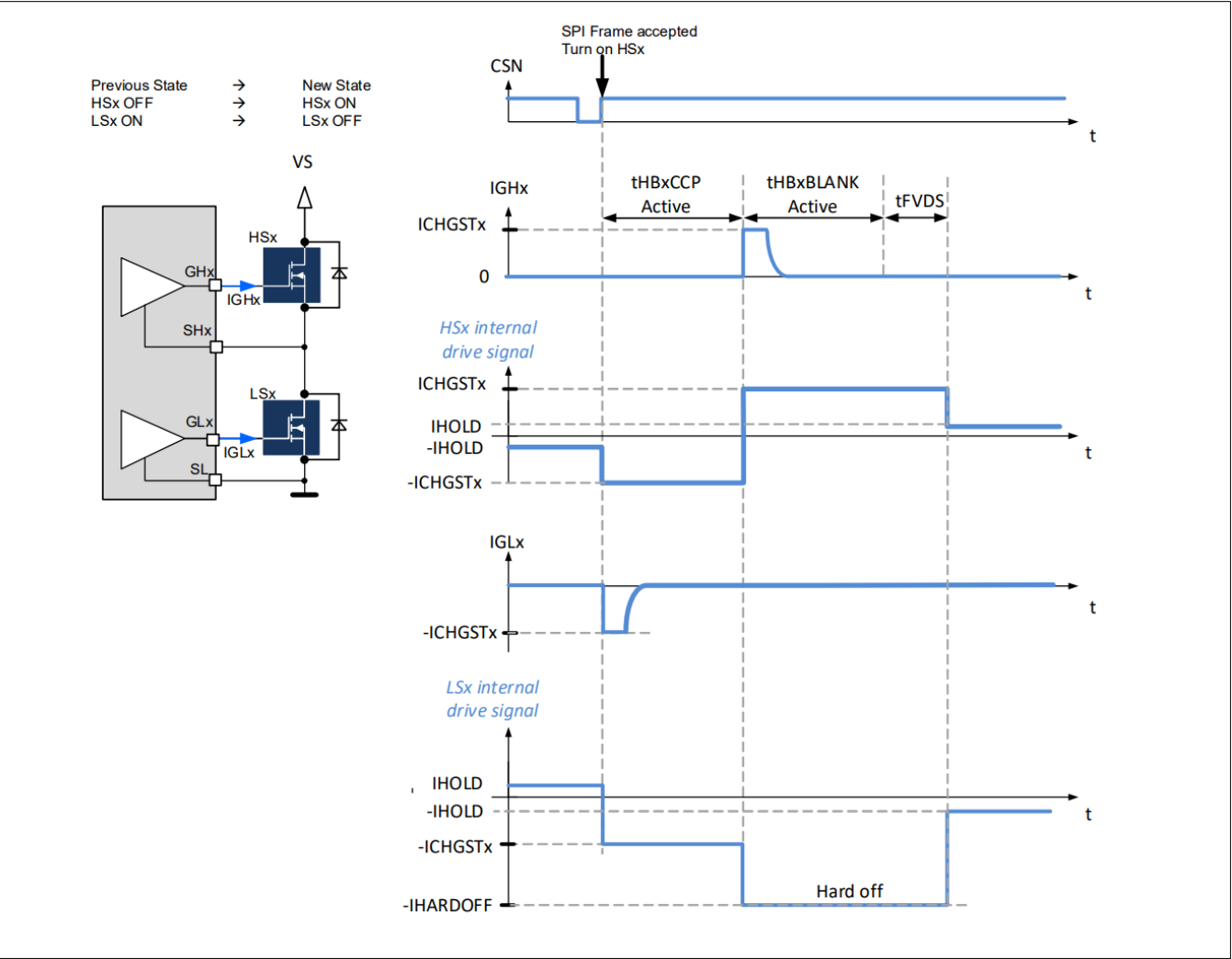


图7 带交叉电流保护的高边MOSFET导通

注： CSN 上升沿必须与器件逻辑同步。因此， SPI指令在CSN 上升沿之后最多延迟3 μs 执行。

开通时无交叉电流保护

如果在HSx 激活（HBxMODE[1:0] = 10_B）之前 LSx处于关闭状态（HBxMODE[1:0] = 00_B），则高边MOSFET 在没有交叉电流保护的情况下导通（参见 图8）：

- 在CSN 上升沿之后，持续时间为 $t_{\text{HBxBLANK Active}} + t_{\text{FVDS}}$ ：
 - 高边MOSFET的感应由电流 ICHGSTx 充电
 - 低侧 MOSFET 保持关断状态，电流为 -IHARDOFF
- 在 t_{FVDS} 结束时：
 - 高边MOSFET的驱动电流降低至IHOLD
 - 低边MOSFET的驱动电流置位至 -IHOLD

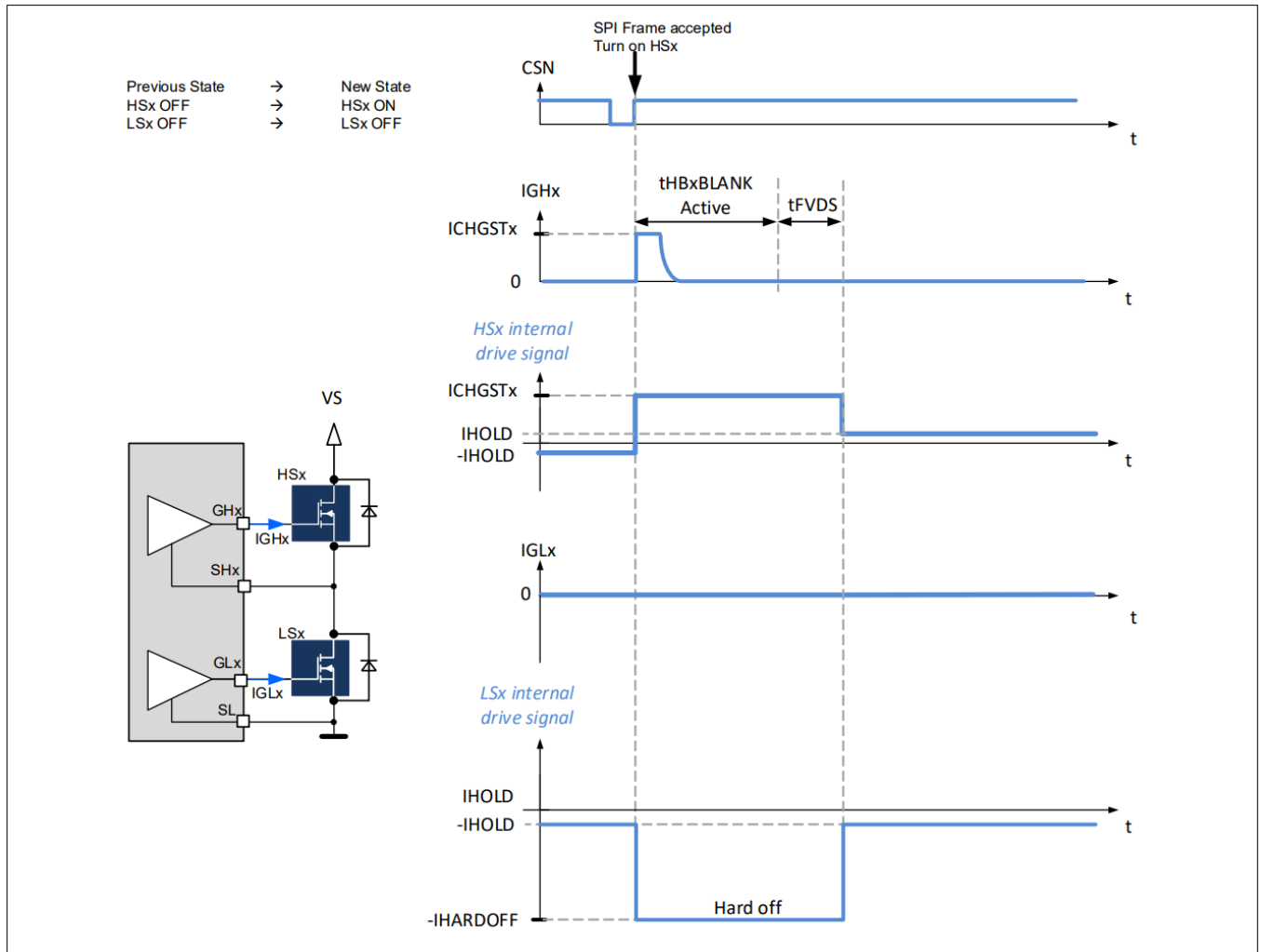


图8 无交叉电流保护的高边MOSFET导通

注： CSN 上升沿必须与器件逻辑同步。因此，SPI指令在CSN 上升沿之后最多延迟3μs 执行。

6.2.2 低边 MOSFET 持续激活

低边 x 持续激活的描述与第6.2.1章的描述仅在高边 x 和低边 x 交换方面不同。

6.2.3 半桥高边和低边 MOSFET 的关断

当 CLE92108-232QX 收到 SPI 并关闭半桥的高边和低边 MOSFET 时，桥接器 x ($\text{HBxMODE}[1:0] = (0,0)$ 或 $(1,1)$):

- HSx 和 LSx 的栅极，在 $t_{\text{HBxCCP Active}}$ 时间内（图 9）通过电流 $-\text{ICHGSTx}$ 放电
- 在 $t_{\text{HBxCCP Active}}$ 结束时， HSx 和 LSx 的驱动电流降至 $-\text{IHOLD}$

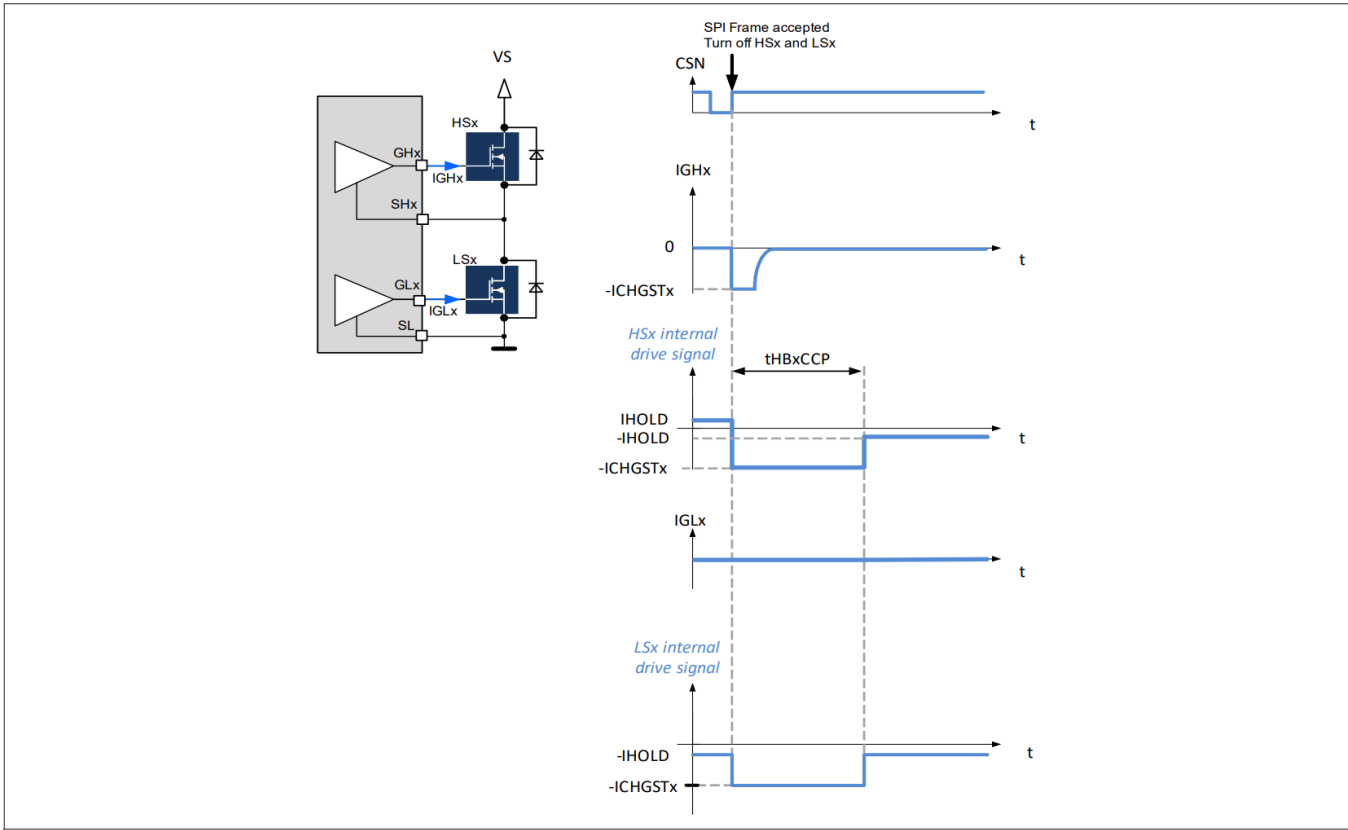


图9 半桥高边和低边MOSFET的关断

注：CSN 上升沿必须与器件逻辑同步。因此，SPI 指令在 CSN 上升沿之后最多延迟 $3\mu\text{s}$ 执行。

6.3 PWM桥驱动器处于主动模式时的操作（**BD_PASS = 0**）

CLE92108-232QX集成了三个PWM通道。PWM1、PWM2、PWM3引脚为各个PWM通道提供PWM信号。

根据控制寄存器的设置，一个半桥可以映射一个PWM通道**HBMODE** 和**PWMSET**（见**表 11**）：

- **PWMSET** 中的PWMxEN，启用或禁用 PWM 通道 x
- **PWMSET**中的控制位PWMx_HB[2:0] 选择半桥
- 通过 PWMx_HB[2:0] 选择控制位 HBMODE[1:0]（**HBMODE**）配置 PWM 模式下的低边或高边

例如：必须置位以下位才能将 HB3 的低边映射到PWM通道 2（以PWM启动序列）：

1. 设置 HB3MODE[1:0] 至 (0,0)：HB3 处于高阻态
2. 将 PWM2_HB[2:0] 设置为 (0,1,0)，并将 PWM2EN 设置为 1（HB3 保持高阻状态，独立于 PWM2 引脚上存在的信号）
3. 设置 HB3MODE[1:0] 为 (0,1)：PWM2 映射于 HB3 的低边

表 11 PWM通道设置

PWMxEN ¹⁾	PWMx_HB[2:0] 1)	HByMODE[1:0] ²⁾	PWMx channel setting ¹⁾
0 _B	don't care	don't care	no PWM operation
don't care	don't care	00 _B	no PWM operation on the selected HB
don't care	don't care	11 _B	no PWM operation on the selection HB
1 _B	000 _B	01 _B	Low-side of HB1 is mapped to PWMx
1 _B	001 _B	01 _B	Low-side of HB2 is mapped to PWMx
1 _B	010 _B	01 _B	Low-side of HB3 is mapped to PWMx
1 _B	011 _B	01 _B	Low-side of HB4 is mapped to PWMx
1 _B	100 _B	01 _B	Low-side of HB5 is mapped to PWMx
1 _B	101 _B	01 _B	Low-side of HB6 is mapped to PWMx
1 _B	110 _B	01 _B	Low-side of HB7 is mapped to PWMx
1 _B	111 _B	01 _B	Low-side of HB8 is mapped to PWMx
1 _B	000 _B	10 _B	High-side of HB1 is mapped to PWMx
1 _B	001 _B	10 _B	High-side of HB2 is mapped to PWMx
1 _B	010 _B	10 _B	High-side of HB3 is mapped to PWMx
1 _B	011 _B	10 _B	High-side of HB4 is mapped to PWMx
1 _B	100 _B	10 _B	High-side of HB5 is mapped to PWMx
1 _B	101 _B	10 _B	High-side of HB6 is mapped to PWMx
1 _B	110 _B	10 _B	High-side of HB7 is mapped to PWMx
1 _B	111 _B	10 _B	High-side of HB8 is mapped to PWMx

1) x = 1...3

2) 半桥 y 由 PWMx_HB[2:0] 位选择

注： 如果一个半桥映射到多个激活的PWM通道，则会报告SPI错误。在这种情况下，受影响的半桥的外部MOSFET将被关闭，并且HBVOUT_PWMERR 中的(HBxPWME)会被置位。

6.3.1 主动和续流 MOSFET 的确定

在PWM模式下，半桥电路激活时，会自动启用主动续流功能，以降低续流MOSFET的功率损耗：当主动MOSFET关闭时，同一半桥电路的对侧（续流） MOSFET会主动导通。参见图 11、图 12、图 13、图14。

如果EN_GEN_CHECK = 0：PWM MOSFET 被视为有源 MOSFET，而同一半桥的对侧的 MOSFET 被视为续流 MOSFET。

如果EN_GEN_CHECK = 1：在每个MOSFET的交叉电流保护时间 (tHBxCCP Active, tHBxCCP FW) 结束时（两个 MOSFET 都应该关闭），该器件检测半桥的哪个MOSFET是有源MOSFET，哪个MOSFET是 FW MOSFET（图 10）。

- 如果 $V_{SHx} > V_{SHH}$ ：高边MOSFET为续流MOSFET，低边MOSFET为主动MOSFET
- 如果 $V_{SHx} < V_{SHL}$ ：则低边MOSFET为续流MOSFET，高边MOSFET为主动MOSFET
- 若 $V_{SHL} < V_{SHx} < V_{SHH}$ ：无明确定义续流MOSFET与主动MOSFET之间的区别，需要导通的MOSFET才被认为是主动MOSFET。

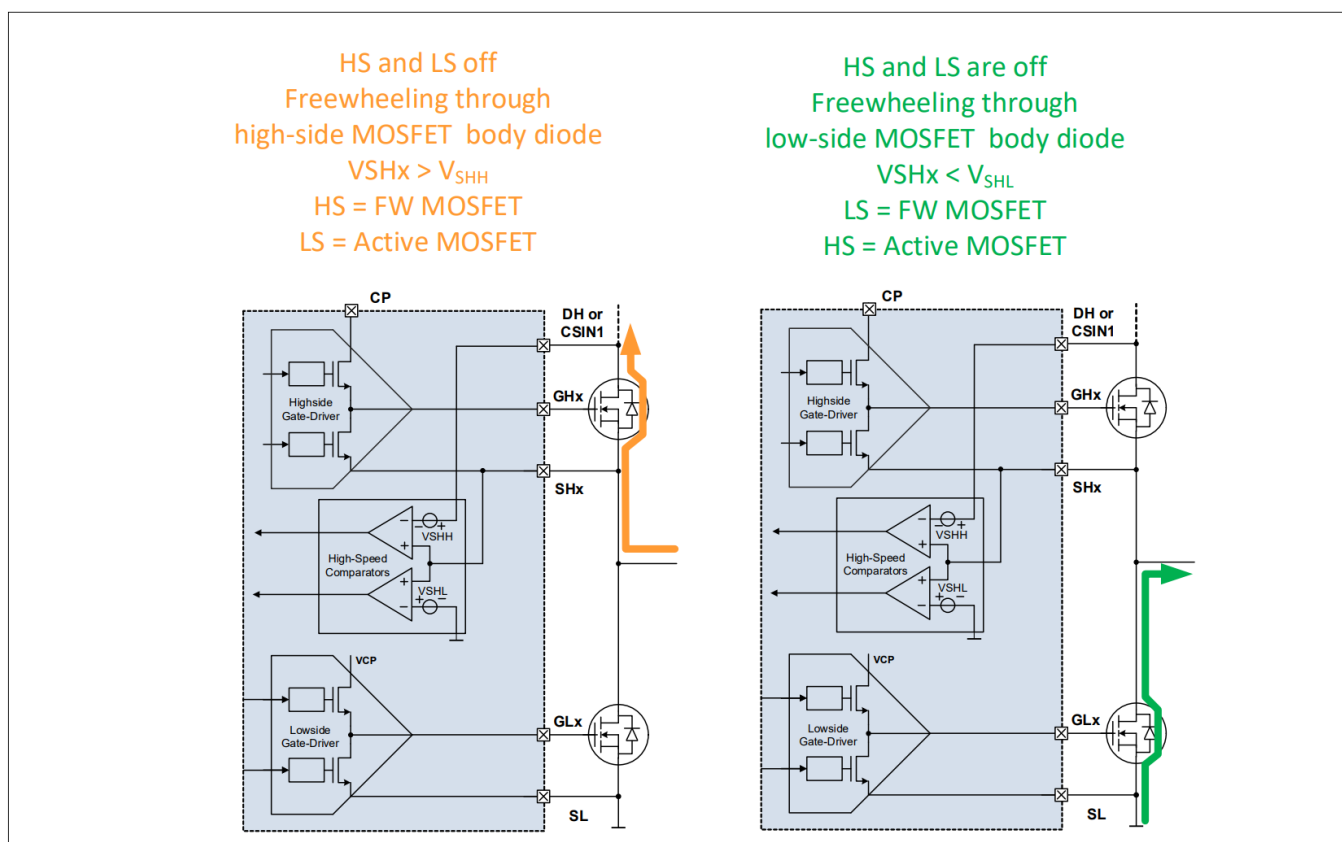


图10 主动续流MOSFET检测原理

注： PWM信号应用于HBxMODE[1:0] 选择的MOSFET，与续流和主动MOSFET无关。

注： 如果PWM导通时间短于 $t_{HBxCCP\ FW}$ ，或者PWM关断时间短于 $t_{HBxCCP\ Active}$ ，则无法确定主动MOSFET或续流MOSFET（请参阅第6.3.5章）。此时，PWM MOSFET被视为主动MOSFET。换句话说，假设电机作为负载运行。

图 11、图 12 展示电机作为负载运行时续流和主动MOSFET的示例。

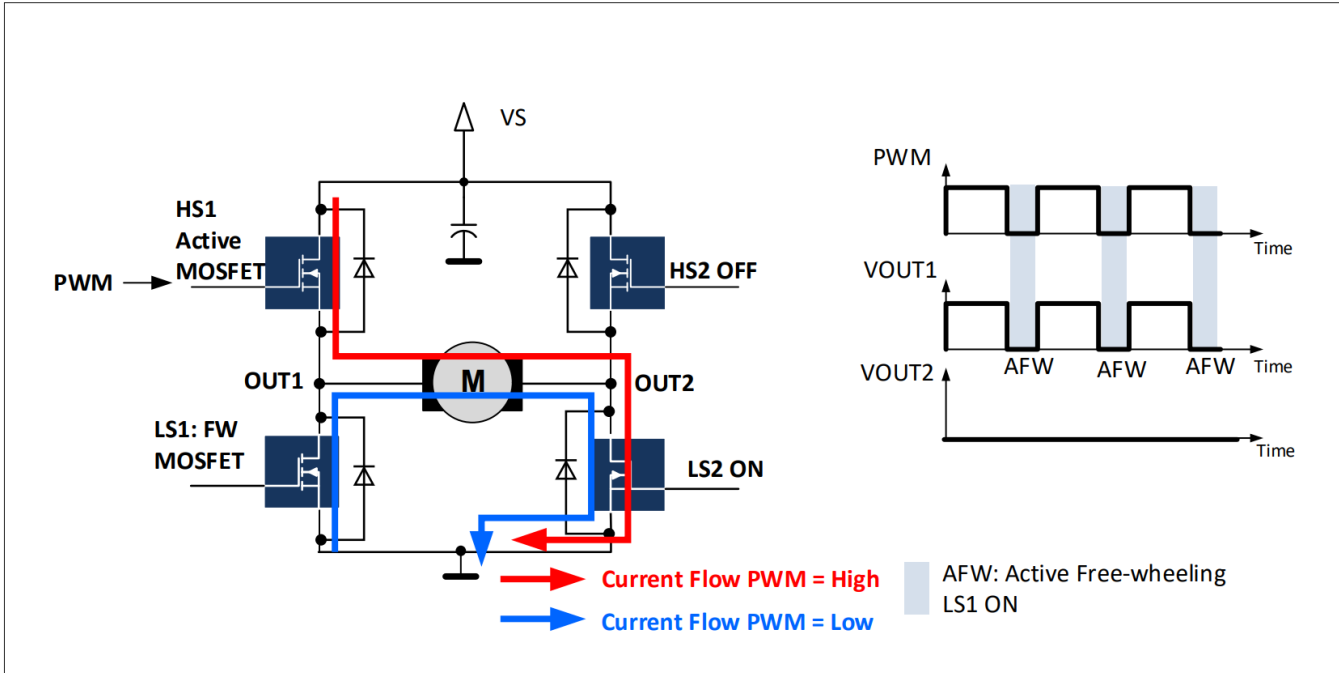


图 11 HB1 上的主动续流：PWM1EN = 1。PWM 应用于 HS1 (HB1MODE[1:0] = 10_B)。电机作为负载运行：HS1 为主动 MOSFET，LS1 为续流 MOSFET。

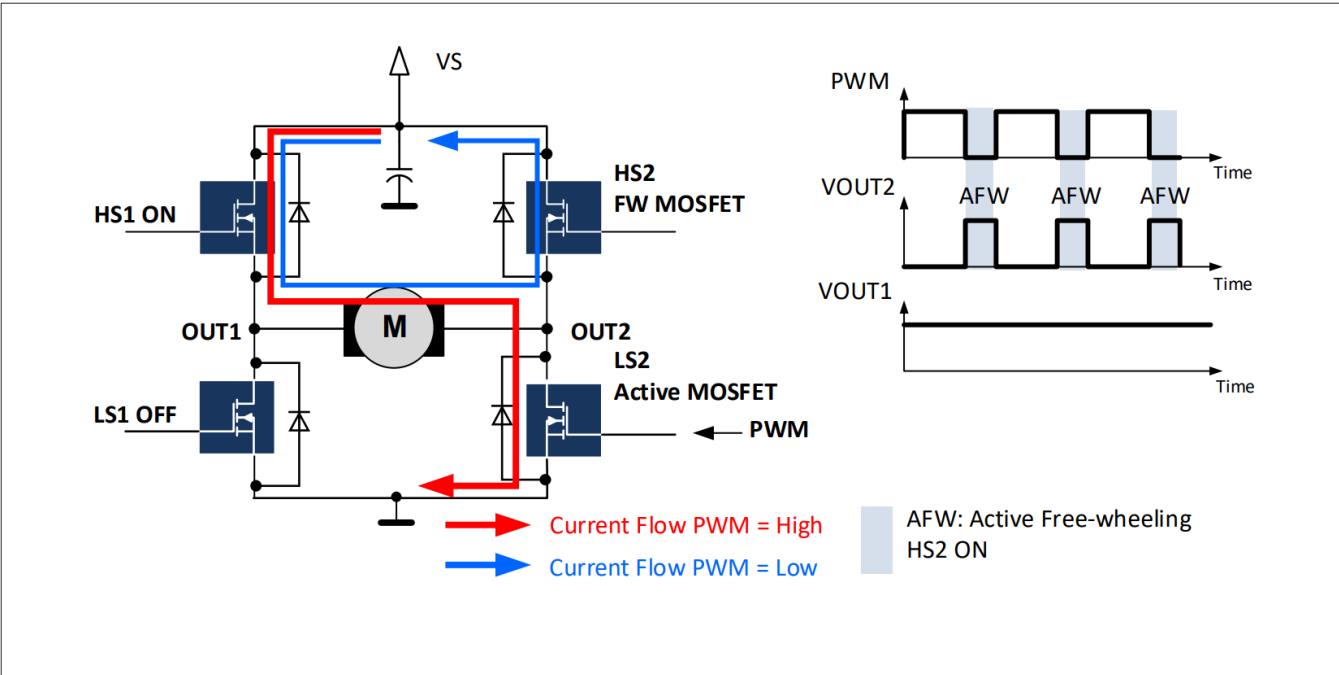


图 12 HB2 上的主动续流：PWM1EN = 1。PWM 应用于 LS2 (HB2MODE[1:0] = 01_B)。

电机作为负载运行：LS2 为主动 MOSFET，HS2 为续流 MOSFET。

图13 和图14 显示电机作为发生器运行时续流和有源MOSFET的示例。

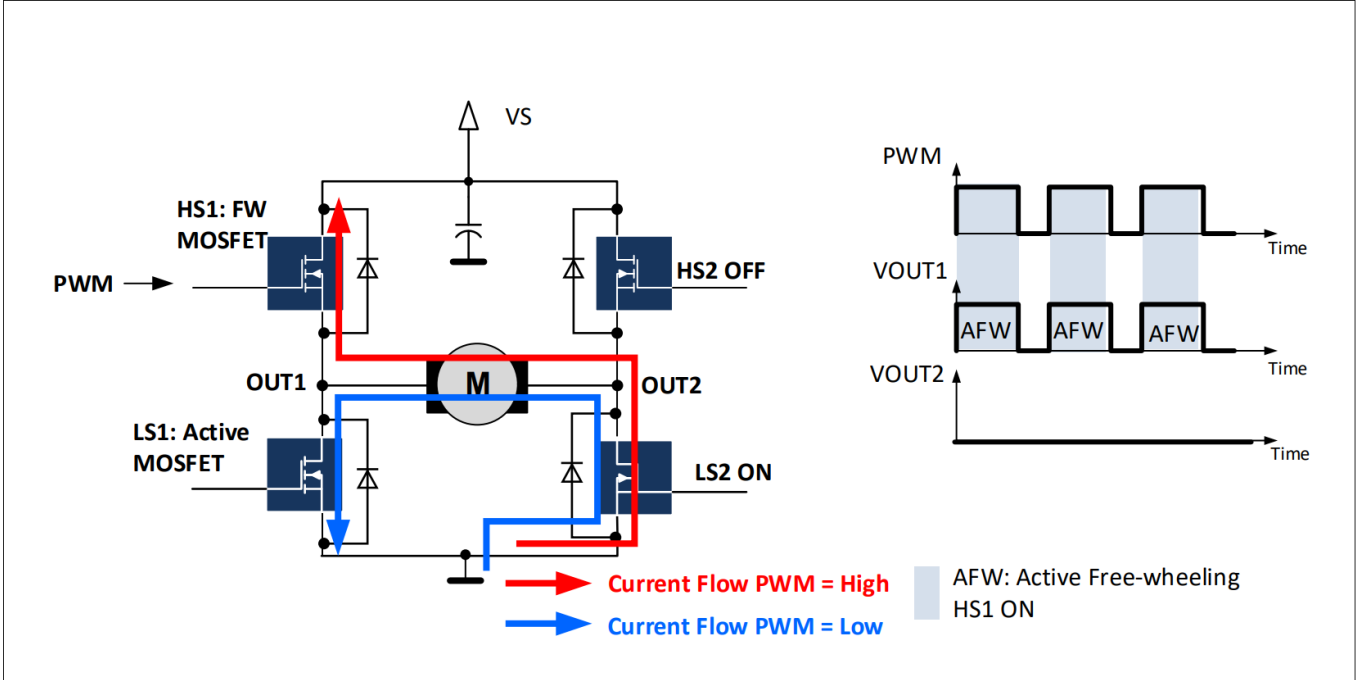


图 13 HB1 上的主动续流：PWM1EN = 1。PWM 应用于 HS1 (HB1MODE[1:0] = 10_B)。电机作为发生器运行：LS1 是有源 MOSFET，HS1 是 FW MOSFET。

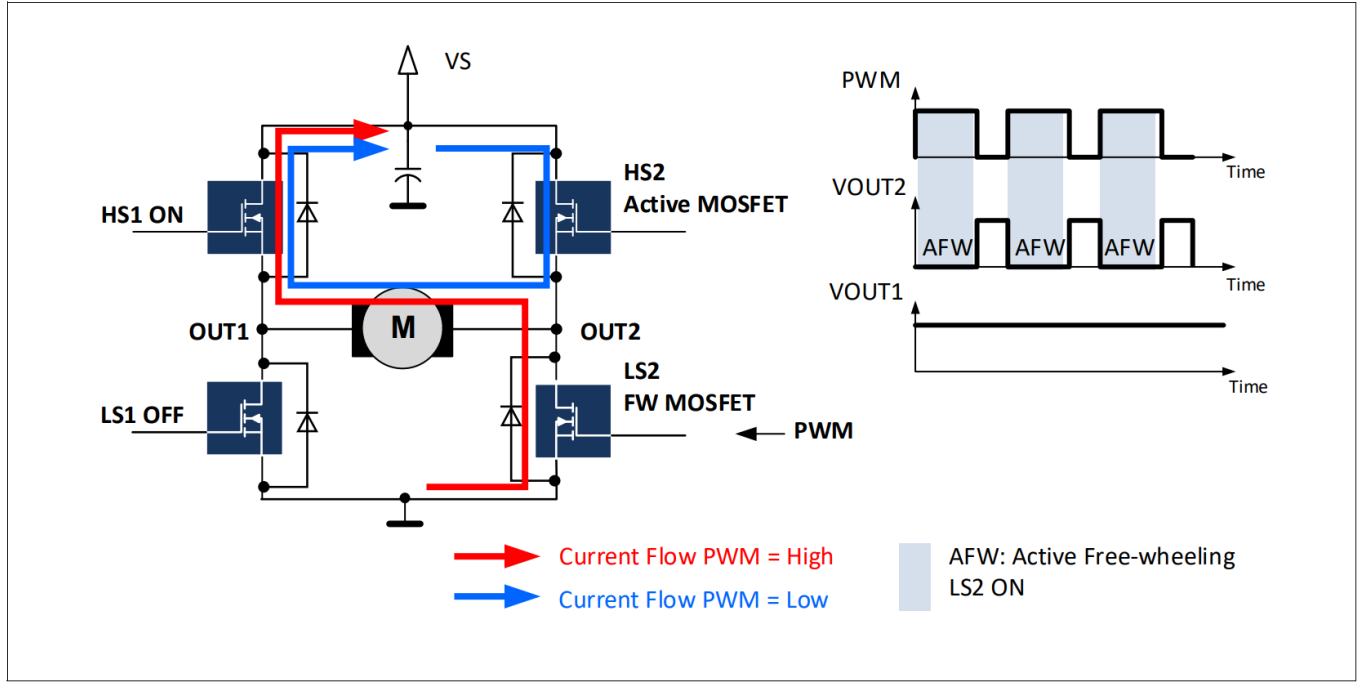


图 14 HB2 上的主动续流：PWM1EN = 1。PWM 应用于 LS2 (HB2MODE[1:0] = 01_B)。电机作为发电机运行：HS2 是主动 MOSFET，LS2 是续流 MOSFET。

6.3.2 PWM模式下的配置

以下章节描述了PWM模式下的不同控制方案。它们在预充电和预放电阶段有所不同（图15）：

- 可调门级控制 ($AGC[1:0] = (1,0)$ 或 $(1,1)$ ，**GENCTRL2**)：在此模式下，预充电电流和预放电电流应用于PWM MOSFET的栅极。这些电流用于将有效导通和关断延迟调节至各自的目标值。请参阅第6.3.3章。
- 无可调门级控制 ($AGC[1:0] = (0,0)$)：在此模式下，预充电和预放电阶段均停用。请参阅章节6.3.4.1。
- 无可调门级控制 ($AGC[1:0] = (0,1)$)。在此模式下：
 - 预充电阶段已停用
 - 在预放电阶段，映射到PWM通道 x ($x = 1 \dots 3$) 的PWM MOSFET栅极将以配置电流 $IPCHG_{INIT}$ 进行放电（参考**PWM_PCHG_INIT**和章节6.3.4.2）

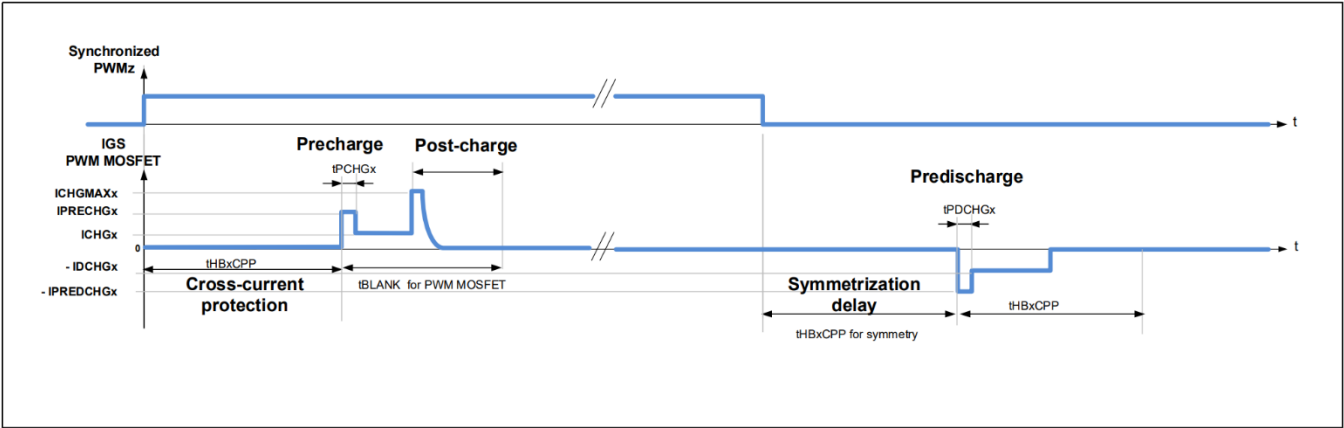


图 15 PWM概述显示预充电、预放电和后充电阶段， $AGC[1:0] = 10_B$ 或 11_B ，
 $POCHGDIS = 1_B$

6.3.3 可调栅级控制的 PWM 工作模式

PWM本节介绍当自适应反馈控制启用时 (AGC[1:0] = (1,0) 或 (1,1), [GENCTRL2](#)) 时高边或低边操作期间的 MOSFET 控制。3

参考 [第 6.3.1 章](#) 根据 [AGC](#) 的设置来定义主动和续流 MOSFET。

假设：高边或低边 MOSFET 驱动器映射到 PWM 通道 z , $z = 1, 2$ 或 3 。

参考 [图 16](#) 对于高边 PWM 和 [图 19](#) 对于低边 PWM 开关相的描述。

CLE92108-232QX 分别调整预充电电流和预放电电流，以使导通延迟 (t_{DON}) 和关断延迟 (t_{DOFF}) 与配置值相匹配。

各个 PWM MOSFET 配置的导通和关断延迟由寄存器设置 [TDON_OFF1](#), [TDON_OFF2](#), [TDON_OFF3](#)。

各个主动 MOSFET 的导通和关断延迟是从状态寄存器 [EFF_TDON_OFF1](#)、[EFF_TDON_OFF2](#)、[EFF_TDON_OFF3](#) 中取的。

表 12 PWM配置中可调导通和关断阶段的缩写

Abbreviation	Definition
Suffix x	Related to the half-bridge x ($x = 1 \dots 8$)
Suffix z	Related to the PWM channel z ($z = 1, 2$ or 3)
VGS_HSx	Gate-Source voltage of high-side MOSFET x
IGS_HSx	Gate current of high-side MOSFET x IGS_HSx is positive when the current flows out of GHx.
VGS_LSx	Gate-Source voltage of low-side MOSFET x
IGS_LSx	Gate current of low-side MOSFET x IGS_LSx is positive when the current flows out of GLx.
tHBxCCP ACTIVE	Active cross-current protection time of HBx. See control registers CCP_BLK1 , CCP_BLK2_ACT , PWM_ICHGMAX_CCP_BLK3_ACT and Chapter 7.5 .
tHBxBLANK ACTIVE	Active Drain-source overvoltage blank time of HBx. See control registers CCP_BLK1 , CCP_BLK2_ACT , PWM_ICHGMAX_CCP_BLK3_ACT and Chapter 7.5 .
tHBxCCP FW	Freewheeling cross-current protection time of HBx. See control registers CCP_BLK1 , CCP_BLK2_FW , PWM_ICHGMAX_CCP_BLK3_FW and Chapter 7.5
tHBxBLANK FW	Freewheeling drain-source overvoltage blank time of HBx. See control registers CCP_BLK1 , CCP_BLK2_FW , PWM_ICHGMAX_CCP_BLK3_FW and Chapter 7.5
PWMz	External PWM signal applied to the input pin PWMz.
ICHGMAXz	Maximum drive current of the half-bridge mapped to PWM channel z during the pre-charge and pre-discharge phases. See control registers PWM_ICHGMAX_CCP_BLK3_ACT and PWM_ICHGMAX_CCP_BLK3_FW ICHGMAXz is also the drive current for the post-charge phase IPRECHGz and IPREDCHGz are limited to ICHGMAXz.

表 12 PWM配置中可调导通和关断阶段的缩写

Abbreviation	Definition
IPRECHGz	Pre-charge current sourced by the gate driver mapped to the PWM channel z during tPCHGz. Internal and self-adaptive parameter (if AGC = (1,0) or (1,1), GENCTRL2) IPRECHGz is clamped between I_{CHG0} and $ICHGMAXz$.
IPCHGINITz	Initial value of IPRECHGz. Refer to PWM_PCHG_INIT
IPREDCHGz	Pre-discharge-current sunk by the gate driver mapped to the PWM channel z during tPDCHGz. Internal and self-adaptive parameter. (AGC = (1,0) or (1,1), GENCTRL2) IPREDCHGz is clamped between I_{DCHG0} and $IDCHGMAXz$.
IPDCHGINITz	Initial value of IPREDCHGz. Refer to PWM_PDCHG_INIT
ICHGz	Current sourced by the gate driver mapped to the PWM channel z during the charge phase. See control register PWM_ICHG_ACT .
IDCHGz	Current sunk by the gate driver mapped to the PWM channel z during the discharge phase. See control register PWM_IDCHG_ACT .
ICHGFWz	Current source or sunk by the gate driver to turn on / turn off the freewheeling MOSFET of the half-bridge mapped to the PWM channel z. See PWM_ICHG_ACT .
tPCHGz	Duration of the pre-charge phase of PWM channel z. tPCHGz is configurable by SPI. See control register TPRECHG , configuration bits TPCHGz[1:0].
tPDCHGz	Duration of the pre-discharge phase of PWM channel z. tPDCHGz is configurable by SPI. See control register TPRECHG , configuration bits TPDCCHGz[1:0].
tDONz	Turn-on delay of the PWM MOSFET mapped to the PWM channel z: - for high-side PWM: time between the end of the cross-current protection and when V_{SHx} increases to V_{SHL} (Figure 17). - for low-side PWM: time between the end of the cross-current protection and when V_{SHx} decreases to V_{SHH}.
tDOFFz	Turn-off delay of the PWM MOSFET mapped to the PWM channel z: - for high-side PWM: time between the end of the symmetrization delay (t_{HBxCCP}) and when V_{SHx} decreases to V_{SHH} (Figure 18). - for low-side PWM: time between the end of the symmetrization delay (t_{HBxCCP}) and when V_{SHx} increases to V_{SHL}.
IHOLD	Hold current sourced or sunk by the gate driver to keep the MOSFET in the desired state. See IHOLD control bit in GENCTRL2 .
IHARDOFF	IHARDOFF is the maximum current that the gate drivers can sink. It corresponds to the discharge current when $IDCHGx[4:0] = 31_D$ (100 mA typ.).
TFVDS	Drain-Source overvoltage filter time. See GENCTRL2 .

6.3.3.1 具有可调栅极控制的高边PWM，电机作为负载运行

下面介绍当电机工作时，将PWM信号施加到一个半桥的高边MOSFET时的MOSFET控制。

假设： PWM通道z， z = 1,2或3， 应用于半桥x的高边MOSFET ， x = 1 ... 8。

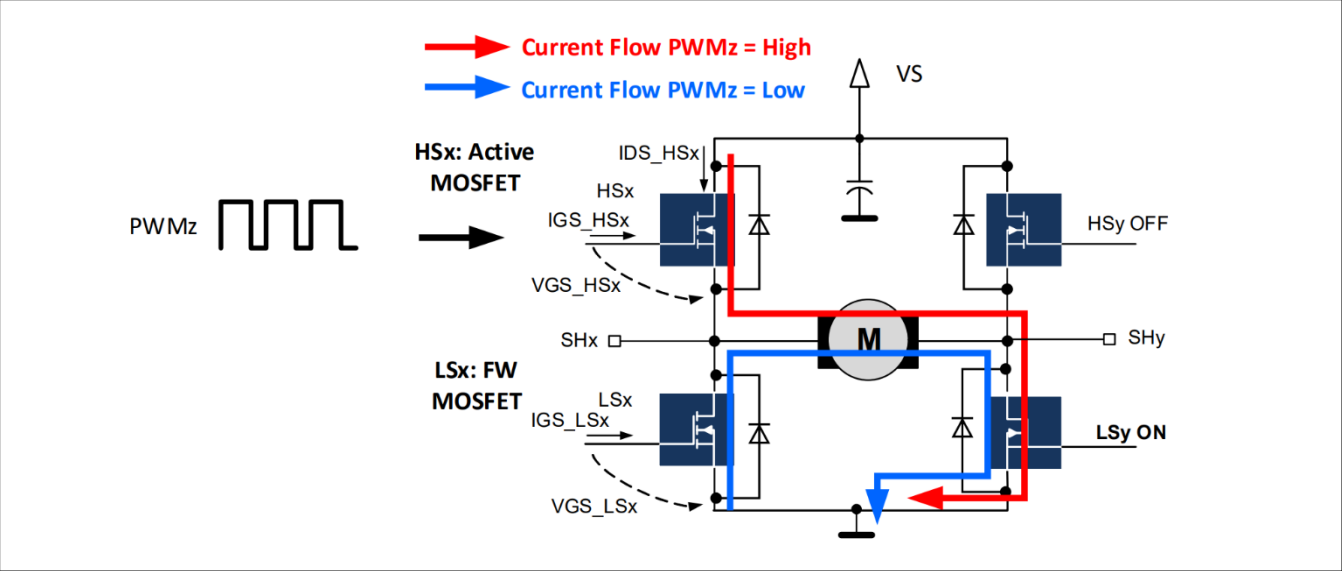


图16 PWM通道z映射到高边x，电机作为负载运行

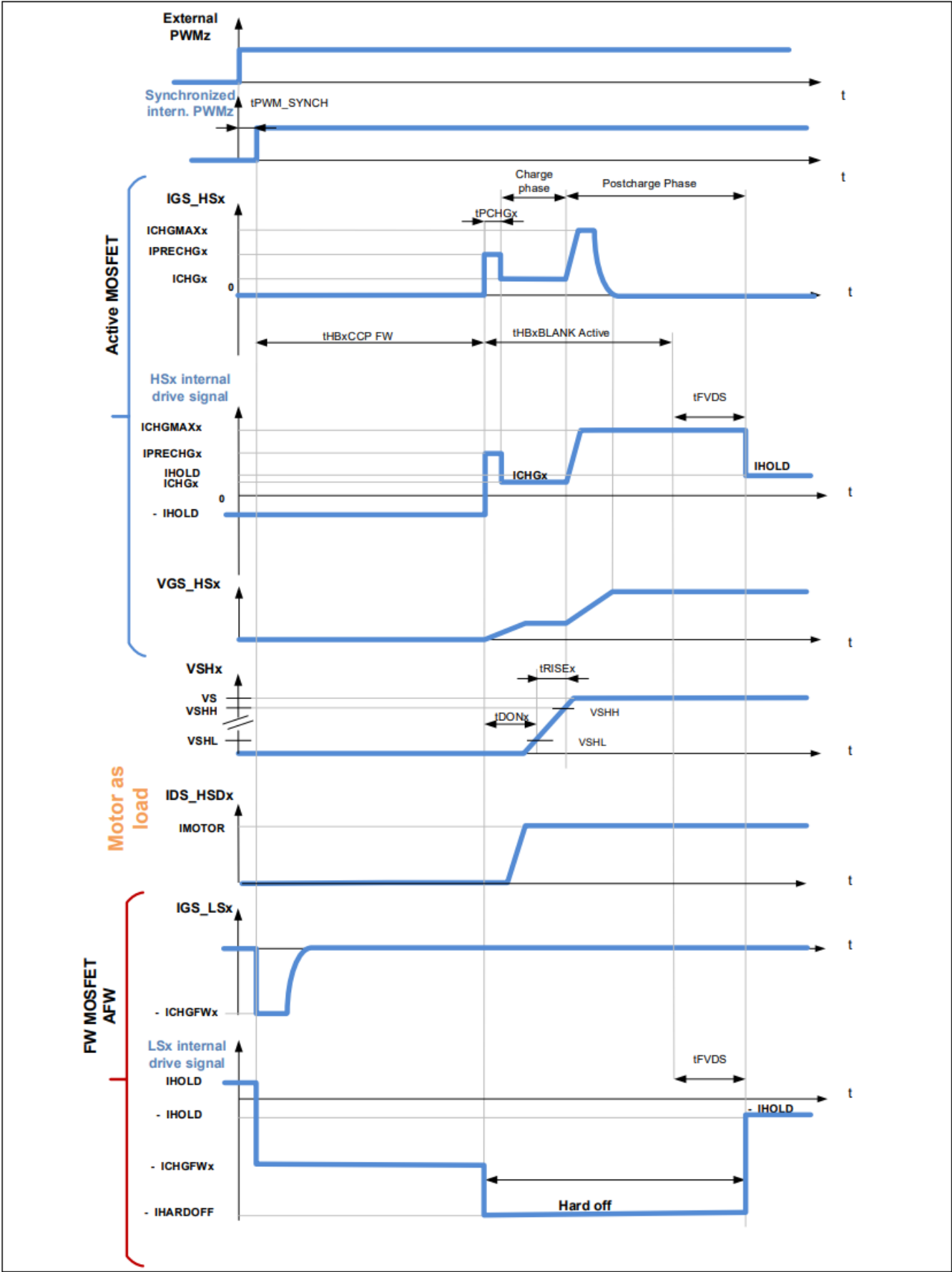


图 17 可调导通，高边PWM，AGC[1:0] = (1,0) 或 (1,1)，电机作为负载运行

高边PWM期间的可调导通

高边MOSFET的导通分四个阶段完成（参见图 17）：

1. **交叉电流保护阶段**：交叉电流保护 $t_{HBxCCP\ FW}$ 在内部 PWMz 信号¹⁾ 的上升沿开始。在 $t_{HBxCCP\ FW}$ 期间，低边 MOSFET x 关断放电电流为 $-ICHGFWx$ ，同时高边 MOSFET x 保持关闭。
2. **预充电**： $t_{HBxCCP\ FW}$ 过后，高边 MOSFET x 的栅极会以电流 $IPRECHGz$ 进行预充电，充电持续时间为 $tPCHGz$ 。 $IPRECHGz$ ²⁾ 是一个内部参数，具有自适应性（见下一节）。
3. **充电**： $tPCHGz$ 之后，充电电流从 $IPRECHGz$ 降至 $ICHGz$ 。测量有效的 $tDONz$ ³⁾，并将其与配置的 $tDONz$ 进行比较，以自适应调整 $IPRECHGz$ （参见 **预充电电流的自适应控制**）。当 V_{SHx} 达到 V_{SHH} 时，充电阶段结束。
4. **充电后**：充电阶段后，HSx 充电电流的控制信号每 62.5 ns (典型值) 增加一个电流阶跃。至 $ICHGMAXx$ 。

注：通过设置 **POCHGDIS** 至 1 可以停用后充电功能。参考 **GENCTRL2**。

预充电电流的可调控制

有关预放电电流的信息，参考 **章节 6.3.6**。

如果 $AGC[1:0] = (1,0)$ 或 $(1,1)$ （参见 **GENCTRL2**），预充电电流 $IPRECHGz$ 是一个自适应参数。它在 $tPCHGz$ 期间施加（参见 **TPRECHG**）。CLE92108-232QX 会调整 $IPRECHGz$ ，使实际 $tDONz$ 与配置值匹配。 $IPRECHGz$ 被钳位在 I_{CHG0} （典型值 1 mA）和 $ICHGMAXz$ 之间（参见 **PWM_ICHGMAX_CCP_BLK3_ACT**）。当 CLE92108-232QX SPI 接收到将 PWMz_EN 设置为 1 的指令（参见 **PWMSET**）时， $IPRECHGz$ 初始化为 $\min(IPCHGINITz, ICHGMAXz)$ （参见 **PWM_PCHG_INIT**）。

可以选择以下自适应方案：

$AGCFILT = 0$ (**GENCTRL2**)：不使用滤波

- 如果有效的 $tDONz$ 比配置的 $tDONz$ 长，则在下一个预充电阶段 $IPRECHGz$ 会增加。
- 如果有效 $tDONz$ 短于配置的 $tDONz$ ，则在下一个预充电阶段 $IPRECHGz$ 会减少。
- 如果控制位 $IPCHGADT$ 在控制寄存器 **GENCTRL1** 中置位分别为 0 和 1，预充电电流会分别增加或减少 1 个或 2 个电流阶跃（**章节 6.3.6**）。

$AGCFILT = 1$ ：应用滤波器

- 如果最后两个 PWM 周期的有效 $tDONz$ 比配置的 $tDONz$ 长，则在下一个预充电阶段 $IPRECHGz$ 会增加。

1) 外部 PWMz 信号与内部器件时钟同步，导致内部和外部 PWMz 信号之间存在延迟 t_{PWM_SYNCH0}

2) $IPRECHGz$ 被钳位在 $ICHGMAXz$ 和 I_{CHG0} 之间。

3) 可读取有效的 $tDON$ 。参考 **EFF_TDON_OFF1**、**EFF_TDON_OFF2**、**EFF_TDON_OFF3**

- 如果最后两个PWM周期的有效 t_{DONz} 短于配置的 t_{DONz} ，则在下一个预充电阶段 $IPRECHGz$ 会减少。
- 如果控制位 $IPCHGADT$ 在控制寄存器 **GENCTRL1** 中置位分别为 0 和 1，预充电电流会分别增加或减少 1 个或 2 个电流阶跃（[章节 6.3.6](#)）。
- 如果这两种情况都不适用，则在下一个预充电阶段， $IPRECHGz$ 保持不变。

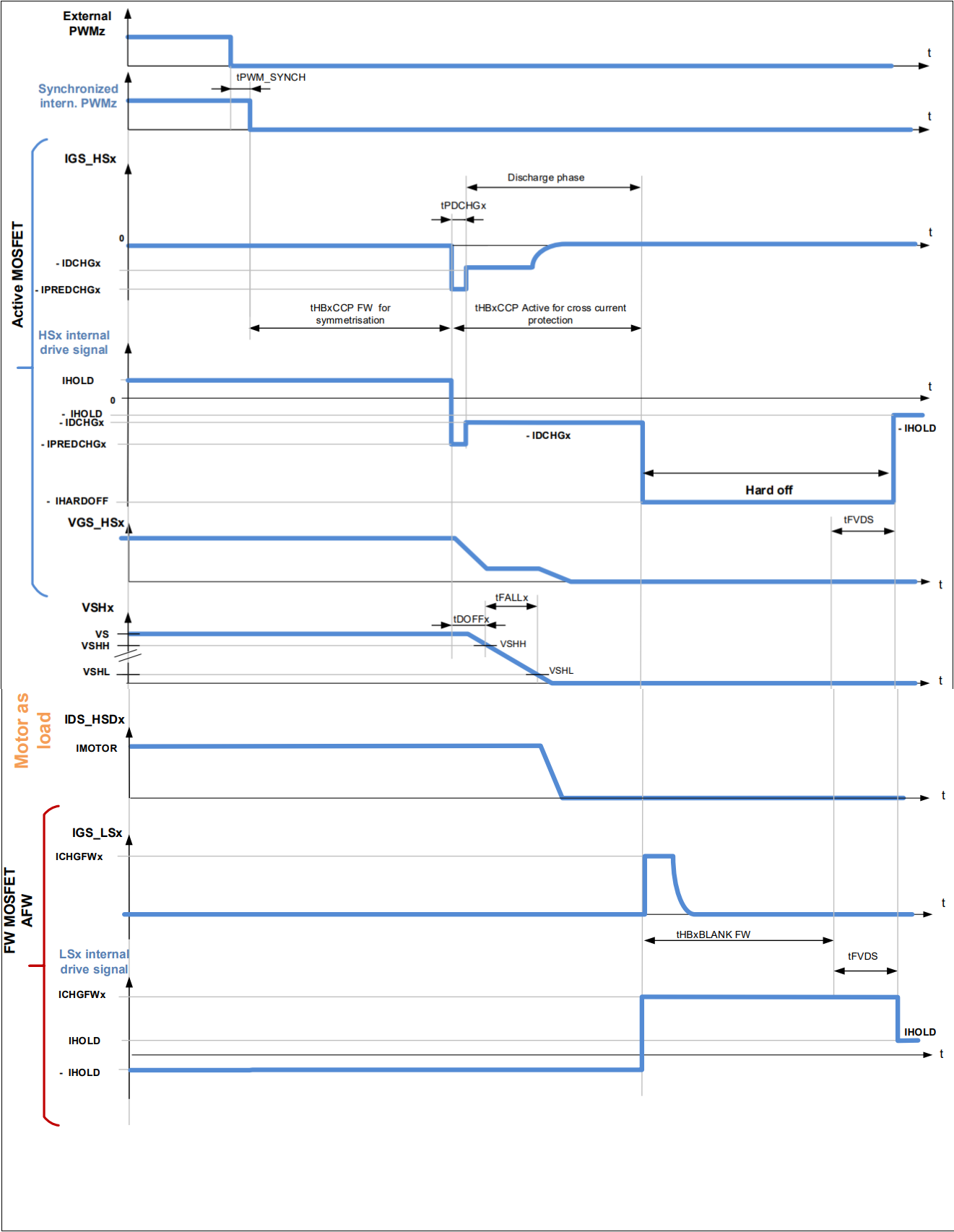


图 18 可调关断，高边PWM，AGC[1:0] = (1,0) 或 (1,1)，电机作为负载运行
高边PWM期间的可调关断

高边MOSFET的关断分四个阶段完成（参见图 18）:

1. **PWM 信号**对称关断延迟时间：HSx在内部 PWMz 信号的下降沿后延迟 $t_{HBxCCP\ FW}^{1)}$ ，以补偿导通时交叉电流保护时间引起的失真。
2. **预放电**：一旦达到对称化所需的时间 $t_{HBxCCP\ FW}$ 结束，高边MOSFET x的栅极将以电流 $I_{PREDCHGz}$ 进行预放电，持续时间为 t_{DPCHGz} 。 $I_{PREDCHGz}$ 是器件内部参数，具有自适应性（参见下一节）。
3. **放电**： $t_{PREDCHGz}$ 之后，预放电电流的绝对值从 $I_{PREDCHGz}^{2)}$ 降至 I_{DCHGz} 。测量有效的 $t_{DOFFz}^{3)}$ ，并将其与 $I_{PREDCHGz}$ 配置的 t_{DOFFz} 进行比较（参见**预放电电流的自适应控制**）。放电阶段在 t_{HBxCCP} 到期时结束，从而实现交叉电流保护。
4. **交叉电流保护阶段**：交叉电流保护与高边MOSFET的预放电和放电同时进行。交叉电流保护阶段在对称化关断延迟结束时启动，持续时间为 $t_{HBxCCP\ active}$ 。在 $t_{HBxCCP\ active}$ 期间，低边MOSFETx保持关断状态。 $t_{HBxCCP\ active}$ 结束后，如果MOSFET $V_{SHx} < V_{SHL}$ ，则低边MOSFET x的栅极将通过 I_{CHGFWz} 电流充电，直至 t_{FVDS} 结束。

预放电电流的可调控制

有关预放电电流的信息，参考**章节 6.3.6**。

如果 $AGC[1:0] = (1,0)$ 或 $(1,1)$ （参见**GENCTRL2**），则预放电电流 $I_{PREDCHGz}$ 是一个自适应参数。CLE92108-232QX 会调整 $I_{PREDCHGz}$ ，使测得的 t_{DOFFz} 与配置值匹配。

$I_{PREDCHGz}$ 被钳位在 I_{DCHG0} （典型值 1 mA）和 $I_{CHGMAXz}$ 之间（参见**PWM_ICHGMAX_CCP_BLK3_ACT**）。

当 CLE92108-232QX 收到将 SPI PWMz_EN 设置为 1 的令（参见**PWMSET**）时， $I_{PREDCHGz}$ 初始化为 $\min(I_{PDCHGINITz}, I_{CHGMAXz})$ （参见**PWM_PDCHG_INIT**）

如果控制位 $IPCHGADT$ 在控制寄存器 **GENCTRL1** 中置位分别为 0 和 1，预充电电流会分别增加或减少一个或两个电流阶跃（**章节 6.3.6**）。

可以选择以下调节方案：

$AGCFILT = 0$ (**GENCTRL2**)：不使用滤波

- 如果有效 t_{DOFFz} 比配置的 t_{DOFFz} 长，则在下一次预放电期间 $I_{PREDCHGz}$ 会增加
- 如果有效 t_{DOFFz} 短于配置的 t_{DOFFz} ，则在下一次预放电期间 $I_{PREDCHGz}$ 会减小
- 如果控制位 $IPCHGADT$ 在控制寄存器 **GENCTRL1** 中置位分别为 0 和 1，预充电电流会分别增加或减少一个或两个电流阶跃（**章节 6.3.6**）。

$AGCFILT = 1$ ：应用滤波器

- 1) 外部PWMz信号与内部器件时钟同步，导致内部和外部PWMz信号之间存在延迟 t_{PWM_SYNCH} 。
- 2) $I_{PREDCHGz}$ 被钳位在 $I_{CHGMAXz}$ 和 I_{DCHG0} 之间。
- 3) 可以读取有效 t_{DOFF} 。参考**EFF_TDON_OFF1**、**EFF_TDON_OFF2**、**EFF_TDON_OFF3**。

- 如果最后两个PWM周期的有效 t_{DOFFz} 比配置的 t_{DOFFz} 长，则 $IPREDCHGz$ 在下一个预充电阶段会增加。
- 如果最后两个PWM周期的有效 t_{DOFFz} 短于配置的 t_{DOFFz} ，则 $IPREDCHGz$ 在下一个预充电阶段会减小。
- 如果这两种情况都不适用，则在下一个预充电阶段， $IPREDCHGz$ 保持不变。
- 如果控制位 $IPCHGADT$ 置位为 0 和 1，则预充电电流分别增加或减少一个或两个电流阶跃。

6.3.3.2 具有可调栅极控制的低边PWM，电机作为负载运行

以下部分描述了当 PWM 信号施加到一个半桥的低边 MOSFET 时的 MOSFET 控制。

假设：PWM 通道 z ， $z = 1, 2$ 或 3 ，应用于半桥 x 的低边 MOSFET， $x = 1 \dots 8$ (图 19)。

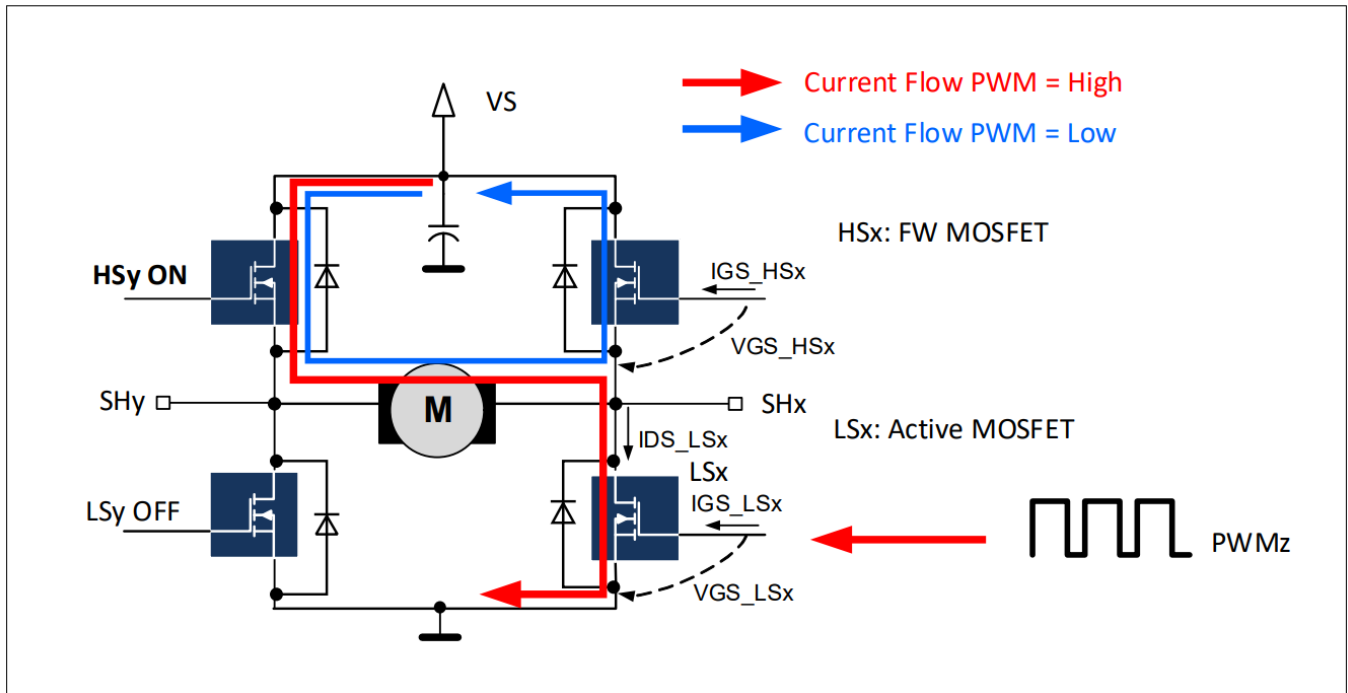


图 19 PWM 通道 z 映射到低侧 x ，电机作为负载运行

PWM 半桥控制的描述与第 6.3.3.1 章的描述不同只需交换高边 x 和低边 x 以及阈值 V_{SHH} 和 V_{SHL} 。

6.3.3.3 具有可调栅极控制的高边PWM，电机作为发电机运行

发电机模式下高边PWM时的控制方案（参见图 20）相当于负载模式下的低边MOSFET，具有外部脉宽调制输入的互补信号。

对主动MOSFET导通、关断延迟时间以及上升和下降时间进行了映射和测量。

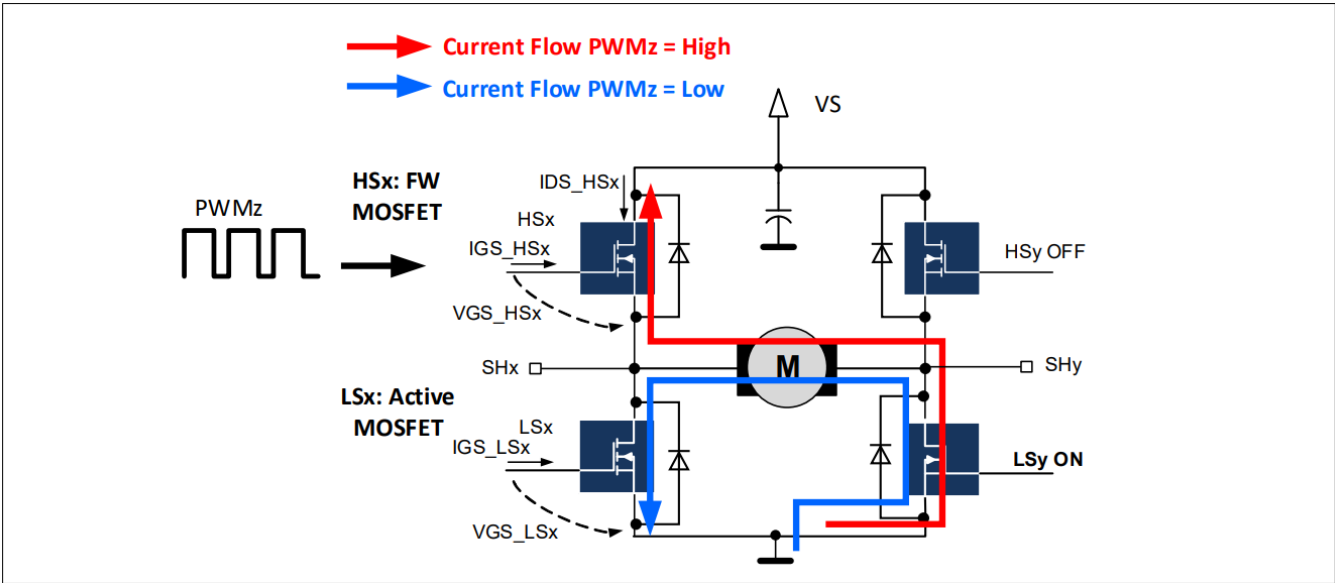


图 20 脉宽调制输入 z 映射到高边 x，电机作为发电机运行

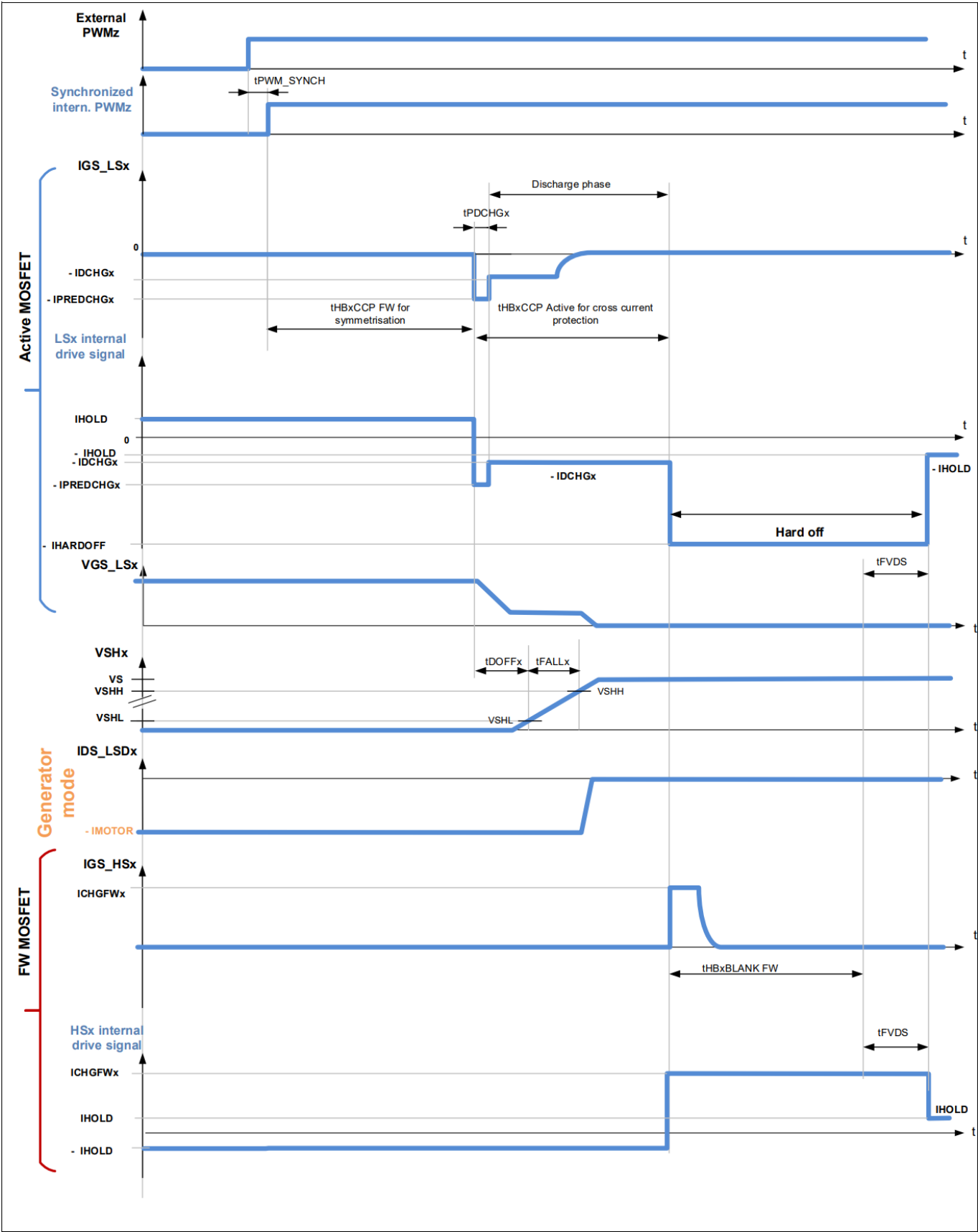


图 21 自适应导通，高边PWM，AGC[1:0] = (1,0) 或 (1,1)，电机作为发电机运行

发电机模式下高边PWM时的控制方案（参见图20）相当于负载模式下的低边PWM，具有外部脉宽调制输入的互补信号。

VS

HSx: Active MOSFET

LSx: FW MOSFET

IGS_HSx

VGS_HSx

SHx

IDS_LSx

IGS_LSx

VGS_LSx

PWMz

Current Flow PWM = High

Current Flow PWM = Low

图 22 脉宽调制输入 z 映射到低边 x ，电机作为发电机运行

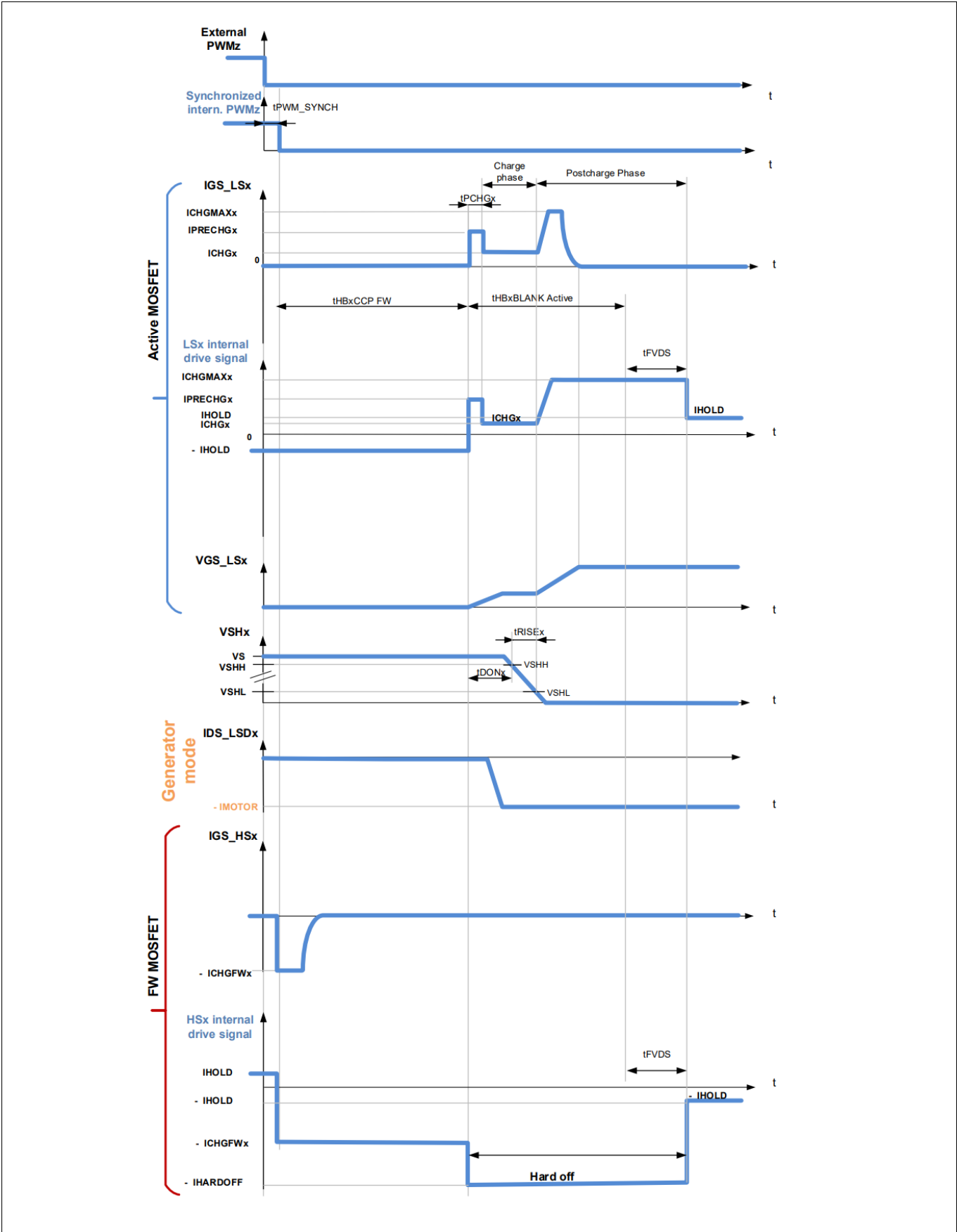


图 23 带高边PWM的可调关断，AGC[1:0] = (1,0) 或 (1,1)，电机作为发电机运行

6.3.3.5 用于调节导通和关断延迟时间的状态位

控制位 TDREGx (**GENSTAT**) 指示使用可调栅极控制方案 (AGC[1:0] = 10_B或 11_B) 的 PWM 通道 x 的 tDONx 和 tDOFFx 是否处于调节状态。

如果满足以下条件之一，则认为 PWM 通道处于调节状态：

- 有效导通和关断延迟等于至少八个连续PWM周期的配置延迟
- 在最后 8 个 PWM 周期内有效延迟和配置延迟之间的误差至少改变符号三次

6.3.3.6 预充电和预放电阶段 **EN_DEEP_AD = 1**

如果 **EN_DEEP_AD** = 1，则本节适用。启用此功能会导致预充电和预放电电流的分辨率降低。

图24 中预充电过程中的示例说明了这一原理。同样的原则也适用于预放电阶段。

如果 **EN_DEEP_AD** = 1：

- 预充电阶段可分为两个部分，在此期间施加不同的预充电电流阶跃
- 预放电阶段可分为两个部分，在此期间施加不同的预放电电流阶跃

如果无法调节 t_{DON} 和 t_{DOFF} 并且无法进一步划分预充电时间的分辨率，则器件退出“深度调节模式”。然后，在预充电期间施加一个电流阶跃 (**图25**)。

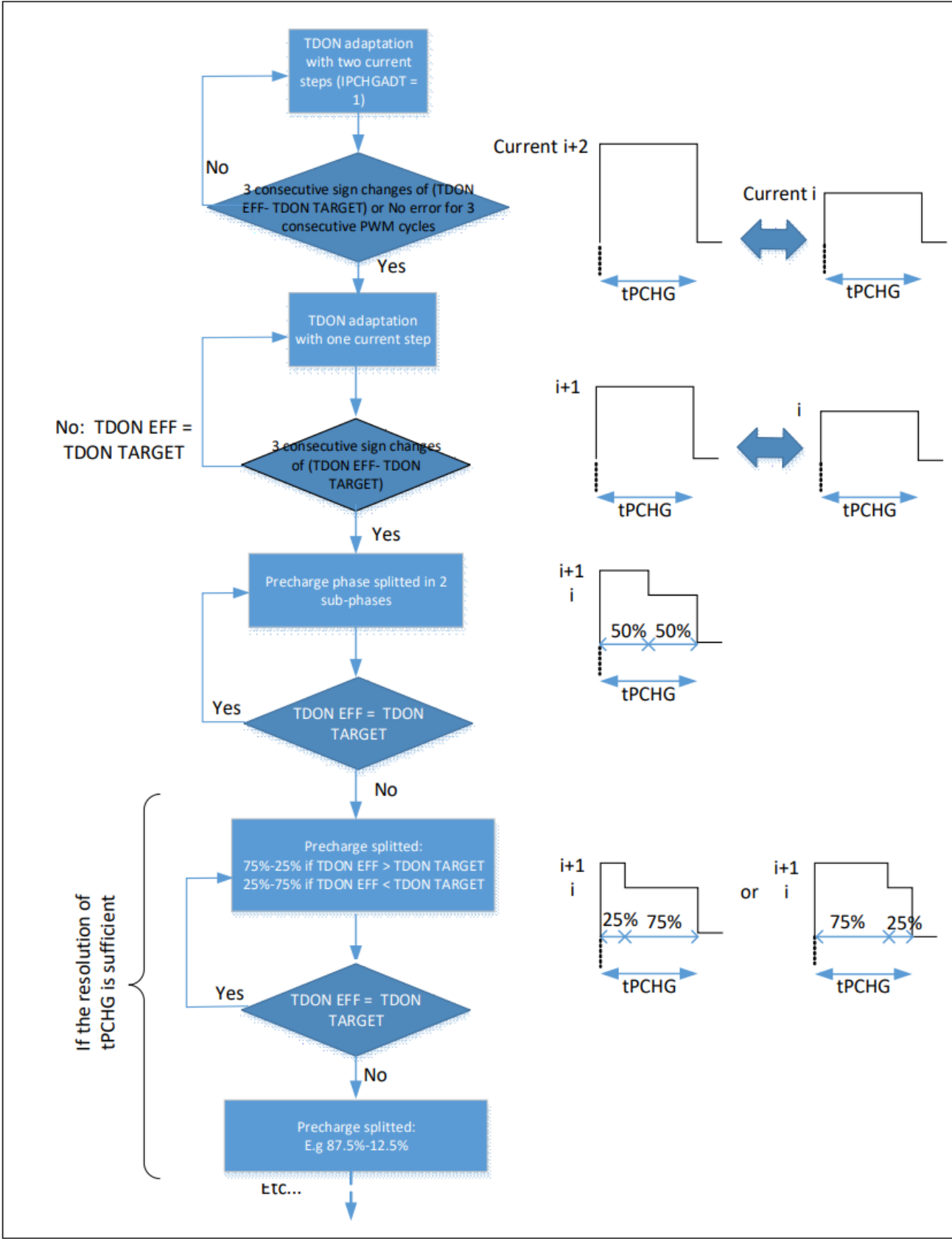


图 24 预充电阶段的预充电电流调节示例, $EN_DEEP_AD = 1$

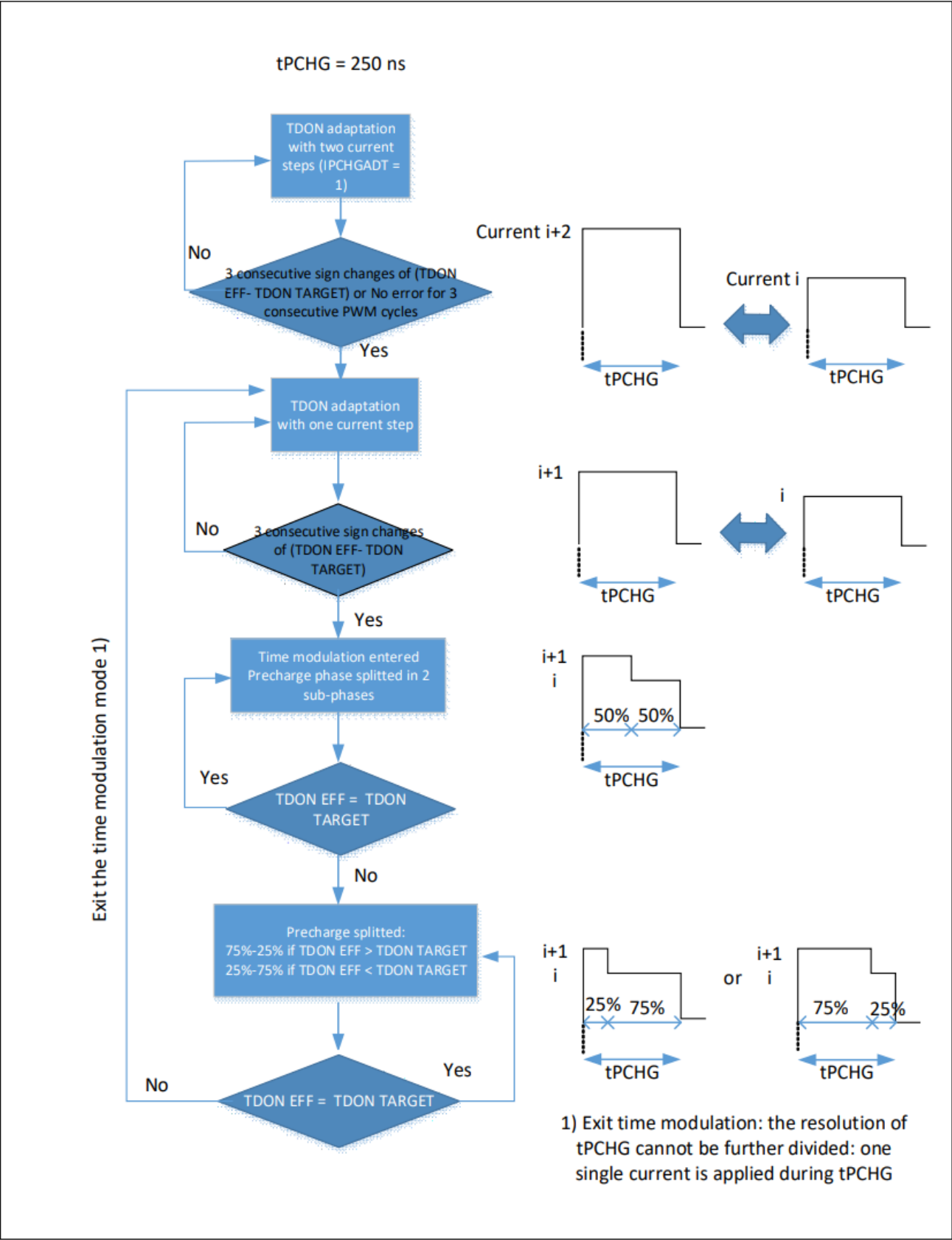


图 25 退出时间调制的标准, $EN_DEEP_AD = 1$

6.3.4 无可调栅极控制的 PWM 工作模式

如果 AGC[1:0] 设置为 (0,0) 或 (0,1)，则禁用可调门级控制。PWM MOSFET 的有效导通和关断延迟不受调节。可以选择两种模式。

不再规定PWM MOSFET 的目标导通和关断延迟时间（在**TDON_OFF1**、**TDON_OFF2**、**TDON_OFF3**中配置）。尽管如此，状态寄存器**EFF_TDON_OFF1**、**EFF_TDON_OFF2**、**EFF_TDON_OFF3** 仍报告PWM MOSFET的有效导通和关断时间。

6.3.4.1 无可调栅极控制的PWM工作模式，AGC[1:0] = (0,0)

当 AGC[1:0] = (0,0)（参见**GENCTRL2**）时，PWM 模式下栅极驱动器的控制与 第 6.3.3章，“自适应栅极控制的 PWM 操作”的描述不同，仅在于预充电和预放电阶段的抑制方面有所不同。

6.3.4.2 无可调栅极控制的PWM工作模式，AGC[1:0] = (0,1)

当 AGC[1:0] = (0,1) 时（见 [GENCTRL2](#)），PWM 模式下的栅极驱动器的控制与 [6.3.4.1 节](#) 中描述的不同，即 [无可调栅极驱动器控制的PWM工作模式，AGC\[1:0\] = \(0,0\)](#)，不同之处仅在于增加了一个预放电阶段。在 tPDCHGz 期间，映射到PWM通道 z 的PWM MOSFET的栅极驱动器的栅极驱动器通过电流 -IPDCHGINITz 进行放电（见 [PWM_PDCHG_INIT](#)）。

参考 [图 26](#) 具有PWM控制的高边PWM MOSFET的关断。

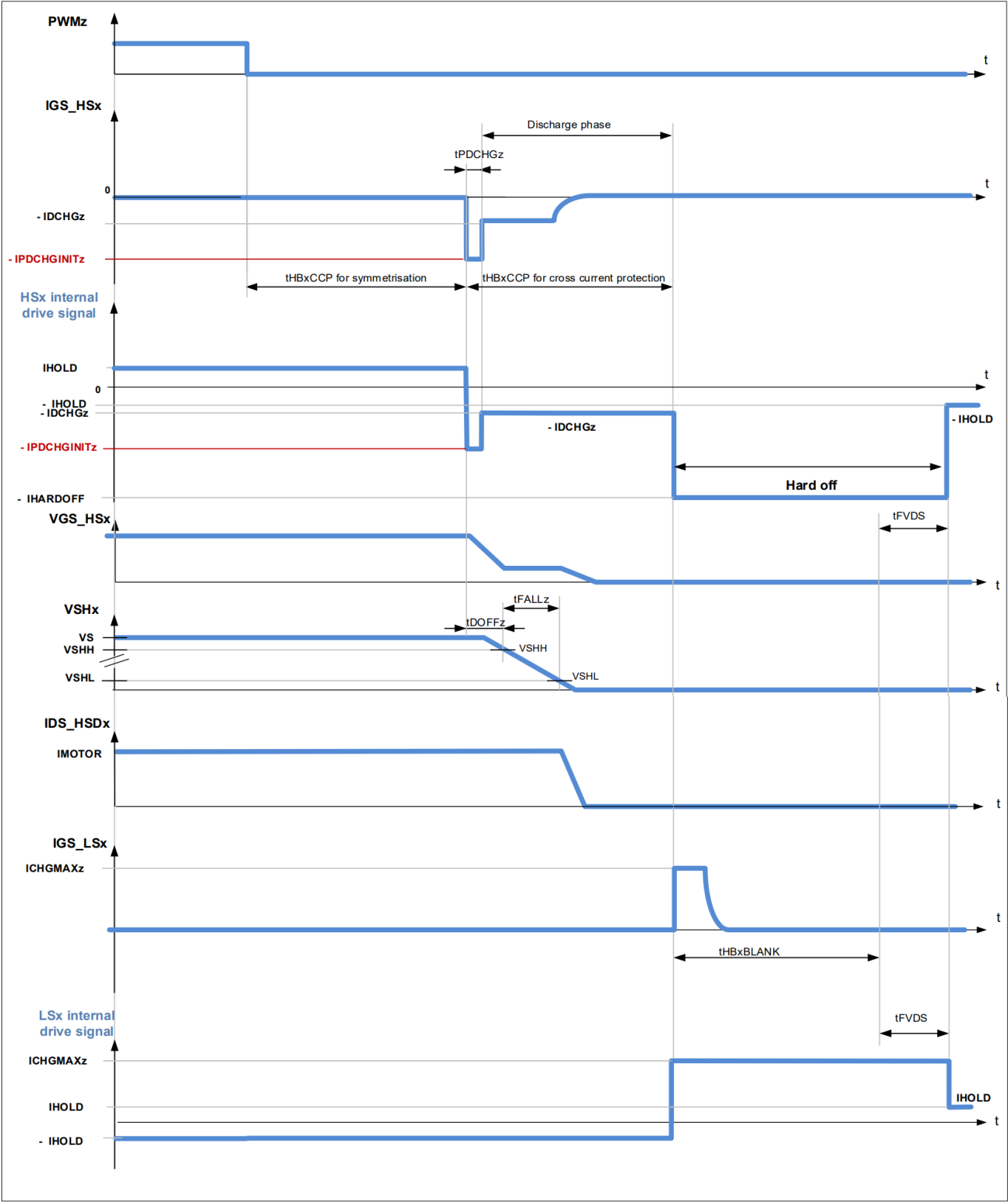


图 26 高边PWM模式 - 无可调门级控制的关断，AGC[1:0] = (0,1)

6.3.5 高电平和低电平占空比下的PWM模式

本节描述当电机作为负载或发电机工作时，主动和续流 MOSFET 的内部 PWM 信号。特别是在低电平和高占空比时，主动续流被禁用。

注：建议清除 **EN_GEN_CHECK** (**EN_GEN_CHECK** 至 0) 在非常高或非常低电平占空比下： $t_{ON} < t_{HBxCCP\ FW}$ 或 $t_{OFF} < t_{HBxCCP\ active}$ 。在这些条件下，无法正确检测发电机模式。因此，主动 MOSFET 和续流 MOSFET 的控制方案可能会反转。

注：该器件无法测量非常高或非常低电平占空比下的开关时间 t_{DON} 、 t_{DOFF} 、 t_{RISE} 和 t_{FALL} ： $t_{ON} < t_{HBxCCP\ FW}$ 或 $t_{OFF} < t_{HBxCCP\ active}$ 。

一般情况下，电机作为负载运行， $t_{ON} > t_{HBxCCP\ FW}$ 且 $t_{OFF} > t_{HBxCCP\ active}$

图27 电机带负载时PWM MOSFET和续流MOSFET的内部控制信号：

- t_{ON} 大于 续流 交叉电流保护时间 ($t_{HBxCCP\ FW}$)
- t_{OFF} 比主动交叉电流保护时间 ($t_{HBxCCP\ Active}$) 长

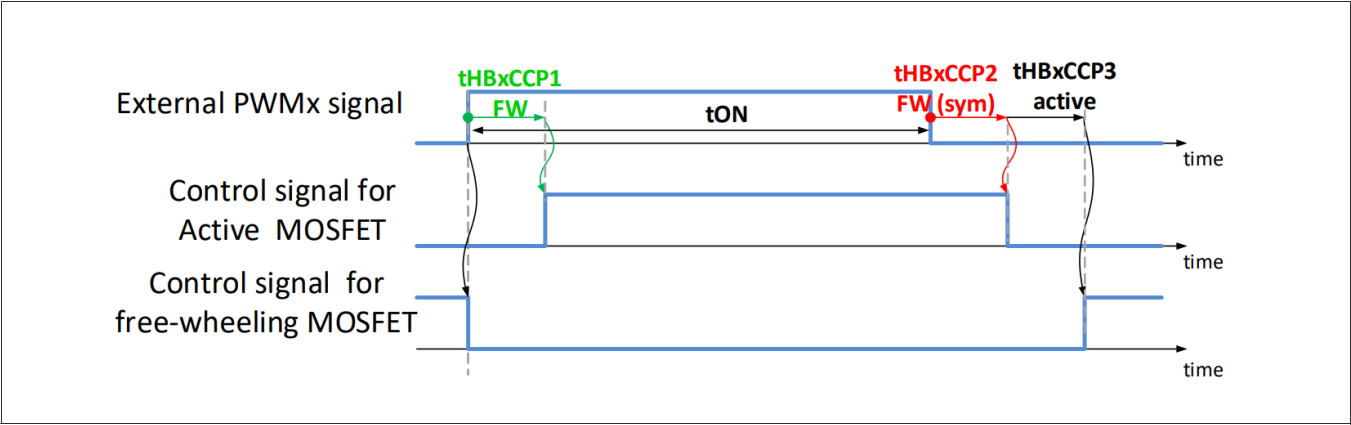


图 27 PWM 模式的内部信号 - 一般情况 $t_{ON} > t_{HBxCCP\ FW}$ ， $t_{OFF} > t_{HBxCCP}$ 有效，电机作为负载运行

一般情况，电机作为发电机运行， $t_{OFF} > t_{HBxCCP\ FW}$ 且 $t_{ON} > t_{HBxCCP}$ 有效

图28 显示电机作为发电机运行时PWM MOSFET 和续流MOSFET的内部控制信号：

- t_{OFF} 比 FW 交叉电流保护时间 ($t_{HBxCCP\ FW}$) 长
- t_{ON} 大于主动交叉电流保护时间 ($t_{HBxCCP\ Active}$)

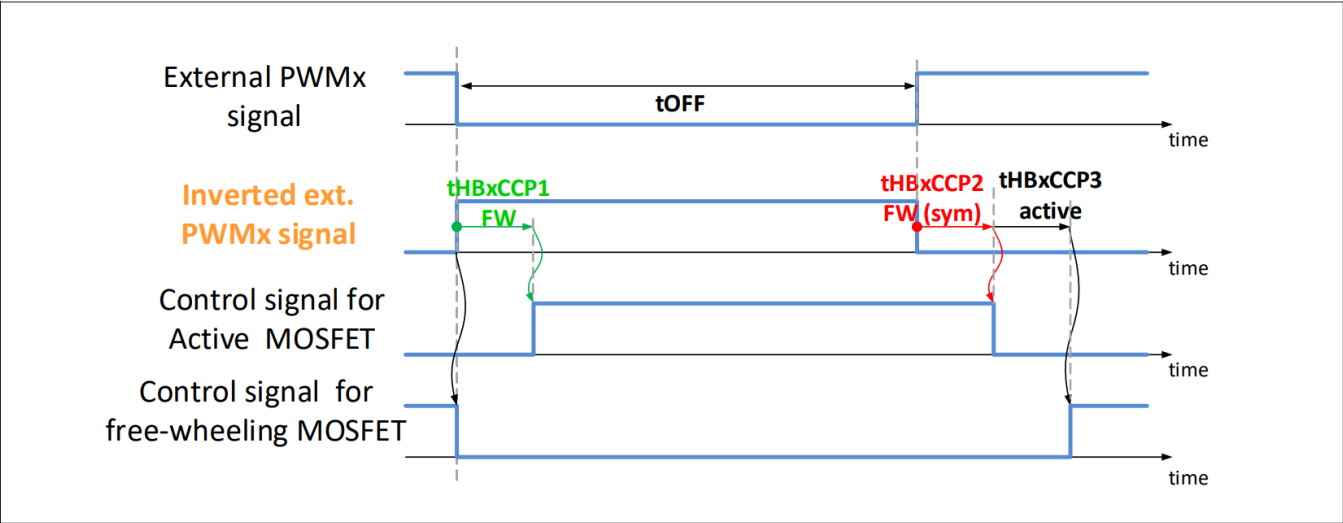


图 28 PWM操作的内部信号 - 一般情况: $t_{OFF} > t_{HBxCCP} FW$, $t_{ON} > t_{HBxCCP}$ 有效, 电机作为发电机运行

高占空比: $t_{OFF} < t_{HBxCCP\ active}$

当外部PWM信号的关断时间短于配置的主动交叉电流保护时间时，主动MOSFET和续流 MOSFET之间无法区分。因此，PWM MOSFET（由HBxMODE[1:0 PWM选择）被作为为主动MOSFET。换句话说，假定电机作为负载工作。PWM MOSFET的控制信号与外部PWM信号相比，偏移了一个续流交叉电流保护时间。与PWM MOSFET相对的MOSFET保持关断（被动续流）。参考图29。

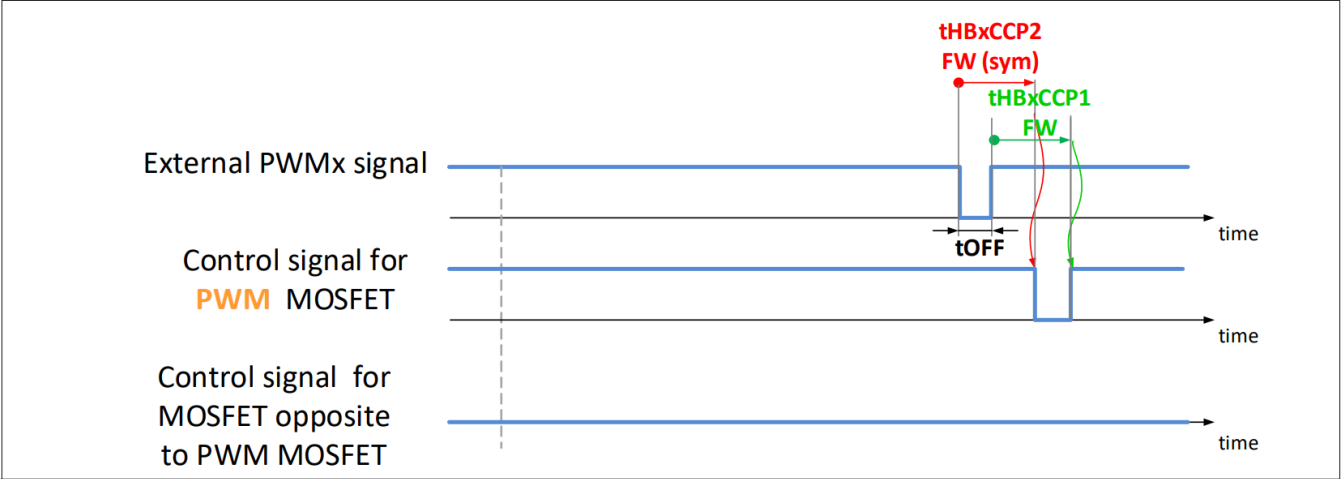


图 29 PWM工作在高占空比时的内部信号， $t_{OFF} < t_{HBxCCP\ active}$ 低电平占空比:

$t_{ON} < t_{HBxCCP\ FW}$

当外部PWM信号的导通时间短于配置的续流交叉电流保护时间时，主动MOSFET和续流 MOSFET之间无法区分。因此，PWM MOSFET（由HBxMODE[1:0]选择）被作为为主动MOSFET。换句话说，假设电机作为负载运行。PWM MOSFET的控制信号与外部PWM信号相比，偏移了一个交叉电流保护时间。参见图30。

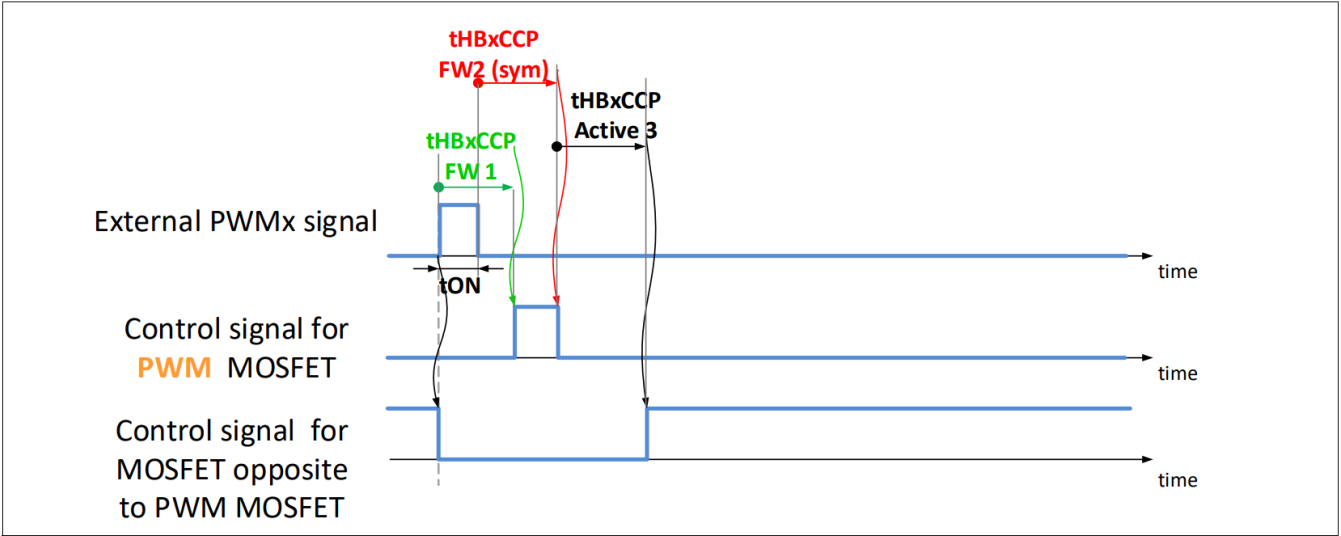


图 30 低占空比下PWM操作的内部信号， $t_{ON} < t_{HBxCCP\ FW}$

6.3.6 栅极驱动器电流

每个栅极驱动器都能够提供从 1.0 mA 到 100 mA 的电流，分为32个档位图 31 和图 32。

主动 MOSFET 和 续流 MOSFET 的充电和放电电流分别通过以下方式配置：

- **REG_BANK** 位 (**GENCTRL1**)
- 控制寄存器**PWM_ICHG_ACT**、**PWM_IDCHG_ACT**、**PWM_ICHG_FW**

主动 MOSFET 的充电电流由**PWM_ICHG_ACT** 配置 (**REG_BANK** = 0)

主动MOSFET的放电电流由**PWM_IDCHG_ACT** 配置 (**REG_BANK** = 0)

续流 MOSFET 的充电和放电电流由**PWM_ICHG_FW** 配置 (**REG_BANK** = 1)

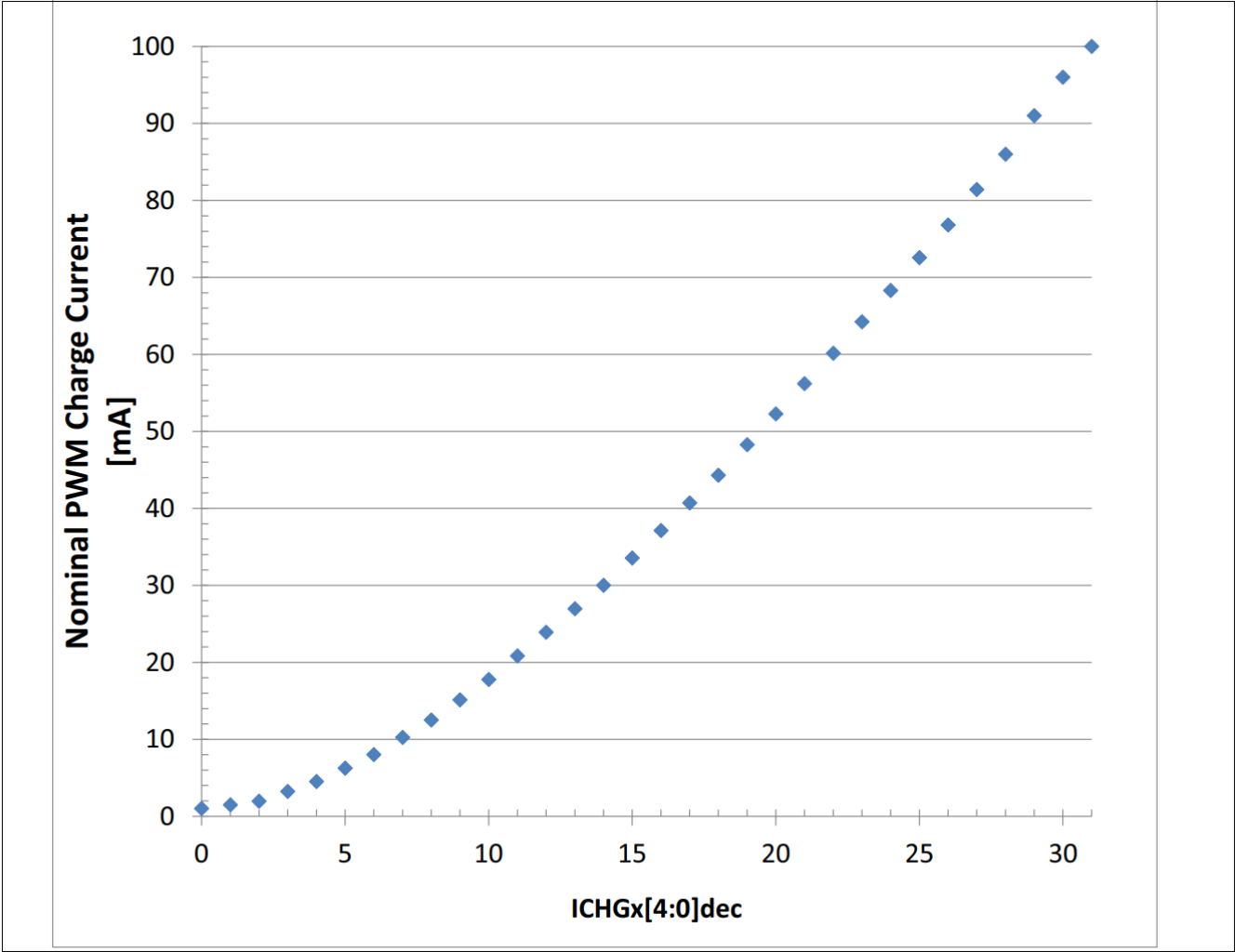


图 31 PWM 模式中的可配置充电电流

表 13 PWM 模式下的充电电流

ICHGx[4:0], ICHGxFW[4:0], IPCHGINITx[4:0]	Nom. charge current [mA] ¹⁾	Max. deviation to nominal values [%]
00000 _B	1.0	+/- 60 %
00001 _B	1.5	+/- 60 %
00010 _B	2.0	+/- 60 %
00011 _B	3.2	+/- 60 %
00100 _B	4.5	+/- 60 %
00101 _B	6.3	+/- 60 %
00110 _B	8.0	+/- 38 %
00111 _B	10.3	+/- 38 %
01000 _B	12.5	+/- 38 %
01001 _B	15.1	+/- 38 %
01010 _B	17.8	+/- 38 %
01011 _B	20.8	+/- 38 %
01100 _B	23.9	+/- 38 %
01101 _B	27.0	+/- 38 %
01110 _B	30.0	+/- 28 %
01111 _B	33.5	+/- 28 %
10000 _B	37.1	+/- 28 %
10001 _B	40.7	+/- 28 %
10010 _B	44.3	+/- 28 %
10011 _B	48.3	+/- 28 %
10100 _B	52.3	+/- 28 %
10101 _B	56.2	+/- 28 %
10110 _B	60.1	+/- 28 %
10111 _B	64.2	+/- 28 %
11000 _B	68.3	+/- 28 %
11001 _B	72.5	+/- 28 %
11010 _B	76.8	+/- 28 %
11011 _B	81.4	+/- 28 %
11100 _B	86.0	+/- 28 %
11101 _B	91.0	+/- 28 %
11110 _B	96.0	+/- 25 %
11111 _B	100	+/- 25 %

1) $V_S \geq 8V$ and $V_{GS} \leq V_{GS(ON)1}$ 若 $ICHGx/ICHGxFW \leq 14_D$, $V_S \geq 8V$ and $V_{GS} \leq V_{GS(ON)2}$ 若 $ICHGx/ICHGxFW \geq 15_D$

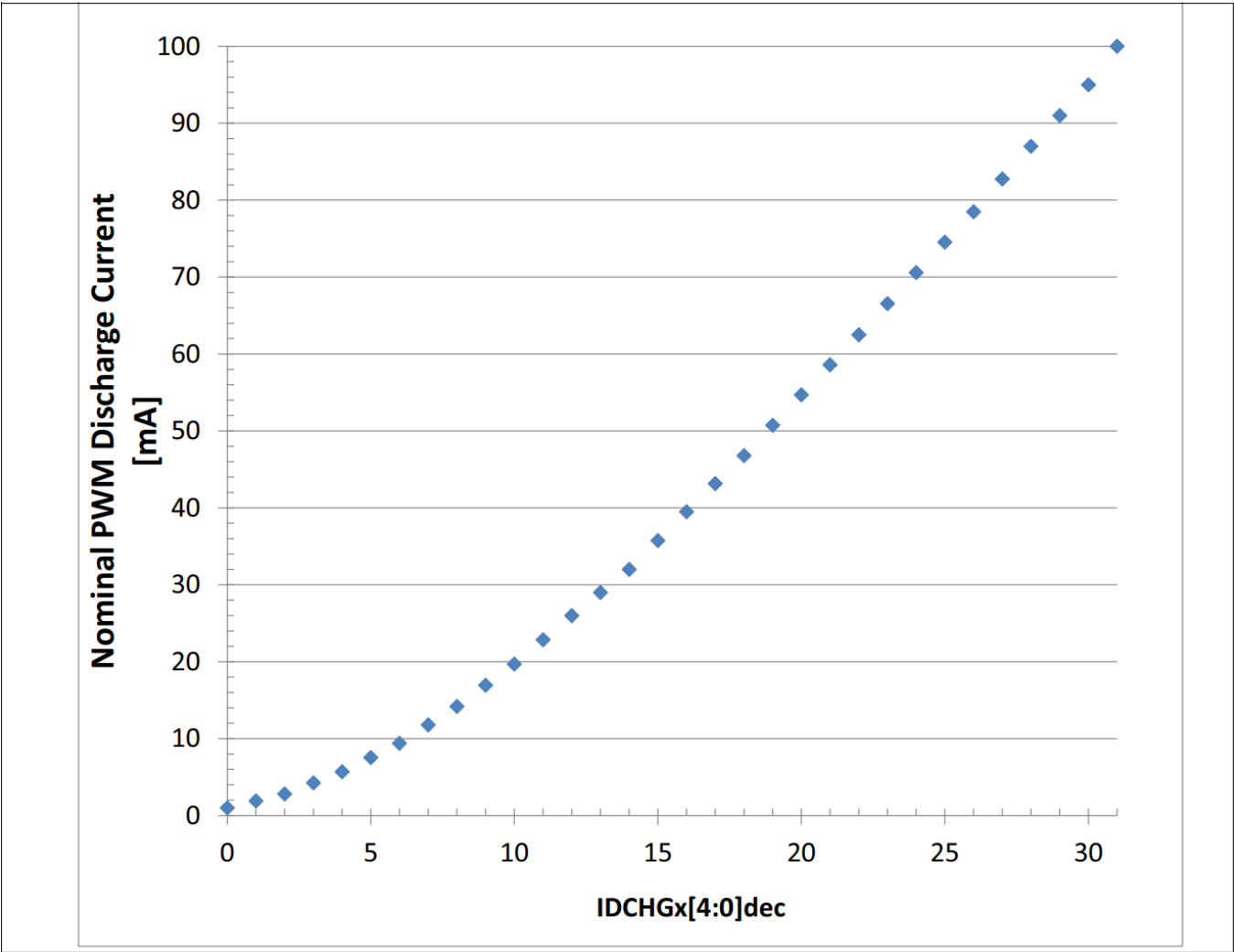


图 32 PWM 模式中的可配置放电电流

表 14 PWM 模式下的放电电流

IDCHGx[4:0], IDCHGxFW[4:0], IPDCHGINITx[4:0]	Nom. discharge current [mA] ¹⁾	Max. deviation to nominal values [%]
00000 _B	1.0	+/- 60 %
00001 _B	1.9	+/- 60 %
00010 _B	2.8	+/- 60 %
00011 _B	4.3	+/- 60 %
00100 _B	5.7	+/- 60 %
00101 _B	7.5	+/- 60 %
00110 _B	9.4	+/- 38 %
00111 _B	11.8	+/- 38 %
01000 _B	14.2	+/- 38 %
01001 _B	17.0	+/- 38 %
01010 _B	19.7	+/- 38 %
01011 _B	22.9	+/- 38 %
01100 _B	26.0	+/- 38 %
01101 _B	29.0	+/- 38 %
01110 _B	32.0	+/- 28 %
01111 _B	35.8	+/- 28 %
10000 _B	39.5	+/- 28 %
10001 _B	43.1	+/- 28 %
10010 _B	46.8	+/- 28 %
10011 _B	50.8	+/- 28 %
10100 _B	54.7	+/- 28 %
10101 _B	58.6	+/- 28 %
10110 _B	62.5	+/- 28 %
10111 _B	66.6	+/- 28 %
11000 _B	70.6	+/- 28 %
11001 _B	74.6	+/- 28 %
11010 _B	78.5	+/- 28 %
11011 _B	82.8	+/- 28 %
11100 _B	87.0	+/- 28 %
11101 _B	91.0	+/- 28 %
11110 _B	95.0	+/- 25 %
11111 _B	100	+/- 25 %

1) $V_{GS} \geq V_{GS(OFF)1}$ 若 $IDCHGx \leq 14_D$, $V_{GS} \geq V_{GS(OFF)2}$ 若 $IDCHGxFW \geq 15_D$

6.4 被动放电

GHx 与 GND 之间以及 GLx 与 GND 之间的电阻 (R_{GGND}) 可确保当 EN = 低电平或 $V_{DD} < V_{DDPOFFR}$ 时, 外部 MOSFET 处于关断状态。

正常模式下使用 **BD_PASS** 位复位 (**GENCTRL2**) 时, 若无故障导致栅极驱动器停用, 这些下拉电阻将被关闭。MOSFET 通过放电电流 I_{HOLD} 保持关闭状态。

在正常模式中, 如果发生故障导致栅极驱动器停用 (电荷泵欠压、 V_S 欠压和过压、热关断), 或者在故障安全模式下, R_{GGND} 将被激活, 与 **BD_PASS** 的设置无关。

栅极驱动器 掉电

在正常模式下通过将 **BD_PASS** 设置为 1 且所有 HBxMODE[1:0]=00 或 11, 栅极驱动器会被停用。 V_S 输入消耗电流降至 $I_{S_BD_PASS}$ 并且 R_{GGND} 被激活。

6.5 被动模式下的桥驱

当桥驱处于被动模式时, 可以控制低边 MOSFET LS1、LS2、LS3 和 LS4。所有其他 MOSFET 均因被动放电而关闭。

桥接器驱动器处于被动模式:

- 在正常模式下, 如果 **BD_PASS** = 1 且所有 HBxMODE[1:0]=00_B 或 11_B。
- 处于休眠模式 (EN = 低电平)。
- 如果 $V_{DD} < V_{DDPOFFR}$

当桥驱处于被动模式时, 低边 MOSFET LS1-LS4 的状态由下式配置: **PASS_MOD**.¹⁾

- 如果 PASS_MOD[1:0] = 00_B: LS1、LS2、LS3 和 LS4 关闭 (被动放电)。
- 如果 PASS_MOD[1:0] = 01_B: LS1、LS2、LS3 和 LS4 处于开启状态 (持续制动)。
- 如果 PASS_MOD[1:0] = 10_B: 如果 $V_S > V_{SOVPASSPOFF}$, 则 LS1、LS2、LS3 和 LS4 打开 (过压制动)。PWM3 引脚通过内部开漏 (R_{PWM3_OD}) 下拉。
- 如果 PASS_MOD[1:0] = 11_B: 如果 PWM1 = 高且 $V_S > V_{SOVPASSPOFF}$, 则 LS1、LS2、LS3 和 LS4 打开 (过压制动由 PWM1 控制)。PWM3 引脚由内部开漏 (R_{PWM3_OD}) 下拉。

LS1、LS2、LS3 和 LS4 MOSFET 输入电容器高达 10 nF, 在 $t_{ON_BD_PASS}$ 内导通。

根据睡眠模式下 **PASS_MOD** 对 LS1-LS4 设置, 或仅 $V_{DD} < V_{DDPOFFR}$ 且 V_S 高于 V_{SLEEP_SET} 时有效。如果 V_S 低于 V_{SLEEP_SET} , 则 LS1-LS4 的行为如同 **PASS_MOD** 一样 = 10_B, 即使在 V_S 恢复后仍保留后一个设置。静态电流相应改变。

1) 如果 **BD_PASS** = 0, PASS_MOD[1:0] 的设置仅在 EN = 0 或 $V_{DD} < V_{DDPOFFR}$ 时有效

6.6 栅极驱动器电气特性

与栅极驱动器相关的电气特性在 $V_{CP} > V_S + 8.5\text{ V}$ 时有效。

表 15 电气特性：栅极驱动器

如果 $V_{SOVTH} = 0$ ，则 $V_S = 6.0\text{ V}$ 至 18 V ；如果 $V_{SOVTH} = 1$ ，则 $V_S = 6.0\text{ V}$ 至 28 V ； $V_{DD} = 3.0\text{ V}$ 至 5.5 V ， $T_j = -40^\circ\text{C}$ 至 150°C

$V_{CP} > V_S + 8.5\text{ V}$ ，所有电压均相对于地。正向电流流入除 I_{GLX} 和 I_{GHX} 之外的引脚(除非另有规定)

Parameter	Symbol	Values			Unit	Note or Test Condition	Number
		Min.	Typ.	Max.			

比较器

SHx High Threshold	V_{SHH}	$V_S - 2.5$	–	$V_S - 2.0$	V		P_6.5.1
SHx Low Threshold	V_{SHL}	2	–	2.5	V	Referred to GND	P_6.5.2
SHx comparator delay	t_{SHx}	–	5	30	ns	1)	P_6.5.26

MOSFET驱动器输出

High Level Output Voltage GHx vs. SHx and GLx vs. SL, CPSTGA= 0	V_{GH1}	10	–	12.2	V	$V_S > 8\text{ V}$ $C_{Load} = 10\text{ nF}$ $I_{CP} = -12\text{ mA}^{(2)}$	P_6.5.3
High Level Output Voltage GHx vs. SHx and GLx vs. SL, CPSTGA= 0	V_{GH3}	7	–	–	V	$V_S > 6.0\text{ V}$ $C_{Load} = 10\text{ nF}$ $I_{CP} = -6\text{ mA}^{(2)}$	P_6.5.5
High Level Output Voltage GHx vs. SHx and GLx vs. SL, CPSTGA= 1	V_{GH4}	10	–	12.2	V	1) $V_S > 18\text{ V}$, $C_{Load} = 10\text{ nF}$ $I_{CP} = -12\text{ mA}^{(2)}$	P_6.5.6
Charge current	I_{CHG0}	0.4	1.0	1.6	mA	$I_{CHG} = 0_D$ $C_{Load} = 10\text{ nF}$ $V_{GS} \leq V_{GS(ON)1}$	P_6.5.30
Charge current	I_{CHG6}	5.0	8.0	11.0	mA	$I_{CHG} = 6_D$ $C_{Load} = 10\text{ nF}$ $V_{GS} \leq V_{GS(ON)1}$	P_6.5.31
Charge current	I_{CHG14}	21.6	30.0	38.4	mA	$I_{CHG} = 14_D$ $C_{Load} = 10\text{ nF}$ $V_{GS} \leq V_{GS(ON)1}$	P_6.5.33
Charge current	I_{CHG30}	72	96	120	mA	$I_{CHG} = 30_D$ $C_{Load} = 10\text{ nF}$ $V_{GS} \leq V_{GS(ON)2}$	P_6.5.35
Discharge current	I_{DCHG0}	-1.6	-1.0	-0.4	mA	$I_{DCHG} = 0_D$ $C_{Load} = 10\text{ nF}$ $V_{GS} \geq V_{GS(OFF)1}$	P_6.5.36
Discharge current	I_{DCHG6}	-13.0	-9.4	-5.8	mA	$I_{DCHG} = 6_D$ $C_{Load} = 10\text{ nF}$ $V_{GS} \geq V_{GS(OFF)1}$	P_6.5.37
Discharge current	I_{DCHG14}	-41.0	-32.0	-23.0	mA	$I_{DCHG} = 14_D$ $C_{Load} = 10\text{ nF}$ $V_{GS} \geq V_{GS(OFF)1}$	P_6.5.39

表 15 电气特性：栅极驱动器（续）

如果 $V_{SOVTH} = 0$ ，则 $V_S = 6.0\text{ V}$ 至 18 V ；如果 $V_{SOVTH} = 1$ ，则 $V_S = 6.0\text{ V}$ 至 28 V ； $V_{DD} = 3.0\text{ V}$ 至 5.5 V ， $T_j = -40^\circ\text{C}$ 至 150°C

$V_{CP} > V_S + 8.5\text{ V}$ ，所有电压均相对于地。正向电流流入除 I_{GLX} 和 I_{GHX} 之外的引脚（除非另有规定）

Parameter	Symbol	Values			Unit	Note or Test Condition	Number
		Min.	Typ.	Max.			
Discharge current	I_{DCHG30}	-119	-95	-71	mA	$IDCHG = 30_D$ $C_{Load} = 10\text{ nF}$ $V_{GS} \geq V_{GS(OFF)2}$	P_6.5.41
Passive discharge resistance between GHx/GLx and GND	R_{GGND}	10	20	30	k Ω	¹⁾	P_6.5.11
Resistor between SHx and GND	R_{SHGND}	10	20	30	k Ω	¹⁾	P_6.5.12
Low RDS(on) mode	R_{ONCCP}	–	22	40	Ω	$V_S = 13.5\text{ V}$ $V_{CP} = V_S + 14\text{ V}$ $I_{CHG} = I_{DCHG} = 31\text{ (max)}$	P_6.5.13

栅极驱动器动态参数

External MOSFET gate-to-source voltage - ON	$V_{GS(ON)1}$	9	–	–	V	¹⁾ $V_S \geq 8\text{ V}$ $ICHGX \leq 14_D$	P_6.5.50
External MOSFET gate-to-source voltage - ON	$V_{GS(ON)2}$	7	–	–	V	¹⁾ $V_S \geq 8\text{ V}$ $ICHGX \geq 15_D$	P_6.5.51
External MOSFET gate-to-source voltage - OFF	$V_{GS(OFF)1}$	–	–	2	V	¹⁾ $IDCHGX \leq 14_D$	P_6.5.52
External MOSFET gate-to-source voltage - OFF	$V_{GS(OFF)2}$	–	–	5	V	¹⁾ $IDCHGX \geq 15_D$	P_6.5.53
PWM synchronization delay	t_{PWM_SYNCH}	50	–	150	ns	¹⁾	P_6.5.46
Pre-charge time	t_{PCHG00}	100	125	150	ns	¹⁾ $TPCHG = 00_B$	P_6.5.18
Pre-charge time	t_{PCHG01}	200	250	300	ns	¹⁾ $TPCHG = 01_B$	P_6.5.19
Pre-charge time	t_{PCHG10}	400	500	600	ns	¹⁾ $TPCHG = 10_B$	P_6.5.20
Pre-charge time	t_{PCHG11}	800	1000	1200	ns	¹⁾ $TPCHG = 11_B$	P_6.5.21
Pre-discharge time	$t_{DPCHG00}$	100	125	150	ns	¹⁾ $TDPCHG = 00_B$	P_6.5.22
Pre-discharge time	$t_{DPCHG01}$	200	250	300	ns	¹⁾ $TDPCHG = 01_B$	P_6.5.23
Pre-discharge time	$t_{DPCHG01}$	400	500	600	ns	¹⁾ $TDPCHG = 10_B$	P_6.5.24
Pre-discharge time	$t_{DPCHG01}$	800	1000	1200	ns	¹⁾ $TDPCHG = 11_B$	P_6.5.25

1) 未经过生产测试，由设计指定。

2) $ICHGX[4:0] = 11111_B$ （典型值100 mA）

7 保护和诊断

7.1 反极性保护

电荷泵（CP 引脚）的输出可用于为外部 n 沟道 MOSFET 供电，从而建立主动反极性保护。参见图 50。

7.2 安全切换（可选）

电荷泵（CP 引脚）的输出可用于为可选的外部 n 沟道 MOSFET 供电，该 MOSFET 用作安全开关。例如，微控制器或安全逻辑可主动关闭安全开关，以断开 MOSFET 的供电，且此操作独立于 CLE92108-232QX。参考图 50。

7.3 主动模式下的桥驱源漏电压监控

当 $EN = \text{高}$ 且 $BD_PASS = 0$ （桥驱动器处于主动模式），电压比较器监测激活的 MOSFET，以保护高边 MOSFET 和低边 MOSFET 在导通状态期间分别防止对地和对电池短路。

如果检测到漏源过压，则相应的半桥被锁断。

如果 $HBxD = 0$ ， $x = 1..8$ （ $VDS1$ 和 $VDS2$ ）：如果 DH 和 $VSHx$ 之间的电压差超过由 $VDS1$ 和 $VDS2$ 配置的阈值电压，则半桥 x 被锁断（见 表 16）。

如果 $HBxD = 1$ ， $x = 1..8$ （见 $VDS1$ 和 $VDS2$ ）：如果 $CSIN1$ 和 $VSHx$ 之间的电压差超过由 $VDS1$ 和 $VDS2$ 配置的阈值电压，则半桥 x 被锁断（见 表 16）。

通过监测 $VSHx$ 和 SL 之间的电压差来检测低边 MOSFET 与 VS 的短路（见表 16）。

表 16 漏源过压阈值， $EN = \text{高}$ ， $BD_PASS = 0$

$HBxVDSTH^{1)}[2:0]$	Drain-Source overvoltage threshold for HSx and LSx ¹⁾ (typical)
000 _B	150 mV
001 _B	200 mV (default)
010 _B	250 mV
011 _B	300 mV
100 _B	400 mV
101 _B	500 mV
110 _B	600 mV
111 _B	2 V

1) $x = 1 \dots 8$ 。

注： $HBxVDSTH[2:0] = 111_B$ （2 V 阈值）专用于关闭状态下的诊断。强烈建议在完成关闭状态下的诊断程序后选择另一个漏源过压阈值，以避免 VS 和电荷泵产生额外消耗电流。

如果满足两个条件，器件将报告漏源过压错误：

- 在空白时间后
- 如果漏源电压监测超过配置阈值的持续时间长于配置的滤波时间（参见表17和GENCTRL2 TFDVS位）。

注：

- 在消隐时间结束之前发生短路，持续激活的MOSFET是例外情况，：MOSFET在消隐时间 + t_{FVDS} 和消隐时间 + $2 \times t_{FVDS}$ 之间关闭
- PWM模式中的主动MOSFET的例外情况：
 - 对于低边MOSFET：当LS MOSFET在PWM导通时间结束时关断时，如果漏源电压高于漏源过压阈值，则无论触发时间如何，都可能检测到漏源过压。然后将漏源过压报告给受影响半桥的低边。
 - 对于高边MOSFET：当HS在MOSFET PWM导通时间结束时关断时，如果漏源电压高于漏源过压阈值，则无论模拟时间如何，都可能检测到漏源过压。然后漏源过压被报告给受影响半桥的低边。

表 17 漏源过压滤波时间

TFDVS[1:0]	Drain-Source overvoltage filter time (typical)
00 _B	0.5 μ s (default)
01 _B	1 μ s
10 _B	2 μ s
11 _B	3 μ s

如果漏源电压监控检测到短路：

- 受影响的半桥被锁定。
 - 放电电流根据ST_ICHG的设置而定，就好像MOSFET之前被持续激活一样。
- 状态寄存器DSOV中对应位置位。
- 全局状态寄存器中VDSE全局状态字节置位。

如果检测到其中一个MOSFET存在漏源过压，则状态寄存器DSOV必须清除才能重新启用故障半桥。

7.4 被动模式下的桥驱漏源电压监控

当桥驱动器处于被动模式时，LS1至LS4可以被激活（参见章节6.5）。

如果PASS_VDS置位则启用LS1、LS2、LS3和LS4 MOSFET的漏源过压监控。

对于 $t_{BLK_BD_PASS}$ （空白时间），在LS1、LS2、LS3和LS4 MOSFET开始激活之后，漏源监控（VSHx - VSL，x = 1至4）被忽略。

漏源监控滤波时间为 $t_{DSMON_FILT_BD_PASS}$ VDS阈值为 $V_{DSMON_BD_PASS}$ （典型值370毫伏）。

如果检测到漏源过压，则：

- LS1、LS2、LS3 和 LS4 MOSFET 被关闭。
- **PASS_VDSOV** 以及 **DSOV** 中对应的状态位是置位。

LS1-4 可以通过清除 **DSOV** 重新激活。清除 **DSOV** 也清除了 **PASS_VDSOV**。

7.5 交叉电流保护和漏源过压空白时间

所有门级驱动器都具有交叉电流保护时间和漏源过压空白时间。

交叉电流保护避免同一半桥的高边和低边 MOSFET 直通。

在空白时间内，漏源过压检测被禁用，以避免在 MOSFET 激活期间发生错误的故障检测。

注：

1. 仅当所有 $PWMx_EN$ 位均已复位 ($x = 1 \dots 3$) 时，跨流保护和消隐时间的设置才可以通过微控制器更改。
2. 更改半桥 x (HBx) 导通状态 ($HBxMODE[1:0] = (0,1)$ 或 $(1,0)$) 的漏源过压可能会导致 HBx 上的 VDS 过压检测错误。因此强烈建议在 $HBxMODE[1:0] = (0,0)$ 或 $(1,1)$ 时更改此阈值。

7.5.1 交叉电流保护

通过控制寄存器 **CCP_BLK1**，可以将四对交叉电流保护和消隐时间 (t_{CCPx} , t_{BLANKx})， $x = 1 \dots 4$) 映射到每个半桥。

主动 MOSFET 和续流 MOSFET 的交叉电流保护时间是独立设置的。

- 主动 MOSFET 的交叉电流保护时间由控制位 $TCCPx_ACT$ (**CCP_BLK2_ACT**、**PWM_ICHGMAX_CCP_BLK3_ACT**) 和 **CCP_BLK1** 配置
- 续流 MOSFET 的交叉电流保护时间由控制位 $TCCPx_FW$ (**CCP_BLK2_FW**、**PWM_ICHGMAX_CCP_BLK3_FW**) 和 **CCP_BLK1** 配置

表18 交叉电流保护时间

$TCCPx_ACT[2:0]$, $TCCPx_FW[2:0], x = 1 \dots 4$	Cross-current protection time t_{CCPx_ACT}/t_{CCPx_FW} , $x = 1 \dots 4$ (typical)
000 _B	375 ns
001 _B	625 ns
010 _B	1 μ s
011 _B	1.5 μ s
100 _B	2 μ s (default)
101 _B	3 μ s
110 _B	4 μ s
111 _B	16 μ s ¹⁾

1) 当对半桥施加 16 μ s 的交叉电流保护时间时，最大值。用于该半桥的驱动电流必须设置在 30 mA 以下，以避免桥驱动器过热。

7.5.2 漏源过压 桥驱动器激活模式下的空白时间

可配置空白时间（参见表 19）漏源监控应用于MOSFET的导通时。在空白时间内，漏源过压错误被屏蔽。

续流 MOSFET 和主动MOSFET的消隐时间独立设置：

- 主动 MOSFET 的消隐时间由控制位 TBLANKx_ACT (CCP_BLK2_ACT、PWM_ICHGMAX_CCP_BLK3_ACT) 和 CCP_BLK1
- 续流 MOSFET 的消隐时间由控制位 TBLANKx_FW (CCP_BLK2_FW、PWM_ICHGMAX_CCP_BLK3_FW) 和 CCP_BLK1 配置

PWM 模式下的半桥

如果发电机模式检测被禁用 ($EN_GEN_CHECK = 0$):

- PWM MOSFET的消隐时间从 FW MOSFET的交叉电流保护时间 ($t_{HBxCCP\ FW}$) 结束时开始。参见图 33。
- PWM MOSFET关闭 ($t_{HBxCCP\ Active}$) 时，交叉电流保护时间结束后，FW MOSFET的消隐时间开始。参见图 33。

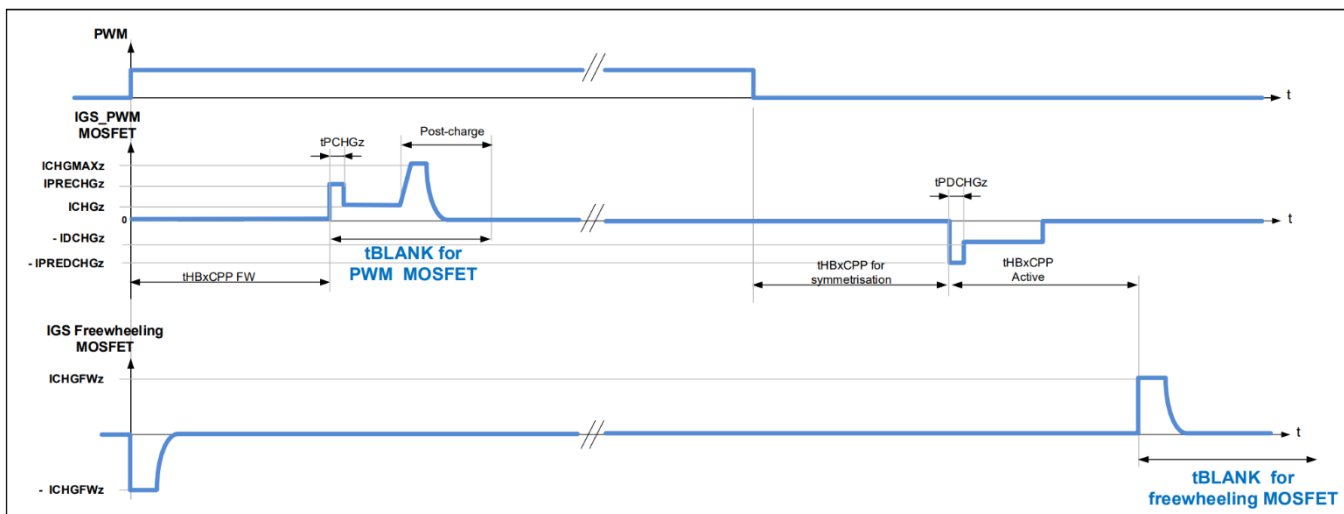


图 33 PWM模式中半桥的空白时间，禁用发电机模式检测 ($EN_GEN_CHECK = 0$)

如果检测到发电机模式是启用的 ($EN_GEN_CHECK = 1$):

- 主动MOSFET的消隐时间从正向MOSFET的交叉电流保护时间 ($t_{HBxCCP\ FW}$) 结束后开始。参见图34和图35。
- 主动MOSFET的消隐时间在主动MOSFET关闭时的交叉电流保护时间结束后开始 ($t_{HBxCCP\ Active}$)。参见图34和图35。

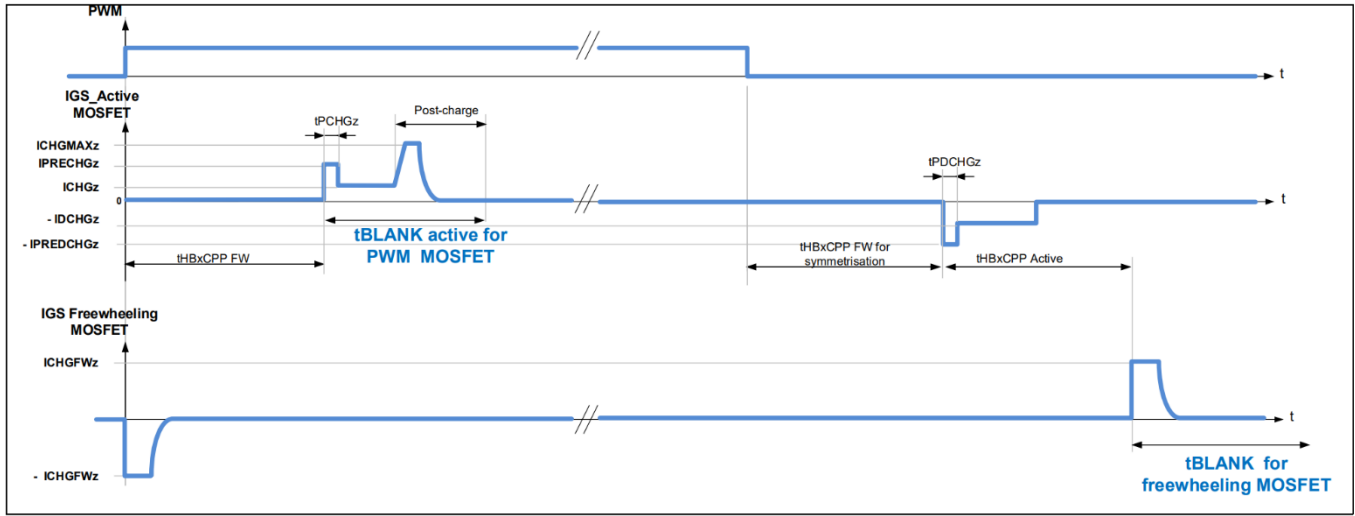


图 34 PWM模式中半桥的空白时间，检测发电机模式启用的 (EN_GEN_CHECK = 1)，电机作为负载运行

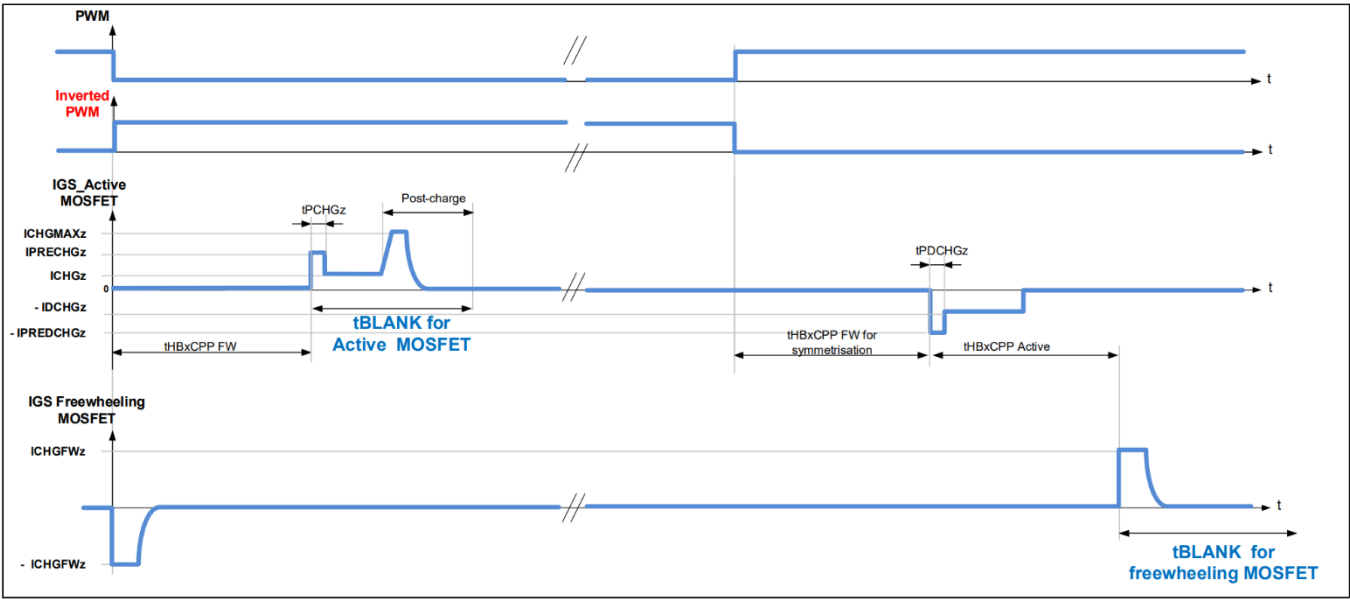


图 35 PWM模式中半桥的空白时间，检测发电机模式启用的 (EN_GEN_CHECK = 1)，电机作为发电机运行

对于持续激活的半桥，空白时间开始于：

- 情况 1：主动交叉电流保护结束时（图 7），如果对侧的 MOSFET 之前已被激活。
- 情况 2：SPI 指令解码后立即导通 MOSFET，如果半桥处于高阻态（图 8）。

可以使用控制寄存器 **CCP_BLK2_ACT** 配置空白时间和 **PWM_ICHGMAX_CCP_BLK3_ACT** 用于主动 MOSFET 和 **CCP_BLK2_FW** 和 **PWM_ICHGMAX_CCP_BLK3_FW** 用于续流 MOSFET。

表 19 漏源过压空白时间

TBLANKx[2:0], x = 1...4	Drain-Source overvoltage blank time tBLANKx, x = 1...4 (typical)
000 _B	625 ns
001 _B	1 μ s
010 _B	1.25 μ s
011 _B	1.5 μ s
100 _B	2 μ s (default)
101 _B	3 μ s
110 _B	4 μ s
111 _B	16 μ s ¹⁾

1) 当对半桥施加 16 μ s 的空白时间时，最大值。用于该半桥的驱动电流必须设置在 30 mA 以下，以避免桥驱动器过热。

注释：空白时间在MOSFET的每次激活时计时，包括从VS 欠压、VS 过压恢复。

7.5.3 交叉电流保护和空白时间的映射

一对交叉电流保护和消隐时间被映射到每个半桥，根据表 20、通过配置控制注册CCP_BLK1。

表 20 tCCP 和 tBLANK 到半桥的映射

HBxCCPBLK[1:0], x = 1..8	tCCP and tBLANK applied to HBx
00 _B	(tCCP1,tBLANK1) are mapped to HBx ¹⁾
01 _B	(tCCP2,tBLANK2) are mapped to HBx
10 _B	(tCCP3,tBLANK3) are mapped to HBx
11 _B	(tCCP4,tBLANK4) are mapped to HBx

1) 例如：(tHBxCCP, tHBxBLANK) = (tCCP1, tBLANK1), x = 1 ... 4。

7.6 断电状态诊断

为了支持断态诊断，当驱动器处于激活状态时MOSFET (BD_PASS 驱动器= 0)。每个 MOSFET 的门级驱动器在 SHx 引脚上提供上拉（450 μ A 典型值）和下拉电流（1250 μ A 典型值）。在这些条件下，上拉电流源是活跃的。

注意：只有当门级驱动器有效 (BD_PASS = 0) 并且相应的半桥关闭 (HBxMODE = 00b 或 11b) 时，才可以进行断态诊断。

每个门级驱动器的下拉电流由控制位 HBxIDIAG (HBIDIAG 激活)。

在微处理器执行断态诊断程序期间，相关半桥的漏源过压阈值必须设置为 2 V 标称。参见表 16。例程完成后，强烈建议将漏源过压阈值降低至较低值，以避免 VS 输入产生额外的消耗电流。

可以检测到以下故障：

- MOSFET对地短路。
- MOSFET对电池短路。
- 负载开路（断开的电机）。

输出电压 V_{OUTx} 的状态 ($x = 1 \dots 8$) 可以通过状态位 $HBxVOUT$ （寄存器当相应的半桥处于关断状态 ($HBxMODE[1:0] = 00$ 或 11) 时，会出现 **HBVOUT_PWMERR**。

注释： 如果半桥 x 未处于关闭状态 ($HBxMODE[1:0] = (0,1)$ 或 $(1,0)$)，则 $HBxVOUT = 0$ 。

请参阅 [第 10 章的应用信息](#) 当检流电阻位于电机相中时，用于断态诊断。

7.7 温度监测

温度传感器集成在器件中。温度监控电路将测量的温度与关断阈值进行比较。

温度警告

如果温度传感器达到 T_{jw} ，则**TW**置位（参见**GENSTAT**）。该位被锁存，并通过清除**GENSTAT**来复位。如果热警告条件消失。输出阶段仍然保持激活状态。参考图36。

温度关断

如果温度传感器达到 T_{jSD} ，则**所有感应驱动器都被锁定，电荷泵被停用**；**SUPE**位（供应故障位，参见**全局状态字节**），**TSD**（热关断位）和**CPUV**（电荷泵欠压）置位（参见**GENSTAT**）。所有输出保持停用状态，直到温度关断条件消失并且**GENSTAT**已清除。参见图36。

放电电流根据**ST_ICHG**的设置而定，就好像 MOSFET 之前被持续激活一样。

为了恢复感应驱动器的正常功能（在过温条件消失的情况下，或验证故障是否仍然存在），响应应清零，复位**GENSTAT**。

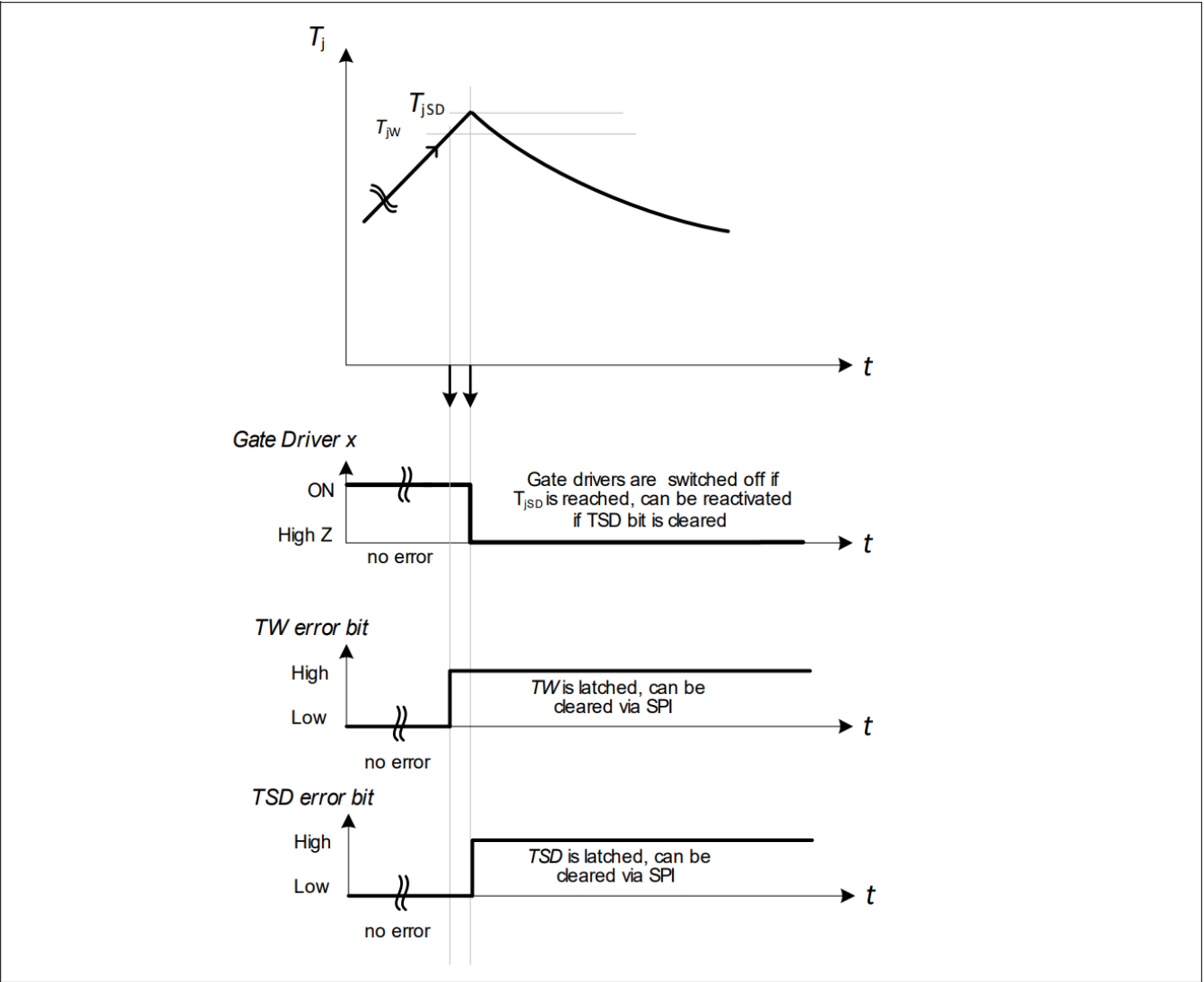


图 36 过温行为

7.8 V_S 过压和欠压关断

电源轨 V_S 和 V_{DD} 均受到监控，以防电源波动。 V_S 电源会受到欠压和过压情况的监控，而 V_{DD} 电源则会受到欠压情况的监控。

7.8.1 V_S 欠压

如果 V_S 降至 $V_{SUV\ OFF}$ 以下，则所有外部 MOSFET 均被锁断，不过，只要 $V_{DD} > V_{DD\ POR}$ ，逻辑信息就会保持完整且不会被破坏。

SUPE（供应故障位，请参阅 [全局 地位](#) 字节），**VSUV** 和 **CPUV** 位（参见 [GENSTAT](#)）被置位并被锁存。通过清除**GENSTAT**中的**VSUV**位来复位 重新启用 MOSFET。

如果满足以下条件，**VSUV** 复位：

- $V_S > V_{SUV\ ON}$ （[见图 37](#)）。
- CLE92108-232QX 接收到 [GENSTAT](#) 的清零，复位指令。

7.8.2 V_S 过压与主动模式下的桥驱动器

如果 V_S 上升到关断电压以上（如果 $V_{SOVTH} = 0$ ，则为 $V_{SOV\ OFF1}$ ；如果 $V_{SOVTH} = 1$ ，则为 $V_{SOV\ OFF2}$ ），则所有外部 MOSFET 都会被锁断，并且电荷泵将被停用。SUPE 位（参见 [全局状态字节](#)），**VSOV**（ V_S 过压位，参见 [GENSTAT](#)），CPUV 位被置位并锁存。如果 V_S 降至 $V_{SOV\ ON}$ 以下，则电荷泵自动重新激活。**VSOV** 位必须复位才能重新启用 MOSFET。

如果满足以下条件，**VSOV** 复位：

- $V_S < V_{SOV\ ON}$ （[见图 37](#)）。
- CLE92108-232QX 接收到 [GENSTAT](#) 的清零，复位指令。

放电电流根据**ST_ICHG**的设置而定，就好像 MOSFET 之前被持续激活一样。

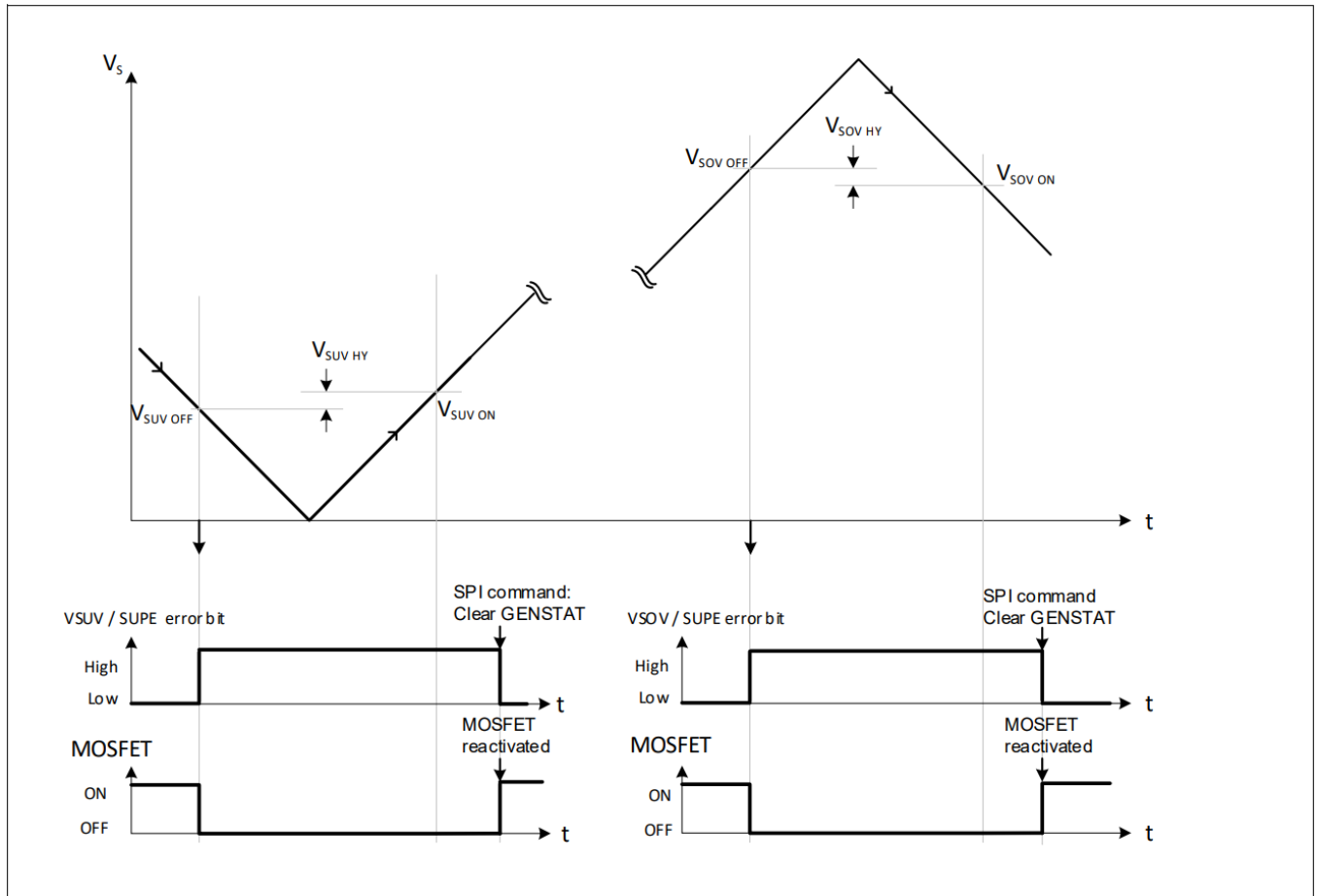


图 37 V_S 过压和欠压条件下的输出行为

7.8.3 V_S 过压与被动模式下的桥驱动器

当桥驱动器处于被动模式时（参见[章节 6.5](#)）:

- 如果 $PASS_MOD[1:0] = 10_B$: 如果 $V_S > V_{SOV PASS OFF}$ (过压制动) 则 LS1、LS2、LS3 和 LS4 打开。PWM3 引脚通过内部开漏 (R_{PWM3_OD}) 下拉。
- 如果 $PASS_MOD[1:0] = 11_B$: 如果 $V_S > V_{SOV PASS OFF}$ (过压制动以 PWM1 为条件), 则 LS1、LS2、LS3 和 LS4 打开且 PWM1 = 高。PWM3 引脚由内部开漏 (R_{PWM3_OD}) 下拉。

7.8.4 V_{DD} 欠压

如果 V_{DD} 逻辑电源降至低于欠压阈值 $V_{DD POFFR}$, 则 SPI 接口将不再起作用。数字功能块将被复位, 并且门级驱动器被关闭。一旦 V_{DD} 电压高于欠压阈值 $V_{DD POR}$, 欠压故障位复位。

7.8.5 电荷泵欠压

监控电荷泵输出 (VCP) 的电压, 以确保正确控制外部 MOSFET。

如果 VCP 低于配置的电荷泵欠压阈值:

- 外部 MOSFET 通过电流 $ICHGSTx$ 主动放电持续时间为 t_{HBxCCP} , 然后栅极驱动器关闭。

- **CPUV** (**GENSTAT**), **SUPE** 位 (**全局状态字节**) 和全局错误标志 (**章节 8.2**) 置位并锁定。

如果**CPUV** 和 **SUPE** 位被复位, **GENSTAT** 被清除, 并且 $V_{CP} > V_{CPUV}$, 则恢复正常运行。¹⁾

注:

1. 上电复位后, 当连接到**VCP** 的电容器的充电时间超过**t_{CPUV}**时, 会报告电荷泵欠压事件。
2. 在一次**VS** 欠压、一次**VS** 过压和一次热关断后, 电荷泵被停用, 导致电荷泵欠压。因此**CPUV** 和 **SUPE** 位与**VSOV**、**VSUV** 同时置位或**TSD** 位 (参见**GENSTAT**)。

7.9 PWM模式下MOSFET的开关参数

有源 MOSFET 的有效开关参数 (**EN_GEN_CHECK** = 1) 或 PWM MOSFET (**EN_GEN_CHECK** = 0) 可以读取专用状态寄存器:

- 导通和关断延迟, 记为 **tDON** 和 **tDOFF**, 由状态寄存器报告**EFF_TDON_OFF1**, **EFF_TDON_OFF2**, **EFF_TDON_OFF3**。
- 上升和下降时间 (记为 **tRISE** 和 **tFALL**) 由状态寄存器**TRISE_FALL1**、**TRISE_FALL2**、**TRISE_FALL3**报告。

参考**章节 6.3** **tDON**、**tDOFF**、**tRISE** 和 **tFALL** 的定义。

如果在 发电机 模式下, **tHBxBLANK active** 已经过去, 则在测量有效 **tDON** 之前, 器件会报告与 **tHBxBLANK active** 对应的有效 **tDON**。

如果 **tHBxCCP** 激活时间已过, 同时**EN_GEN_CHECK** = 0²⁾在测量有效 **tDOFF** 之前, 器件报告与 **tHBxCCP active** 对应的有效 **tDOFF**。

7.10 看门狗监控

集成的超时看门狗监测与通讯的完整性监测。看门狗周期可由**WDPER**位 设置 (参考**GENCTRL1**)。上电复位后, 看门狗定时器启动, 并且必须与**WDTRIG** 的逻辑值反相控制寄存器位**GENCTRL1**。**WDTRIG** 的默认值为 0。看门狗正确触发会立即重置看门狗计数并开始下一个循环。

如果出现以下情况, 器件会报告看门狗故障:

- 看门狗触发位在看门狗周期内未得到反转 (看门狗超时事件)。参阅**图 38**³⁾。
- 微处理器写入相同的值进入**WDTRIG**。换句话说, 如果**WDTRIG** 值为 0 且微处理器重写**WDTRIG** 为 0, 或**WDTRIG** 为 1, 则处理器重写**WDTRIG** 为 1, 则报看门狗错误。

1) 从 **VS** 欠压/过压和热关断恢复时, **CPUV** 位只能在 64 μ s 后清除

2) 如果**EN_GEN_CHECK** = 1 并且 **tDOFF** 在 **tHBxCCP** 结束之前无法测量, 则器件认为电机操作为发电机

3) 当 **WD** 周期配置为 50 ms 时, **WDMON[1:0]** (**GENSTAT**) 在 **WD** 超时后不会复位

如果检测到看门狗故障，则 FS 位（参见全局状态字节）将被置位并被锁定，并且控制寄存器将被冻结为其默认值。因此，所有外部 MOSFET 均被主动关闭。

为了恢复正常工作，必须：1. 清零，复位 **GENSTAT**。2. 置位 **WDTRIG** 在看门狗周期内变为 1，3. 置位 **WDTRIG** 在看门狗周期内变为 0¹⁾。

看门狗周期可通过 SPI 配置到 **T_{WDPER1}** 或 **T_{WDPER2}**（请参阅 **WDPER**）。

监控看门狗定时器

状态位 **WDMON** [1:0] 报告看门狗定时器与看门狗周期的相对位置。参见表 21 和图 38。这允许检测与看门狗计时器相关的潜在故障：该端口可以验证看门狗计时器正在运行。

表 21 看门狗定时器的监控

WDMON[1:0]	Position of the watchdog timer
00 _B	watchdog timer is between [0%, 25%[of the watchdog period
01 _B	watchdog timer is between [25%, 50%[of the watchdog period
10 _B	watchdog timer is between [50%, 75%[of the watchdog period
11 _B	watchdog timer is between [75%, 100%[of the watchdog period

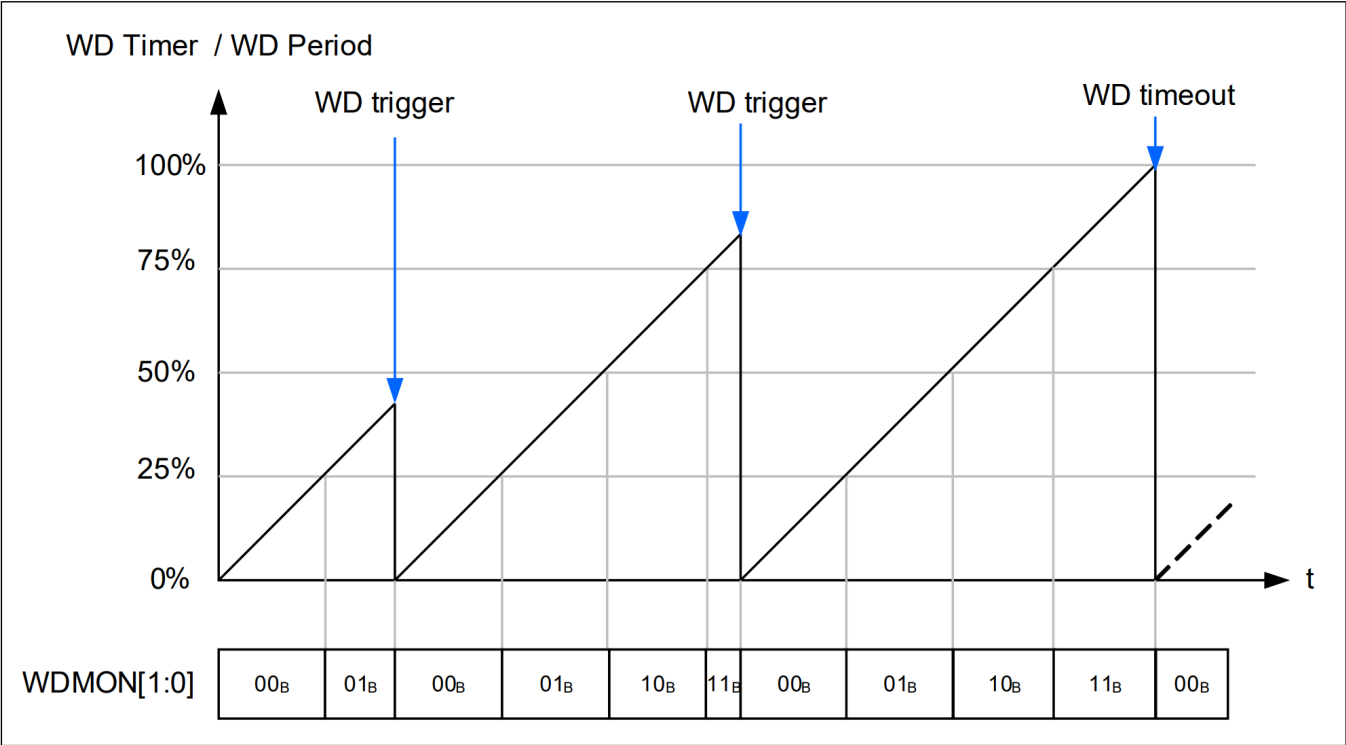


图 38 看门狗监控和看门狗超时示例

1) 必须严格遵循退出顺序才能离开故障安全模式。如果添加了不属于该序列的 SPI 帧（包括 读取命令），则器件保持故障安全模式，并且读取必须重新启动整个时序才能进入正常模式。

禁用看门狗

默认情况下，看门狗是启用的。

仅当发送以下 SPI 序列时才会禁用它：

- 第一帧：设置 **UNLOCK** 位为“1”(**GENCTRL1**)。注释：UNLOCK 在下一帧结束时自动复位为“0”。
- 下一帧：设置 **WDDIS** 位为“1” (**GENCTRL2**) 。

通过将 WDDIS 设置为“0”，可以直接重新启用看门狗。

7.11 电流检测放大器

两个电流检测放大器可以监测电机电流。差分输入测量外部采样电阻的压降。

输入共模范围允许在高边、低边配置或电机相中进行电流监测。

7.11.1 单向和双向模式

电流检测放大器 (CSA) 可以用作单向或双向 CSA。参见 **CSD1** 和 **CSD2**。

单向操作 **CSDx = 0**

在单向操作中，CSAx (x = 1 或 2) 经过优化，用于在 $VCSIPx \geq VCSINx$ 时测量流过外部采样电阻的电流。

$VCSOx = V_{REF\ Unidir} + (VCSIPx - VCSINx + V_{os}) \times G_{DIFF}$ ，前提是 $VCSOx$ 在线性范围^{1) 2)}内。

双向操作 **CSDx = 1**

在双向操作中，CSAx (x = 1 或 2) 测量两个方向上流过外部采样电阻的电流： $VCSIPx \geq VCSINx$ 或 $VCSIPx \leq VCSINx$ 。

输出 CSOx 工作在半量程范围： $VCSOx = V_{REF\ Bidir} + (VCSIPx - VCSINx + V_{os}) \times G_{DIFF}$ (前提是 $VCSOx$ 在线性范围内²⁾)。

当电流检测放大器停用时 (VS 欠压、VS 过压、CP 欠压或过温，或 $CSAx_OFF = 1$)，CSOx 被拉低电平 (接地至 150 mV 之间)

7.11.2 增益配置

电流检测放大器的增益可通过配置位 CSAGx 位进行配置。参见 **表 22** 和 **GENCTRL1**。

表 22 电流检测放大器增益的配置

CSAGx[1:0]	Typical current sense amplifier gain G_{DIFF}
00 _B	10 V/V
01 _B	20 V/V

1) 当 $0.5\text{ V} \leq VCSOx \leq VDD - 0.5\text{ V}$ 时有效。

2) $VCSOx$ 钳位在 VDD 和接地点之间。

表 22 电流检测放大器增益的配置

CSAGx[1:0]	Typical current sense amplifier gain G_{DIFF}
10 _B	40 V/V
11 _B	80 V/V

7.11.3 高边和低边设置

在指定的共模范围内，CSA既可以用于高边配置，也可以用于低边配置。

控制位 CSA1L 和 CSA2L (HBIDIAG) 通过通知器件有关CSA输入的共模电压来优化 VDD 消耗电流：

- 如果采样电阻处于低边配置（即 连接到接地点或连接到激活的低边的输出）。
- 如果采样电阻处于高边配置（即连接到 VS 或连接到激活的高边输出），则 CSAxL 必须设置为 1。

注：

1. 如果采样电阻处于高边配置，而其 CSAxL 位置位为 0，则无法确保 CSA 输出的正确信息。
2. 采样电阻可能处于低边配置，而其 CSAxL 位设置为 1。此时，来自 VDD 的消耗电流高于 CSAxL 设置为 0 时的消耗电流。

7.11.4 过流检测

CSOx 上的比较器检测过流情况。过流阈值可通过 OCTHx 位进行配置。参见表 23 用于单向操作和表 24 可进行双向操作。

表 23 单向模式时的过流检测阈值 (CSDx = 0)

OCTHx[1:0]	Typical Overcurrent Detection Threshold
00 _B	$V_{CSOx} > V_{DD/2}$
01 _B	$V_{CSOx} > V_{DD/2} + V_{DD}/10$
10 _B	$V_{CSOx} > V_{DD/2} + 2 \times V_{DD}/10$
11 _B	$V_{CSOx} > V_{DD/2} + 3 \times V_{DD}/10$

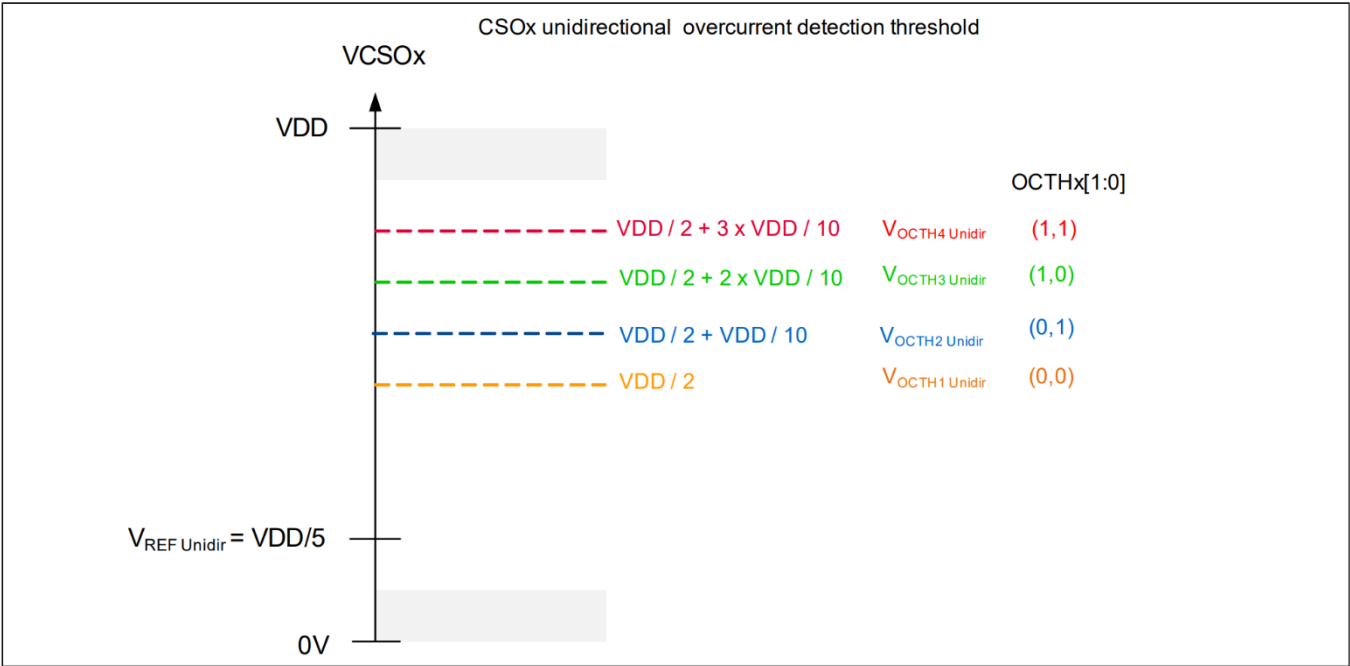


图 39 单向模式下的过流检测阈值（CSDx = 0）

表 24 双向模式中的过流检测阈值 (CSDx = 1)

OCTHx[1:0]	Typical Overcurrent Detection Threshold
00 _B	$V_{CSOx} > V_{DD}/2 + 2 \times V_{DD}/20$ or $V_{CSOx} < V_{DD}/2 - 2 \times V_{DD}/20$
01 _B	$V_{CSOx} > V_{DD}/2 + 4 \times V_{DD}/20$ or $V_{CSOx} < V_{DD}/2 - 4 \times V_{DD}/20$
10 _B	$V_{CSOx} > V_{DD}/2 + 5 \times V_{DD}/20$ or $V_{CSOx} < V_{DD}/2 - 5 \times V_{DD}/20$
11 _B	$V_{CSOx} > V_{DD}/2 + 6 \times V_{DD}/20$ or $V_{CSOx} < V_{DD}/2 - 6 \times V_{DD}/20$

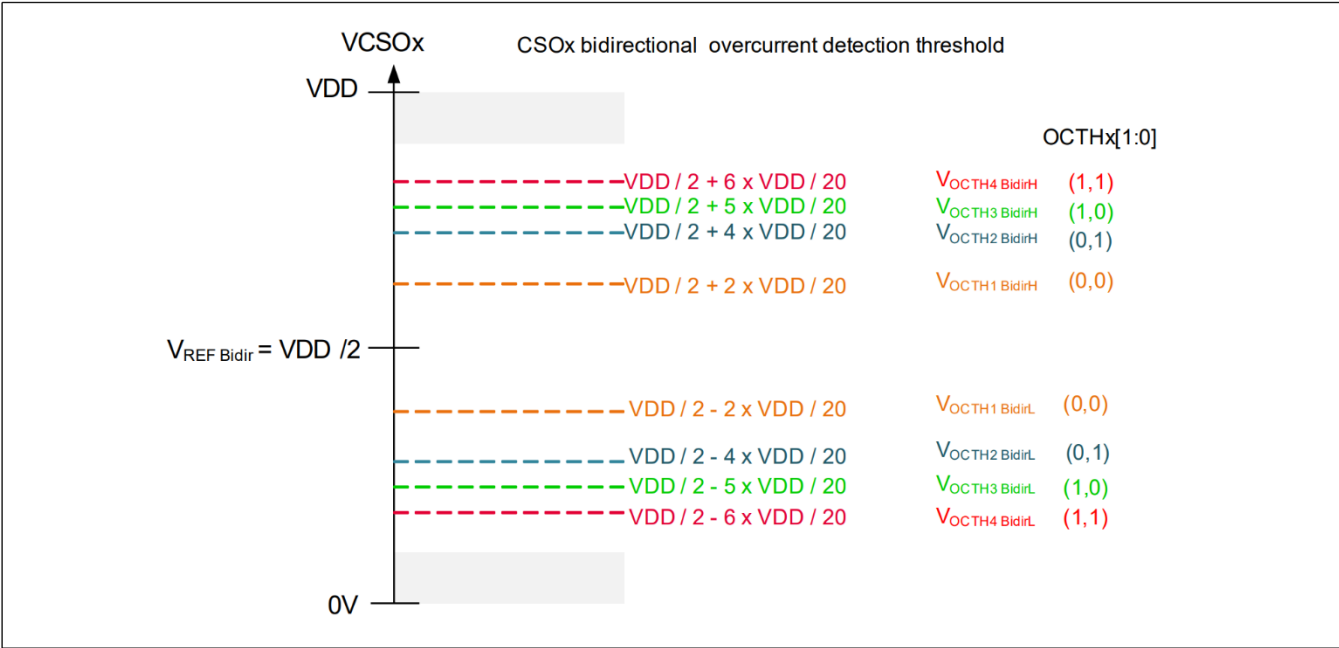


图 40 双向模式中的过流检测阈值 (CSDx = 1)

当检测到过流条件时，可以对器件行为进行编程：

- OCEN 位 = 0 (参见 [GENCTRL1](#))：该器件仅报告过流事件 ([GENSTAT](#) 中的 OC、OC1 或 OC2) 和全局错误标志置位)，而门级驱动器状态没有任何变化
 - 如果过流条件在超过 t_{FOC} 时间内不存在，则过流状态位将由器件自动清除。
- OCEN 位 = 1 (参见 [GENCTRL1](#))：器件报告过流事件 ([GENSTAT](#) 中的 OC、OC1 或 OC2) 和全局错误标志置位) 并关闭所有 MOSFET 及其持续放电电流。
 - 可以通过清除 [GENSTAT](#) 重新激活 MOSFET 或者通过重置 OCEN 位。
 - 仅当过流条件不再存在并且清除 [GENSTAT](#) 时，过流状态位才会复位。

过流滤波时间可通过控制位 OCxFILT (参见 [HBIDIAG](#)) 配置 (参见 t_{FOC})。

t_{FOC} 是指电流检测放大器的输出。过流滤波时间不考虑 CSO 建立时间 (最大 $2 \mu s$, t_{SET}) 和模拟传输延迟 ($< 1 \mu s$)。

7.11.5 CSO 输出电容器

直接连接到 CSOx (CCSOx) 的电容器必须在 10 pF 和 400 pF 之间 (请参阅 [第 10 章](#))。

控制位**CCSO**（请参阅 **PWM_IDCHG_ACT**、**PWM_PDCHG_INIT**）针对 $CCSOx < 100\text{ pF}$ or $CCSOx > 100\text{ pF}$ 优化 VDD 电流消耗。

7.12 电气特性保护和诊断

与电流检测放大器指定漏源监测阈值、过流阈值和电气特性适用于 $V_{CP} > V_S + 8\text{ V}$

表 25 电气特性

如果 $V_{SOVTH} = 0$ ，则 $V_S = 6.0\text{ V}$ 至 18 V ；如果 $V_{SOVTH} = 1$ ，则 $V_S = 6.0\text{ V}$ 至 28 V ； $V_{DD} = 3.0\text{ V}$ 至 5.5 V ， $T_j = -40^\circ\text{C}$ 至 150°C

$V_{CP} > V_S + 8\text{ V}$ 所有电压均相对于地，电流正向流入引脚（除非另有说明）

Parameter	Symbol	Values			Unit	Note or Test Condition	Number
		Min.	Typ.	Max.			

看门狗

Watchdog period 1	T_{WDPER1}	40	50	60	ms	¹⁾ $WDPER = 0$	P_7.11.52
Watchdog period 2	T_{WDPER2}	160	200	240	ms	¹⁾ $WDPER = 1$	P_7.11.53

断态负载开路诊断

Pull-up diagnosis current	I_{PUDiag}	-630	-450	-270	μA	¹⁾	P_7.11.1
Pull-down diagnosis current	I_{PDDiag}	900	1250	1600	μA	¹⁾	P_7.11.2
Diagnosis current ratio	I_{Diag_ratio}	2.5	3.0	–		Ratio I_{PDDiag}/I_{PUDiag}	P_7.11.77

漏源监控阈值

Drain-source monitoring thresholds	$V_{VDSMONTH0}$	0.12	0.15	0.18	V	$HBxVDSTH[2:0] = 000_B$	P_7.11.3
Drain-source monitoring thresholds	$V_{VDSMONTH1}$	0.16	0.20	0.24	V	$HBxVDSTH[2:0] = 001_B$	P_7.11.4
Drain-source monitoring thresholds	$V_{VDSMONTH2}$	0.20	0.25	0.30	V	$HBxVDSTH[2:0] = 010_B$	P_7.11.5
Drain-source monitoring thresholds	$V_{VDSMONTH3}$	0.24	0.30	0.36	V	$HBxVDSTH[2:0] = 011_B$	P_7.11.6
Drain-source monitoring thresholds	$V_{VDSMONTH4}$	0.32	0.40	0.48	V	$HBxVDSTH[2:0] = 100_B$	P_7.11.7
Drain-source monitoring thresholds	$V_{VDSMONTH5}$	0.40	0.50	0.62	V	$HBxVDSTH[2:0] = 101_B$	P_7.11.8
Drain-source monitoring thresholds	$V_{VDSMONTH6}$	0.48	0.60	0.72	V	$HBxVDSTH[2:0] = 110_B$	P_7.11.9
Drain-source monitoring thresholds	$V_{VDSMONTH7}$	1.6	1.0	2.4	V	$HBxVDSTH[2:0] = 111_B$	P_7.11.54

漏源监控空白时间

DS monitoring blank time	t_{DSMON_BLK0}	500	625	850	ns	$TBLANKx[2:0] = 000_B^{1)}$	P_7.11.10
DS monitoring blank time	t_{DSMON_BLK1}	0.8	1	1.2	μs	$TBLANKx[2:0] = 001_B^{1)}$	P_7.11.11
DS monitoring blank time	t_{DSMON_BLK2}	1	1.25	1.5	μs	$TBLANKx[2:0] = 010_B^{1)}$	P_7.11.12

表 25 电气特性

如果 $V_{SOVTH} = 0$ ，则 $V_S = 6.0\text{ V}$ 至 18 V ；如果 $V_{SOVTH} = 1$ ，则 $V_S = 6.0\text{ V}$ 至 28 V ； $V_{DD} = 3.0\text{ V}$ 至 5.5 V ， $T_j = -40^\circ\text{C}$ 至 150°C
 $V_{CP} > V_S + 8\text{ V}$ 所有电压均相对于地，电流正向流入引脚（除非另有说明）

Parameter	Symbol	Values			Unit	Note or Test Condition	Number
		Min.	Typ.	Max.			
DS monitoring blank time	t_{DSMON_BLK3}	1.2	1.5	1.8	μs	TBLANKx[2:0] = $011_B^{(1)}$	P_7.11.13
DS monitoring blank time	t_{DSMON_BLK4}	1.6	2	2.4	μs	TBLANKx[2:0] = $100_B^{(1)}$	P_7.11.57
DS monitoring blank time	t_{DSMON_BLK5}	2.4	3	3.6	μs	TBLANKx[2:0] = $101_B^{(1)}$	P_7.11.58
DS monitoring blank time	t_{DSMON_BLK6}	3.2	4	4.8	μs	TBLANKx[2:0] = $110_B^{(1)}$	P_7.11.59
DS monitoring blank time	t_{DSMON_BLK7}	12.8	16	19.2	μs	TBLANKx[2:0] = $111_B^{(1)}$	P_7.11.60

漏源监控滤波时间

DS monitoring filter time	t_{DSMON_FILT0}	0.4	0.5	0.85	μs	TFVDS[1:0] = $00_B^{(1)}$	P_7.11.14
DS monitoring filter time	t_{DSMON_FILT1}	0.8	1	1.4	μs	TFVDS[1:0] = $01_B^{(1)}$	P_7.11.15
DS monitoring filter time	t_{DSMON_FILT2}	1.6	2	2.4	μs	TFVDS[1:0] = $10_B^{(1)}$	P_7.11.16
DS monitoring filter time	t_{DSMON_FILT3}	2.4	3	3.6	μs	TFVDS[1:0] = $11_B^{(1)}$	P_7.11.17

交叉电流保护时间

Cross current protection time	$t_{HBxCCP0}$	300	375	450	ns	THBxCCP[2:0] = $000_B^{(1)}$	P_7.11.18
Cross current protection time	$t_{HBxCCP1}$	500	625	750	ns	THBxCCP[2:0] = $001_B^{(1)}$	P_7.11.19
Cross current protection time	$t_{HBxCCP2}$	0.8	1	1.2	μs	THBxCCP[2:0] = $010_B^{(1)}$	P_7.11.20
Cross current protection time	$t_{HBxCCP3}$	1.2	1.5	1.8	μs	THBxCCP[2:0] = $011_B^{(1)}$	P_7.11.21
Cross current protection time	$t_{HBxCCP4}$	1.6	2	2.4	μs	THBxCCP[2:0] = $100_B^{(1)}$	P_7.11.22
Cross current protection time	$t_{HBxCCP5}$	2.4	3	3.6	μs	THBxCCP[2:0] = $101_B^{(1)}$	P_7.11.23
Cross current protection time	$t_{HBxCCP6}$	3.2	4	4.8	μs	THBxCCP[2:0] = $110_B^{(1)}$	P_7.11.24
Cross current protection time	$t_{HBxCCP7}$	12.8	16	19.2	μs	THBxCCP[2:0] = $111_B^{(1)}$	P_7.11.25

桥驱动器被动模式： $BD_PASS = 1$ 且所有 $HBxMODE[1:0] = 00_B$ 或 11_B ，或 $EN = \text{低电平}$ 或 $V_{DD} < V_{DDPOR}$

表 25 电气特性

如果 $V_{SOVTH} = 0$, 则 $V_S = 6.0\text{ V}$ 至 18 V ; 如果 $V_{SOVTH} = 1$, 则 $V_S = 6.0\text{ V}$ 至 28 V ; $V_{DD} = 3.0\text{ V}$ 至 5.5 V ,
 $T_j = -40^\circ\text{C}$ 至 150°C
 $V_{CP} > V_S + 8\text{ V}$ 所有电压均相对于地, 电流正向流入引脚 (除非另有说明)

Parameter	Symbol	Values			Unit	Note or Test Condition	Number
		Min.	Typ.	Max.			
Passive V_S overvoltage	$V_{SOV\text{ PASS OFF}}$	28	31.5	35	V	V_S increasing PASS_MOD=10 _B	P_7.11.66
Passive V_S overvoltage hysteresis	$V_{SOV\text{ PASS HY}}$	1	2.5	4	V	¹⁾	P_7.11.67
PWM3 open drain resistance	R_{PWM3_OD}	4	5.5	7	k Ω		P_7.11.68
Passive turn-on time	$t_{ON_BD_PASS}$	-	4.5	10	μs	¹⁾ Cap = 10 nF, VCap = 5 V, $V_S > 8\text{ V}$	P_7.11.69
Passive Turn-off time	$t_{OFF_BD_PASS}$	-	0.7	3.2	μs	¹⁾ Cap = 10 nF, VCap down to 1.5 V, $V_S > 8\text{ V}$	P_7.11.70
Passive LS gate voltage	V_{GLx_BRAKE}	5	-	10	V	$V_{GLx} - V_{SL}$, x=1 to 4, $V_S > 8\text{ V}$	P_7.11.71
Passive turn-on blank time	$t_{BLK_BD_PASS}$	2	6	10	μs	¹⁾	P_7.11.72
PWM1 high voltage, bridge driver passive	$V_{PWM1H_BD_PASS}$	0.5	1.3	2.0	V		P_7.11.73
Passive VDS filter time	$t_{DSMON_FILT_BD_PASS}$	0.5	1	2	μs	¹⁾	P_7.11.74
Passive drain-source monitoring thresholds	$V_{VDSMON_BD_PASS}$	0.30	0.37	0.44	V	PASS_VDS =1 _B	P_7.11.75

电流检测放大器

Operating common mode input voltage range referred to GND (CSIPx - GND) or (CSINx - GND)	V_{CM}	-2.0	-	28	V		P_7.11.26
Common Mode Rejection Ratio	CMRR	69 75 81 81	- - - -	- - - -	dB	CSAG = (0,0) CSAG = (0,1) CSAG = (1,0) CSAG = (1,1) DC to 50 kHz $V_{CM} = -2 \dots 28\text{ V}$ ¹⁾ $V_{CSIPx} = V_{CSINx}$	P_7.11.27
Settling time to 98%	t_{SET}	-	1500	2000	ns	¹⁾	P_7.11.28
Settling time to 98% after gain change	t_{SET_GAIN}	-	-	5000	ns	¹⁾ After gain change from CSN rising edge	P_7.11.65
Input Offset voltage	V_{OS}	-1.5	0	1.5	mV		P_7.11.29
Current Sense Amplifier DC Gain (uncalibrated)	G_{DIFF10}	9.9	10	10.1	V/V	CSAG = (0,0)	P_7.11.30

表 25 电气特性

如果 $V_{SOVTH} = 0$, 则 $V_S = 6.0\text{ V}$ 至 18 V ; 如果 $V_{SOVTH} = 1$, 则 $V_S = 6.0\text{ V}$ 至 28 V ; $V_{DD} = 3.0\text{ V}$ 至 5.5 V ,

$T_j = -40^\circ\text{C}$ 至 150°C

$V_{CP} > V_S + 8\text{ V}$ 所有电压均相对于地, 电流正向流入引脚 (除非另有说明)

Parameter	Symbol	Values			Unit	Note or Test Condition	Number
		Min.	Typ.	Max.			
Current Sense Amplifier DC Gain (uncalibrated)	G_{DIFF20}	19.8	20	20.2	V/V	CSAG = (0,1)	P_7.11.31
Current Sense Amplifier DC Gain (uncalibrated)	G_{DIFF40}	39.6	40	40.4	V/V	CSAG = (1,0)	P_7.11.32
Current Sense Amplifier DC Gain (uncalibrated)	G_{DIFF80}	79.2	80	80.8	V/V	CSAG = (1,1)	P_7.11.33
Gain drift	G_{DRIFT}	-0.5	–	0.5	%	¹⁾ Gain drift after calibration	P_7.11.34
CSOx single ended output voltage range (linear range)	V_{CSOx}	0.5	–	$V_{DD} - 0.5$	V	¹⁾	P_7.11.35
Reference voltage for unidirectional CSAx	$V_{REF\ Unidir}$	-1%	$V_{DD}/5$	+1%	V	CSDx = 0 $V_{CSIPx} = V_{CSINx}$	P_7.11.36
Reference voltage for bidirectional CSAx	$V_{REF\ Bidir}$	-1%	$V_{DD}/2$	+1%	V	CSDx = 1 $V_{CSIPx} = V_{CSINx}$	P_7.11.37

过流检测

Overcurrent filter time	t_{FOC}	4 7 40 85	6 10 50 100	8 13 60 115	μs	OCxFILT = 00 _B OCxFILT = 01 _B OCxFILT = 10 _B OCxFILT = 11 _B ¹⁾²⁾	P_7.11.38
OC threshold, unidirectional	$V_{OCTH1\ Unidir}$	-4%	$V_{DD}/2$	+4%	V	CSDx = 0, OCTH[1:0] = 00 _B	P_7.11.39
OC threshold, unidirectional	$V_{OCTH2\ Unidir}$	-4%	$V_{DD}/2 + V_{DD}/10$	+4%	V	CSDx = 0, OCTH[1:0] = 01 _B	P_7.11.40
OC threshold, unidirectional	$V_{OCTH3\ Unidir}$	-4%	$V_{DD}/2 + 2x V_{DD}/10$	+4%	V	CSDx = 0, OCTH[1:0] = 10 _B	P_7.11.41
OC threshold, unidirectional	$V_{OCTH4\ Unidir}$	-4%	$V_{DD}/2 + 3x V_{DD}/10$	+4%	V	CSDx = 0, OCTH[1:0] = 11 _B	P_7.11.42
High OC threshold, bidirectional	$V_{OCTH1\ BidirH}$	-4%	$V_{DD}/2 + 2x V_{DD}/20$	+4%	V	CSDx = 1, OCTH[1:0] = 00 _B	P_7.11.43
High OC threshold, bidirectional	$V_{OCTH2\ BidirH}$	-4%	$V_{DD}/2 + 4x V_{DD}/20$	+4%	V	CSDx = 1, OCTH[1:0] = 01 _B	P_7.11.44
High OC threshold, bidirectional	$V_{OCTH3\ BidirH}$	-4%	$V_{DD}/2 + 5x V_{DD}/20$	+4%	V	CSDx = 1, OCTH[1:0] = 10 _B	P_7.11.45

表 25 电气特性

如果 $V_{SOVTH} = 0$ ，则 $V_S = 6.0\text{ V}$ 至 18 V ；如果 $V_{SOVTH} = 1$ ，则 $V_S = 6.0\text{ V}$ 至 28 V ； $V_{DD} = 3.0\text{ V}$ 至 5.5 V ， $T_j = -40^\circ\text{C}$ 至 150°C
 $V_{CP} > V_S + 8\text{ V}$ 所有电压均相对于地，电流正向流入引脚（除非另有说明）

Parameter	Symbol	Values			Unit	Note or Test Condition	Number
		Min.	Typ.	Max.			
High OC threshold, bidirectional	$V_{OCTH4\text{ BidirH}}$	-4%	$V_{DD}/2 + 6x V_{DD}/20$	+4%	V	CSDx = 1, OCTH[1:0] = 11 _B	P_7.11.46
Low OC threshold, bidirectional	$V_{OCTH1\text{ BidirL}}$	-4%	$V_{DD}/2 - 2x V_{DD}/20$	+4%	V	CSDx = 1, OCTH[1:0] = 00 _B	P_7.11.61
Low OC threshold, bidirectional	$V_{OCTH2\text{ BidirL}}$	-4%	$V_{DD}/2 - 4x V_{DD}/20$	+4%	V	CSDx = 1, OCTH[1:0] = 01 _B	P_7.11.62
Low OC threshold, bidirectional	$V_{OCTH3\text{ BidirL}}$	-4%	$V_{DD}/2 - 5x V_{DD}/20$	+4%	V	CSDx = 1, OCTH[1:0] = 10 _B	P_7.11.63
Low OC threshold, bidirectional	$V_{OCTH4\text{ BidirL}}$	-4%	$V_{DD}/2 - 6x V_{DD}/20$	+4%	V	CSDx = 1, OCTH[1:0] = 11 _B	P_7.11.64

热警告和关机

Thermal warning junction temperature	T_{jW}	120	140	160	$^\circ\text{C}$	See Figure 36 ¹⁾	P_7.11.48
Thermal shutdown junction temperature	T_{jSD}	160	180	200	$^\circ\text{C}$	See Figure 36 ¹⁾	P_7.11.49
Thermal shutdown hysteresis	T_{jHYS}	–	10	–	$^\circ\text{C}$	¹⁾	P_7.11.50
Ratio of T_{jSD} to T_{jW}	T_{jSD}/T_{jW}	–	1.20	–	–	¹⁾	P_7.11.51
Thermal warning filter time	t_{jW_FILT}	7	10	13	μs	¹⁾	P_7.11.55
Thermal shutdown filter time	t_{jSD_FILT}	7	10	13	μs	¹⁾	P_7.11.56

1) 未经过生产测试，由设计过程定义。

2) t_{FOC} 是指电流检测放大器的输出。过流率哪怕时间不考虑 CSO 建立时间（最大 $2\text{ }\mu\text{s}$ ， t_{SET} ）和模拟传输延迟（ $< 1\text{ }\mu\text{s}$ ）。

8 串行外设接口 (SPI)

24 位串行外设接口 (SPI) 可实现微处理器和 CLE92108-232QX 之间的通信。它允许配置和控制器件，并读取用于诊断目的的状态寄存器。MOSFET 驱动 IC 作为 SPI 从机，而微处理器作为 SPI 主机。

该接口具有一个串行数据输入引脚 (SDI)，用于将数据传输到器件；一个串行数据输出引脚 (SDO)，用于从器件读回数据；以及一个串行时钟引脚 (SCLK)，用于对器件中的数据输入和输出提供始终。芯片选择引脚 (CSN) 启用或禁用串行接口。

SPI 帧从 CSN 的下降沿开始。在 CSN 的下降沿期间，SCLK 必须为低电平（时钟极性 CPOL = 0）。SDI 上接收的数据在 SCLK 的下降沿移入。SDO 发送的数据在 SCLK 的上升沿移出（时钟相位 CPHA=1）。参见图 42。

最高有效位（高字节/最高有效位（数据字最左位），位23）先移入/移出。

写入和清零，复位指令在 CSN 的上升沿执行。

SPI 协议支持独立从机选择和菊花链配置。

8.1 具有独立从机选择的 SPI 协议

通过单独从机选择，微控制器可以单独控制每个 SPI 从机的 CSN 引脚（图 41）。

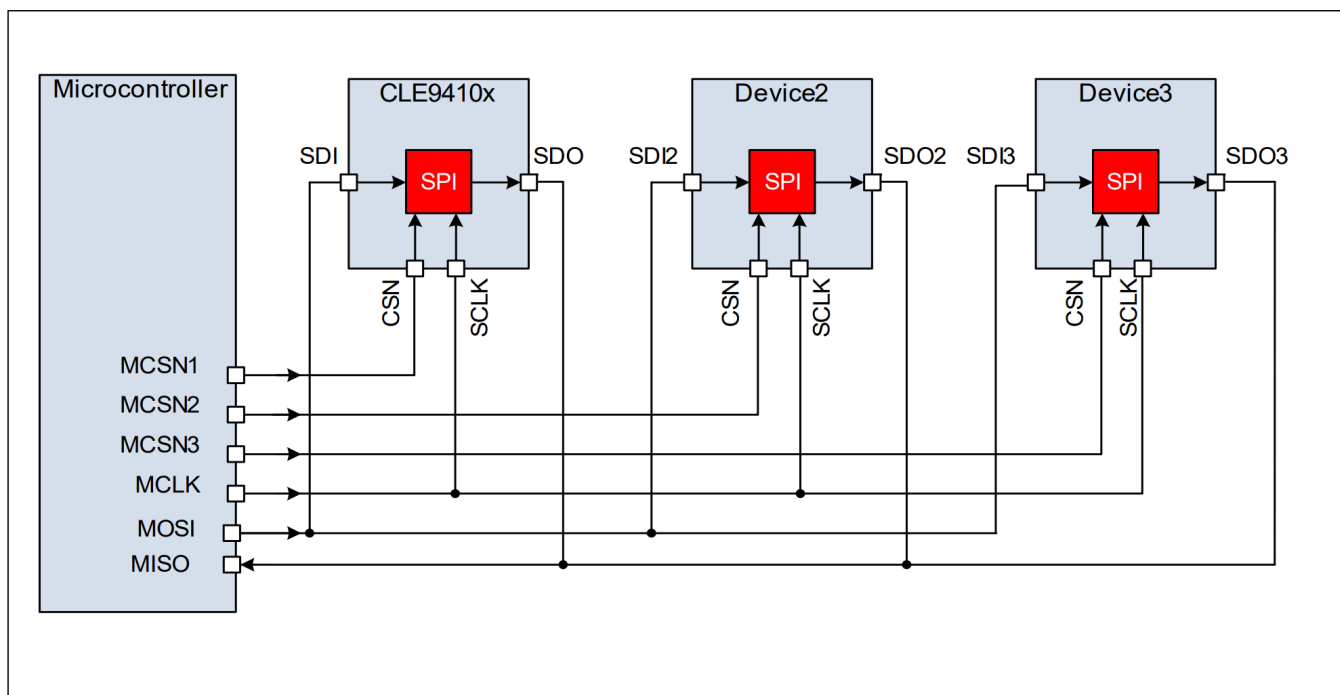


图 41 三个从机设备的单独从机选择

一个 SPI 通讯由 24 位帧组成（图 42）：

- SDI 接收一个地址字节，后跟两个数据字节。
- SDO 传输全局错误标志和全局状态字节，然后传输两个响应字节。

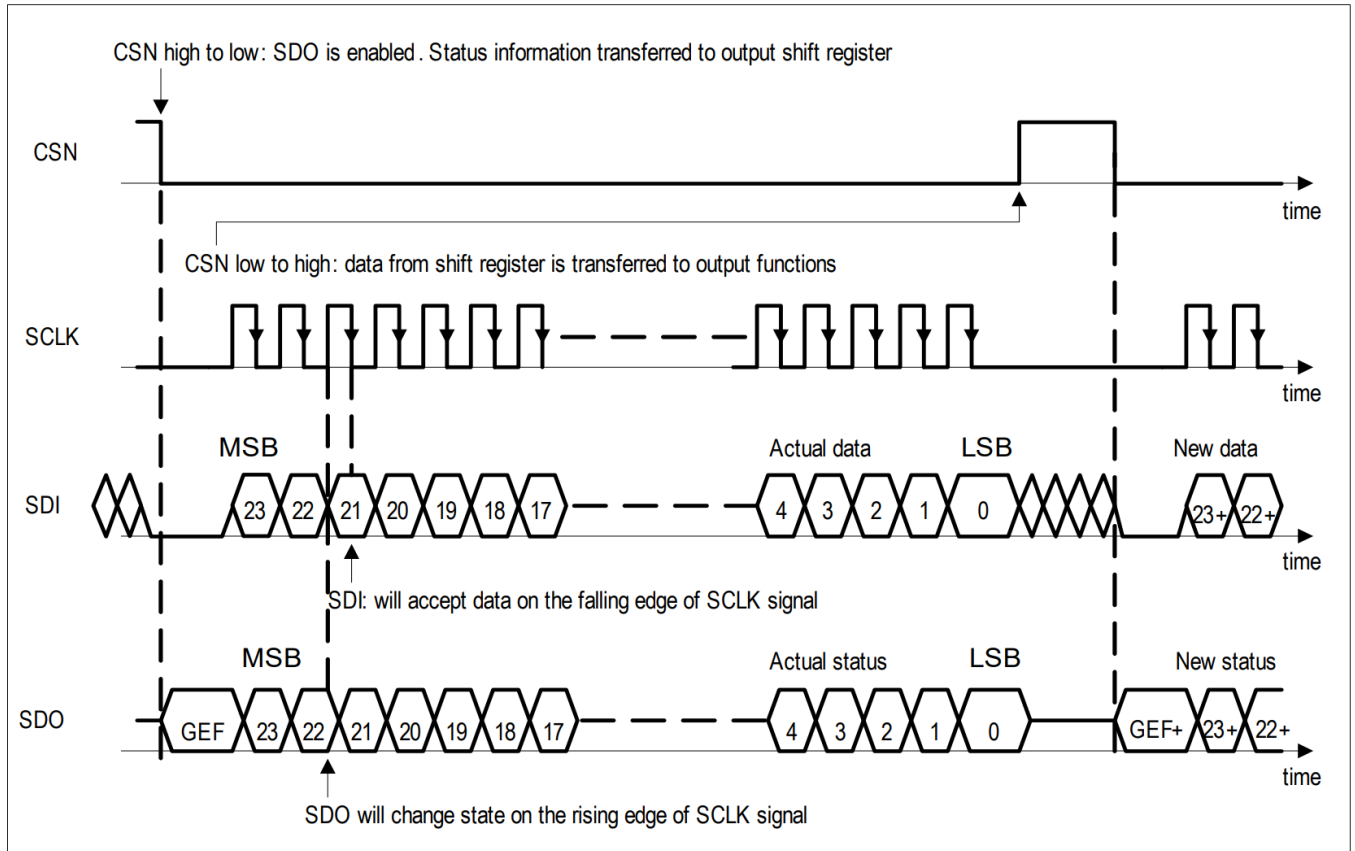


图 42 SPI数据传输

地址字节的高字节/最高有效位（数据字最左位）必须设置为“1”。

地址字节指定（见图 43）:

- 目标寄存器（A[4:0]）
- 操作类型：
 - 对于控制寄存器：
 - 只读: OP bit¹⁾ = '0'
 - 读写: OP = '1'
 - 对于状态寄存器：
 - 只读: OP 位 = '0'
 - 读取并清零, 复位: OP 位 = '1'

对于单独的从机选择, 最后地址字节标记 (LABT) 必须设置为“1”。帧内响应

SPI 协议包含一个帧内响应: 寻址寄存器的内容在同一个 SPI 帧内由 SDO 移出。这个特点减少了读取控制或状态寄存器期间的SPI总线负载。

1) OP 位是该地址字节的最低有效位, 参见图 43

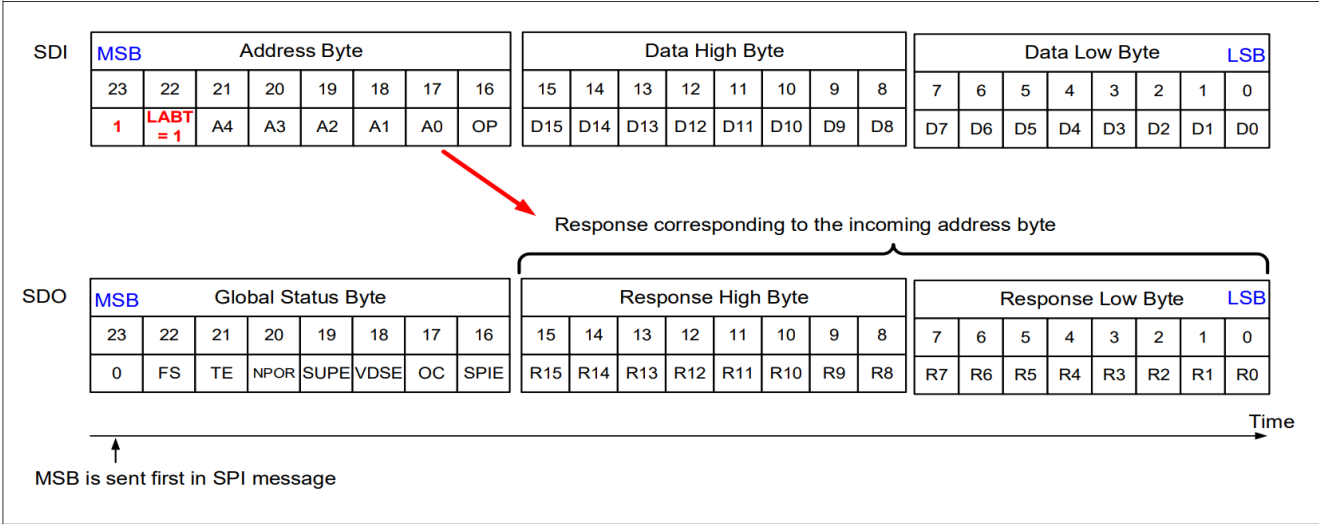


图 43 单独从机选择的帧内响应

8.2 全局错误标志 (GEF)

在 CSN 下降沿和第一个 SCLK 上升沿之间的 SDO 上报告全局错误标志 (GEF)。如果检测到故障条件或器件来自上电复位位(POR)，则 GEF 置位。因此，无需任何 SPI 时钟脉冲即可进行快速器件诊断 (图 44)。

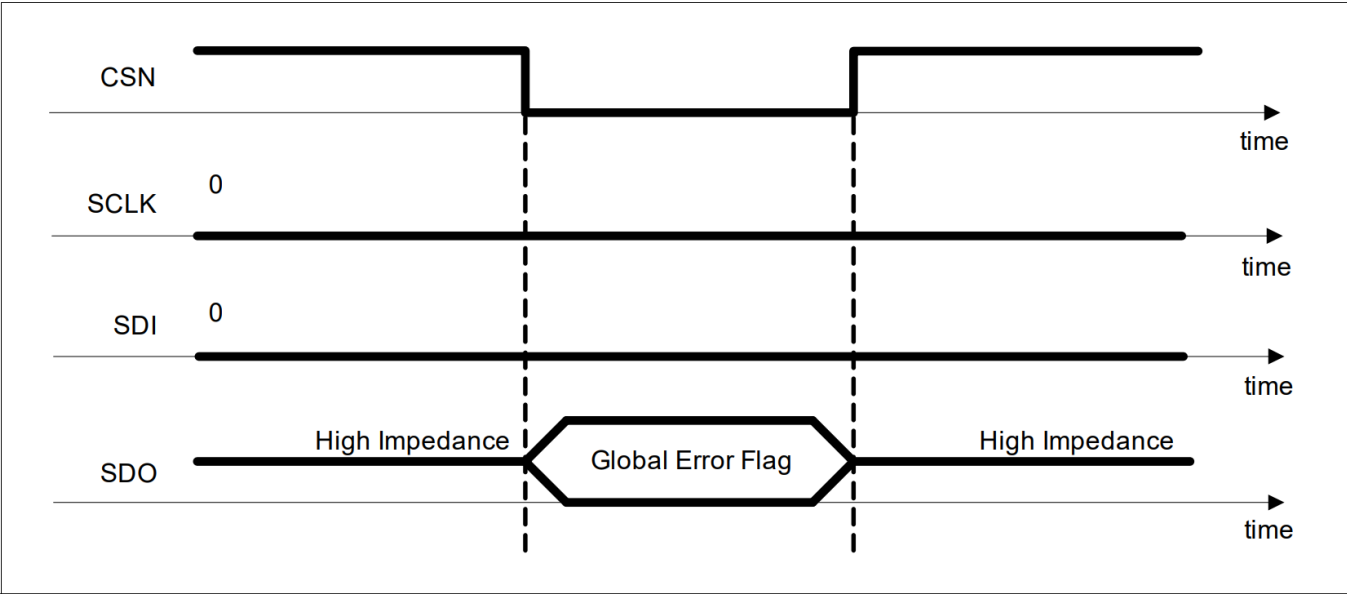


图 44 GEF - 0 时钟周期诊断

8.3 全局状态字节

SDO 在前八个 SCLK 周期内移出全局状态字节。该寄存器提供了器件状态的概述。该字节报告以下错误情况：

- 故障安全 (FS 位)。
- 温度错误 (TE 位)：热警告 (TW) 和热关断 (TSD) 之间的逻辑或组合。
- 取反上电复位 (NPOR 位，参考第 5.3 章 复位条件)。

- 电源错误 (SUPE 位)：VS 欠压关断 (**VSUV**)、VS 过压关断 (**VSOV**) 和电荷泵欠压 (**CPUV**) 之间的逻辑或组合。
- VDS 监控误差 (VDSE 位)：**DSOV** 寄存器位之间的逻辑或组合。
- 过流 (OC 位)：OC1 和 OC2 状态位之间的逻辑或组合 (**GENSTAT** 寄存器)。
- SPI 协议错误 (SPIE 位)。

注释：全局错误标志是全局状态字节和 TDREG_x 的每个位的逻辑或组合： $GEF = (FS) OR (TE) OR (NOT(NPOR)) OR (SUPE) OR (VDSE) OR (OC) OR (SPIE) OR (NOT(TDREG_x) AND (PWM_x_EN = 1) AND (NOT(MSKTDREG)))$, $x = 1 \dots 3$ 。

下表显示了如何在全局状态字节和错误标志中报告故障：

表26 全局状态字节和全局错误标志中报告的故障

Type of Error	Failure reported in the Global Status Byte	Global Error Flag
Fail safe	FS = 1	1
Thermal error	TE = 1	1
Power ON reset	NPOR = 0	1
Supply error	SUPE = 1	1
Drain source voltage monitoring	VDSE = 1	1
Overcurrent	OC = 1	1
SPI protocol error	SPIE = 1	1
TDREG _x , $x = 1 \dots 3$ ¹⁾ (see GENSTAT)	-	1 if MSKTDREG = 0 ²⁾ 0 if MSKTDREG = 1 ²⁾
No error and no power ON reset	SPIE = 0 OC = 0 VDSE = 0 SUPE = 0 NPOR = 1 TE = 0 FS = 0 TDREG _x = 0,	0

1) 参见状态寄存器 **GENSTAT**。

2) 参见控制寄存器 **GENCTRL2**。

注：NPOR 的默认值（上电复位后）为 0，因此 GEF 默认值为 1。

在故障安全模式下，除了 WDTRIG 位之外，控制寄存器被冻结为默认值（请参阅第 5.2.3 章）。故障安全模式下的任何写访问（WDTRIG 位除外）都将被丢弃，并且 SPIE 位将被置位。

8.4 SPI错误检测

SPI 在全局状态字节 (SPIE) 中加入一个错误标志来监督和维护数据完整性。如果在特定帧期间检测到SPI 协议错误, 则 SPIE 位将置于下一个SPI通讯中。

在下列错误条件下, SPIE 位置为置位:

- CSN为低电平时接收到的SCLK时钟脉冲数为 (协议错误):
 - 不为零
 - 或少于 24
 - 或超过 24 但不是 8 的倍数
- 微处理器将SPI指令发送到未使用的地址 (协议错误)。
- 检测到时钟极性错误 (见图 45 情况 2 和情况 3): 在 CSN 上升沿或下降沿期间, 输入时钟信号为高 (协议错误)。
- 未检测到地址字节或最后一个地址字节 (协议错误)。
- 在菊花链中: 微处理器不会按顺序发送第一个地址字节, 直到最后一个地址字节 (即两个地址字节之间有间隙)。在这种情况下, 在SPI帧¹⁾SPI剩余部分期间, SDO信号置位为“0”, 以防止其他设备执行错误的指令 (协议错误)。
- 对地址 0x1F (器件 ID 寄存器, 偏移地址 = 0x1F)的清除指令。
- 同一个半桥分配给多个激活的PWM通道。
- 在故障安全模式下收到的任何写入或清零, 复位指令, 并且不属于退出序列 (请参阅章节 5.2.3)。

注释: 用于激活映射到多个PWM通道的半桥的SPI指令将被忽略。

在故障安全模式下, 除了写入 WDTRIG 之外, 不能访问控制寄存器。此模式下的无效写入命令会设置 SPIE 位。

对于正确的SPI通讯:

- 在 CSN 下降沿之前, SCLK 必须保持低电平至少 t_{BEF} , 并在 CSN 下降沿之后 保持 t_{leado}
- SCLK 必须在CSN 上升沿之前的最短 t_{lag} 时间内以及 CSN 上升沿之后的 t_{BEH} 时间内保持低电平。

1) 假设 SPI 帧具有正确的极性

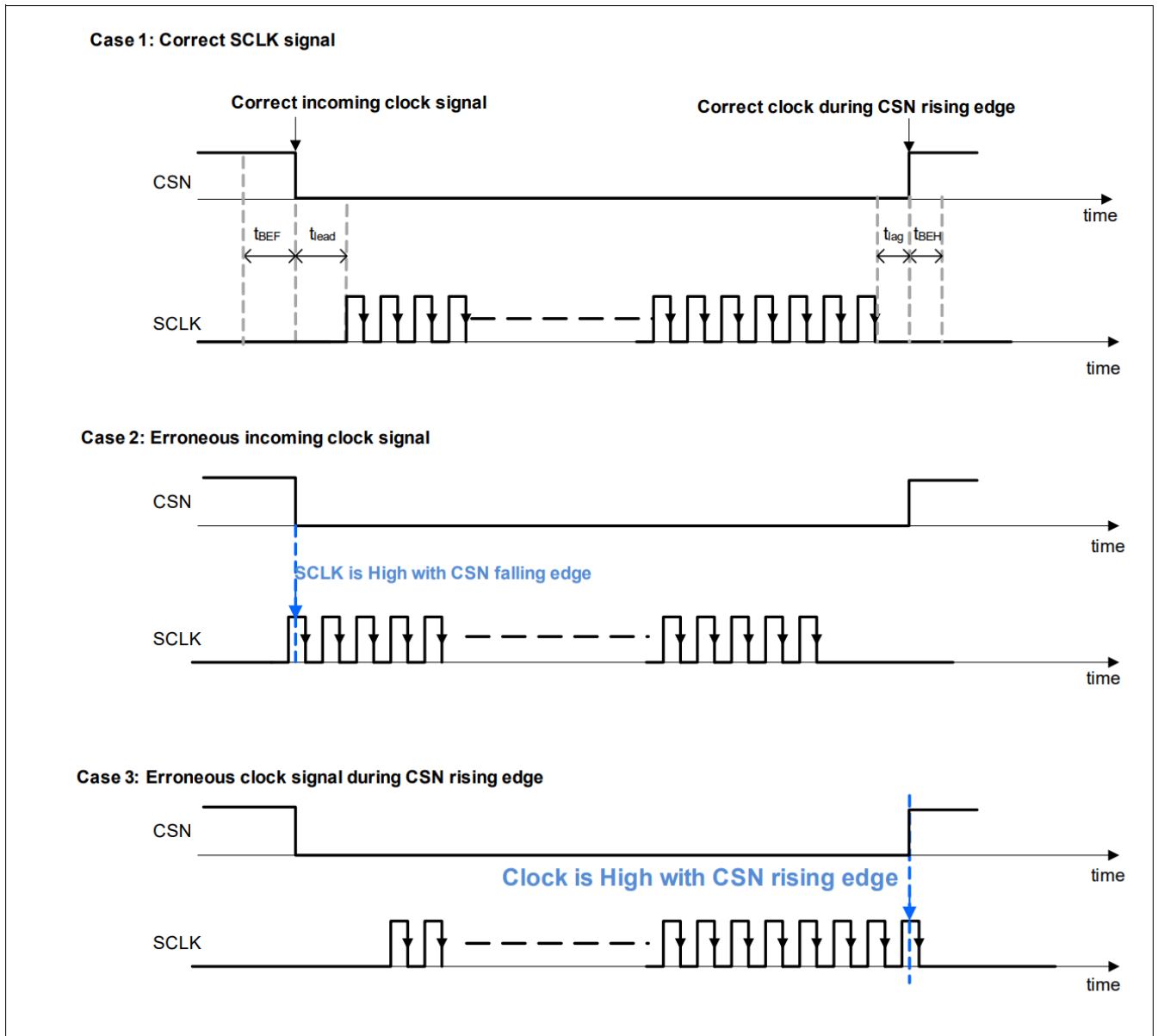


图 45 时钟错误

SPIE 位的复位条件取决于错误的原因：

- 在正常模式下：
 - 如果一个半桥被分配给多个PWM通道。微处理器必须复位HBVOUT_PWMERR
 - 对于 SPIE 报告的其他错误，微处理器必须发送正确的SPI帧。
- 如果SPIE已置于故障安全模式，则器件必须先进入正常模式。

8.5 菊花链

在菊花链配置中，主机输出/从机输入（标记为MOSI）连接到从机SDI。第一个从机SDO连接到链中的下一个从机SDI。链中最后一个的SDO连接到主机输入/从机输出（标记为MISO）。在菊花链配置中，微处理器的MCSN连接到所有从机CSN输入（图46）。

为了支持菊花链配置，CLE92108-232QX 接受超过 24 位的 SPI 帧，前提是位数是 8 的倍数，并且遵守地址字节的结构。

在菊花链中，CLE92108-232QX 的工作方式如下：

1. CLE92108-232QX 作为 8 位移位寄存器运行，直到它接收到第一个地址字节。第一个接收到的地址字节被器件视为它自己的地址字节。
2. CLE92108-232QX 直接将 SDI 复制到 SDO，直到检测到最后一个地址字节。
3. CLE92108-232QX 将地址字节 4 对应的响应高位字节和低位字节移出。
- . 在最后一个地址字节之后，CLE92108-232QX 作为 16 位移位寄存器运行，直到 SPI 帧结束。

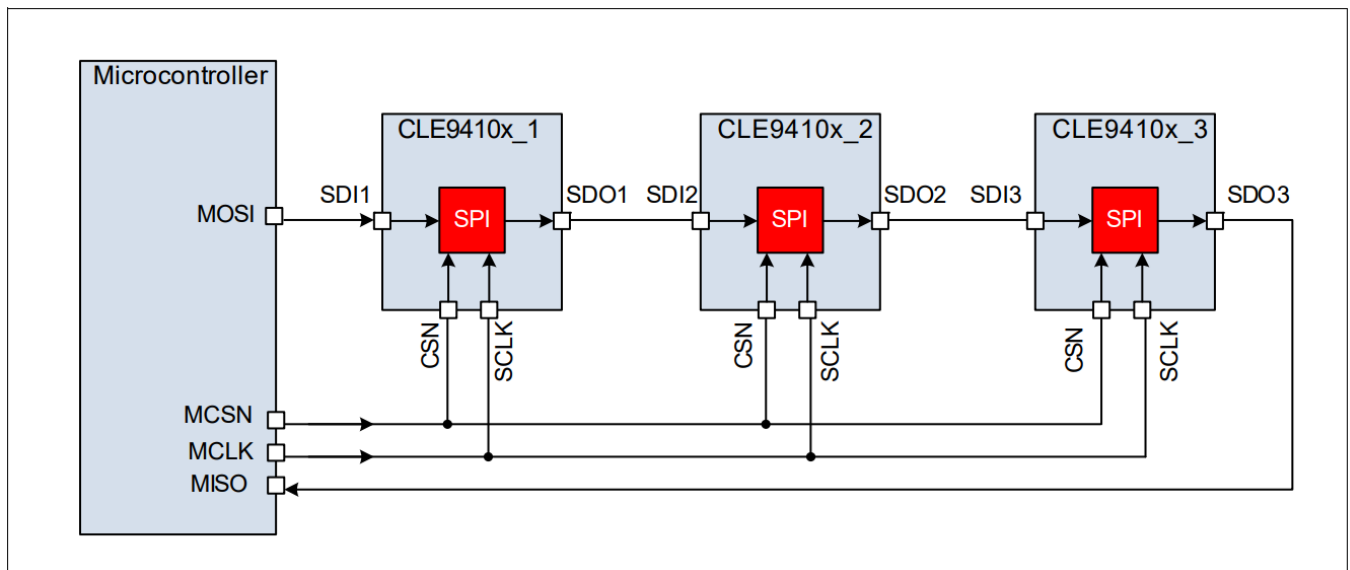


图46 三个CLE9410x器件的菊花链配置

在菊花链配置中 (图 46), 协议必须按以下顺序发送地址和数据字节 (图 47):

1. 首先将地址字节全部发送：
 - 首先发送地址字节 1 (对于 CLE9410x_1)，然后发送地址字节 2 (对于 CLE9410x_2)，然后发送地址字节 3 (对于 CLE9410x_3)。
 - 最后一个地址字节的 LABT 位必须为“1”，而所有其他地址字节的 LABT 位必须为“0”。
2. 一旦传输了地址字节，数据字节就会按照**相反的顺序**一起发送：
 - 先发送CLE9410x_3的高位字节数据，然后发送CLE9410x_3•的低位字节数据。
 - 然后发送CLE9410x_2的高位字节数据，然后发送CLE9410x_2•的低位字节数据。
 - 然后发送 CLE9410x_1 的高位字节数据，然后发送 CLE9410x_1 的低位字节数据。

连接到菊花链中最后一个器件的 SDO 的主机输入/从机输出 (MISO) 接收：

1. SPI 帧开始时、CS 上升沿和第一个 SCLK 上升沿之间的所有全局错误标志 (GEF) 的逻辑或组合。
2. 每个 CLE9410x 的总体状态字节数 (按反向顺序)：

- 首先接收对应于 CLE9410x_3 的全局状态字节 3 (GSB3)，然后接收 GSB2（对应于 CLE9410x_2），最后接收 GSB1（对应于 CLE9410x_1）。

3. 每个 CLE9410x 的响应**按相反顺序排列**：

- 首先收到 CLE9410x_3 的响应高位字节，然后收到 CLE9410x_3 的响应低位字节 CLE9410x_3。
- 然后收到 CLE9410x_2 的响应高位字节，然后收到 CLE9410x_2 的响应低位字节 CLE9410x_2。
- 然后收到 CLE9410x_1 的响应高位字节，然后收到 CLE9410x_1 的响应低位字节 CLE9410x_1。

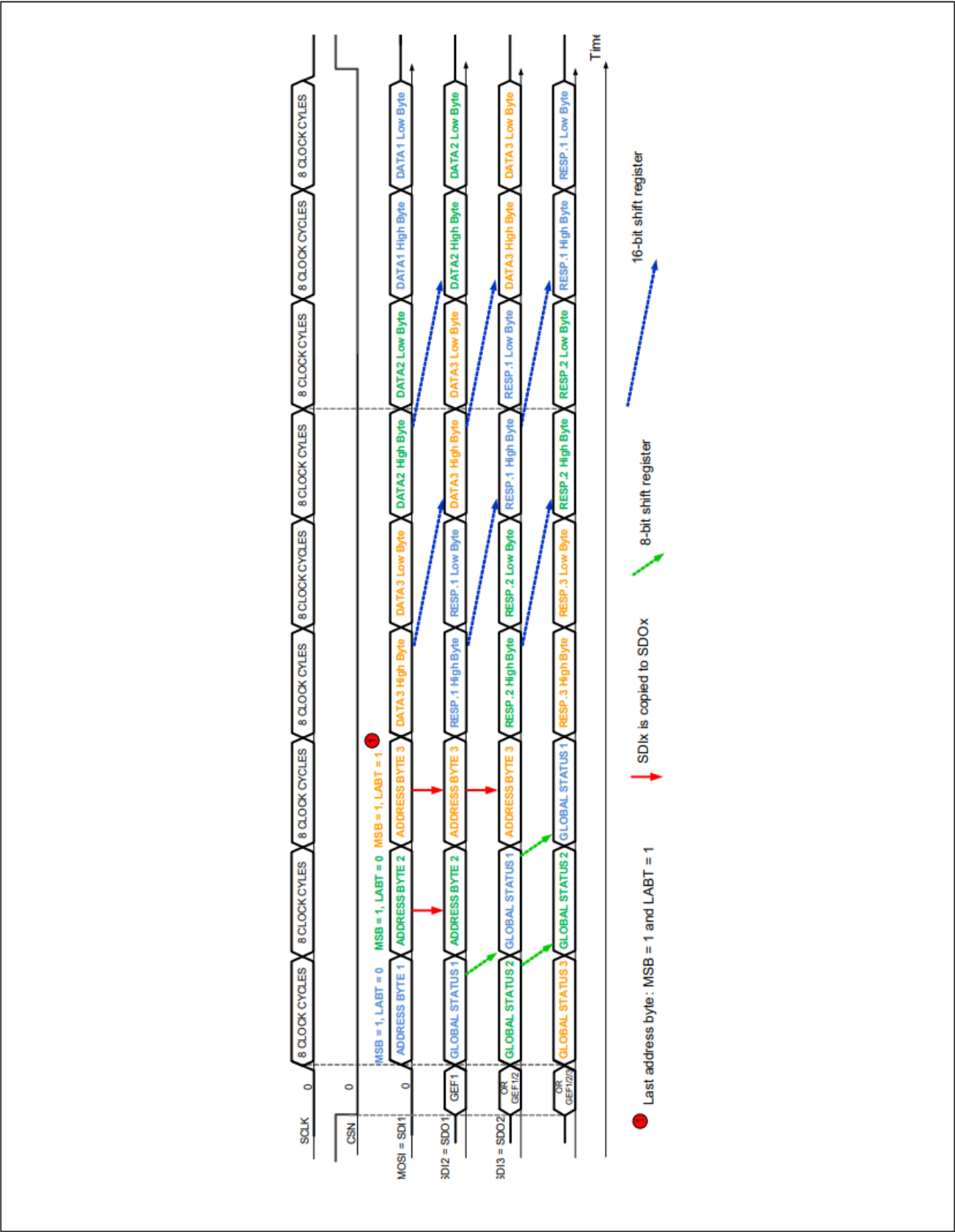


Figure 47 SPI Frame in daisy chain configuration with three CLE9410x devices

8.6 SPI电气特性:时序

表 27 电气特性: SPI 接口

如果 VSOVTH = 0, 则 $V_S = 6.0\text{ V}$ 至 18 V ; 如果 VSOVTH = 1, 则 $V_S = 6.0\text{ V}$ 至 28 V ; $V_{DD} = 3.0\text{ V}$ 至 5.5 V , $T_j = -40^\circ\text{C}$ 至 150°C , 所有电压相对于地, 电流正向流入引脚 (除非另有说明)

Parameter	Symbol	Values			Unit	Note or Test Condition	Number
		Min.	Typ.	Max.			

SPI 频率

Maximum SPI frequency	$f_{\text{SPI,max}}$	–	–	4	MHz	¹⁾	P_8.6.1
-----------------------	----------------------	---	---	---	-----	---------------	---------

从 EN 上升沿到第一个 SPI 帧的延迟

SPI interface setup time ²⁾	$t_{\text{SET_SPI}}$	–	–	150	μs	¹⁾	P_8.6.32
--	-----------------------	---	---	-----	---------------	---------------	----------

SPI 接口, 逻辑输入 SDI、SCLK、CSN

High input voltage threshold	V_{IH}	$0.7 \times V_{\text{DD}}$	–	–	V		P_8.6.2
Low input voltage threshold	V_{IL}	–	–	$0.3 \times V_{\text{DD}}$	V		P_8.6.3
Hysteresis of input voltage	V_{IHY}	–	$0.12 \times V_{\text{DD}}$	–	V	¹⁾	P_8.6.4
Pull up resistor at pin CSN	$R_{\text{PU_CSN}}$	20	40	80	$\text{k}\Omega$	$V_{\text{CSN}} = 0.7 \times V_{\text{DD}}$	P_8.6.5
Pull down resistor at pin SDI, SCLK	$R_{\text{PD_SDI}}, R_{\text{PD_SCLK}}$	20	40	80	$\text{k}\Omega$	$V_{\text{SDI}}, V_{\text{SCLK}} = 0.2 \times V_{\text{DD}}$	P_8.6.6
Input capacitance at pin CSN, SDI or SCLK	C_{I}	–	10	–	pF	¹⁾ $0\text{ V} < V_{\text{DD}} < 5.5\text{ V}$	P_8.6.7

输入接口, 逻辑输出 MISO

H-output voltage level	V_{SDOH}	$0.8 \times V_{\text{DD}}$	–	–	V	$I_{\text{SDOH}} = -1.6\text{ mA}$	P_8.6.8
L-output voltage level	V_{SDOL}	–	–	$0.2 \times V_{\text{DD}}$	V	$I_{\text{SDOL}} = 1.6\text{ mA}$	P_8.6.9
Tri-state Leakage Current	I_{SDOLK}	-10	–	10	μA	¹⁾ $V_{\text{CSN}} = V_{\text{DD}};$ $0\text{ V} < V_{\text{SDO}} < V_{\text{DD}}$	P_8.6.10
Tri-state input capacitance	C_{SDO}	–	10	15	pF	¹⁾	P_8.6.11

数据输入时序。见 图 41

SCLK Period	t_{pCLK}	250	–	–	ns	¹⁾	P_8.6.12
SCLK High Time	t_{SCLKH}	$0.45 \times t_{\text{pCLK}}$	–	$0.55 \times t_{\text{pCLK}}$	ns	¹⁾	P_8.6.13
SCLK Low Time	t_{SCLKL}	$0.45 \times t_{\text{pCLK}}$	–	$0.55 \times t_{\text{pCLK}}$	ns	¹⁾	P_8.6.14
SCLK Low before CSN Low	t_{BEF}	125	–	–	ns	¹⁾	P_8.6.15
CSN Setup Time	t_{lead}	250	–	–	ns	¹⁾	P_8.6.16
SCLK Setup Time	t_{lag}	250	–	–	ns	¹⁾	P_8.6.17
SCLK Low after CSN High	t_{BEH}	125	–	–	ns	¹⁾	P_8.6.18
SDI Setup Time	$t_{\text{SDI_setup}}$	100	–	–	ns	¹⁾	P_8.6.19

表 27 电气特性：SPI 接口（续）

如果 $V_{SOVTH} = 0$ ，则 $V_S = 6.0\text{ V}$ 至 18 V ；如果 $V_{SOVTH} = 1$ ，则 $V_S = 6.0\text{ V}$ 至 28 V ； $V_{DD} = 3.0\text{ V}$ 至 5.5 V ， $T_j = -40^\circ\text{C}$ 至 150°C ，所有电压相对于地，电流正向流入引脚（除非另有说明）

Parameter	Symbol	Values			Unit	Note or Test Condition	Number
		Min.	Typ.	Max.			
SDI Hold Time	t_{SDI_hold}	50	–	–	ns	¹⁾	P_8.6.20
Input Signal Rise Time at pin SDI, SCLK, CSN	t_{rIN}	–	–	50	ns	¹⁾	P_8.6.21
Input Signal Fall Time at pin SDI, SCLK, CSN	t_{fIN}	–	–	50	ns	¹⁾	P_8.6.22
Delay time from EN falling edge to standby mode	t_{DMODE}	–	–	6	μs	¹⁾	P_8.6.23
Minimum CSN High Time	t_{CSNH}	3	–	–	μs	¹⁾	P_8.6.24

数据输出时序。见图 42。

SDO Rise Time	t_{rSDO}	–	30	80	ns	¹⁾ $C_{load} = 100\text{ pF}$	P_8.6.25
SDO Fall Time	t_{fSDO}	–	30	80	ns	¹⁾ $C_{load} = 100\text{ pF}$	P_8.6.26
SDO Enable Time after CSN falling edge	t_{ENSDO}	–	–	50	ns	¹⁾ Low Impedance	P_8.6.27
SDO Disable Time after CSN rising edge	t_{DISSDO}	–	–	50	ns	¹⁾ High Impedance	P_8.6.28
Duty cycle of incoming clock at SCLK	$duty_{SCLK}$	45	–	55	%	¹⁾	P_8.6.29
SDO Valid Time for $V_{DD} = 5\text{ V}$	t_{VASDO5}	–	–	50	ns	¹⁾ $V_{SDO} < 0.2 \times V_{DD}$ $V_{SDO} > 0.8 \times V_{DD}$ $C_{load} = 100\text{ pF}$	P_8.6.31

- 1) 未经过生产测试，由设计指定。
- 2) EN 上升沿与器件可接受SPI指令之间所需的延迟

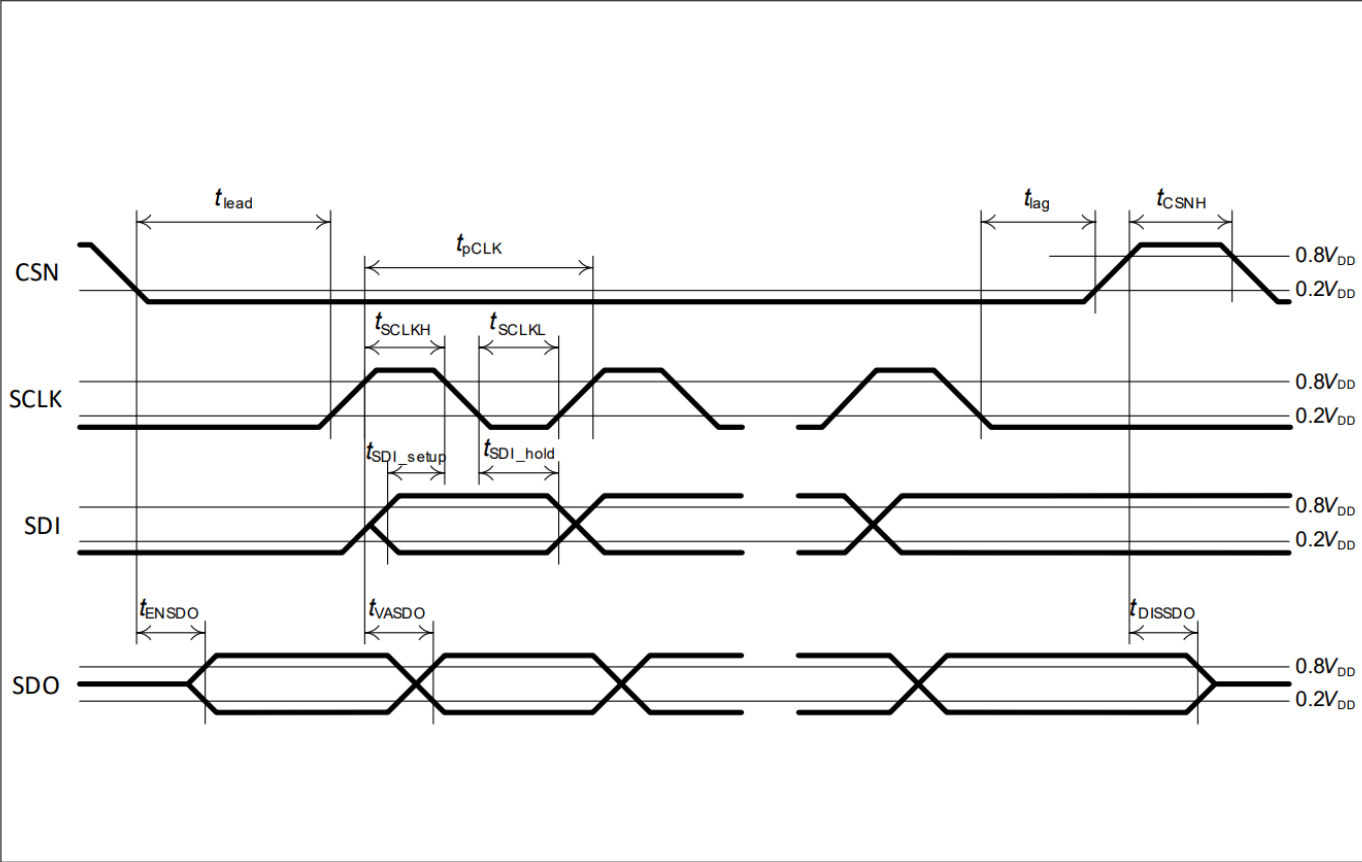


图 48 SPI 时序参数

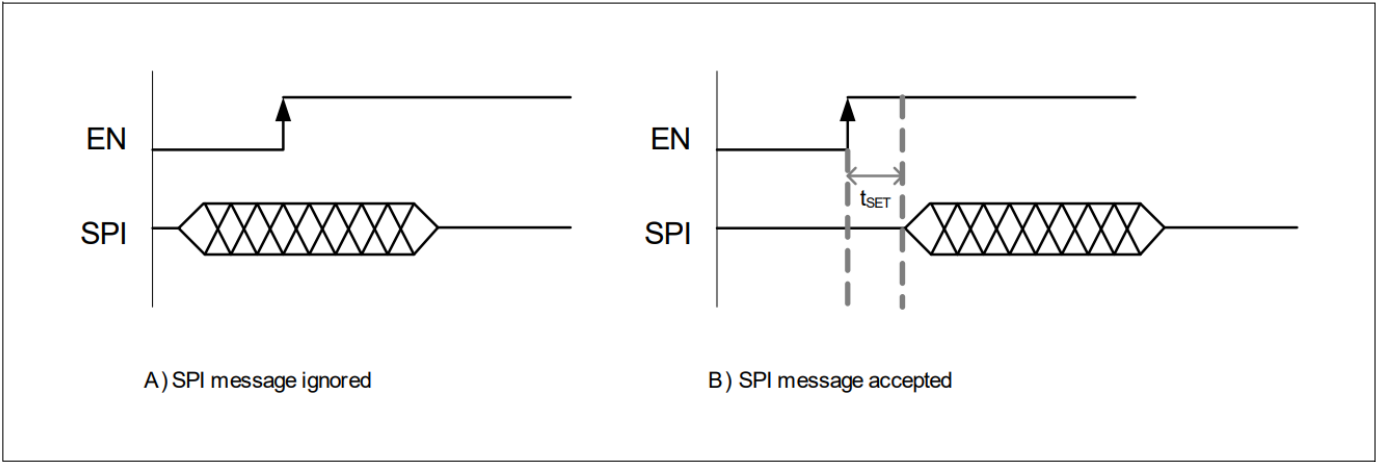


图 49 从 EN 上升沿到第一个SPI通讯的建立时间

9 寄存器规格

9.1 控制寄存器

表28 寄存器概述

Register Short Name	Register Long Name	Offset Address	Reset Value
GENCTRL1	General control register 1	0x00 and REG_BANK = 0 or 1	0x0026
GENCTRL2	General control register 2	0x01 and REG_BANK = 0 or 1	0x4180
VDS1	Drain-source monitoring HB1-4	0x02 and REG_BANK = 0 or 1	0x0249
VDS2	Drain-source monitoring HB5-8	0x03 and REG_BANK = 0 or 1	0x0249
CCP_BLK1	Cross current protection and blank times setting 1	0x04 and REG_BANK = 0 or 1	0x0000
CCP_BLK2_ACT	Cross current protection and blank times setting for active MOSFETs¹⁾	0x05 and REG_BANK = 0	0x4924
CCP_BLK2_FW	Cross current protection and blank times setting for FW MOSFETs¹⁾	0x05 and REG_BANK = 1	0x4924
HBMODE	Half-bridge mode	0x06 and REG_BANK = 0 or 1	0x0000
PWMSET	Setting of PWM channels	0x07 and REG_BANK = 0 or 1	0x6C60
TPRECHG	PWM pre-charge and pre-discharge time	0x08 and REG_BANK = 0 or 1	0x0000
HBIDIAG	Half-bridge diagnostic current control	0x09 and REG_BANK = 0 or 1	0xC000
ST_ICHG	Charge current for static half-bridges	0x0A and REG_BANK = 0	0x0044
PWM_PCHG_INIT	Precharge current initialization	0x0A and REG_BANK = 1	0x18C6
PWM_ICHG_ACT	Charge current for half-bridges in PWM (active MOSFETs¹⁾)	0x0B and REG_BANK = 0	0x18C6
PWM_ICHG_FW	Charge current for half-bridges in PWM (FW MOSFETs¹⁾)	0x0B and REG_BANK = 1	0x18C6
PWM_IDCHG_ACT	Discharge current of active MOSFETs¹⁾ in PWM operation	0x0C and REG_BANK = 0	0x1CE7
PWM_PDCHG_INIT	Predischarge current initialization	0x0C and REG_BANK = 1	0x318C
PWM_ICHGMAX_CCP_BLK3_ACT	Max. pre-charge / pre-discharge currents for half-bridges in PWM ²⁾ , tCCP and tBLANK setting for active MOSFETs¹⁾	0x0D and REG_BANK = 0	0x4900
PWM_ICHGMAX_CCP_BLK3_FW	Max. pre-charge / pre-discharge currents for half-bridges in PWM ²⁾ , tCCP and tBLANK setting for FW MOSFETs¹⁾	0x0D and REG_BANK = 1	0x4900



表 28 寄存器概述（续）

Register Short Name	Register Long Name	Offset Address	Reset Value
TDON_OFF1	Turn-on and turn-off delays for PWM channel1	0x0E and REG_BANK = 0 or 1	0x0A0A
TDON_OFF2	Turn-on and turn-off delays for PWM channel2	0x0F and REG_BANK = 0 or 1	0x0A0A
TDON_OFF3	Turn-on and turn-off delays for PWM channel3	0x10 and REG_BANK = 0 or 1	0x0A0A

- 1) 参考[章节 6.3.1](#) 对于主动和续流MOSFET的定义，取决于[AGC](#)
- 2) ICHGMAX 也是放电后施加到主动MOSFET 的电流。

9.1.1 通用控制寄存器和保护设置

通用控制寄存器 1

GENCTRL1
通用控制寄存器 1 (0 0000_B)复位值: 0000 0000 0010 0110_B

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CSD2	CSAG2	CSD1	CSAG1	REG_BANK	VSOVTH	UNLOCK	Reserved	FMODE	Reserved	IPCHGADT	OCEN	WDPER	WDTRIG		
rw	rw	rw	rw	rw	rw	rw	r	rw	r	rw	rw	rw	rw		

Field	Bits	Type	Description
CSD2	15	rw	Direction of the current sense amplifier 2 0 _B The current sense is unidirectional (default) 1 _B The current sense is bidirectional
CSAG2	14:13	rw	Gain of the current sense amplifier 2 00 _B 10 V/V (default) 01 _B 20 V/V 10 _B 40 V/V 11 _B 80 V/V
CSD1	12	rw	Direction of the current sense amplifier 1 0 _B The current sense is unidirectional (default) 1 _B The current sense is bidirectional
CSAG1	11:10	rw	Gain of the current sense amplifier 1 00 _B 10 V/V (default) 01 _B 20 V/V 10 _B 40 V/V 11 _B 80 V/V
REG_BANK	9	rw	Register banking 0 _B (Default) refer to CCP_BLK2_ACT , PWM_ICHGMAX_CCP_BLK3_ACT , PWM_ICHG_ACT , ST_ICHG , PWM_IDCHG_ACT 1 _B Refer to CCP_BLK2_FW , PWM_ICHGMAX_CCP_BLK3_FW , PWM_ICHG_FW , PWM_PDCHG_INIT , PWM_PCHG_INIT
VSOVTH	8	rw	VS Overvoltage threshold 0 _B $V_{SOV\ OFF} = V_{SOV\ OFF1}$ (min. 19 V, default) 1 _B $V_{SOV\ OFF} = V_{SOV\ OFF2}$ (min. 29V)
UNLOCK	7	rw	Unlock bit to disable the watchdog 0 _B WDDIS cannot be reset (default) 1 _B WDDIS (GENCTRL2) can be reset in the following SPI frame
Reserved	6	r	Reserved. Always read as '0'
FMODE	5	rw	Frequency modulation 0 _B No modulation 1 _B Modulation frequency 15.6 kHz (default)
Reserved	4	r	Reserved. Always read as '0'



Field	Bits	Type	Description
IPCHGADT	3	rw	Adaptation of the pre-charge and pre-discharge current 0 _B 1 current step (default) 1 _B 2 current steps
OCEN	2	rw	Overcurrent shutdown Enable 0 _B Disabled 1 _B Enabled (default)
WDPER	1	rw	Watchdog period 0 _B 50 ms 1 _B 200 ms (default)
WDTRIG	0	rw	Watchdog trigger bit This bit must be inverted within a watchdog period. After power on reset, the default value is 0.

注意：对此寄存器的任何写访问都必须与WDTRIG 位相反。否则，器件进入故障安全模式。请参阅第5.2.3 章。

通用控制寄存器 2

GENCTRL2

通用控制寄存器 2

(0 0001_B)复位值: 0100 0001 1000 0000_B

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
POCH GDIS	BD_P ASS	AGCFI LT	AGC	IHOL D	WDDI S	MSKT DREG	CPUV TH	CPST GA	TFVDS	OCTH2	OCTH1				
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

Field	Bits	Type	Description
POCHGDIS	15	rw	Postcharge disable bit 0 _B The postcharge phase is enabled during PWM (default) 1 _B The postcharge phase is disabled during PWM
BD_PASS	14	rw	Bridge driver passive mode 0 _B Bridge driver is in active mode 1 _B Bridge driver is in passive mode (Default)
AGCFILT	13	rw	Filter for adaptive gate control <i>Note: Refer to Adaptive control of pre-charge current and Adaptive control of pre-discharge current</i> 0 _B No filter applied (default) 1 _B Filter applied
AGC	12:11	rw	Adaptive gate control 00 _B (default) Adaptive gate control disabled, pre-charge and pre-discharge disabled 01 _B Adaptive gate control disabled, precharge is disabled, predischage is enabled with IPREDCHG = IPDCHGINIT (Refer to PWM_PCHG_INIT) 10 _B Adaptive gate control enabled, IPRECHG and IPREDCHG are self adapted 11 _B Reserved. Adaptive gate control enabled, IPRECHG and IPREDCHG are self adapted
IHOLD	10	rw	Gate driver hold current IHOLD 0 _B (default) Charge: I_{CHG8} (12.5 mA typ.), discharge: I_{DCHG8} (14.2 mA typ.) 1 _B Charge: I_{CHG12} (23.9 mA typ.), discharge: I_{DCHG12} (26.0 mA typ.)
WDDIS	9	rw	Watchdog disable bit 0 _B the watchdog is enabled (default) 1 _B the watchdog is disabled if the previous SPI frame has set UNLOCK bit (GENCTRL1) Once the watchdog is disabled, it is directly re-enabled by resetting WDDIS

Field	Bits	Type	Description
MSKTDREG	8	rw	Masking of the turn-on/off delay error in the Global Error Flag 0 _B Turn-on/off delay error is reported in the GEF 1 _B Turn-on/off delay error is masked in the GEF (default)
CPUVTH	7	rw	Charge pump undervoltage detection threshold 0 _B V_{CPUV} (referred to VS) = 6.0V typ. 1 _B V_{CPUV} (referred to VS) = 7.5 V typ. (default)
CPSTGA	6	rw	Automatic switch-over between dual and single charge pump stage 0 _B Automatic switch over deactivated (default) 1 _B Automatic switch over activated
TFVDS	5:4	rw	Filter time of drain-source voltage monitoring 00 _B 0.5 μ s (default) 01 _B 1 μ s 10 _B 2 μ s 11 _B 3 μ s
OCTH2	3:2	rw	Overcurrent detection threshold of CSO2 with CSD2 = 0 00 _B $V_{CSO2} > V_{DD/2}$ (default) 01 _B $V_{CSO2} > V_{DD/2} + V_{DD}/10$ 10 _B $V_{CSO2} > V_{DD/2} + 2 \times V_{DD}/10$ 11 _B $V_{CSO2} > V_{DD/2} + 3 \times V_{DD}/10$ Overcurrent detection threshold of CSO2 with CSD2 = 1 00 _B $V_{CSO2} > V_{DD/2} + 2 \times V_{DD}/20$ or $V_{CSO2} < V_{DD/2} - 2 \times V_{DD}/20$ (default) 01 _B $V_{CSO2} > V_{DD/2} + 4 \times V_{DD}/20$ or $V_{CSO2} < V_{DD/2} - 4 \times V_{DD}/20$ 10 _B $V_{CSO2} > V_{DD/2} + 5 \times V_{DD}/20$ or $V_{CSO2} < V_{DD/2} - 5 \times V_{DD}/20$ 11 _B $V_{CSO2} > V_{DD/2} + 6 \times V_{DD}/20$ or $V_{CSO2} < V_{DD/2} - 6 \times V_{DD}/20$
OCTH1	1:0	rw	Overcurrent detection threshold of CSO1 with CSD1 = 0 00 _B $V_{CSO1} > V_{DD/2}$ (default) 01 _B $V_{CSO1} > V_{DD/2} + V_{DD}/10$ 10 _B $V_{CSO1} > V_{DD/2} + 2 \times V_{DD}/10$ 11 _B $V_{CSO1} > V_{DD/2} + 3 \times V_{DD}/10$ Overcurrent detection threshold of CSO1 with CSD1 = 1 00 _B $V_{CSO1} > V_{DD/2} + 2 \times V_{DD}/20$ or $V_{CSO1} < V_{DD/2} - 2 \times V_{DD}/20$ (default) 01 _B $V_{CSO1} > V_{DD/2} + 4 \times V_{DD}/20$ or $V_{CSO1} < V_{DD/2} - 4 \times V_{DD}/20$ 10 _B $V_{CSO1} > V_{DD/2} + 5 \times V_{DD}/20$ or $V_{CSO1} < V_{DD/2} - 5 \times V_{DD}/20$ 11 _B $V_{CSO1} > V_{DD/2} + 6 \times V_{DD}/20$ or $V_{CSO1} < V_{DD/2} - 6 \times V_{DD}/20$



漏源监控阈值 HB1-4

VDS1

漏源监控阈值 HB1-4(0 0010_B)复位值:0000 0010 0100 1001_B

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
HB4D	HB3D	HB2D	HB1D	HB4VDSTH			HB3VDSTH			HB2VDSTH			HB1VDSTH		
rw	rw	rw	rw	rw			rw			rw			rw		
Field		Bits		Type		Description									
HB4D		15		rw		HS4 Drain-source monitoring¹⁾ 0 _B Drain-source monitoring: DH - VSH4 (default) 1 _B Drain-source monitoring: CSIN1 - VSH4									
HB3D		14		rw		HS3 Drain-source monitoring¹⁾ 0 _B Drain-source monitoring: DH - VSH3 (default) 1 _B Drain-source monitoring: CSIN1 - VSH3									
HB2D		13		rw		HS2 Drain-source monitoring¹⁾ 0 _B Drain-source monitoring: DH - VSH2 (default) 1 _B Drain-source monitoring: CSIN1 - VSH2									
HB1D		12		rw		HS1 Drain-source monitoring¹⁾ 0 _B Drain-source monitoring: DH - VSH1 (default) 1 _B Drain-source monitoring: CSIN1 - VSH1									
HB4VDSTH		11:9		rw		HB4 drain-source overvoltage threshold 000 _B 0.15 V 001 _B 0.20 V (default) 010 _B 0.25 V 011 _B 0.30 V 100 _B 0.40 V 101 _B 0.50 V 110 _B 0.60 V 111 _B 2.0 V									
HB3VDSTH		8:6		rw		HB3 drain-source overvoltage threshold 000 _B 0.15 V 001 _B 0.20 V (default) 010 _B 0.25 V 011 _B 0.30 V 100 _B 0.40V 101 _B 0.50 V 110 _B 0.60 V 111 _B 2.0 V									

Field	Bits	Type	Description
HB2VDSTH	5:3	rw	HB2 drain-source overvoltage threshold 000 _B 0.15 V 001 _B 0.20 V (default) 010 _B 0.25 V 011 _B 0.30 V 100 _B 0.40 V 101 _B 0.50 V 110 _B 0.60 V 111 _B 2.0 V
HB1VDSTH	2:0	rw	HB1 drain-source overvoltage threshold 000 _B 0.15 V 001 _B 0.20 V (default) 010 _B 0.25 V 011 _B 0.30 V 100 _B 0.40 V 101 _B 0.50 V 110 _B 0.60 V 111 _B 2.0 V

1) 适用于 HSx。LSx 的漏源过压是通过监控 VSHx - VSL 来完成的。



漏源监控阈值 HB5-8

VDS2

漏源监控阈值 HB5-8(0 0011_B)复位值: 0000 0010 0100 1001_B

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
HB8D	HB7D	HB6D	HB5D	HB8VDSTH			HB7VDSTH			HB6VDSTH			HB5VDSTH		
rw	rw	rw	rw	rw			rw			rw			rw		
Field		Bits		Type		Description									
HB8D		15		rw		HS8 Drain-source monitoring¹⁾ 0 _B Drain-source monitoring: DH - VSH8 (default) 1 _B Drain-source monitoring: CSIN1 - VSH8									
HB7D		14		rw		HS7 Drain-source monitoring¹⁾ 0 _B Drain-source monitoring: DH - VSH7 (default) 1 _B Drain-source monitoring: CSIN1 - VSH7									
HB6D		13		rw		HS6 Drain-source monitoring¹⁾ 0 _B Drain-source monitoring: DH - VSH6 (default) 1 _B Drain-source monitoring: CSIN1 - VSH6									
HB5D		12		rw		HS5 Drain-source monitoring¹⁾ 0 _B Drain-source monitoring: DH - VSH5 (default) 1 _B Drain-source monitoring: CSIN1 - VSH5									
HB8VDSTH		11:9		rw		HB8 drain-source overvoltage threshold 000 _B 0.15 V 001 _B 0.20 V (default) 010 _B 0.25 V 011 _B 0.30 V 100 _B 0.40 V 101 _B 0.50 V 110 _B 0.60 V 111 _B 2.0 V									
HB7VDSTH		8:6		rw		HB7 drain-source overvoltage threshold 000 _B 0.15 V 001 _B 0.20 V (default) 010 _B 0.25 V 011 _B 0.30 V 100 _B 0.40 V 101 _B 0.50 V 110 _B 0.60 V 111 _B 2.0 V									



Field	Bits	Type	Description
HB6VDSTH	5:3	rw	HB6 drain-source overvoltage threshold 000 _B 0.15 V 001 _B 0.20 V (default) 010 _B 0.25 V 011 _B 0.30 V 100 _B 0.40 V 101 _B 0.50 V 110 _B 0.60 V 111 _B 2.0 V
HB5VDSTH	2:0	rw	HB5 drain-source overvoltage threshold 000 _B 0.15 V 001 _B 0.20 V (default) 010 _B 0.25 V 011 _B 0.30 V 100 _B 0.40 V 101 _B 0.50 V 110 _B 0.60 V 111 _B 2.0 V

1) 适用于 HSx。LSx 的漏源过压是通过监控 VSHx - VSL 来完成的。

交叉电流保护及空白时间设置 1

CCP_BLK1
CCP和空白时间设置1(0 0100_B)复位值: 0000 0000 0000 0000_B

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
HB8CCPBLK		HB7CCPBLK		HB6CCPBLK		HB5CCPBLK		HB4CCPBLK		HB3CCPBLK		HB2CCPBLK		HB1CCPBLK	
rw		rw		rw		rw		rw		rw		rw		rw	
Field	Bits	Type	Description												
HB8CCPBLK	15:14	rw	Cross-current protection and blank times applied to HB8 00 _B (tHB8CCP, tHB8BLANK) = (tCCP1, tBLANK1) (default) 01 _B (tHB8CCP, tHB8BLANK) = (tCCP2, tBLANK2) 10 _B (tHB8CCP, tHB8BLANK) = (tCCP3, tBLANK3) 11 _B (tHB8CCP, tHB8BLANK) = (tCCP4, tBLANK4)												
HB7CCPBLK	13:12	rw	Cross-current protection and blank times applied to HB7 00 _B (tHB7CCP, tHB7BLANK) = (tCCP1, tBLANK1) (default) 01 _B (tHB7CCP, tHB7BLANK) = (tCCP2, tBLANK2) 10 _B (tHB7CCP, tHB7BLANK) = (tCCP3, tBLANK3) 11 _B (tHB7CCP, tHB7BLANK) = (tCCP4, tBLANK4)												
HB6CCPBLK	11:10	rw	Cross-current protection and blank times applied to HB6 00 _B (tHB6CCP, tHB6BLANK) = (tCCP1, tBLANK1) (default) 01 _B (tHB6CCP, tHB6BLANK) = (tCCP2, tBLANK2) 10 _B (tHB6CCP, tHB6BLANK) = (tCCP3, tBLANK3) 11 _B (tHB6CCP, tHB6BLANK) = (tCCP4, tBLANK4)												
HB5CCPBLK	9:8	rw	Cross-current protection and blank times applied to HB5 00 _B (tHB5CCP, tHB5BLANK) = (tCCP1, tBLANK1) (default) 01 _B (tHB5CCP, tHB5BLANK) = (tCCP2, tBLANK2) 10 _B (tHB5CCP, tHB5BLANK) = (tCCP3, tBLANK3) 11 _B (tHB5CCP, tHB5BLANK) = (tCCP4, tBLANK4)												
HB4CCPBLK	7:6	rw	Cross-current protection and blank times applied to HB4 00 _B (tHB4CCP, tHB4BLANK) = (tCCP1, tBLANK1) (default) 01 _B (tHB4CCP, tHB4BLANK) = (tCCP2, tBLANK2) 10 _B (tHB4CCP, tHB4BLANK) = (tCCP3, tBLANK3) 11 _B (tHB4CCP, tHB4BLANK) = (tCCP4, tBLANK4)												
HB3CCPBLK	5:4	rw	Cross-current protection and blank times applied to HB3 00 _B (tHB3CCP, tHB3BLANK) = (tCCP1, tBLANK1) (default) 01 _B (tHB3CCP, tHB3BLANK) = (tCCP2, tBLANK2) 10 _B (tHB3CCP, tHB3BLANK) = (tCCP3, tBLANK3) 11 _B (tHB3CCP, tHB3BLANK) = (tCCP4, tBLANK4)												
HB2CCPBLK	3:2	rw	Cross-current protection and blank times applied to HB2 00 _B (tHB2CCP, tHB2BLANK) = (tCCP1, tBLANK1) (default) 01 _B (tHB2CCP, tHB2BLANK) = (tCCP2, tBLANK2) 10 _B (tHB2CCP, tHB2BLANK) = (tCCP3, tBLANK3) 11 _B (tHB2CCP, tHB2BLANK) = (tCCP4, tBLANK4)												



Field	Bits	Type	Description
HB1CCPBLK	1:0	rw	Cross-current protection and blank times applied to HB1 00 _B (tHB1CCP, tHB1BLANK) = (tCCP1, tBLANK1) (default) 01 _B (tHB1CCP, tHB1BLANK) = (tCCP2, tBLANK2) 10 _B (tHB1CCP, tHB1BLANK) = (tCCP3, tBLANK3) 11 _B (tHB1CCP, tHB1BLANK) = (tCCP4, tBLANK4)

请参阅CCP_BLK2_ACT, PWM_ICHGMAX_CCP_BLK3_ACT, CCP_BLK2_FW 和 PWM_ICHGMAX_CCP_BLK3_FW 对于 (tCCPx, tBLANKx) 的设置，x = 1 ... 4。



主动MOSFET的交叉电流保护和消隐时间设置2

注意：该寄存器通过REG_BANK 访问=0 且偏移地址0 0101_B。tCCP 和tBLANK 适用于主动MOSFET。

CCP_BLK2_ACT

Active CCP 和空白时间设置 2(0 0101_B)复位值: 0100 1001 0010 0100_B

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reser ved	TCCP3_ACT			TBLANK2_ACT			TCCP2_ACT			TBLANK1_ACT			TCCP1_ACT		
r	rw			rw			rw			rw			rw		

Field	Bits	Type	Description
Reserved	15	r	Reserved. Always read as ‘0’
TCCP3_ACT	14:12	rw	Cross-current protection - tCCP3 Active Refer to Table 29 Default: 100 _B : typ. 2000 ns
TBLANK2_A CT	11:9	rw	Blank time - tBLANK2 Active Refer to Table 30 Default: 100 _B : typ. 2000 ns
TCCP2_ACT	8:6	rw	Cross-current protection - tCCP2 Active Refer to Table 29 Default: 100 _B : typ. 2000 ns
TBLANK1_A CT	5:3	rw	Blank time - tBLANK1 Active Refer to Table 30 Default: 100 _B : typ. 2000 ns
TCCP1_ACT	2:0	rw	Cross-current protection - tCCP1 Active Refer to Table 29 Default: 100 _B : typ. 2000 ns

表 29 主动MOSFET 的交叉电流保护时间

TCCPx_ACT[2:0], x = 1...4	Active cross-current protection HBx, x = 1...4 (typical)
000 _B	375 ns
001 _B	625 ns
010	1 μs
011	1.5 μs
100	2 μs (default)
101	3 μs
110	4 μs
111	16 μs ¹⁾

1) 当对半桥施加 16 μs 的交叉电流保护时间时，最大用于该半桥的驱动电流必须设置在 30 mA 以下，以避免门级驱动器过热。请参阅登记ST_ICHG 用于持续控制半桥和PWM_IDCHG_ACT 用于PWM控制的半桥。



表 30 主动 MOSFET 的漏源过压空白时间

TBLANKx_ACT[2:0], x = 1...4	Active drain-Source overvoltage blank time tBLANKx, x = 1...4 (typical)
000 _B	625 ns
001 _B	1 μs
010 _B	1.25 μs
011 _B	1.5 μs
100 _B	2 μs (default)
101 _B	3 μs
110 _B	4 μs
111 _B	16 μs ¹⁾

1) 当对半桥施加 16 μs 的漏源过压消隐时间时，最大用于该半桥的驱动电流必须设置在 30 mA 以下，以避免门级驱动器过热。请参阅登记 [ST_ICHG](#) 用于持续控制半桥和 [PWM_ICHG_ACT](#) 用于 PWM 控制的半桥。

参考 [PWM_ICHGMAX_CCP_BLK3_ACT](#) 用于设置主动 MOSFET 的 tBLANK4、tCCP4 和 tBLANK3。

参考 [CCP_BLK1](#) 用于将 (tCCPx,tBLANKx) 映射到半桥。



续流 MOSFET 的交叉电流保护和消隐时间设置 2

注意：该寄存器通过REG_BANK 访问=1 且偏移地址0 0101_B。tCCP 和tBLANK 适用于FW MOSFET。

CCP_BLK2_FW

FW CCP 和空白时间设置 2(0 0101_B)复位值: 0100 1001 0010 0100_B

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved	TCCP3_FW			TBLANK2_FW			TCCP2_FW			TBLANK1_FW			TCCP1_FW		
r	rw			rw			rw			rw			rw		

Field	Bits	Type	Description
Reserved	15	r	Reserved. Always read as '0'
TCCP3_FW	14:12	rw	Cross-current protection - tCCP3 Freewheeling Refer to Table 31 Default: 100 _B : typ. 2000 ns
TBLANK2_FW	11:9	rw	Blank time - tBLANK2 Freewheeling Refer to Table 32 Default: 100 _B : typ. 2000 ns
TCCP2_FW	8:6	rw	Cross-current protection - tCCP2 Freewheeling Refer to Table 31 Default: 100 _B : typ. 2000 ns
TBLANK1_FW	5:3	rw	Blank time - tBLANK1 Freewheeling Refer to Table 32 Default: 100 _B : typ. 2000 ns
TCCP1_FW	2:0	rw	Cross-current protection - tCCP1 Freewheeling Refer to Table 31 Default: 100 _B : typ. 2000 ns

表 31 续流 MOSFET 的交叉电流保护时间

TCCPx_FW[2:0], x = 1...4	FW cross-current protection HBx, x = 1...4 (typical)
000 _B	375 ns
001 _B	625 ns
010	1 μs
011	1.5 μs
100	2 μs (default)
101	3 μs
110	4 μs
111	16 μs ¹⁾

1) 当对半桥施加 16 μs 的交叉电流保护时间时，最大用于该半桥的驱动电流必须设置在 30 mA 以下，以避免门级驱动器过热。请参阅登记ST_ICHG 用于持续控制半桥和PWM_ICHG_FW 用于PWM控制的半桥。



表 32 FW MOSFET 的漏源过压空白时间

TBLANKx_FW[2:0], x = 1...4	FW Drain-Source overvoltage blank time tBLANKx, x = 1...4 (typical)
000 _B	625 ns
001 _B	1 μs
010 _B	1.25 μs
011 _B	1.5 μs
100 _B	2 μs (default)
101 _B	3 μs
110 _B	4 μs
111 _B	16 μs ¹⁾

1) 当对半桥施加 16 μs 的漏源过压消隐时间时，最大用于该半桥的驱动电流必须设置在 30 mA 以下，以避免门级驱动器过热。请参阅登记 [ST_ICHG](#) 用于持续控制半桥和 [PWM_ICHG_FW](#) 用于 PWM 控制的半桥。

参考 [PWM_ICHGMAX_CCP_BLK3_FW](#) 有关 FW MOSFET 的 tBLANK4、tCCP4 和 tBLANK3 的设置，请参阅 [CCP_BLK1](#) 用于将 (tCCPx,tBLANKx) 映射到半桥。

9.1.2 半桥控制

半桥模式

HBMODE

半桥模式

(0 0110_B) 复位值: 0_B

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
HB8MODE		HB7MODE		HB6MODE		HB5MODE		HB4MODE		HB3MODE		HB2MODE		HB1MODE	
rw		rw		rw		rw		rw		rw		rw		rw	

Field	Bits	Type	Description
HB8MODE	15:14	rw	Half-bridge output 8 mode selection 00 _B HB8 is in high impedance (default) 01 _B LS8 is ON 10 _B HS8 is ON 11 _B Reserved - HB8 is in high impedance
HB7MODE	13:12	rw	Half-bridge output 7 mode selection 00 _B HB7 is in high impedance (default) 01 _B LS7 is ON 10 _B HS7 is ON 11 _B Reserved - HB7 is in high impedance
HB6MODE	11:10	rw	Half-bridge output 6 mode selection 00 _B HB6 is in high impedance (default) 01 _B LS6 is ON 10 _B HS6 is ON 11 _B Reserved - HB6 is in high impedance
HB5MODE	9:8	rw	Half-bridge output 5 mode selection 00 _B HB5 is in high impedance (default) 01 _B LS5 is ON 10 _B HS5 is ON 11 _B Reserved - HB5 is in high impedance
HB4MODE	7:6	rw	Half-bridge output 4 mode selection 00 _B HB4 is in high impedance (default) 01 _B LS4 is ON 10 _B HS4 is ON 11 _B Reserved - HB4 is in high impedance
HB3MODE	5:4	rw	Half-bridge output 3 mode selection 00 _B HB3 is in high impedance (default) 01 _B LS3 is ON 10 _B HS3 is ON 11 _B Reserved - HB3 is in high impedance
HB2MODE	3:2	rw	Half-bridge output 2 mode selection 00 _B HB2 is in high impedance (default) 01 _B LS2 is ON 10 _B HS2 is ON 11 _B Reserved - HB2 is in high impedance



Field	Bits	Type	Description
HB1MODE	1:0	rw	Half-bridge output 1 mode selection 00 _B HB1 is in high impedance (default) 01 _B LS1 is ON 10 _B HS1 is ON 11 _B Reserved - HB1 is in high impedance

PWM通道设置

PWMSET

PWM通道设置 (0 0111_B)复位 值: 0110 1100 0110 0000_B

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
Reser ved	PASS_ VDS	PASS_MOD			PWM3_HB			PWM3 _EN	PWM2_HB			PWM2 _EN	PWM1_HB			PWM1 _EN
r	rw	rw			rw			rw	rw			rw	rw			rw
Field		Bits	Type	Description												
Reserved		15	r	Reserved. Always read as ‘0’												
PASS_VDS		14	rw	Drain-Source monitoring in bridge passive mode 0 _B DS monitoring in bridge passive mode disabled 1 _B DS monitoring in bridge passive mode enabled (Default)												
PASS_MOD		13:12	rw	Settings for bridge driver passive mode 00 _B LS1-4 are always off <i>Note: Changing PASS_MOD from 00_B to any other value requires to clear DSOV¹⁾ first before writing PASS_MOD,</i> 01 _B LS1-4 are always on (static brake) 10 _B LS1-4 are activated if passive VS OV is detected (overvoltage brake) (Default) 11 _B LS1-4 are activated if passive VS OV is detected and PWM1 = High (overvoltage brake conditioned by PWM1)												
PWM3_HB		11:9	rw	Allocation of the PWM channel 3 000 _B HB1 001 _B HB2 010 _B HB3 011 _B HB4 100 _B HB5 101 _B HB6 110 _B HB7 (default) 111 _B HB8												
PWM3_EN		8	rw	PWM channel 3 enable 0 _B PWM3 is disabled (default) 1 _B PWM3 is enabled												
PWM2_HB		7:5	rw	Allocation of the PWM channel 2 000 _B HB1 001 _B HB2 010 _B HB3 011 _B HB4 (Default) 100 _B HB5 101 _B HB6 110 _B HB7 111 _B HB8												



Field	Bits	Type	Description
PWM2_EN	4	rw	PWM channel 2 enable 0 _B PWM2 is disabled (default) 1 _B PWM2 is enabled
PWM1_HB	3:1	rw	Allocation of the PWM channel 1 000 _B HB1 (default) 001 _B HB2 010 _B HB3 011 _B HB4 100 _B HB5 101 _B HB6 110 _B HB7 111 _B HB8
PWM1_EN	0	rw	PWM channel 1 enable 0 _B PWM1 is disabled (default) 1 _B PWM1 is enabled

1) 如果DSOV 未先清除，PASS_MOD 的值保持在 00_B

如果同一个半桥映射到多个激活的 PWM 通道，则会报告 SPI 错误，并且受影响的半桥处于高阻抗。



PWM预充电和预放电时间

TPRECHG

充电和预充电时间 (0 1000_B) 复位值: 0_B

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reser ved	EN_DE EP_AD	Reser ved	EN_GE N_CH ECK	TPDCHG3	TPCHG3	TPDCHG2	TPCHG2	TPDCHG1	TPCHG1						
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

Field	Bits	Type	Description
Reserved	15	rw	Reserved. To be programmed as '0'.
EN_DEEP_A D	14	rw	Deep adaptation enabled 0 _B Deep adaptation disabled (default) 1 _B Deep adaptation enabled. Refer to Chapter 6.3.3.6 .
Reserved	13	rw	Reserved. This bits must be set to '0'
EN_GEN_CH ECK	12	rw	Enable generator check 0 _B Detection of generator mode disabled (default) 1 _B Detection of generator mode enabled.
TPDCHG3	11:10	rw	Pre-discharge time of PWM channel 3 00 _B 125 ns (default) 01 _B 250 ns 10 _B 500 ns 11 _B 1000 ns
TPCHG3	9:8	rw	Pre-charge time of PWM channel 3 00 _B 125 ns (default) 01 _B 250 ns 10 _B 500 ns 11 _B 1000 ns
TPDCHG2	7:6	rw	Pre-discharge time of PWM channel 2 00 _B 125 ns (default) 01 _B 250 ns 10 _B 500 ns 11 _B 1000 ns
TPCHG2	5:4	rw	Pre-charge time of PWM channel 2 00 _B 125 ns (default) 01 _B 250 ns 10 _B 500 ns 11 _B 1000 ns
TPDCHG1	3:2	rw	Pre-discharge time of PWM channel 1 00 _B 125 ns (default) 01 _B 250 ns 10 _B 500 ns 11 _B 1000 ns



Field	Bits	Type	Description
TPCHG1	1:0	rw	Pre-charge time of PWM channel 1 00 _B 125 ns (default) 01 _B 250 ns 10 _B 500 ns 11 _B 1000 ns

半桥诊断电流控制

HBIDIAG

半桥诊断电流控制(0 1001_B)复位值: 1100 0000 0000 0000_B

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CSA2L	CSA1L	OC2FILT	OC1FILT	CSA2 OFF	CSA1 OFF	HB8ID IAG	HB7ID IAG	HB6ID IAG	HB5ID IAG	HB4ID IAG	HB3ID IAG	HB2ID IAG	HB1ID IAG		
rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw	rw

Field	Bits	Type	Description
CSA2L	15	rw	Level of CSA2 0 _B CSA2 is configured as low-side 1 _B CSA2 is configured as high-side (default)
CSA1L	14	rw	Level of CSA1 0 _B CSA1 is configured as low-side 1 _B CSA1 is configured as high-side (default)
OC2FILT	13:12	rw	Overcurrent filter time for CSO2 00 _B 6 μs (default) 01 _B 10 μs 10 _B 50 μs 11 _B 100 μs
OC1FILT	11:10	rw	Overcurrent filter time for CSO1 00 _B 6 μs (default) 01 _B 10 μs 10 _B 50 μs 11 _B 100 μs
CSA2_OFF	9	rw	Disable of CSA2 0 _B CSA2 enabled(default) 1 _B CSA2 disabled
CSA1_OFF	8	rw	Disable of CSA1 0 _B CSA1 enabled (default) 1 _B CSA1 disabled
HB8IDIAG	7	rw	Control of HB8 off-state current source and current sink 0 _B Pull-down deactivated (default) 1 _B Pull-down activated
HB7IDIAG	6	rw	Control of HB7 off-state current source and current sink 0 _B Pull-down deactivated (default) 1 _B Pull-down activated
HB6IDIAG	5	rw	Control of HB6 off-state current source and current sink 0 _B Pull-down deactivated (default) 1 _B Pull-down activated
HB5IDIAG	4	rw	Control of HB5 off-state current source and current sink 0 _B Pull-down deactivated (default) 1 _B Pull-down activated

Field	Bits	Type	Description
HB4IDIAG	3	rw	Control of HB4 off-state current source and current sink 0 _B Pull-down deactivated (default) 1 _B Pull-down activated
HB3IDIAG	2	rw	Control of HB3 off-state current source and current sink 0 _B Pull-down deactivated (default) 1 _B Pull-down activated
HB2IDIAG	1	rw	Control of HB2 off-state current source and current sink 0 _B Pull-down deactivated (default) 1 _B Pull-down activated
HB1IDIAG	0	rw	Control of HB1 pull-down for off-state diagnostic 0 _B Pull-down deactivated (default) 1 _B Pull-down activated



持续充放电电流选择

注意： 只有当REG_BANK = 0 与相应的偏移地址，该寄存器可以访问。

ST_ICHG

静态充放电电流选择(0 1010_B)复位值: 0000 0000 0100 0100_B

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
HB8IC HGST	HB7IC HGST	HB6IC HGST	HB5IC HGST	HB4IC HGST	HB3IC HGST	HB2IC HGST	HB1IC HGST	ICHGST2				ICHGST1			
rw	rw	rw	rw	rw	rw	rw	rw	rw				rw			

Field	Bits	Type	Description
HB8ICHGST	15	rw	HB8 Selection of charge and discharge currents 0 _B The static charge/discharge current 1 is applied to the half- bridge 8 (default). 1 _B The static charge/discharge current 2 is applied to the half- bridge 8.
HB7ICHGST	14	rw	HB7 Selection of charge and discharge currents 0 _B The static charge/discharge current 1 is applied to the half- bridge 7 (default). 1 _B The static charge/discharge current 2 is applied to the half- bridge 7.
HB6ICHGST	13	rw	HB6 Selection of charge and discharge currents 0 _B The static charge/discharge current 1 is applied to the half- bridge 6 (default). 1 _B The static charge/discharge current 2 is applied to the half- bridge 6.
HB5ICHGST	12	rw	HB5 Selection of charge and discharge currents 0 _B The static charge/discharge current 1 is applied to the half- bridge 5 (default). 1 _B The static charge/discharge current 2 is applied to the half- bridge 5.
HB4ICHGST	11	rw	HB4 Selection of charge and discharge currents 0 _B The static charge/discharge current 1 is applied to the half- bridge 4 (default). 1 _B The static charge/discharge current 2 is applied to the half- bridge 4.
HB3ICHGST	10	rw	HB3 Selection of charge and discharge currents 0 _B The static charge/discharge current 1 is applied to the half- bridge 3 (default). 1 _B The static charge/discharge current 2 is applied to the half- bridge 3.

Field	Bits	Type	Description
HB2ICHGST	9	rw	HB2 Selection of charge and discharge currents 0_B The static charge/discharge current 1 is applied to the half- bridge 2 (default). 1_B The static charge/discharge current 2 is applied to the half- bridge 2.
HB1ICHGST	8	rw	HB1 Selection of charge and discharge currents 0_B The static charge/discharge current 1 is applied to the half- bridge 1 (default). 1_B The static charge/discharge current 2 is applied to the half- bridge 1.
ICHGST2	7:4	rw	Static gate driver charge and discharge currents 2 Refer to Table 10 Default: 0100 _B - Charge 12.5 mA typ., discharge 14.2 mA typ.
ICHGST1	3:0	rw	Static gate driver charge and discharge currents 1 Refer to Table 10 Default: 0100 _B - charge 12.5 mA typ., discharge 14.2 mA typ.



PWM 主动 MOSFET 预充电电流初始化

注意： 只有当REG_BANK = 1 与相应的偏移地址，该寄存器可以访问。

PWM_PCHG_INIT

初始PWM预充电电流选择(0 1010_B)复位值: 0001 1000 1100 0110_B

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reser ved	PCHGINIT3					PCHGINIT2					PCHGINIT1				
r	rw					rw					rw				

Field	Bits	Type	Description
Reserved	15	r	Reserved. Always read as ‘0’
PCHGINIT3	14:10	rw	Initial precharge current of PWM Channel 3 Refer to Table 13 Default: 00110 _B : typ. 8.0 mA
PCHGINIT2	9:5	rw	Initial precharge current of PWM Channel 2 Refer to Table 13 Default: 00110 _B : typ. 8.0 mA
PCHGINIT1	4:0	rw	Initial precharge current of PWM Channel 1 Refer to Table 13 Default: 00110 _B : typ. 8.0 mA



主动MOSFET的PWM充电电流

注意：该寄存器通过REG_BANK 访问= 0 且偏移地址为0 1011_B。充电电流施加到主动MOSFET (ICHG1-3)。

PWM_ICHG_ACT
有效PWM充电电流 (0 1011_B)复位值:0001 1000 1100 0110_B

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reser ved	ICHG					ICHG					ICHG				
r	rw					rw					rw				

Field	Bits	Type	Description
Reserved	15	r	Reserved. Always read as ‘0’
ICHG3	14:10	rw	Gate driver charge current of PWM Channel 3 (Active MOSFET) Refer to Table 13 Default: 00110 _B : typ. 8.0 mA
ICHG2	9:5	rw	Gate driver charge current of PWM Channel 2 (Active MOSFET) Refer to Table 13 Default: 00110 _B : typ. 8.0 mA
ICHG1	4:0	rw	Gate driver charge current of PWM Channel 1 (Active MOSFET) Refer to Table 13 Default: 00110 _B : typ. 8.0 mA



FW MOSFET 的 PWM 充电/放电电流

注意：该寄存器通过 **REG_BANK** 访问=1 且偏移地址为 0 1011_B。充电和放电电流施加到续流 MOSFET (ICHGFW1-3)。

PWM_ICHG_FW

FW PWM 充电/放电电流 (0 1011_B) 复位值：0001 1000 1100 0110_B

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reser ved	ICHG3_FW					ICHG2_FW					ICHG1_FW				
r	rw					rw					rw				

Field	Bits	Type	Description
Reserved	15	r	Reserved. Always read as '0'
ICHG3_FW	14:10	rw	Gate driver charge and discharge currents of PWM Channel 3 (FW MOSFET) Refer to Table 13 , Table 14 Default: 00110 _B . Typ. charge 8.0 mA, typ. discharge: 9.4 mA
ICHG2_FW	9:5	rw	Gate driver charge and discharge currents of PWM Channel 2 (FW MOSFET) Refer to Table 13 , Table 14 Default: 00110 _B . Typ. charge 8.0 mA, typ. discharge: 9.4 mA
ICHG1_FW	4:0	rw	Gate driver charge and discharge currents of PWM Channel 1 (FW MOSFET) Refer to Table 13 , Table 14 Default: 00110 _B . Typ. charge 8.0 mA, typ. discharge: 9.4 mA

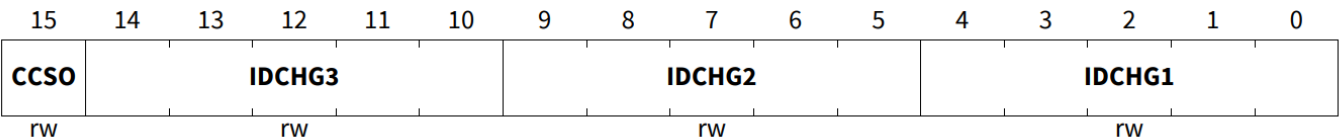
注释： 所选电流应用于FW MOSFET 的导通和关断。



主动 MOSFET 的 PWM 放电电流

注意： 只有当REG_BANK = 0 与相应的偏移地址，该寄存器可以访问。

PWM_IDCHG_ACT
PWM 放电电流 (0 1100_B) 复位值: 0001 1100 1110 0111_B



Field	Bits	Type	Description
CCSO	15	rw	Capacitor connected to the current sense amplifier outputs 0 _B Capacitor connected to CSO < 100 pF (default) 1 _B Capacitor connected to CSO < 400 pF
IDCHG3	14:10	rw	Discharge current for PWM Channel 3 (Active MOSFET) Refer to Table 14 Default: 00111 _B : typ. 11.8 mA
IDCHG2	9:5	rw	Discharge current for PWM Channel 2 (Active MOSFET) Refer to Table 14 Default: 00111 _B : typ. 11.8 mA
IDCHG1	4:0	rw	Discharge current of PWM Channel 1 (Active MOSFET) Refer to Table 14 Default: 00111 _B : typ. 11.8 mA



PWM 主动 MOSFET 预放电电流初始化

注意： 只有当REG_BANK = 1 与相应的偏移地址，该寄存器可以访问。

PWM_PDCHG_INIT

初始PWM预放电电流选择(0 1100_B)复位值: 0011 0001 1000 1100_B

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CCSO	PDCHGINIT3					PDCHGINIT2					PDCHGINIT1				
rw	rw					rw					rw				

Field	Bits	Type	Description
CCSO	15	rw	Capacitor connected to the current sense amplifier outputs 0 _B Capacitor connected to CSO < 100 pF (default) 1 _B Capacitor connected to CSO < 400 pF
PDCHGINIT3	14:10	rw	Initial predischage current of PWM Channel 3 Refer to Table 14 Default: 01100 _B : typ. 26.0 mA
PDCHGINIT2	9:5	rw	Initial predischage current of PWM Channel 2 Refer to Table 14 Default: 01100 _B : typ. 26.0 mA
PDCHGINIT1	4:0	rw	Initial predischage current of PWM Channel 1 Refer to Table 14 Default: 01100 _B : typ. 26.0 mA



PWM最大驱动电流选择及有效tCCP4、tBLANK 3/4

注意：该寄存器通过REG_BANK 访问= 0 且偏移地址0 1101_B。tCCP 和tBLANK 适用于主动MOSFET。

PWM_ICHGMAX_CCP_BLK3_ACT

PWM最大驱动电流 (0 1101_B)复位值: 0100 1001 0000 0000_B

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved	TBLANK4_ACT			TCCP4_ACT			TBLANK3_ACT			ICHGMAX3		ICHGMAX2		ICHGMAX1	
r	rw			rw			rw			rw		rw		rw	

Field	Bits	Type	Description
Reserved	15	r	Reserved. Always read as '0'
TBLANK4_ACT	14:12	rw	Blank time¹⁾ - tBLANK4 Active Refer to Table 30 Default: 100 _B : typ. 2000 ns
TCCP4_ACT	11:9	rw	Cross-current protection¹⁾ - tCCP4 Active Refer to Table 29 Default: 100 _B : typ. 2000 ns
TBLANK3_ACT	8:6	rw	Blank time¹⁾ - tBLANK3 Active Refer to Table 30 Default: 100 _B : typ. 2000 ns
ICHGMAX3	5:4	rw	Maximum drive current of half-bridge mapped to PWM channel 3 during the pre-charge phase and pre-discharge phases²⁾ 00 _B (default) charge: typ. 18.8 mA, discharge: typ. 19.7 mA 01 _B charge: typ. 41mA, discharge: typ. 43 mA 10 _B charge: typ. 77 mA, discharge: typ. 79 mA 11 _B charge: typ. 100 mA, discharge: typ. 100 mA
ICHGMAX2	3:2	rw	Maximum drive current of half-bridge mapped to PWM channel 2 during the pre-charge phase and pre-discharge phases²⁾ 00 _B (default) charge: typ. 18.8 mA, discharge: typ. 19.7 mA 01 _B charge: typ. 41 mA, discharge: typ. 43 mA 10 _B charge: typ. 77 mA, discharge: typ. 79 mA 11 _B charge: typ. 100 mA, discharge: typ. 100 mA
ICHGMAX1	1:0	rw	Maximum drive current of half-bridge mapped to PWM channel 1 during the pre-charge and pre-discharge phases²⁾ 00 _B (default) charge: typ. 18.8 mA, discharge: typ. 19.7 mA 01 _B charge: typ. 41 mA, discharge: typ. 43 mA 10 _B charge: typ. 77 mA, discharge: typ. 79 mA 11 _B charge: typ. 100 mA, discharge: typ. 100 mA

1) 参考CCP_BLK1 用于将 (tCCPx,tBLANKx) 映射到半桥。
2) ICHGMAX 也是 PWM MOSFET 后充电期间施加的电流，请参阅表12。

PWM最大驱动电流选择和FW tCCP4、tBLANK 3/4

注意：该寄存器通过REG_BANK 访问= 1 且偏移地址0 1101_B。tCCP 和tBLANK 适用于FW MOSFET。

PWM_ICHGMAX_CCP_BLK3_FW

PWM最大驱动电流 (0 1101_B)复位值: 0100 1001 0000 0000_B

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
Reserved	TBLANK4_FW			TCCP4_FW			TBLANK3_FW			ICHGMAX3		ICHGMAX2		ICHGMAX1	
r	rw			rw			rw			rw		rw		rw	

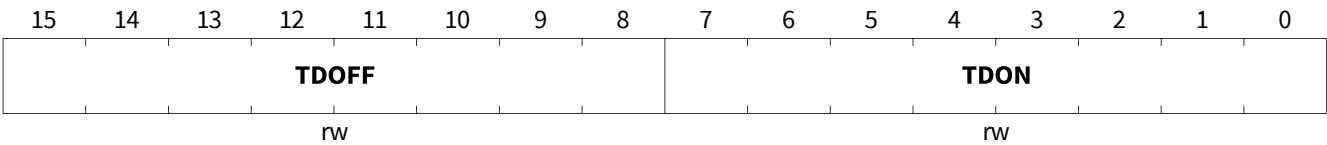
Field	Bits	Type	Description
Reserved	15	r	Reserved. Always read as '0'
TBLANK4_F W	14:12	rw	Blank time ¹⁾ - tBLANK4 Freewheeling Refer to Table 32 Default: 100 _B : typ. 2000 ns
TCCP4_FW	11:9	rw	Cross-current protection ¹⁾ - tCCP4 Freewheeling Refer to Table 31 Default: 100 _B : typ. 2000 ns
TBLANK3_F W	8:6	rw	Blank time ¹⁾ - tBLANK3 Freewheeling Refer to Table 32 Default: 100 _B : typ. 2000 ns
ICHGMAX3	5:4	rw	Maximum drive current of half-bridge mapped to PWM channel 3 during the pre-charge phase and pre-discharge phases ²⁾ 00 _B (default) charge: typ. 19 mA, discharge: typ. 19 mA 01 _B charge: typ. 41mA, discharge: typ. 43 mA 10 _B charge: typ. 77 mA, discharge: typ. 79 mA 11 _B charge: typ. 100 mA, discharge: typ. 100 mA
ICHGMAX2	3:2	rw	Maximum drive current of half-bridge mapped to PWM channel 2 during the pre-charge phase and pre-discharge phases ²⁾ 00 _B (default) charge: typ. 19 mA, discharge: typ. 19 mA 01 _B charge: typ. 41mA, discharge: typ. 43 mA 10 _B charge: typ. 77 mA, discharge: typ. 79 mA 11 _B charge: typ. 100 mA, discharge: typ. 100 mA
ICHGMAX1	1:0	rw	Maximum drive current of half-bridge mapped to PWM channel 1 during the pre-charge and pre-discharge phases ²⁾ 00 _B (default) charge: typ. 19 mA, discharge: typ. 19 mA 01 _B charge: typ. 41mA, discharge: typ. 43 mA 10 _B charge: typ. 77 mA, discharge: typ. 79 mA 11 _B charge: typ. 100 mA, discharge: typ. 100 mA

1) 参考CCP_BLK1 用于将 (tCCPx,tBLANKx) 映射到半桥。
2) ICHGMAX 也是 PWM MOSFET 后充电期间施加的电流，请参阅表12。



PWM通道1 TDON_OFF1 MOSFET导通和关断延迟的选择

TDON_OFF1
PWM通道 1 MOSFET导通/关断延时 (0 1110_B)复位 值：0000 1010 0000 1010_B



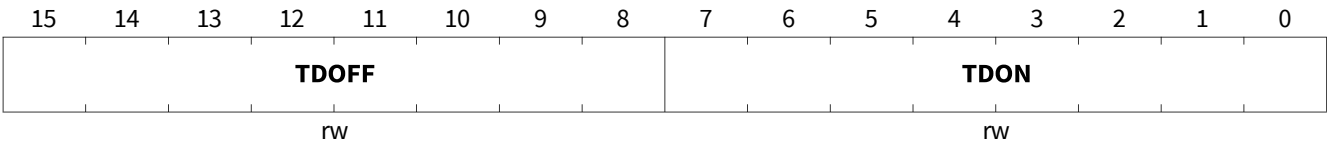
Field	Bits	Type	Description
TDOFF1	15:8	rw	Turn-off delay time of PWM Channel 1. Typical TDOFF1 = 62.5 x TDOFF1[7:0] _D ns Default: 0000 1010 _B : 625 ns typ.
TDON1	7:0	rw	Turn-on delay time of PWM Channel 1. Typical TDON1 = 62.5 x TDON1[7:0] _D ns Default: 0000 1010 _B : 625 ns typ.



PWM通道2 TDON_OFF2 MOSFET导通和关断延迟的选择

TDON_OFF2

PWM通道 2 MOSFET导通/关断延时 (0 1111_B)复位 值: 0000 1010 0000 1010_B

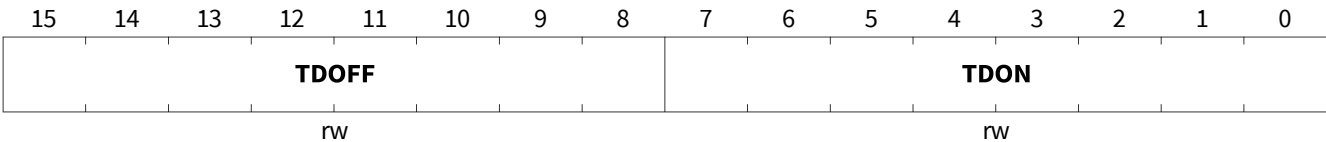


Field	Bits	Type	Description
TDOFF2	15:8	rw	Turn-off delay time of PWM Channel 2. Typical TDOFF2 = 62.5 x TDOFF2[7:0] _D ns Default: 0000 1010 _B : 625 ns typ.
TDON2	7:0	rw	Turn-on delay time of PWM Channel 2. Typical TDON2 = 62.5 x TDON2[7:0] _D ns Default: 0000 1010 _B : 625 ns typ.



PWM通道3 TDON_OFF3 MOSFET导通和关断延迟的选择

TDON_OFF3
PWM 通道 3 MOSFET 导通/关断延迟 (1 0000_B)复位值: 0000 1010 0000 1010_B



Field	Bits	Type	Description
TDOFF3	15:8	rw	Turn-off delay time of PWM Channel 3. Typical TDOFF3 = 62.5 x TDOFF3[7:0] _D ns Default: 0000 1010 _B : 625 ns typ.
TDON3	7:0	rw	Turn-on delay time of PWM Channel 3. Typical TDON3 = 62.5 x TDON3[7:0] _D ns Default: 0000 1010 _B : 625 ns typ.



9.2 状态寄存器

Table 33 寄存器总览

Register Short Name	Register Long Name	Offset Address	Reset Value
GENSTAT	General status register	11 _H	0 _H
DSOV	Drain-source overvoltage	12 _H	0 _H
HBVOUT_PWMERR	Half-Bridge output voltage	13 _H	0 _H
EFF_TDON_OFF1	Effective MOSFET turn-on and turn-off delays for PWM Channel 1	14 _H	0 _H
EFF_TDON_OFF2	Effective MOSFET turn-on and turn-off delays for PWM Channel 2	15 _H	0 _H
EFF_TDON_OFF3	Effective MOSFET turn-on and turn-off delays for PWM Channel 3	16 _H	0 _H
TRISE_FALL1	Effective MOSFET rise and fall times for PWM Channel 1	17 _H	0 _H
TRISE_FALL2	Effective MOSFET rise and fall times for PWM Channel 2	18 _H	0 _H
TRISE_FALL3	Effective MOSFET rise and fall times for PWM Channel 3	19 _H	0 _H
DEVID	Device identifier	1F _H	01 _H

9.2.1 通用状态寄存器

通用状态寄存器

GENSTAT

通用状态寄存器

(1 0001_B) 复位值: 0_B

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PASS_VDSOV	WDMON	PWM3STAT	PWM2STAT	PWM1STAT	TDREG3	TDREG2	TDREG1	TSD	TW	OC2	OC1	VSOV	VSUV	CPUV	
r	r	r	r	r	rc	rc	rc	rc	rc	rc	rc	rc	rc	rc	rc

Field	Bits	Type	Description
PASS_VDSOV	15	r	DS overvoltage while the bridge driver is in passive mode 0 _B No overvoltage on drain-source of any low-sides (default) 1 _B Overvoltage on drain-source of one of the low-side is detected.
WDMON	14:13	r	Watchdog Monitoring 00 _B WD Timer is between [0%;25%[of the WD period (default) 01 _B WD Timer is between [25%;50%[of the WD period 10 _B WD Timer is between [50%;75%[of the WD period 11 _B WD Timer is between [75%;100 %[of the WD period
PWM3STAT	12	r	Status of PWM3 input 0 _B PWM3 is low (default) 1 _B PWM3 is high
PWM2STAT	11	r	Status of PWM2 input 0 _B PWM2 is low (default) 1 _B PWM2 is high
PWM1STAT	10	r	Status of PWM1 input 0 _B PWM1 is low (default) 1 _B PWM1 is high
TDREG3	9	rc	PWM channel 3 - Regulation of turn-on and turn-off delays 0 _B the turn-on delay or the turn-off delay are not in regulation (default) 1 _B the turn-on and turn-off delays are in regulation
TDREG2	8	rc	PWM channel 2 - Regulation of turn-on and turn-off delays 0 _B the turn-on delay or the turn-off delay are not in regulation (default) 1 _B the turn-on and turn-off delays are in regulation
TDREG1	7	rc	PWM channel 1 - Regulation of turn-on and turn-off delays 0 _B the turn-on delay or the turn-off delay are not in regulation (default) 1 _B the turn-on and turn-off delays are in regulation
TSD	6	rc	Thermal Shutdown 0 _B No thermal shutdown is detected (default) 1 _B A thermal shutdown is detected ²⁾

Field	Bits	Type	Description
TW	5	rc	Thermal Warning 0_B No thermal warning is detected (default) 1_B A thermal warning is detected
OC2	4	rc	Overcurrent detection of CSO2 0_B No overcurrent detection on CSO2 (default) 1_B Overcurrent detected on CSO2 ¹⁾
OC1	3	rc	Overcurrent detection of CSO1 0_B No overcurrent detection on CSO1 (default) 1_B Overcurrent detected on CSO1 ¹⁾
VSOV	2	rc	VS Overvoltage 0_B No overvoltage on V_S detected (default value) 1_B Overvoltage on V_S detected ²⁾
VSUV	1	rc	VS Undervoltage 0_B No undervoltage on V_S detected (default value) 1_B Undervoltage on V_S detected ²⁾
CPUV	0	rc	Charge Pump Undervoltage 0_B No charge pump undervoltage (default) 1_B A charge pump undervoltage is detected ²⁾

1) 外部 MOSFET 的状态取决于 OCEN 位的设置 (参见[GENCTRL1](#))。

2) 错误被锁存并且外部 MOSFET 被关闭。



漏源过压 1 DSOV

漏源过压 (1 0010_B)复位值: 0_B

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
LS8D S OV	HS8D SOV	LS7D S OV	HS7D SOV	LS6D S OV	HS6D SOV	LS5D S OV	HS5D SOV	LS4D S OV	HS4D SOV	LS3D S OV	HS3D SOV	LS2D S OV	HS2D SOV	LS1D S OV	HS1D SOV
rc	rc	rc	rc	rc	rc	rc	rc	rc	rc	rc	rc	rc	rc	rc	rc

Field	Bits	Type	Description
LS8DSOV	15	rc	Drain-Source overvoltage on low-side 8 0 _B No overvoltage on drain-source of low-side 8 (default) 1 _B Overvoltage on drain-source of low-side 8 detected.
HS8DSOV	14	rc	Drain-Source overvoltage on high-side 8 0 _B No overvoltage on drain-source of high-side 8 (default) 1 _B Overvoltage on drain-source of high-side 8 detected.
LS7DSOV	13	rc	Drain-Source overvoltage on low-side 7 0 _B No overvoltage on drain-source of low-side 7 (default) 1 _B Overvoltage on drain-source of low-side 7 detected.
HS7DSOV	12	rc	Drain-Source overvoltage on high-side 7 0 _B No overvoltage on drain-source of high-side 7 (default) 1 _B Overvoltage on drain-source of high-side 7 detected.
LS6DSOV	11	rc	Drain-Source overvoltage on low-side 6 0 _B No overvoltage on drain-source of low-side 6 (default) 1 _B Overvoltage on drain-source of low-side 6 detected.
HS6DSOV	10	rc	Drain-Source overvoltage on high-side 6 0 _B No overvoltage on drain-source of high-side 6 (default) 1 _B Overvoltage on drain-source of high-side 6 detected.
LS5DSOV	9	rc	Drain-Source overvoltage on low-side 5 0 _B No overvoltage on drain-source of low-side 5 (default) 1 _B Overvoltage on drain-source of low-side 5 detected.
HS5DSOV	8	rc	Drain-Source overvoltage on high-side 5 0 _B No overvoltage on drain-source of high-side 5 (default) 1 _B Overvoltage on drain-source of high-side 5 detected.
LS4DSOV	7	rc	Drain-Source overvoltage on low-side 4 0 _B No overvoltage on drain-source of low-side 4 (default) 1 _B Overvoltage on drain-source of low-side 4 detected.
HS4DSOV	6	rc	Drain-Source overvoltage on high-side 4 0 _B No overvoltage on drain-source of high-side 4 (default) 1 _B Overvoltage on drain-source of high-side 4 detected.
LS3DSOV	5	rc	Drain-Source overvoltage on low-side 3 0 _B No overvoltage on drain-source of low-side 3 (default) 1 _B Overvoltage on drain-source of low-side 3 detected.



Field	Bits	Type	Description
HS3DSOV	4	rc	Drain-Source overvoltage on high-side 3 0 _B No overvoltage on drain-source of high-side 3 (default) 1 _B Overvoltage on drain-source of high-side 3 detected.
LS2DSOV	3	rc	Drain-Source overvoltage on low-side 2 0 _B No overvoltage on drain-source of low-side 2 (default) 1 _B Overvoltage on drain-source of low-side 2 detected.
HS2DSOV	2	rc	Drain-Source overvoltage on high-side 2 0 _B No overvoltage on drain-source of high-side 2 (default) 1 _B Overvoltage on drain-source of high-side 2 detected.
LS1DSOV	1	rc	Drain-Source overvoltage on low-side 1 0 _B No overvoltage on drain-source of low-side 1 (default) 1 _B Overvoltage on drain-source of low-side 1 detected.
HS1DSOV	0	rc	Drain-Source overvoltage on high-side 1 0 _B No overvoltage on drain-source of high-side 1 (default) 1 _B Overvoltage on drain-source of high-side 1 detected.

注释： 如果检测到漏源过压，受影响MOSFET将被锁断。

半桥输出电压状态

HBVOUT_PWMERR

半桥输出电压和PWM错误(1 0011_B)复位值: 0_B

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
HB8 P WME	HB7 P WME	HB6 P WME	HB5 P WME	HB4 P WME	HB3 P WME	HB2 P WME	HB1 P WME	HB8V OUT	HB7V OUT	HB6V OUT	HB5V OUT	HB4V OUT	HB3V OUT	HB2V OUT	HB1V OUT
r	r	r	r	r	r	r	r	r	r	r	r	r	r	r	r

Field	Bits	Type	Description
HB8PWME	15	r	PWM Error on HB8 0 _B No PWM error (default) 1 _B More than one activated PWM channels is mapped to HB8 ¹⁾
HB7PWME	14	r	PWM Error on HB7 0 _B No PWM error (default) 1 _B More than one activated PWM channels is mapped to HB7 ¹⁾
HB6PWME	13	r	PWM Error on HB6 0 _B No PWM error (default) 1 _B More than one activated PWM channels is mapped to HB6 ¹⁾
HB5PWME	12	r	PWM Error on HB5 0 _B No PWM error (default) 1 _B More than one activated PWM channels is mapped to HB5 ¹⁾
HB4PWME	11	r	PWM Error on HB4 0 _B No PWM error (default) 1 _B More than one activated PWM channels is mapped to HB4 ¹⁾
HB3PWME	10	r	PWM Error on HB3 0 _B No PWM error (default) 1 _B More than one activated PWM channels is mapped to HB3 ¹⁾
HB2PWME	9	r	PWM Error on HB2 0 _B No PWM error (default) 1 _B More than one activated PWM channels is mapped to HB2 ¹⁾
HB1PWME	8	r	PWM Error on HB1 0 _B No PWM error (default) 1 _B More than one activated PWM channels is mapped to HB1 ¹⁾
HB8VOUT	7	r	Voltage level at SH8 when HB8MODE[1:0] = (0,0) or (1,1): 0 _B Low: $ VDH - VSH8 > V_{VDSMONTHx}$ ²⁾ if HB8D = 0 $ VCSIN1 - VSH8 > V_{VDSMONTHx}$ if HB8D = 1 1 _B High: $ VDH - VSH8 < V_{VDSMONTHx}$ if HB8D = 0; $ VCSIN1 - VSH8 < V_{VDSMONTHx}$ if HB8D = 1 <i>Note: HB8VOUT = 0 if HB8MODE[1:0] = (0,1) or (1,0)</i>

Field	Bits	Type	Description
HB7VOUT	6	r	Voltage level at SH7 when HB7MODE[1:0] = (0,0) or (1,1): 0_B Low: $ VDH - VSH7 > V_{VDSMONTHX}^{(2)}$ if HB7D = 0 $ VCSIN1 - VSH7 > V_{VDSMONTHX}$ if HB7D = 1 1_B High: $ VDH - VSH7 < V_{VDSMONTHX}$ if HB7D = 0; $ VCSIN1 - VSH7 < V_{VDSMONTHX}$ if HB7D = 1 <i>Note: HB7VOUT = 0 if HB7MODE[1:0] = (0,1) or (1,0)</i>
HB6VOUT	5	r	Voltage level at SH6 when HB6MODE[1:0] = (0,0) or (1,1): 0_B Low: $ VDH - VSH6 > V_{VDSMONTHX}^{(2)}$ if HB6D = 0 $ VCSIN1 - VSH6 > V_{VDSMONTHX}$ if HB6D = 1 1_B High: $ VDH - VSH6 < V_{VDSMONTHX}$ if HB6D = 0; $ VCSIN1 - VSH6 < V_{VDSMONTHX}$ if HB6D = 1 <i>Note: HB6VOUT = 0 if HB6MODE[1:0] = (0,1) or (1,0)</i>
HB5VOUT	4	r	Voltage level at SH5 when HB5MODE[1:0] = (0,0) or (1,1): 0_B Low: $ VDH - VSH5 > V_{VDSMONTHX}^{(2)}$ if HB5D = 0 $ VCSIN1 - VSH5 > V_{VDSMONTHX}$ if HB5D = 1 1_B High: $ VDH - VSH5 < V_{VDSMONTHX}$ if HB5D = 0; $ VCSIN1 - VSH5 < V_{VDSMONTHX}$ if HB5D = 1 <i>Note: HB5VOUT = 0 if HB5MODE[1:0] = (0,1) or (1,0)</i>
HB4VOUT	3	r	Voltage level at SH4 when HB4MODE[1:0] = (0,0) or (1,1): 0_B Low: $ VDH - VSH4 > V_{VDSMONTHX}^{(2)}$ if HB4D = 0 $ VCSIN1 - VSH4 > V_{VDSMONTHX}$ if HB4D = 1 1_B High: $ VDH - VSH4 < V_{VDSMONTHX}$ if HB4D = 0; $ VCSIN1 - VSH4 < V_{VDSMONTHX}$ if HB4D = 1 <i>Note: HB4VOUT = 0 if HB4MODE[1:0] = (0,1) or (1,0)</i>
HB3VOUT	2	r	Voltage level at SH3 when HB3MODE[1:0] = (0,0) or (1,1): 0_B Low: $ VDH - VSH3 > V_{VDSMONTHX}^{(2)}$ if HB3D = 0 $ VCSIN1 - VSH3 > V_{VDSMONTHX}$ if HB3D = 1 1_B High: $ VDH - VSH3 < V_{VDSMONTHX}$ if HB3D = 0; $ VCSIN1 - VSH3 < V_{VDSMONTHX}$ if HB3D = 1 <i>Note: HB3VOUT = 0 if HB3MODE[1:0] = (0,1) or (1,0)</i>
HB2VOUT	1	r	Voltage level at SH2 when HB2MODE[1:0] = (0,0) or (1,1): 0_B Low: $ VDH - VSH2 > V_{VDSMONTHX}^{(2)}$ if HB2D = 0 $ VCSIN1 - VSH2 > V_{VDSMONTHX}$ if HB2D = 1 1_B High: $ VDH - VSH2 < V_{VDSMONTHX}$ if HB2D = 0; $ VCSIN1 - VSH2 < V_{VDSMONTHX}$ if HB2D = 1 <i>Note: HB2VOUT = 0 if HB2MODE[1:0] = (0,1) or (1,0)</i>



Field	Bits	Type	Description
HB1VOUT	0	r	Voltage level at SH1 when HB1MODE[1:0] = (0,0) or (1,1): 0 _B Low: $ VDH - VSH1 > V_{VDSMONTHX}$ ²⁾ if HB1D = 0; $ VCSIN1 - VSH1 > V_{VDSMONTHX}$ if HB1D = 1 1 _B High: $ VDH - VSH1 < V_{VDSMONTHX}$ if HB1D = 0; $ VCSIN1 - VSH1 < V_{VDSMONTHX}$ if HB1D = 1 <i>Note: HB1VOUT = 0 if HB1MODE[1:0] = (0,1) or (1,0)</i>

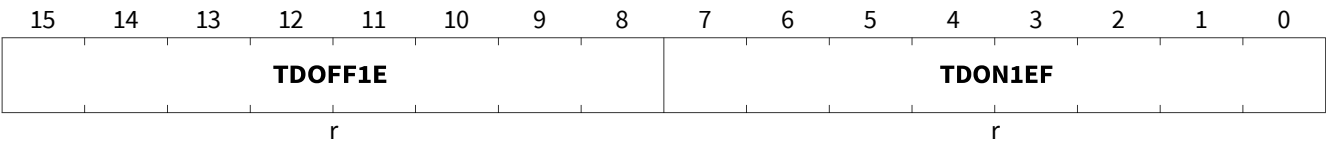
- 1) 仅当有一个PWM通道或没有PWM通道映射到半桥时，该位才复位（参见**PWMSET**）。
- 2) $V_{VDSMONTHX}$ 为对应半桥选择的漏源监控阈值。



有效 MOSFET 导通/关断延迟 PWM1

EFF_TDON_OFF1

有效 MOSFET 导通/关断延迟 PWM1(1 0100_B)复位值: 0_B



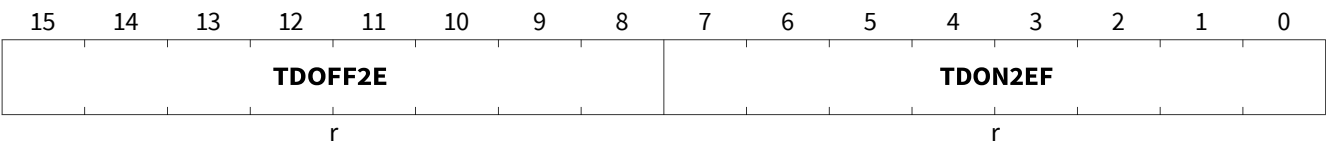
Field	Bits	Type	Description
TDOFF1EFF	15:8	r	Effective MOSFET turn-off delay of PWM Channel 1 Effective turn-off delay = 62.5 x TDOFF1EFF[7:0] _B ns Default: 0 _B
TDON1EFF	7:0	r	Effective MOSFET turn-on delay of PWM Channel 1 Effective turn-on delay = 62.5 x TDON1EFF[7:0] _B ns Default: 0 _B



有效 MOSFET 导通/关断延迟 PWM2

EFF_TDON_OFF2

有效 MOSFET 导通/关断延迟 PWM2(1 0101_B)复位值: 0_B



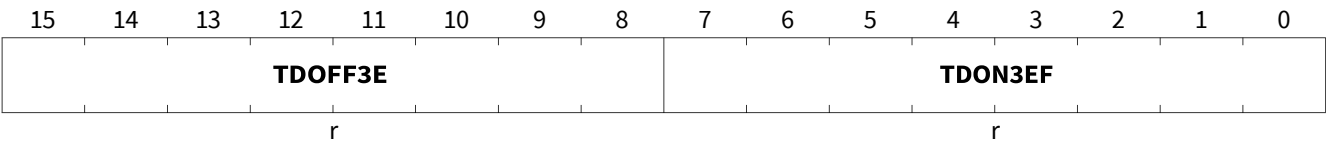
Field	Bits	Type	Description
TDOFF2EFF	15:8	r	Effective MOSFET turn-off delay of PWM Channel 2 Effective turn-off delay = 62.5 x TDOFF2EFF[7:0] _B ns Default: 0 _B
TDON2EFF	7:0	r	Effective MOSFET turn-on delay of PWM Channel 2 Effective turn-on delay = 62.5 x TDON2EFF[7:0] _B ns Default: 0 _B



有效 MOSFET 导通/关断延迟 PWM3

EFF_TDON_OFF3

有效 MOSFET 导通/关断延迟 PWM3(1 0110_B)复位值: 0_B



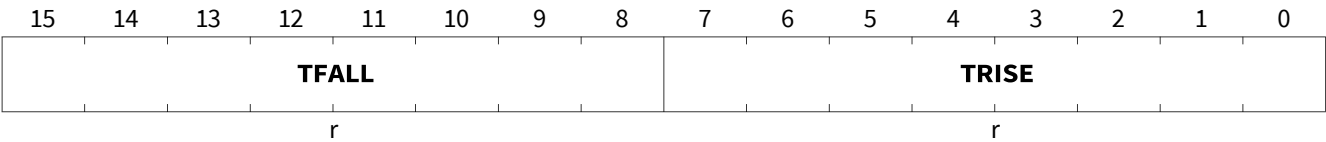
Field	Bits	Type	Description
TDOFF3EFF	15:8	r	Effective MOSFET turn-off delay of PWM Channel 3 Effective turn-off delay = 62.5 x TDOFF3EFF[7:0] _B ns Default: 0 _B
TDON3EFF	7:0	r	Effective MOSFET turn-on delay of PWM Channel 3 Effective turn-on delay = 62.5 x TDON3EFF[7:0] _B ns Default: 0 _B



PWM通道1 有效MOSFET上升和下降时间

TRISE_FALL1

有效PWM MOSFET上升和下降时间PWM1 (1 0111_B) 复位值: 0_B



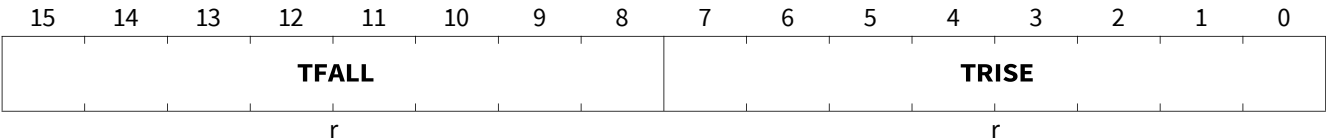
Field	Bits	Type	Description
TFALL1	15:8	r	MOSFET fall time of PWM Channel 1 MOSFET fall time = 62.5 x TFALL1[7:0] _D ns Default: 0 _B
TRISE1	7:0	r	MOSFET rise time of PWM Channel 1 MOSFET rise time = 62.5 x TRISE1[7:0] _D ns Default: 0 _B



PWM通道2 有效MOSFET上升和下降时间

TRISE_FALL2

有效PWM MOSFET上升和下降时间PWM2 (1 1000_B) 复位值: 0_B



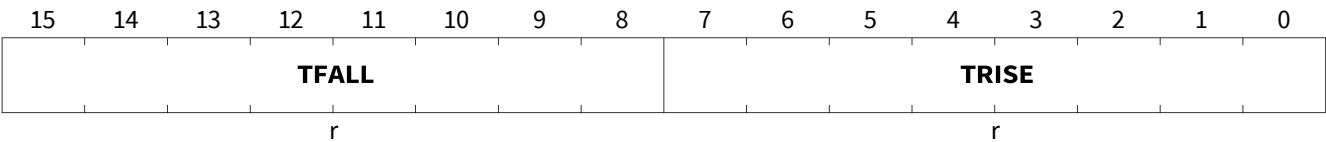
Field	Bits	Type	Description
TFALL2	15:8	r	MOSFET fall time of PWM Channel 2 MOSFET fall time = 62.5 x TFALL2[7:0] _D ns Default: 0 _B
TRISE2	7:0	r	MOSFET rise time of PWM Channel 2 MOSFET rise time = 62.5 x TRISE2[7:0] _D ns Default: 0 _B



PWM通道3 有效MOSFET上升和下降时间

TRISE_FALL3

有效PWM MOSFET上升和下降时间PWM3 (1 1001_B) 复位值: 0_B



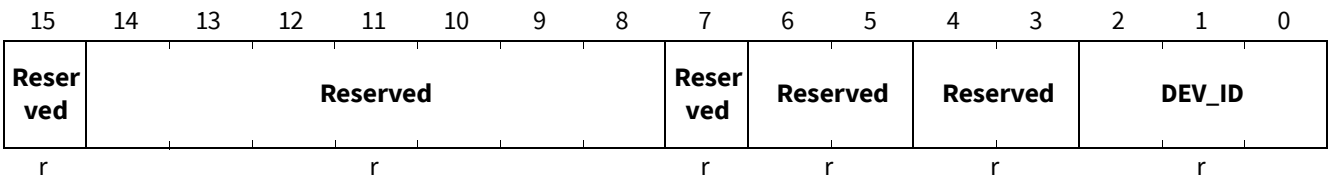
Field	Bits	Type	Description
TFALL3	15:8	r	MOSFET fall time of PWM Channel 3 MOSFET fall time = 62.5 x TFALL3[7:0] _D ns Default: 0 _B
TRISE3	7:0	r	MOSFET rise time of PWM Channel 3 MOSFET rise time = 62.5 x TRISE3[7:0] _D ns Default: 0 _B



器件标识符

DEVID

器件标识符 (1 1111_B)复位 Value: 0000 0001_B



Field	Bits	Type	Description
Reserved	15	r	Reserved. Always read as '0'
Reserved	14:8	r	Reserved. Always read as '0'
Reserved	7	r	Reserved. Always read as '0'.
Reserved	6:5	r	Reserved.
Reserved	4:3	r	Reserved.
DEV_ID	2:0	r	Device derivative identifier 000 _B Reserved 001 _B CLE92108-232 010 _B Reserved 011 _B CLE92108-231 100 _B Reserved 101 _B Reserved 110 _B Reserved 111 _B Reserved

该器件不需要在电流检测放大器的输出端连接任何电阻。但是，如果应用中使用了电阻，则 R_{CSOx} 必须高于 $1k\Omega$ 。该电阻会从 V_{DD} 产生额外的消耗电流，而这在数据手册的电气特性中并未考虑。
 $CCSOx$ 必须介于 10 pF 和 400 pF 之间。为了加快 CSA 输出的反应时间，建议将 $CCSOx$ 保持在 10 pF 。
如果在电流检测放大器的输入端使用滤波器，则串联电阻不得超过 5Ω 。

在半桥换向期间，MOSFET 栅极电压有可能低于源极电压。这取决于 MOSFET 漏极和源极处的杂散电感、换向速度以及 MOSFET 栅源极和栅漏极电容值之间的比值。
如果 $V_{Gate} - V_{Source} < -0.6\text{ V}$ ，建议在 GHx 和 GLx 上串联一个串联电阻（例如 4.7Ω ），以限制换向期间由栅极驱动器输出的电流。

电机相中的采样电阻

当采样电阻置于电机相时，强烈建议将 PWM 应用于未连接检流电阻的半桥（图51）。这避免了电流检测放大器输入端的高共模摆动。
高边 MOSFET 漏源过压监测的漏源监测必须置位至 $DH - VSHx$ 。请参阅 **VDS1**、**VDS2**、**HBxD** 位。

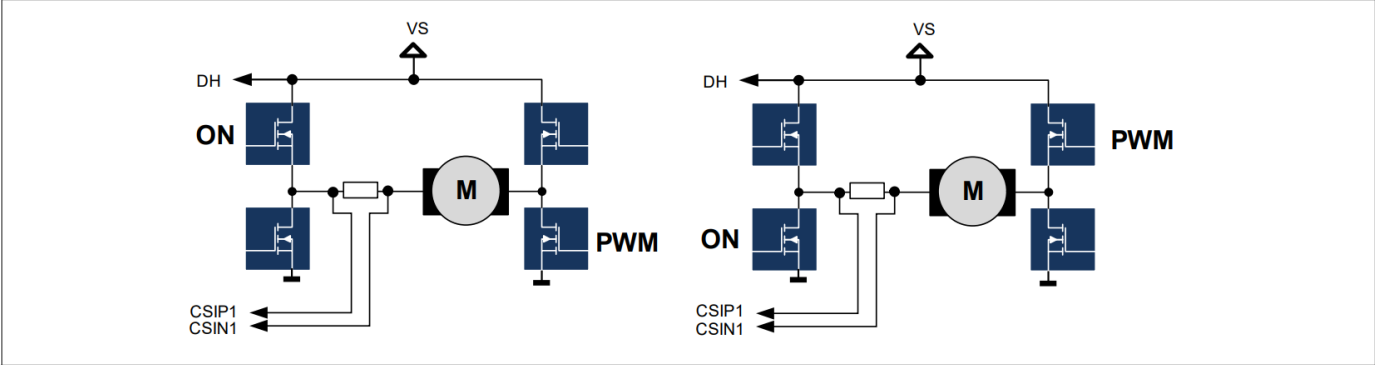


图 51 电机相中带有采样电阻的 PWM

为了对电机相中的采样电阻进行正确的关闭状态诊断，必须停用相应的电流检测放大器（CSA）。否则，激活的 CSA 从其输入中汲取电流，阻止内部上拉源将 SHx 引脚置为高电平。

11 封装外形

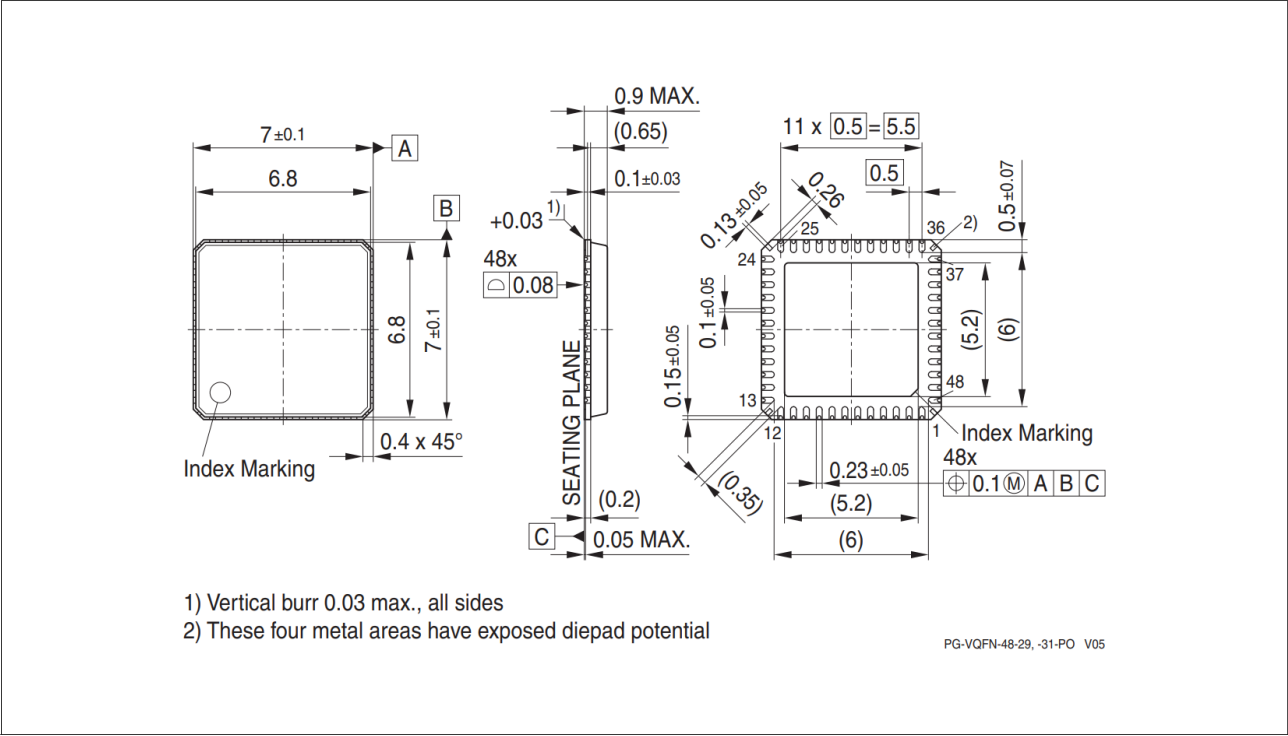


图 52 PG-VQFN-48¹⁾

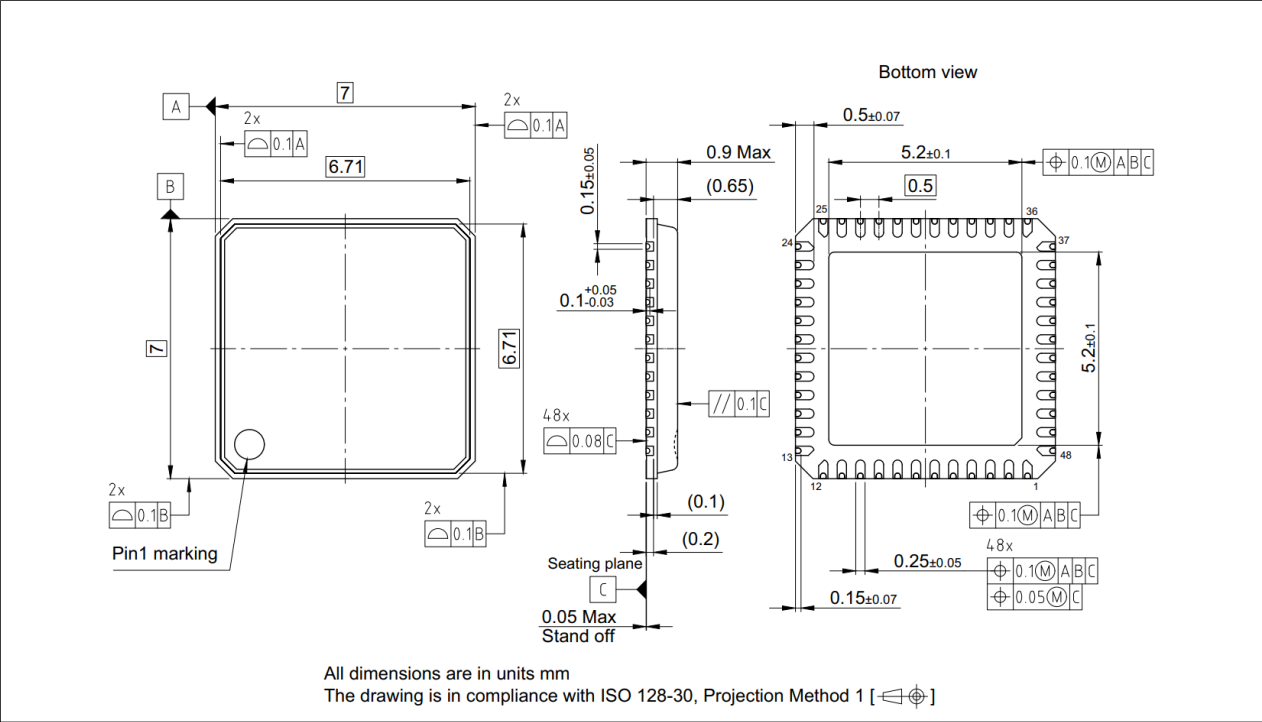


图 53 PG-VQFN-48²⁾

- 1) 单位是毫米
2) 单位是毫米

绿色产品：符合 RoHS 标准

为了满足全球客户对环保产品的要求，并遵守政府法规，该器件以绿色产品的形式提供。绿色产品符合RoHS标准（即，引线采用无铅涂层，并且符合IPC/JEDEC J-STD-020标准，适用于无铅焊接）。



12 修订记录

Revision	Date	Changes
1.0	2024-01-23	First release



免责声明

请注意，本文件的原文使用英文撰写，为方便客户浏览英飞凌提供了中文译文。该中文译文仅供参考，并不可作为任何论点之依据。

由于翻译过程中可能使用了自动化程序，以及语言翻译和转换过程中的差异，最后的中文译文与最新的英文版本原文含义可能存在不尽相同之处。

因此，我们同时提供该中文译文版本的最新英文原文供您阅读，请参见 <http://www.infineon.com>

英文原文和中文译文版本之间若存有任何歧异，以最新的英文版本为准，并且仅认可英文版本为正式文件。

您如果使用本文件，即表示您同意并理解上述说明。英飞凌不对因翻译过程中可能存在的任何不完整或不准确信息而产生的任何直接或间接损失或损害负责。英飞凌不承担中文译文版本的完整性和准确性责任。如果您不同意上述说明，请不要使用本文件。

Trademarks

All referenced product or service names and trademarks are the property of their respective owners.

重要通知

版本 2025-09-05

Infineon Technologies AG 出版，
德国 Neubiberg 85579

版权 © 2025 Infineon Technologies AG
及其关联公司。
保留所有权利。

Do you have a question about this
document?

Email:
erratum@infineon.com

Infineon Technologies AG 及其关联公司（以下简称“英飞凌”）销售或提供和交付的产品（可能也包括样品，且可能由硬件或软件或两者组成）（以下简称“产品”），应遵守客户与英飞凌签订的框架供应合同或其他书面协议的条款和条件，如无上述合同或其他书面协议，则应遵守适用的英飞凌销售条件。只有在英飞凌明确书面同意的情况下，客户的一般条款和条件或对适用的英飞凌销售条件的偏离才对英飞凌具有约束力。

为避免疑义，英飞凌不承担侵犯第三方权利的所有保证和默示保证，例如对特定用途/目的适用性或适销性的保证。

英飞凌对与样品、应用或客户对任何产品的具体使用有关的任何信息或本文件中给出的任何示例或典型值概不负责。

本文件中包含的数据仅供具有技术资格和技能的客户代表使用。客户有责任评估产品对预期应用和客户特定用途的适用性，并在预期应用和客户特定用途中验证本文件中包含的所有相关技术数据。客户有责任正确设计、编程和测试预期应用的功能性和安全性，并遵守与其使用相关的法律要求。

除非英飞凌另行明确批准，否则产品不得用于任何因产品故障或使用产品的任何后果可合理预期会导致人身伤害的应用。但是，上述规定并不妨碍客户在英飞凌明确设计和销售的使用领域中使用任何产品，但是客户对应用负有全部责任。

英飞凌明确保留根据适用法律，如《德国版权法》（UrhG）第 44b 条，将其内容用于商业资料和数据勘探（TDM）的权利。

如果产品包含安全功能：

由于任何计算设备都不可能绝对安全，尽管产品采取了安全措施，但英飞凌不保证产品不会被入侵、数据不会被盗或遗失，或不会发生其他漏洞（以下简称“安全漏洞”），英飞凌对任何安全漏洞不承担任何责任。

如果本文件包含或引用软件：

根据美国、德国和世界其他国家的知识产权法律和条约，该软件归英飞凌所有。英飞凌保留所有权利。因此，您只能按照软件附带的软件授权协议的规定使用本软件。

如果没有适用的软件授权协议，英飞凌特此授予您个人的、非排他性的、不可转让的软件知识产权授权（无权转授权）：(a) 对于以源代码形式提供的软件，仅在贵组织内部修改和复制该软件用于英飞凌硬件产品；及 (b) 对于以二进制代码 (binary code) 形式对外向终端用户分发该软件，仅得用于英飞凌硬件产品。禁止对本软件进行任何其他使用、复制、修改、翻译或编译。有关产品、技术、交货条款和条件以及价格的详细信息，请联系离您最近的英飞凌办公室或访问 <https://www.infineon.com>。