

英飞凌BTS71220-4ESA串行接口高边开关

英飞凌SPOC™ +2

2x 9.5 mΩ

串行接口高边开关

2x 22.5 mΩ



RoHS



ISO 26262
ready

Package	PG-TSDSO-24
Marking	71220-4ESA

1 概述

潜在应用

- 适用于阻性、感性和容性负载
- 取代继电器、保险丝和分立电路
- 驱动能力适合于5A和3A负载以及高浪涌电流负载，如55W灯泡或等效电子负载（例如LED 模块）和 27W 灯泡或等效电子负载（例如LED 模块）

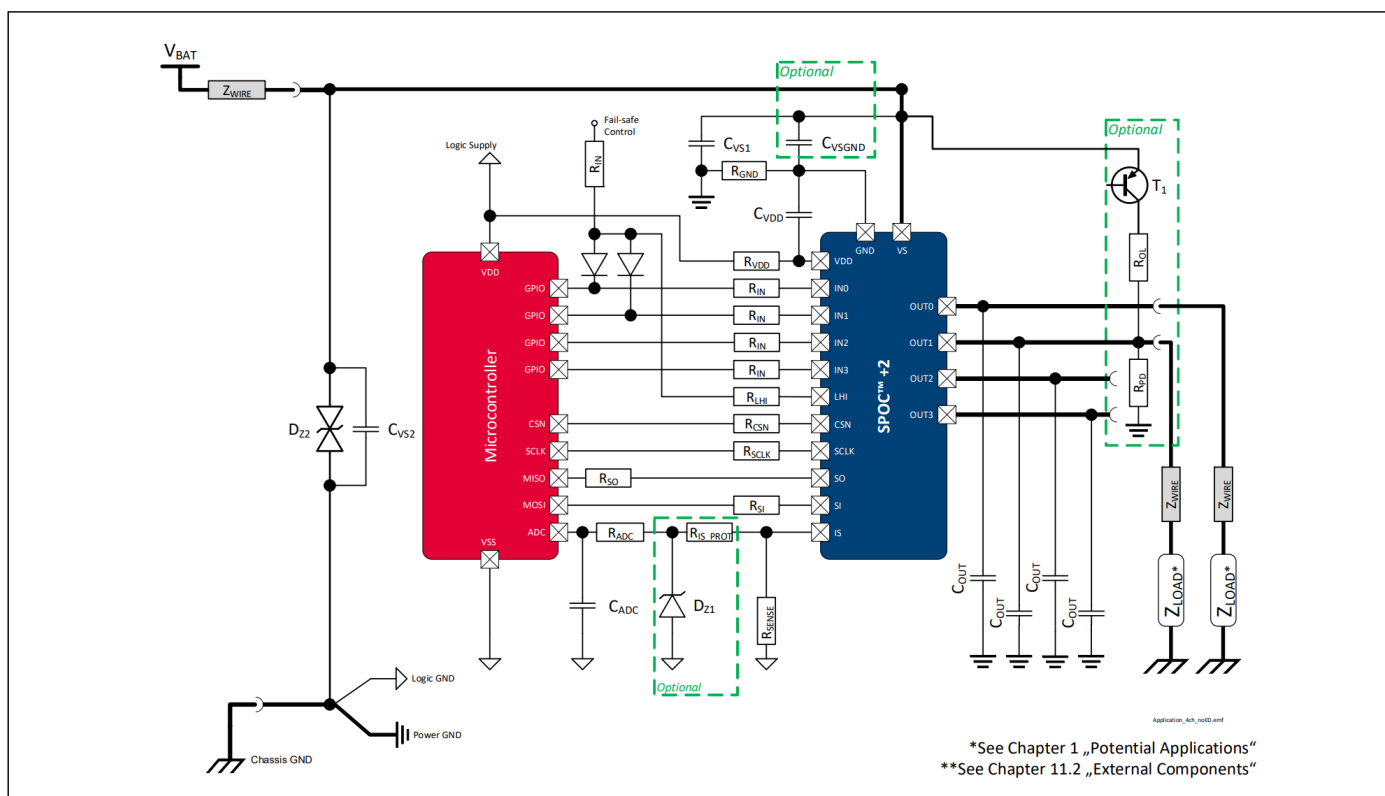
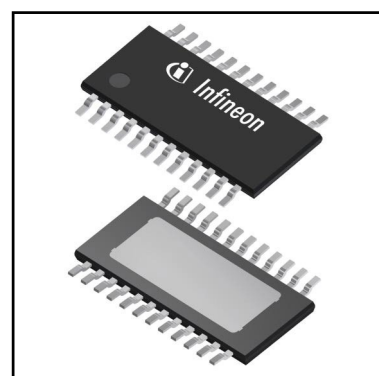


Figure 1 Application Diagram. Further information in Chapter 11

本数据手册的原文使用英文撰写。为方便起见，英飞凌提供了译文；由于翻译过程中可能使用了自动化工具，英飞凌不保证译文的准确性。为确认准确性，请务必访问 infineon.com 参考最新的英文版本（控制文档）。

Overview

基本特性

- 具有诊断和保护功能的高边开关
- SPOC™ +2 系列的一部分
- 支持菊花链的 SPI 接口
- 兼容3.3 V 和 5 V逻辑引脚
- 所有通道的斜率可控制
- 反向连接时支持ReverseON功能，实现低功耗
- 逆电流条件下的开启功能 (InverseON)
- 绿色产品：符合 RoHS 标准

保护功能

- 绝对过温保护和动态过温保护，带受控重启
- 具有可编程重启控制和电流阈值可调的过流保护（跳闸）
- 欠压关断
- 使用外部元器件进行过压保护

诊断特性

- 比例负载电流采样
- ON或者OFF状态下开路检测
- 短路到地和短路到电源保护
- 通过 SPI 进行诊断反馈

功能安全特性

- Limp Home模式
- 监控输入引脚状态（IN 和 LHI）
- 配置寄存器的校验和验证
- 电流采样验证模式

产品验证

汽车应用认证产品依据AEC-Q100 Grade 1进行验证。

描述

BTS71220-4ESA是一款串行接口高边开关，提供保护功能和诊断功能。该器件使用SMART7技术。

Overview

Table 1 Product Summary

Parameter	Symbol	Values
Minimum Operating voltage (at switch ON)	$V_{S(OP)}$	4.1 V
Minimum Operating voltage (cranking)	$V_{S(UV)}$	3.1 V
Maximum Operating voltage	V_S	28 V
Digital Supply voltage	V_{DD}	3.3 V or 5V
Minimum Overvoltage protection ($T_J \geq 25\text{ °C}$)	$V_{DS(CLAMP)_{25}}$	35 V
Maximum current in Sleep mode ($T_J \leq 85\text{ °C}$)	$I_{VS(SLEEP)_{85}}$	0.7 μ A
Maximum operative current	$I_{GND(ACTIVE)}$	7 mA
Maximum ON-state resistance ($T_J = 150\text{ °C}$) channels 0 and 3	$R_{DS(ON)_{150}}$	16.5 m Ω
Maximum ON-state resistance ($T_J = 150\text{ °C}$) channels 1 and 2	$R_{DS(ON)_{150}}$	38 m Ω
Nominal load current ($T_A = 85\text{ °C}$) channels 0 and 3	$I_{L(NOM)}$	5 A
Nominal load current ($T_A = 85\text{ °C}$) channels 1 and 2	$I_{L(NOM)}$	3 A
Typical current sense ratio at $I_L = I_{L(NOM)}$ channels 0 and 3	k_{ILIS}	5000
Typical current sense ratio at $I_L = I_{L(NOM)}$ channels 1 and 2	k_{ILIS}	2000
Serial Clock Frequency	$f_{SCLK(max)}$	5 MHz

2 框图和术语

2.1 框图

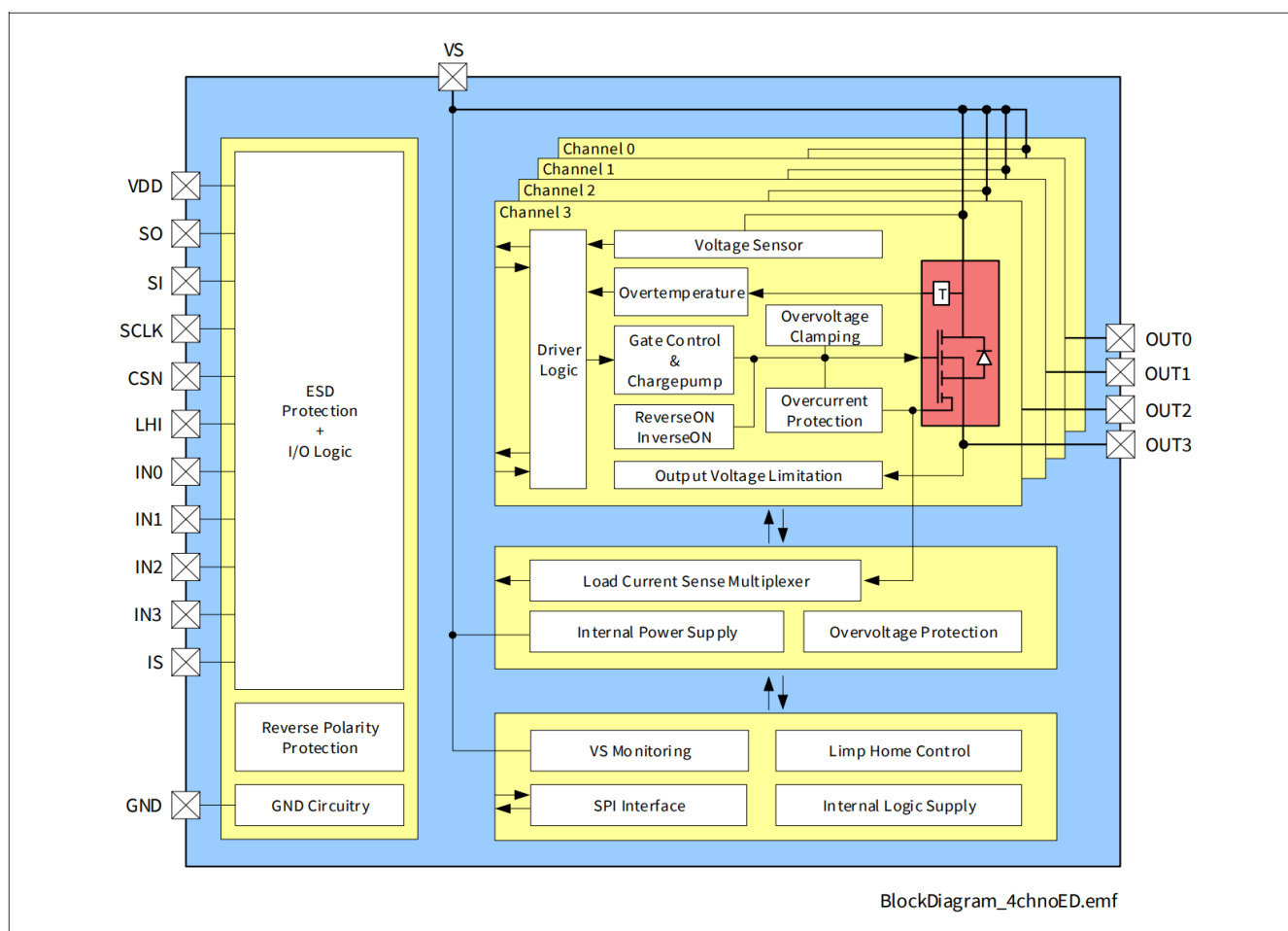


Figure 2 Block Diagram of BTS71220-4ESA

Block Diagram and Terms

2.2 术语

图 3 显示本数据手册中使用的所有术语及其正值约定。

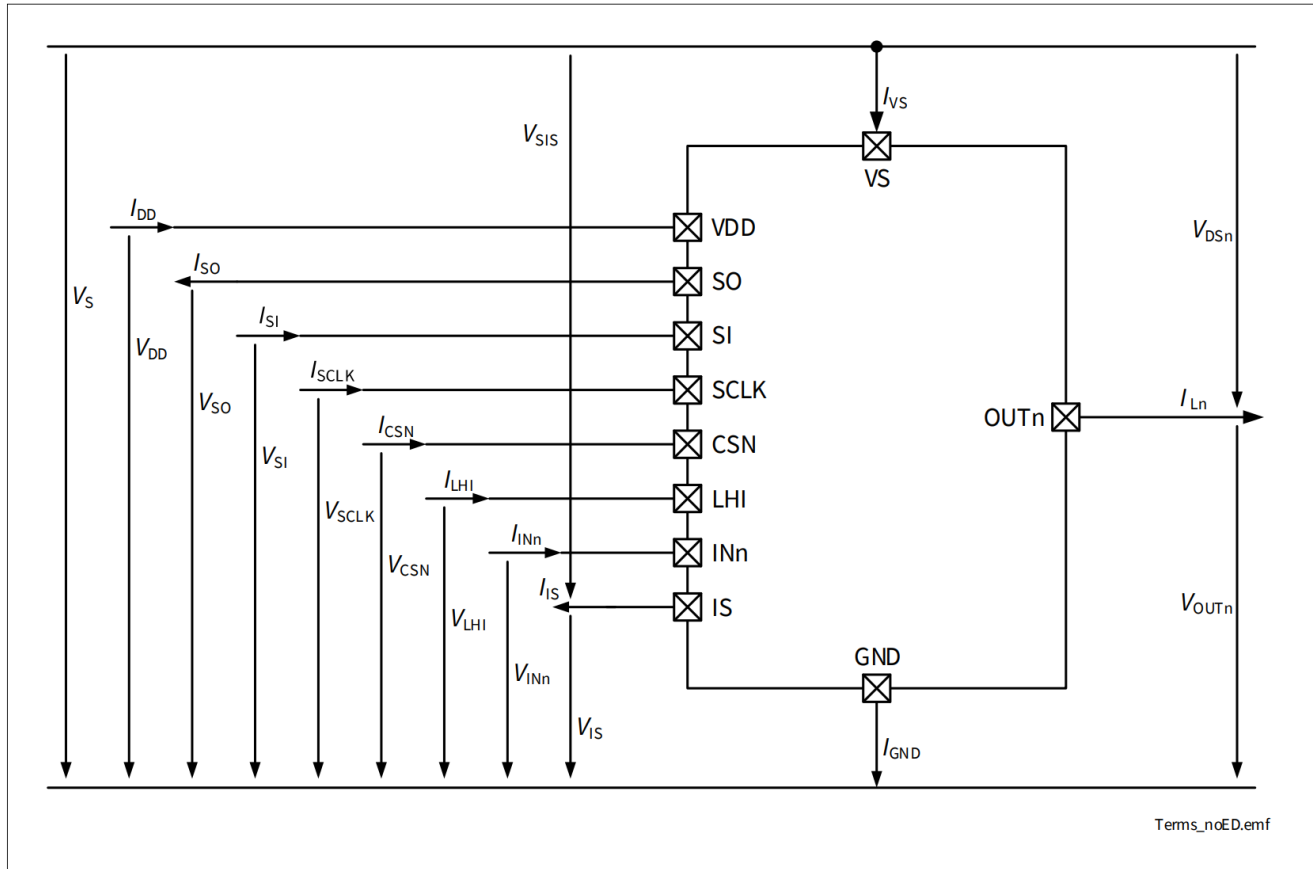


Figure 3 Voltage and Current Convention

Pin Configuration

3 引脚配置

3.1 引脚分配

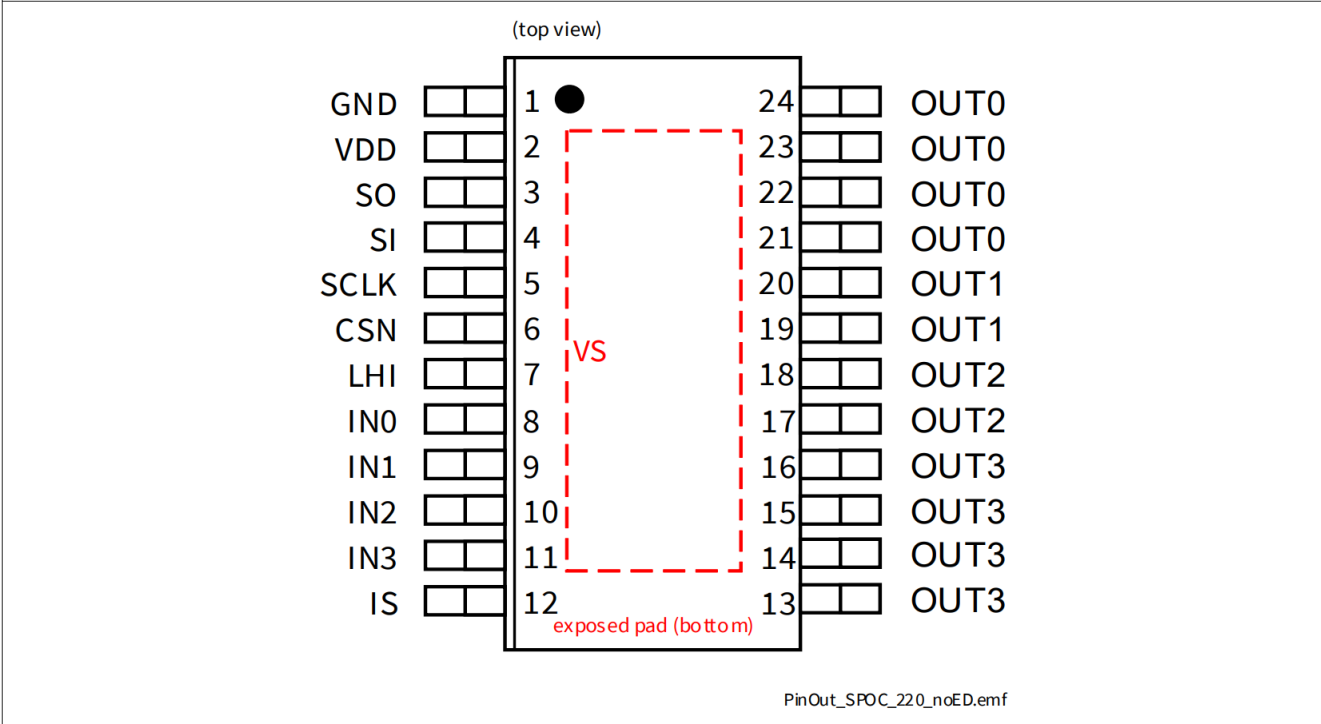


Figure 4 Pin Configuration

Pin Configuration

3.2 引脚定义和功能

Table 2 Pin Definition

Pin	Symbol	I/O	Function
EP	VS (exposed pad)	-	Power Supply Voltage Battery voltage
1	GND	-	Ground
2	VDD	-	Digital Supply Voltage
3	SO	O	Serial output of SPI interface
4	SI	I	Serial input of SPI interface (“high” active)
5	SCLK	I	Serial clock of SPI interface (“high” active)
6	CSN	I	Chip select of SPI interface (“low” active); integrated pull up to VDD
7	LHI	I	Limp Home activation signal (“high” active)
8, 9 10, 11	INn	I	Input Channel n Digital signal to switch ON the channel n (“high” active) If not used: connect with a 10 kΩ resistor either to GND pin or to module ground
12	IS	O	Current sense output signal
21-24 19-20 17-18 13-16	OUTn	O	Output n Protected high-side power output of channel n ¹⁾

1) 通道的所有输出引脚必须在PCB上连接在一起。通道的所有输出引脚均在内部连接在一起。PCB走线必须设计成能够承受最大电流。

General Product Characteristics

4 产品一般特性

4.1 绝对最大额定值 - 通用

Table 3 Absolute Maximum Ratings¹⁾

$T_J = -40\text{ °C}$ 至 $+150\text{ °C}$; 所有电压均以地为参考, 正电流流入引脚 (除非另有规定)

Parameter	Symbol	Values			Unit	Note or Test Condition	Number
		Min.	Typ.	Max.			

Supply pins

Power Supply Voltage	V_S	-0.3	–	28	V	–	P_4.1.0.1
Digital Supply Voltage	V_{DD}	-0.3	–	5.5	V	–	P_4.1.0.29
Load Dump Voltage	$V_{BAT(LD)}$	–	–	35	V	suppressed Load Dump acc. to ISO16750-2 (2010). $R_I = 2\ \Omega$	P_4.1.0.3
Supply Voltage for Short Circuit Protection	$V_{BAT(SC)}$	0	–	24	V	Setup acc. to AEC-Q100-012	P_4.1.0.25
Reverse Polarity Voltage	$-V_{BAT(REV)}$	–	–	16	V	$t \leq 2\text{ min}$ $T_A = +25\text{ °C}$ Setup as described in Chapter 11	P_4.1.0.5
Current through GND Pin	I_{GND}	-50	–	50	mA	R_{GND} according to Chapter 11	P_4.1.0.9
Current through VDD Pin	$I_{VDD(REV)}$	-10	–	30	mA	$t \leq 2\text{ min}$	P_4.1.0.10
Counter Reset Delay Time after Fault Condition	t_{RETRY}	50	–	–	ms	–	P_4.1.0.35

Logic & control pins (Digital Input = DI)

DI = INn, CS, SCLK, SI, LHI

Current through DI Pin	I_{DI}	-1	–	2	mA	²⁾	P_4.1.0.14
Current through DI Pin Reverse Battery Condition	$I_{DI(REV)}$	-1	–	10	mA	²⁾ $t \leq 2\text{ min}$	P_4.1.0.36

Logic & control pins (Digital Output = DO)

DO = SO

Current through DO Pin	I_{DO}	-2	–	1	mA	²⁾	P_4.1.0.33
Current through DO Pin Reverse Battery Condition	$I_{DO(REV)}$	-10	–	1	mA	²⁾ $t \leq 2\text{ min}$	P_4.1.0.37

General Product Characteristics

Table 3 Absolute Maximum Ratings¹⁾ (continued)

$T_J = -40\text{ °C}$ 至 $+150\text{ °C}$; 所有电压均以地为参考, 正电流流入引脚 (除非另有规定)

Parameter	Symbol	Values			Unit	Note or Test Condition	Number
		Min.	Typ.	Max.			
IS pin							
Voltage at IS Pin	V_{IS}	-1.5	–	V_S	V	$I_{IS} = 10\text{ }\mu\text{A}$	P_4.1.0.16
Current through IS Pin	I_{IS}	-25	–	$I_{IS(SAT),M}$ AX	mA	–	P_4.1.0.18
Temperatures							
Junction Temperature	T_J	-40	–	150	°C	–	P_4.1.0.19
Storage Temperature	T_{STG}	-55	–	150	°C	–	P_4.1.0.20
ESD Susceptibility							
ESD Susceptibility all Pins (HBM)	$V_{ESD(HBM)}$	-2	–	2	kV	HBM ³⁾	P_4.1.0.21
ESD Susceptibility OUTn vs GND and VS connected (HBM)	$V_{ESD(HBM)_OUT}$	-4	–	4	kV	HBM ³⁾	P_4.1.0.22
ESD Susceptibility all Pins (CDM)	$V_{ESD(CDM)}$	-500	–	500	V	CDM ⁴⁾	P_4.1.0.23
ESD Susceptibility Corner Pins (pins 1, 12, 13, 24)	$V_{ESD(CDM)_CRN}$	-750	–	750	V	CDM ⁴⁾	P_4.1.0.24

- 1) 无产线测试 - 根据设计。
- 2) 最大允许的 V_{DI} 用于Latch-Up测试: 5.5 V。
- 3) 静电放电ESD, 人体模型“HBM”, 按照AEC Q100-002标准。
- 4) 静电放电ESD, 充电模型“CDM”, 按照AEC Q100-011标准。

注释:

1. 超过此处列出的应力可能会对器件造成永久性损害。长时间暴露在绝对最大额定条件下可能会影响器件的可靠性。
2. 集成的保护功能旨在防止IC在数据手册所述故障条件下被毁坏。故障情况被认为超出了正常工作范围。保护功能不是为了连续重复的操作而设计的。

General Product Characteristics

4.2 绝对最大额定值 - 功率级

4.2.1 功率级 - 9.5 mΩ 通道

Table 4 Absolute Maximum Ratings - 9.5 mΩ channels¹⁾

$T_J = -40\text{ °C}$ 至 $+150\text{ °C}$; 所有电压均以地为参考, 正电流流入引脚 (除非另有规定)

Parameter	Symbol	Values			Unit	Note or Test Condition	Number
		Min.	Typ.	Max.			
Maximum Energy Dissipation Single Pulse	E_{AS}	–	–	55	mJ	$I_L = 2 \cdot I_{L(NOM)}$ $T_{J(0)} = 150\text{ °C}$ $V_S = 28\text{ V}$	P_4.2.15.1
Maximum Energy Dissipation Repetitive Pulse	E_{AR}	–	–	24	mJ	$I_L = I_{L(NOM)}$ $T_{J(0)} = 85\text{ °C}$ $V_S = 13.5\text{ V}$ 1M cycles	P_4.2.15.2
Load Current	$ I_L $	–	–	$I_{L(OVL),MAX}$	A	–	P_4.2.15.3

1) 无产线测试 - 根据设计。

4.2.2 功率级 - 22.5 mΩ 通道

Table 5 Absolute Maximum Ratings - 22.5 mΩ channels¹⁾

$T_J = -40\text{ °C}$ 至 $+150\text{ °C}$; 所有电压均以地为参考, 正电流流入引脚 (除非另有规定)

Parameter	Symbol	Values			Unit	Note or Test Condition	Number
		Min.	Typ.	Max.			
Maximum Energy Dissipation Single Pulse	E_{AS}	–	–	28	mJ	$I_L = 2 \cdot I_{L(NOM)}$ $T_{J(0)} = 150\text{ °C}$ $V_S = 28\text{ V}$	P_4.2.16.1
Maximum Energy Dissipation Repetitive Pulse	E_{AR}	–	–	8.5	mJ	$I_L = I_{L(NOM)}$ $T_{J(0)} = 85\text{ °C}$ $V_S = 13.5\text{ V}$ 1M cycles	P_4.2.16.2
Load Current	$ I_L $	–	–	$I_{L(OVL),MAX}$	A	–	P_4.2.16.3

1) 无产线测试 - 根据设计。

General Product Characteristics

4.3 工作范围

Table 6 Functional Range - Supply Voltages and Temperature¹⁾

Parameter	Symbol	Values			Unit	Note or Test Condition	Number
		Min.	Typ.	Max.			
Power Supply Voltage Range for Normal Operation	$V_{S(NOR)}$	6	13.5	18	V	–	P_4.3.0.1
Lower Extended Power Supply Voltage Range for Operation	$V_{S(EXT,LOW)}$	3.1	–	6	V	²⁾³⁾ (parameter deviations possible)	P_4.3.0.2
Upper Extended Power Supply Voltage Range for Operation	$V_{S(EXT,UP)}$	18	–	28	V	³⁾ (parameter deviations possible)	P_4.3.0.3
Digital Supply Voltage Range	$V_{DD(NOR)}$	3.0	–	5.5	V	–	P_4.3.0.4
Junction Temperature	T_J	-40	–	150	°C	–	P_4.3.0.5

1) 无产线测试 - 根据设计。

2) 如果电压 V_S 减少: $V_{S(EXT,LOW),MIN} = 3.1 \text{ V}$ 。如果电压 V_S 增加: $V_{S(EXT,LOW),MIN} = 4.1 \text{ V}$ 。

3) 保护功能仍工作。

注释: 在功能或者工作范围内, 芯片IC按照电路描述正常工作。电气特性是在电气特性表中注明的条件指定的。

4.4 热阻

注释: 此热学数据是根据 JEDEC JESD51 标准生成的。欲了解更多信息, 请访问 www.jedec.org。

Table 7 Thermal Resistance¹⁾

Parameter	Symbol	Values			Unit	Note or Test Condition	Number
		Min.	Typ.	Max.			
Thermal Characterization Parameter Junction-Top	Ψ_{JTOP}	–	0.9	1.5	K/W	²⁾	P_4.4.0.15
Thermal Resistance Junction-to-Case	R_{thJC}	–	0.5	0.9	K/W	²⁾ simulated at exposed pad	P_4.4.0.16
Thermal Resistance Junction to Ambient	R_{thJA}	–	26	–	K/W	²⁾	P_4.4.0.6

1) 无产线测试 - 根据设计。

2) 根据 JEDEC JESD51-2,-5,-7, 在自然对流的FR4 2s2p 板上; 产品 (芯片 + 封装) 在具有 2 个内铜层 (2 × 70 μm Cu、2 × 35 μm Cu) 的 76.2 × 114.3 × 1.5 mm 板上进行模拟。在适用的情况下, 裸露的散热焊盘下的导热过孔阵列与第一个内铜层接触。模拟是在 $T_A = 105^\circ\text{C}$ 、 $P_{DISSIPATION} = 1 \text{ W}$ 条件下进行的。

General Product Characteristics

4.4.1 PCB设置

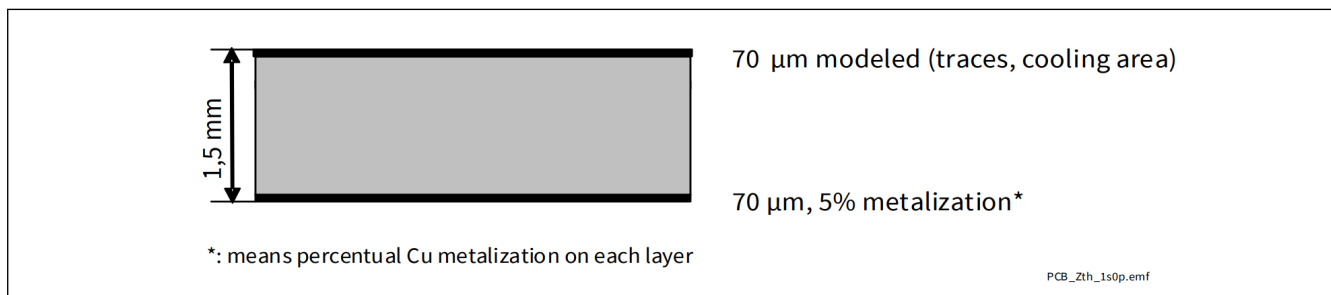


Figure 5 1s0p PCB Cross Section

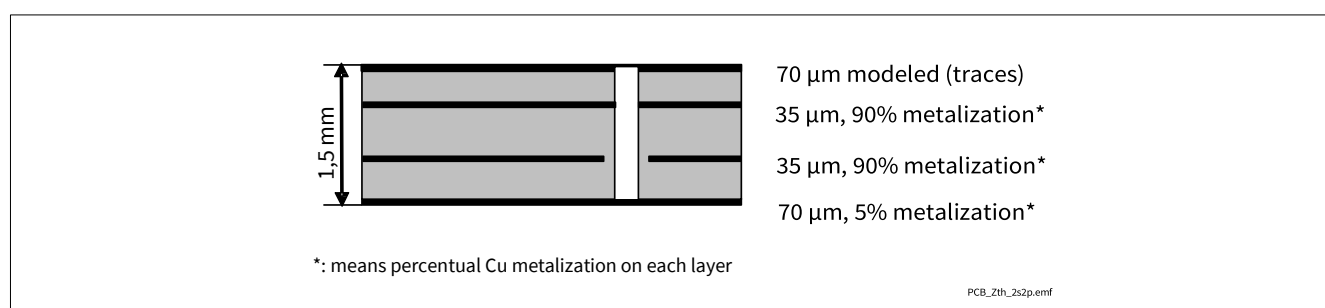


Figure 6 2s2p PCB Cross Section

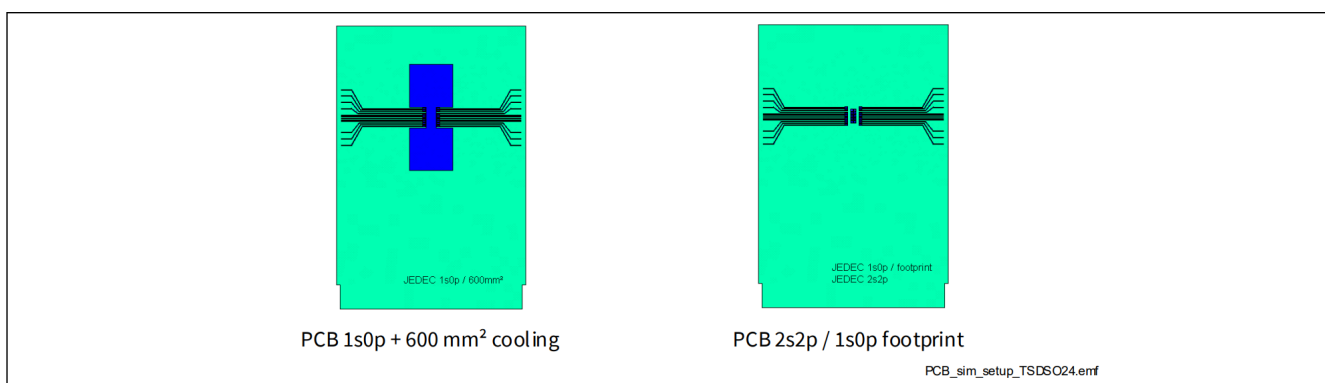


Figure 7 PCB setup for thermal simulations

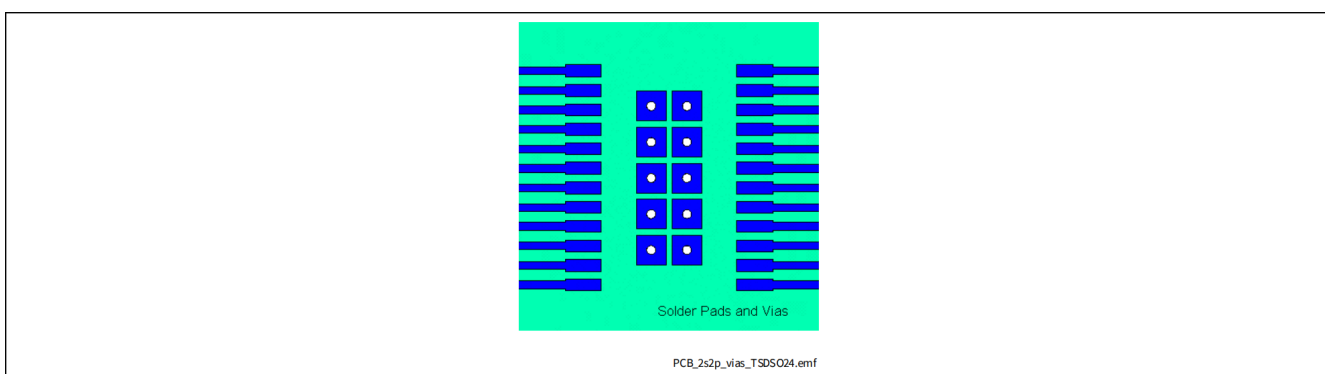


Figure 8 Thermal vias on PCB for 2s2p PCB setup

General Product Characteristics

4.4.2 热阻抗

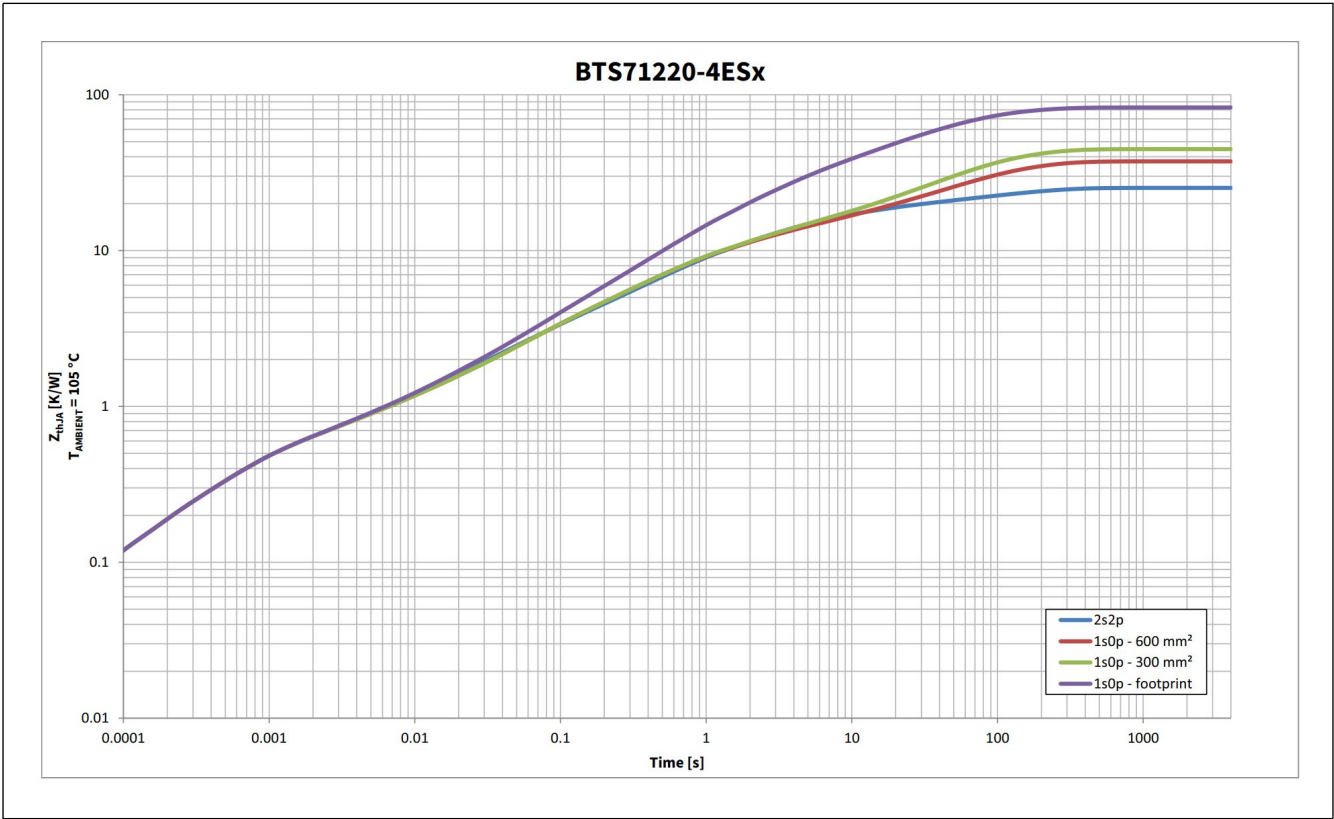


Figure 9 Typical Thermal Impedance. PCB setup according Chapter 4.4.1

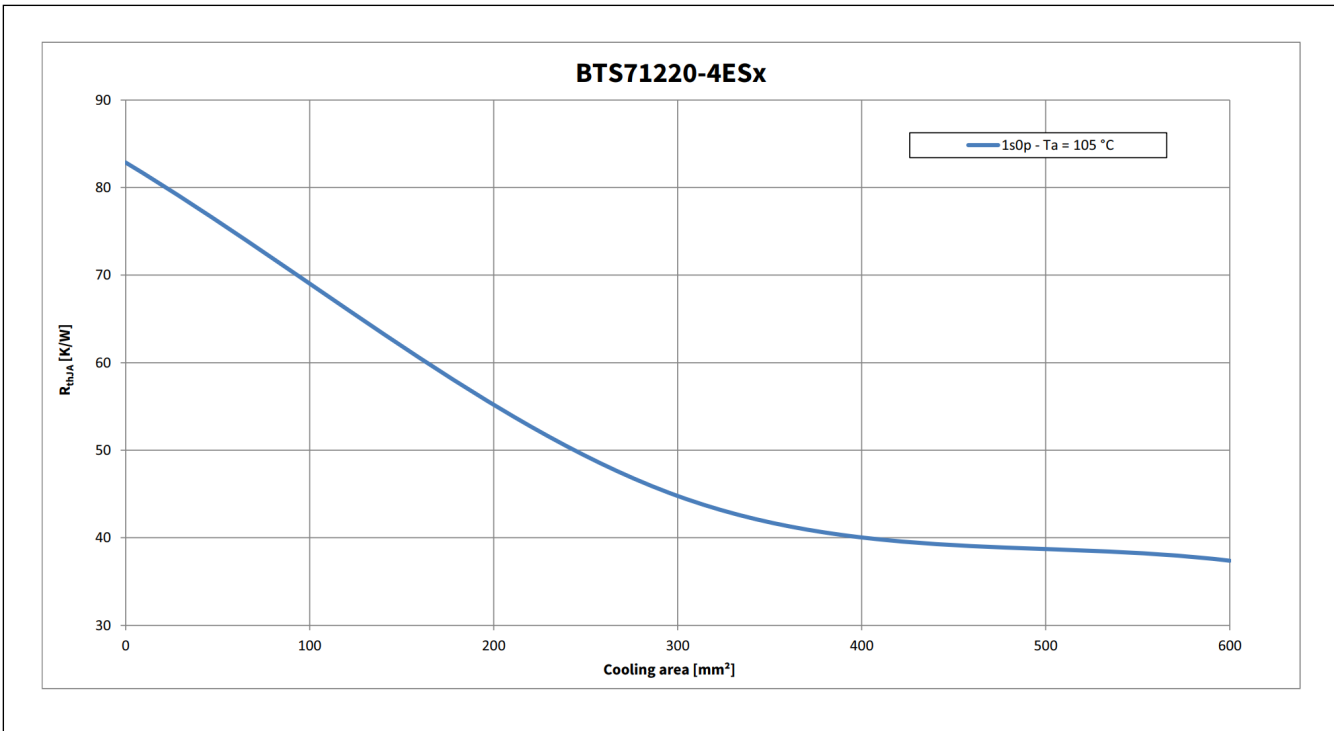


Figure 10 Thermal Resistance on 1s0p PCB with various cooling surfaces

5 逻辑引脚

器件有 9 个数字引脚来配置和控制器件。它们可以根据功能分组，分为输入引脚、SPI 引脚和 Limp Home 引脚。

5.1 输入引脚 (INn)

如果器件处于休眠模式、待机模式、准备模式或跛行模式，输入引脚 IN0 至 IN3 会激活相应的输出通道。输入电路兼容 3.3V 和 5V 的 MCU 控制器。输入电路的电气等效如图 11 所示。如果该引脚不使用，则必须使用 10 kΩ 电阻将其连接到 GND 引脚或模块地。

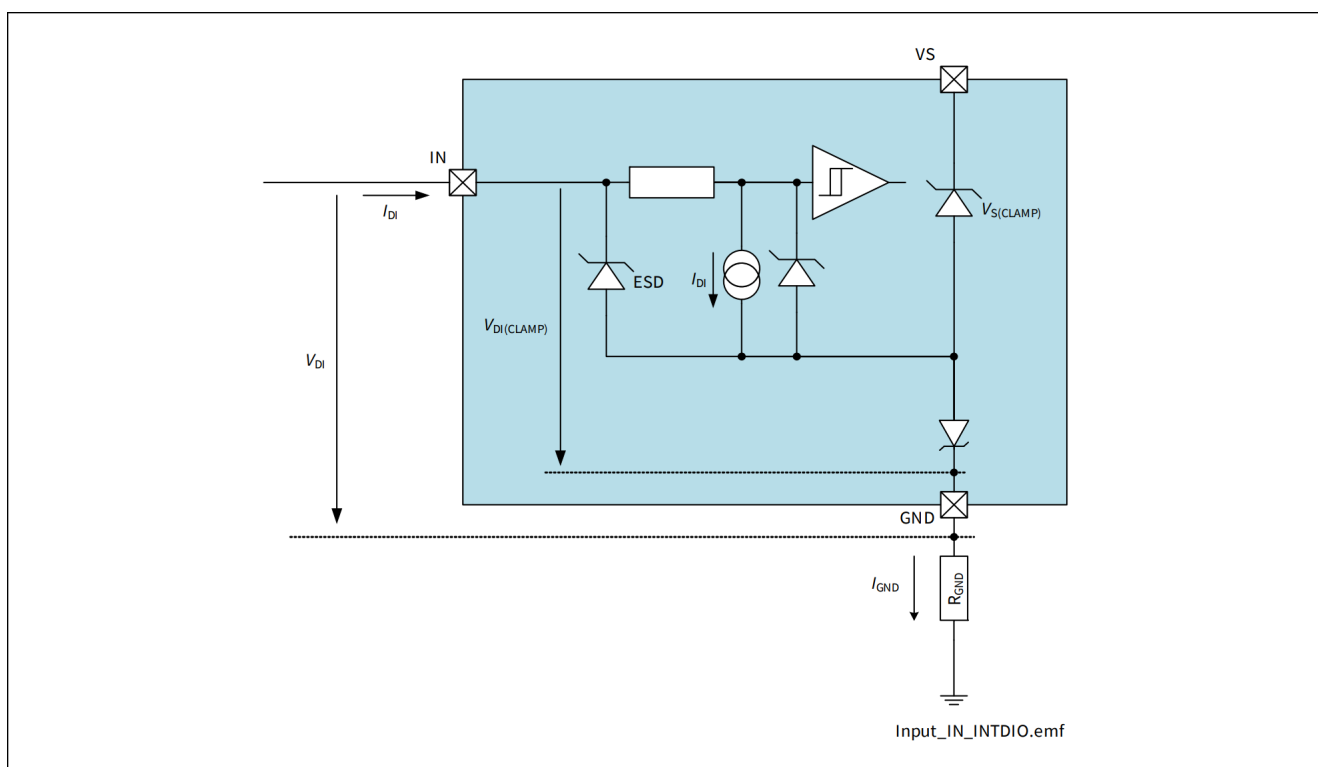


Figure 11 Input circuitry

“低电平”和“高电平”的逻辑阈值由参数 $V_{DI(TH)}$ 和 $V_{DI(HYS)}$ 定义。这两个值之间的关系如图 12 所示。确保“高电平”状态所需的电压 V_{IN} 始终高于保证“低电平”状态所需的电压。

Logic Pins

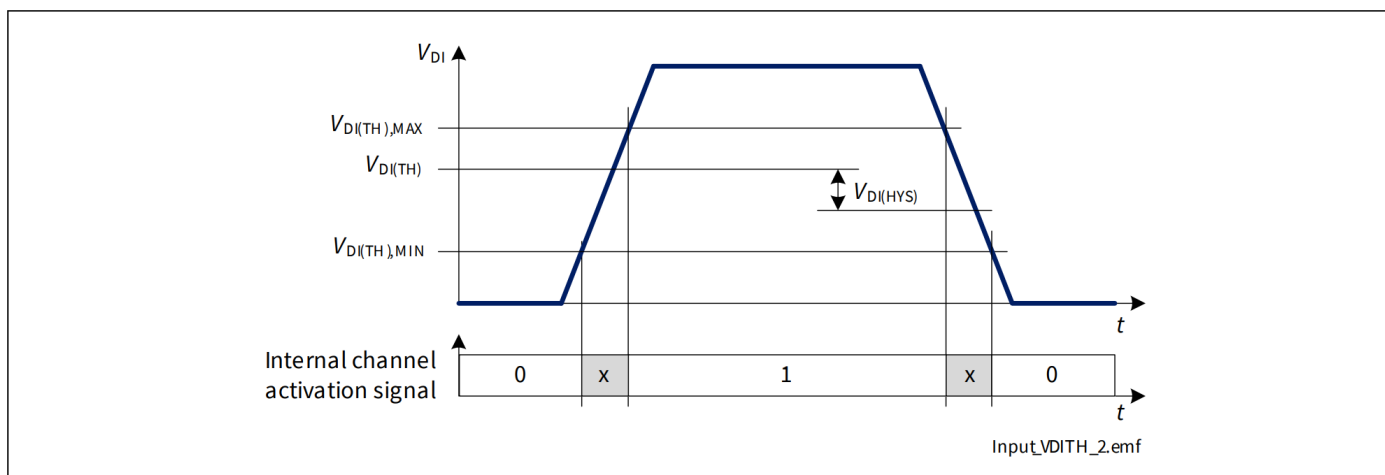


Figure 12 Input Threshold voltages and hysteresis

有两种方法可以将输入引脚与寄存器 **OUT** 结合使用，
 通过寄存器 **HWCR** 中 **HWCR.COL** 来编写(参见表 35)。

- **HWCR.COL** = 0_B: 通道的打开可通过寄存器 **OUT.OUTn** 控制或者通过输入引脚控制。
- **HWCR.COL** = 1_B: 当输入引脚为“高”时，通道的打开仅能通过寄存器 **OUT.OUTn** 来控制。在这种配置中，如果SPI 寄存器 **OUT** 打开通道，在输入引脚上给PWM信号，可实现输出的PWM信号。(参见表 35)。

默认状态 (**HWCR.COL** = 0_B) 是输入信号和SPI位的 OR 组合。在Limp Home模式下 (LHI 引脚置位为“高”)，组合逻辑处于默认状态，只能通过输入引脚激活通道。图 13 显示完整的输入开关矩阵。

输入引脚的逻辑电平可以通过输入状态进行监测。如果输入引脚上出现“高”电平，相应的 **ICS.INSTn** 位是置位并在读取时清除。

Logic Pins

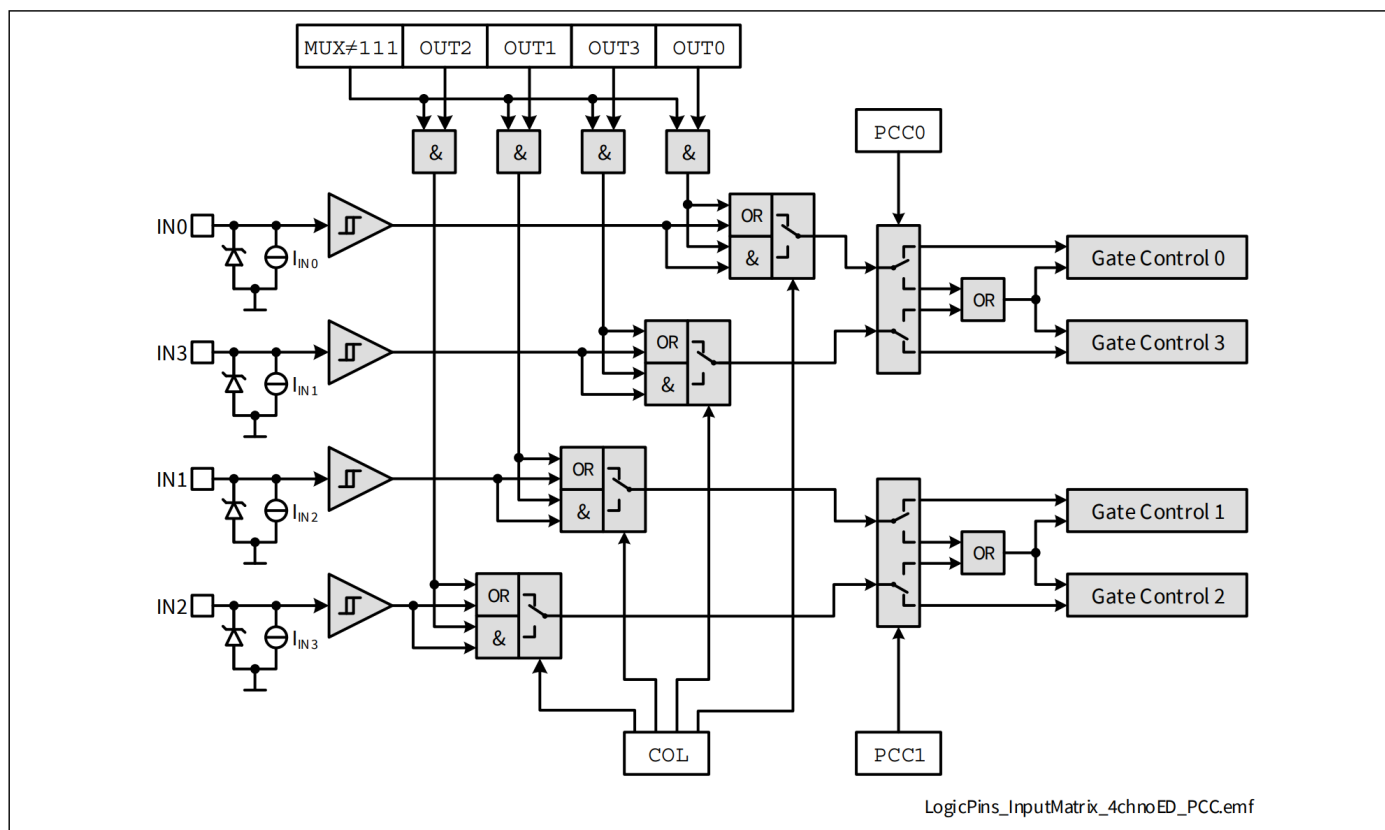


Figure 13 Input Switch Matrix

5.2 高级功能引脚

5.2.1 SPI引脚

串行外设接口（SPI）是一个全双工同步串行从机接口，使用四根线：SO、SI、SCLK和CSN。参见第10章了解更多信息。

5.2.2 跛行模式输入(LHI) 引脚

为了激活fail-safe状态，器件提供了跛行模式输入引脚。当引脚置位为“高”的时间超过 $t_{LHI(AC)}$ 时，跛行模式将被激活。参见章节6.1.7和章节6.1.8了解更多信息。

Logic Pins

5.3 电气特性逻辑引脚

$V_{DD} = 3.0\text{ V}$ 至 5.5 V , $V_S = 6\text{ V}$ 至 18 V , $T_J = -40\text{ }^{\circ}\text{C}$ 至 $+150\text{ }^{\circ}\text{C}$

典型值: $V_{DD} = 5.0\text{ V}$, $V_S = 13.5\text{ V}$, $T_J = 25\text{ }^{\circ}\text{C}$

数字输入 (DI) pins = IN

Table 8 Electrical Characteristics: Logic Pins - General

Parameter	Symbol	Values			Unit	Note or Test Condition	Number
		Min.	Typ.	Max.			
Digital Input Voltage Threshold	$V_{DI(TH)}$	0.8	1.3	2	V	See Figure 11 and Figure 12	P_5.4.0.1
Digital Input Clamping Voltage	$V_{DI(CLAMP1)}$	–	7	–	V	¹⁾ $I_{DI} = 1\text{ mA}$ See Figure 11 and Figure 12	P_5.4.0.2
Digital Input Clamping Voltage	$V_{DI(CLAMP2)}$	6.5	7.5	8.5	V	$I_{DI} = 2\text{ mA}$ See Figure 11 and Figure 12	P_5.4.0.3
Digital Input Hysteresis	$V_{DI(HYS)}$	–	0.25	–	V	¹⁾ See Figure 11 and Figure 12	P_5.4.0.4
Digital Input Current (“high”)	$I_{DI(H)}$	2	10	25	μA	$V_{DI} = 2\text{ V}$ See Figure 11 and Figure 12	P_5.4.0.5
Digital Input Current (“low”)	$I_{DI(L)}$	2	10	25	μA	$V_{DI} = 0.8\text{ V}$ See Figure 11 and Figure 12	P_5.4.0.6

1) 无产线测试 - 根据设计。

5.4 电气特性逻辑引脚 - 高级功能

Table 9 Electrical Characteristics: Logic Pins - Advanced

Parameter	Symbol	Values			Unit	Note or Test Condition	Number
		Min.	Typ.	Max.			
SPI pins							
Digital Input Voltage Threshold of Pin CSN	$V_{CSN(TH)}$	0.8	1.3	2	V	–	P_5.5.0.1
Digital Input Voltage Threshold of Pin SCLK	$V_{SCLK(TH)}$	0.8	1.3	2	V	1)	P_5.5.0.2
Digital Input Voltage Threshold of Pin SI	$V_{SI(TH)}$	0.8	1.3	2	V	–	P_5.5.0.3
Digital Input Clamping Voltage of Pin CSN	$V_{CSN(CLAMP1)}$	–	7	–	V	2) $I_{CSN} = 1\text{ mA}$	P_5.5.0.4
Digital Input Clamping Voltage of Pin CSN	$V_{CSN(CLAMP2)}$	6.5	7.5	8.5	V	$I_{CSN} = 2\text{ mA}$	P_5.5.0.5

Logic Pins

Table 9 Electrical Characteristics: Logic Pins - Advanced (continued)

Parameter	Symbol	Values			Unit	Note or Test Condition	Number
		Min.	Typ.	Max.			
Digital Input Clamping Voltage of Pin SCLK	$V_{\text{SCLK}(\text{CLAMP1})}$	–	7	–	V	2) $I_{\text{SCLK}} = 1 \text{ mA}$	P_5.5.0.6
Digital Input Clamping Voltage of Pin SCLK	$V_{\text{SCLK}(\text{CLAMP2})}$	6.5	7.5	8.5	V	$I_{\text{SCLK}} = 2 \text{ mA}$	P_5.5.0.7
Digital Input Clamping Voltage of Pin SI	$V_{\text{SI}(\text{CLAMP1})}$	–	7	–	V	2) $I_{\text{SI}} = 1 \text{ mA}$	P_5.5.0.8
Digital Input Clamping Voltage of Pin SI	$V_{\text{SI}(\text{CLAMP2})}$	6.5	7.5	8.5	V	$I_{\text{SI}} = 2 \text{ mA}$	P_5.5.0.9
Digital Input Hysteresis of Pin CSN	$V_{\text{CSN}(\text{HYS})}$	–	0.25	–	V	2) See Figure 12	P_5.5.0.11
Digital Input Hysteresis of Pin SCLK	$V_{\text{SCLK}(\text{HYS})}$	–	0.25	–	V	2) See Figure 12	P_5.5.0.13
Digital Input Hysteresis of Pin SI	$V_{\text{SI}(\text{HYS})}$	–	0.25	–	V	2) See Figure 12	P_5.5.0.15
Digital Input Current (“low”) of Pin CSN	$-I_{\text{CSN}(\text{L})}$	2	10	25	μA	$V_{\text{CSN}} = 0.5 \text{ V}$	P_5.5.0.10
Digital Input Current (“high”) of Pin CSN	$-I_{\text{CSN}(\text{H})}$	2	10	25	μA	$V_{\text{CSN}} = 2.6 \text{ V}$	P_5.5.0.12
Digital Input Current (“low”) of Pin SCLK	$I_{\text{SCLK}(\text{L})}$	2	10	25	μA	$V_{\text{SCLK}} = 0.5 \text{ V}$	P_5.5.0.14
Digital Input Current (“high”) of Pin SCLK	$I_{\text{SCLK}(\text{H})}$	2	10	25	μA	$V_{\text{SCLK}} = 2.6 \text{ V}$	P_5.5.0.16
Digital Input Current (“low”) of Pin SI	$I_{\text{SI}(\text{L})}$	2	10	25	μA	$V_{\text{SI}} = 0.5 \text{ V}$	P_5.5.0.18
Digital Input Current (“high”) of Pin SI	$I_{\text{SI}(\text{H})}$	2	10	25	μA	$V_{\text{SI}} = 2.6 \text{ V}$	P_5.5.0.20
Digital Output Voltage (“low”) of Pin SO	$V_{\text{SO}(\text{L})}$	0	–	0.5	V	$I_{\text{SO}} = -0.5 \text{ mA}$	P_5.5.0.22
Digital Output Voltage (“high”) of Pin SO	$V_{\text{SO}(\text{H})}$	$V_{\text{DD}} - 0.5 \text{ V}$	–	V_{DD}	V	$I_{\text{SO}} = 0.5 \text{ mA}$	P_5.5.0.23
Output Tristate Leakage Current of Pin SO	$I_{\text{SO}(\text{OFF})}$	-1	–	1	μA	$V_{\text{CSN}} = V_{\text{DD}}$ $V_{\text{SO}} = 0 \text{ V}$ or $V_{\text{CSN}} = V_{\text{DD}}$ $V_{\text{SO}} = V_{\text{DD}}$	P_5.5.0.24
LHI pin							
Digital Input Voltage Threshold of Pin LHI	$V_{\text{LHI}(\text{TH})}$	1.4	1.9	2.6	V	–	P_5.5.0.25
Digital Input Clamping Voltage of Pin LHI	$V_{\text{LHI}(\text{CLAMP1})}$	–	7	–	V	2) $I_{\text{LHI}} = 1 \text{ mA}$	P_5.5.0.27
Digital Input Clamping Voltage of Pin LHI	$V_{\text{LHI}(\text{CLAMP2})}$	6.5	7.5	8.5	V	$I_{\text{LHI}} = 2 \text{ mA}$	P_5.5.0.28

Logic Pins

Table 9 Electrical Characteristics: Logic Pins - Advanced (continued)

Parameter	Symbol	Values			Unit	Note or Test Condition	Number
		Min.	Typ.	Max.			
Digital Input Hysteresis of Pin LHI	$V_{LHI(HYS)}$	–	0.25	–	V	²⁾	P_5.5.0.29
Digital Input Current (“high”) of Pin LHI	$I_{LHI(H)}$	10	32	65	μA	$V_{LHI} = 5\text{ V}$ $V_{DD} = 0\text{ V}$	P_5.5.0.30
Digital Input Current (“low”) of Pin LHI	$I_{LHI(L)}$	10	24	45	μA	$V_{LHI} = 0.8\text{ V}$ $V_{DD} = 0\text{ V}$	P_5.5.0.32

1) 仅功能测试。

2) 无产线测试 - 根据设计。

6 电源

BTS71220-4ESA 有两个电源电压供电：

- 功率供电电压 (V_S)
- 数字供电电压 (V_{DD})

V_S 电源线连接到电池并用于功率级的驱动电路，而 V_{DD} 用于 SPI 逻辑和驱动 SO 引脚。 V_S 和 V_{DD} 电源电压具有欠电压检测电路，可防止在测量电压低于欠压阈值时激活相关功能。详细来说：

- 欠压 V_{DD} 电源会停止 SPI 通讯。 SPI 寄存器将恢复为默认值
 - V_S 电源上的欠压会关闭所有通道，即使在跛行模式下也是如此。一旦 $V_S \geq V_{S(OP)}$ ，通道就会再次打开
- 引脚 V_S 电压也受到监控。如果不在休眠模式下， V_S 上出现瞬态负压，导致 $V_S < V_{S(TP)}$ ，则忽略发送的任何 SPI 指令（请参阅[章节 6.2](#)和[章节 10.5](#)了解更多信息）。[表 10](#) 显示了根据不同的 V_S 和 V_{DD} 电源电压而变化的通道行为概述。

Table 10 Device capability as function of V_S and V_{DD} ¹⁾

	$V_{DD} \leq V_{DD(PO)}$ ($V_{DD(PO)}$ see P_6.4.1.1)	$V_{DD} > V_{DD(PO)}$
$V_S \leq V_{S(TP)}$ ($V_{S(TP)}$ see P_6.4.0.5)	Channels are OFF	Channels are OFF
	SPI registers reset	SPI registers protected
	SPI communication not available ($f_{SCLK} = 0$ MHz)	SPI communication available ²⁾ ($f_{SCLK} = 5$ MHz)
	Limp Home mode not available	Limp Home mode not available
$V_{S(TP)} < V_S \leq V_{S(UV)}$ ($V_{S(UV)}$ see P_6.4.0.1)	Channels are OFF	Channels are OFF
	SPI registers reset	SPI registers available
	SPI communication not available ($f_{SCLK} = 0$ MHz)	SPI communication available ($f_{SCLK} = 5$ MHz)
	Limp Home mode available (channels are OFF)	Limp Home mode available (channels are OFF)
$V_S > V_{S(UV)3}$	Channels cannot be controlled by SPI	Channels can be controlled by SPI
	SPI registers reset	SPI registers available
	SPI communication not available ($f_{SCLK} = 0$ MHz)	SPI communication available ($f_{SCLK} = 5$ MHz)
	Limp Home mode available	Limp Home mode available

- 1) 在成功的电压上升后有效。
- 2) 写入指令忽略。芯片只响应 **STDDIAG**。
- 3) V_S 电源上的欠压条件需要考虑。参考 [章节 6.2](#)。

6.1 操作模式

BTS71220-4ESA 具有以下操作模式：

- 睡眠模式
- 活动模式
- 待机模式
- 准备模式
- 跛行模式
- 跛行激活模式

操作模式之间的转换根据以下变量确定：

- 数字电源 (V_{DD})
- INn引脚逻辑
- LHI引脚逻辑
- 传感器多路复用器状态 ([DCR.MUX](#))
- 输出寄存器状态 ([OUT.OUTn](#))
- 配置寄存器状态

图 14 显示了包含转换的状态图。BTS71220-4ESA行为以及一些参数会根据器件的操作模式而改变。此外，由于欠压检测电路监测 V_S 供电电压，因此可以看到相同操作模式下的一些变化。

有五个参数描述BTS71220-4ESA的每种操作模式：

- 输出通道状态
- SPI 寄存器状态
- SPI通讯状态
- V_S 引脚上的消耗电流（在休眠模式下通过 I_{VS} 测量，在所有其他工作模式下通过 I_{GND} 测量）
- V_{DD} 引脚消耗电流 (I_{VDD})

表 11 显示了各个操作模式, V_S 和 V_{DD} 供电电压, 以及模式下最重要的功能（通道状态, SPI通信和SPI寄存器）。

Power Supply

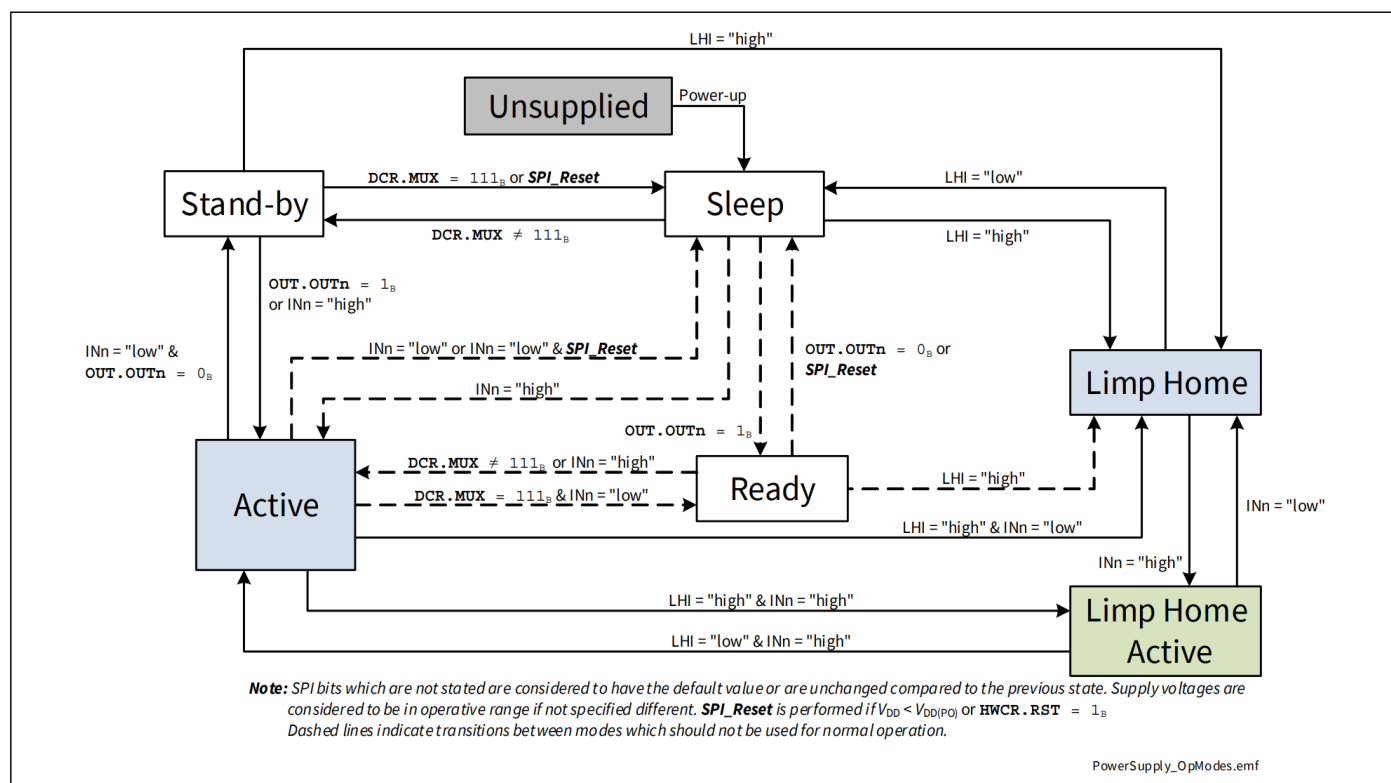


Figure 14 Operation Mode state diagram

Table 11 Device function in relation to operation modes, V_{DD} and V_S voltages

Operative Mode	Function	$V_S \leq V_{S(TP)}$	$V_{S(TP)} \leq V_S \leq V_{S(UV)}$	$V_S > V_{S(UV)}$
Sleep	Channels	OFF	OFF	OFF
	SPI registers	available ¹⁾	available ¹⁾	available ¹⁾
	SPI comm.	available ¹⁾	available ¹⁾	available ¹⁾
Stand-by	Channels	OFF	OFF	OFF
	SPI registers	protected ¹⁾	available ¹⁾	available ¹⁾
	SPI comm.	all commands rejected ¹⁾	available ¹⁾	available ¹⁾
Ready	Channels	OFF	OFF	OFF
	SPI registers	protected ¹⁾	available ¹⁾	available ¹⁾
	SPI comm.	all commands rejected ¹⁾	available ¹⁾	available ¹⁾
Active	Channels	OFF	OFF	follow SPI and/or Input pins
	SPI registers	protected ¹⁾	available ¹⁾	available ¹⁾
	SPI comm.	all commands rejected ¹⁾	available ¹⁾	available ¹⁾
Limp Home / Limp Home Active	Channels	OFF	OFF	follow Input pins
	SPI registers	protected ¹⁾	reset (Diagnosis available) ¹⁾	reset (Diagnosis available) ¹⁾
	SPI comm.	all commands rejected ¹⁾²⁾	read-only ¹⁾	read-only ¹⁾

1) 如果 $V_{DD} > V_{DD(P0)}$ 否则不可用或者重启。

2) 如果所有输入引脚设置为“低”，SPI通信为只读模式。

Power Supply

6.1.1 未上电

在这种状态下，器件要么未供电（ V_S 引脚和 V_{DD} 引脚上未施加电压），要么供电电压均低于相应的欠压阈值。

6.1.2 上电

当其中一个电源电压（ V_S 或 V_{DD} ）施加到器件上时，进入上电条件。两个电源均上升，直到它们高于欠压阈值 $V_{S(OP)}$ 和 $V_{DD(PO)}$ ，因此内部上电信号置位。唤醒时间 $t_{WU(PO)}$ 后，可以访问 SPI 接口。

6.1.3 休眠模式

当器件数字输入引脚（ IN_n , LHI）设置为“低电平”，并且 **DCR.MUX** 设置为 111_B ，芯片处于休眠模式。当 BTS71220-4ESA 在休眠模式，所有输出都是关闭状态。如果 $V_{DD} > V_{DD(PO)}$ ，SPI 寄存器可编程，消耗电流最小（参见参数 $I_{VS(SLEEP)}$ ）。当器件处于休眠模式时，没有过温或过流保护机制。监控 V_S 与 $V_{S(UV)}$ 以及 V_S 与 $V_{S(TP)}$ 的电路被禁用。即使 $V_S < V_{S(TP)}$ ，这也允许对寄存器进行编程。

6.1.4 待机模式

当 **DCR.MUX** $\neq 111_B$ 并且未收到打开通道的指令（通过 SPI 或通过输入引脚），器件处于待机模式。所有通道均关闭，但内部电源电路仍在工作，因此器件消耗电流增加。用于打开一个或多个输出的指令被接受并执行，使器件进入活动模式。可以进行 SPI 通讯。

6.1.5 准备模式

在准备模式下，一个或多个输出开启指令可开启通道（通过 SPI 或通过输入引脚，如果 **HWCR.COL** = 1_B ）。尽管如此，由于 **DCR.MUX** = 111_B ，所有输出都关闭。有必要更改这些位的值以使器件进入活动模式并打开通道。

注释 由于 **DCR.MUX** = 111_B ，**OUT** 寄存器则为空白，芯片无法在下述情况进入活动模式：
HWCR.COL = 1_{Bo}

6.1.6 活动模式

当无跛行模式条件置位且一个或多个输出打开时，BTS71220-4ESA 在活动工作模式。功耗消耗电流由参数 $I_{GND(ACTIVE)}$ 指定。 V_{DD} 供电电压上的欠压条件使器件进入休眠模式输入状态，所有输入引脚都设置为“低电平”。

6.1.7 跛行模式

当 LHI 引脚置位为“高”并持续 $t > t_{LHI(AC)}$ 时，器件进入跛行模式，SPI 寄存器会复位为默认值。标准诊断（**STDDIAG.LHI**）中的相应位将置位为 1_B 并锁存直到下一个 **STDDIAG** 读取。参见图 15 以了解更多信息。SPI 寄存器可用于读取/访问。ERRDIAG、STDDIAG、WRNDIAG 和 ICS 可用于跛行模式的诊断。

当器件处于瞬态保护（ $V_S \leq V_{S(TP)}$ ）且 LHI 引脚置位为“高”时，**STDDIAG.LHI** 位将被置位，但器件不会将其状态更改为跛行模式。此外 **STDDIAG.VSMON** 和 **STDDIAG.TER** 位将置位以报告电池瞬态保护。

Power Supply

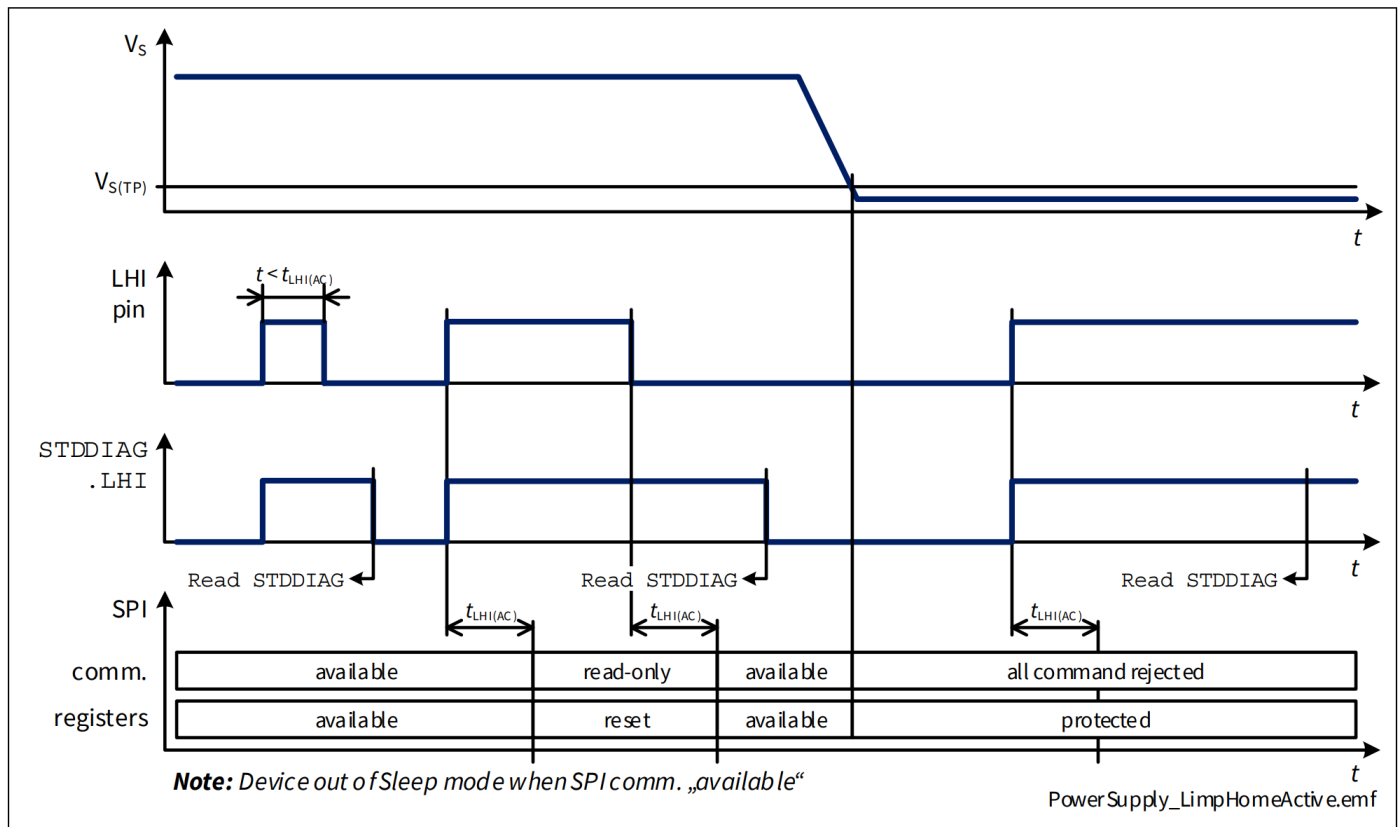


Figure 15 Limp Home Activation as function of V_S

6.1.8 跛行激活模式

当器件处于跛行模式且有 IN 引脚置位为“高”时，进入跛行活动模式。过流、过温和过压保护都是有激活的。由于 SPI 寄存器无法写入，因此电流感应不可用。

6.1.9 定义模式跳转时间

当BTS71220-4ESA处于活动模式或跛行模式时，通道导通时间由参数 t_{ON} 定义。BTS71220-4ESA其它情况需加上进入上述两种操作模式之一所需的过渡时间（如图16所示）。

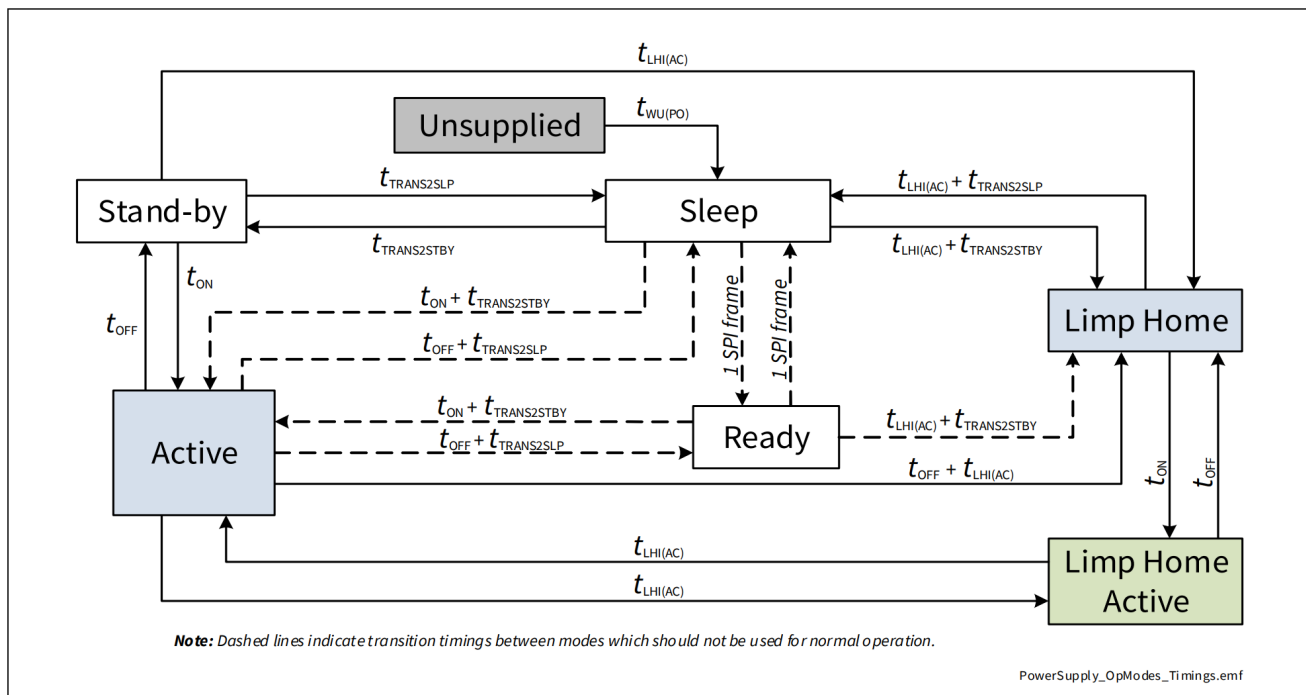


Figure 16 Transition Time diagram

6.2 V_S 欠压

在 $V_{S(OP)}$ 和 $V_{S(UV)}$ 之间，欠压机制被触发。如果器件工作（在活动模式或跛行活动模式）并且供电电压低于欠压阈值 $V_{S(UV)}$ ，则内部逻辑将关闭输出通道。当器件处于待机模式、活动模式或跛行模式时，**STDDIAG.VSMON** 置位并锁存直到读出。当状态从休眠模式变为任何其他状态时，必须考虑 $t \geq t_{TRANS2STBY}$ 的延迟，直到 **STDDIAG.VSMON** 是有效的。

一旦供电电压 V_S 高于工作阈值 $V_{S(OP)}$ ，相应输入引脚置位为“高”的通道或**OUT**寄存器中的位置位为 1_B，器件再次开启。重启延迟时间 $t_{DELAY(UV)}$ ，以保护器件因短路事件导致欠压条件（根据AEC-Q100-012），如图17所示。

Power Supply

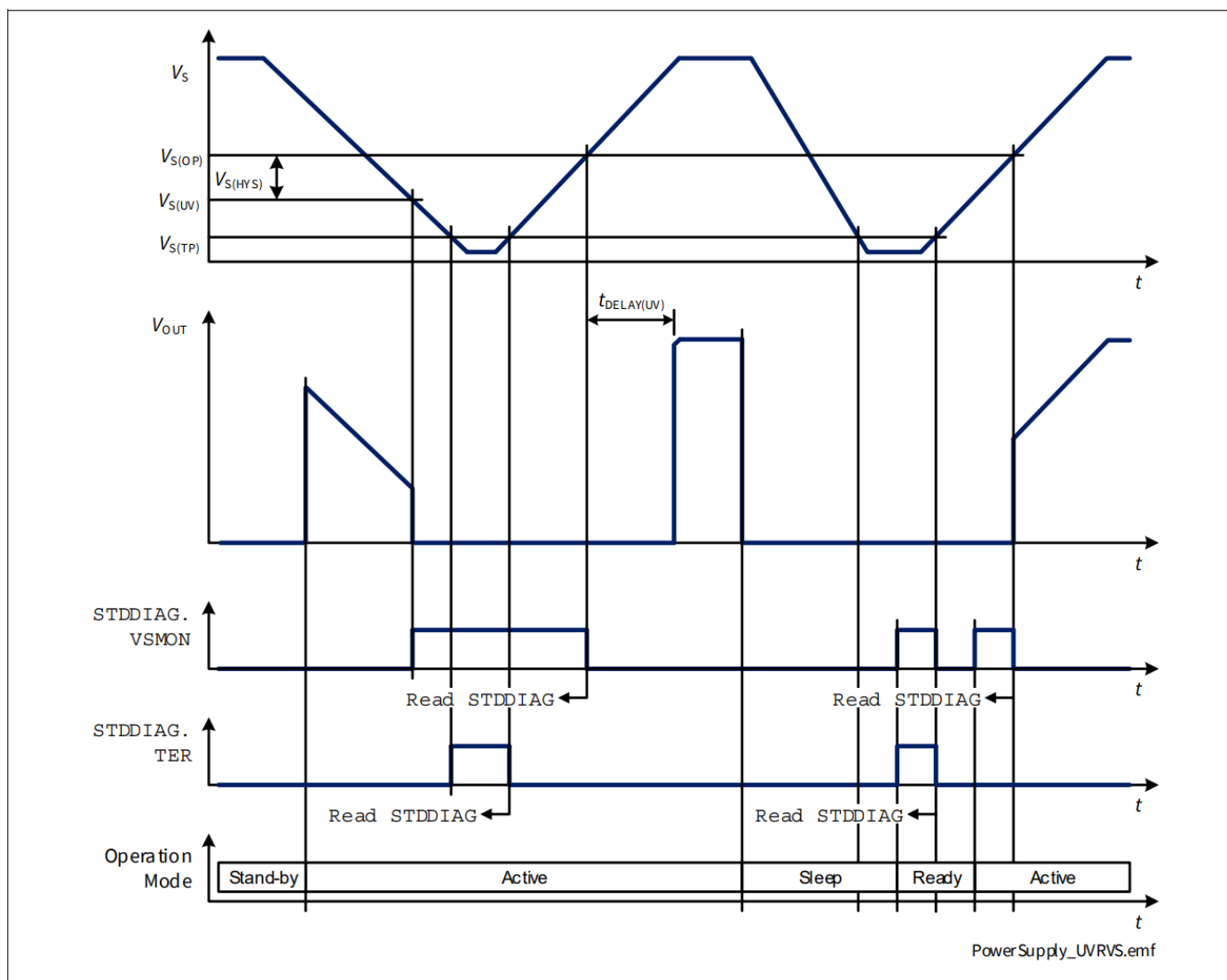


Figure 17 V_S undervoltage behavior

6.3 重启条件

以下条件之一可将SPI寄存器复位为其默认值：

- V_{DD} 不存在或低于欠压阈值 $V_{DD(PO)}$
 - SPI寄存器将被复位为其默认值（在复位后的第一个通讯中，**STDDIAG.TER**将置位至1_B）。
 - 如果 V_S 可用或 LHI 为“高”，则重启计数器将不会复位。
- LHI 引脚在 $t > t_{LHI(AC)}$ 且 $V_S > V_{S(TP)}$ 期间置位为“高”
 - 配置寄存器将恢复为默认值。**ERRDIAG**和**WRNDIAG**将会重置。
 - 重启计数器将被复位。
- 复位指令 (**HWCR.RST**= 1_B) 被执行且 $V_S > V_{S(TP)}$
 - 配置寄存器将被重置为其默认值。**ERRDIAG**、**WRNDIAG**和**STDDIAG**不会复位。
 - 重启计数器不会复位。

如果在任何复位条件后所有输入引脚都置位为“低电平”，则所有通道都将关闭。

Power Supply

6.4 电源电气特性

$V_{DD} = 3.0\text{ V}$ 至 5.5 V , $V_S = 6\text{ V}$ 至 18 V , $T_J = -40\text{ }^{\circ}\text{C}$ 至 $+150\text{ }^{\circ}\text{C}$

典型值: $V_{DD} = 5.0\text{ V}$, $V_S = 13.5\text{ V}$, $T_J = 25\text{ }^{\circ}\text{C}$

测试条件是典型阻性负载连接到输出。(除非另外说明):

9.5 mΩ: $R_L = 2.6\text{ } \Omega$

22.5 mΩ: $R_L = 4.8\text{ } \Omega$

Table 12 Electrical Characteristics: Power Supply - General

Parameter	Symbol	Values			Unit	Note or Test Condition	Number
		Min.	Typ.	Max.			
VS pin							
Power Supply Undervoltage Shutdown	$V_{S(UV)}$	1.8	2.3	3.1	V	V_S decreasing IN = “high” or OUT . OUTn = 1 _B From $V_{DS} \leq 0.5\text{ V}$ to $V_{DS} = V_S$ See Figure 17	P_6.4.0.1
Power Supply Minimum Operating Voltage	$V_{S(OP)}$	2.0	3.0	4.1	V	V_S increasing IN = “high” or OUT . OUTn = 1 _B From $V_{DS} = V_S$ to $V_{DS} \leq 0.5\text{ V}$ See Figure 17	P_6.4.0.3
Power Supply Voltage Threshold for Battery Transients Protection	$V_{S(TP)}$	0.6	1.0	1.8	V	V_S decreasing STDDIAG . VSMON = 1 _B STDDIAG . TER = 1 _B DCR . MUX ≠111 _B See Figure 17	P_6.4.0.5
Power Supply Undervoltage Shutdown Hysteresis	$V_{S(HYS)}$	–	0.7	–	V	¹⁾ $V_{S(OP)} - V_{S(UV)}$ See Figure 17	P_6.4.0.6
Power Supply Undervoltage Recovery Time	$t_{\text{DELAY(UV)}}$	2.5	4	5.5	ms	¹⁾ $dV_S/dt \leq 0.5\text{ V}/\mu\text{s}$ $V_S \geq 0\text{V}$ See Figure 17	P_6.4.0.10
Breakdown Voltage between GND and VS Pins in Reverse Battery	$-V_{S(REV)}$	16	–	30	V	¹⁾ $I_{\text{GND(REV)}} = 14\text{ mA}$ $T_J = 150\text{ }^{\circ}\text{C}$	P_6.4.0.9

1) 无产线测试 - 根据设计。

Power Supply

6.4.1 电源电气特性 - SPOC™

Table 13 Electrical Characteristics: Power Supply - SPOC™

Parameter	Symbol	Values			Unit	Note or Test Condition	Number
		Min.	Typ.	Max.			
VDD pin							
Digital Supply Operating Voltage	$V_{DD(OP)}$	2.45	4.3	5.5	V	¹⁾ $f_{SCLK}=5\text{ MHz}$	P_6.4.1.1
Digital Supply Power-On Reset Threshold Voltage	$V_{DD(PO)}$	1.4	1.9	2.3	V	¹⁾ V_{DD} increasing	P_6.4.1.9
Digital Supply Undervoltage Shutdown	$V_{DD(UV)}$	1.3	1.8	2.2	V	V_{DD} decreasing OUT . OUTn = 1 _B From $V_{DS}\leq 0.5\text{ V}$ to $V_{DS}=V_S$	P_6.4.1.2
Digital Supply Undervoltage Shutdown Hysteresis	$V_{DD(HYS)}$	–	0.1	–	V	¹⁾	P_6.4.1.3
Digital Supply Clamping Voltage	$V_{DD(CLAMP1)}$	–	6.5	–	V	¹⁾ $I_{DD}=1\text{ mA}$	P_6.4.1.11
Digital Supply Clamping Voltage	$V_{DD(CLAMP2)}$	6	7	8	V	$I_{DD}=20\text{ mA}$	P_6.4.1.12
Power-On Wake Up Time	$t_{WU(PO)}$	–	10	30	μs	¹⁾	P_6.4.1.13
Transition Time to Stand-by Mode	$t_{TRANS2STBY}$	5	10	30	μs	¹⁾	P_6.4.1.4
Transition Time to Sleep Mode	$t_{TRANS2SLP}$	1	5	60	μs	¹⁾²⁾	P_6.4.1.5
Limp Home Acknowledgement Time	$t_{LHI(AC)}$	10	20	40	μs	¹⁾	P_6.4.1.6

1) 无产线测试 - 根据设计。

2) 如果输出通道进入感性钳位, 钳位时间需要加入。

Power Supply

6.5 电源电气特性 - 产品特性

$V_{DD} = 3.0\text{ V}$ 至 5.5 V , $V_S = 6\text{ V}$ 至 18 V , $T_J = -40\text{ °C}$ 至 $+150\text{ °C}$

典型值: $V_{DD} = 5.0\text{ V}$, $V_S = 13.5\text{ V}$, $T_J = 25\text{ °C}$

测试条件是典型阻性负载连接到输出。(除非另外说明):

$9.5\text{ m}\Omega$: $R_L = 2.6\text{ }\Omega$

$22.5\text{ m}\Omega$: $R_L = 4.8\text{ }\Omega$

6.5.1 BTS71220-4ESA

Table 14 Electrical Characteristics: Power Supply BTS71220-4ESA

Parameter	Symbol	Values			Unit	Note or Test Condition	Number
		Min.	Typ.	Max.			
Digital Supply Current Consumption in Normal Operation	I_{DD}	–	80	200	μA	$f_{SCLK} = 0\text{ MHz}$ $V_S > V_{S(UV)}$ $V_{CSN} = V_{DD} = 5\text{ V}$ DCR . MUX $\neq 111_B$	P_6.5.31.1
Digital Supply Current Consumption in Normal Operation during SPI Traffic (Average)	$I_{DD(ACTIVE)}$	–	2.5	–	mA	¹⁾²⁾ $f_{SCLK} = 5\text{ MHz}$ $V_S > V_{S(UV)}$ $V_{DD} = 5\text{ V}$ $V_{CSN} = 0\text{ V}$ $C_{L(SO)} = 50\text{ pF}$ DCR . MUX $\neq 111_B$	P_6.5.31.2
Digital Supply Current Consumption in Sleep Mode	$I_{DD(SLEEP)}$	–	17	50	μA	$f_{SCLK} = 0\text{ MHz}$ $V_S > V_{S(UV)}$ $V_{CSN} = V_{DD} = 5\text{ V}$ DCR . MUX $= 111_B$	P_6.5.31.3
Digital Supply Current Consumption in Sleep Mode	$I_{DD(SLEEP)}$	–	17	35	μA	$f_{SCLK} = 0\text{ MHz}$ $V_S > V_{S(UV)}$ $V_{CSN} = V_{DD} = 5\text{ V}$ DCR . MUX $= 111_B$ $T_J \leq 85\text{ °C}$	P_6.5.31.12
Power Supply Current Consumption in Sleep Mode with Loads at $T_J \leq 85\text{ °C}$	$I_{VS(SLEEP)_85}$	–	0.05	0.7	μA	²⁾³⁾ $V_S = 18\text{ V}$ $V_{OUT} = 0\text{ V}$ INx = “low” $T_J \leq 85\text{ °C}$	P_6.5.31.4
Power Supply Current Consumption in Sleep Mode with Loads at $T_J = 150\text{ °C}$	$I_{VS(SLEEP)_150}$	–	2	100	μA	$V_S = 18\text{ V}$ $V_{OUT} = 0\text{ V}$ INx = “low” $T_J = 150\text{ °C}$	P_6.5.31.5
Operating Current in Active Mode (all Channels ON)	$I_{GND(ACTIVE)}$	–	5	7	mA	$V_S = 18\text{ V}$ $V_{DD} = 5\text{ V}$ INx = “high” or OUT . OUTn $= 1_B$	P_6.5.31.6

Power Supply

Table 14 Electrical Characteristics: Power Supply BTS71220-4ESA (continued)

Parameter	Symbol	Values			Unit	Note or Test Condition	Number
		Min.	Typ.	Max.			
Operating Current in Ready Mode	$I_{\text{GND(READY)}}$	–	80	200	μA	$V_S = 18 \text{ V}$ $V_{\text{CSN}} = V_{\text{DD}} = 5 \text{ V}$ $f_{\text{SCLK}} = 0 \text{ MHz}$ DCR . MUX = 111 _B OUT . OUTn = 1 _B	P_6.5.31.8
Operating Current in Stand-by Mode	$I_{\text{GND(STBY)}}$	–	1.25	2	mA	$V_S = 18 \text{ V}$ $V_{\text{DD}} = 5 \text{ V}$ DCR . MUX ≠ 111 _B	P_6.5.31.9

- 1) SI测试模式：0101010101010101和1010101010101010。
- 2) 无产线测试 - 根据设计。
- 3) 如果 $V_{\text{DD}} < V_{\text{DD(PO)}}$, LHI = "low" 并且任何重启计数器 > 0, $I_{\text{GND(STBY)}}$ 需要考虑。

7 功率级

高边开关采用带电荷泵的 N 沟道垂直功率 MOSFET 构建。

7.1 输出导通电阻

导通电阻 $R_{DS(ON)}$ 主要取决于结温 T_J 。图 18 显示整个 T_J 范围内 $R_{DS(ON)}$ 的变化。y 轴上的值“2”对应于在 $T_J = 150\text{ °C}$ 时测得的最大 $R_{DS(ON)}$ 。

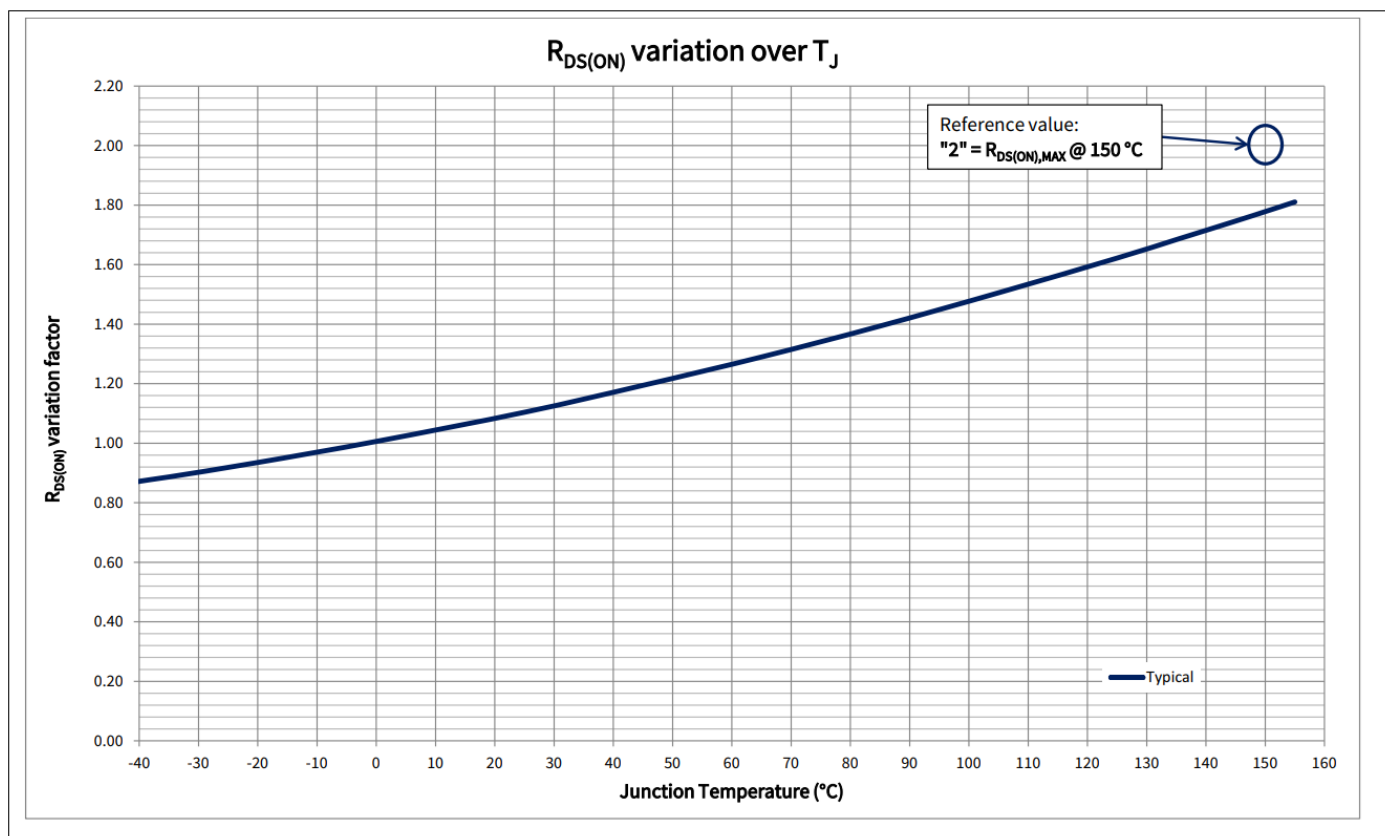


Figure 18 $R_{DS(ON)}$ variation factor

反向极性行为描述详见[章节 8.4.1](#)。

7.2 驱动负载

7.2.1 驱动阻性负载

驱动阻性负载时，图 19 所示的打开和关闭时间和转换速率，开关能量值 E_{ON} 、 E_{OFF} 与负载电阻、时间 t_{ON} 、 t_{OFF} 成正比。

Power Stages

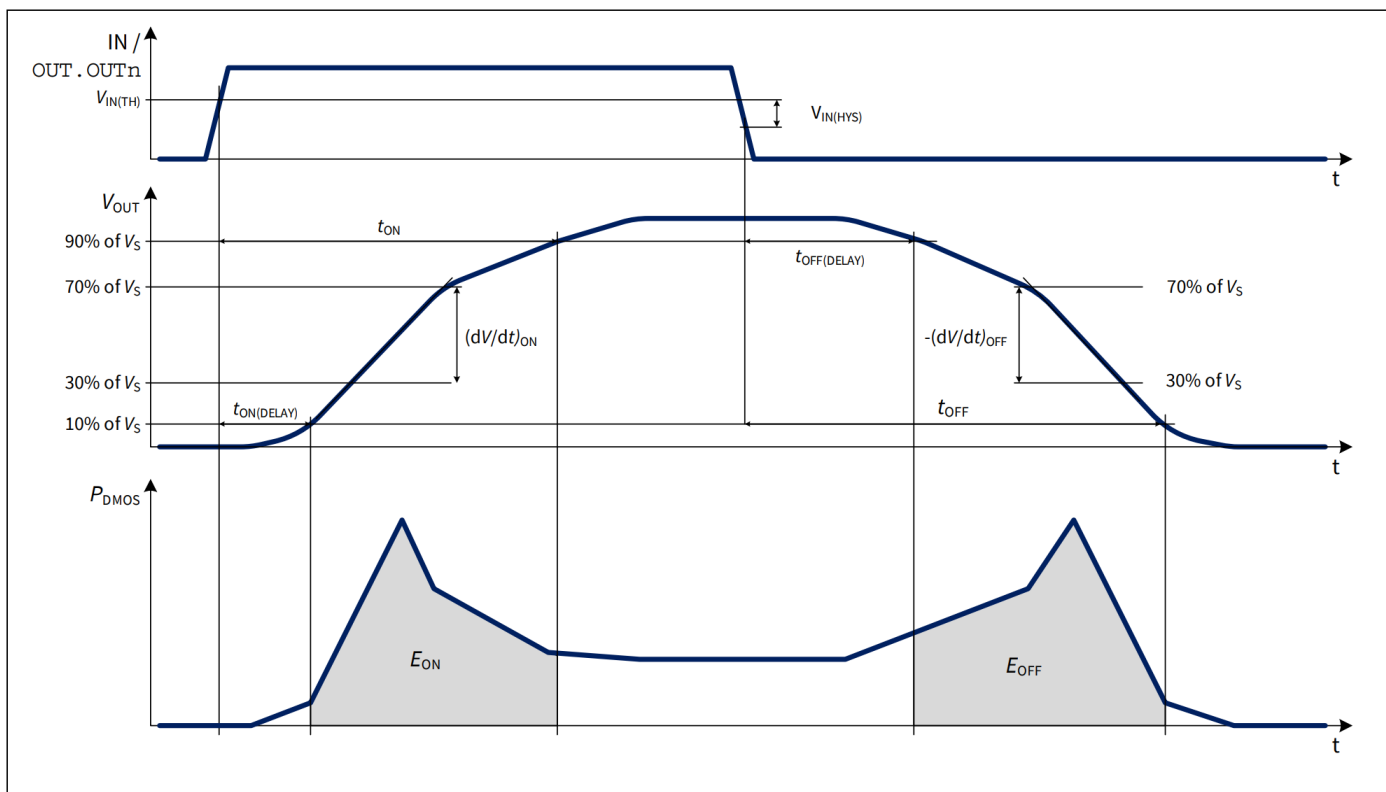


Figure 19 Switching a Resistive Load

7.2.2 驱动感性负载

当用高边开关关闭感性负载时，电压 V_{OUT} 会降至地电位以下，因为电感会继续驱动电流。为了防止器件因过压而损坏，采用了电压钳位机制。钳位结构限制输出电压，使 $V_{DS} = V_{DS(CLAMP)}$ 。图 20 显示了钳位的概念图。钳位结构在章节 6.1 列出的所有操作模式下保护器件。

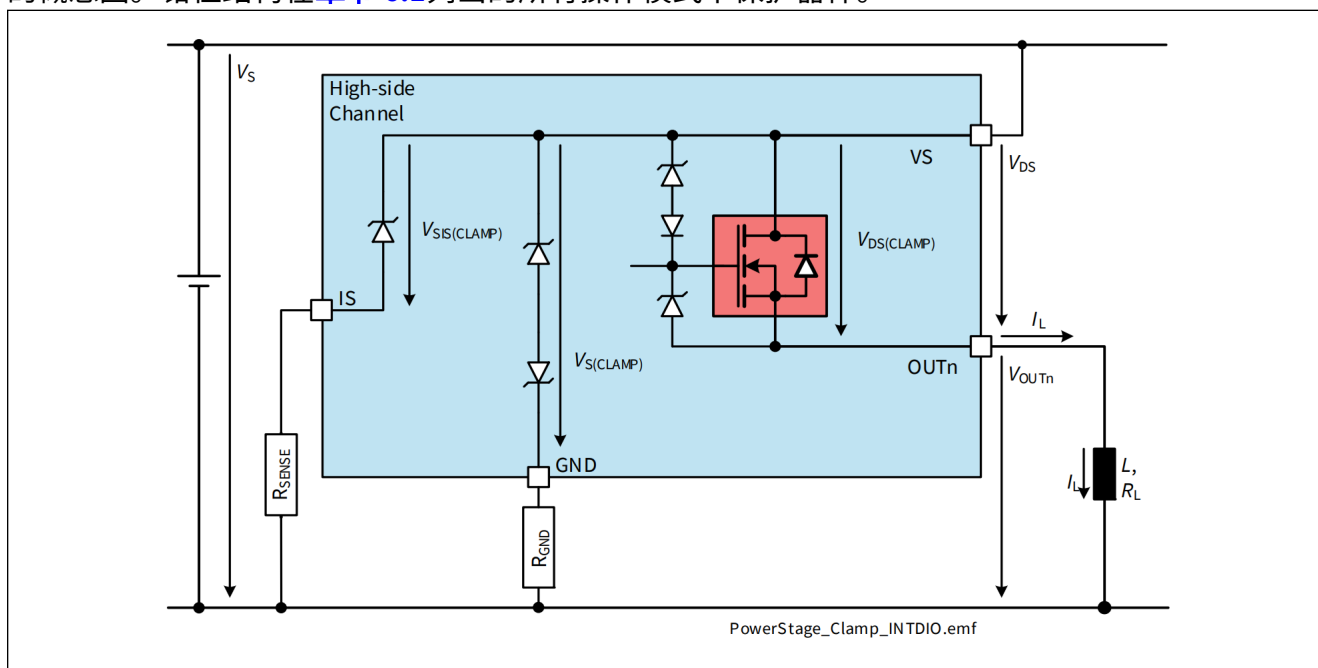


Figure 20 Output Clamp concept

Power Stages

在感性负载消磁过程中，能量在BTS71220-4ESA耗散。能量计算公式如下 (7.1)：

$$E = V_{DS(CLAMP)} \cdot \left[\frac{V_S - V_{DS(CLAMP)}}{R_L} \cdot \ln \left(1 - \frac{R_L \cdot I_L}{V_S - V_{DS(CLAMP)}} \right) + I_L \right] \cdot \frac{L}{R_L} \quad (7.1)$$

最大能量，也就是给定电流的最大电感，受到元器件热设计限制。

7.2.3 输出电压限制

为了提高电流采样精度，需要监控 V_{DS} 电压。当输出电流 I_L 减小，而通道被诊断时（通过 **DCRMUX** 选择通道 - 参见图 21）使 V_{DS} 等于或低于 $V_{DS(SLC)}$ 时，输出 DMOS 被部分放电。这会增加输出导通电阻，因此即使输出电流非常小， $V_{DS} = V_{DS(SLC)}$ 。 V_{DS} 增加使电流检测电路能够更有效地工作，从而在输出低电流范围内提供更好的 k_{ILIS} 精度。

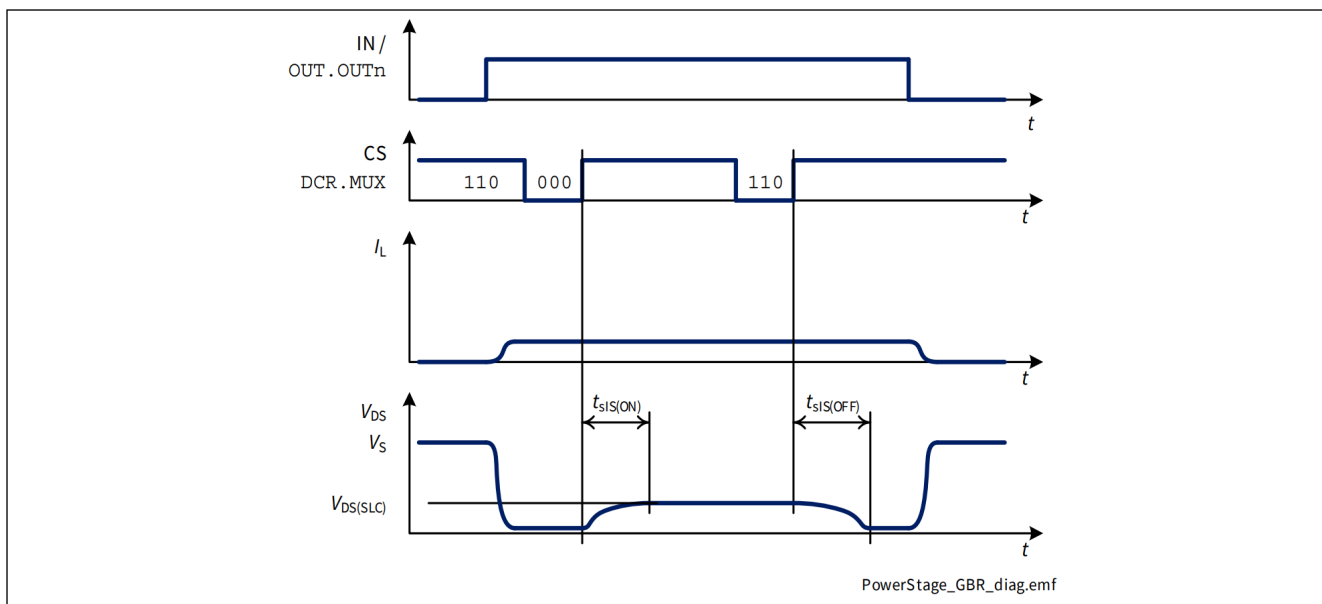


Figure 21 Output Voltage Limitation activation during diagnosis

7.2.4 驱动容性负载

当打开容性负载时，电容会产生高浪涌电流。电流取决于电容值、ESR、系统阻抗和驱动器的斜率。为了提高负载驱动能力，BTS71220-4ESA提供了斜率控制功能。当斜率位 **SRC.SRCn** 为置位时，相应通道的斜率减半（见章节 7.4.1）。

7.3 高级开关特性

7.3.1 逆向电流行为

当 $V_{OUT} > V_S$ 时，电流 I_{INV} 流入功率输出管（见 图 22）。这种条件被称为“逆向电流”。

如果通道处于关闭状态，电流流经体二极管，产生高功率损耗，因此器件整体温度升高。这可能会导致未受影响的通道因过热而关闭。如果通道处于 ON 状态，则可以预期 $R_{DS(ON)}$ 且输出级中的功率耗散与 $R_{DS(ON)}$ 中的正常运行相当。

在逆向电流条件下，只要 $I_{INV} < I_{L(INV)}$ ，通道就会保持开启或关闭状态。

使用 InverseON，只要 $I_{INV} < I_{L(INV)}$ ，就可以在逆向电流条件期间打开通道(参见 图 23)。

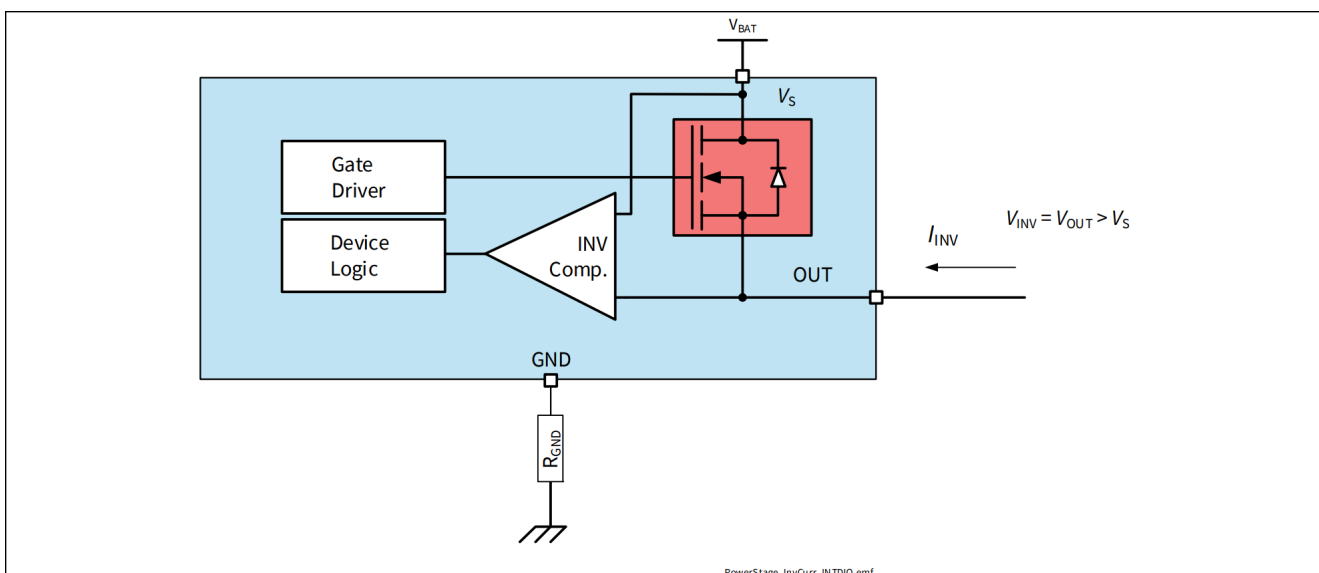


Figure 22 Inverse Current Circuitry

Power Stages

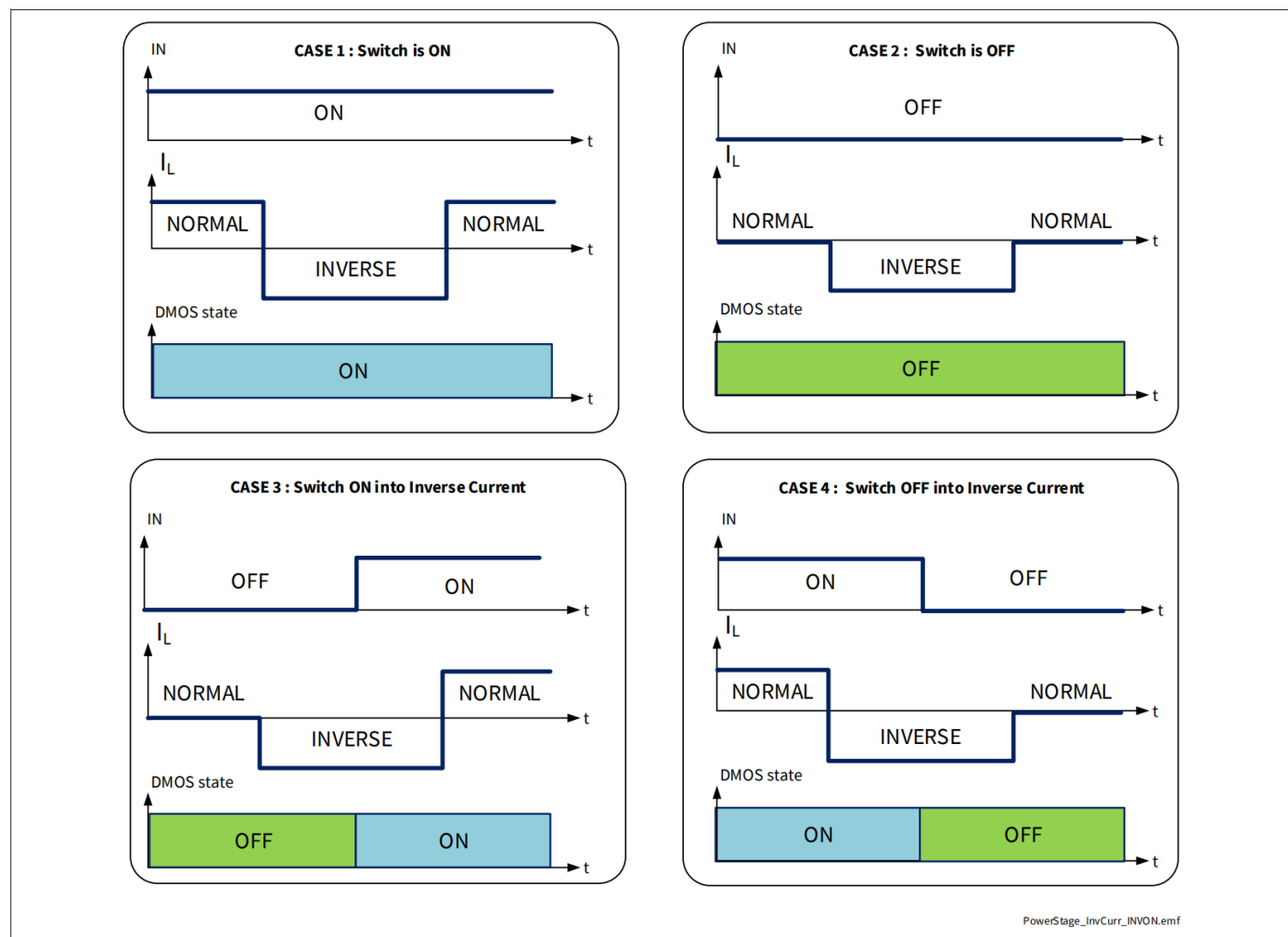


Figure 23 InverseON - Channel behavior in case of applied Inverse Current

注释 当逆向电流期间，比如过温保护和过流保护机制是禁用的。

7.3.2 并行切换通道

当并联多个通道驱动单个负载，发生故障时，两个通道可能出现不能同步关闭，这个会造成后关闭的通道承受更大的能量。为了避免这种情况，如果使用双通道控制，需要确保通道同步。在SPI中有两个位 (**PCS.PCCn**)，可控制通道0&3和通道1&2并联。当 **PCS.PCCn** 被置位，通道的关闭和重启都会同步并且过流保护阈值降低为 $I_{L(OVL3)}$ 。如果一个通道的过流保护阈值设置为低电流 (**OCR.OCTn** = 1_B)，则两个通道的过流保护阈值均降低为 $I_{L(OVL2)}$ 。并联通道的重启的计数器也是同步的，只要有一个计数器 $n_{RESTART(CR)}$ 达到，两个通道都会关闭。基于此，建议在通道并联使用前清除计数器。如果一个通道使用的斜率调整，(**SRC.SRCn** = 1_B)，那么并联模式下双通道都具有斜率调整功能。当通道并联激活 (**PCS.PCCn** = 1_B)，小电流情况下输出电压跌落功能禁用。因此在小电流下电流比例参数也无效。参考 [章节 9.7](#) 了解更多详情。为了改进并联模式下的电流采样，禁用并联模式 (**PCS.PCCn** = 0_B)。并联通道时电流采样不能同步，如果需要计算总电流需要将每个通道电流回采加和计算。并联通道激活，可能通道并联激活，有些参数有偏差。

Power Stages

当使用双通道时，总电流能力 $I_{L(NOM)}$ 增加一倍。必须确保使用并联模式的输出通过PCB上或线束中的快速且低电平阻抗连接将其连接在一起。

7.3.3 H 桥配置的跨电流鲁棒性

在桥式配置中BTS71220-4ESA用作高边开关时（因此与低边开关配对，如图24所示），低边开关施加到输出的最大斜率必须低于 $|dV_{OUT}/dt|$ 。否则，当低边开关换向时，输出级可能会在线性模式下开启（而不是在 $R_{DS(ON)}$ 模式下开启）。这会因交叉通态电流而导致DMOS过热，且不受保护。

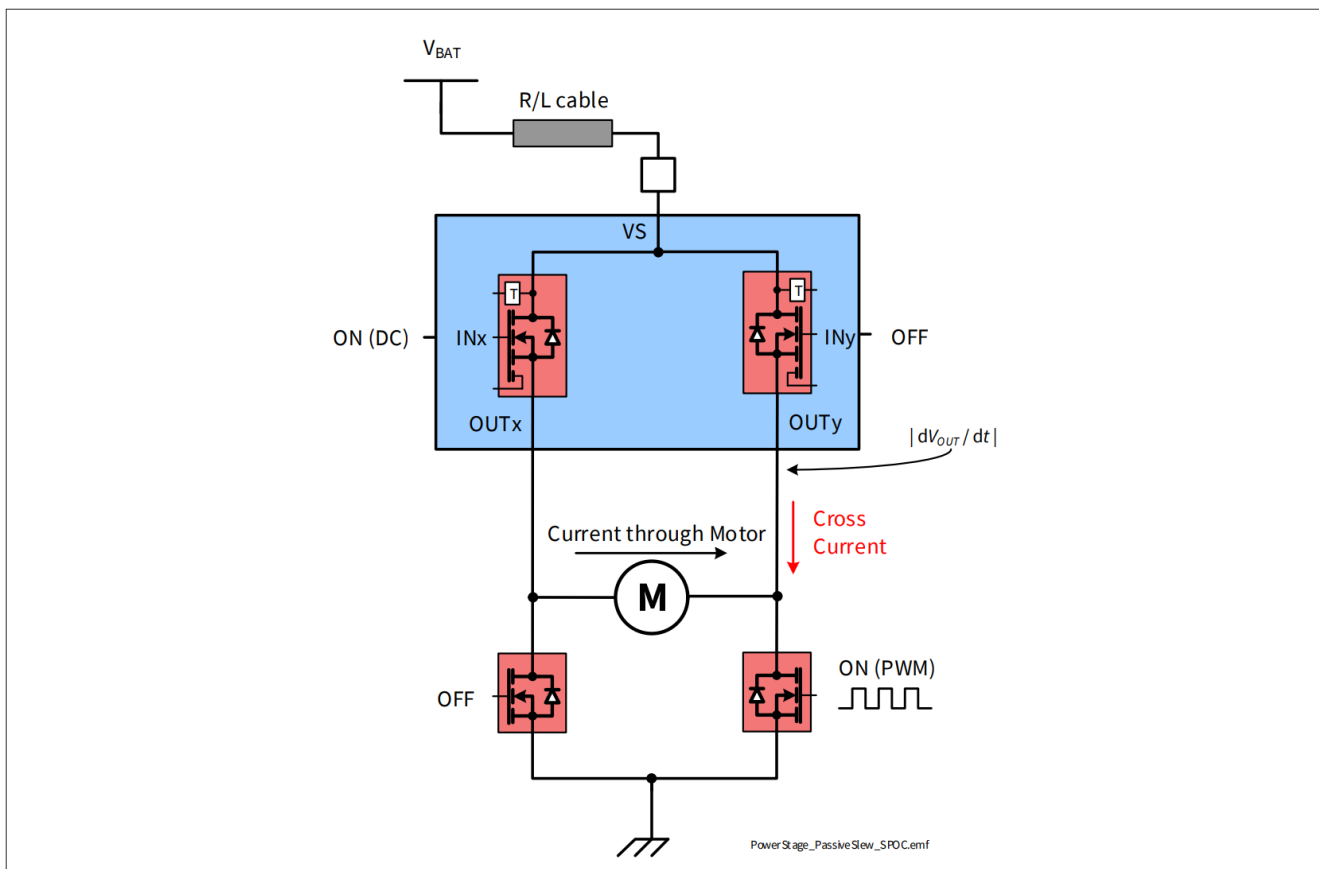


Figure 24 High-Side switch used in Bridge configuration

Power Stages

7.4 功率级电气特性

$V_{DD} = 3.0\text{ V}$ 至 5.5 V , $V_S = 6\text{ V}$ 至 18 V , $T_J = -40\text{ °C}$ 至 $+150\text{ °C}$

典型值: $V_{DD} = 5.0\text{ V}$, $V_S = 13.5\text{ V}$, $T_J = 25\text{ °C}$

测试条件是典型阻性负载连接到输出。(除非另外说明):

9.5 mΩ: $R_L = 2.6\text{ Ω}$

22.5 mΩ: $R_L = 4.8\text{ Ω}$

Table 15 Electrical Characteristics: Power Stages - General

Parameter	Symbol	Values			Unit	Note or Test Condition	Number
		Min.	Typ.	Max.			
Voltages							
Drain to Source Clamping Voltage at $T_J = -40\text{ }^{\circ}\text{C}$	$V_{\text{DS}(\text{CLAMP})_{-40}}$	33	36.5	42	V	$I_L = 5\text{ mA}$ $T_J = -40^{\circ}\text{C}$ See Figure 20	P_7.4.0.1
Drain to Source Clamping Voltage at $T_J \geq 25\text{ }^{\circ}\text{C}$	$V_{\text{DS}(\text{CLAMP})_{25}}$	35	38	44	V	¹⁾ $I_L = 5\text{ mA}$ $T_J \geq 25^{\circ}\text{C}$ See Figure 20	P_7.4.0.2

1) 测试温度 $T_J = 150\text{ °C}$ 。

7.4.1 功率级电气特性 - SPOC™

Table 16 Electrical Characteristics: Power Stages - SPOC™

Parameter	Symbol	Values			Unit	Note or Test Condition	Number
		Min.	Typ.	Max.			
Timings							
Switch-ON Delay	$t_{\text{ON(DELAY)}}$	10	30	60	μs	$V_{\text{S}} = 13.5\text{ V}$ $V_{\text{OUT}} = 10\% V_{\text{S}}$ PCS . PCCn = 0 _B	P_7.4.2.1
Switch-ON Delay (parallel mode)	$t_{\text{ON(DELAY)}}$	10	40	80	μs	2) $V_{\text{S}} = 13.5\text{ V}$ $V_{\text{OUT}} = 10\% V_{\text{S}}$ PCS . PCCn = 1 _B	P_7.4.2.16
Switch-OFF Delay	$t_{\text{OFF(DELAY)}}$	10	30	60	μs	$V_{\text{S}} = 13.5\text{ V}$ $V_{\text{OUT}} = 90\% V_{\text{S}}$	P_7.4.2.2
Switch-ON Time	t_{ON}	20	55	100	μs	$V_{\text{S}} = 13.5\text{ V}$ $V_{\text{OUT}} = 90\% V_{\text{S}}$ SRC . SRCn = 0 _B PCS . PCCn = 0 _B	P_7.4.2.3
Switch-ON Time (parallel mode)	t_{ON}	20	70	125	μs	2) $V_{\text{S}} = 13.5\text{ V}$ $V_{\text{OUT}} = 90\% V_{\text{S}}$ SRC . SRCn = 0 _B PCS . PCCn = 1 _B	P_7.4.2.20

Power Stages

Table 16 Electrical Characteristics: Power Stages - SPOC™ (continued)

Parameter	Symbol	Values			Unit	Note or Test Condition	Number
		Min.	Typ.	Max.			
Switch-ON Time	t_{ON}	30	75	150	μs	$V_S = 13.5 V$ $V_{OUT} = 90\% V_S$ SRC . SRCn = 1 _B	P_7.4.2.4
Switch-OFF Time	t_{OFF}	20	55	100	μs	$V_S = 13.5 V$ $V_{OUT} = 10\% V_S$ SRC . SRCn = 0 _B	P_7.4.2.6
Switch-OFF Time	t_{OFF}	30	75	150	μs	$V_S = 13.5 V$ $V_{OUT} = 10\% V_S$ SRC . SRCn = 1 _B	P_7.4.2.7
Switch-ON/OFF Matching $t_{ON} - t_{OFF}$	Δt_{SW}	-50	0	50	μs	$V_S = 13.5 V$ PCS . PCCn = 0 _B	P_7.4.2.9

Voltage Slope

Switch-ON Slew Rate	$(dV/dt)_{ON}$	0.3	0.6	0.9	V/ μs	$V_S = 13.5 V$ $V_{OUT} = 30\% \text{ to } 70\%$ of V_S SRC . SRCn = 0 _B	P_7.4.2.11
Switch-ON Slew Rate	$(dV/dt)_{ON}$	0.15	0.3	0.45	V/ μs	$V_S = 13.5 V$ $V_{OUT} = 30\% \text{ to } 70\%$ of V_S SRC . SRCn = 1 _B	P_7.4.2.12
Switch-OFF Slew Rate	$-(dV/dt)_{OFF}$	0.3	0.6	0.9	V/ μs	$V_S = 13.5 V$ $V_{OUT} = 70\% \text{ to } 30\%$ of V_S SRC . SRCn = 0 _B	P_7.4.2.14
Switch-OFF Slew Rate	$-(dV/dt)_{OFF}$	0.125	0.3	0.45	V/ μs	$V_S = 13.5 V$ $V_{OUT} = 70\% \text{ to } 30\%$ of V_S SRC . SRCn = 1 _B	P_7.4.2.15
Slew Rate Matching	$\Delta(dV/dt)_{SW}$	-30	0	30	%	¹⁾ $V_S = 13.5 V$	P_7.4.2.17

Voltages

Output Voltage Drop Limitation at Small Load Currents	$V_{DS(SLC)}$	2	10	18	mV	²⁾ $I_L = I_{L(OL)} = 20 \text{ mA}$	P_7.4.2.18
---	---------------	---	----	----	----	--	------------

1) $\Delta(dV/dt)_{SW} = ((dV/dt)_{ON} - (dV/dt)_{OFF}) / (((dV/dt)_{ON} + (dV/dt)_{OFF}) / 2)$.

2) 无产线测试 - 根据设计。

Power Stages

7.5 电气特性 - 功率输出级

$V_{DD} = 3.0\text{ V}$ 至 5.5 V , $V_S = 6\text{ V}$ 至 18 V , $T_J = -40\text{ °C}$ 至 $+150\text{ °C}$

典型值: $V_{DD} = 5.0\text{ V}$, $V_S = 13.5\text{ V}$, $T_J = 25\text{ °C}$

测试条件是典型阻性负载连接到输出。(除非另外说明):

9.5 mΩ: $R_L = 2.6\text{ Ω}$

22.5 mΩ: $R_L = 4.8\text{ Ω}$

7.5.1 功率输出级 - 9.5 mΩ

Table 17 Electrical Characteristics: Power Stages - 9.5 mΩ

Parameter	Symbol	Values			Unit	Note or Test Condition	Number
		Min.	Typ.	Max.			
Output characteristics							
ON-State Resistance at $T_J = 25\text{ }^{\circ}\text{C}$	$R_{DS(ON)_25}$	–	9.5	–	mΩ	¹⁾ $T_J = 25\text{ }^{\circ}\text{C}$	P_7.5.15.1
ON-State Resistance at $T_J = 150\text{ }^{\circ}\text{C}$	$R_{DS(ON)_150}$	–	–	16.5	mΩ	$T_J = 150\text{ }^{\circ}\text{C}$	P_7.5.15.2
ON-State Resistance in Cranking	$R_{DS(ON)_CRANK}$	–	–	20.5	mΩ	$T_J = 150\text{ }^{\circ}\text{C}$ $V_S = 3.1\text{ V}$	P_7.5.15.3
ON-State Resistance in Inverse Current at $T_J = 25\text{ }^{\circ}\text{C}$	$R_{DS(INV)_25}$	–	9.5	–	mΩ	¹⁾ $T_J = 25\text{ }^{\circ}\text{C}$ $I_L = -I_{L(NOM)}$	P_7.5.15.4
ON-State Resistance in Inverse Current at $T_J = 150\text{ }^{\circ}\text{C}$	$R_{DS(INV)_150}$	–	–	20.5	mΩ	¹⁾ $T_J = 150\text{ }^{\circ}\text{C}$ $I_L = -I_{L(NOM)}$	P_7.5.15.5
ON-State Resistance in Reverse Polarity at $T_J = 25\text{ }^{\circ}\text{C}$	$R_{DS(REV)_25}$	–	19	–	mΩ	¹⁾ $T_J = 25\text{ }^{\circ}\text{C}$ $V_S = -13.5\text{ V}$ $I_L = -I_{L(NOM)}$ $R_{SENSE} = 1.2\text{ k}\Omega$	P_7.5.15.6
ON-State Resistance in Reverse Polarity at $T_J = 150\text{ }^{\circ}\text{C}$	$R_{DS(REV)_150}$	–	–	33	mΩ	¹⁾ $T_J = 150\text{ }^{\circ}\text{C}$ $V_S = -13.5\text{ V}$ $I_L = -I_{L(NOM)}$ $R_{SENSE} = 1.2\text{ k}\Omega$	P_7.5.15.7
Nominal Load Current per Channel (all Channels Active)	$I_{L(NOM)}$	–	5	–	A	¹⁾ $T_A = 85\text{ }^{\circ}\text{C}$ $T_J \leq 150\text{ }^{\circ}\text{C}$	P_7.5.15.8
Output Leakage Current at $T_J \leq 85\text{ }^{\circ}\text{C}$	$I_{L(OFF)_85}$	–	0.06	0.3	μA	¹⁾ $V_{OUT} = 0\text{ V}$ $V_{IN} = \text{“low”}$ and OUT.OUTn = 0_B $T_A \leq 85\text{ }^{\circ}\text{C}$	P_7.5.15.9

Power Stages

Table 17 Electrical Characteristics: Power Stages - 9.5 mΩ (continued)

Parameter	Symbol	Values			Unit	Note or Test Condition	Number
		Min.	Typ.	Max.			
Output Leakage Current at $T_J = 150\text{ °C}$	$I_{L(OFF)_150}$	–	–	12	μA	$V_{OUT} = 0\text{ V}$ $V_{IN} = \text{“low”}$ and $OUT_OUTn = 0_B$ $T_A = 150\text{ °C}$	P_7.5.15.10
Inverse Current Capability	$I_{L(INV)}$	–	5	–	A	¹⁾ $V_S < V_{OUT}$ IN = “high” or $OUT_OUTn = 1_B$	P_7.5.15.11

Voltage Slope

Passive Slew Rate (e.g. for Half Bridge Configuration)	$ dV_{OUT}/dt $	–	–	10	V/μs	¹⁾ $V_S = 13.5\text{ V}$	P_7.5.15.12
--	-----------------	---	---	----	------	--	-------------

Voltages

Drain Source Diode Voltage	$ V_{DS(DIODE)} $	–	500	600	mV	¹⁾ $I_L = -190\text{ mA}$ $T_J = 150\text{ °C}$	P_7.5.15.13
----------------------------	-------------------	---	-----	-----	----	--	-------------

Switching Energy

Switch-ON Energy	E_{ON}	–	0.53	–	mJ	¹⁾ $V_S = 18\text{ V}$ $SRC_SRCn = 0_B$ $PCCS_PCCn = 0_B$	P_7.5.15.14
Switch-OFF Energy	E_{OFF}	–	0.68	–	mJ	¹⁾ $V_S = 18\text{ V}$ $SRC_SRCn = 0_B$ $PCCS_PCCn = 0_B$	P_7.5.15.15

1) 无产线测试 - 根据设计。

7.5.2 功率输出级 - 22.5 mΩ

Table 18 Electrical Characteristics: Power Stages - 22.5 mΩ

Parameter	Symbol	Values			Unit	Note or Test Condition	Number
		Min.	Typ.	Max.			
Output characteristics							
ON-State Resistance at $T_J = 25\text{ }^{\circ}\text{C}$	$R_{DS(ON)_25}$	–	22.5	–	mΩ	¹⁾ $T_J = 25\text{ }^{\circ}\text{C}$	P_7.5.16.1
ON-State Resistance at $T_J = 150\text{ }^{\circ}\text{C}$	$R_{DS(ON)_150}$	–	–	38	mΩ	$T_J = 150\text{ }^{\circ}\text{C}$	P_7.5.16.2
ON-State Resistance in Cranking	$R_{DS(ON)_CRANK}$	–	–	44	mΩ	$T_J = 150\text{ }^{\circ}\text{C}$ $V_S = 3.1\text{ V}$	P_7.5.16.3
ON-State Resistance in Inverse Current at $T_J = 25\text{ }^{\circ}\text{C}$	$R_{DS(INV)_25}$	–	22.5	–	mΩ	¹⁾ $T_J = 25\text{ }^{\circ}\text{C}$ $I_L = -I_{L(NOM)}$	P_7.5.16.4

Power Stages

Table 18 Electrical Characteristics: Power Stages - 22.5 mΩ (continued)

Parameter	Symbol	Values			Unit	Note or Test Condition	Number
		Min.	Typ.	Max.			
ON-State Resistance in Inverse Current at $T_J = 150\text{ °C}$	$R_{DS(INV)_150}$	–	–	44	mΩ	¹⁾ $T_J = 150\text{ °C}$ $I_L = -I_{L(NOM)}$	P_7.5.16.5
ON-State Resistance in Reverse Polarity at $T_J = 25\text{ °C}$	$R_{DS(REV)_25}$	–	45	–	mΩ	¹⁾ $T_J = 25\text{ °C}$ $V_S = -13.5\text{ V}$ $I_L = -I_{L(NOM)}$ $R_{SENSE} = 1.2\text{ kΩ}$	P_7.5.16.6
ON-State Resistance in Reverse Polarity at $T_J = 150\text{ °C}$	$R_{DS(REV)_150}$	–	–	70	mΩ	¹⁾ $T_J = 150\text{ °C}$ $V_S = -13.5\text{ V}$ $I_L = -I_{L(NOM)}$ $R_{SENSE} = 1.2\text{ kΩ}$	P_7.5.16.7
Nominal Load Current per Channel (all Channels Active)	$I_{L(NOM)}$	–	3	–	A	¹⁾ $T_A = 85\text{ °C}$ $T_J \leq 150\text{ °C}$	P_7.5.16.8
Output Leakage Current at $T_J \leq 85\text{ °C}$	$I_{L(OFF)_85}$	–	0.03	0.15	μA	¹⁾ $V_{OUT} = 0\text{ V}$ $V_{IN} = \text{“low”}$ and OUT . OUTn = 0 _B $T_A \leq 85\text{ °C}$	P_7.5.16.9
Output Leakage Current at $T_J = 150\text{ °C}$	$I_{L(OFF)_150}$	–	–	10	μA	$V_{OUT} = 0\text{ V}$ $V_{IN} = \text{“low”}$ and OUT . OUTn = 0 _B $T_A = 150\text{ °C}$	P_7.5.16.10
Inverse Current Capability	$I_{L(INV)}$	–	3	–	A	¹⁾ $V_S < V_{OUT}$ IN = “high” or OUT . OUTn = 1 _B	P_7.5.16.11

Voltage Slope

Passive Slew Rate (e.g. for Half Bridge Configuration)	$ dV_{OUT}/dt $	–	–	10	V/μs	¹⁾ $V_S = 13.5\text{ V}$	P_7.5.16.12
--	-----------------	---	---	----	------	--	-------------

Voltages

Drain Source Diode Voltage	$ V_{DS(DIODE)} $	–	500	600	mV	¹⁾ $I_L = -190\text{ mA}$ $T_J = 150\text{ °C}$	P_7.5.16.13
----------------------------	-------------------	---	-----	-----	----	--	-------------

Power Stages

Table 18 Electrical Characteristics: Power Stages - 22.5 mΩ (continued)

Parameter	Symbol	Values			Unit	Note or Test Condition	Number
		Min.	Typ.	Max.			
Switching Energy							
Switch-ON Energy	E_{ON}	–	0.30	–	mJ	1) $V_S = 18\text{ V}$ $\text{SRC} . \text{SRCn} = 0_B$ $\text{PCS} . \text{PCCn} = 0_B$	P_7.5.16.1 4
Switch-OFF Energy	E_{OFF}	–	0.38	–	mJ	1) $V_S = 18\text{ V}$ $\text{SRC} . \text{SRCn} = 0_B$ $\text{PCS} . \text{PCCn} = 0_B$	P_7.5.16.1 5

1) 无产线测试 - 根据设计。

Protection

8 保护

BTS71220-4ESA具有过温保护、过流保护、反向电池（带 ReverseON）和过压保护。当器件未处于休眠模式时，过温和过流保护起作用。过压保护在所有操作模式下都起作用。当 GND 和 VS 引脚反向供电时，反向电池保护起作用。

8.1 过温保护

该器件为每个通道配备了绝对过温保护电路 ($T_{J(ABS)}$) 和动态过温保护电路 ($T_{J(DYN)}$)。当温度 T_J 超过其中一个阈值 ($T_{J(ABS)}$ 或 $T_{J(DYN)}$) 时，相应通道将被关闭，以防止损坏。相应的 **WRNDIAG.WRNn** 位置位并在读取时清除。通道保持关闭状态，直到结温下降到表 19 中所述的“重启”条件。行为如图 25 所示（绝对过温保护）和图 26（动态过温保护）。 $T_{J(REF)}$ 是动态过温保护的基准温度。

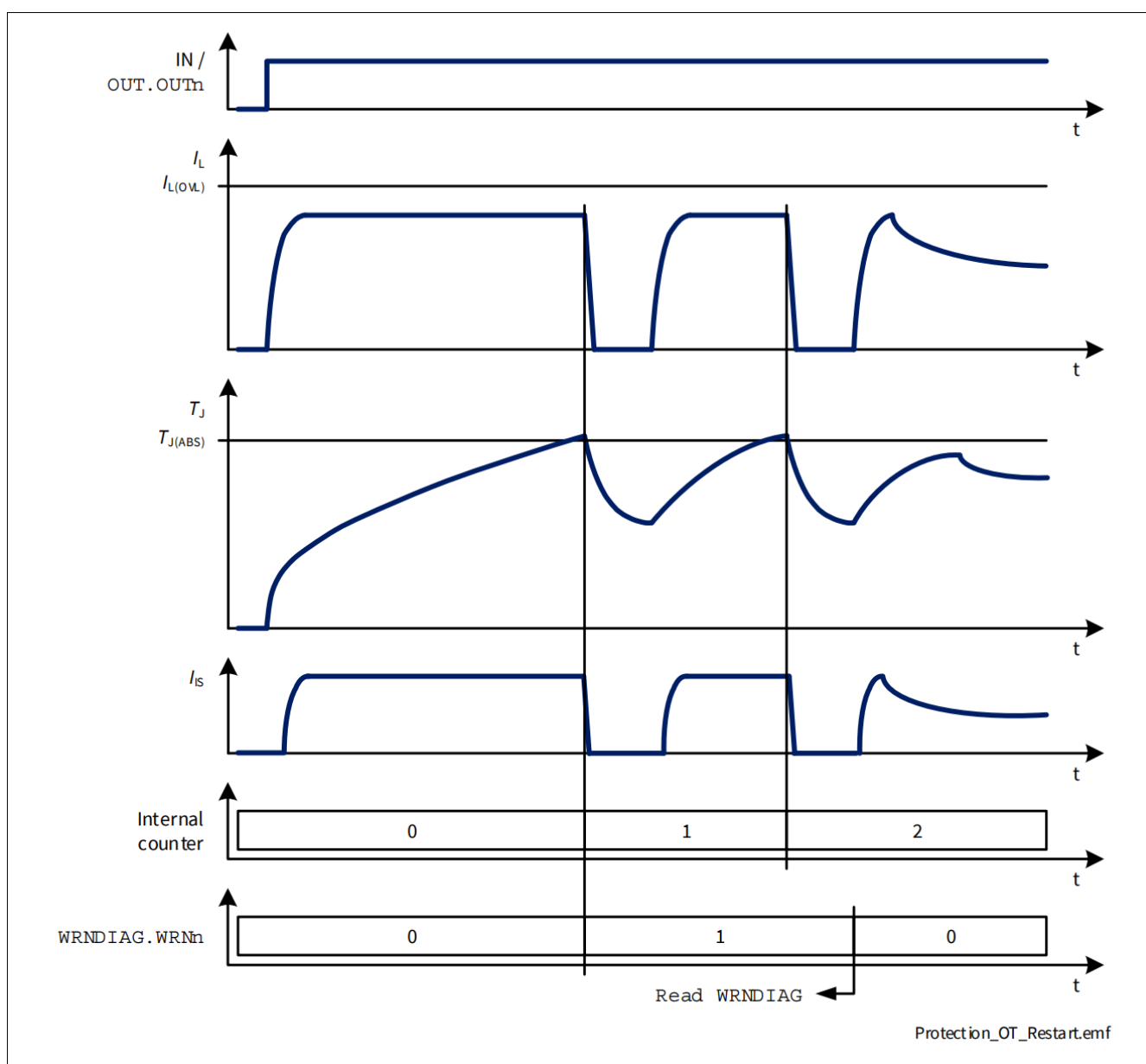


Figure 25 Overtemperature Protection (Absolute)

Protection

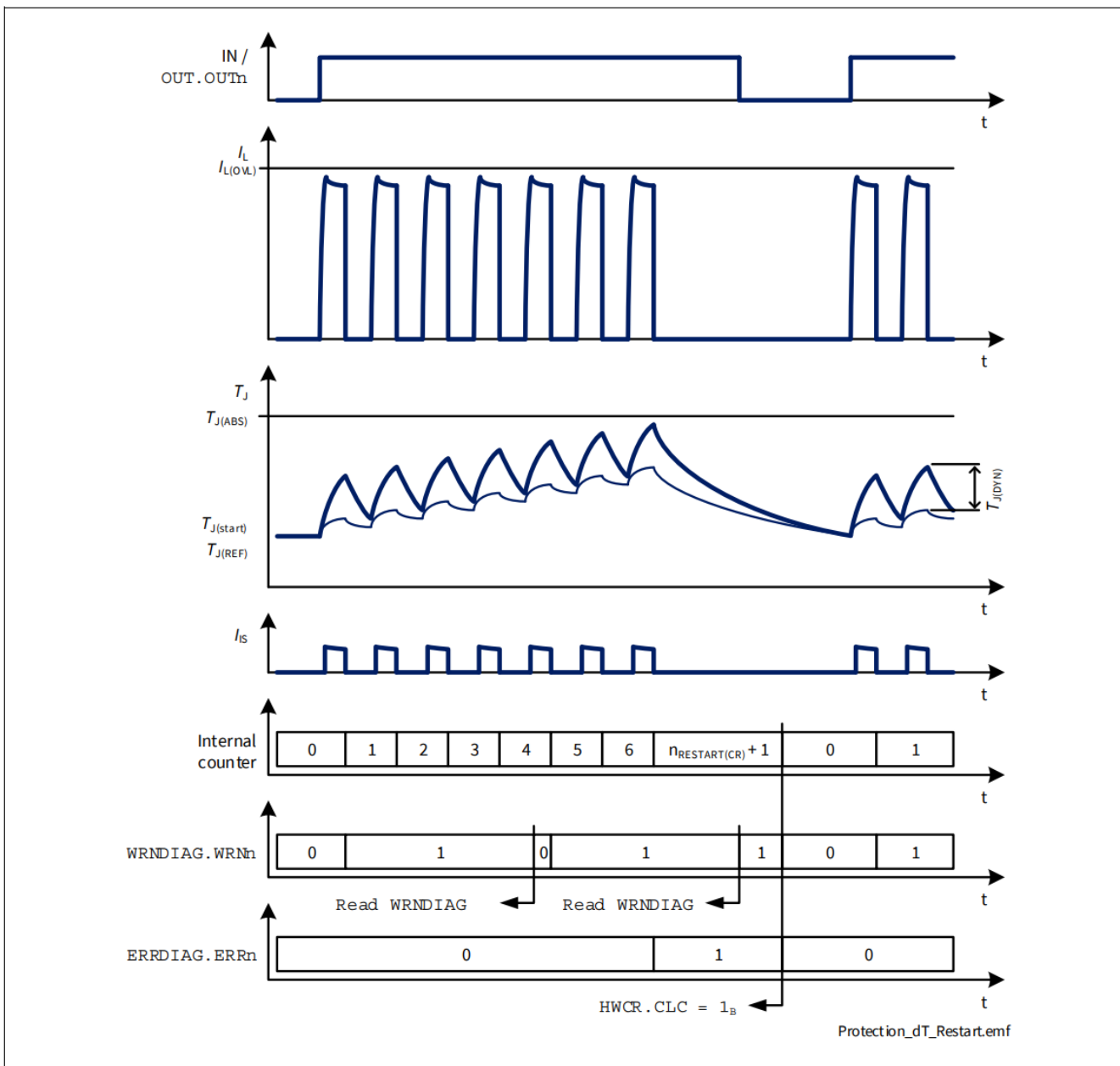


Figure 26 Overtemperature Protection (Dynamic)

当过温保护电路允许通道再次开启时，将采用第 8.3.1 章中描述的重启策略紧随其后。

Protection

8.2 过载保护

BTS71220-4ESA 在过流或短路到地时受到保护。定义了两个过流阈值（见图 27），并根据功率DMOS两端的电压 V_{DS} 自动选择：

- $I_{L(OVL0)}$ when $V_{DS} < 13\text{ V}$
- $I_{L(OVL1)}$ when $V_{DS} > 22\text{ V}$

此外，可以通过设置 **OCR.OCTn** 来降低过流阈值。

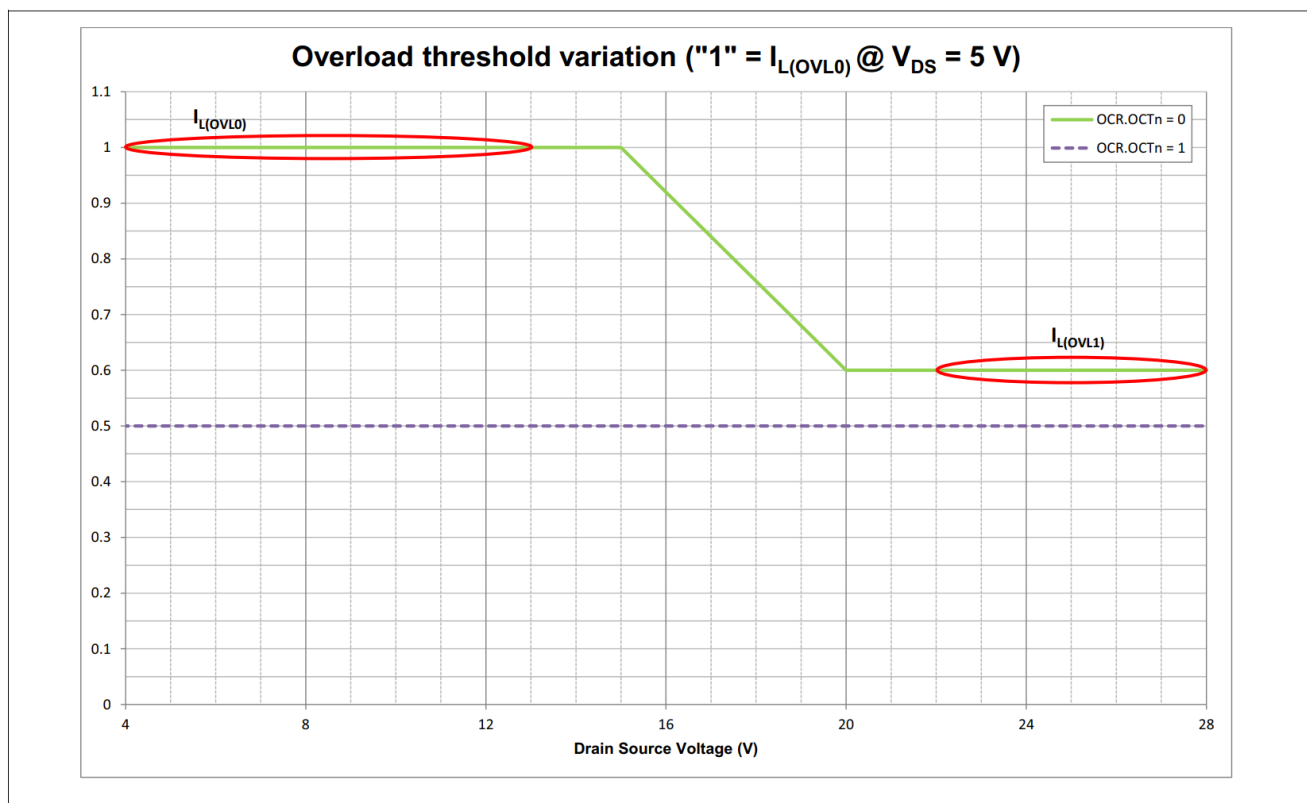


Figure 27 Overload current thresholds

当 $I_L \geq I_{L(OVL)}$ ($I_{L(OVL0)}$ 或 $I_{L(OVL1)}$) 时，通道关闭。通道可以根据第 8.3.1 章中描述的重启策略重新启动。

8.3 发生错误时保护和诊断机制

任何触发保护机制的事件（过热或过载）都会产生 3 种行为：

- 受影响的通道关闭，内部计数器递增
- 受影响通道的电流采样设置为高阻态
- 相应的 **WRNDIAG.WRNn** 被置位至 1_B 并被锁存直到读出。

如果所有保护机制都满足表 19 中所述的“重启”条件，则通道可以再次打开。并且内部重启计数器是启用的（**RCD.RCDn** 置位至 0_B）。

Protection

Table 19 Protection “Restart” Condition

Fault condition	Switch OFF event	“Restart” Condition
Overtemperature	$T_J \geq T_{J(ABS)}$ or $(T_J - T_{J(REF)}) \geq T_{J(DYN)}$	$T_J < T_{J(ABS)}$ and $(T_J - T_{J(REF)}) < T_{J(DYN)}$ (including hysteresis) $n_{RESTART} < n_{RESTART(CR)}$ RCD . RCDn = 0
Overload	$I_L \geq I_{L(OVL)}$	$I_L < 50 \text{ mA}$ T_J within $T_{J(ABS)}$ and $T_{J(DYN)}$ ranges (including hysteresis) $n_{RESTART} < n_{RESTART(CR)}$ RCD . RCDn = 0

8.3.1 重启策略

当 INx 或 **OUT . OUTn** 置位为“高”，相应的通道打开。在故障条件下，输出级关闭。通道只有在满足保护机制的“重启”条件时才允许重启（见表 19）。**WRNDIAG . WRNn** 过流关断期间置位。当内部故障信号被清除并且 **WRNDIAG** 被发送，则 **WRNDIAG** 被清除，除非超过 $n_{RESTART(CR)}$ 达到锁定状态，下一个过流事件 **WRNDIAG . WRNn** 再次置位。如果不需要自动重启，可以通过设置 **RCD . RCDn** 为 1_B 来停用它们。当 **RCD . RCDn** 置位为 1_B 时，重启计数器将被复位。当通道达到锁存状态时，相应的 **ERRDIAG . ERRn** 位被置位。通过设置 SPI 位 **HWCR . CLC** 来清除重启锁存器和计数器至 1_B。如果输入引脚为“高”或 **OUT . OUTn** 仍置位为 1_B，通道在置位 **HWCR . CLC** 指令后立即打开。为确保锁存关闭条件后有足够的降温时间，应用软件需要等待 $t > t_{RETRY}$ 才能重新启动通道。

重启策略如图 28 所示。

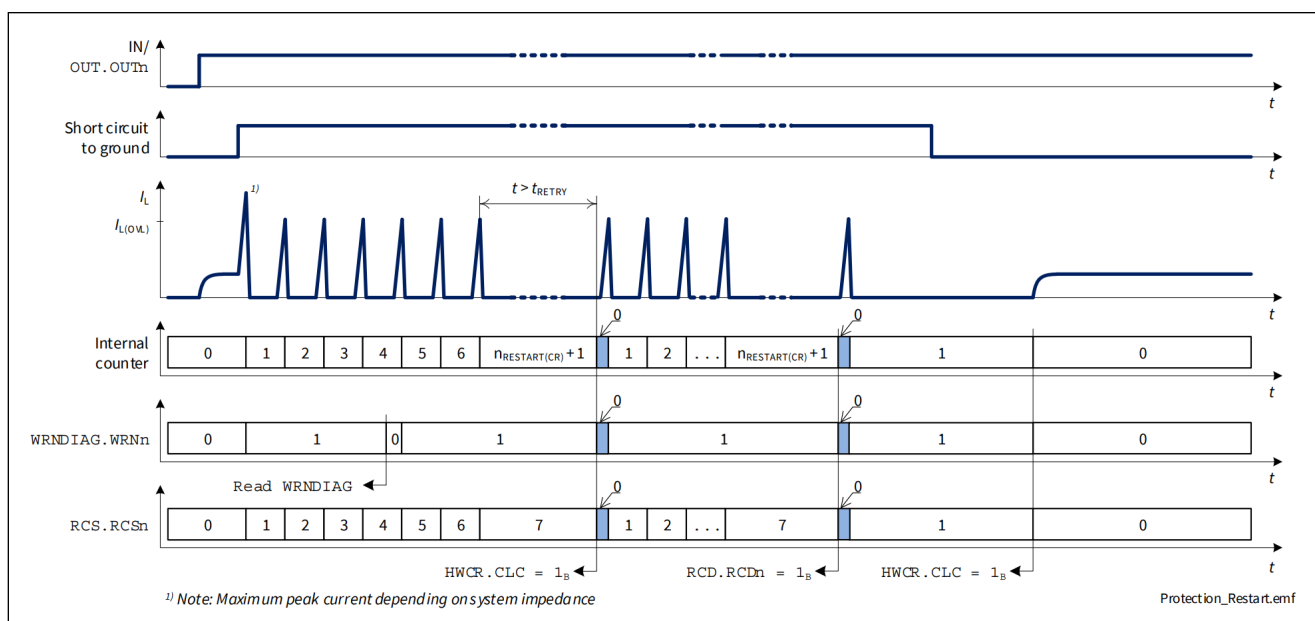


Figure 28 Restart Strategy timing diagram

Protection

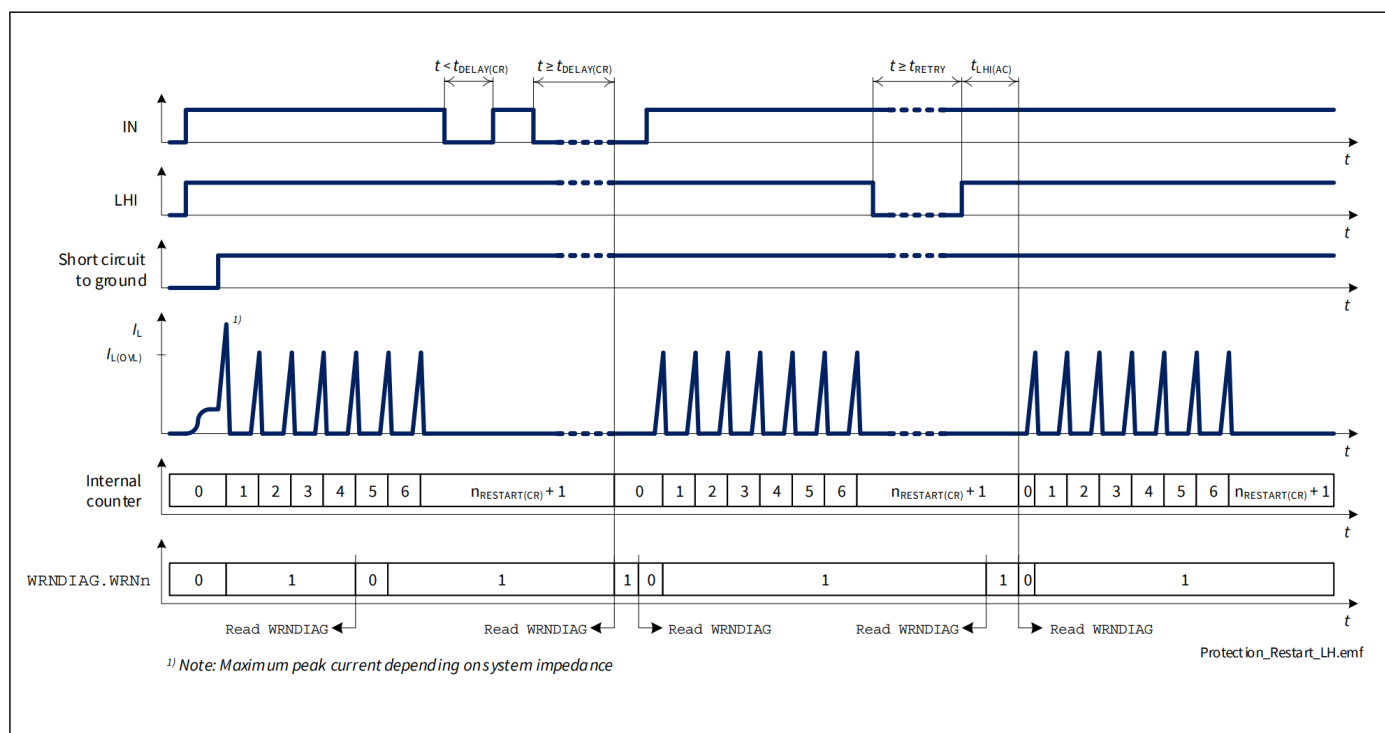


Figure 29 Restart Strategy timing diagram in Limp Home

8.4 其他保护

8.4.1 反极性保护

在反极性条件（也称为反向电池）中，由于 ReverseON 特性限制了输出级中的功率消耗分散，因此输出级被切换为 ON（参见参数 $R_{\text{DS(Rev)}}$ ）。逻辑的每个静电防护二极管都会贡献总耗散功率。通过输出级的反向电流必须受到所连接负载的限制。通过数字电源电源 V_{DD} 和数字输入引脚的电流也必须受到外部电阻的限制（请参阅第 4.1 章中列出的绝对最大额定值）以及第 11 章的应用信息）。

图 30 显示了保护 ReverseON 功能的典型应用。电流从 GND 流入 ($-I_{\text{GND}}$) 在反极性条件中对于激活 ReverseON 是必要的，因此模块接地和器件 GND 引脚之间必须存在电阻路径。

8.5 防止连接丢失

8.5.1 掉电和负载连接断开

只要负载和线束是纯阻性的，掉电或者负载连接断开是不会影响器件的鲁棒性。如果驱动感性负载，掉电或者负载连接断开时，感抗中的能量需要处理。BTS71220-4ESA可以处理高达 10 μ H 的线束电感 / $L_{(NOM)}$ 。在应用中超过电流和/或上述电感时，建议使用外部抑制器二极管（如 [第 11 章](#) 中所示的二极管 D_{Z2} ）来处理能量并为负载电流提供明确的路径。

注释： 如果电池连接丢失，器件不在休眠模式，VS 监控功能就会保护SPI寄存器。这意味着发送到器件的任何指令都将被忽略，并且器件将仅发回 **STDDIAG**。此外，LHI 引脚的状态为空白，这意味着无法进入跛行模式。

8.5.2 地线丢失

如果器件接地丢失，建议在任何数字输入引脚和MCU之间连接一个电阻，以确保通道关断（如 [章节 11](#) 中所述）。

注释： 如果任何数字输入引脚被拉至地（通过电阻或激活），当器件地丢失时，有一个寄生回地的路径，使得芯片仍可以操作。这个行为适用于SPI功能。

Protection

8.6 保护电气特性参数

$V_{DD} = 3.0\text{ V}$ 至 5.5 V , $V_S = 6\text{ V}$ 至 18 V , $T_J = -40\text{ °C}$ 至 $+150\text{ °C}$

典型值: $V_{DD} = 5.0\text{ V}$, $V_S = 13.5\text{ V}$, $T_J = 25\text{ °C}$

测试条件是典型阻性负载连接到输出。(除非另外说明):

9.5 mΩ: $R_L = 2.6\text{ Ω}$

22.5 mΩ: $R_L = 4.8\text{ Ω}$

Table 20 Electrical Characteristics: Protection - General

Parameter	Symbol	Values			Unit	Note or Test Condition	Number
		Min.	Typ.	Max.			
Thermal Shutdown Temperature (Absolute)	$T_{J(ABS)}$	150	175	200	°C	1)2) See Figure 25	P_8.6.0.1
Thermal Shutdown Hysteresis (Absolute)	$T_{HYS(ABS)}$	–	30	–	K	3) See Figure 25	P_8.6.0.2
Thermal Shutdown Temperature (Dynamic)	$T_{J(DYN)}$	–	80	–	K	3) See Figure 26	P_8.6.0.3
Power Supply Clamping Voltage at $T_J = -40\text{ °C}$	$V_{S(CLAMP)_{-40}}$	33	36.5	42	V	$I_{VS} = 5\text{ mA}$ $T_J = -40\text{ °C}$ See Figure 20	P_8.6.0.6
Power Supply Clamping Voltage at $T_J \geq 25\text{ °C}$	$V_{S(CLAMP)_{25}}$	35	38	44	V	2) $I_{VS} = 5\text{ mA}$ $T_J \geq 25\text{ °C}$ See Figure 20	P_8.6.0.7
Power Supply Voltage Threshold for Overcurrent Threshold Reduction in case of Short Circuit	$V_{S(JS)}$	20.5	22.5	24.5	V	3) Setup acc. to AEC-Q100-012	P_8.6.0.8

1) 仅功能测试。

2) 仅在 $T_J = 150\text{ °C}$ 时进行测试。

3) 无产线测试 - 根据设计。

8.6.1 保护电气特性参数 - SPOC™

Table 21 Electrical Characteristics: Protection - SPOC™

Parameter	Symbol	Values			Unit	Note or Test Condition	Number
		Min.	Typ.	Max.			
Counter Reset Delay Time after Fault Condition in Limp Home	$t_{DELAY(CR)}$	40	70	100	ms	1) LHI = “high” INx = “low”	P_8.6.2.1
Automatic Restarts in Case of Fault after a Counter Reset	$n_{RESTART(CR)}$	–	6	–	–	1)	P_8.6.2.2

1) 无产线测试 - 根据设计。

Protection

8.7 保护电气特性参数 - 功率输出级

$V_{DD} = 3.0\text{ V}$ 至 5.5 V , $V_S = 6\text{ V}$ 至 18 V , $T_J = -40\text{ °C}$ 至 $+150\text{ °C}$

典型值: $V_{DD} = 5.0\text{ V}$, $V_S = 13.5\text{ V}$, $T_J = 25\text{ °C}$

测试条件是典型阻性负载连接到输出。(除非另外说明):

9.5 mΩ: $R_L = 2.6\text{ Ω}$

22.5 mΩ: $R_L = 4.8\text{ Ω}$

8.7.1 保护功率输出级 - 9.5 mΩ

Table 22 Electrical Characteristics: Protection - 9.5 mΩ

Parameter	Symbol	Values			Unit	Note or Test Condition	Number
		Min.	Typ.	Max.			
Overload Detection Current High Level	$I_{L(OVL0)}$	79	89	99	A	¹⁾ $OCR.OCTn = 0_B$ $T_J = -40\text{ °C}$ to 50 °C $dI/dt = 0.4\text{ A/μs}$	P_8.7.15.3
Overload Detection Current High Level	$I_{L(OVL0)}$	65	72	79	A	²⁾ $OCR.OCTn = 0_B$ $T_J = 150\text{ °C}$ $dI/dt = 0.4\text{ A/μs}$	P_8.7.15.4
Overload Detection Current Low Level	$I_{L(OVL2)}$	36	45	54	A	²⁾ $OCR.OCTn = 1_B$ $dI/dt = 0.4\text{ A/μs}$	P_8.7.15.2
Overload Detection Current High Level (parallel mode)	$I_{L(OVL3)}$	38	54	62	A	²⁾³⁾ $OCR.OCTn = 0_B$ $PCS.PCCn = 1_B$ $dI/dt = 0.4\text{ A/μs}$	P_8.7.15.6
Overload Detection Current at High V_{DS}	$I_{L(OVL1)}$	–	54	–	A	²⁾ $dI/dt = 0.4\text{ A/μs}$	P_8.7.15.5
Overload Detection Current Jump Start Condition	$I_{L(OVL_JS)}$	–	54	–	A	²⁾ $OCR.OCTn = 0_B$ $V_S > V_{S(JS)}$ $dI/dt = 0.4\text{ A/μs}$	P_8.7.15.7

1) 测试温度 $T_J = -40\text{ °C}$ 。

2) 无产线测试 - 根据设计。

3) $I_{L(OVL3)}$ 适用于一个通道。并联时两个通道总电流 $I_{L(OVL)} \leq 2 \times I_{L(OVL3)}$ 。

Protection

8.7.2 保护功率输出级 - 22.5 mΩ

Table 23 Electrical Characteristics: Protection - 22.5 mΩ

Parameter	Symbol	Values			Unit	Note or Test Condition	Number
		Min.	Typ.	Max.			
Overload Detection Current High Level	$I_{L(OVL0)}$	44	48	53	A	¹⁾ $OCR.OCTn = 0_B$ $T_J = -40\text{ °C to }50\text{ °C}$ $dI/dt = 0.2\text{ A/}\mu\text{s}$	P_8.7.16.3
Overload Detection Current High Level	$I_{L(OVL0)}$	35	39	44	A	²⁾ $OCR.OCTn = 0_B$ $T_J = 150\text{ °C}$ $dI/dt = 0.2\text{ A/}\mu\text{s}$	P_8.7.16.4
Overload Detection Current Low Level	$I_{L(OVL2)}$	19	24	29	A	²⁾ $OCR.OCTn = 1_B$ $dI/dt = 0.2\text{ A/}\mu\text{s}$	P_8.7.16.2
Overload Detection Current High Level (parallel mode)	$I_{L(OVL3)}$	22	31	36	A	²⁾³⁾ $OCR.OCTn = 0_B$ $PCS.PCCn = 1_B$ $dI/dt = 0.2\text{ A/}\mu\text{s}$	P_8.7.16.6
Overload Detection Current at High V_{DS}	$I_{L(OVL1)}$	–	29	–	A	²⁾ $dI/dt = 0.2\text{ A/}\mu\text{s}$	P_8.7.16.5
Overload Detection Current Jump Start Condition	$I_{L(OVL_JS)}$	–	29	–	A	²⁾ $OCR.OCTn = 0_B$ $V_S > V_{S(JS)}$ $dI/dt = 0.2\text{ A/}\mu\text{s}$	P_8.7.16.7

1) 测试温度 $T_J = -40\text{ °C}$ 。

2) 无产线测试 - 根据设计。

3) $I_{L(OVL3)}$ 适用于一个通道。并联时两个通道总电流 $I_{L(OVL)} \leq 2 \times I_{L(OVL3)}$ 。

9 诊断

出于诊断目的，BTS71220-4ESA在引脚IS处提供电流采样，并通过SPI提供诊断反馈。如果禁用诊断，IS引脚将变为高阻态。集成的电流采样多路复用器通过SPI进行控制。

如果使用电流采样诊断，则必须在IS引脚和模块接地之间连接检测电阻 R_{SENSE} 。 R_{SENSE} 值必须高于 $820\ \Omega$ （或 $400\ \Omega$ ，当电池上存在中央电池防反接保护时），以限制电流采样电路中的功率损失。典型值为 $R_{SENSE} = 1.2\ k\Omega$ 。

由于IS引脚和 V_S 供电电压之间的内部连接，如果其他设备由不同的电池供电或使用不同的电源供电，则不建议将IS引脚连接到其他设备的检测电流输出。

参见图31详细信息作为概述。有关不同运行模式下的诊断反馈，请参阅章节9.2。

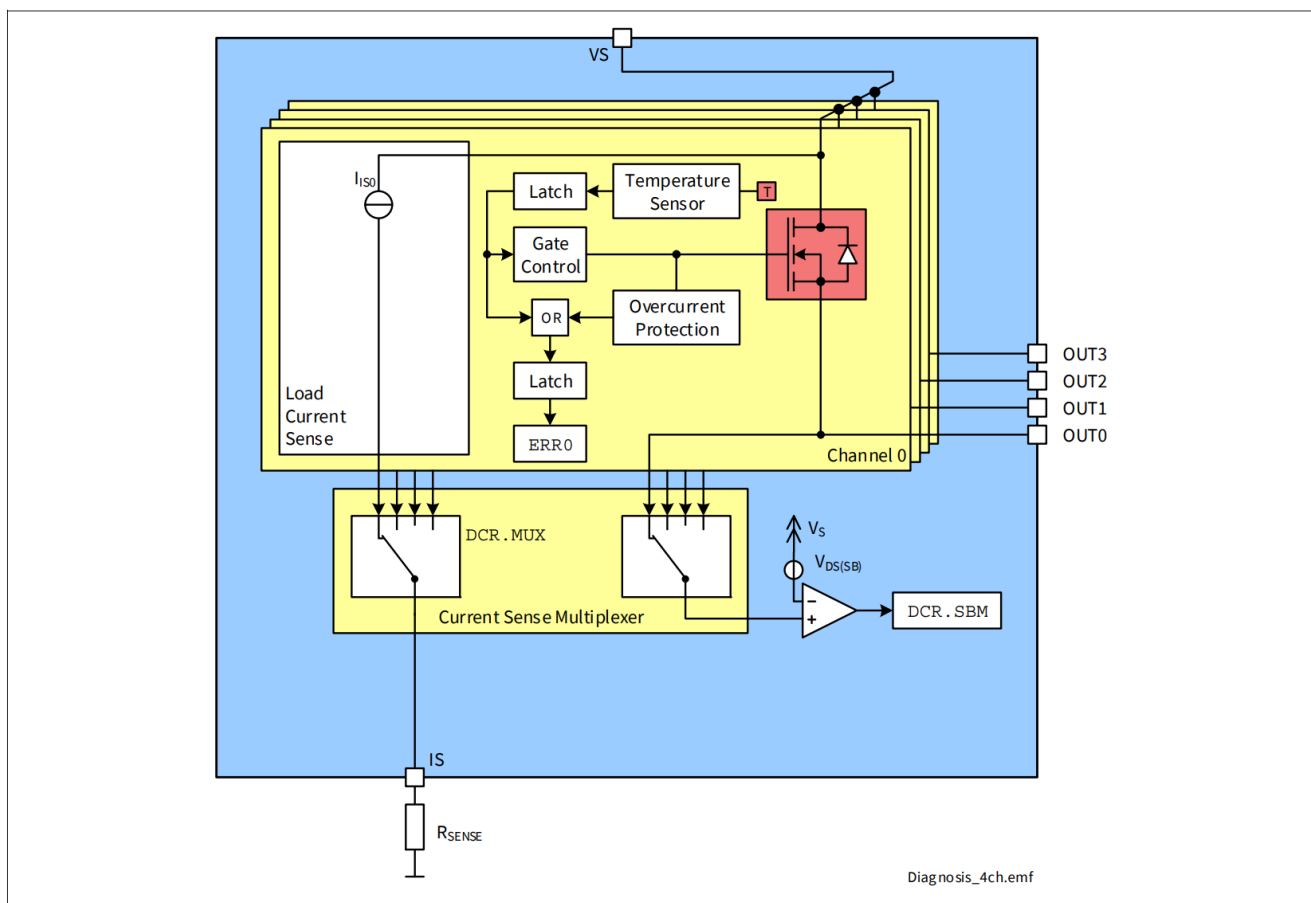


Figure 31 Diagnosis block diagram

Diagnosis

9.1 概述

表 24 提供了BTS71220-4ESA运行模式下，IS引脚上的参考状态。

Table 24 Diagnosis feedback, Function of Operation Mode

Operation Mode	Input level OUT . OUTn	V _{OUT}	Current sense I _{IS}	WRNDIAG . WRNn	STDDIAG . SBM
Normal operation	Low / 0 _B OFF	~ GND	Z	0	1
Short circuit to GND		~ GND	Z	0	1
Overtemperature		Z	Z	1	x
Short circuit to V _S		V _S	Z	0	0
Open Load		< V _S - V _{DS(SB)} > V _S - V _{DS(SB)} ¹⁾	Z Z	0 0	1 0
Sense verification ²⁾		X	I _{IS(VER)}	x	0
Normal operation	High / 1 _B ON	~ V _S	I _{IS} = I _{L(NOM)} / k _{ILIS}	0	0
Overload		< V _S	I _{IS} = I _L / k _{ILIS}	0	x
Short circuit to GND		~ GND	Z	1	1
Overtemperature		Z	Z	1	x
Short circuit to V _S		V _S	I _{IS} < I _L / k _{ILIS}	0	0
Open Load		~ V _S ³⁾	I _{IS} = I _{IS(EN)}	0	0
Sense verification ²⁾		X	I _{IS(VER)}	x	0
Under load (e.g. Output Voltage Limitation condition)		~ V _S ⁴⁾	I _{IS(EN)} < I _{IS} < I _{L(NOM)} / k _{ILIS}	0	0

1) 额外的上拉电阻。

2) **DCR . MUX** = 101_{B0}

3) 输出电流必须小于 I_{L(OL)}

4) 输出电流必须大于 I_{L(OL)}

Diagnosis

9.2 SPI诊断

通过 SPI 提供有关每个通道状态的诊断信息。**WRNDIAG** 中提供了故障标志、过热标志或者过流标志信号。过流监控信号锁存于**WRNDIAG.WRNn**位，并通过SPI读取清除每次**WRNDIAG**，除非达到最大重启次数，并且通道自我保护。保护锁存器由SPI指令**HWCR.CLC**清除。

9.3 ON状态下诊断

当满足以下条件时，引脚 IS 处将提供与负载电流成比例的电流（比率 $k_{ILIS} = I_L / I_{IS}$ ）：

- 高边输出打开，并且 $V_{DS} < V_{DS(SB)}$ 时，
- 该通道的诊断是使能的
- 没有故障（如 第 8.3 章 所述）

如果使用 **DCR.MUX** 位选择的通道存在或发生“硬”故障，IS 引脚保持或变为“高阻态”状态。

9.3.1 电流检测 (k_{ILIS})

检测电流的精度取决于温度和负载电流。 I_{IS} 随 I_L 输出电流线性增加，直至达到饱和电流 $I_{IS(SAT)}$ 。如果输出级有负载开路（ I_L 接近 0 A），则指定最大检测电流 $I_{IS(EN)}$ （空载、诊断启用的）。该条件如图 33 所示。蓝线代表理想的 k_{ILIS} 线，而红线则显示典型产品的行为。

建议在 IS 引脚和 MCU 的 ADC 输入引脚之间使用外部阻容滤波器，以减少信号纹波和振荡（建议阻容滤波器的最小时间 1 μ s）。

k_{ILIS} 系数的指定限值考虑了温度、供电电压和制造工艺的影响。在规定的电流区域内，可以使用更严格的限值校准：

- 在客户端的产线测试期间，在输出端应用明确定义且精确的电流 ($I_{L(CAL)}$)。
- 测量 IS 引脚对应的电流并计算 k_{ILIS} ($k_{ILIS} @ I_{L(CAL)}$)
- 在从 $I_{L(CAL)_L}$ 到 $I_{L(CAL)_H}$ 的电流范围内， k_{ILIS} 等于 $k_{ILIS} @ I_{L(CAL)}$ ，限值定义为 Δk_{ILIS}

校准后 k_{ILIS} 降额使用图 32 公式计算，由 Δk_{ILIS} 指定。

$$\Delta k_{ILIS,MAX} = 100 \cdot \max \left(\frac{k_{ILIS}@I_{L(CAL)_L}}{k_{ILIS}@I_{L(CAL)}} - 1, \frac{k_{ILIS}@I_{L(CAL)_H}}{k_{ILIS}@I_{L(CAL)}} - 1 \right)$$

$$\Delta k_{ILIS,MIN} = 100 \cdot \min \left(\frac{k_{ILIS}@I_{L(CAL)_L}}{k_{ILIS}@I_{L(CAL)}} - 1, \frac{k_{ILIS}@I_{L(CAL)_H}}{k_{ILIS}@I_{L(CAL)}} - 1 \right)$$

Figure 32 Δk_{ILIS} calculation formulas

校准应在 $T_{A(CAL)} = 25^\circ\text{C}$ 时进行。参数 Δk_{ILIS} 包括从 $I_{L(CAL)_L}$ 到 $I_{L(CAL)_H}$ 的温度漂移和电流漂移。

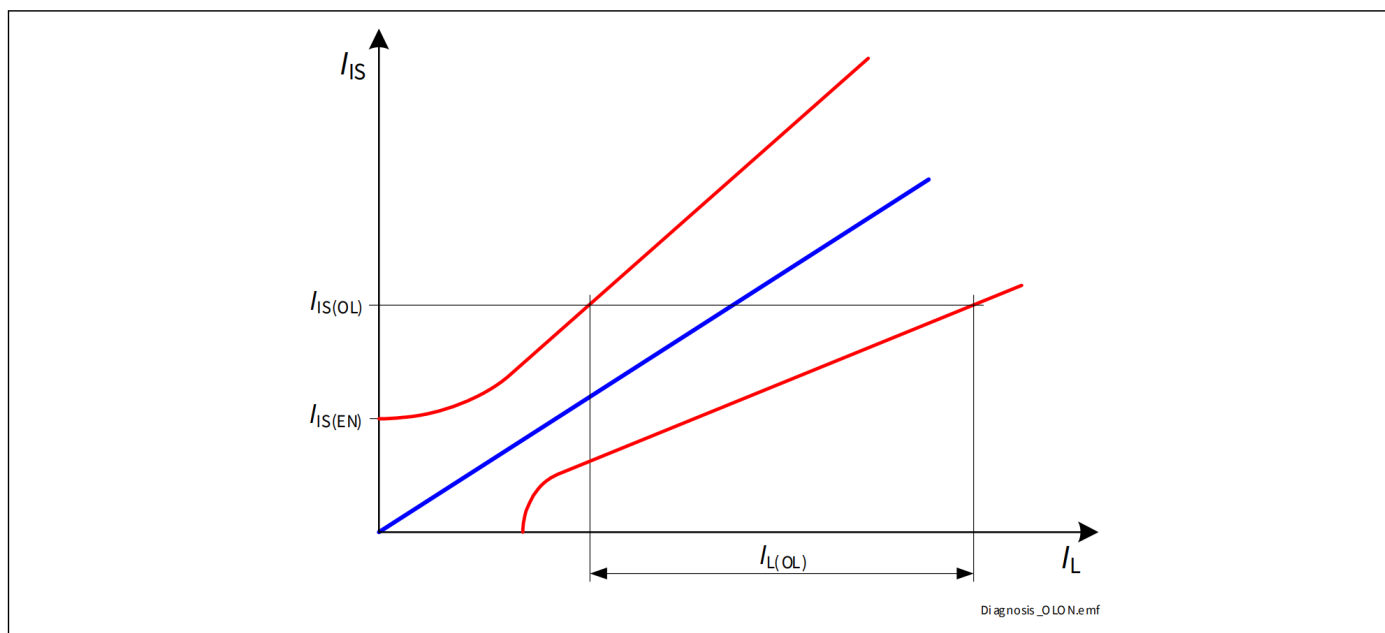


Figure 33 Current Sense Ratio in Open Load at ON condition

9.3.2 电流采样多路复用器

BTS71220-4ESA 内部集成了一个电流采样多路复用器，可将所选通道的检测电流路连接到诊断引脚 IS。通道由 SPI 寄存器 **DCR.MUX** 选择。检测电流也可以通过 SPI 寄存器 **DCR.MUX** 禁用。电流采样多路复用器详细介绍请参考图 34。此外，**DCR.MUX** 与其他 SPI 位结合使用以寻址器件的更多功能。为了验证电流检测路径在 ON 和 OFF 状态下的功能，器件提供了检测验证模式。在此模式下，电流采样引脚上提供预定义的电流 $I_{IS(VER)}$ ，与任何通道的负载条件无关。这使 MCU 能够随时验证电流采样路径。**DCR.MUX**=101_B 时启用电流采样检测验证模式。

所有的功能和指令和 **DCR.MUX** 位相关联的如下：

- **DCR.MUX** 主要功能是切换电流采样多路复用器
- 设置 **PCS.CLCS** = 1_B 清除计数器并将 **DCR.MUX** 选择的通道关闭
- 设置 **PCS.SRCS** = 1_B，**DCR.MUX** 选择的通道的斜率将会改变。请参见章节 7.4.1 了解更多细节
- 读取 **RCS.RCSn** 位时，**DCR.MUX** 选择的通道的内部计数器的状态将响应。
- 设置 **DCR.MUX** = 101_B，电流检测模式是启用的
- 设置 **PCS.SRCS** = 1_B，**DCR.MUX** 选择的通道的斜率将会调整

Diagnosis

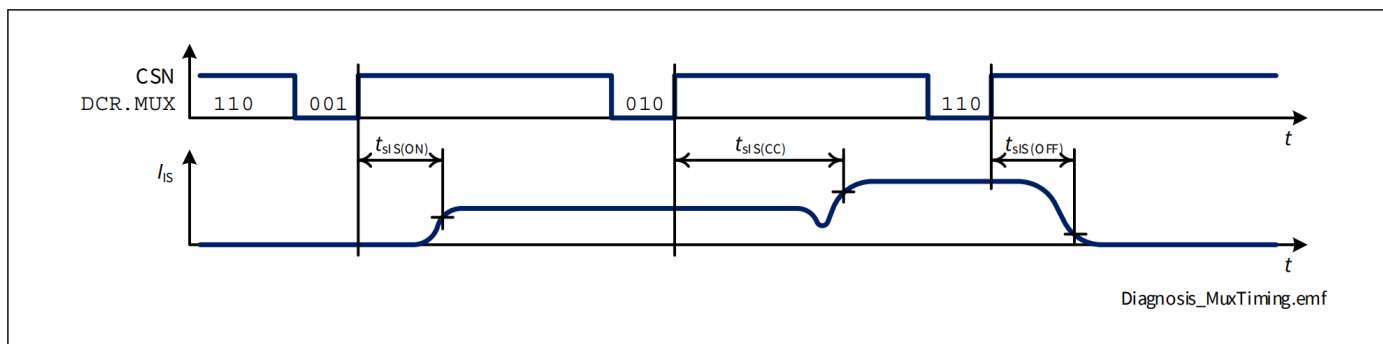


Figure 34 Current Sense Multiplexer Timings

9.4 OFF 状态下诊断

当功率输出级处于OFF状态时，BTS71220-4ESA可以测量输出电压并将其与阈值电压进行比较。这样，使用一些额外的外部元器件（下拉电阻和可切换的上拉电流源），就可以检测负载是否丢失或是否存在对电池短路。

9.4.1 旁路监控开关

为了检测短路到 V_s 的情况，采用了旁路监测器开关。当输出引脚 OUT 与 V_s 处于 ON 状态时发生短路时，电流既流过功率管，又流过短路（旁路），两者之间的份额未定。因此，电流采样信号显示的值低于负载电流预期的值。在OFF状态下，输出电压保持接近 V_s ，这导致小的 V_{DS} 。开关旁路监测器将阈值 $V_{DS(SB)}$ 与电流采样多路复用器 (DCR.MUX) 选择的该通道功率管两端电压 V_{DS} 进行比较。比较结果可以在标准诊断 **STDDIAG.SBM** 中读取。另外，开关旁路监测器可用于检测处于OFF状态的负载开路。在这种情况下，必须放置一个可切换的上拉电阻来将 OUT 拉至 V_s 潜在的。

9.5 SENSE 时序

图 35 显示了 SENSE 的建立时间 $t_{SI S(ON)}$ 和禁用时间 $t_{SI S(OFF)}$ 期间的时序（包括负载变化的情况）。由于在负载电流稳定之前（因此在 t_{ON} 之前）无法建立正确的信号，因此 $t_{SI S(DIAG)} = t_{SI S(ON)} + t_{ON}$ 。

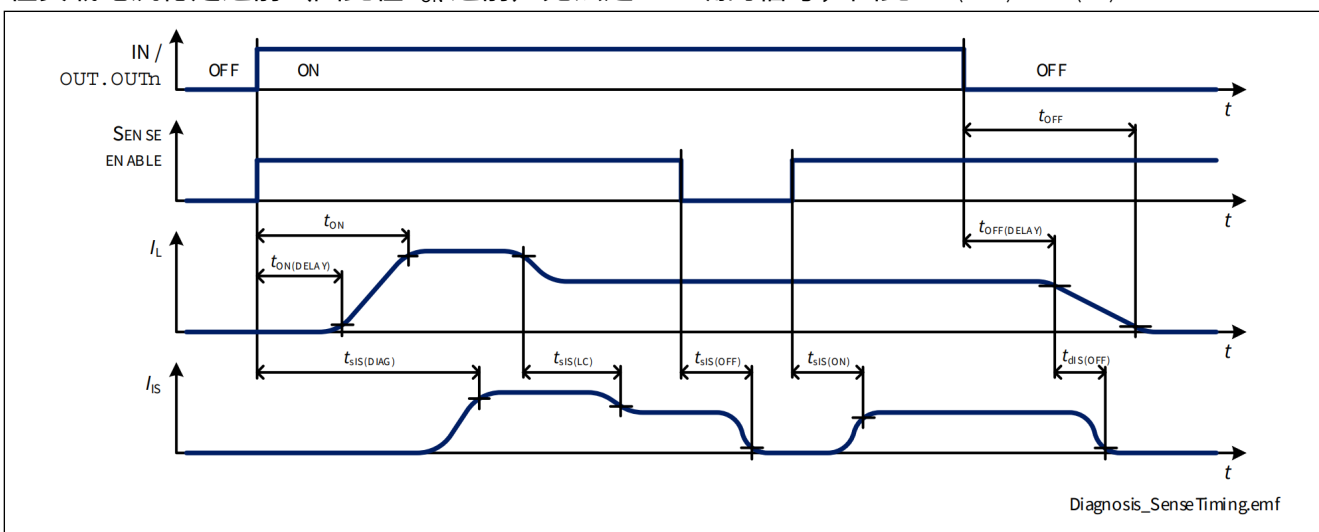


Figure 35 SENSE Settling / Disabling Timing

Diagnosis

9.6 诊断电气特性

$V_{DD} = 3.0\text{ V}$ 至 5.5 V , $V_S = 6\text{ V}$ 至 18 V , $T_J = -40\text{ °C}$ 至 $+150\text{ °C}$

典型值: $V_{DD} = 5.0\text{ V}$, $V_S = 13.5\text{ V}$, $T_J = 25\text{ °C}$

测试条件是典型阻性负载连接到输出。(除非另外说明):

9.5 mΩ: $R_L = 2.6\text{ Ω}$

22.5 mΩ: $R_L = 4.8\text{ Ω}$

Table 25 Electrical Characteristics: Diagnosis - General

Parameter	Symbol	Values			Unit	Note or Test Condition	Number
		Min.	Typ.	Max.			
SENSE Saturation Current	$I_{IS(SAT)}$	4.2	–	15	mA	1) $R_{SENSE} = 1.2\text{ kΩ}$	P_9.6.0.12
SENSE Saturation Current	$I_{IS(SAT)}$	5	–	15	mA	1) $R_{SENSE} = 1.2\text{ kΩ}$ $V_S = 8\text{ V to }18\text{ V}$	P_9.6.0.17
SENSE Leakage Current when Disabled	$I_{IS(OFF)}$	–	0.01	0.5	μA	$I_L \geq I_{L(NOM)}$ $V_S = 0\text{ V}$ DCR.MUX = 110 _B	P_9.6.0.2
SENSE Leakage Current when Enabled at $T_J \leq 85\text{ °C}$	$I_{IS(EN)_85}$	–	0.2	1	μA	1) $T_J \leq 85\text{ °C}$ DCR.MUX ≠ <110 _B , 111 _B > See Figure 33	P_9.6.0.3
SENSE Leakage Current when Enabled at $T_J = 150\text{ °C}$	$I_{IS(EN)_150}$	–	1	2	μA	$T_J = 150\text{ °C}$ DCR.MUX ≠ <110 _B , 111 _B > See Figure 33	P_9.6.0.11
Saturation Voltage in k_{ILIS} Operation ($V_S - V_{IS}$)	V_{SIS_k}	–	0.5	1	V	1) $V_S = 6\text{ V}$ $INx = \text{“high” or } OUT. OUTn = 1_B$ $I_L \leq 2 * I_{L(NOM)}$	P_9.6.0.6
Power Supply to IS Pin Clamping Voltage at $T_J = -40\text{ °C}$	$V_{SIS(CLAMP)_-40}$	33	36.5	42	V	$I_{IS} = 1\text{ mA}$ $T_J = -40\text{ °C}$ See Figure 20	P_9.6.0.9
Power Supply to IS Pin Clamping Voltage at $T_J \geq 25\text{ °C}$	$V_{SIS(CLAMP)_25}$	35	38	44	V	2) $I_{IS} = 1\text{ mA}$ $T_J \geq 25\text{ °C}$ See Figure 20	P_9.6.0.10

1) 无产线测试 - 根据设计。

2) 测试温度 $T_J = 150\text{ °C}$ 。

Diagnosis

9.6.1 诊断电气特性 - SPOC™

Table 26 Electrical Characteristics: Diagnosis - Thresholds, Timings

Parameter	Symbol	Values			Unit	Note or Test Condition	Number
		Min.	Typ.	Max.			
Switch Bypass Monitor Threshold	$V_{DS(SB)}$	1.3	1.9	2.5	V	OFF state	P_9.6.2.1
SENSE Settling Time with Nominal Load Current Stable	$t_{SIS(ON)}$	–	8	20	μs	$V_S = 13.5\text{ V}$ $I_L = I_{L(NOM)}$ DCR . MUX: 110 _B → 001 _B	P_9.6.2.2
SENSE Settling Time with Small Load Current Stable	$t_{SIS(ON)_SLC}$	–	–	60	μs	²⁾ $V_S = 13.5\text{ V}$ $I_L = I_{L(CAL)_OL}$ DCR . MUX: 110 _B → 001 _B	P_9.6.2.10
SENSE Settling Time after Channel Change	$t_{SIS(CC)}$	–	–	20	μs	¹⁾ $V_S = 13.5\text{ V}$ $I_L = I_{L(NOM)}$ DCR . MUX: 001 _B → 010 _B	P_9.6.2.4
SENSE Settling Time after Channel Change with Small Load Current	$t_{SIS(CC)_SLC}$	–	–	60	μs	²⁾ $V_S = 13.5\text{ V}$ Start channel: $I_L = I_{L(CAL)}$ End channel: $I_L = I_{L(CAL)_OL}$ DCR . MUX: 001 _B → 010 _B	P_9.6.2.11
SENSE Disable Time	$t_{SIS(OFF)}$	–	–	20	μs	¹⁾ $V_S = 13.5\text{ V}$ $I_L = I_{L(NOM)}$ DCR . MUX: 010 _B → 110 _B	P_9.6.2.5
SENSE Settling Time after Load Change	$t_{SIS(LC)}$	–	–	20	μs	²⁾	P_9.6.2.6
SENSE Settling Time after Load Change with Small Load Current	$t_{SIS(LC)_SLC}$	–	250	400	μs	²⁾ $V_S = 13.5\text{ V}$ from $I_L = I_{L(CAL)}$ to $I_L = I_{L(CAL)_OL}$	P_9.6.2.12
SENSE Disable Time after Channel Deactivation	$t_{dIS(OFF)}$	–	–	20	μs	²⁾	P_9.6.2.7
SENSE Current in Sense Verification Mode	$I_{IS(VER)}$	400	500	600	μA	DCR . MUX: = 101 _B	P_9.6.2.8

1) 在参数范围内进行功能生产测试。

2) 无产线测试 - 根据设计。

Diagnosis

9.7 诊断电气特性 - 功率输出级

$V_{DD} = 3.0\text{ V}$ 至 5.5 V , $V_S = 6\text{ V}$ 至 18 V , $T_J = -40\text{ °C}$ 至 $+150\text{ °C}$

典型值: $V_{DD} = 5.0\text{ V}$, $V_S = 13.5\text{ V}$, $T_J = 25\text{ °C}$

测试条件是典型阻性负载连接到输出。(除非另外说明):

9.5 mΩ: $R_L = 2.6\text{ Ω}$

22.5 mΩ: $R_L = 4.8\text{ Ω}$

9.7.1 诊断功率输出级 - 9.5 mΩ

Table 27 Electrical Characteristics: Diagnosis - 9.5 mΩ - high range¹⁾

Parameter	Symbol	Values			Unit	Note or Test Condition	Number
		Min.	Typ.	Max.			
Open Load Output Current at $I_S = 4\text{ μA}$	$I_{L(OL)_4u}$	5	18	50	mA	²⁾ $I_S = I_{S(OL)} = 4\text{ μA}$	P_9.7.15.1
Current Sense Ratio at $I_L = I_{L02}$	k_{ILIS02}	-65%	5000	+65%		²⁾ $I_{L02} = 20\text{ mA}$	P_9.7.15.4
Current Sense Ratio at $I_L = I_{L05}$	k_{ILIS05}	-60%	5000	+60%		²⁾ $I_{L05} = 100\text{ mA}$	P_9.7.15.7
Current Sense Ratio at $I_L = I_{L07}$	k_{ILIS07}	-55%	5000	+55%		²⁾ $I_{L07} = 250\text{ mA}$	P_9.7.15.9
Current Sense Ratio at $I_L = I_{L10}$	k_{ILIS10}	-40%	5000	+40%		²⁾ $I_{L10} = 1\text{ A}$	P_9.7.15.12
Current Sense Ratio at $I_L = I_{L13}$	k_{ILIS13}	-24%	5000	+24%		$I_{L13} = 2.8\text{ A}$	P_9.7.15.15
Current Sense Ratio at $I_L = I_{L15}$	k_{ILIS15}	-8%	5000	+8%		$I_{L15} = 5.5\text{ A}$	P_9.7.15.17
Current Sense Ratio at $I_L = I_{L17}$	k_{ILIS17}	-8%	5000	+8%		$I_{L17} = 10\text{ A}$	P_9.7.15.19
SENSE Current Derating with Low Current Calibration	$\Delta k_{ILIS(OL)}$	-30	0	+30	%	²⁾³⁾ $I_{L(CAL)_OL} = I_{L05}$ $I_{L(CAL)_OL_H} = I_{L07}$ $I_{L(CAL)_OL_L} = I_{L02}$ $T_{A(CAL)} = 25\text{ °C}$	P_9.7.15.40
SENSE Current Derating with Nominal Current Calibration	$\Delta k_{ILIS(NOM)}$	-9	0	+9	%	²⁾³⁾ $I_{L(CAL)} = I_{L15}$ $I_{L(CAL)_H} = I_{L17}$ $I_{L(CAL)_L} = I_{L13}$ $T_{A(CAL)} = 25\text{ °C}$	P_9.7.15.41

1) 如果 **KRC . KRCn** = 0_B, 仅参数有效。

2) 如果 **PCS . PCCn** = 0_B, 仅参数有效。

3) 无产线测试 - 根据设计。

Diagnosis

Table 28 Electrical Characteristics: Diagnosis - 9.5 mΩ - low range¹⁾

Parameter	Symbol	Values			Unit	Note or Test Condition	Number
		Min.	Typ.	Max.			
Open Load Output Current at $I_{IS} = 4 \mu\text{A}$	$I_{L(OL)_4u}$	2	9	15	mA	²⁾³⁾ $I_{IS} = I_{IS(OL)} = 4 \mu\text{A}$	P_9.7.15.20
Current Sense Ratio at $I_L = I_{L01}$	k_{ILIS01}	-65%	1660	+65%		²⁾³⁾ $I_{L01} = 10 \text{ mA}$	P_9.7.15.22
Current Sense Ratio at $I_L = I_{L03}$	k_{ILIS03}	-60%	1660	+60%		²⁾³⁾ $I_{L03} = 30 \text{ mA}$	P_9.7.15.24
Current Sense Ratio at $I_L = I_{L05}$	k_{ILIS05}	-55%	1660	+55%		²⁾³⁾ $I_{L05} = 100 \text{ mA}$	P_9.7.15.27
Current Sense Ratio at $I_L = I_{L07}$	k_{ILIS07}	-45%	1660	+45%		²⁾³⁾ $I_{L07} = 250 \text{ mA}$	P_9.7.15.30
Current Sense Ratio at $I_L = I_{L08}$	k_{ILIS08}	-35%	1660	+35%		²⁾³⁾ $I_{L08} = 450 \text{ mA}$	P_9.7.15.32
Current Sense Ratio at $I_L = I_{L10}$	k_{ILIS10}	-24%	1660	+24%		³⁾ $I_{L10} = 1 \text{ A}$	P_9.7.15.34
Current Sense Ratio at $I_L = I_{L12}$	k_{ILIS12}	-8%	1660	+8%		³⁾ $I_{L12} = 2 \text{ A}$	P_9.7.15.36
Current Sense Ratio at $I_L = I_{L15}$	k_{ILIS15}	-8%	1660	+8%		³⁾ $I_{L15} = 5.5 \text{ A}$	P_9.7.15.39
SENSE Current Derating with Low Current Calibration	$\Delta k_{ILIS(OL)}$	-30	0	+30	%	²⁾⁴⁾ $I_{L(CAL)_OL} = I_{L03}$ $I_{L(CAL)_OL_H} = I_{L05}$ $I_{L(CAL)_OL_L} = I_{L01}$ $T_{A(CAL)} = 25 \text{ °C}$	P_9.7.15.42
SENSE Current Derating with Nominal Current Calibration	$\Delta k_{ILIS(NOM)}$	-9	0	+9	%	²⁾⁴⁾ $I_{L(CAL)} = I_{L10}$ $I_{L(CAL)_H} = I_{L12}$ $I_{L(CAL)_L} = I_{L08}$ $T_{A(CAL)} = 25 \text{ °C}$	P_9.7.15.43

- 1) 如果 **KRC . KRCn** = 1_B, 仅参数有效。
- 2) 如果 **PCS . PCCn** = 0_B, 仅参数有效。
- 3) 如果1 μs 阻容滤波器放置在ADC输入端, k_{ILIS} 精度有效。
- 4) 无产线测试 - 根据设计。

Diagnosis

9.7.2 诊断功率输出级 - 22.5 mΩ

Table 29 Electrical Characteristics: Diagnosis - 22.5 mΩ - high range¹⁾

Parameter	Symbol	Values			Unit	Note or Test Condition	Number
		Min.	Typ.	Max.			
Open Load Output Current at $I_{IS} = 4 \mu\text{A}$	$I_{L(OL)_4u}$	2	7	15	mA	²⁾ $I_{IS} = I_{IS(OL)} = 4 \mu\text{A}$	P_9.7.16.1
Current Sense Ratio at $I_L = I_{L01}$	k_{ILIS01}	-65%	2000	+65%		²⁾ $I_{L01} = 10 \text{ mA}$	P_9.7.16.3
Current Sense Ratio at $I_L = I_{L03}$	k_{ILIS03}	-60%	2000	+60%		²⁾ $I_{L03} = 30 \text{ mA}$	P_9.7.16.5
Current Sense Ratio at $I_L = I_{L05}$	k_{ILIS05}	-55%	2000	+55%		²⁾ $I_{L05} = 100 \text{ mA}$	P_9.7.16.7
Current Sense Ratio at $I_L = I_{L07}$	k_{ILIS07}	-45%	2000	+45%		²⁾ $I_{L07} = 250 \text{ mA}$	P_9.7.16.9
Current Sense Ratio at $I_L = I_{L10}$	k_{ILIS10}	-24%	2000	+24%		$I_{L10} = 1 \text{ A}$	P_9.7.16.12
Current Sense Ratio at $I_L = I_{L12}$	k_{ILIS12}	-8%	2000	+8%		$I_{L12} = 2 \text{ A}$	P_9.7.16.14
Current Sense Ratio at $I_L = I_{L15}$	k_{ILIS15}	-8%	2000	+8%		$I_{L15} = 5.5 \text{ A}$	P_9.7.16.17
SENSE Current Derating with Low Current Calibration	$\Delta k_{ILIS(OL)}$	-30	0	+30	%	²⁾³⁾ $I_{L(CAL)_OL} = I_{L03}$ $I_{L(CAL)_OL_H} = I_{L05}$ $I_{L(CAL)_OL_L} = I_{L01}$ $T_{A(CAL)} = 25 \text{ }^\circ\text{C}$	P_9.7.16.37
SENSE Current Derating with Nominal Current Calibration	$\Delta k_{ILIS(NOM)}$	-9	0	+9	%	³⁾ $I_{L(CAL)} = I_{L12}$ $I_{L(CAL)_H} = I_{L15}$ $I_{L(CAL)_L} = I_{L10}$ $T_{A(CAL)} = 25 \text{ }^\circ\text{C}$	P_9.7.16.38

1) 如果 **KRC . KRCn** = 0_B, 仅参数有效。

2) 如果 **PCS . PCCn** = 0_B, 仅参数有效。

3) 无产线测试 - 根据设计。

Diagnosis

Table 30 Electrical Characteristics: Diagnosis - 22.5 mΩ - low range¹⁾

Parameter	Symbol	Values			Unit	Note or Test Condition	Number
		Min.	Typ.	Max.			
Open Load Output Current at $I_{IS} = 4 \mu\text{A}$	$I_{L(OL)_4u}$	0.5	3.2	6	mA	²⁾³⁾ $I_{IS} = I_{IS(OL)} = 4 \mu\text{A}$	P_9.7.16.18
Current Sense Ratio at $I_L = I_{L00}$	k_{ILIS00}	-65%	660	+65%		²⁾³⁾ $I_{L00} = 5 \text{ mA}$	P_9.7.16.19
Current Sense Ratio at $I_L = I_{L01}$	k_{ILIS01}	-60%	660	+60%		²⁾³⁾ $I_{L01} = 10 \text{ mA}$	P_9.7.16.20
Current Sense Ratio at $I_L = I_{L03}$	k_{ILIS03}	-55%	660	+55%		²⁾³⁾ $I_{L03} = 30 \text{ mA}$	P_9.7.16.23
Current Sense Ratio at $I_L = I_{L05}$	k_{ILIS05}	-45%	660	+45%		²⁾³⁾ $I_{L05} = 100 \text{ mA}$	P_9.7.16.26
Current Sense Ratio at $I_L = I_{L07}$	k_{ILIS07}	-30%	660	+30%		²⁾³⁾ $I_{L07} = 250 \text{ mA}$	P_9.7.16.29
Current Sense Ratio at $I_L = I_{L08}$	k_{ILIS08}	-20%	660	+20%		³⁾ $I_{L08} = 450 \text{ mA}$	P_9.7.16.31
Current Sense Ratio at $I_L = I_{L10}$	k_{ILIS10}	-8%	660	+8%		³⁾ $I_{L10} = 1 \text{ A}$	P_9.7.16.33
Current Sense Ratio at $I_L = I_{L12}$	k_{ILIS12}	-8%	660	+8%		³⁾ $I_{L12} = 2 \text{ A}$	P_9.7.16.35
SENSE Current Derating with Low Current Calibration	$\Delta k_{ILIS(OL)}$	-30	0	+30	%	²⁾⁴⁾ $I_{L(CAL)_OL} = I_{L01}$ $I_{L(CAL)_OL_H} = I_{L03}$ $I_{L(CAL)_OL_L} = I_{L00}$ $T_{A(CAL)} = 25 \text{ °C}$	P_9.7.16.39
SENSE Current Derating with Nominal Current Calibration	$\Delta k_{ILIS(NOM)}$	-9	0	+9	%	²⁾⁴⁾ $I_{L(CAL)} = I_{L10}$ $I_{L(CAL)_H} = I_{L12}$ $I_{L(CAL)_L} = I_{L08}$ $T_{A(CAL)} = 25 \text{ °C}$	P_9.7.16.40

- 1) 如果 **KRC.KRCn** = 1_B, 仅参数有效。
- 2) 如果 **PCS.PCCn** = 0_B, 仅参数有效。
- 3) 如果1 μs 阻容滤波器放置在ADC输入端, k_{ILIS} 精度有效。
- 4) 无产线测试 - 根据设计。

10 串行外设接口 (SPI)

串行外设接口（SPI）是一个全双工同步串行从机接口，使用四根线：SO、SI、SCLK和CSN。数据通过SI和SO线路以SCLK给定的速率传输。CSN的下降沿指示访问的开始。数据在SCLK的下降沿通过SI线采样，并在SCLK的上升沿通过SO线移出。每个访问必须由CSN的上升沿终止。8位计数器确保仅当传输了8位的倍数时才获取数据。该接口支持8位SPI设备提供菊花链功能。

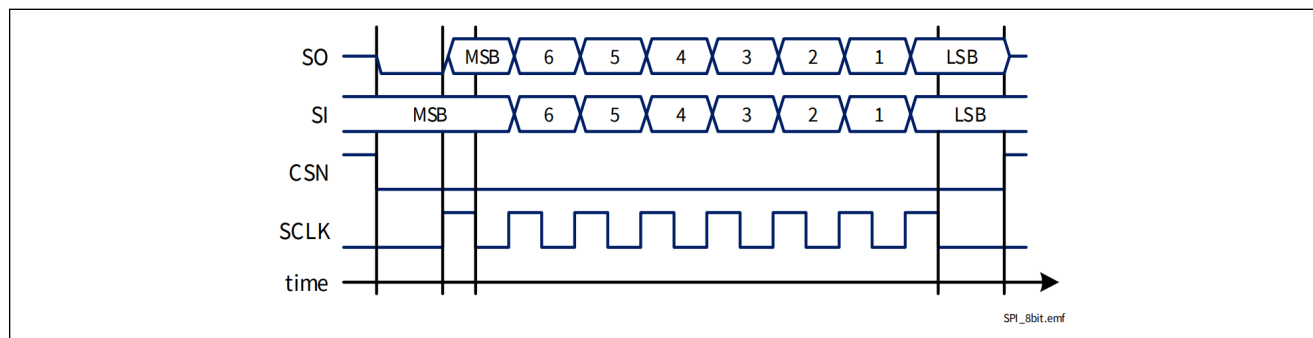


Figure 36 Serial Peripheral Interface

10.1 SPI 信号描述

CSN - 片选信号

系统通过CSN引脚选择BTS71220-4ESA。只要引脚处于“低电平”状态，就可以进行数据传输。当CSN处于“高”状态时，SCLK和SI引脚上的任何信号都将被忽略，并且SO被强制进入“高阻态”状态。

CSN 从“高”到“低”跳变

- 请求的信息被传输到移位寄存器中。
- SO由“高阻态”状态变为“低电平”状态。

CSN 从“低”到“高”跳变

- 仅当在CSN下降沿之后恰好检测到8个SCLK信号的倍数（1、2、3、...）时，才完成指令解码。如果SCLK计数不正确，则传输错误标志（**STDDIAG.TER**）为置位，并且指令将被忽略。
- 来自移位寄存器的数据被传输到寻址寄存器中。

SCLK - 时钟

该输入引脚为内部移位寄存器提供时钟。串行输入（SI）在SCLK的下降沿将数据传输到移位寄存器，而串行输出（SO）在串行时钟的上升沿将诊断信息移出。每当片选CSN进行任何转换时，SCLK引脚必须处于“低电平”状态，否则指令可能不被接受。

SI - 串行输入

串行输入数据位在此引脚移入，最高有效位优先。SI信息在SCLK的下降沿读取。输入数据由两部分组成，控制位和数据位。请参阅第10.5章了解更多信息。

Serial Peripheral Interface (SPI)

SO 串行输出

数据在此引脚上串行移出，最高有效位首先移出。SO 处于“高阻态”状态，直到 CSN 引脚变为“低电平”状态。在 SCLK 的上升沿之后，新的数据将出现在 SO 引脚上。

请参阅[章节 10.5](#) 了解更多信息。

10.2 菊花链功能

SPI的BTS71220-4ESA 为 8 位 SPI 设备提供菊花链功能。在此配置中，多个设备由相同的 CSN 信号 MCSN 激活。一个器件的SI 线与另一个器件的 SO 线相连（参见[图 37](#)），以构建一个链。链的末端分别连接到主件的输入和输出、MO 和 MI。主件提供主时钟 MCLK，该时钟连接到链中每个器件的SCLK 线。

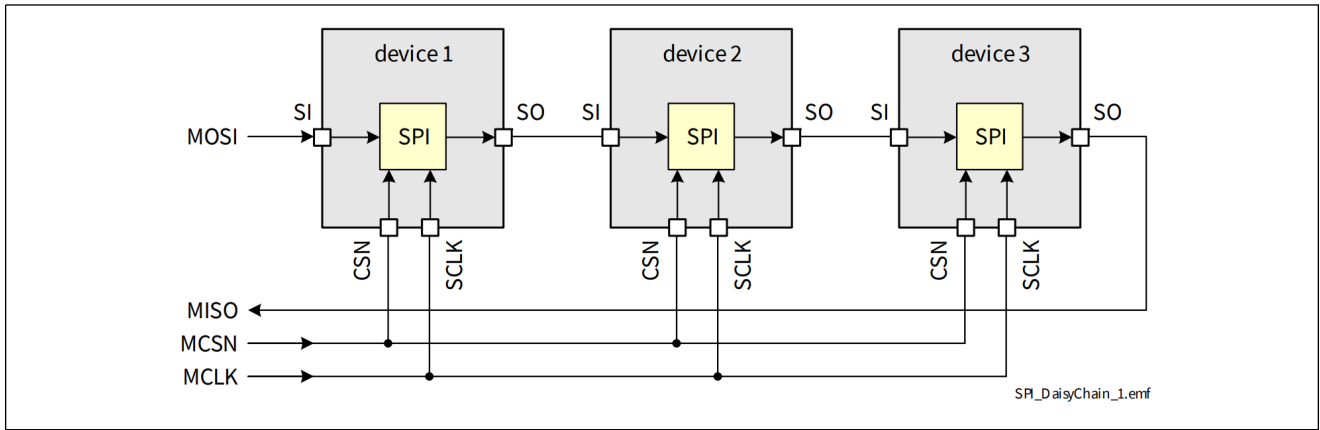


Figure 37 Daisy Chain Configuration

SPI在每个器件的功能块中，有一个移位寄存器，每个SCLK时，每个SI 中每个位都会移位。位在 SO 引脚上移出。经过八个SCLK 周期后，一个器件的数据传输完成。在单芯片配置中，CSN 线必须变为“高”才能使器件确认传输的数据。在菊花链配置中，器件 1 移出的数据已移入器件 2。在菊花链中使用三个器件时，必须在器件中移位三次 8 位。此后，MCSN 线必须变为“高”（见[图 38](#)）。

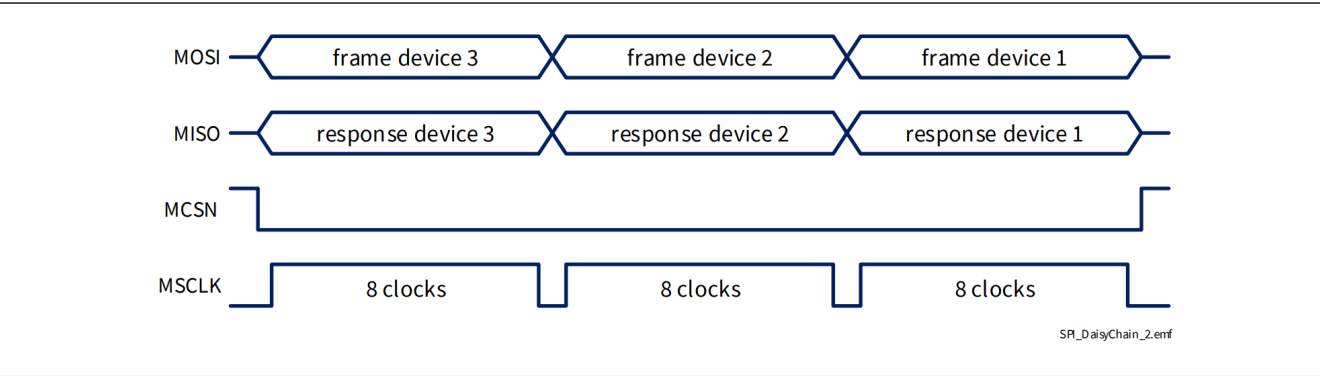


Figure 38 Data Transfer in Daisy Chain Configuration

Serial Peripheral Interface (SPI)

10.3 时序图

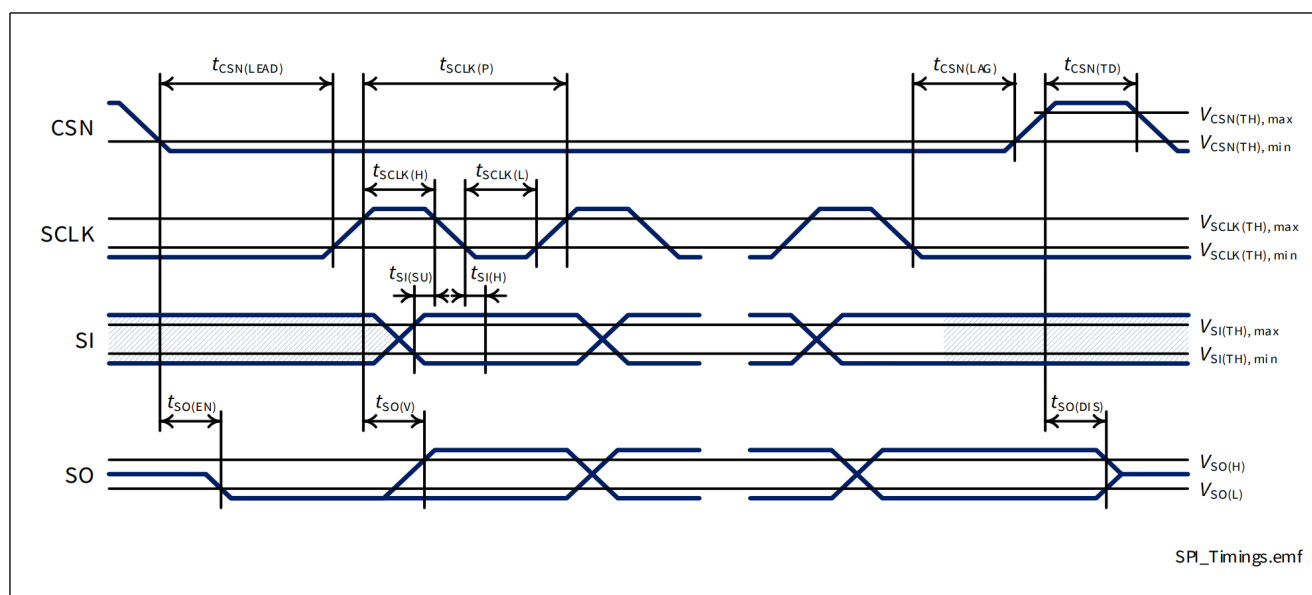


Figure 39 Timing Diagram SPI Access

Serial Peripheral Interface (SPI)

10.4 电气特性

$V_{DD} = 3.0\text{ V}$ 到 5.5 V , $V_S = 6\text{ V}$ 到 18 V , $T_J = -40\text{ °C}$ 到 $+150\text{ °C}$

典型值: $V_{DD} = 5.0\text{ V}$, $V_S = 13.5\text{ V}$, $T_J = 25\text{ °C}$

Table 31 Electrical Characteristics Serial Peripheral Interface (SPI)

Parameter	Symbol	Values			Unit	Note or Test Condition	Number
		Min.	Typ.	Max.			
Timings							
Enable Lead Time (falling CSN to rising SCLK)	$t_{\text{CSN(LEAD)}}$	200	–	–	ns	¹⁾	P_10.4.0.1
Enable Lag Time (falling SCLK to rising CSN)	$t_{\text{CSN(LAG)}}$	200	–	–	ns	¹⁾	P_10.4.0.2
Transfer Delay Time (rising CSN to falling CSN)	$t_{\text{CSN(TD)}}$	500	–	–	ns	¹⁾	P_10.4.0.3
Output Enable Time (falling CSN to SO valid)	$t_{\text{SO(EN)}}$	–	30	100	ns	¹⁾ $C_{\text{L(SO)}} = 50 \text{ pF}$	P_10.4.0.4
Output Disable Time (rising CSN to SO tristate)	$t_{\text{SO(DIS)}}$	–	30	100	ns	¹⁾ $C_{\text{L(SO)}} = 50 \text{ pF}$	P_10.4.0.5
Serial Clock Frequency	f_{SCLK}	0	–	5	MHz	¹⁾	P_10.4.0.6
Serial Clock Period	$t_{\text{SCLK(P)}}$	200	–	–	ns	¹⁾	P_10.4.0.7
Serial Clock “High” Time	$t_{\text{SCLK(H)}}$	90	–	–	ns	¹⁾	P_10.4.0.8
Serial Clock “Low” Time	$t_{\text{SCLK(L)}}$	90	–	–	ns	¹⁾	P_10.4.0.9
Data Setup Time (required Time SI to falling SCLK)	$t_{\text{SI(SU)}}$	20	–	–	ns	¹⁾	P_10.4.0.10
Data Hold Time (falling SCLK to SI)	$t_{\text{SI(H)}}$	20	–	–	ns	¹⁾	P_10.4.0.11
Output Data Valid Time with Capacitive Load	$t_{\text{SO(V)}}$	–	–	60	ns	¹⁾ $C_{\text{L(SO)}} = 50 \text{ pF}$	P_10.4.0.12

1) 无产线测试 - 根据设计。

10.5 SPI 协议

SPI 通讯过程中 SI 和 SO 关系如图 40 所示。SI 线代表 μC 发过来的帧，SO 线是 BTS71220-4ESA 提供的应答，前面的应答是指发回来的帧依赖于之前 μC 发过来的命令帧。

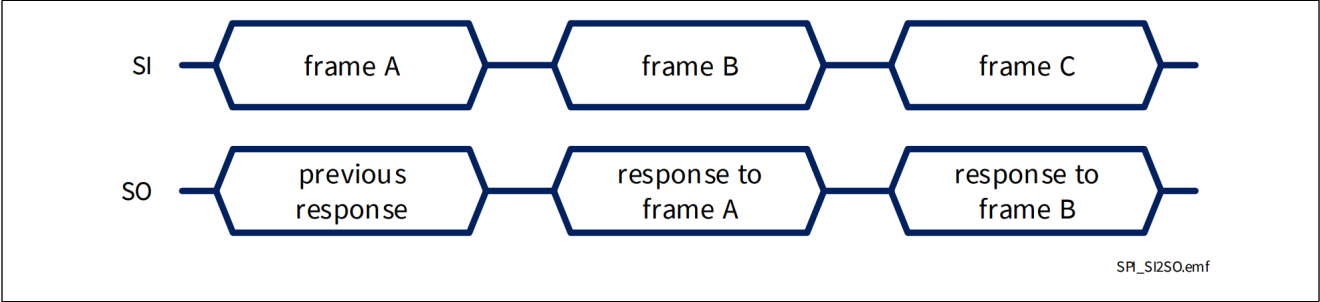


Figure 40 Relationship between SI and SO during SPI communication

SPI 协议仅在 μC 触发下一个命令帧时提供应答。写指令的响应是确定性的，可以解码为 STDDIAG 或 WRNDIAG 帧。对于读取指令的响应，必须考虑之前的解码。

更详细地说，“读取”和“写入”寄存器内容的指令序列如下：

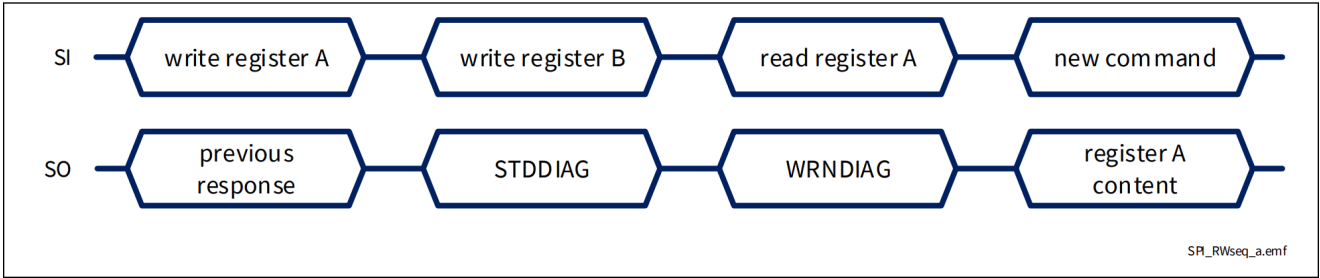


Figure 41 Register content sent back to μC (a)

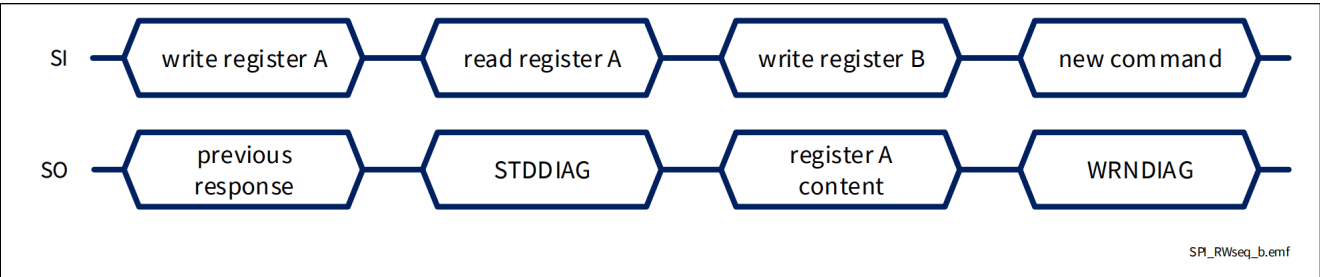


Figure 42 Register content sent back to μC (b)

有 3 种特殊情况，发送回 μC 的帧不依赖于先前接收到的帧：

- 如果在前一帧中出现错误（例如，时钟脉冲不是 8 的倍数），如图 43 所示
- 当 BTS71220-4ESA 数字电源不满足上电复位条件时，如图 44 所示
- 当 $V_S < V_{S(TP)}$ 且 $\text{DCR.MUX} \neq 111_B$ ，如图 45 所示

Serial Peripheral Interface (SPI)

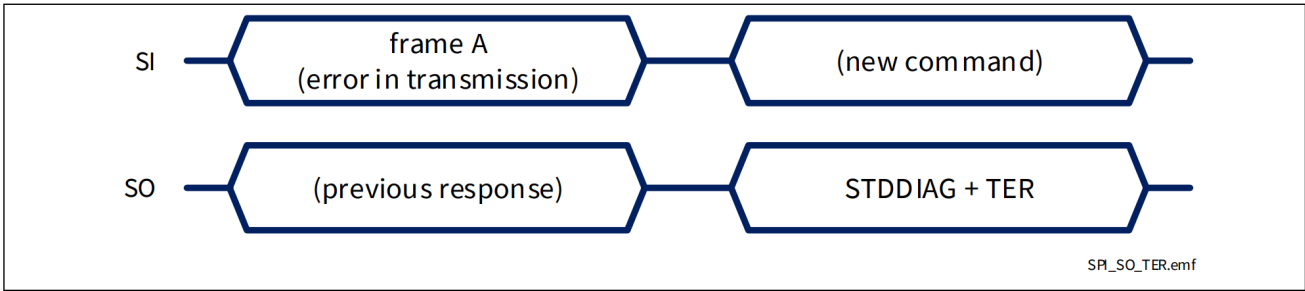


Figure 43 SPI response after an error in transmission

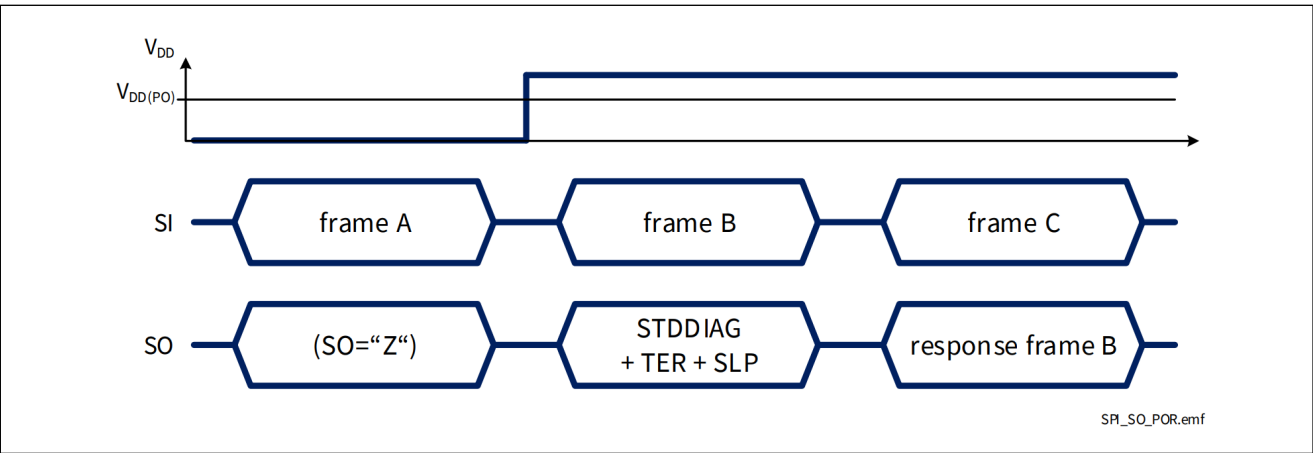


Figure 44 SPI response after coming out of Power-On reset at V_{DD}

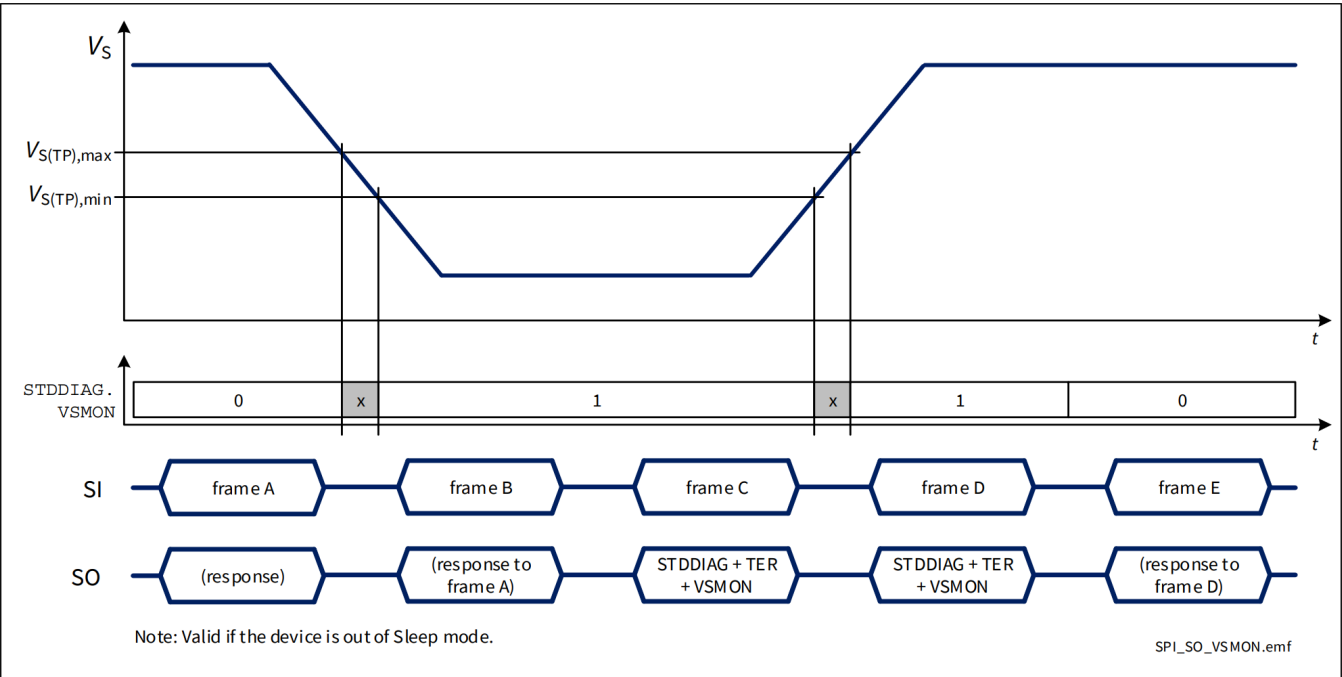


Figure 45 SPI response in case of voltage drop on battery

下表 32 列出了所有可能的 SPI 指令，包括 BTS71220-4ESA 将在下一个协商中发回的应答。

Serial Peripheral Interface (SPI)

Table 32 SPI Command Summary

Requested Operation	Frame sent to SPOC™ (SI pin)	Frame received from SPOC™ (SO pin) with the next command
Write OUT register DCR . SWR = x_B	100xddd _B where: “xddd _B ” = new OUT register content (“x _B ” = don't care)	00dddddd _B - STDDIAG or 01dddddd _B - WRNDIAG (Standard Diagnosis or Warning Diagnosis will be sent alternating)
Read OUT register	0xxxaaaa _B where: “aaaa _B ” = ADDR1 ¹⁾ (“x _B ” = don't care)	1000ddd _B (“ddd _B ” = OUT register content)
Read RCS register	0xxxaaaa _B where: “aaaa _B ” = ADDR1 ¹⁾ (“x _B ” = don't care)	10000ddd _B (“ddd _B ” = RCS register content)
Write Configuration registers	11aaddddd _B where: “aa _B ” = ADDR0 ¹⁾ “ddd _B ” = new register content	00dddddd _B - STDDIAG 01dddddd _B - WRNDIAG (Standard Diagnosis or Warning Diagnosis will be sent alternating)
Read Configuration registers	0xxxaaaa _B where: “aaaa _B ” = ADDR1 ¹⁾ (“x _B ” = don't care)	11aaddddd _B where: “aa _B ” = ADDR0 ¹⁾ “ddd _B ” = register content
Read Warning Diagnosis	0xxxx001 _B (“x _B ” = don't care)	0100ddd _B - WRNDIAG (Warning Diagnosis)
Read Standard Diagnosis	0xxxx010 _B (“x _B ” = don't care)	00dddddd _B - STDDIAG (Standard Diagnosis)
Read Error Diagnosis	0xxxx011 _B (“x _B ” = don't care)	0100ddd _B - ERRDIAG (Error Diagnosis)

1) **ADDR0**和 **ADDR1**根据表 33 定义。

Serial Peripheral Interface (SPI)

10.6 SPI 诊断寄存器

10.6.1 诊断寄存器 - 读取指令

Name	7	6	5	4	3	2	1	0
WRNDIAG	0	x	x	x	0	0	0	1
STDDIAG	0	x	x	x	0	0	1	0
ERRDIAG	0	x	x	x	0	0	1	1

10.6.2 诊断寄存器 - 响应

Name	7	6	5	4	3	2	1	0	Default
WRNDIAG	0	1	0	0	WRNDIAG.WRNn				40 _H
STDDIAG	0	0	STDDIAG.TER	STDDIAG.CSV	STDDIAG.LHI	STDDIAG.SLP	STDDIAG.SBM	STDDIAG.VSMON	24 _H
ERRDIAG	0	1	0	0	ERRDIAG.ERRn				40 _H

Field	Bits	Type	Description
STDDIAG.TER	5	r	Transmission Error 0 _B Previous transmission was successful (modulo 8 clocks received) 1 _B (default) Previous transmission failed or first transmission after Power-On reset or $V_S < V_{S(TP)}$ if STDDIAG.VSMON = 1 _B
STDDIAG.CSV	4	r	Checksum Verification¹⁾ 0 _B (default) Checksum verification was pass or no checksum calculated 1 _B Previous checksum verification was fail
STDDIAG.LHI	3	r	Limp Home monitor 0 _B (default) "Low" level at pin LHI 1 _B "High" level at pin LHI
STDDIAG.SLP	2	r	Sleep mode monitor 0 _B Device out of Sleep mode 1 _B (default) Device is in Sleep mode
STDDIAG.SBM	1	r	Switch Bypass Monitor²⁾ 0 _B $V_{DS} < V_{DS(SB)}$ 1 _B $V_{DS} > V_{DS(SB)}$
STDDIAG.VSMON	0	r	V_S monitor 0 _B (default) V_S always $> V_{S(UV)}$ since last Standard Diagnosis readout 1 _B $V_S < V_{S(UV)}$ at least once or $V_S < V_{S(TP)}$ if STDDIAG.TER = 1 _B

Serial Peripheral Interface (SPI)

Field	Bits	Type	Description
WRNDIAG.WRNn n = 3 to 0	3:0	r	Warning Diagnosis of Channel n 0 _B (default) No failure 1 _B Overcurrent, Overtemperature or delta T detected
ERRDIAG.ERRn n = 3 to 0	3:0	r	Error Diagnosis of Channel n 0 _B (default) No failure 1 _B Channel latched OFF

- 1) 参见**章节 10.8**以了解有关校验和计算的详细信息。
- 2) 开关旁路监测器将阈值 $V_{DS(SB)}$ 与电流采样多路复用器(**DCR.MUX**) 选择的该通道功率管两端的电压 V_{DS} 进行比较。

10.7 SPI 配置寄存器

下表提供了寄存器和寄存器地址的总览。

Table 33 Register Overview

Name	SWR ¹⁾	RB	ADDR0	ADDR1	Content
OUT	x/0 ²⁾	0	(na)	0000	Output configuration
RCS	1	0	(na)	1000	Restart counter status (read-only)
SRC	1	0	(na)	1001	Slew Rate Control register (read-only)
OCR	0	1	00	0100	Overcurrent threshold configuration
RCD	1	1	00	1100	Restart counter disable
KRC	0	1	01	0101	KILIS range control
PCS	1	1	01	1101	Parallel channel and Slew Rate control
HWCR	0	1	10	0110	Hardware configuration
ICS	1	1	10	1110	Input status & checksum input
DCR	x	1	11	x111	Diagnostic configuration and Swap bit

- 1) **DCR.SWR**位仅针对写指令更改。对于读取指令，它用作读取地址的一部分。
- 2) 对于写入**OUT**寄存器**DCR.SWR**= x, 对于读取地址**DCR.SWR**= 0_B。

Table 34 Configuration Registers - Write Commands RB-0

Bit		7	6	5	4	3	2	1	0
Name	SWR	7	RB	5	4	3	2	1	0
OUT	x	1	0	0	x	OUT.OUTn			

Table 35 Configuration Registers - Write Commands RB-1

Bit		7	6	5	4	3	2	1	0
Name	SWR	7	RB	ADDR0		3	2	1	0
OCR	0	1	1	0	0	OCR.OCTn			
RCD	1	1	1	0	0	RCD.RCDn			
KRC	0	1	1	0	1	KRC.KRCn			
PCS	1	1	1	0	1	PCS.PCCn		PCS.CLCS	PCS.SRCS

Serial Peripheral Interface (SPI)

Table 35 Configuration Registers - Write Commands RB-1

Bit		7	6	5	4	3	2	1	0
Name	SWR	7	RB	ADDR0		3	2	1	0
HWCR	0	1	1	1	0	0	HWCR.COL	HWCR.RST	HWCR.CLC
ICS	1	1	1	1	0	ICS.CSRn ¹⁾			
DCR	x	1	1	1	1	DCR.SWR	DCR.MUX		

1) 参见[章节 10.8](#) 以了解有关校验和计算的详细信息。

Table 36 Configuration Registers - Read Commands

Bit		7	6	5	4	3	2	1	0
Name		7	6	5	4	ADDR1			
OUT	0		x	x	x	0	0	0	0
RCS	0		x	x	x	1	0	0	0
SRC	0		x	x	x	1	0	0	1
OCR	0		x	x	x	0	1	0	0
RCD	0		x	x	x	1	1	0	0
KRC	0		x	x	x	0	1	0	1
PCS	0		x	x	x	1	1	0	1
HWCR	0		x	x	x	0	1	1	0
ICS	0		x	x	x	1	1	1	0
DCR	0		x	x	x	x	1	1	1

Serial Peripheral Interface (SPI)

Table 37 Configuration Registers - Responses

Bit	7	6	5	4	3	2	1	0	
Name	7	6	5	4	3	2	1	0	Default
OUT	1	0	0	x	OUT . OUTn				80 _H
RCS	1	0	0	0	0	RCS . RCSn			80 _H
SRC	1	0	0	1	SRC . SRCn				90 _H
OCR	1	1	0	0	OCR . OCTn				C0 _H
RCD	1	1	0	0	RCD . RCDn				C0 _H
KRC	1	1	0	1	KRC . KRCn				D0 _H
PCS	1	1	0	1	PCS . PCCn		0	0	D0 _H
HWCR	1	1	1	0	0	HWCR . COL	HWCR . SLP	0	E2 _H
ICS	1	1	1	0	ICS . INSTn				E0 _H
DCR	1	1	1	1	DCR . SWR	DCR . MUX			F7 _H

Field	Bits	Type	Description
RB	6	rw	Register Bank 0 _B (default) Read/write to OUT/RCS register 1 _B Read/write to other registers
OUT.OUTn n = 3 to 0	3:0	rw	Output Control Register of Channel n 0 _B (default) channel is OFF 1 _B Channel is ON
RCS.RCSn n = 2 to 0	2:0	r	Restart Counter Status of Channel selected via MUX 000 _B (default) Restart counter value = 0 001 _B Restart counter value = 1 010 _B Restart counter value = 2 011 _B Restart counter value = 3 100 _B Restart counter value = 4 101 _B Restart counter value = 5 110 _B Restart counter value = 6 111 _B Restart counter value = 7
SRC.SRCn n = 3 to 0	3:0	r	Set Slew Rate control for Channel n (read only) 0 _B (default) Normal Slew Rate 1 _B Adjusted Slew Rate
OCR.OCTn n = 3 to 0	3:0	rw	Set Overcurrent Level for Channel n 0 _B (default) High level of overcurrent threshold $I_{L(OVL0)}$ 1 _B Low level of overcurrent threshold $I_{L(OVL2)}$
RCD.RCDn n = 3 to 0	3:0	rw	Set Restart Strategy for Channel n 0 _B (default) Automatic restart mode 1 _B Latch mode
KRC.KRCn n = 3 to 0	3:0	rw	Set Current Sense Ratio Range for Channel n 0 _B (default) High range of current sense ratio 1 _B Low range of current sense ratio

Serial Peripheral Interface (SPI)

Field	Bits	Type	Description
PCS.SRCS	0	w	Set Slew Rate control for Channel selected by DCR . MUX 0 _B (default) Normal Slew Rate 1 _B Adjusted Slew Rate
PCS.CLCS	1	w	Clear Restart Counters and Latches for Channel selected by DCR . MUX 0 _B (default) Restart counters and latches are untouched 1 _B Restart counters and latches are reset
PCS.PCCn n = 1 to 0	3:2	rw	Parallel Channel Configuration 00 _B (default) Channels are operating independent 01 _B OUT0 + OUT3 are in parallel configuration 10 _B OUT1 + OUT2 are in parallel configuration 11 _B OUT0 + OUT3 and OUT1 + OUT2 are in parallel configuration
HWCR.CLC	0	w	Clear Restart Counters and Latches 0 _B (default) Restart counters and latches are untouched 1 _B Restart counters and latches are reset for all channels
HWCR.RST	1	w	Reset Command 0 _B (default) Normal operation 1 _B Execute reset command
HWCR.SLP	1	r	Sleep Mode 0 _B Device is awake 1 _B (default) DCR . MUX = 111 _B
HWCR.COL	2	rw	Input Combinatorial Logic Configuration 0 _B (default) Input signal OR-combined with according OUT register bit ¹⁾ 1 _B Input signal AND-combined with according OUT register bit
ICS.CSRn n = 3 to 0	3:0	w	Checksum Input Register 4 bit Checksum is written to this register
ICS.INSTn n = 3 to 0	3:0	r	Input Status Monitor Channel n 0 _B (default) Input signal is “low” 1 _B Input signal is “high”

Serial Peripheral Interface (SPI)

Field	Bits	Type	Description
DCR.MUX	2:0	rw	Set Current Sense Multiplexer Configuration in OFF state 000 _B IS pin is “high impedance” 001 _B IS pin is “high impedance” 010 _B IS pin is “high impedance” 011 _B IS pin is “high impedance” 100 _B IS pin is “high impedance” 101 _B Current sense verification mode 110 _B IS pin is “high impedance” 111 _B Sleep mode (IS pin is “high impedance”) Set Multiplexer Configuration in ON state 000 _B Current sense of channel 0 is routed to IS pin 001 _B Current sense of channel 1 is routed to IS pin 010 _B Current sense of channel 2 is routed to IS pin 011 _B Current sense of channel 3 is routed to IS pin 100 _B IS pin is “high impedance” 101 _B Current sense verification mode 110 _B IS pin is “high impedance” 111 _B Sleep mode (IS pin is “high impedance”)
DCR.SWR	3	rw	Switch Register 0 _B (default) Registers OUT , OCR , KRC , HWCR and DCR can be written 1 _B Registers OUT , RCD , PCS , ICS and DCR can be written

1) 在跛行模式下（LHI 引脚置位为“高”），组合逻辑被切换为 OR 模式。

10.8 SPI 校验验证

BTS71220-4ESA提供一个简单的奇偶校验，用于识别配置寄存器的意外内容或意外更改。对于校验和计算部分，使用配置位，这些配置位不会周期性更改。校验和计算是一个简单的列奇偶校验计算。用于计算的配置位如表 39 所示。SPI主机将结果写入 **ICS.CSRn**。4 位校验写入 **ICS** 寄存器中，该器件正在做一次比较，其结果可以在下一个 **STDDIAG** 中读取位 **STDDIAG.CSV** 中的框架。**STDDIAG.CSV** 下一个 **STDDIAG** 将清除位读数。如果 **ICS** 寄存器未写入，则校验和比较被禁用，并且位 **STDDIAG.CSV** = 0_B。如果在 **ICS.CSRn** 之后进入跛行模式已写入但在 **STDDIAG.CSV** 之前读取时，校验和验证无效。**STDDIAG.TE** 的情况也一样和 **STDDIAG.VSMON** 均置位于 1_B。在这些情况下，校验结果应被丢弃。

Table 38 Conventions for parity calculation

Number of '1' in a column	Result with EVEN-parity	Result with ODD-parity
EVEN	0	1
ODD	1	0

Table 39 Checksum calculation bit matrix

Name	3	2	1	0
OCR	OCT3	OCT2	OCT1	OCT0
RCD	RCD3	RCD2	RCD1	RCD0
KRC	KRC3	KRC2	KRC1	KRC0
SRC	SRC3	SRC2	SRC1	SRC0
HWCR/PCS	0	COL	PCC	PCC0
Parity	even	odd	even	odd
ICS	CSR3	CSR2	CSR1	CSR0

Table 40 Checksum calculation bit matrix example

Name	3	2	1	0
OCR	0	1	0	0
RCD	1	0	0	0
KRC	0	1	1	0
SRC	0	0	1	0
HWCR/PCS	0	0	0	0
Parity	even	odd	even	odd
ICS	1	1	0	1

Serial Peripheral Interface (SPI)

10.9 SPI 指令列表

常用的SPI指令总结 (读操作和写操作) 见表154。

Table 41 SPI command quick list

Name	“read” command ¹⁾	“write” command ²⁾	SWR ³⁾
OUT	0xxx0000 _B	10dddddd _B	x
RCS	0xxx1000 _B		
SRC	0xxx1001 _B		
OCR	0xxx0100 _B	1100dddd _B	0
RCD	0xxx1100 _B	1100dddd _B	1
KRC	0xxx0101 _B	1101dddd _B	0
PCS	0xxx1101 _B	1101dddd _B	1
HWCR	0xxx0110 _B	1110dddd _B	0
ICS	0xxx1110 _B	1110dddd _B	1
DCR	0xxxx111 _B	1111dddd _B	x
WRNDIAG	0xxx0001 _B		
STDDIAG	0xxx0010 _B		
ERRDIAG	0xxx0011 _B		

1) x = don't care bits.

2) d = data bits.

3) **DCR.SWR**位写寄存器需要设置。对于读寄存器 **DCR.SWR**位是读地址的一部分。

11 应用信息

注释： 以下信息仅作为执行器件的提示，不应被视为对器件某种功能、条件或质量的描述或担保。

11.1 应用电路简图 - SPOC™

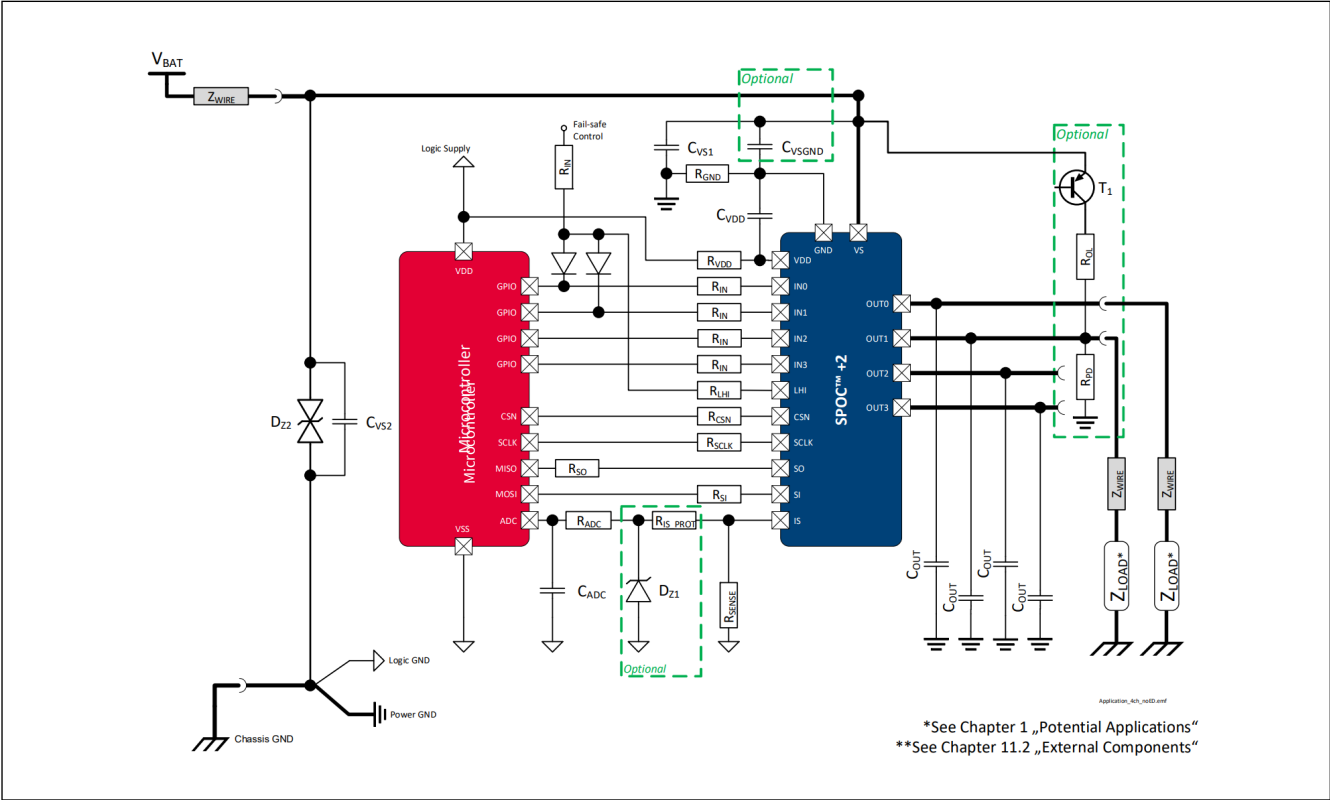


Figure 46 Application Diagram

注： 这是一个非常简化的应用电路示例。该功能需在实际应用中进行验证。

Application Information

11.2 外部元器件

Table 42 Suggested Component values

Reference	Value	Purpose
R_{VDD}	470 Ω	Device logic protection
R_{IN}	4.7 k Ω	Protection of the microcontroller during overvoltage, reverse polarity Guarantee BTS71220-4ESA output OFF during Loss of Ground
R_{IS_PROT}	4.7 k Ω	Protection resistor for overvoltage, reverse polarity and Loss of Ground Value to be tuned with μC specification
R_{SENSE}	1.2 k Ω	Sense resistor
R_{ADC}	4.7 k Ω	μC -ADC voltage spikes filtering
R_{CSN}	1.2 k Ω	Protection of the μC during overvoltage and reverse polarity
R_{SCLK}	1.2 k Ω	Protection of the μC during overvoltage and reverse polarity
R_{SO}	1.2 k Ω	Protection of the μC during overvoltage and reverse polarity
R_{SI}	1.2 k Ω	Protection of the μC during overvoltage and reverse polarity
R_{LHI}	4.7 k Ω	Protection of the μC during overvoltage and reverse polarity
C_{ADC}	220 pF	μC -ADC voltage spikes filtering A time constant ($R_{ADC} * C_{ADC}$) longer than 1 μs is recommended
C_{VDD}	470 nF	Digital supply voltage spikes filtering and for improved robustness against battery voltage transients
C_{VS1}	100 nF	Battery voltage spikes filtering
C_{VS2}	-	Filtering / buffer capacitor located at VBAT connector
C_{VSGND}	22 nF	Battery voltage spikes filtering
C_{OUT}	10 nF	For improved electromagnetic compatibility (EMC)
R_{GND}	47 Ω	Ground voltage spikes filtering for improved robustness against battery voltage transients
T_1	BC 807	Switch the battery voltage for Open Load in OFF diagnosis
R_{PD}	47 k Ω	Output polarization (pull-down) Ensure polarization of BTS71220-4ESA output to distinguish between Open Load and Short to V_s in OFF diagnosis
R_{OL}	1.5 k Ω	Output polarization (pull-up) Ensure polarization of BTS71220-4ESA output during Open Load in OFF diagnosis

注：上述建议的元器件参数值是针对典型应用中使用5 V微控制器的情况确定的。根据具体的应用电路以及连接到BTS71220-4ESA的元器件，可能需要调整这些推荐值，以确保在所有工作条件（例如反向电池、电池瞬态等）下，所有元器件的参数均不超过其最大额定值。

Application Information

11.3 更多应用信息

- 如需有关引脚 FMEA 的信息，请联系我们
- 欲了解更多信息，您可以访问<http://www.infineon.cn/>

Package Outlines

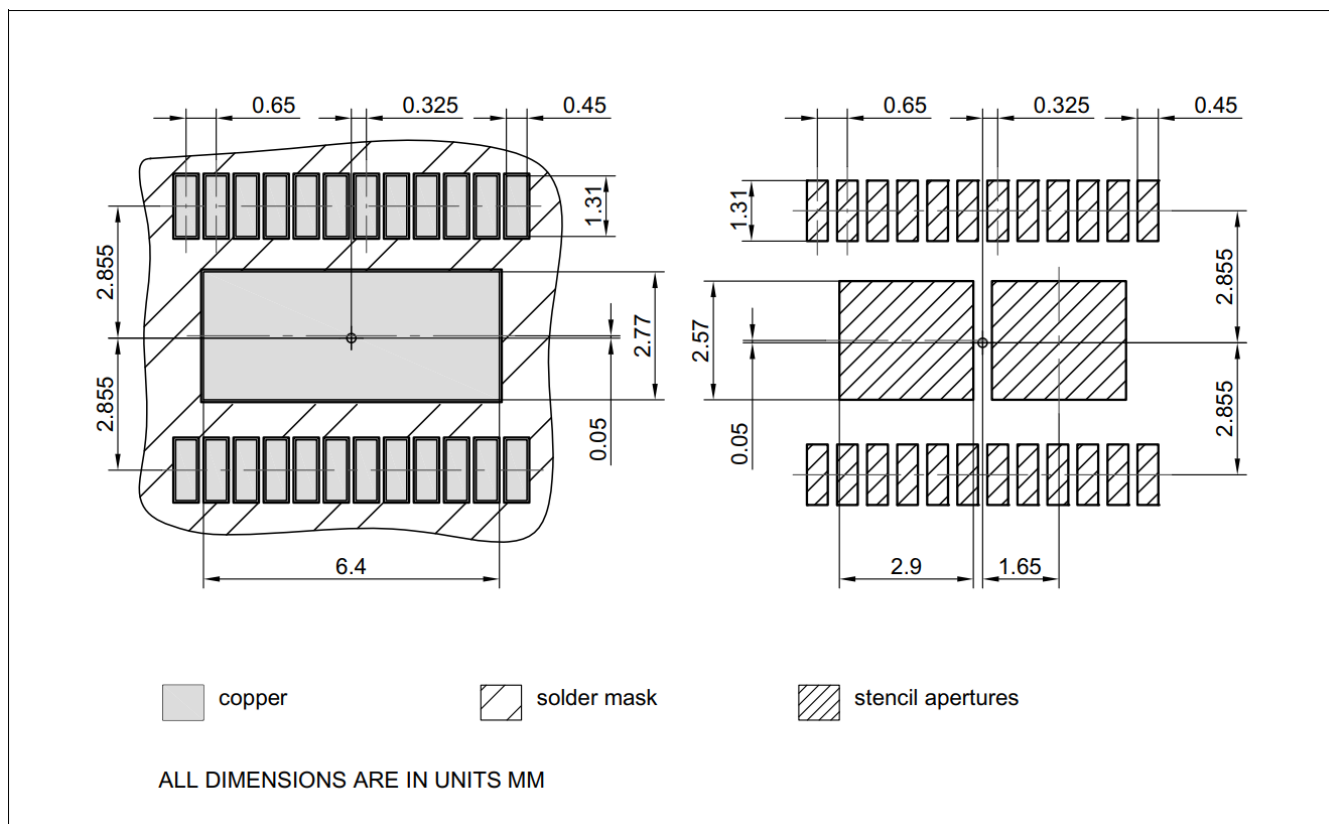


Figure 48 PG-TSDSO-24 (Thin (Slim) Dual Small Outline 24 pins) Package pads and stencil

绿色产品（符合 RoHS 标准）

为了满足全球客户对环保产品的要求，并遵守政府法规，该器件以绿色产品的形式提供。绿色产品符合 RoHS 标准（即，引线采用无铅涂层，并且符合 IPC/JEDEC J-STD-020 标准，适用于无铅焊接）。

有关封装的更多信息，请访问

<https://www.infineon.com/packages>

Revision History

13 修订记录

Table 43 BTS71220-4ESA - List of changes

Revision	Changes
1.10 , 2021-03-23	General: Datasheet quality improved General: updated (ReverSave™ → ReverseON) General: updated (channel description) Icon “PRO-SIL™ ISO 26262-ready” added to front page Chapter 1 updated (Package description) Chapter 1 updated (Potential Applications updated and Product Validation added) Harmonization of Application Diagram (Figure 1, Figure 46) P_4.4.0.15, P_4.4.0.16 updated (Typ. value and Max. value) P_6.4.0.10 updated (Note or Test Condition) P_6.4.1.5 updated (Max. value updated and footnote added) P_6.5.31.2 added P_9.6.0.6 updated parameter name P_9.6.0.17 added P_9.6.2.11 footnote removed Figure 14 and Figure 16 updated Figure 28 and Figure 29 updated Figure 33 updated Figure 37 and Figure 38 updated Chapter 10.4 typical value for VDD harmonized Chapter 11 updated (figures and descriptions)
1.00 , 2018-06-11	Data Sheet available

目录

1	概述	1
2	框图和术语	4
2.1	框图	4
2.2	术语	5
3	引脚配置	6
3.1	引脚分配	6
3.2	引脚定义和功能	7
4	产品一般特性	8
4.1	绝对最大额定值 – 通用	8
4.2	绝对最大额定值 – 功率级	10
4.2.1	功率级 - 9.5 mΩ 通道	10
4.2.2	功率级 - 22.5 mΩ 通道	10
4.3	工作范围	11
4.4	热阻	11
4.4.1	PCB 设置	12
4.4.2	热阻抗	13
5	逻辑引脚	14
5.1	输入引脚 (INn)	14
5.2	高级功能引脚	16
5.2.1	SPI 引脚	16
5.2.2	跛行模式输入 (LHI) 引脚	16
5.3	电气特性逻辑引脚	17
5.4	电气特性逻辑引脚 – 高级功能	17
6	电源	20
6.1	操作模式	21
6.1.1	未上电	23
6.1.2	上电	23
6.1.3	休眠模式	23
6.1.4	待机模式	23
6.1.5	准备模式	23
6.1.6	活动模式	23
6.1.7	跛行模式	23
6.1.8	跛行激活模式	24
6.1.9	定义模式跳转时间	25
6.2	V _S 欠压	25
6.3	重启条件	26
6.4	电源电气特性	27
6.4.1	电源电气特性 - SPOC™	28
6.5	电源电气特性 – 产品特性	29
6.5.1	BTS71220-4ESA	29
7	功率级	31
7.1	输出导通电阻	31
7.2	驱动负载	31
7.2.1	驱动阻性负载	31

Table of Contents

7.2.2	驱动感性负载.....	32
7.2.3	输出电压限制.....	33
7.2.4	驱动容性负载.....	33
7.3	高级开关特性.....	34
7.3.1	逆向电流行为.....	34
7.3.2	并行切换通道.....	35
7.3.3	H 桥配置的跨电流鲁棒性.....	36
7.4	功率级电气特性.....	37
7.4.1	功率级电气特性 - SPOC™.....	37
7.5	电气特性 - 功率输出级.....	39
7.5.1	功率输出级 - 9.5 mΩ.....	39
7.5.2	功率输出级 - 22.5 mΩ.....	40
8	保护.....	43
8.1	过温保护.....	43
8.2	过载保护.....	45
8.3	发生错误时保护和诊断机制.....	45
8.3.1	重启策略.....	46
8.4	其他保护.....	47
8.4.1	反极性保护.....	47
8.4.2	过压保护.....	48
8.5	防止连接丢失.....	49
8.5.1	掉电和负载连接断开.....	49
8.5.2	地线丢失.....	49
8.6	保护电气特性参数.....	50
8.7	保护电气特性参数 - SPOC™.....	50
8.8	保护电气特性参数 - 功率输出级.....	51
8.8.1	保护功率输出级 - 9.5 mΩ.....	51
8.8.2	保护功率输出级 - 22.5 mΩ.....	52
9	诊断.....	53
9.1	概述.....	54
9.2	SPI 诊断.....	55
9.3	ON 状态下诊断.....	55
9.3.1	电流检测 (k_{ILIS}).....	55
9.3.2	电流采样多路复用器.....	56
9.4	OFF 状态下诊断.....	57
9.4.1	旁路监控开关.....	57
9.5	SENSE 时序.....	57
9.6	诊断电气特性.....	58
9.6.1	诊断电气特性 - SPOC™.....	59
9.7	诊断电气特性 - 功率输出级.....	60
9.7.1	诊断功率输出级 - 9.5 mΩ.....	60
9.7.2	诊断功率输出级 - 22.5 mΩ.....	62
10	串行外设接口 (SPI).....	64
10.1	SPI 信号描述.....	64
10.2	菊花链功能.....	65
10.3	时序图.....	66

10.4	电气特性.....	67
10.5	SPI 协议.....	68
10.6	SPI 诊断寄存器.....	71
10.6.1	诊断寄存器 – 读取指令.....	71
10.6.2	诊断寄存器 – 响应.....	71
10.7	SPI 配置寄存器.....	72
10.8	SPI 校验验证.....	77
10.9	SPI 指令列表.....	78
11	应用信息	79
11.1	应用电路简图 - SPOC™.....	79
11.2	外部元器件.....	80
11.3	更多应用信息.....	81
12	封装外形	82
13	修订记录	84
	目录.....	85



免责声明

请注意，本文件的原文使用英文撰写，为方便客户浏览英飞凌提供了中文译文。该中文译文仅供参考，并不可作为任何论点之依据。

由于翻译过程中可能使用了自动化程序，以及语言翻译和转换过程中的差异，最后的中文译文与最新的英文版本原文含义可能存在不尽相同之处。

因此，我们同时提供该中文译文版本的最新英文原文供您阅读，请参见 <http://www.infineon.com>

英文原文和中文译文版本之间若存有任何歧异，以最新的英文版本为准，并且仅认可英文版本为正式文件。

您如果使用本文件，即表示您同意并理解上述说明。英飞凌不对因翻译过程中可能存在的任何不完整或不准确信息而产生的任何直接或间接损失或损害负责。英飞凌不承担中文译文版本的完整性和准确性责任。如果您不同意上述说明，请不要使用本文件。

Trademarks

All referenced product or service names and trademarks are the property of their respective owners.

重要通知

版本 2026-01-28

Infineon Technologies AG 出版，
德国 Neubiberg 85579

版权 © 2025 Infineon Technologies AG
及其关联公司。
保留所有权利。

Do you have a question about this
document?

Email:

erratum@infineon.com

Infineon Technologies AG 及其关联公司（以下简称“英飞凌”）销售或提供和交付的产品（可能也包括样品，且可能由硬件或软件或两者组成）（以下简称“产品”），应遵守客户与英飞凌签订的框架供应合同或其他书面协议的条款和条件，如无上述合同或其他书面协议，则应遵守适用的英飞凌销售条件。只有在英飞凌明确书面同意的情况下，客户的一般条款和条件或对适用的英飞凌销售条件的偏离才对英飞凌具有约束力。

为避免疑义，英飞凌不承担侵犯第三方权利的所有保证和默示保证，例如对特定用途/目的的适用性或适销性的保证。

英飞凌对与样品、应用或客户对任何产品的具体使用有关的任何信息或本文件中给出的任何示例或典型值概不负责。

本文件中包含的数据仅供具有技术资格和技能的客户代表使用。客户有责任评估产品对预期应用和客户特定用途的适用性，并在预期应用和客户特定用途中验证本文件中包含的所有相关技术数据。客户有责任正确设计、编程和测试预期应用的功能性和安全性，并遵守与其使用相关的法律要求。

除非英飞凌另行明确批准，否则产品不得用于任何因产品故障或使用产品的任何后果可合理预期会导致人身伤害的应用。但是，上述规定并不妨碍客户在英飞凌明确设计和销售的使用领域中使用任何产品，但是客户对应用负有全部责任。

英飞凌明确保留根据适用法律，如《德国版权法》（UrhG）第 44b 条，将其内容用于商业资料和数据勘探（TDM）的权利。

如果产品包含安全功能：

由于任何计算设备都不可能绝对安全，尽管产品采取了安全措施，但英飞凌不保证产品不会被入侵、数据不会被盗或遗失，或不会发生其他漏洞（以下简称“安全漏洞”），英飞凌对任何安全漏洞不承担任何责任。

如果本文件包含或引用软件：

根据美国、德国和世界其他国家的知识产权法律和条约，该软件归英飞凌所有。英飞凌保留所有权利。因此，您只能按照软件附带的软件授权协议的规定使用本软件。

如果没有适用的软件授权协议，英飞凌特此授予您个人的、非排他性的、不可转让的软件知识产权授权（无权转授权）：(a) 对于以源代码形式提供的软件，仅在贵组织内部修改和复制该软件用于英飞凌硬件产品；及 (b) 对于以二进制代码 (binary code) 形式对外向终端用户分发该软件，仅得用于英飞凌硬件产品。禁止对本软件进行任何其他使用、复制、修改、翻译或编译。有关产品、技术、交货条款和条件以及价格的详细信息，请联系离您最近的英飞凌办公室或访问 <https://www.infineon.com>。