

# **512M ビット (64MB)/256M ビット (32MB)/128M ビット (16MB) HYPERFLASH™ ファミリ**

**HYPERRBUS™, 3.0 V/1.8 V**

## **特長**

- 3.0 V I/O, 11 本のバス信号
  - シングルエンド クロック
- 1.8 V I/O, 12 本のバス信号
  - 差動クロック (CK, CK#)
- チップセレクト (CS#)
- 8 ビットデータバス (DQ[7:0])
- 読み書きデータストローブ (RWDS)
  - HYPERFLASH™ メモリは RWDS を読み出しデータストローブのみとして使用する。
- 最大 333 MBps の持続される読み出しが可能
- DDR - クロックサイクルごとに 2 回のデータ転送
  - $V_{CC}$  が 1.8 V の時、166 MHz クロックレート (333 MBps)
  - $V_{CC}$  が 3.0 V の時、100 MHz クロックレート (200 MBps)
- 96 ns の初期ランダム読み出しが可能
- 初期ランダムアクセスレイテンシ : 5 ~ 16 クロックサイクル
- シーケンシャルバーストトランザクション
- 設定可能なバースト特性
  - ラップされるバースト長:
    - 16 バイト (8 クロック)
    - 32 バイト (16 クロック)
    - 64 バイト (32 クロック)
  - リニアバースト
  - ハイブリッドオプション: 1 つのラップバーストの後にリニアバーストが続く
  - 各トランザクションでラップバーストまたはリニアバーストのデータ転送方式を選択可能
  - 設定可能な出力駆動強度
- 低消費電力モード
  - 読み出し時のアクティブクロック停止: 12 mA、ウェイクアップが不要
  - スタンバイ: 25  $\mu$ A (typ)、ウェイクアップが不要
  - ディープパワーダウン: 8  $\mu$ A (typ)
    - 300  $\mu$ s のウェイクアップが必要
- 外部割込みを生成するための INT# 出力
  - ビジーからレディへの遷移
  - ECC 検出
- システムレベルのパワーオンリセットを生成するための RSTO# 出力
  - ユーザー設定可能な RSTO# LOW 周期
- 512 バイトのプログラムバッファ

特長

- セクタ消去
  - ユニフォーム 256 KB セクタ
  - オプションの 8 つの 4 KB パラメーターセクタ (合計 32 KB)
- 先進的セクタ保護
  - セクタごとの揮発性および不揮発性の保護方式
- 個別の 1024 バイトでワンタイム プログラム アレイ
- 動作温度
  - 産業機器用温度範囲 (-40°C ~ +85°C)
  - 産業機器用温度範囲プラス (-40°C ~ +105°C)
  - 拡張温度範囲 (-40°C ~ +125°C)
  - 車載用温度範囲 , AEC-Q100 グレード 3 (-40°C ~ +85°C)
  - 車載用温度範囲 , AEC-Q100 グレード 2 (-40°C ~ +105°C)
  - 車載用温度範囲 , AEC-Q100 グレード 1 (-40°C ~ +125°C)
- ISO/TS16949 および AEC Q100 準拠
- アクセス可能回数
  - 10 万プログラム / 消去サイクル
- 保持
  - 20 年のデータ保持期間
- 消去およびプログラム時の電流
  - 最高ピーク  $\leq$  100 mA
- パッケージ オプション
  - 24 ボール FBGA
- 追加機能
  - ECC 1 ビット訂正、2 ビット検出
  - CRC

性能概要

## 性能概要

**Table 1 読み出しアクセスのタイミング**

1.8 V $V_{CC}/V_{CCQ}$ での最大クロック レート	166 MHz
3.0 V $V_{CC}/V_{CCQ}$ の最大クロック レート	100 MHz
最大アクセス時間 ( $t_{ACC}$ )	96 ns
166 MHz での最初のワードまでの最大 CS# アクセス時間	118 ns

**Table 2 標準的なプログラム / 消去時間**

シングルワード プログラム (2B = 16b)	500 $\mu$ s (~ 4 KBps)
書き込みバッファ プログラム (512B = 4096b)	475 $\mu$ s (~ 1 MBps)
セクタ消去時間 (256 KB = 2 Mb)	930 ms (~ 282 KBps)

**Table 3 標準的な消費電流**

バースト読み出し (166 MHz での連続読み出し )	80 mA
パワーオンリセット	80 mA
セクタ消去電流	60 mA
書き込みバッファ プログラム電流	60 mA
スタンバイ (CS# = HIGH)	25 $\mu$ A
ディープ パワーダウン (CS# = HIGH, 85°C)	30 $\mu$ A (512 Mb)
	4 $\mu$ A (他のすべてのメモリ容量)

目次

## 目次

特長 .....	1
性能概要 .....	3
目次 .....	4
<b>1 概要 .....</b>	<b>5</b>
1.1 DDR center aligned read strobe (DCARS) 機能 .....	7
1.2 エラー検出および訂正機能 .....	7
<b>2 接続図 .....</b>	<b>10</b>
2.1 FBGA 24 ボール 5×5 アレイのフットプリント .....	10
<b>3 信号の説明 .....</b>	<b>11</b>
<b>4 HYPERBUS™ プロトコル .....</b>	<b>12</b>
4.1 コマンド / アドレスビットの割り当て .....	13
4.2 読み出し動作 .....	14
4.3 DCARS タイミングでの HYPERFLASH™ 読み出し .....	17
4.4 書き込み動作 .....	18
<b>5 アドレス空間マップ .....</b>	<b>20</b>
5.1 フラッシュメモリアレイ .....	21
5.2 デバイス ID および CFI (ID-CFI) ASO .....	23
<b>6 組込み動作 .....</b>	<b>25</b>
6.1 組込みアルゴリズム コントローラー (EAC) .....	25
6.2 プログラムおよび消去のまとめ .....	26
6.3 データ保護 .....	59
<b>7 デバイス ID および共通フラッシュインターフェース (ID-CFI) の ASO マップ .....</b>	<b>70</b>
7.1 デバイス ID および共通フラッシュインターフェース (ID-CFI) の ASO マップ – 標準 .....	70
7.2 デバイス ID および共通フラッシュインターフェース (ID-CFI) の ASO マップ – 車載グレード / AEC-Q100 .....	75
<b>8 ソフトウェアインターフェース参考資料 .....</b>	<b>76</b>
8.1 コマンドのまとめ .....	76
<b>9 データ整合性 .....</b>	<b>81</b>
9.1 アクセス可能回数 .....	81
9.2 データ保持 .....	81
<b>10 ハードウェアインターフェース .....</b>	<b>82</b>
<b>11 電気的仕様 .....</b>	<b>83</b>
11.1 絶対最大定格 .....	83
11.2 熱抵抗 .....	84
11.3 ラッチアップ特性 .....	84
11.4 動作範囲 .....	85
11.5 DC 特性 (CMOS 互換性) .....	86
11.6 電源投入時および電源切断時 .....	89
11.7 ハードウェアデータ保護による電源オフ .....	94
11.8 省電力モード .....	94
<b>12 タイミング仕様 .....</b>	<b>96</b>
12.1 AC テスト条件 .....	96
12.2 AC 特性 .....	97
<b>13 組込みアルゴリズムのパフォーマンス .....</b>	<b>103</b>
<b>14 注文情報 .....</b>	<b>104</b>
14.1 注文製品番号 .....	104
14.2 有効な組合せ – 標準 .....	105
14.3 有効な組合せ – 車載用グレード / AEC-Q100 .....	107
<b>15 パッケージ図 .....</b>	<b>109</b>
15.1 強化ボールグリッドアレイ 24 ボール 6×8×1.0 mm (VAA024) .....	109
改訂履歴 .....	110
免責事項 .....	111

概要

## 1 概要

HYPERFLASH™ 製品ファミリは、HYPERBUS™ 少信号数 DDR (ダブルデータレート) インターフェースを利用して高速読み出しスループットを取得する高速 CMOS、MIRRORBIT™ NOR フラッシュデバイスです。DDR 方式により、クロックサイクルごとに 2 個のデータバイトがデータ信号 (DQ) 上に転送されます。HYPERFLASH™ の読み書きトランザクションは、内部 HYPERFLASH™ コア内の一連の 16 ビット幅で 1 クロックサイクルのデータ転送です。それぞれの転送は DQ 信号上の 2 つの対応する 8 ビット幅で 0.5 クロックサイクルのデータ転送からなります。

データとコマンド / アドレス情報の両方は 8 ビットのデータバスを介して DDR 方式で転送されます。クロック入力信号は、DQ 信号からコマンド / アドレス / データ情報を受信する際に、信号取り込みのために HYPERFLASH™ デバイスにより使用されます。読み書きデータストローブ (RWDS) は HYPERFLASH™ デバイスからの出力信号で、データがメモリからホストに転送される時点を示します。RWDS は、読み出し動作のデータ転送中に CK の立ち上りと立ち下りエッジを基準にしています。

コマンド / アドレス / 書き込みデータの値はクロックエッジの中央に揃えますが、読み出しデータの値は RWDS 遷移のエッジに揃えます。

HYPERFLASH™ デバイスに対する読み出し / 書き込み動作はバースト指向です。読み出しトランザクションはラップバーストカリニアバースト方式で行えるように設定できます。ラップ動作中に、アクセスは選択したアドレスから開始して、設定した値までグループラップシーケンス内の位置にアクセスし続けます。リニア動作中に、アクセスは選択した位置から開始して、読み出し動作が終了する (CS# が HIGH に戻る) まで逐次的に継続します。書き込みトランザクションは 1 つかそれ以上の 16 ビット値を転送します。

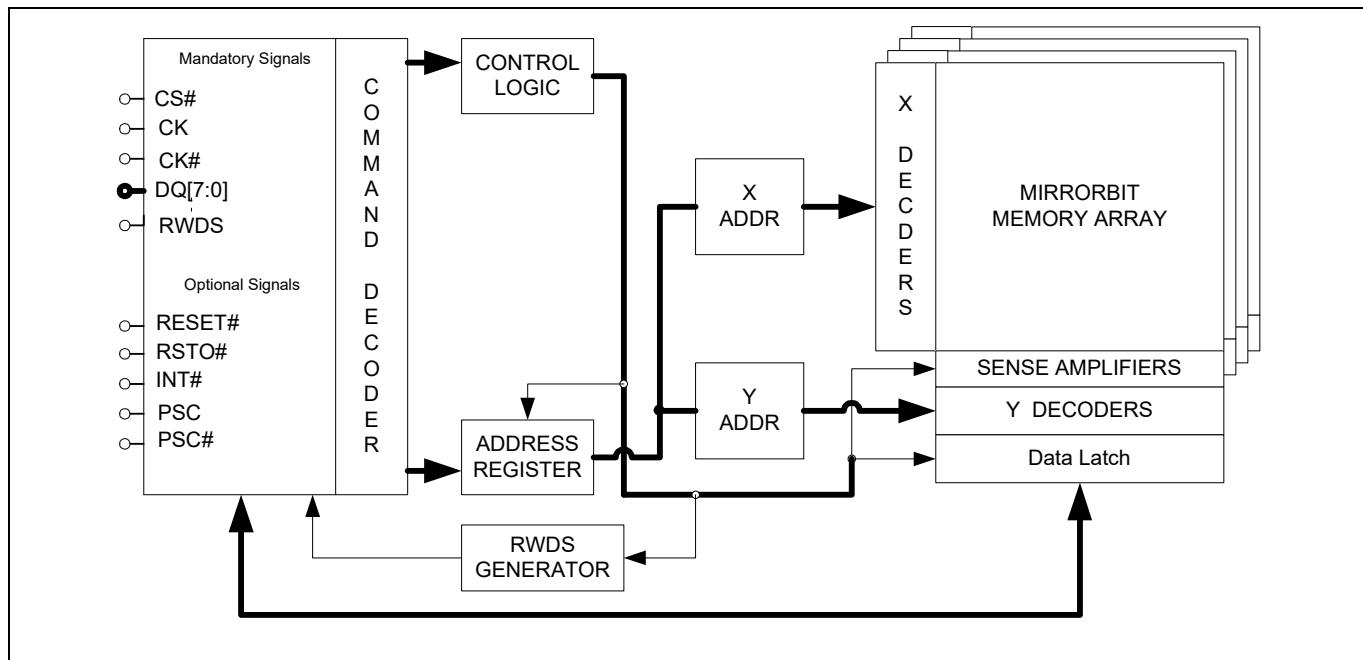


Figure 1 ロジックブロックダイヤグラム

HYPERFLASH™ ファミリは多種のメモリ容量を持っており 1.8V か 3.0V のコアと I/O を備えた不揮発性同期フラッシュメモリデバイスを含んでいます。これらのデバイスは 1 個の 8 ビット (1 バイト) 幅 DDR データバスを持ち、ワード幅 (16 ビットデータ) のアドレス境界のみを使用します。読み出し動作はクロックサイクルごとに 16 ビット (クロックエッジごとに 8 ビット) のデータを提供します。書き込み動作はクロックサイクルごとに 16 ビット (クロックエッジごとに 8 ビット) のデータを使用します。

各ランダム読み出しはページ (長さ 32 バイトにアラインされるデータセット) にアクセスします。各ページは 1 対のハーフページ (長さ 16 バイトにアラインされるデータアレイのグループ) から構成されます。半ページは 16 バイトアドレス境界にアラインされます。読み出しアクセスは、対象のハーフページアドレスとバースト種類を定義するために 2 クロックサイクルを要し、かつ追加初期レイテンシ

## 概要

を要します。初期レイテンシ期間中の 3 番目のクロックサイクルでは対象のハーフページの開始アドレスが指定されます。初期データ値が出力された後、後続のクロックサイクルで追加のデータはラップバーストかリニアバースト方式に従ってページから読み出されます。リニアバーストモードに設定した場合、ページがバースト出力されている間にデバイスは自動的に MIRRORBIT™ フラッシュメモリアレイから次の連続ページをフェッチします。アレイからのフェッチが進行中に同時にバースト出力すると、連続リニアバースト動作が実行可能になり、333 MBps の持続データ出力を実現できます [1 バイト (8 ビットデータバス) \* 2 (両クロックエッジのデータ) \* 166 MHz = 333 MBps]。

**Table 1 S26KS および S26KL アドレスマップ**

種類	カウント	アドレス	注記
ハーフページのワードアドレス (16 バイト)	8 (ワードアドレス)	A2-A0	16 バイト
書き込みバッファライン内のワードアドレス (512 バイト)	256 (ワードアドレス)	A7-A0	512 バイト
消去セクタ (256 KB) 内のハーフページ (16 バイト)	8192 (ハーフページ)	A16-A3	-
消去セクタ (256 KB) 内の書き込みバッファライン (512 バイト)	512 (ライン)	A16-A8	-
消去セクタ (256 KB) の合計	256 (512 Mb) 128 (256 Mb) 64 (128 Mb)	Amax-A17	-

デバイス制御回路は、ホストインターフェースコントローラー (HIC) と組込みアルゴリズム コントローラー (EAC) の 2 つの並行する動作に分かれています。HIC は必要に応じてデバイス入力とデバイス出力の信号レベルを監視し、ホストシステム (HYPERFLASH™ マスター) とのデータ読み出しと書き込み転送を完了します。HIC は読み出し転送で、現在入力されたアドレスマップからデータを出力します。書き込み転送アドレスとデータ情報を EAC コマンドメモリに配置します。電源遷移と書き込み転送を EAC に通知します。EAC は、コマンドメモリを参照して、適切なコマンドシーケンスが発行されたかチェックした後、組込みアルゴリズム (EA) を実行します。

メモリアレイ内の不揮発性データの書換えには、EA と呼ばれる複雑な動作シーケンスを必要とします。アルゴリズムは内部の EAC によって完全に管理されています。主要なアルゴリズムは、メインアレイデータのプログラミングと消去を実行します。ホストシステムはフラッシュデバイスのアドレス空間にコマンドコードを書き込みます。EAC はコマンドを受け取り、コマンドを完了するために必要なすべてのステップを実行し、EA の進行中にステータス情報を提供します。

各メモリビットの消去済み状態はロジック「1」です。プログラムによりロジック "1" (HIGH) からロジック「0」(LOW) に変更します。「0」から「1」への変更を実行できるのは消去動作のみです。消去動作は、セクタと呼ばれる 256 KB (パラメーターセクタなら 4 KB) にアラインされたデータグループ全体に対して実行します。インフィニオンから出荷時は、すべてのセクタは消去されています。

プログラミングは 512 バイトの書き込みバッファを介して行われます。プログラミング動作を開始する前に、書き込みバッファに 1 ~ 256 ワードを書き込みます。フラッシュメモリアレイ内では、512 バイト整列のデータグループはラインと呼ばれます。プログラム動作は揮発性書き込みバッファから不揮発性メモリアレイのラインにデータを転送します。この動作は書き込みバッファプログラミングと呼ばれます。

書き込みバッファは、リセット後または書き込みバッファを使用した任意の動作完了後、「1」にセットされます。バッファ書き込みコマンドによって「0」が書き込まれていない位置は、デフォルトの「1」

## 概要

の値のままで埋められています。書き込みバッファ内の「1」は、プログラミング動作中にメモリアレイのデータには影響しません。

HYPERBUS™ 専用の必須信号 (CS#, CK, CK#, DQ[7:0], RWDS) に加え、このデバイスには追加信号 (RESET#, INT#, RSTO#, および Phase Shifted クロック PSC/PSC#) も含まれています。

RESET# 信号は LOW から HIGH に遷移すると、デバイスは内部のパワーオンリセット (POR) 後のデフォルト状態に戻ります。

INT# 出力信号は、プログラム動作が消去動作の終了時に HYPERFLASH™ がビジーからレディの状態に遷移した時点を示すために HYPERFLASH™ マスターに割込みを提供できます。

RSTO# はデバイス内で POR が発生している時点を示すオープンドレイン出力であり、システムレベルのリセット信号として使用できます。内部 POR の完了後、ユーザにより定義されたタイムアウト期間が経過した後 RSTO# 信号は LOW インピーダンスから HIGH インピーダンスに遷移します。HIGH インピーダンス状態に遷移した後、外部プルアップ抵抗により RSTO# 信号は HIGH レベルに引っ張られて、デバイスは瞬時に Standby 状態になります。

PSC/PSC# は、CK/CK# の替わりに RWDS エッジの基準として使用される Phase Shifted Clock 入力です。詳細については、[DDR center aligned read strobe \(DCARS\) 機能](#) を参照してください。

## 1.1 DDR center aligned read strobe (DCARS) 機能

HYPERFLASH™ メモリは、読み出しデータ出力に対する RWDS 信号の独立したスキー (位相シフト) を可能にする設定可能な機能を提供します。

DCARS 機能が有効な場合、CK/CK# の代わりに 2 番目の差動位相シフトクロック入力 PSC/PSC# が RWDS エッジの基準として使用されます。通常、2 番目のクロックは 90° 位相シフトされた CK/CK# のコピーであり、RWDS エッジを DQ 信号の有効なデータウィンドウ内の中央に配置します。ただし、CK/CK# と PSC/PSC# の間の他の位相シフトを使用して、DQ 信号の有効なデータウィンドウ内の RWDS エッジの位置を最適化し、RWDS が必要な量のデータセットアップと RWDS エッジに関する保持時間を提供できるようにします。

PSC/PSC# は、書き込みトランザクション中には使用されません。PSC と PSC# は、それぞれ LOW と HIGH で駆動されるか、書き込みトランザクション中に両方とも LOW で駆動されます。

## 1.2 エラー検出および訂正機能

### 1.2.1 エラー訂正コード (ECC)

HYPERFLASH™ メモリは、フラッシュメモリアレイプログラミング中に組込みハミング ECC を生成し、読み出し中にエラーを検出および修正します。

書き込みバッファにロードされた 16 バイトに揃えられたデータの各ハーフページが 512 バイトのフラッシュメモリアレイラインに転送されると、各ハーフページ ECC ユニットの ECC もホストシステムソフトウェアからは見えないメモリアレイの部分にプログラムされます。

ECC 情報は、各ハーフページフラッシュアレイの読み出し操作中にチェックされます。ハーフページ内の 1 ビットエラーは、各ハーフページのアクセス中に ECC ロジックによって修正されます。

各ハーフページの ECC 情報は、各ハーフページを含むセクタの各消去後に 1 回書き込みます。同じハーフページ内で複数回プログラミングすると、そのハーフページ内でエラーの検出と修正が無効になります。

ハーフページで 2 回以上のワードプログラムと書き込みバッファ プログラムはレガシーソフトウェア互換性に対応しています。ただし、最高のデータ整合性を得るために、ワードプログラミングまたは書き込みバッファプログラミングを使用して、ハーフページ内で複数回プログラミングしないことを推奨します。消去せずに同じハーフページに複数の書き込みを行うと、ECC シンドロームが無効になるため、ECC 機能が無効になります。同じハーフページ内で複数のプログラミング操作を必要とするアプリケーションの場合、システムソフトウェアのエラー検出と修正を追加して、複数回プログラミングされるハーフページのデータ整合性をより確実にすることを推奨します。

2 ビットのエラー検出を有効にできるモードがあります。このモードを有効にすると、ハーフページの 1 ビットエラーが修正され、2 ビットエラーが検出されて報告されます。このモードでは、消去後に同

## 概要

じハーフページに複数回書き込む機能は無効になります。このモードでは、同じハーフページで複数回プログラムしようとすると、プログラミング操作の失敗ステータスになります。

ECC エラーは、ECC ステータスレジスタの読み出し、割込みの有効化、または修正不可能なエラーが発生した場合の RWDS の停止を有効にして、データを HYPERBUS™ マスターに転送する前にバスエラーを作成することで検出できます。

ECC エラーのアドレス位置をキャプチャするためのレジスタが提供されています。

ECC 修正または修正不可能なエラーをカウントするためのカウンターが提供されています。

### 1.2.2 巡回冗長検査

ユーザー定義のアドレス範囲でハードウェアアクセラレーション CRC 計算を実行するためのコマンドグループが用意されています。計算はプログラムや消去と同じような組込み動作のもう一つのタイプであり、計算実行中はデバイスがビジーになります。CRC 操作は、最大 32 ビットのエラービットグループを検出できる 32 ビット多項式を使用します。

コマンドを使用して、CRC Address Space Overlay (ASO) を入力し、CRC 計算を開始するために必要なアドレス範囲をロードします。CRC ASO に入力されている間、CRC 操作のステータスがチェックされ、メモリアレイからの読み出しが一時停止され、再開され、結果のチェック値が読み取られます。詳細については、[アドレス空間マップ](#)を参照してください。

#### 1.2.2.1 CRC check-value の計算

Check-value 計算コマンドシーケンスにより、デバイスはユーザー定義のアドレス範囲で CRC 計算を実行します。CRC の計算は、Figure 2 で説明されている多項式で実現されます。

CRC ASO を入力すると、Check-value 生成シーケンスが開始されます。次のステップは、CRC 計算でカバーされるアドレス範囲の開始を識別する開始アドレスを CRC Start Address レジスタにロードすることです。次に、終了アドレスが CRC End Address レジスタにロードされ、このステップで CRC 計算が開始されます。CRC プロセスは、開始アドレスから終了アドレスまでに含まれるデータの Check-value を計算します。

計算期間中、デバイスは Busy 状態 (SR[7] = 0) になります。Check-value の計算が完了すると、デバイスは Ready 状態 (SR[7] = 1) に戻り、計算された Check-value は Check-value Low Result レジスタと Check-value High Result レジスタで利用可能になります。Check-value Low Result レジスタには Check-value ビット 0 ~ 15 が含まれ、デバイスが CRC ASO にある間にアドレス 0 から読み出せます。Check-value High Result レジスタにはビット 16 ~ 31 が含まれ、デバイスが CRC ASO にある間、アドレス 1 から読み出せます。CRC 計算プロセスが開始されると、Check-value Low Result レジスタと Check-value High Result レジスタに 0 がロードされます。

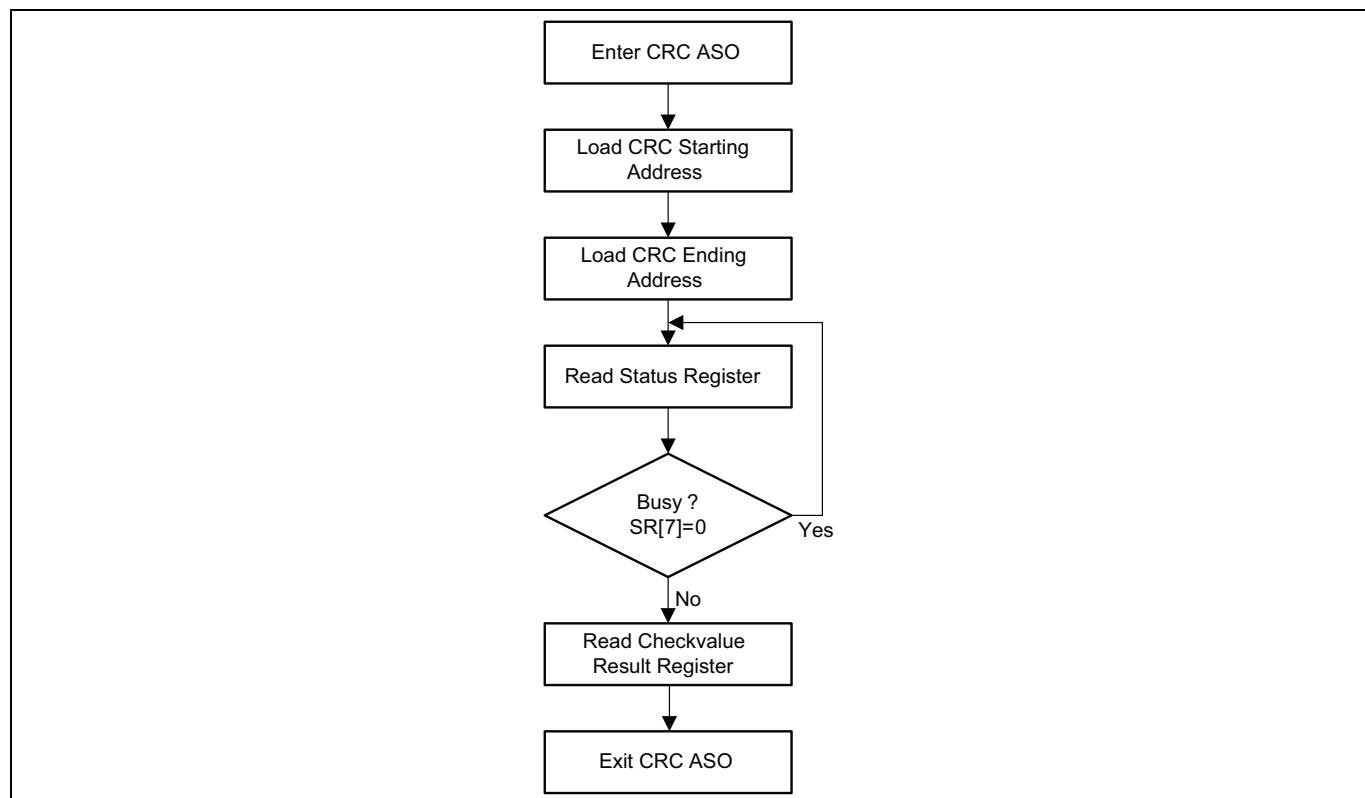
チェック値の計算は、デバイスが Standby 状態にある場合にのみ開始でき、いったん開始すると、CRC Suspend シーケンスで中断してアレイからデータを読み出せます。Suspend 状態の間、ステータスレジスタの CRC Suspend Status Bit (CRCSSB) がセットされます (SR[8] = 1)。一時停止すると、ホストは Status レジスタを読み出し、アレイからデータを読み出し、CRC Resume コマンドシーケンスを使用して CRC 計算を再開できます。CRC ASO は、開始されると、ASO Exit コマンドまたはハードウェアリセットで終了して、デバイスをアレイ読み出しモードに戻せます。別の ASO がアクティブな間は、Check-value の計算を実行できません。ハードウェアリセットは、CRC Start Address レジスタ、CRC End Address レジスタ、Check-value High Result レジスタ、および Check-value Low Result レジスタの値をクリアします。

Ending Address (EA) は、Starting Address (SA) より少なくとも 2 つ高いアドレスでなければいけません。EA < SA+2 の場合、Check-value 計算は中止され、デバイスは準備完了状態 (SR[7] = 1) に戻ります。SR[3] は (1) に設定され、中断状態を示します。EA < SA+2 の場合、Check-value High Result レジスタと Check-value Low Result レジスタは不定データを保持します。

$$\text{CRC-32C Polynomial} = X^{32} + X^{28} + X^{27} + X^{26} + X^{25} + X^{23} + X^{22} + X^{20} + X^{19} + X^{18} + X^{14} + X^{13} + X^{11} + X^{10} + X^9 + X^8 + X^6 + 1$$

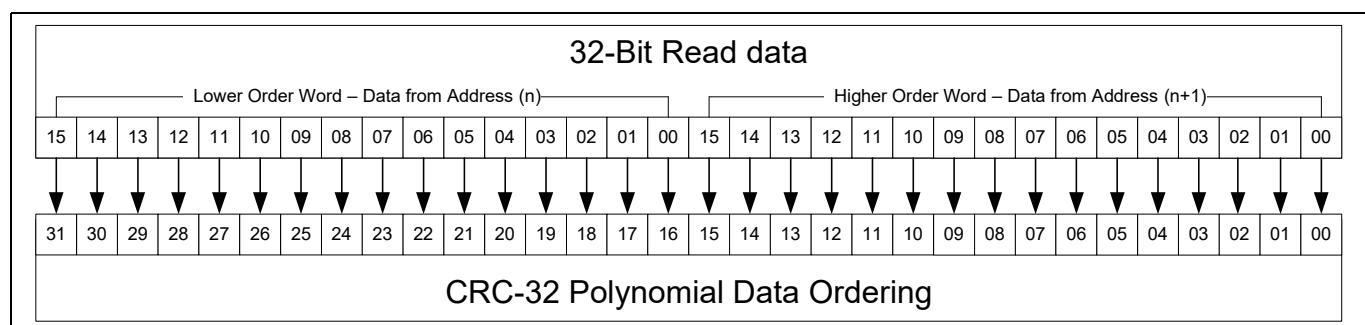
Figure 2 CRC-32 多項式

## 概要



**Figure 3** Check-value 計算シーケンス

CRC-32 多項式から Check-value を計算する際に使用される読み出しデータの順序を [Figure 4](#) に示します。



**Figure 4** 読み出しデータの順序

## 2 接続図

### 2.1 FBGA 24 ボール 5×5 アレイのフットプリント

HYPERFLASH™ デバイスは、6mm x 8mm の本体を持つ Fortified Ball Grid Array (FBGA), 1mm ピッチ , 24 ボール , 5×5 ボールアレイのフットプリントで提供されます。パッケージの高さはデバイスによって異なり、1 mm または 1.2 mm です。詳細については、[注文情報](#)を参照してください。使用中のパッケージについては、デバイスのデータシートの注文部品番号の有効な組合せを参照してください。

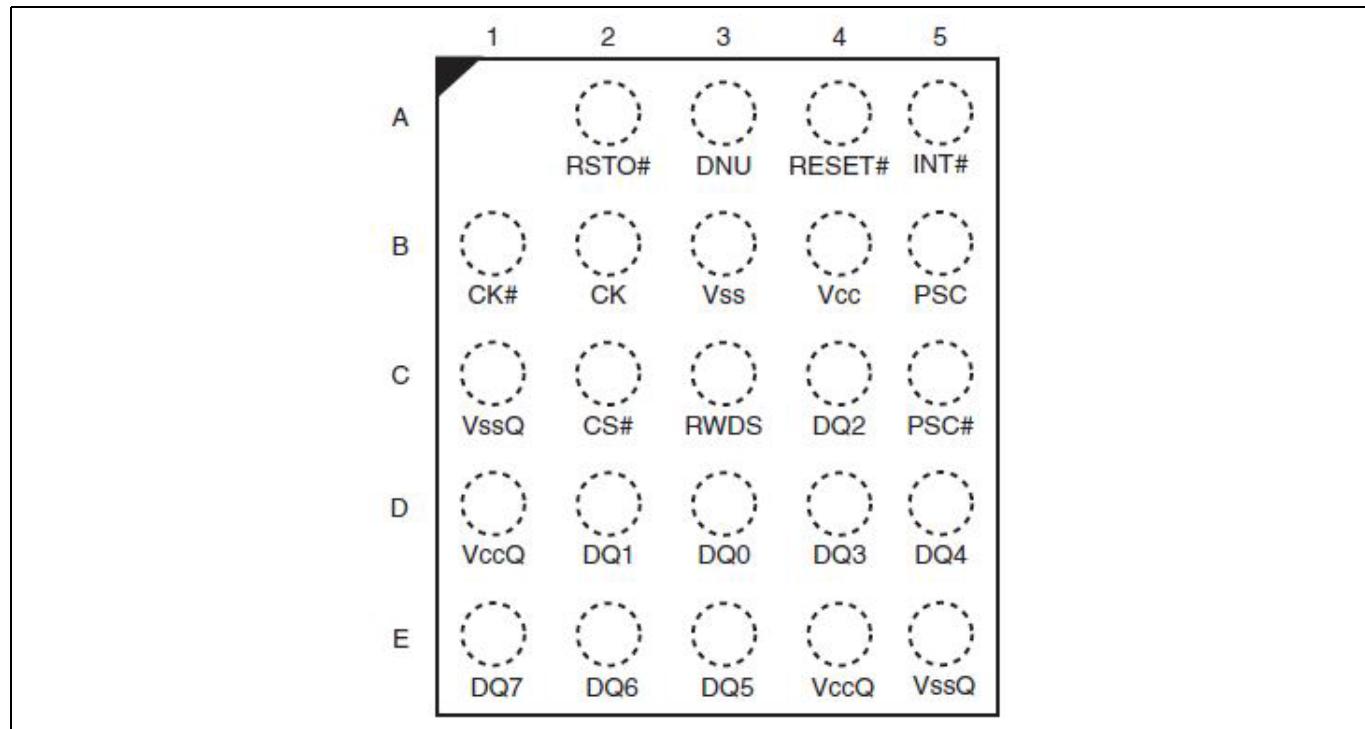


Figure 5 24 ボール FBGA, 6 × 8 mm, 5 × 5 ボール フットプリント , 上面図 [1, 2, 3]

注:

1. B1 (CK#) は、3.0 V デバイス ( モデル 02 ) 上の RFU です。
2. B5 (PSC) および C5 (PSC#) は、標準の 3.0 V および 1.8 V デバイス ( モデル 02 ) の RFU です。C5 (PSC#) は、3 V DCARS デバイス ( モデル 03 ) 上の RFU です。
3. DNU — Do not Use。このピン / ボールは内部で接続されており、未接続のままにしておく必要があります。

信号の説明

### 3 信号の説明

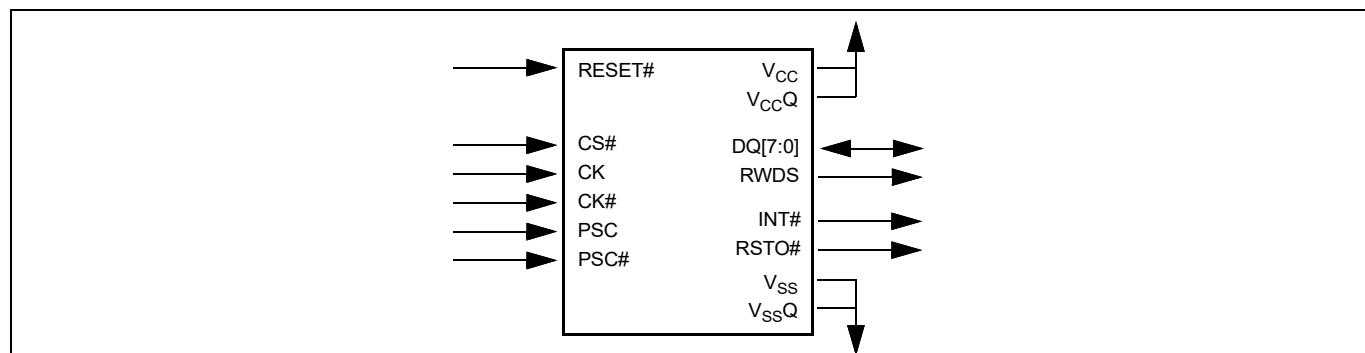


Figure 6 HYPERFLASH™ のインターフェース

Table 2 信号の説明

記号	種類	M/O	説明
CS#	入力	M	チップセレクト：HYPERFLASH™ バストランザクションは HIGH から LOW への移行で開始。HYPERFLASH™ バストランザクションは LOW から HIGH への移行で終了。
CK, CK#	入力	M	差動クロック：コマンド / アドレス / データ情報は、CK と CK# 信号の交差に対する入力または出力。CK# は、1.8V デバイスでのみ使用し、開放にする、または 3V デバイス上の CK に接続できます。
RWDS	出力	M	読み書きデータストローブ：読み出しトランザクション中の出力データは RWDS とエッジを揃えます。
DQ[7..0]	入力 / 出力	M	データ入力 / 出力：コマンド / アドレス / データ情報は読み出しと書き込みトランザクション中に、これらの DQ 信号上に転送されます。
PSC, PSC#	入力	O	位相シフトクロック：PSC/PSC# を使用すると、CK/CK# 入力に対して RWDS 信号を個別にスキーできます。PSC# は 1.8V デバイスでのみ使用。PSC と PSC# は、それぞれ書き込みトランザクション中に HIGH と LOW に駆動されるか、両方が LOW に駆動されます。
INT#	出力 (オープンドレイン)	O	INT 出力：LOW の時、デバイスは内部イベントが発生したことを示します。この信号は、オンチップイベントが発生したことを示すために、デバイスに対するシステムレベルの割込みとして使用されることを意図しています。INT# はオープンドレイン出力。
RESET#	入力	O	ハードウェアリセット：LOW の時、デバイスは自己初期化してアレイ読み出し状態に戻ります。RESET# が LOW の時、RWDS と DQ[7:0] が High-Z 状態に移行されます。RESET# は弱プルアップを含み、RESET# が未接続にされると HIGH 状態にプルアップされます。
RSTO#	出力 (オープンドレイン)	O	RSTO# 出力：RSTO# はデバイス内で POR が発生している時点を示すために使用されるオープンドレイン出力であり、システムレベルのリセット信号として使用できます。内部 POR の完了後ただちに、ユーザーにより定義されたタイムアウト期間が経過した後、RSTO# 信号は低インピーダンスから高インピーダンスに遷移します。高インピーダンス状態に遷移した後ただちに、外部プルアップ抵抗は RSTO# 信号を HIGH に引き上げ、デバイスは瞬時に Standby 状態になります。
V <sub>CC</sub>	電源	P/G	電源
V <sub>CCQ</sub>	電源	P/G	入力 / 出力電源
V <sub>SS</sub>	電源	P/G	グランド
V <sub>SSQ</sub>	電源	P/G	入力 / 出力グランド

注：

4. M = Mandatory; O = Optional; P/G = Power / Ground

## 4 HYPERRBUS™ プロトコル

すべてのバストランザクションは読み出しと書き込みの2種類に分けられます。CK=LOW, CK#=HIGH の時、CS# が LOW になると、バストランザクションは開始します。実行されるトランザクションは最初の3クロックサイクル中に DDR 方式(合計 6 クロックエッジを使用すること)で HYPERFLASH™ デバイスに提供されます。これらの最初の3クロックでは、3ワードのコマンド / アドレス情報 (CA0, CA1, CA2) が転送され、トランザクションの次の特性を定義します。

- 読み出しトランザクションか書き込みトランザクション
  - トランザクションの宛先はメモリアレイかレジスタ空間か
    - HYPERRBUS™ プロトコルはメモリとレジスタアドレス空間の両方とも備えるスレーブデバイスに対応しますが、本仕様書で説明する HYPERFLASH™ メモリでは、メモリとレジスタが個別のアドレス空間として区別されません。トランザクションの宛先位置がメモリ空間かレジスタ空間にかかわらず、トランザクションが選択できるアドレス空間は1つのみあります。書き込みトランザクションでは、トランザクションアドレスとデータを1つのコマンドレジスタセット(バッファ)に格納します。読み出しトランザクションは、コマンドを実行することで単一アドレス空間内に一時的にオーバレイされるメモリアレイかレジスタアドレス空間のウィンドウからデータを返します。レジスタ空間オーバレイ方法を持つ、この単一アドレス空間はレガシーのパラレル NOR フラッシュメモリプログラムと消去ソフトウェアドライバーと下位互換性があります。
  - トランザクションはリニアバーストかラップバーストシーケンスを使用するか
    - HYPERFLASH™ 書き込みトランザクションはバーストシーケンスをサポートせず、バーストタイプの表示を無視します。書き込みコマンドトランザクションは、書き込みごとに1ワードを転送します。ワードプログラムコマンドの書き込みデータ転送のみ、最大 50 MHz の線形バーストで実行できます。
  - ターゲットのハーフページアドレス(列と上位行アドレス)
    - (ハーフページ内の)ターゲットのワードアドレス(下位行アドレス)
- トランザクション定義後かつデータ転送前の間で、読み出しレイテンシの要件を満たすためにいくつかのアイドルクロックサイクルが必要になります。ターゲットとなるデータが転送された後、HYPERRBUS™ マスタホストは CK=LOW と CK#=HIGH の状態で CS# を HIGH に駆動することでトランザクションを終了します。データは 16 ビット値として転送されます。この 16 ビットの最初の 8 ビット(ビット 15 ~ ビット 8)は CK の立ち上りエッジ(書き込みデータか CA ビットの場合)または RWDS のエッジ(読み出しどうデータの場合)にて転送され、2 番目の 8 ビット(ビット 7 ~ ビット 0)は CK の立ち下りエッジまたは RWDS のエッジで転送されます。CK=LOW、CK#=HIGH の時、CS# を HIGH にすることで、読み書き動作中のデータ転送を終了できます。読み出しどうデータは RWDS の遷移と同時に変化し、書き込みデータはクロックエッジと中央が揃います。

## 4.1 コマンド / アドレス ビットの割り当て

**Table 3** コマンド / アドレス ビットの割り当て

CA ビット番号	ビット名	ビット機能
47	R/W#	トランザクションを読み出しか書き込みとして識別 1 = 読み出し動作 0 = 書き込み動作 ターゲット空間は CA46 で定義
46	ターゲット	読み書き動作がメモリかレジスタ空間にアクセスするかを示します。 0 = メモリ空間 1 = レジスタ空間 レジスタ空間は不揮発性メモリとペリフェラルデバイスが使用するよう用意されます。 HYPERFLASH™ デバイスは、この機能を備えていないため、読み出しや書き込みトランザクションの間このビットを 0 にセットする必要があります。
45	バースト タイプ	バーストがリニアかラップであるのかを示します。 0 = ラップ バースト 1 = リニア バースト
44 ~ 39 (1 Gb) 44 ~ 38 (512 Mb) 44 ~ 37 (256 Mb) 44 ~ 36 (128 Mb)	予約済み	将来のアドレス拡張用に予約済み。 ホストコントローラーは予約済みビットを 0 にセットする必要があります。
38 ~ 16 (1 Gb) 37 ~ 16 (512 Mb) 36 ~ 16 (256 Mb) 35 ~ 16 (128 Mb)	列と上位行 アドレス	ターゲットアドレスのハーフページコンポーネント
15 ~ 3	予約済み	将来の列アドレス拡張用に予約済み。 ホストコントローラーは予約済みビットを 0 にセットする必要があります。
2 ~ 0	下位行アドレス	ターゲットアドレスの下位列コンポーネント : システムワードアドレスビット A2 ~ 0 で、ハーフページ内の開始ワードを選択

## 4.2 読み出し動作

CA0 は読み出し動作が次に実行されることを示す一方、バースト種類 (ラップかリニア) も表示します。ハーフページアドレスが CA0 と CA1 にて提供され次第、読み出し動作は内部のアレイアクセスを開始します。CA2 は選択したハーフページ内の対象のワードアドレスを指定します。ホストはコンフィギュレーションレジスタに設定したレイテンシカウントの値により定義されたサイクル数の期間でクロックを供給し続けます。これらのレイテンシクロックサイクルの設定値に達すると、読み出し / 書き込みデータストローブ (RWDS) の遷移と同時にターゲットデータの出力が開始されます。新しいデータがエッジ揃えの方法にて、毎回の RWDS の遷移によって出力されます。ホストから供給されるクロック (CK と CK#) の遷移が続いている限り、データは引き続き出力されます。ラップバーストはバースト長の範囲内で引き続きラップし、リニアバーストはページ境界を越えて順次データを出力します。[ハイブリッドバースト](#)に示すようにハイブリッドバーストは 1 個の初期ラップバーストの後にリニアバーストが後続することを提供します。ラップの読み出しは主要なアレイ ([デバイス ID および共通フラッシュインターフェース \(ID-CFI\) の ASO マップ](#) の CFI 表とセキュアシリコン領域 ([ハイブリッドバーストを参照](#)) ) から実行されます。CK = LOW, CK# = HIGH の時、CS# を HIGH にすることで、読み出し転送を終了できます。

リニアバーストがアレイの最後のアドレスに到達すると、バーストが続く場合、アドレスカウンターがラップアラウンドしてアドレス 000000h にロールバックし、読み出しシーケンスを無期限に継続できるようにします。したがって、メモリ全体を 1 つの読み出し命令で読み出せます。

16 バイトと 32 バイトのラップバーストはページ境界を越えず、ページ境界越えのレイテンシも発生させません。64 バイトのラップバースト読み出しでは、開始アドレスに応じて対象のアドレスと次のページの境界を超える時にレイテンシが発生する可能性があります ([Table 22](#) を参照してください)。

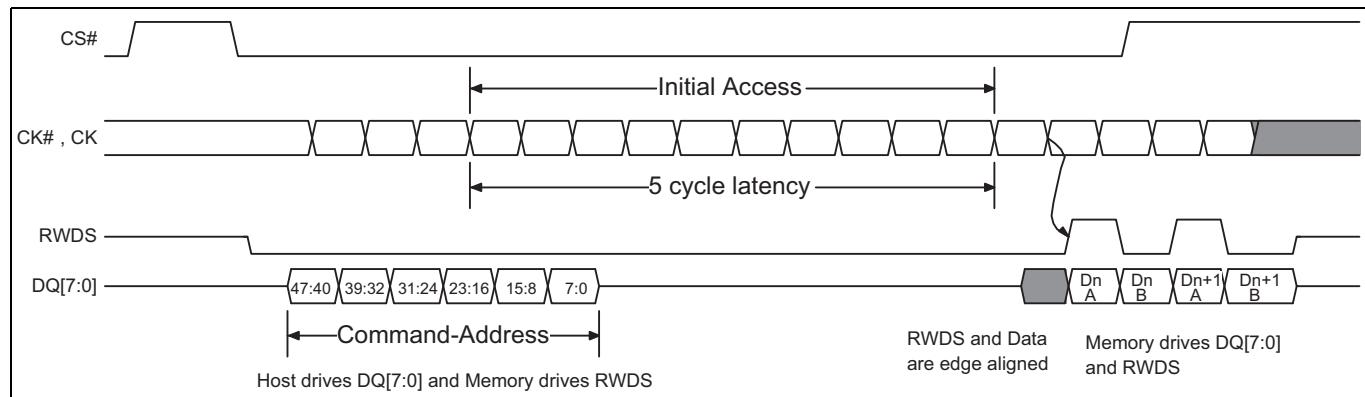


Figure 7 読み出し動作 [5, 6, 7, 8]

### 注:

5. トランザクションは CK = LOW および CK# = HIGH 状態で開始する必要があります。CS# は新しいトランザクションが開始する前に HIGH に復帰しなければいけません。
6. CA[23:16] が取り込まれるとフラッシュアレイからの読み出しアクセスは開始します。
7. 読み出しレイテンシは揮発性コンフィギュレーションレジスタ (または不揮発性コンフィギュレーションレジスタ) 内の読み出しレイテンシ値により定義されます。
8. この読み出し動作の例ではレイテンシカウントは 5 クロックに設定されています。

Table 4 レイテンシ コード オプションの最大動作周波数

レイテンシ コード	レイテンシ クロック	最大動作周波数 (MHz)
0000	5	52
0001	6	62
0010	7	72
0011	8	83
0100	9	93
0101	10	104
0110	11	114
0111	12	125
1000	13	135
1001	14	145
1010	15	156
1011	16	166
1100	予約済み	該当なし
1101	予約済み	該当なし
1110	予約済み	該当なし
1111	予約済み	該当なし

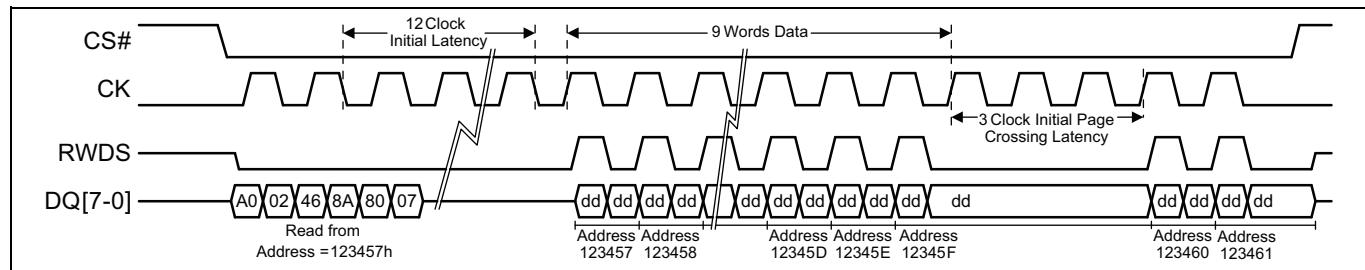


Figure 8 ページ境界を超える読み出しトランザクション [12, 13, 14, 15, 16]

#### 注:

9. 工場出荷時のデバイスでは NVCR レイテンシ 設定がデフォルトで 16 クロックです。
10. レイテンシ コードは(不)揮発性コンフィギュレーションレジスタ ビット xVCR[7:4] にロードされる値です。
11.  $t_{ACC} = 96 \text{ ns}$  のデバイスを使用する場合の最大動作周波数です。
12. 読み出しトランザクションは 123457h のデバイス アドレスから開始します。
13. コンフィギュレーションレジスタにロードされるレイテンシ コードは 0111b で、12 のレイテンシ クロック サイクルに該当します。
14. この場合ではページ境界を越えるために 3 クロック要します(12 クロックの初期レイテンシから 9 クロック(ワード)の初期データを引いた結果です)。
15. CK# は表示されていませんが、CK 信号の反転信号です。
16. CA45=1 はリニア読み出しバーストを意味します。

**Table 5** リニア読み出し中の最初のページ境界越え (レイテンシカウント = 11 クロック)

ターゲットアドレス	クロックサイクル																												
	0	1	2	3	...	12	13	14	15	16	17	18	19	20	21	22	23	24	25	26	27	28	29	30					
0	CA0 CA1 CA2	バスターンアラウンド+初期レイテンシ	D0	D1	D2	D3	D4	D5	D6	D7	D8	D9	D10	D11	D12	D13	D14	D15	D16	D17									
1			D1	D2	D3	D4	D5	D6	D7	D8	D9	D10	D11	D12	D13	D14	D15	D16	D17	D18									
2			D2	D3	D4	D5	D6	D7	D8	D9	D10	D11	D12	D13	D14	D15	D16	D17	D18	D19									
3			D3	D4	D5	D6	D7	D8	D9	D10	D11	D12	D13	D14	D15	D16	D17	D18	D19	D20									
4			D4	D6	D6	D7	D8	D9	D10	D11	D12	D13	D14	D15	D16	D17	D18	D19	D20	D21									
5			D5	D6	D7	D8	D9	D10	D11	D12	D13	D14	D15	D16	D17	D18	D19	D20	D21	D22									
6			D6	D7	D8	D9	D10	D11	D12	D13	D14	D15	X	D16	D17	D18	D19	D20	D21	D22									
7			D7	D8	D9	D10	D11	D12	D13	D14	D15	X	X	D16	D17	D18	D19	D20	D21	D22									
8			D8	D9	D10	D11	D12	D13	D14	D15	D16	D17	D18	D19	D20	D21	D22	D23	D24	D25	D26	D27	D28	D29	D30	D31	D32	D33	
9			D9	D10	D11	D12	D13	D14	D15	D16	D17	D18	D19	D20	D21	D22	D23	D24	D25	D26	D27	D28	D29	D30	D31	D32	D33	D34	
10			D10	D11	D12	D13	D14	D15	D16	D17	D18	D19	D20	D21	D22	D23	D24	D25	D26	D27	D28	D29	D30	D31	D32	D33	D34	D35	
11			D11	D12	D13	D14	D15	D16	D17	D18	D19	D20	D21	D22	D23	D24	D25	D26	D27	D28	D29	D30	D31	D32	D33	D34	D35	D36	
12			D12	D13	D14	D15	D16	D17	D18	D19	D20	D21	D22	D23	X	D24	D25	D26	D27	D28	D29	D30	D31	D32	D33	D34	D35	D36	D37
13			D13	D14	D15	D16	D17	D18	D19	D20	D21	D22	D23	X	D24	D25	D26	D27	D28	D29	D30	D31	D32	D33	D34	D35	D36	D37	D38
14			D14	D15	D16	D17	D18	D19	D20	D21	D22	D23	X	X	D24	D25	D26	D27	D28	D29	D30	D31	D32	D33	D34	D35	D36	D37	D38
15			D15	D16	D17	D18	D19	D20	D21	D22	D23	X	X	D24	D25	D26	D27	D28	D29	D30	D31	D32	D33	D34	D35	D36	D37	D38	D39
16			D16	D17	D18	D19	D20	D21	D22	D23	D24	D25	D26	D27	D28	D29	D30	D31	D32	D33	D34	D35	D36	D37	D38	D39	D40	D41	
	-	-	1	2	...	11	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-
	レイテンシ数																												

**Table 6** リニア読み出し中の最初のページ境界越え (レイテンシカウント = 16 クロック)

ターゲットアドレス	CS#がLOWになった後のクロックサイクル																														
	0	1	2	3	...	17	18	19	20	21	22	23	24	25	26	27	28	29	30	31	32	33	34	35							
0	CA0 CA1 CA2	バスターンアラウンド+初期レイテンシ	D0	D1	D2	D3	D4	D5	D6	D7	D8	D9	D10	D11	D12	D13	D14	D15	D16	D17											
1			D1	D2	D3	D4	D5	D6	D7	D8	D9	D10	D11	D12	D13	D14	D15	X	D16	D17											
2			D2	D3	D4	D5	D6	D7	D8	D9	D10	D11	D12	D13	D14	D15	X	X	D16	D17											
3			D3	D4	D5	D6	D7	D8	D9	D10	D11	D12	D13	D14	D15	X	X	X	D16	D17											
4			D4	D6	D6	D7	D8	D9	D10	D11	D12	D13	D14	D15	X	X	X	X	D16	D17											
5			D5	D6	D7	D8	D9	D10	D11	D12	D13	D14	D15	X	X	X	X	X	D16	D17											
6			D6	D7	D8	D9	D10	D11	D12	D13	D14	D15	X	X	X	X	X	X	D16	D17											
7			D7	D8	D9	D10	D11	D12	D13	D14	D15	X	X	X	X	X	X	X	D16	D17											
8			D8	D9	D10	D11	D12	D13	D14	D15	D16	D17	D18	D19	D20	D21	D22	D23	D24	D25	D26	D27	D28	D29	D30	D31	D32	D33			
9			D9	D10	D11	D12	D13	D14	D15	D16	D17	D18	D19	D20	D21	D22	D23	D24	D25	D26	D27	D28	D29	D30	D31	D32	D33	D34			
10			D10	D11	D12	D13	D14	D15	D16	D17	D18	D19	D20	D21	D22	D23	X	X	D24	D25	D26	D27	D28	D29	D30	D31	D32	D33	D34		
11			D11	D12	D13	D14	D15	D16	D17	D18	D19	D20	D21	D22	D23	X	X	X	X	X	X	X	X	D24	D25	D26	D27	D28	D29	D30	
12			D12	D13	D14	D15	D16	D17	D18	D19	D20	D21	D22	D23	X	X	X	X	X	X	X	X	X	X	D24	D25	D26	D27	D28	D29	D30
13			D13	D14	D15	D16	D17	D18	D19	D20	D21	D22	D23	X	X	X	X	X	X	X	X	X	X	X	D24	D25	D26	D27	D28	D29	D30
14			D14	D15	D16	D17	D18	D19	D20	D21	D22	D23	X	X	X	X	X	X	X	X	X	X	X	X	D24	D25	D26	D27	D28	D29	D30
15			D15	D16	D17	D18	D19	D20	D21	D22	D23	X	X	X	X	X	X	X	X	X	X	X	X	X	D24	D25	D26	D27	D28	D29	D30
16			D16	D17	D18	D19	D20	D21	D22	D23	D24	D25	D26	D27	D28	D29	D30	D31	D32	D33	D34	D35	D36	D37	D38	D39	D40	D41			
	-	-	1	2	...	16	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	
	レイテンシ数																														

ページの境界を越えるときの待ち時間を計算するには、次の式を使用します。

```
if ((PS - LTCY) < ADDR & (SP - 1))
{
    ((ADDR & (SP - 1)) - PS + LTCY)
}
else
{ 0 }
```

ここで

PS = ページサイズ = 16 ワード

SP = サブページサイズ = 8 ワード

LTCY = レイテンシ

ADDR = ターゲットアドレス

#### 4.3 DCARS タイミングでの HYPERFLASH™ 読み出し

ここでの図とパラメーターは、DCARS 機能を定義し、位相シフトクロック、RWDS、およびデータ間の関係を示すために必要なもののみです。

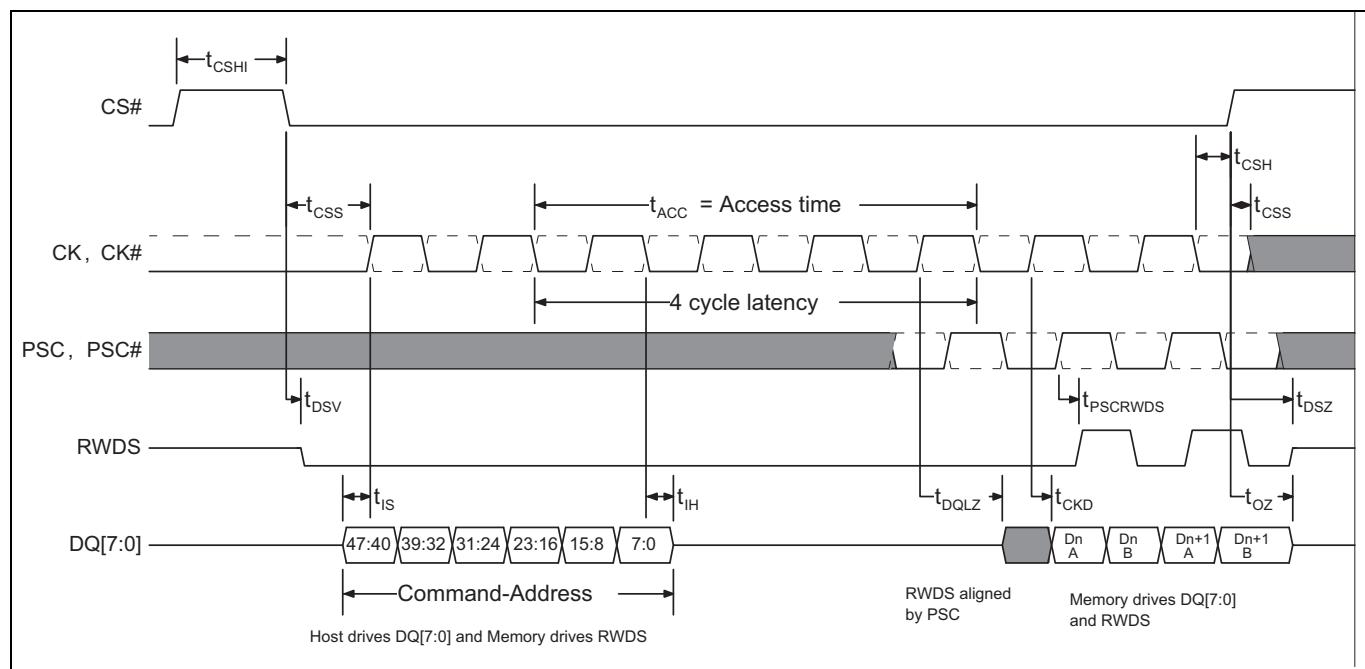


Figure 9 HYPERFLASH™ 読み出し DCARS タイミング ダイヤグラム [17, 18, 19, 20]

注:

17. トランザクションは CK=LOW および CK#=HIGH 状態で開始する必要があります。CS# は新しいトランザクションが開始する前に HIGH に復帰しなければいけません。
18. CK# と PSC# はオプションであり、破線の波形として表示されます。
19. メモリは、読み出しトランザクション中に RWDS を駆動します。
20. この例は、4 クロックのレイテンシコード設定をしており、追加の初期レイテンシは不要です。

#### 4.4 書き込み動作

書き込み動作は、トランザクション属性を指示する CAx(コマンド / アドレス)情報を提供する最初の3クロックサイクルから開始します。HYPERFLASH™デバイスは16ビットのシングル書き込みトランザクションのみに対応するか、またはワードプログラムコマンドでデータをロードする時のみ連続リニアバーストに対応するため、バーストタイプビット CA[45]は「ドントケア」です。CA情報に従って、ホストは瞬時に書き込みデータを DQ バスに転送できます。最初のデータバイト (A) は CK の立ち上りエッジにあり、2番目のデータバイト (B) は CK の立ち下りエッジにあります。書き込みデータは CK と CK# 入力信号と中央が揃います。CK = LOW、CK# = HIGH の時、CS# を HIGH にすることで、書き込み転送を終了できます。

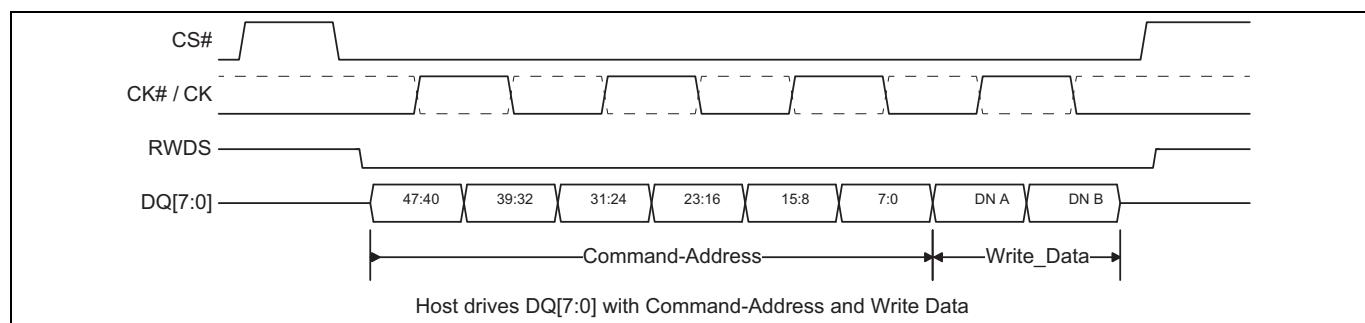


Figure 10 書き込み動作 [21, 22, 23]

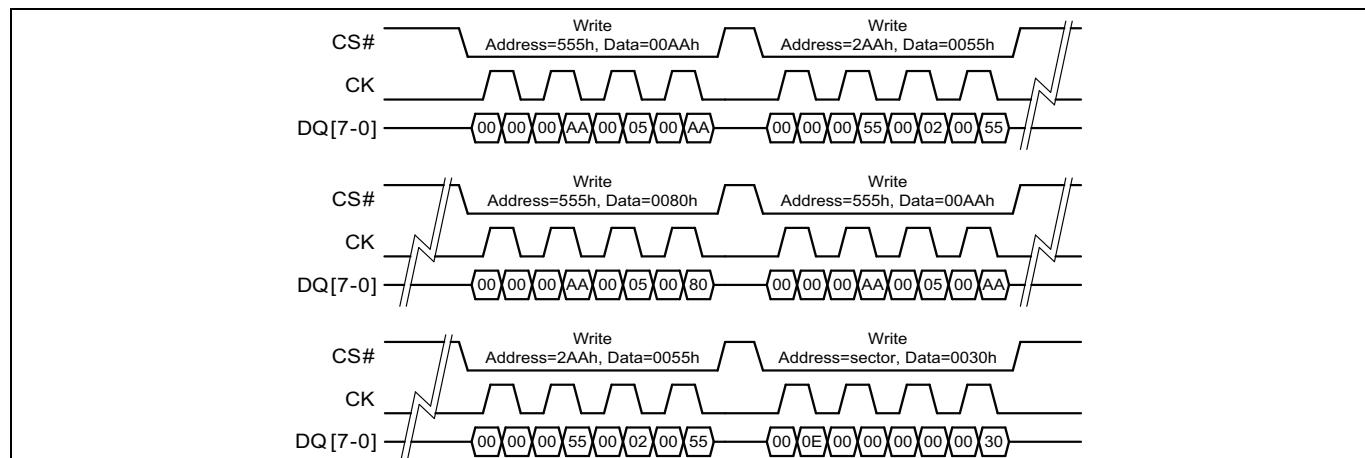
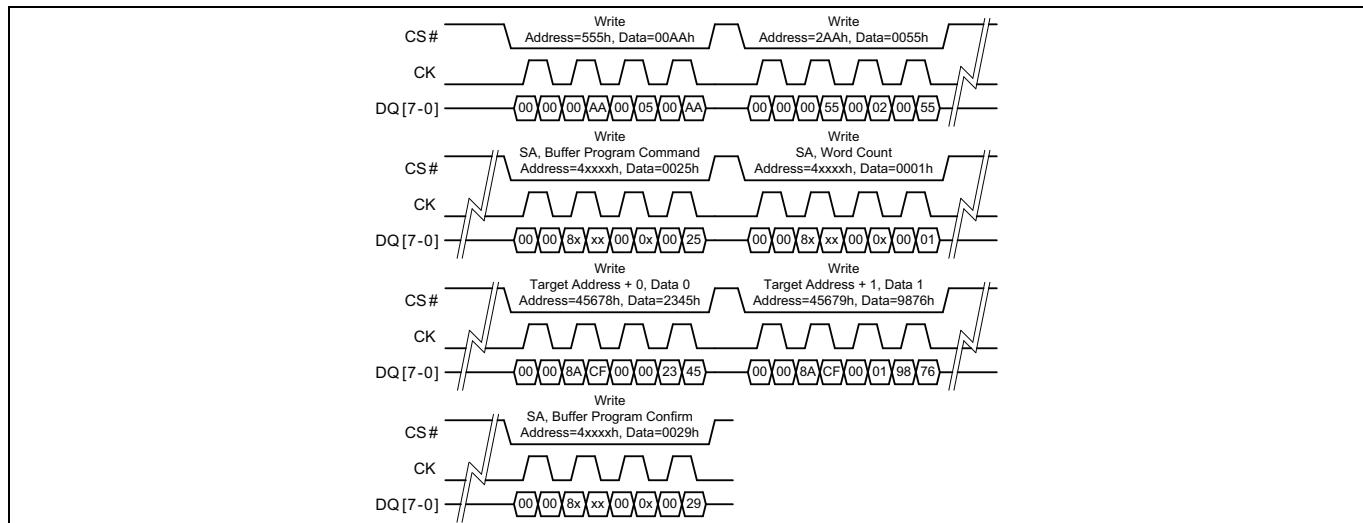


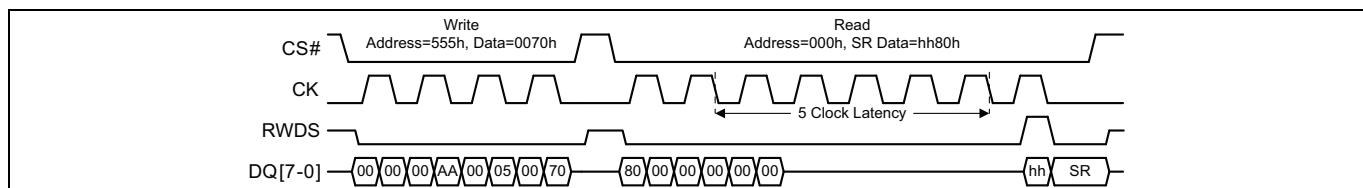
Figure 11 書き込みトランザクションの使用例：動作消去コマンド シーケンス [24, 25, 26, 27]

#### 注：

- 21.トランザクションは CK = LOW および CK# = HIGH 状態で開始する必要があります。CS# は新しいトランザクションが開始する前に HIGH に復帰しなければいけません。
- 22.CS# が LOW である限り、RWDS は LOW に駆動されます。
- 23.書き込み動作はシングルワード(16ビット)のトランザクションか、またはワードプログラムコマンドでデータをロードする時のみ対応するリニア書き込みバーストのトランザクションに制限されます。この例は、4クロックのレイテンシコード設定を示しており、追加の初期レイテンシは不要です。
- 24.動作消去コマンドシーケンスのフローチャートについては [Figure 17](#) を参照してください。
- 25.セクタ消去動作は 0700000h から開始します。
- 26.CK# は表示されていませんが、CK 信号の反転信号です。
- 27.書き込みトランザクションでは RWDS が表示されず使用されません。



**Figure 12 書き込みトランザクションの使用例：バッファプログラム書き込みコマンド シーケンス**  
[28, 29, 30, 31]



**Figure 13 ステータス読み出しトランザクションの例** [30]

#### 注：

28. バッファプログラム動作の書き込みコマンドシーケンスのフローチャートについては [Figure 15](#) を参照してください。
29. 2345h を 45678h アドレスに、9876h を 45679h アドレスにプログラムします。
30. CK# は表示されていませんが、CK 信号の反転信号です。
31. 書き込みトランザクションでは RWDS が表示されず使用されません。

## アドレス空間マップ

### 5 アドレス空間マップ

HYPERSBUS™ プロトコルはメモリとレジスタアドレス空間の両方とも備えるスレーブデバイスに対応しますが、本仕様書で説明する HYPERFLASH™ メモリでは、メモリとレジスタが個別のアドレス空間として区別されません。HYPERSBUS™ トランザクションの宛先位置が選択したデバイスのメモリ空間かレジスタ空間にかかわらず、トランザクションが選択できるアドレス空間は 1 つのみあります。

書き込みトランザクションでは、トランザクションアドレスとデータを 1 つのコマンドレジスタセット(バッファ)に格納します。

読み出しトランザクションは、コマンドを実行することで単一のアドレス空間内に一時的にオーバレイされるメモリアレイかレジスタアドレス空間のウィンドウからデータを返します。レジスタ空間オーバレイ方法を持つ、この單一アドレス空間はレガシーのパラレル NOR フラッシュメモリプログラムと消去ソフトウェアドライバーと下位互換性があります。

フラッシュメモリデバイスのアドレス範囲内には複数の個別のアドレス空間が表示されることがあります。1 つのアドレス空間がいつでも表示(入力済み)されます。

- フラッシュメモリアレイ: データ格納用の主要な不揮発性メモリアレイであり、読み出し動作によってランダムにアクセスすることができます。
- ID/CFI: インフィニオンの工場でプログラムされたデバイス特性情報格納用のメモリアレイです。この領域には、デバイス識別(ID)と共通フラッシュインターフェース(CFI)の情報テーブルが含まれます。
- セキュアシリコン領域(SSR): インフィニオンの工場でプログラムされた恒久データおよびカスタマープログラム可能恒久データ格納用の 1024 バイト 1 回書き込み可能な OTP 不揮発性メモリアレイです。
- 恒久的保護ビット(PPB): 不揮発性メモリアレイであり、セクタごとに 1 ビット幅を有します。プログラムされると、該当するセクタを消去とプログラミングから保護します。
- PPB ロックビット: PPB ビットの消去とプログラミングを有効/無効化する揮発性レジスタビットです。
- パスワード: パスワードモードのセクタ保護を使用する際に PPB ロックビットの状態を変更可能にするために使用される 64 ビットパスワード格納用の OTP 型不揮発性アレイです。
- ダイナミック保護ビット(DYB): 揥発性アレイであり、セクタごとに 1 ビット幅を有します。セットされると、該当するセクタを消去とプログラミングから保護します。
- ECC ステータス: ECC 修正データのアドレスと合計 ECC エラーカウントを読み出します。
- CRC: CRC Check-value を読み出します。
- ステータスレジスタ/ペリフェラルレジスタ: 組込みアルゴリズムの状態を表示するか他のレジスタに読み書きするためのレジスタアクセス空間です。

フラッシュメモリアレイはプライマリおよびデフォルトのアドレス空間ですが、いつでも別のアドレス空間によってオーバーレイされる可能性があります。各代替アドレス空間は ASO と呼ばれます。

各 ASO は、ASO エントリコマンドに応じて、選択したセクタかフラッシュデバイスのすべてのアドレス空間を置換(オーバーレイ)します。ASO に置き換えられたセクタが 1 個のみの場合、メモリアレイの残りのセクタの読み出しはそのまま実現できます。特定の ASO アドレスマップで定義されていないアドレス範囲は将来に使用するために予約されます。特に指定のない限り、ASO アドレスマップ外のすべての読み出しアクセスは無効な(未定義)データを返します。その位置にはアクティブに駆動されたデータが表示されますが、それらの意味は定義されていません。

任意の時点においてフラッシュデバイスのアドレス空間に表示される内容を決定するアドレスマップモードが多くあります。

- 読み出しモード
- ステータスレジスタ(SR)モード
- ASO モード
- ペリフェラルレジスタモード

## アドレス空間マップ

読み出しモードでは、フラッシュメモリアレイ全体が、ホストのシステムメモリコントローラによって直接読み出せます。メモリデバイスのEACは、電源投入時、ハードウェアリセット後、コマンドリセット後、またはEAが一時停止された後にデバイスを読み出すモードに入ります。読み出しモードでは読み出しアクセスと読み出しコマンドを実現できます。EAが一時停止されている時に読み出しモードでコマンドのサブセットを実現できます。

どのモードでも、ステータスレジスタ読み出しコマンドを発行することで、デバイスのアドレス空間内のあらゆるワードアドレスでステータスレジスタASOを表示させられます。このステータスレジスタASOモードでは、デバイスインターフェースは読み出しアクセスだけに対応し、書き込みアクセスはすべて無視されます。デバイスへの次の読み出しアクセスはステータスレジスタの内容にアクセスします。その後、ステータスレジスタASOを終了し、デバイスはステータスレジスタ読み出しコマンドを受け取る前の(呼び出し)モードに戻ります。

同様に、他のレジスタを読み書きするコマンドはペリフェラルレジスタモードを利用します。このモードでは、レジスタは臨時のASOとして表示し、コマンドによって選択されたレジスタの読み書き動作が完了すると自動的にモードを終了します。読み出しと書き込み動作はレジスタアクセスコマンドシーケンスの最後のサイクルで実現されます。

EAモードでEACは不揮発性メモリアレイのプログラミングや消去のようなEAを実現します。このEAモードではフラッシュメモリアレイはすべて読み出し不可です。プログラム/消去一時停止コマンド、またはステータスレジスタ読み出しコマンドのみがこのモードで実行可能です。他のすべてのコマンドは無視されます。したがって、EAモードで他のASOへの移動は許可されません。

ASOモードでは、残っているオーバーレイアドレス空間の1つが入ります(フラッシュメモリアレイのアドレスマップにオーバーレイされます)。一度に移行できるASOは1つだけです。デバイスへのコマンドは、現在移行されたASOに影響を与えます。ASOに応じて特定のコマンドが有効です。有効なコマンドはTable 41のASO関連セクションに示されます。

下記のASOは、1を0に変更するようにプログラムできる不揮発性データを持っています。

- セキュアシリコン領域
- ASPコンフィギュレーションレジスタ(ASPR)
- 恒久的保護ビット(PPB)
- パスワード
- PPB ASOだけが、0を1に変更するように消去できる不揮発性データを持っています。

任意の不揮発性ASOが入っている間にプログラムコマンドか消去コマンドが発行されると、EAはそのASO上で動作します。EAが有効の間はそのASOの読み出しは不可です。EAが完了すると、ASOが入っている状態のままで再度読み出し可能になります。EAがこれらの任意のASOで動作している間は、一時停止コマンドと再開コマンドが無視されます。

ペリフェラルレジスタモードは、PORタイマー、割込みコンフィギュレーションレジスタ、割込みステータスレジスタ、揮発性コンフィギュレーションレジスタ、および不揮発性コンフィギュレーションレジスタを管理するために使用されます。

## 5.1 フラッシュメモリアレイ

S26KL/S26KSファミリは、セクタサイズが256Kバイトのユニフォームセクタアーキテクチャを搭載しています。下記の表はデバイスのセクタアーキテクチャを示します。

最初のセクタ(SA00)から最後のセクタ(SAmax)を8個の4Kバイトパラメーターセクタにオーバーレイするために1つのユーザー設定のオプションが用意されます。最下位セクタや最上位セクタの分割方法を示すパラメーターセクタのアドレスマップは、下記のメモリアドレスマップの表に示されています。パラメーターセクタは、該当するパラメーターセクタアドレスを対象に標準の消去とプログラムコマンドシーケンスを利用して通常の方法で消去/プログラムできます。比較的小さいパラメーターセクタは、消去およびプログラムコマンドシーケンスでは、対象となるパラメーターセクタを識別するアドレスの一部としてA[16:11]を追加する必要があるため、ご注意ください。最初や最後のユニフォームセクタにパラメーターセクタを追加するように設定することは不揮発性コンフィギュレーションレジスタで実現されます。

注:次の表は、1ページでデバイス全体のセクタ関連情報を示すようにまとめました。(SA001～SA510のように明示的に記載されていないセクタやそのアドレス範囲に対して、そのセクタの開始と終了アド

## アドレス空間マップ

レスは、同じサイズを持つ他のすべてのセクタと同じパターンを持っています。例えば、すべての 256K バイトセクタは XX00000h ~ XX1FFFFh のアドレス範囲パターンを持っています。

**Table 7 S26KL512S および S26KS512S のセクタとメモリアドレスマップ**

セクタ サイズ (KB)	セクタ数	セクタ範囲	アドレス範囲 (16 ビット)	注記
256	256	SA00	0000000h ~ 001FFFFh	セクタ開始アドレス
		:	:	-
		SA255	1FE0000h ~ 1FFFFFFh	セクタ終了アドレス

**Table 8 S26KL256S および S26KS256S のセクタとメモリアドレスマップ**

セクタ サイズ (KB)	セクタ数	セクタ範囲	アドレス範囲 (16 ビット)	注記
256	128	SA00	0000000h ~ 001FFFFh	セクタ開始アドレス
		:	:	-
		SA127	0FE0000h ~ 0FFFFFFh	セクタ終了アドレス

**Table 9 S26KL128S および S26KS128S のセクタとメモリアドレスマップ**

セクタ サイズ (KB)	セクタ数	セクタ範囲	アドレス範囲 (16 ビット)	注記
256	64	SA00	0000000h ~ 001FFFFh	セクタ開始アドレス
		:	:	-
		SA63	07E0000h ~ 07FFFFFFh	セクタ終了アドレス

**Table 10 8 つの 4 KB パラメーター セクタで重複される主アレイセクタ 0**

主アレイ セクタ サイズ	パラメーター セクタ番号	アドレス サイズ	アドレス範囲 (16 ビット)	注記
256 KB	0	4 KB	0000000h ~ 00007FFh	パラメーター セクタ 0 の開始
	1	4 KB	0000800h ~ 0000FFFh	パラメーター セクタ 1
	2	4 KB	0001000h ~ 00017FFh	パラメーター セクタ 2
	3	4 KB	0001800h ~ 0001FFFh	パラメーター セクタ 3
	4	4 KB	0002000h ~ 00027FFh	パラメーター セクタ 4
	5	4 KB	0002800h ~ 0002FFFh	パラメーター セクタ 5
	6	4 KB	0003000h ~ 00037FFh	パラメーター セクタ 6
	7	4 KB	0003800h ~ 0003FFFh	パラメーター セクタ 7 の終了
	主アレイセクタ 0 の露出部分	224 KB	0004000h ~ 001FFFFh	主アレイセクタ 0 の露出部分 にマッピングされる

**Table 11 8つの4 KB パラメーター セクタで重複される最終セクタ**

主アレイ セクタサイズ	パラメーター セクタ番号	アドレス サイズ	アドレス範囲(16ビット)	注記
256 KB	主アレイの最終セクタの露出部分	224 KB	xx00000h ~ xx1BFFFh	主アレイの最終セクタの露出部分にマッピングされる
	0	4 KB	xx1C000h ~ xx1C7FFh	パラメーター セクタ 0 の開始
	1	4 KB	xx1C800h ~ xx1CFFFh	パラメーター セクタ 1
	2	4 KB	xx1D000h ~ xx1D7FFh	パラメーター セクタ 2
	3	4 KB	xx1D800h ~ xx1DFFFh	パラメーター セクタ 3
	4	4 KB	xx1E000h ~ xx1E7FFh	パラメーター セクタ 4
	5	4 KB	xx1E800h ~ xx1EFFFh	パラメーター セクタ 5
	6	4 KB	xx1F000h ~ xx1F7FFh	パラメーター セクタ 6
	7	4 KB	xx1F800h ~ xx1FFFFh	パラメーター セクタ 7 の終了

## 5.2 デバイス ID および CFI (ID-CFI) ASO

システムに搭載されたフラッシュメモリの種類を識別するには、次の2つの従来方式があります。1つはデバイス識別(ID)です。もう一つの方法は、共通フラッシュインターフェース(CFI)と呼ばれています。

IDについて、1つのコマンドを使用してASOを有効にし、その最大16ワードの位置を読み出すことでJEDEC製造者識別(ID), デバイスID, およびいくつかの構成情報と保護ステータス情報をフラッシュメモリから取得します。システムはこの製造者IDとデバイスIDを用いて、フラッシュデバイスと動作する適切なドライバーソフトウェアを選択できます。

CFIも1つのコマンドを使用してASOを有効にし、フラッシュメモリの構成や動作方法についての基本情報を提供する拡張可能なテーブルの読み出しを実現できます。この方法を用いると、使用するそれぞれのメモリデバイス仕様をドライバソフトウェアに書き込む必要はありません。代わりに、ドライバソフトウェアは多くの異なるデバイスを扱うためにより一般的な方法で書き込まれ、ドライバの動作はCFIテーブルの情報に基づいて調整されます。

これまででは、これら2つのアドレス空間は個別のコマンドを使用し個別のオーバーレイ領域でした。しかし、これら2つのアドレス空間のマッピングは重複しないため、単一のアドレス空間に組み合わせ、単一のオーバーレイで共に表示できます。自動選択(ID)またはCFIオーバーレイにアクセス(入る)するために使用される従来のコマンドのどちらも、組み合わせID-CFIアドレスマップを表示させます。

ID-CFIアドレスマップは、ID-CFI入力コマンド内で使用するアドレスによって選択されたセクタ内に表示され、フラッシュアレイデータをオーバーレイします。ID-CFI ASOが入っている間は、他のすべてのセクタの内容は未定義です。

ID-CFIアドレスマップは、選択されたセクタの0の位置から開始します。ID-CFI ASOの最大定義アドレス以上から、選択したセクタの最大アドレスまでの位置のデータは未定義です。ID-CFI入力コマンドは前世代のメモリと同じアドレスとデータ値を使用してそれぞれJEDEC製造者ID(自動選択)とCFI情報をアクセスします。

**Table 12 ID-CFIのアドレスマップの概要**

ワードアドレス	説明	読み出し / 書き込み
(SA)+0000h ~ 000Fh	デバイスID(従来の自動選択値)	読み出し専用
(SA)+0010h ~ 0079h	CFIデータ構造	読み出し専用
(SA)+007Ah ~ 00FFh	未定義	読み出し専用

完全なアドレスマップについてはTable 35を参照してください。

### 5.2.1 デバイス ID

JEDEC の標準 JEP106T は、準拠メモリ用の製造者 ID を定義します。一般的な業界使用として、メモリデバイスから製造者 ID とデバイス固有 ID を読み出す方法とフォーマットを定義しました。製造者 ID とデバイス ID 情報は、デバイスを対応するプログラミングアルゴリズムと自動的に一致させるように主にプログラミング機器に使用されます。インフィニオンはこの 32 バイトのアドレス空間内に追加フィールドを追加しました。

オリジナルの業界フォーマットは、あらゆるメモリデータバス幅 (例えば x8, x16, x32) で動作できるように構成されました。ID コード値は従来はバイト幅ですが、バス幅アドレス境界に位置されます。よって、デバイスアドレス入力のインクリメントは、常にデータバスの最下位バイトに位置する ID コード付きの連続バイト、ワード、またはダブルワード位置を読み出します。デバイスのデータバスはワード幅で、各コードバイトはワード位置の下半部 (下位バイト) に位置します。オリジナルの業界フォーマットでは上位バイトが常に 0 です。インフィニオンはアドレス空間のいくつかのワードで両方のバイトを使用するようにフォーマットを変更しました。デバイス ID のアドレスマップの詳細については Table 35 を参照してください。

### 5.2.2 共通フラッシュメモリインターフェース

JEDEC CFI 仕様 (JESD68.01) は、フラッシュメモリデバイスから読み出し可能な標準化されたデータ構造を定義し、全デバイスファミリで使用されるベンダー固有ソフトウェアアルゴリズムを可能にします。データ構造には、さまざまな電気的パラメーターとタイミングパラメーター、およびデバイスがサポートする特別な機能などのシステム構成情報が含まれます。ソフトウェアサポートはデバイスに依存せず、デバイス ID に依存せず、全フラッシュデバイスファミリで上位下位互換性があります。

システムは、[デバイス ID および共通フラッシュインターフェース \(ID-CFI\)](#) の ASO マップに示すように、選択されたセクタ内のアドレスにある CFI 情報を読み出せます。

デバイス ID 情報と同様に、CFI 情報はメモリデータバス幅 (例えば x8, x16, x32) で動作できるように構成されます。コード値は常にバイト幅ですが、データバス幅アドレス境界に位置されます。よって、デバイスアドレスのインクリメントは、常にデータバスの最下位バイトに位置するコード付きの連続バイト、ワード、またはダブルワード位置を読み出します。デバイスのデータバスはワード幅で、各コードバイトはワード位置の下半部 (下位バイト) に位置し、上位バイトは常に 0 です。

詳細は、CFI Specification, Version 1.5 (またはそれ以降のバージョン)、および JEDEC publications JEP137-A and JESD68.01 を参照してください。

組込み動作

## 6 組込み動作

### 6.1 組込みアルゴリズム コントローラー (EAC)

EAC は、不揮発メモリ状態を変更するために、フラッシュメモリアレイのプログラミングと消去を行うコマンドを受け取り、必要なすべての複雑な操作を実行します。これにより、ホストシステムはプログラムおよび消去のプロセスを管理する必要がなくなります。

EAC 動作は 5 つのカテゴリに分けられます。

- ・ディープパワーダウン (DPD)
- ・スタンバイ (リードモード)
- ・アドレス空間の切換え
- ・組込みアルゴリズム (EA)
- ・アドバンスドセクタ保護 (ASP) 管理

#### 6.1.1 ディープパワーダウン

DPD モードでは、消費電流は低レベルに駆動されます。ASO ではない場合、デバイスはスタンバイ状態の時に DPD モードに入る必要があります。

#### 6.1.2 EAC スタンバイ

スタンバイ状態では消費電流を大幅に低減できます。処理中のコマンドがなく、実行中の組込みアルゴリズムもないとき、EAC はスタンバイ状態に入ります。その EA の進行中にデバイスの選択を外すと (CS# が HIGH)、その動作が完了するまでデバイスは依然としてアクティブ電流を消費します ( $I_{CC3}$ )。[DC 特性 \(CMOS 互換性\)](#) の  $I_{CC4}$  はホストインターフェースと EAC の両方がスタンバイ状態にあるときのスタンバイ電流の仕様を示しています。

#### 6.1.3 アドレス空間の切替え

特定のアドレスとデータ配列 (コマンドシーケンス) を書き込むと、メモリデバイスのアドレス空間をフラッシュメモリアレイから ASO の 1 つに切り替えます。

EA は、現在アクティブな (入っている) ASO で表示されている情報を対象にして動作します。システムが ASO 終了コマンドを発行し、ハードウェアリセットを実行するか、またはデバイスの電源が切られるまで、システムは ASO へのアクセスを継続します。ASO 終了コマンドは、ASO をフラッシュメモリアレイのアドレス空間に戻すように切り替えます。特定の ASO に入る時に許可されるコマンドは、コマンド定義テーブルの ASO エントリコマンドと ASO 終了コマンドの間にリストアップされています。すべてのコマンドシーケンスのアドレスとデータの要件については、[コマンドのまとめ](#) を参照してください。

#### 6.1.4 組込みアルゴリズム (EA)

メモリアレイ内の不揮発性データの書換えには、EA と呼ばれる複雑な動作シーケンスを必要とします。アルゴリズムはデバイスの内部 EAC によって完全に管理されています。主要なアルゴリズムは、メインアレイデータと ASO のプログラミングと消去を実行します。ホストシステムはフラッシュデバイスのアドレス空間にコマンドコードを書き込みます。EAC はコマンドを受け取り、コマンドを完了するため必要なすべてのステップを実行し、EA の進行中にステータス情報を提供します。

組込み動作

## 6.2 プログラムおよび消去のまとめ

フラッシュのデータビットは、セクタと呼ばれる大きなグループの中で、並列して消去されます。消去動作によりセクタ内の各データビットが論理 1 状態 (HIGH) になります。フラッシュデータビットは、消去済み状態 (論理 1) からプログラム状態 (論理 0, LOW) に個別にプログラムできます。'0' のデータビットをプログラムで '1' に戻すことはできません。読み出しを連続に実行すると、データが '0' のままであることを示します。'0' から '1' に変換できるのは、消去動作のみです。同じワード位置を別の 0 ビットで複数回プログラムすると、直前のデータと新しくプログラムされたデータが論理和 (AND) されます。

プログラム動作と消去動作の時間を [組込みアルゴリズムのパフォーマンス](#) に示します。

プログラムと消去動作を一時停止できます。

- 消去動作を中断 (一時停止) することで、消去動作中に (消去セクタ以外の) 別のセクタのプログラムや読み出しを行えます。消去一時停止中は他の消去動作を開始できません。
- プログラム動作を中断することで、別の位置 (プログラム中のライン以外の位置) の読み出しを行えます。
- プログラム動作の中断中は、他のプログラム動作または消去動作を開始できません。つまり、プログラム動作の中断中はプログラムコマンドと消去コマンドが無視されます。
- 間に挟んだプログラム動作または読み出しアクセスが完了すると、中断していた消去動作やプログラム動作が再開されます。
- プログラム動作と消去動作は、必要に応じて何度でも中断できますが、プログラム動作または消去動作を進捗させ完了させるためには、再開コマンドと次の一時停止コマンドの間は [組込みアルゴリズムのパフォーマンス](#) に示すように  $t_{PRS}$  または  $t_{ERS}$  以上の時間を置く必要があります。
- EA が完了すると、EAC は、EA 開始 (消去一時停止または EAC スタンバイ) 前の動作状態とアドレス空間に戻ります。

システムは、ステータスレジスタを読み出してプログラム動作または消去動作のステータスを調べられます ([エラー タイプおよび消去手順](#) を参照してください)。

組込みプログラムアルゴリズムの実行中にデバイスに書き込まれるコマンドは、プログラム一時停止とステータス読み出しコマンド以外は無視されます。

組込み消去アルゴリズムの実行中にデバイスに書き込まれるコマンドは、消去一時停止とステータス読み出しコマンド以外は無視されます。

ハードウェアリセットが発生すると、進行中のプログラム / 消去動作が直ちに終了し、 $t_{RPH}$  時間後に読み出しモードに戻ります。データの整合性を確保するために、終了した動作は、デバイスがスタンバイ状態に戻ったら再開する必要があります。

パフォーマンスと信頼性を考慮したうえ、プログラミングは 16 バイトにアラインされたアドレス範囲を利用して 16 バイト ハーフページ上で内部的に行われます。

[DC 特性 \(CMOS 互換性\)](#) の  $I_{CC3}$  は書き込み (組込みアルゴリズム) 動作時のアクティブ電流仕様を示しています。

組込み動作

### 6.2.1 プログラム粒度

S26KL/S26KS は、ワードのプログラムと、書き込みバッファを使用したプログラムの 2 つ的方式によるプログラムをサポートしています。

ワード プログラムは、コマンドによって提供されたデータ ワードを検査し、コマンドのデータ ワードの 0 と一致させるようにアドレス指定したメモリアレイのワードに 0 をプログラムします。

書き込みバッファ プログラムは、書き込みバッファを検査し、書き込みバッファの 0 と一致させるようアドレス指定したメモリアレイのラインに 0 をプログラムします。書き込みバッファのすべてをデータで満たす必要はありません。单一ビット、複数ビット、單一ワード、複数ワード、1 ハーフページ、複数ハーフページ、またはバッファすべてを 1 つのプログラム動作で実現できます。書き込みバッファ方式を使用すると、プログラム コマンドを書き込む時のホストシステムのオーバーヘッドが削減され、プログラム動作時のメモリ デバイスの内部オーバーヘッドが削減されるため、書き込みバッファによるプログラムはより効率的になり、ワード プログラム コマンドによって個別ワードをプログラムする方式よりプログラム時間がさらに短縮されます。

各ハーフページはそれらの方式のどちらかでプログラムできます。異なる方式でプログラムされたハーフページが 1 つのラインに混在する場合もあります。

半ページで 2 回以上のワード プログラミングと書き込みバッファ プログラミングは、レガシーソフトウェア互換性用にサポートされます。ただし、消去せずにハーフページ内でワード プログラミングまたは書き込みバッファ プログラミングを複数回使用すると、そのハーフページに対するデバイスの ECC 機能が無効になります。同じ半ページで複数のプログラミング動作を要求するアプリケーションの場合、半ページのデータ整合性を強化するためにシステム ソフトウェアのエラー検出および訂正機能を追加することを推奨します。

注: 2 ビット ECC が有効な場合、同じページ内で複数のワード プログラミングまたは書き込みバッファ プログラミングを行うと、プログラム エラーが発生します。

シリコンでの次世代の HYPERFLASH™ では、ハーフページを含むセクタに消去動作がない同じハーフページでの複数プログラムの動作を対応しなくなる可能性があります。次世代向けソフトウェア置き換え計画として、ハーフページごとおよび 1 つの消去動作ごとの単一プログラム動作のみ対応するデータ構造とデータ管理方式を受け取るようにする必要があります。

### 6.2.2 インクリメンタル プログラム

同じワード位置では、ワードまたはライトバッファ プログラミング方式のいずれによっても、1 から 0 へのインクリメントな変更を 1 回以上プログラム可能です。ただし、[プログラム粒度](#)で記述されているように、追加プログラムは ECC シンドローム ビットに影響し、デバイスがその半ページの ECC を無効にします。

注: 2 ビット ECC が有効な場合、同じページ内で複数のワード プログラミングまたは書き込みバッファ プログラミングを行うと、プログラム エラーが発生します。

組込み動作

## 6.2.3 プログラム方式

### 6.2.3.1 ワードのプログラム

ワード プログラミングは、フラッシュ メモリ アレイの任意の場所に単一ワードやワード グループをプログラムするために使用されます。

ワード プログラムのコマンド シーケンスは最小で 4 つのコマンド 書き込みトランザクションを要します。プログラム コマンド シーケンスは、ロックされない 2 つのコマンド 書き込みトランザクション (トランザクション 1 と 2) の後にプログラム 設定コマンド (トランザクション 3) を発行することで開始されます。プログラム アドレスとデータが次に書き込まれ (トランザクション 4)、順番に組込みプログラム アルゴリズムが開始されます。システムは、さらに制御やタイミングを提供する必要はありません。デバイスは自動的にプログラム パルスを生成し、内部でプログラムされたセル マージンを検証します。組込みプログラム アルゴリズムが完了すると、EAC はスタンバイ 状態に戻ります。

ワード プログラム コマンド シーケンスのこの 4 つのトランザクションは単一 (16 ビット) ワード (2 バイト) のプログラムに使用されます。バースト書き込み機能を使用することで、複数の順次ワードをワード プログラム シーケンスでプログラムできます。Unlock および Program のコマンド シーケンスは単一ワード プログラム シーケンスと同一ですが、データ / アドレストランザクション中に、1 回の CS# アサートで多くの順次データ値がロードされます。現存のデータは、バースト書き込みトランザクションのコマンド / アドレス フェーズで識別された対象のアドレスから開始する順次アドレスにプログラムされます。整列される 256 ワード (512 バイト) アドレス境界を越えないかぎり、最大 256 ワード (512 バイト) をプログラムできます。

システムは、ステータス レジスタを読み出してプログラム動作のステータスを調べられます。[エラータイプおよび消去手順](#)を参照してください。

組込みプログラム アルゴリズムの実行中にデバイスに書き込まれるプログラム一時停止とステータス レジスタ読み出し以外のコマンドはすべて無視されます。

ハードウェアリセット (RESET# = V<sub>IL</sub>) や電源切断により、プログラム動作が瞬時に終了し、t<sub>RPH</sub> 時間後にデバイスが読み出しモードに戻ることに、注意してください。しかし、この動作終了では、プログラム進行中の領域は、データ値が無効か不安定である中間的な状態になる場合があります。データが完全にプログラムされるために、デバイスのハードウェアリセット動作が完了すると、プログラム コマンド シーケンスは同様のデータで再度開始しプログラム動作を完成できます。ただし、最高のデータ整合性を保証するためには、プログラム動作が終了されたセクタを消去し再プログラムする必要があります。

ワード プログラム コマンドは、SSR ASO に入ったときに使用することもできます。

ロックされない書き込みサイクルなしの修正済みワード プログラム コマンドは、ASP コンフィギュレーション レジスタ (ASPR), パスワード, および PPB ASO に入るときのプログラミングとして使用されます。PPB ロックと DYB ASO に入るときに、揮発性ビットを変更するために、同様のコマンドが使用されます。プログラム コマンド シーケンスについては、[Table 41](#) を参照してください。

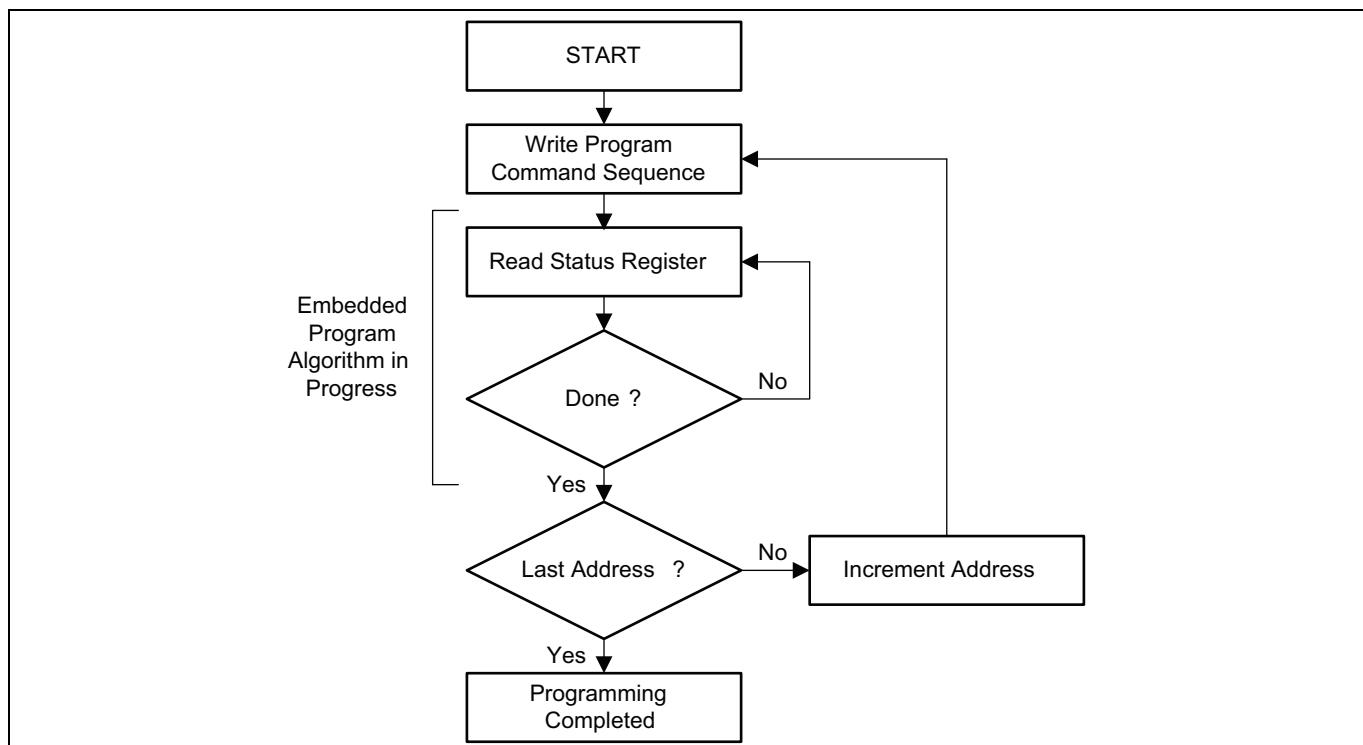


Figure 14 ワード プログラム動作

### 6.2.3.2 書き込みバッファ プログラム

書き込みバッファは、512 バイトの境界（ライン）にアラインされた 512 バイトのアドレス範囲内のデータをプログラムする際に使用されます。このように、フルサイズの書き込みバッファ プログラム動作はライン境界に整列される必要があります。512 バイト以下のプログラム動作は、任意のワード境界で開始できますが、ライン境界を越えることはできません。書き込みバッファ プログラム動作の開始時に、バッファ内のすべてのビット位置は 1 (FFFFh ワード) であるため、ロードされない位置には既存のデータが保持されます。アドレスマップについては、Table 1 を参照してください。

書き込みバッファ プログラムでは、1 回の動作で最大 512 バイトプログラミングできます。各書き込みバッファ プログラム動作では、1 ビットから 512 バイトまでのプログラムが可能です。複数の 16 バイト（半ページ）に書き込み、各半ページは 1 回だけ書き込むことを強く推奨します。最高のパフォーマンスを得るには、512 バイト境界上の 512 バイト整列ライン全体でプログラムする必要があります。

書き込みバッファ プログラムはフラッシュメモリアレイまたは SSR ASO でのみサポートされます。

最初にロックされないサイクルを 2 回書き込みして、書き込みバッファ プログラム動作を開始します。この後、プログラミング中のセクタアドレス (SA) で、バッファ書き込みコマンドの 3 回目の書き込みサイクルが続けます。次に、システムはワード位置 -1 の値を書き込みます。これにより、デバイスはデータをロードする書き込みバッファアドレス数を認識し、したがって、プログラムバッファの確認コマンドの実行タイミングを認識します。バッファーへの書き込みコマンドと、ワード数書き込みコマンド内のセクタアドレスは一致しなければいけません。プログラム対象のセクタはアンロック（非保護）になる必要があります。プログラミング動作をロックされたセクタで行おうとする場合、その動作は中止され、失敗がステータスレジスタに表示されます（Table 17 を参照してください）。

この後、システムは開始アドレスとデータワードを書き込みます。この開始アドレスはプログラムされる最初のアドレスとデータのペアで、書き込みバッファ ライン内の開始アドレスを選択します。セクタアドレスは、バッファコマンドセクタアドレスへの書き込みと一致する必要があります。そうでない場合は、動作が中断され、開始状態に戻ります。それ以降のすべてのアドレスとデータのペアは順次に書き込まれる必要があります。すべての書き込みバッファアドレスは同じライン内にある必要があります。

## 組込み動作

す。システムがこの範囲外のデータをロードしようとすると、動作は中止され、開始状態に戻ります。データワードのロード中は、線形バーストシーケンスはサポートされないことに注意してください。

ワードカウントは、データのロード動作ごとにデクリメントします。データ書き込みをカウントダウンしながら、毎回の書き込みは、書き込みバッファヘロードされているデータと見なされることに注意してください。書き込みバッファロード中は、すべてのコマンドが不可能です。書き込みバッファのロードを停止する唯一の方法は、プログラミング動作のライン外にあるアドレスを使って書き込むことです。無効なアドレスを受け取ると、バッファへの書き込みコマンドは直ちに停止し、バッファ書き込み停止ステータスビット (SR[3]) を設定します。

書き込みバッファ位置の指定した数をロードしたら、システムは SA に対してプログラムバッファを書き込み、フラッシュコマンドを実行しなければなりません。デバイスはビジー状態になります。組込みプログラムアルゴリズムはデータを自動的にプログラムし、データパターンが正しいかを検証します。システムは、これらの動作中に制御やタイミングを提供する必要はありません。書き込みバッファ位置の不正な数がロードされた場合、動作は中止され、開始状態に戻ります。データワードのワードカウント数の最後にプログラムバッファフラッシュコマンドが書き込まれずに、別のコマンドやデータが書き込まれると、動作は中止されます。

書き込みバッファの組込みプログラム動作は、プログラム中止コマンドにより中止できます。組込みプログラムアルゴリズムが完了すると、EAC は、プログラム動作が開始された時の EAC スタンバイまたは消去中止スタンバイの状態に戻ります。

システムは、ステータスレジスタを使用してプログラム動作のステータスを調べられます (Table 17 を参照してください)。プログラム動作図については、Figure 15 を参照してください。

バッファ書き込みプログラミングシーケンスは、以下の条件で中止されます。

- ・バッファサイズ (255) を越えるワードカウント値をロードしました。
- ・バッファへの書き込みコマンドで指定されたラインに属さないアドレスを書き込みました。
- ・書き込みワードカウント数で指定したデータワードがロードされた後に、フラッシュへのバッファプログラムコマンドが実行されませんでした。

バッファ書き込みコマンドの強制終了の原因となる何らかの状態が発生すると、動作は直ちに終了し、ステータスレジスタのビット位置 4 (PSB=1) に、バッファ書き込み中止のビット位置 3 (WBASB=1) によるプログラム失敗が報告されます。その後、プログラム動作が成功すると、この失敗の状態はクリアされます。またはクリアステータスレジスタが実行されて、PSBステータスピットがクリアされます。

バッファ書き込みプログラミングシーケンスは、ハードウェアリセットまたはパワーサイクルにより終了させられます。しかし、これらの方のいずれかの使用は、中間的な不安定な状態のデータになってしまふ場合があります。この場合は、同じデータで同じ領域を再プログラムするか、または消去してデータ値を正しくプログラムまたは消去する必要があります。最高のデータ整合性を確実にするために、プログラム動作が終了しセクタを消去し再プログラムする必要があります。

組込み動作

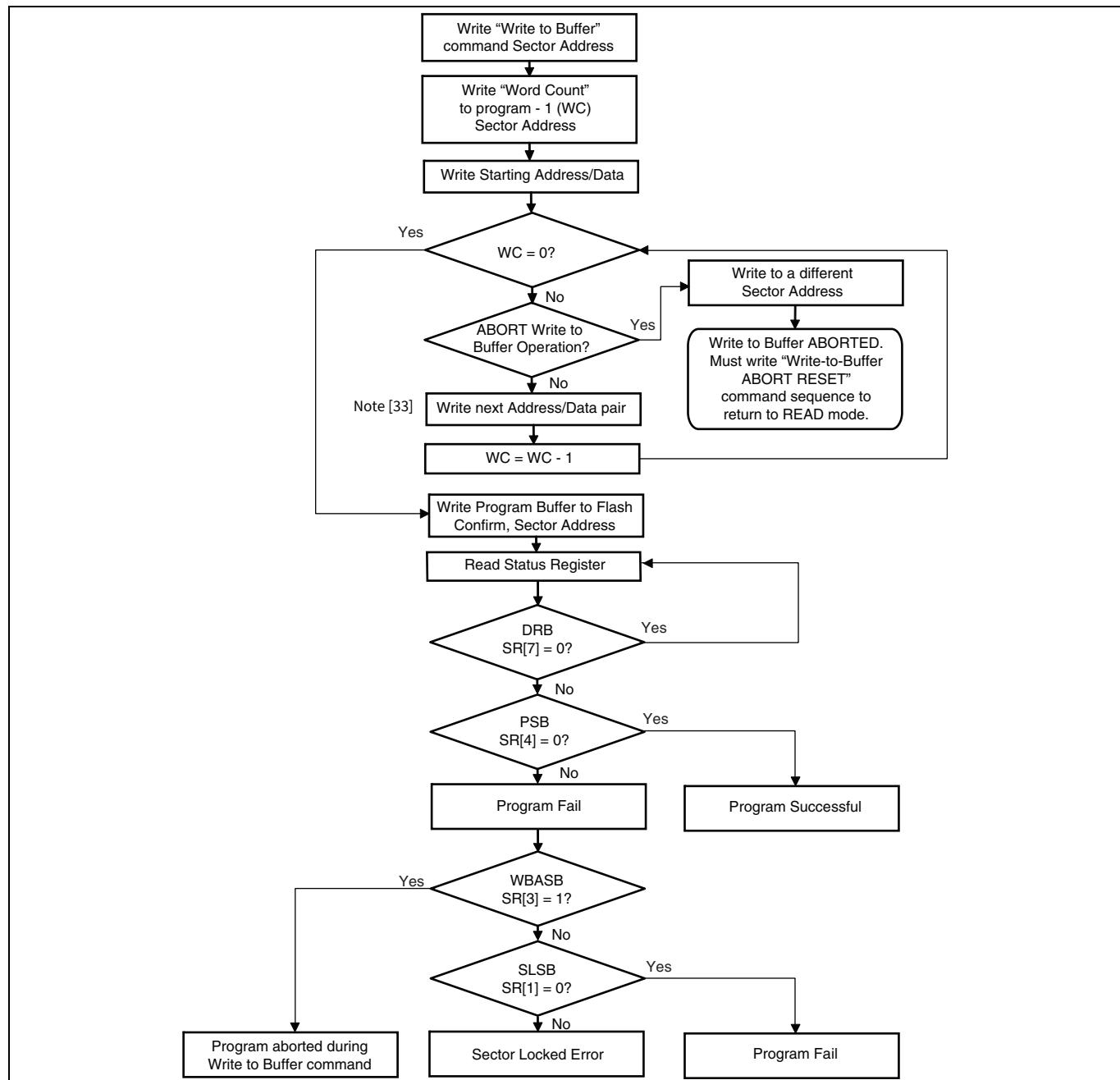


Figure 15 ステータス レジスタを使用した書き込みバッファ プログラム動作<sup>[32, 33]</sup>

注:

- 32. 書き込みバッファプログラムに必要なコマンドシーケンスについては [Table 41](#) を参照してください。
- 33. SA が定義された時、選択されたセクタのいずれのアドレスも有効になります。ただし、書き込みバッファアドレス位置をデータとともにロードする場合は、すべてのアドレスは選択されたライン内に収める必要があります。

組込み動作

**Table 13 書き込みバッファプログラムでのコマンド シーケンス**

シーケンス	アドレス	データ	コメント
Unlock コマンド 1 を発行	555h	AAh	-
Unlock コマンド 2 を発行	2AAh	55h	-
セクタアドレスで書き込みバッファ コマンドを発行	SA	0025h	-
セクタアドレスで位置数を発行	SA	WC	WC = プログラムするワード数 - 1
例: WC = 0: 1 ワードをプログラム WC = 1: 2 ワードをプログラム	-	-	-
開始アドレス / データのペアをロード	開始アドレス	PD	1 行を選択し、最初のアドレス / データのペアをロード。
次のアドレス / データのペアをロード	WBL	PD	アドレスはすべて、選択した行の境界内に収まり、逐次的な順序でロードされる必要がある。
最後のアドレス / データのペアをロード	WBL	PD	アドレスはすべて、選択した行の境界内に収まり、逐次的な順序でロードされる必要がある。
セクタアドレスで書き込みバッファ プログラム確認コマンドを発行	SA	0029h	このコマンドは、ロードされた最後の書き込みバッファ位置の直後に実行される必要があります。それ以外の場合は動作が終了。
デバイスがビジーになる	-	-	-

凡例:

SA = セクタアドレス (非セクタアドレス ビットは「ドントケア」です。セクタ内の任意のアドレスで十分です。)

WBL = 書き込みバッファ位置 (開始アドレスで指定されたラインの境界内にある必要があります。)

WC = ワードカウント

PD = プログラムデータ

組込み動作

#### 6.2.4 プログラム中止 / プログラム再開コマンド

プログラム中止コマンドにより、システムは組込みプログラム動作に割り込み、中止されていない他のラインからデータを書き込みます。プログラミング実行中にプログラム中止コマンドを書き込むと、デバイスは  $t_{PSL}$  (プログラム中止レイテンシー) の間、そのプログラム動作を停止して、ステータスビットを更新します。プログラム中止コマンドを書き込む際、アドレスは「ドントケア」です。

プログラム動作が中止すると、システムは中止されていない任意のラインからデータアレイを読み出せるようになります。消去中止時に他のセクタにプログラムしている場合でも、プログラム中止が可能です。この場合、消去中止またはプログラム中止状態になっていないアドレスのいずれからでもデータを読み出せます。

プログラム再開コマンドを書き込むと、デバイスはプログラム動作に戻り、ステータスビットが更新されます。システムは、ステータスレジスタを読み出してプログラム動作のステータスを調べられます。これらのステータスビットについては、[エラータイプおよび消去手順](#)を参照してください。

プログラム中止中に有効なアクセスとコマンドは次のとおりです。

- 非消去中止セクタに対する読み出し
- 非プログラム中止ラインに対する読み出し
- ステータス読み出しコマンド
- ASO 終了またはコマンドセット終了
- プログラム再開コマンド
- ロード割込みコンフィギュレーションレジスタ
- ロード割込みステータスレジスタ

プログラム中止モードを終了して、プログラム動作を続けるには、プログラム再開コマンドを書き込む必要があります。さらにプログラム再開コマンドを書き込んでも無視されます。デバイスがプログラム動作を再開した後は、プログラム中止コマンドを再度書き込みます。

プログラム動作は、何度でも必要なだけ中止できますが、プログラム動作を進捗させ完了させるためには、再開コマンドと次の中止コマンドの間を、 $t_{PRS}$  以上にする必要があります。[組込みアルゴリズムコントローラ \(EAC\)](#) を参照してください。

プログラムの中止と再開は、ASOに入っている間はサポートされません。プログラムの中止の間は、ASOに入ることはサポートされません。

#### 6.2.5 ブランクチェック

ブランクチェックコマンドにより、選択したフラッシュメモリアレイセクタが完全に消去されているかどうかを確認できます。ブランクチェックコマンドの実行中は、対象アレイの読み出しへはできなくなります。このコマンドの実行中に対象アレイを読み出すと、不明なデータが返されます。

任意のセクタでブランクチェックを開始するには、EACがスタンバイ状態になっている時に、そのセクタのアドレス 555h に 33h を書き込みます。

デバイスがプログラムまたは消去を実行中、または中止中であると、ブランクチェックコマンドが書き込まれない場合があります。

ステータスレジスタの書き込みコマンドを使用して、デバイスがビジーであるかどうか、また、完了後にセクタがブランクになっているかどうかを確認してください。ステータスレジスタのビット 7 に、デバイスがブランクチェックを実行中であるかどうかが示されます(消去動作と同様)。ステータスレジスタのビット 5 は、セクタが消去された場合は '0' にクリアされ、消去されなかった場合は '1' にセットされます。

消去されなかったビットを発見するとすぐに、デバイスは動作を停止して、結果を報告します。

ブランクチェックが完了すると、EAC はスタンバイ状態に戻ります。

組込み動作

### 6.2.6 消去ステータス評価

消去ステータス評価(EES)コマンドは、アドレス指定されたセクタの最後の消去動作が正常に完了したかを確認します。選択されたセクタが正常に消去された場合は、ステータスレジスタ内のセクタ消去ステータスビット(SR[0])が‘1’にセットされます。選択したセクタが完全に消去されていない場合はSR[0]が‘0’にクリアされます。詳細は、Figure 16を参照してください。

EESコマンドは、消去動作中の電力喪失、リセット、または失敗による消去動作を検出できます。

EESコマンドは、ステータスレジスタ内のセクタ消去ステータスビット(SR[0])を完了し、更新するため $t_{EES}$ を要します。ステータスレジスタ内のデバイスレディビット(SR[7])は書き込みステータスレジスタ(70h)コマンドを使用してEESコマンドの完了タイミングを確定します。ステータスレジスタ内のデバイスレディビットは、デバイスがレディ(1)状態に戻ったことを示したら、セクタ消去ステータスビット(SR[0])は対象セクタが正常に消去されたかどうかを示します。任意のセクタが消去されない(SR[0]=0)ことが検出された場合、そのセクタ内のデータ格納を確保するために、セクタを再び消去しなければいけません。

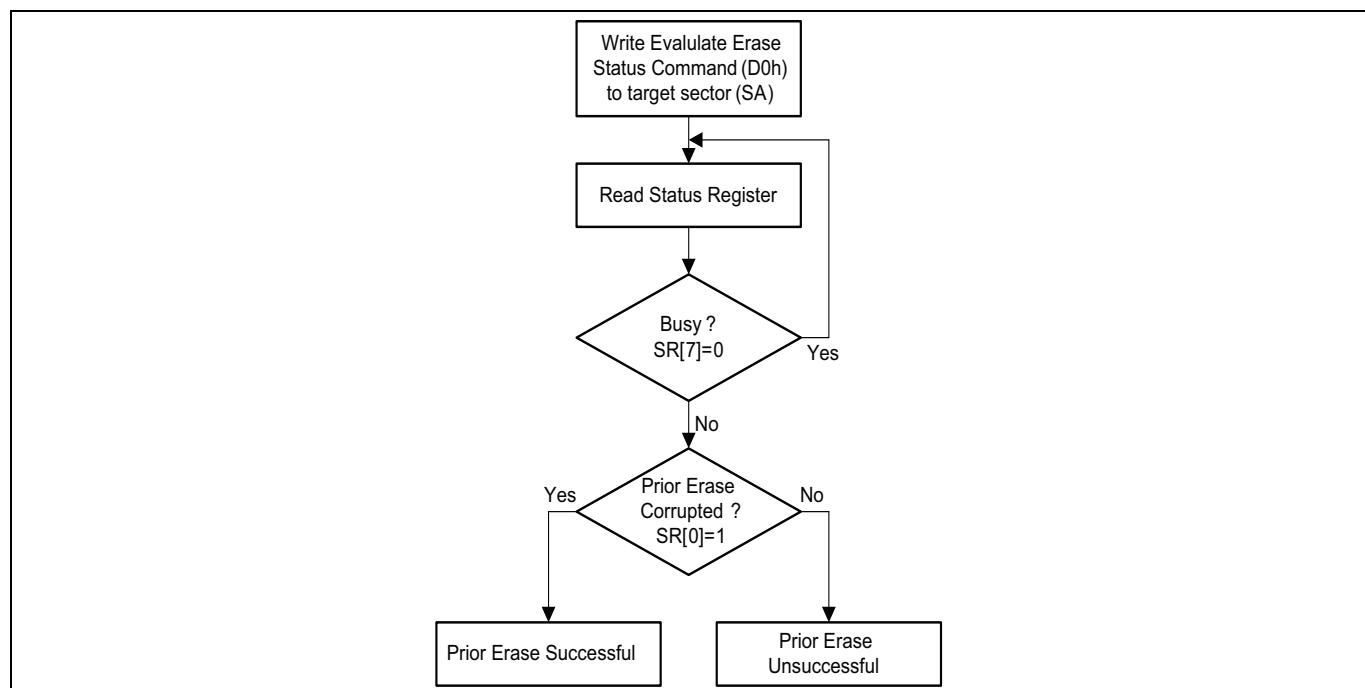


Figure 16 消去ステータス評価ソフトウェアシーケンス

組込み動作

## 6.2.7 消去方式

### 6.2.7.1 チップ消去

チップ消去機能は、フラッシュメモリアレイ全体を消去します。消去の前にデバイスをプリプログラムする必要はありません。組込み消去アルゴリズムは自動的にプログラムし、電気的な消去実行の前に、メモリ全体がすべて 0 になっているかを検証します。チップ消去が正常に完了すると、デバイス内のすべての領域が FFFFh になります。システムは、これらの動作中に、制御やタイミングを提供する必要はありません。アンロックサイクル(2回)の後に、セットアップコマンドを書き込んで、チップ消去コマンドシーケンスを開始します。さらに、アンロック書き込みサイクル2回の後にチップ消去コマンドを書き込むと、組込み消去アルゴリズムが開始します。

組込み消去アルゴリズムが完了すると、EAC はスタンバイ状態に戻ります。組込み消去動作の実行中は、デバイスから有効なデータを書き込めません。システムは、ステータスレジスタを読み出して消去動作のステータスを調べられます。これらのステータスピットについては、[エラータイプおよび消去手順](#)を参照してください。チップ消去動作が一旦開始すると、ステータス書き込み、ハードウェアリセット、パワーサイクルのみが有効です。その他のすべてのコマンドは無視されます。ただし、ハードウェアリセットまたはパワーサイクルを実行すると、消去動作が直ちに終了し、 $t_{RPH}$  時間後に読み出しモードに戻ります。チップ消去動作が終了した場合は、データの完全性を確保するために、デバイスがスタンバイ状態に戻ったらチップ消去コマンドシーケンスを再度実行してください。

ASP DYB および PPB ビットによって保護されたセクタは消去されません。[ソフトウェアインターフェース参考資料](#)を参照してください。チップ消去は、保護されたセクタを飛ばして、次のセクタの消去を続行します。保護されたセクタで失敗した消去動作があっても、ステータスレジスタの消去ステータスピットとセクタロックビットは '1' にセットされません。

### 6.2.7.2 セクタ消去

セクタ消去機能は、メモリアレイ内の 1 つのセクタを消去します。消去の前にデバイスをプリプログラムする必要はありません。組込み消去アルゴリズムは自動的にプログラムし、電気的な消去の前に、セクタ全体がすべて 0 になっているかを検証します。セクタ消去が正常に完了すると、消去されたセクタ内のすべての領域が FFFFh になります。システムは、これらの動作中に、制御やタイミングを提供する必要はありません。アンロックサイクル(2回)の後に、プログラムセットアップコマンドを書き込んで、セクタ消去コマンドシーケンスを開始します。次に、追加の 2 つのアンロック書き込みサイクルの後に、消去対象セクタのアドレスと、セクタ消去コマンドが続きます。

システムは、ステータスレジスタを読み出して消去動作のステータスを調べられます。これらのステータスピットについては、[エラータイプおよび消去手順](#)を参照してください。

一旦セクタ消去動作が始まると、ステータスレジスタ書き込みコマンドと消去中止コマンドが有効となります。他のコマンドはすべて組込みアルゴリズムコントローラにより無視されます。ただし、ハードウェアリセットを実行すると、直ちに消去動作が終了し、 $t_{RPH}$  時間後に読み出しモードに戻ります。セクタ消去動作が終了した場合は、デバイスの動作がリセットされたらセクタ消去コマンドシーケンスを再度実行して、データの完全性を確保してください。

パラメーターとタイミング図については、[組込みアルゴリズムコントローラ\(EAC\)](#) を参照してください。

ASP DYB および PPB ビットによって保護されたセクタは消去されません。[ソフトウェアインターフェース参考資料](#)を参照してください。プログラミング動作をロックされたセクタで行おうとする場合、その動作は中止され、失敗がステータスレジスタに表示されます([Table 17](#) を参照してください)。

組込み動作

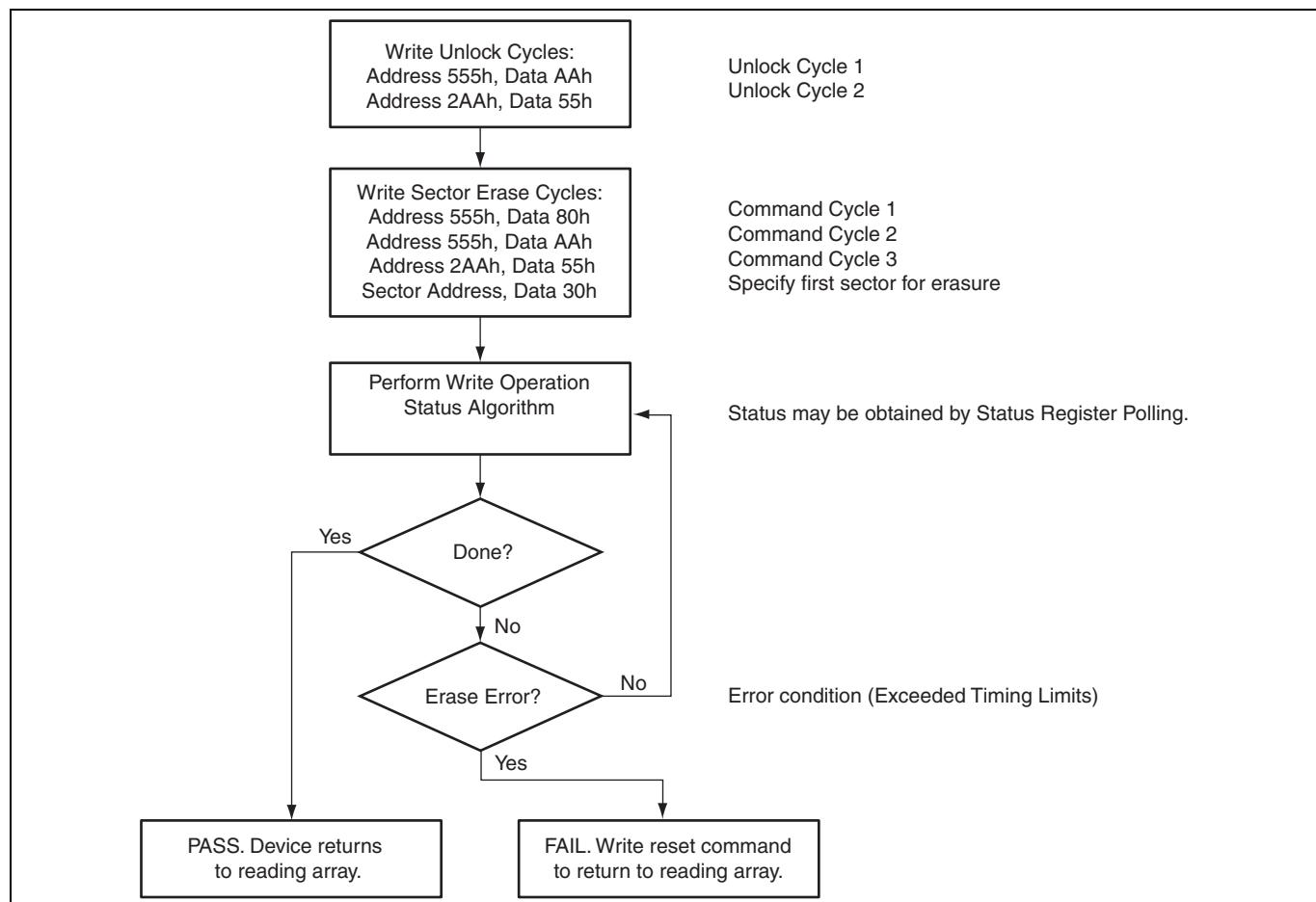


Figure 17 セクタ消去動作

組込み動作

## 6.2.8 消去中止 / 消去再開

消去中止コマンドを実行すると、システムはセクタ消去動作を中止して、フラッシュメモリアレイのデータ読み出し / 書き込みができるようになります。このコマンドはセクタ消去またはセクタプログラムの動作中にのみ有効です。チップ消去動作中に消去中止コマンドを書き込んでも無視されます。

セクタ消去動作中に消去中止コマンドが書き込まれると、デバイスは消去動作を中止するまでに最大  $t_{ESL}$  (消去中止レイテンシ) を必要とします。

消去動作が中止された後、デバイスは消去中止モードに入ります。この時、システムは、フラッシュメモリアレイのデータ読み出し / 書き込みができるようになります。消去中止の対象セクタ内のいずれかのアドレスから読み出すと、不確定なデータが返されます。システムは、ステータスレジスタを読み出すごとで、セクタが消去中、あるいは消去中止中かどうかを調べられます。これらのステータスビットについては、[エラータイプおよび消去手順](#)を参照してください。

消去中止中のプログラム動作が完了すると、EAC は消去中止状態に戻ります。通常のプログラム動作と同じように、システムはステータスレジスタを読み出すことで、プログラム動作の状態を確認できます。

消去中止中にプログラムが失敗した場合は、ステータスレジスタクリアまたはソフトウェアリセットコマンドにより、デバイスを消去中止状態に復帰させられます。そのメモリアレイに再度プログラムする場合は、その前に消去を再開し完了させる必要があります。

以下は消去中止中に有効なアクセスとコマンドです。

- 中止状態でないセクタからの読み出し
- 中止状態でないセクタへのプログラム
- ステータス読み出しコマンド
- ASO 終了またはコマンドセット終了
- 消去再開コマンド
- SSR エントリ
- SSR 読み出し
- SSR プログラム

セクタ消去動作を再開させるには、消去再開コマンドを書き込む必要があります。デバイスは消去動作に戻り、ステータスビットが更新されます。また、この後に再開コマンドを書き込んでも無視されます。チップが消去動作を再開すると、消去中止コマンドを再度書き込みます。

デバイスが消去中止状態である間はコマンドが DYB ASO に入力できないことに注意してください。

組込み動作

## 6.2.9 振発性および不揮発性レジスタのまとめ

### 6.2.9.1 不揮発性コンフィギュレーションレジスタ

**Table 14** 不揮発性コンフィギュレーションレジスタ

記号	名前	幅(ビット)	NV タイプ	デフォルト 値	参照
NVCR	不揮発性コンフィギュレーションレジスタ	16	P/E	8EBBh	不揮発性コンフィギュレーションレジスタおよび揮発性コンフィギュレーションレジスタ
PASS	パスワード保護レジスタ	64k	OTP	FFFF FFFF FFFF FFFFh	パスワード保護モード
PPB	恒久的保護ビット	セクタあたり 1 ビット	P/E	1	恒久的保護ビット (PPB)
ASPR	ASP コンフィギュレーションレジスタ	16	OTP	FEEEh	ASP コンフィギュレーションレジスタ
PORTime	パワーオンリセット時間	16	OTP	FFFFh	パワーオンリセット (POR)( コールド )

### 6.2.9.2 挥発性コンフィギュレーションレジスタ

**Table 15** 挥発性コンフィギュレーションレジスタ

記号	名前	幅(ビット)	デフォルト 値	参照
VCR	揮発性コンフィギュレーションレジスタ 0	16	NVCR	不揮発性コンフィギュレーションレジスタおよび揮発性コンフィギュレーションレジスタ
DYB	動的保護ビット	セクタあたり 1 ビット	1	動的保護ビット (DYB)
PPBL	PPB ロック ビット	1	ASPR[2]	PPB ロック
ICR	割込みコンフィギュレーションレジスタ	16	FFFFh	INT# 出力
CRCs	CRC 開始アドレス レジスタ	26 (1 Gb)	3FFFFFFh	CRC check-value の計算
CRCE	CRC 終了アドレス レジスタ	26 (1 Gb)	3FFFFFFh	CRC check-value の計算

組込み動作

## 6.2.10 振発性結果およびステータスレジスタ

**Table 16** 振発性結果およびステータスレジスタ

名前	幅(ビット)	デフォルト値	参照
セクタロックステータス	セクタあたり 3 ビット	該当なし	<a href="#">Table 41</a> の注 79 を参照
ステータスレジスタ	16	xx80h	<a href="#">Table 17</a>
割込みステータスレジスタ	16	FFFFBh	<a href="#">Table 34</a>
ECC ステータスレジスタ	16	該当なし	-
エラー下位アドレストラップレジスタ	16	該当なし	<a href="#">Table 41</a>
エラー上位アドレストラップレジスタ	16	該当なし	<a href="#">Table 41</a>
読み出し Check-Value Low Result レジスタ	16	該当なし	CRC 値レジスタ
読み出し Check-Value High Result レジスタ	16	該当なし	CRC 値レジスタ

## 6.2.11 ステータスおよびコンフィギュレーションレジスタの定義

### 6.2.11.1 ステータスレジスタモード

EA のステータスは、単一の 16 ビットステータスレジスタによって提供されます。ステータスレジスタ読み出しコマンドが発行され、続いてステータスレジスタ情報の読み出しアクセスが 1 回実行されます。ステータスレジスタの内容は、デバイスアドレス空間のすべての場所でエイリアス(オーバレイ)されます。オーバレイは、1 回の読み出しアクセス、特にステータスレジスタ読み出しコマンドに続く次の読み出しアクセスに対して有効です。ステータスレジスタに 1 回アクセスすると、ステータスレジスタ ASO が終了します。

ステータスレジスタには、最後に開始された EA の結果(成功または失敗)に関連するビットが含まれています。

- 消去ステータス(ビット 5)
- プログラムステータス(ビット 4)
- 書き込みバッファ中止(ビット 3)
- セクタロックステータス(ビット 1)
- セクタ消去ステータスピット(ビット 0)

そして、プロセス中 EA の現在の状態に関連するビットも含まれています。

- デバイスビジー(ビット 7)
- 消去中止(ビット 6)
- プログラム中止(ビット 2)
- CRC 計算中止(ビット 8)

現在のステータスピットは、EA が処理中、中止、または完了したかどうかを示します。

上位 7 ビット(ビット 15:9)は予約されています。これらには未定義の HIGH または LOW の値があり、ある状態から別の状態に変わる可能性があります。これらのビットは「ドントケア」として扱われ、ソフトウェア読み出しステータスでは無視されます。

クリアステータスレジスタコマンドおよびソフトウェアリセットコマンドは、ステータスレジスタの結果関連ビット(ビット 5, 4, 3, 2, 1、および 0)を '0' にクリアしますが、現在の状態ビットには影響しません。

組込み動作

Table 17 ステータス レジスタ

ビット番号	ビット説明	ビット名	リセットステータス	ビギンステータス	レディステータス
[15:9]	予約済み	-	X	無効	X
[8]	CRC 中止 ステータス ビット	CRCSSB	0	無効	0=CRC 中止なし 1=CRC 中止
[7]	デバイス レディ ビット	DRB	1	0	1
[6]	消去中止 ステータス ビット	ESSB	0	無効	0=消去中止なし 1=消去中止
[5]	消去ステータス ビット	ESB	0	無効	0=消去成功 1=消去失敗
[4]	プログラム ステータス ビット	PSB	0	無効	0=プログラム成功 1=プログラム失敗
[3]	書き込みバッファ アボート ステータス ビット	WBASB	0	無効	0=プログラム中止なし 1=バッファ コマンドへの書き込み 中プログラムが中止
[2]	プログラム中止 ステータス ビット	PSSB	0	無効	0=プログラム中止なし 1=プログラム中止
[1]	セクタロック ステータス ビット	SLSB	0	無効	0=動作中のセクタロックなし 1=セクタロック エラー
[0]	セクタ消去 ステータス ビット	ESTAT	0	無効	0=セクタ消去ステータス コマンド 結果 = 前の消去が正常に完了しな かった 1=セクタ消去ステータス コマンド 結果 = 前の消去が正常に完了した

注:

- 34.ビット 15 ~ 9 は、将来の使用のために予約されており、'0' または '1' として表示される場合があります。これらのビットは、ステータスをチェックするときに無視(マスク)する必要があります。
- 35.デバイスで進行中の EA がない場合、ビット 7 は '1' です。
- 36.ビット 8 およびビット 6 ~ 0 は、ビット 7 が '1' の場合にのみ有効です。
- 37.すべてのビットは、コールドリセットまたはウォームリセットによってリセット状態になります。
- 38.ビット 5, 4, 3, 1, および 0 は、ステータスレジスタのクリアコマンドまたはソフトウェアリセットコマンドによって '0' にクリアされます。
- 39.消去中止コマンドを発行すると、ユーザーは DRB が '1' になるまでステータスの読み出しを続ける必要があります。
- 40.ESSB は、消去再開コマンドによって '0' にクリアされます。
- 41.ESB は、最新の消去操作の成功または失敗を反映しています。
- 42.PSB は、最新のプログラム操作の成功または失敗を反映しています。
- 43.消去中止中に、中止されたセクタにプログラミングすると、プログラムエラーが発生し、プログラムステータスピットが '1' に設定されます。
- 44.消去中止中、消去操作により消去エラーが発生し、消去ステータスピットが '1' に設定されます。
- 45.プログラム中止中、プログラミング操作によりプログラムが失敗し、プログラムステータスピットが '1' に設定されます。
- 46.プログラム中止中に、消去操作により消去エラーが発生し、消去ステータスピットが '1' に設定されます。
- 47.プログラム中止コマンドを発行すると、ユーザーは DRB が '1' になるまでステータスの読み出しを続ける必要があります。
- 48.PSSB は、プログラム再開コマンドによって '0' にクリアされます。
- 49.SLSB は、ターゲットメモリ領域がロックされているため、プログラムまたは消去操作が失敗したこと示します。
- 50.SLSB は、最新のプログラムまたは消去操作のステータスを反映します。
- 51.CRCSSB — CRC 計算の中止中は、アレイからの読み出し操作のみが許可されます。

### 6.2.12 不揮発性コンフィギュレーションレジスタおよび揮発性コンフィギュレーションレジスタ

不揮発性構成レジスタ (NVCR) および揮発性構成レジスタ (VCR) は HYPERFLASH™ バスの動作条件を定義するためには使用されます。以下は設定可能な特性です。

1. ラップ式バースト長 (16 バイト, 32 バイト, または 64 バイトのラップ式バースト)
  - a. 16 バイトおよび 32 バイトのラップ式バーストは、従来の方法で動作し、64 バイトのラップ式バーストは [Table 22](#) のように動作します。
2. 読み出しレイテンシ (最初の読み出しレイテンシを可能にするために 5 ~ 16 のクロックを供給)
3. 出力ドライバー駆動強度
4. 4 KB のパラメーター セクタが使用されるかどうか、そしてそれらがどのようにアドレス マップにマップされるか
5. セキュアシリコン領域をロックするための SSR フリーズ ビット
6. 挥発性コンフィギュレーションレジスタと不揮発性コンフィギュレーションレジスタをロックするための xVCR フリーズ ビット

[Table 41](#) で説明するように VCR と NVCR の内容をロードし、読み戻せます。HYPERFLASH™ デバイスは、NVCR の内容を電源投入時、またはハードウェアリセット後にバス特性を定義するために使用します。ホストシステムが VCR をロードする場合、バス特性は VCR 内容によって定義されます ([Figure 18](#) を参照してください)。NVCR は、初期設定を保持して起動中にホスト コントローラー設定との整合を取りために意図されます。VCR は、起動中にしばしば最適設定に更新されます。VCR がロードされると、バス特性のソースが NVCR から VCR に (電源投入またはハードウェアリセット後) 切り替わります。一旦 VCR をロードした場合、バス特性は電源投入またはハードウェアリセットのみにより NVCR 設定に戻されます。VCR は、ロック解除されている限り、デバイスがアイドルの時にいつでも変更できます。

NVCR の消去および再プログラム可能な回数は n\_NVCR 仕様で定義されています。NVCR のプログラミング中およびその後にバスコンフィギュレーションの一貫性を確保できるよう、NVCR プログラミング時に VCR をバス動作特性の定義に使用してください。

組込み動作

**Table 18 VCR および NVCR コンフィギュレーションレジスタ ビットの割り当て**

xVCR ビット	機能	設定 (2 進数)
xVCR[15]	予約済み	1 = 予約済み (デフォルト)
xVCR[14:12]	駆動強度	<a href="#">Table 19</a> を参照してください。
xVCR[11]	xVCR フリーズ	0 = VCR または NVCR がロックされる (NVCR のプログラムや消去も VCR の変更もない) 1 = VCR および NVCR がロック解除される (工場出荷時のデフォルト状態)
xVCR[10]	SSR フリーズ	0 = セキュアシリコン領域がロックされる (プログラムは不可) 1 = セキュアシリコン領域がロック解除される (工場出荷時のデフォルト状態)
xVCR[9:8]	パラメーター セクタ マッピング	00 = パラメーター セクタと読み出しパスワード セクタは最下位のアドレスにマッピングされる 01 = パラメーター セクタと読み出しパスワード セクタは最上位のアドレスにマッピングされる 10 = ユニフォーム セクタと読み出しパスワード セクタが最下位のアドレスにマッピングされる (工場出荷時のデフォルト状態) 11 = ユニフォーム セクタと読み出しパスワード セクタが最上位のアドレスにマッピングされる
xVCR[7:4]	読み出し レイテンシ	0000 = 5 クロック レイテンシ 0001 = 6 クロック レイテンシ 0010 = 7 クロック レイテンシ 0011 = 8 クロック レイテンシ 0100 = 9 クロック レイテンシ ... 1011 = 16 クロック レイテンシ (工場出荷時のデフォルト状態) <a href="#">Table 4</a> を参照してください。
xVCR[3]	予約済み	1 = 予約済み (デフォルト)
xVCR[2]	RWDS ストール 制御	0 = デュアルエラー検出時に RWDS はストール (LOW のまま) します (デフォルト) 1 = デュアルエラー検出時に RWDS ガストールしない
xVCR[1:0]	バースト長	00 = 予約済み 01 = 64 バイト 10 = 16 バイト 11 = 32 バイト (工場出荷時のデフォルト状態)

注:

52. コンフィギュレーションレジスタ ビットの配置は、不揮発性と揮発性コンフィギュレーションレジスタでは同じです。

組込み動作

Table 19 駆動強度コード

xVCR[14:12]	標準インピーダンス $1.8\text{ V }V_{CCQ}$	標準インピーダンス $3\text{ V }V_{CCQ}$	単位
000 (デフォルト)	27	20	$\Omega$
001	117	71	
010	68	40	
011	45	27	
100	34	20	
101	27	16	
110	24	14	
111	20	12	

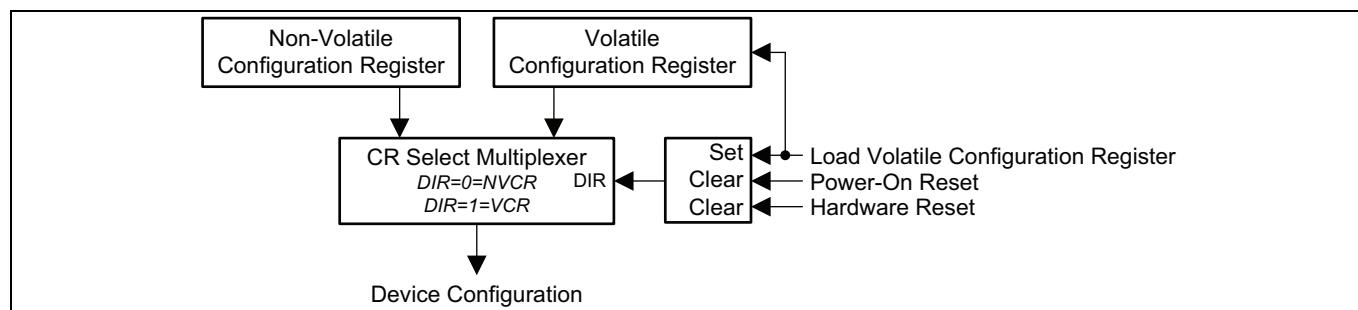


Figure 18 コンフィギュレーション制御 [54, 55, 56]

Table 20 電源投入やハードウェアリセットの直後の VCR および NVCR フリーズビット

NVCR[11] ビット	VCR[11] ビット	NVCR	VCR
1	1	プログラマブル / 消去可能	設定可能 / クリア可能
1	0	一時的ロック	一時的ロック
0	1	プログラマブル / 消去可能	設定可能 / クリア可能 [57, 59]
0	0	恒久的ロック	恒久的ロック [60]

#### 注:

- 53.標準インピーダンスは基準  $V_{CCQ}$  および  $25^\circ\text{C}$  で測定されます。
- 54.ソフトウェアリセットは、CR選択マルチプレクサの状態を変更しません。
- 55.NVCR のプログラミングまたは消去は、以前にロードされた VCR の内容に影響を与えません。
- 56.VCR がロードされていない場合、NVCR をプログラミングすると、VCR に新しい NVCR 値がロードされます。
- 57.NVCR のプログラミング / 消去は、次の POR またはハードウェアリセットの後まで動作に影響しません。
- 58.VCR をロードすると、直ちに動作に影響を与えます。
- 59.この状態は、NVCR[11]=VCR[11]=1、かつ NVCR[11] ビットがプログラムされると発生します。この状態は、次の POR またはハードウェアリセットまで維持します。その後は、NVCR[11]=VCR[11]=0。
- 60.この状態は、NVCR[11] が以前にプログラミングされたときに、POR またはハードウェアリセット後に発生します。

組込み動作

**Table 21** バースト シーケンス例

VCR / NVCR [1:0]	CA[45]	ラップ バウンダリ ( バイト )	開始 アドレス ( 16 進数 )	アドレス シーケンス ( 16 進数 ) ( ワード )
XX	1	リニア	XXXXXX03	03, 04, 05, 06, 07, 08, 09, 0A, 0B, 0C, 0D, 0E, 0F, 10, 11, 12, 13, 14, 15, 16, 17, 18, ...
10	0	16	XXXXXX02	02, 03, 04, 05, 06, 07, 00, 01, ...
10	0	16	XXXXXX0C	0C, 0D, 0E, 0F, 08, 09, 0A, 0B, ...
11	0	32	XXXXXX0A	0A, 0B, 0C, 0D, 0E, 0F, 00, 01, 02, 03, 04, 05, 06, 07, 08, 09, ...
11	0	32	XXXXXX1E	1E, 1F, 10, 11, 12, 13, 14, 15, 16, 17, 18, 19, 1A, 1B, 1C, 1D, ...
01	0	64	XXXXXX03	03, 04, 05, 06, 07, 08, 09, 0A, 0B, 0C, 0D, 0E, 0F, 10, 11, 12, 13, 14, 15, 16, 17, 18, 19, 1A, 1B, 1C, 1D, 1E, 1F, 00, 01, 02, ...
01	0	64	XXXXXX2E	2E, 2F, 30, 31, 32, 33, 34, 35, 36, 37, 38, 39, 3A, 3B, 3C, 3D, 3E, 3F, 20, 21, 22, 23, 24, 25, 26, 27, 28, 29, 2A, 2B, 2C, 2D, ...

**Table 22** 64 バイトラップバーストアドレスシーケンス(レイテンシコード = 16)

## 組込み動作

クロック サイクル	<b>1</b>	CA1																												-	レイテ ンシ数	
	<b>0</b>	CA0																												-		
データセット アドレス	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	23	17	18	19	20	21	22	23	24	25	26	27	28	28	30	31

例題

X=RWPS がトグルしないためバスがアイドル状態になるサイクル。

- ≈64 バイトのラップ式バーストが完了。

**512 M ビット (64 MB)/256 M ビット (32 MB)/128 M ビット (16 MB)**  
**HYPERFLASH™ ファミリー**

組込み動作

**Table 23 64 バイトラップバーストアドレスシーケンス(レイテンシコード = 12)**

11ビットアドレス																															レイテンシ数							
52	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-								
51	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-								
50	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-								
49	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-								
48	-	-	-	-	-	-	-	6	-	-	-	-	-	-	-	14	-	-	-	-	-	-	22	-	-	-	-	-	-	30	-							
47	-	-	-	-	-	-	5	5	-	-	-	-	-	-	13	13	-	-	-	-	-	21	21	-	-	-	-	-	29	29	-							
46	-	-	-	-	-	4	4	4	-	-	-	-	-	12	12	12	-	-	-	-	-	20	20	20	-	-	-	-	28	28	-							
45	31	0	1	2	3	3	3	7	8	9	10	11	11	11	15	16	17	18	19	19	19	19	23	24	25	26	27	27	27	-								
44	30	31	0	1	2	2	2	6	7	8	9	10	10	10	14	15	16	17	18	18	18	18	22	23	24	25	26	26	26	-								
43	29	30	31	0	1	1	1	5	6	7	8	9	9	9	9	13	14	15	16	17	17	17	17	21	22	23	24	25	25	25	-							
42	28	29	30	31	0	0	0	0	4	5	6	7	8	8	8	12	13	14	15	16	16	16	16	20	21	22	23	24	24	24	-							
41	27	28	29	30	31	31	31	3	4	5	6	7	7	7	7	11	12	13	14	15	15	15	15	19	20	21	22	23	23	23	-							
40	26	27	28	29	30	30	30	2	3	4	5	6	6	6	6	10	11	12	13	14	14	14	14	18	19	20	21	22	22	22	-							
39	25	26	27	28	29	29	29	1	2	3	4	5	5	5	5	9	10	11	12	13	13	13	17	18	19	20	21	21	21	-								
38	24	25	26	27	28	28	28	0	1	2	3	4	4	4	4	8	9	10	11	12	12	12	16	17	18	19	20	20	20	-								
37	23	24	25	26	27	27	27	31	0	1	2	3	3	3	3	7	8	9	10	11	11	11	15	16	17	18	19	19	19	-								
36	22	23	24	25	26	26	26	30	31	0	1	2	2	2	2	6	7	8	9	10	10	10	10	14	15	16	17	18	18	18	-							
35	21	22	23	24	25	25	25	29	30	31	0	1	1	1	1	5	6	7	8	9	9	9	9	13	14	15	16	17	17	17	-							
34	20	21	22	23	24	24	24	28	29	30	31	0	0	0	0	4	5	6	7	8	8	8	8	12	13	14	15	16	16	16	-							
33	19	20	21	22	23	23	23	27	28	29	30	31	31	31	31	3	4	5	6	7	7	7	7	11	12	13	14	15	15	15	-							
32	18	19	20	21	22	22	22	26	27	28	29	30	30	30	30	2	3	4	5	6	6	6	6	10	11	12	13	14	14	14	-							
31	17	18	19	20	21	21	21	25	26	27	28	29	29	29	29	1	2	3	4	5	5	5	5	9	10	11	12	13	13	13	-							
30	16	17	18	19	20	20	20	20	24	25	26	27	28	28	28	28	0	1	2	3	4	4	4	4	8	9	10	11	12	12	12	-						
29	15	16	17	18	19	19	19	23	24	25	26	27	27	27	27	31	0	1	2	3	3	3	3	7	8	9	10	11	11	11	-							
28	14	15	16	17	18	18	18	22	23	24	25	26	26	26	26	30	31	0	1	2	2	2	2	6	7	8	9	10	10	10	-							
27	13	14	15	16	17	17	17	21	22	23	24	25	25	25	25	29	30	31	0	1	1	1	1	5	6	7	8	9	9	9	-							
26	12	13	14	15	16	16	16	20	21	22	23	24	24	24	24	28	29	30	31	0	0	0	0	4	5	6	7	8	8	8	-							
25	11	12	13	14	15	X	X	X	19	20	21	22	23	X	X	X	27	28	29	30	31	X	X	X	3	4	5	6	7	X	X	-						
24	10	11	12	13	14	15	X	X	18	19	20	21	22	23	X	X	26	27	28	29	30	31	X	X	2	3	4	5	6	7	X	-						
23	9	10	11	12	13	14	15	X	17	18	19	20	21	22	23	X	25	26	27	28	29	30	31	X	1	2	3	4	5	6	7	X	-					
22	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	23	24	25	26	27	28	29	30	31	0	1	2	3	4	5	6	7	-					
21	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	23	24	25	26	27	28	29	30	31	0	1	2	3	4	5	6	-					
20	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	23	24	25	26	27	28	29	30	31	0	1	2	3	4	5	6	-				
19	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	23	24	25	26	27	28	29	30	31	0	1	2	3	4	5	6	-			
18	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	23	24	25	26	27	28	29	30	31	0	1	2	3	4	5	6	-		
17	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	23	24	25	26	27	28	29	30	31	0	1	2	3	4	5	6	-	
16	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	23	24	25	26	27	28	29	30	31	0	1	2	3	4	5	6	-

**Table 23 64 バイトラップバーストアドレスシーケンス(レイテンシコード = 12) (Continued)**

15	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	23	24	25	26	27	28	29	30	31	0	-					
14	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	23	24	25	26	27	28	29	30	31	-					
13	バスターンアラウンド																													12								
...	初期レイテンシ																																					
3																																				2		
2	CA2																																				1	
1	CA1																																				-	
0	CA0																																					-
ターゲットアドレス	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	23	17	18	19	20	21	22	23	24	25	26	27	28	28	30	31						

凡例:

X = RWDS がトグルしないためバスがアイドル状態になるサイクル。

- = 64 バイトのラップ式バーストが完了。

組込み動作

### 6.2.12.1 CRC 値レジスタ

揮発性 CRC レジスタ (CRCR) は、開始アドレスから終了アドレスまでのデータの Check-value を計算する CRC プロセスの結果を保存します。

**Table 24 CRC 値レジスタ ビット割り当て**

ビット位置	CRC 値 Low Result レジスタ	CRC 値 High Result レジスタ
[15]	R15	R31
[14]	R14	R30
[13]	R13	R29
[12]	R12	R28
[11]	R11	R27
[10]	R10	R26
[9]	R9	R25
[8]	R8	R24
[7]	R7	R23
[6]	R6	R22
[5]	R5	R21
[4]	R4	R20
[3]	R3	R19
[2]	R2	R18
[1]	R1	R17
[0]	R0	R16

注:

61.CRC 値は揮発性レジスタです。

組込み動作

## 6.2.13 ASO へのエントリおよび終了

### 6.2.13.1 ID-CFI ASO

システムは読み出しモード中に ID-CFI エントリ コマンド シーケンスを実行することで、ID-CFI ASO にアクセスできます。このエントリコマンドは、コマンド内のセクタアドレス (SA) を使用して、どのセクタがオーバレイされるかを確認します。詳細については、Table 41, Table 12, デバイス ID, 共通フラッシュメモリインターフェースを参照してください。

ID-CFI ASO では次の動作が行えます。

- エントリコマンドで使用した SA と同じ SA を使用して ID-CFI ASO を読み出す。
- ASO を終了する。

以下は CFI へのエントリおよび終了関数を使用した C ソースのサンプルコードです。インフィニオン フラッシュメモリソフトウェア開発ガイドラインについては、*Low Level Driver User Guide* を参照してください。

```
/* Example: CFI Entry command */
*( (UINT16 *)base_addr + 0x555 ) = 0x0098; /* write CFI entry command */

/* Example: CFI Exit command */
*( (UINT16 *)base_addr + 0x000 ) = 0x00F0; /* write cfi exit command */
```

### 6.2.13.2 ステータスレジスタ ASO

ステータスレジスタの読み出しコマンドを実行すると、レジスタが現在のステータスを取得し、ASO に入ります。ステータスレジスタ ASO で読み出すと、ASO から抜け出し、ステータスレジスタの読み出しコマンド実行直前に使用していたアドレス空間マップに戻ります。ステータスレジスタ ASO を終了するには、ステータスを読み出す前に、他のコマンドを送信しないでください。ステータスレジスタの内容は、バースト読み出しの最初のデータ値としてのみ出力され、次のクロックサイクルでは不定のデータが出力されます。

### 6.2.13.3 セキュアシリコン領域 ASO

システムは、リードモード中にセキュアシリコン領域エントリコマンド シーケンスを実行することで、セキュアシリコン領域にアクセスできます。このエントリコマンドは、コマンド内の SA を使用して、どのセクタがオーバレイされるかを確認します。

セキュアシリコン領域 ASO では次の動作が行えます。

- エントリコマンドで使用した SA と同じ SA を使用してセキュアシリコン領域を読み出します。オーバーレイされた SA を使用して SSR 外の領域を読み出すと不確定データが返ります。
- セキュアシリコン領域外の SA を読み出すと、アレイデータが取得されます。このアレイを読み出す場合、SSR ASO を終了しません。
- ワードまたは書き込みバッファのプログラムコマンドを使用して、お客様用セキュアシリコン領域をプログラムします。
- ソフトウェア下位互換性のための、レガシーのセキュアシリコン終了コマンドを使用して ASO を終了します。
- すべての ASO に共通の終了コマンドを使用して ASO を終了します(終了方式を一貫したい場合に行います)。

組込み動作

#### 6.2.13.4 ASP コンフィギュレーション レジスタ (ASPR) ASO

システムは、読み出しモード中に ASP コンフィギュレーション レジスタ エントリ コマンド シーケンスを実行することで、ASPR コンフィギュレーション レジスタにアクセスできます。このエントリ コマンドは、エントリ コマンド内のセクタ アドレスを使用しません。ASPR レジスタはデバイス アドレス空間のワード位置 0 に配置されます。デバイス アドレス空間の他のすべての位置は未定義となります。

ASPR コンフィギュレーション レジスタ ASO では次の動作が行えます。

- ・デバイスのアドレス位置 0 を使用して ASP コンフィギュレーション レジスタを読み出します。
- ・ワード プログラミング コマンドを変更してお客様用 ASP コンフィギュレーション ビットをプログラムします。
- ・ソフトウェア下位互換性のためにレガシーのコマンド セット 終了コマンドを使用して ASO を終了します。
- ・すべての ASO に共通の終了コマンドを使用して ASO を終了します(終了方式を一貫にしたい場合に行います)。

#### 6.2.13.5 パスワード ASO

システムは、リードモード中にパスワード エントリ コマンド シーケンスを実行することで、パスワード ASO にアクセスできます。このエントリ コマンドは、エントリ コマンド内のセクタ アドレスを使用しません。パスワードは、デバイス アドレス空間のワード位置 0～3 に現れます。デバイス アドレス空間の他のすべての位置は未定義となります。

パスワード ASO では次の動作が可能です。

- ・デバイスのアドレス位置 0～3 を使用した、パスワードの読み出し。
- ・修正されたワード プログラミング コマンドを使用してパスワードをプログラムします。
- ・パスワード アンロック コマンドを使用して PPB ロック ビットのロックを解除します。
- ・ソフトウェア下位互換性のためにレガシーのコマンド セット 終了コマンドを使用して ASO を終了します。
- ・すべての ASO に共通の終了コマンドを使用して ASO を終了します(終了方式を一貫にしたい場合に行います)。

#### 6.2.13.6 PPB ASO

システムは、読み出しモード中に PPB エントリ コマンド シーケンスを実行することで、PPB ASO にアクセスできます。このエントリ コマンドは、エントリ コマンド内のセクタ アドレスを使用しません。あるセクタの PPB ビットが、そのセクタ内 のすべてのワード位置のビット 0 に現れます。

PPB ASO では次の動作が行えます。

- ・セクタ内 の任意のワードのビット 0 内にあるセクタの PPB 保護ステータスを読み出します。
- ・修正されたワード プログラミング コマンドを使用して PPB ビットをプログラムします。
- ・PPB 消去コマンドですべての PPB ビットを消去します。
- ・ソフトウェア下位互換性のためにレガシーのコマンド セット 終了コマンドを使用して ASO を終了します。
- ・すべての ASO に共通の終了コマンドを使用して ASO を終了します(終了方式を一貫にしたい場合に行います)。

組込み動作

### 6.2.13.7 PPB ロック ASO

システムは、読み出しモード中に PPB ロックエントリコマンドシーケンスを実行することで、PPB ロック ASO にアクセスできます。このエントリコマンドは、エントリコマンド内のセクタアドレスを使用しません。グローバル PPB ロックビットが、そのデバイスのすべてのワード位置のビット 0 に現れます。

PPB ロック ASO では次の動作が行えます。

- ・デバイスアドレス空間の任意のワードの PPB ロック保護ステータスのビット 0 を読み出します。
- ・修正されたワードプログラミングコマンドを使用して、PPB ロックビットをクリアします。
- ・ソフトウェア下位互換性のためにレガシーのコマンドセット終了コマンドを使用して ASO を終了します。
- ・すべての ASO に共通の終了コマンドを使用して ASO を終了します(終了方式を一貫したい場合に行います)。

### 6.2.13.8 動的保護ビット (DYB) ASO

システムは、読み出しモード中に DYB エントリコマンドシーケンスを実行することで、DYB ASO にアクセスできます。このエントリコマンドは、エントリコマンド内のセクタアドレスを使用しません。各セクタの DYB ビットが、そのセクタ内にすべてのワード位置のビット 0 に存在します。

DYB ASO では次の動作が可能です。

- ・セクタ内の任意のワードのビット 0 のセクタの DYB 保護ステータスを読み出します。
- ・修正されたワードプログラミングコマンドを使用して DYB ビットを設定します。
- ・変更したワードプログラミングコマンドを使用して、DYB ビットを消去します。
- ・ソフトウェア下位互換性のためにレガシーのコマンドセット終了コマンドを使用して ASO を終了します。
- ・すべての ASO に共通の終了コマンドを使用して ASO を終了します(終了方式を一貫したい場合に行います)。

### 6.2.13.9 ECC ステータス ASO

ECC ステータス ASO は、フラッシュメモリアレイの半分のページを読み出すときにエラー修正アクションのステータスを表示します。ステータスの 1 つの単語は、ハーフページ内の任意の単語の場所に表示されます。

システムは、読み出しモード中に ECC ステータスエントリコマンドシーケンスを発行することにより、ECC ステータス ASO にアクセスできます。このエントリコマンドは、エントリコマンドのセクタアドレスを使用しません。ハーフページの ECC ステータスピットは、アドレス指定されたハーフページのすべてのワード位置のビット 4, 3, 2, 1, および 0 に表示されます。

ECC ステータス ASO では、次のアクティビティが許可されます。

- ・アドレス指定されたハーフページの ECC ステータスレジスタ値の読み出し
- ・エラー検出上位および下位アドレスラップレジスタの読み出し
- ・ECC エラーカウンターレジスタの読み出し
- ・ASO 終了

組込み動作

### 6.2.13.10 CRC ASO

CRC ASO を入力すると、CRC 関連のコマンドと CRC 計算結果チェック値の読み出しが有効になります。CRC 計算は中断されませんが、CRC ASO はフラッシュメモリアレイ全体をオーバーレイします。CRC 計算が中断されると、フラッシュメモリアレイが読み出し可能になります。CRC ASO に入力されている間、メモリアレイの読み出しのみがサポートされ、CRC 計算は中断されます。CRC ASO は次のアクティビティを許可します。

- CRC 開始位置のロード
- CRC 終了位置のロード
- CRC 計算の中断
- 中断中のフラッシュアレイの読み出し
- CRC 計算の再開
- check-value の結果の読み出し
- CRC ASO の終了

### 6.2.13.11 ソフトウェア (コマンド) リセット /ASO 終了

ソフトウェアリセットはコマンドセット ([Table 41](#) を参照してください) の一部で、EAC をスタンバイ状態に復帰させる働きもします。必ず、以下の条件の場合に使用してください。

- ID/CFI モードの終了
- タイムアウト発生時に、データポーリング用のタイムアウト ビット (DQ5) を消去

ソフトウェアリセットを実行しても EA モードへの影響はありません。いったんプログラムまたは消去が開始された後は、その動作が完了するまで、リセットコマンドは無視されます。ソフトウェアリセットを実行しても出力への影響はありません。ソフトウェアリセットの第一の役割は、ASO モードから、または失敗したプログラム動作または消去動作から、読み出しモードに復帰することです。

ソフトウェアリセットを実行すると、無効なコマンドシーケンスに由来する未定義状態からリードモードに戻ることがあります。

一部の未定義状態から通常動作に復帰させるには、ハードウェアリセットが必要になる場合があります。

ソフトウェアリセットのレイテンシの要件はありません。リセットコマンドは、 $t_{WPH}$  の間に実行されます。

組込み動作

## 6.2.14 エラー タイプおよび消去手順

組込み動作ステータス方式により報告されるエラーには3タイプあります。エラータイプによって、報告されるエラーステータスとエラーステータスのクリア手順が異なります。以下で、エラーステータスのクリア手順について説明します。

- エラーの前に ASO に入っていた場合は、デバイスは ASO に入ったままとなり、ASO の読み出しありまたはコマンド待機状態となります。
- エラーの前に消去を中止していた場合は、デバイスは消去中止状態に戻り、フラッシュアレイの読み出しありまたはコマンド待機状態となります。
- それ以外の場合は、デバイスはスタンバイ状態になり、フラッシュアレイ読み出しありまたはコマンド書き込みの待機状態となります。

### 6.2.14.1 組込み動作エラー ( および無効パスワード )

組込み動作(プログラム, 消去, ブランクチェック, パスワードアンロック)の間にエラーが発生した場合は、組込みアルゴリズムコントローラーは有効のままになります。ステータスレジスタは、レディを示し、(SR[7]=1) エラーの原因を示す有効なステータスピットを示します。ホストシステムのステータス監視によりエラーステータスが検出され、エラーステータスがクリアされるまで、組込みアルゴリズムは有効のままであります。

組込みアルゴリズムがエラー状態にある間は、ステータスレジスタは以下のように表示されます。

- SR[7] = 1: 有効のステータスを表示
- SR[6] = X: EA エラー中に消去中止が可能かどうかを示す
- SR[5] = 1: 消去またはブランクチェック エラー。そうでない場合は SR[5] = 0
- SR[4] = 1: プログラム エラーまたは無効なパスワード。そうでない場合は SR[4] = 0
- SR[3] = X: 「ドントケア」として扱う(マスク)
- SR[2] = 0: 中止中のプログラムなし
- SR[1] = 0
- SR[0] = X: 「ドントケア」として扱う(マスク)

組込みアルゴリズムのエラーステータスが検出された場合は、通常動作に戻し、新しい読み出しありまたはコマンド書き込みを行えるようにするには、エラーステータスをクリアする必要があります。エラーステータスは、以下を書き込むことでクリアできます。

- リセットコマンド
  - ステータスレジスタクリアコマンド
- 組込みアルゴリズムがエラー状態にある間に受付けられるコマンドは次のとおりです。
- ステータスレジスタ読み出し
  - リセットコマンド
  - ステータスレジスタクリアコマンド

組込み動作

### 6.2.14.2 保護エラー

組込みアルゴリズムが、保護設定された領域内でデータの変更を試みると(保護設定されたセクタまたはOTP領域に対するプログラム動作または消去動作)、デバイス(EAC)は20~100μs間ビジーになった後、通常動作に戻ります。保護メカニズムはDYB, PPB、およびロックが含まれています。ビジーの間に、ステータスレジスタは無効なステータスピットでレディではない状態を示します(SR[7]=0)。プログラミングまたは消去動作をロックされた領域で行おうとする場合、その動作は中止され、失敗がステータスレジスタに表示されます([Table 17](#)を参照してください)。

保護エラーステータスによるビジーの間に受け付けられるコマンドは次のとおりです。

- ステータスレジスタ読み出し

ビジー期間が終了すると、デバイスは通常動作に戻り、ステータスレジスタは有効なステータスピットによりレディ状態を示します。この時デバイスは、フラッシュアレイへの新しいコマンドの読み書きを受け付ける準備ができます。

保護エラーステータスによるビジー期間後は、ステータスレジスタの表示は次のようにになります。

- SR[7] = 1: 有効ステータスが表示
- SR[6] = X: 保護エラーによるビジー期間後に消去中止があったかどうか
- SR[5] = 1: 消去エラーが発生した場合に示す。そうでなければSR[5] = 0
- SR[4] = 1: プログラムまたはパスワードロック解除エラーが発生した場合に示す。そうでなければSR[4] = 0
- SR[3] = X: 「ドントケア」として扱う(マスク)
- SR[2] = 0: 中止中のプログラムなし
- SR[1] = 1: 保護エリア書き換え処理実行エラー
- SR[0] = X: 「ドントケア」として扱う(マスク)

保護エラーステータスによるビジー期間後に受け付けられるコマンドは次のとおりです。

- すべてのコマンド

プログラムステータスピットが設定された場合は、さらにプログラム動作を行うとSR[4]がクリアされます。消去ステータスピットが設定された場合は、さらに消去動作を行うとSR[6]がクリアされます。

### 6.2.14.3 書き込みバッファ中止

バッファへの書き込みコマンドの実行中にエラーが発生すると、デバイス(EAC)はビジーのままになります。ステータスレジスタは、有効なステータスピットでレディ状態を示します。ホストシステムのステータス監視によりエラーステータスが検出され、エラーステータスがクリアされるまで、デバイスはビジーのままになります。

組込みアルゴリズム(EA)がエラー状態にある間は、ステータスレジスタは以下のように表示されます。

- SR[7] = 1: 有効ステータスを表示
- SR[6] = X: WBAのエラーステータスで、消去中止があったかどうかを示す
- SR[5] = 0: 正常に消去
- SR[4] = 1: プログラム関係のエラーが発生。そうでなければ、SR[4] = 0
- SR[3] = 1: バッファ書き込み中止
- SR[2] = 0: 中止中のプログラムなし
- SR[1] = 0: 動作中にセクタはロックされていない

## 組込み動作

- SR[0]=X: 「ドントケア」として扱う(マスク)

WBA のエラーステータスが検出された場合は、通常動作に戻し、新しいリードまたはコマンドライトを行えるようにするには、エラーステータスをクリアする必要があります。エラーステータスは、以下を書き込むことでクリアできます。

- バッファ書き込み中止リセットコマンド
  - ステータスレジスタをクリアし、通常動作に戻ります。

- ステータスレジスタクリアコマンド

組込みアルゴリズムがエラー状態にある間に受けられるコマンドは次のとおりです。

- ステータスレジスタ読み出し
  - ステータスレジスタを読み出して、WBA ビジー状態に戻ります。
- バッファ書き込み中止リセットコマンド
- ステータスレジスタクリアコマンド

組込みアルゴリズムを実行している間、ステータスレジスタ読み出しに関係ない読み出しトランザクションを行うと、RWDS が切り替わり、不確定データが返ります。

### 6.2.14.4 ECC エラー

ECC エラーが検出されたときにホストシステムに報告する方法は 3 つあります。

- ECC ステータス ASO があり、ASO 内のハーフページの場所を読み取るときに実行されたエラー検出または修正アクションのステータスを提供します。
- 割込み(INT#) 出力を有効にして、ハーフページの読み出し中に 1 ビットまたは 2 ビットのエラーが検出されたことを示せます。
- モードを有効にして、2 ビットエラーを含むハーフページの読み出し時に読み出し / 書き込みデータストローブ(RWDS)のトグル(ストール)を停止させられます。RWDS が 32 クロックサイクル以上遷移しない場合、ストール状態はバスエラーとして HYPERBUS™ マスターによって検出されます。

#### ECC ステータスレジスタ (ECCSR)

ECCSR にはユーザーがプログラム可能な不揮発性ビットはありません。定義されたビットはすべて揮発性の読み出し専用ステータスです。各ハーフページ ECC ユニットの ECC のステータスは、16 ビット ECC ステータスレジスタ (ECCSR) によって提供されます。ECC Register Read コマンドが書き込まれ、その後に ECC ユニットアドレスが続きます。ステータスレジスタの内容は、選択した ECC ユニットについて、ECC にエラーがあるか、ECC ユニットデータであるか、またはその ECC ユニットでその ECC が無効になっているかを示します。2 ビット ECC 検出 (ECCSR[4]) および 1 ビット ECC 修正 (ECCSR[3]) に関する結果はグローバルであり、特定の ECC ユニットアドレスに依存しません。

組込み動作

Table 25 ECC ステータス レジスタ ビット割り当て

ビット	フィールド名	機能	タイプ	初期ステータス	説明
[15:5]	RFU	予約済み	揮発性, 読み出しのみ	0	将来に使用するために予約済み
[4]	2BD	2 ビット ECC 検出	揮発性, 読み出しのみ	0	1 = 最後の ECC ステータス ASO 終了 以降に 2 ビット ECC 検出が発生 0 = 最後の ECC ステータス ASO 終了 以降に 2 ビット ECC 検出が発生なし
[3]	CB	1 ビット ECC 訂正	揮発性, 読み出しのみ	0	1 = 最後の ECC ステータス ASO 終了 以降に ECC 訂正実行 0 = 最後の ECC ステータス ASO 終了 以降に ECC 訂正実行なし
[2]	EECC	ECC でのエラー	揮発性, 読み出しのみ	0	1 = ECC ユニットのエラー訂正コード でシングルビットエラーあり 0 = エラーなし
[1]	EECCD	ECC ユニットデータ でのエラー	揮発性, 読み出しのみ	0	1 = ECC ユニットデータでのシングル ビットエラー訂正 0 = エラーなし
[0]	ECCD1	ECC 無効	揮発性, 読み出しのみ	0	1 = 選択した ECC ユニットで ECC が 無効 0 = 選択した ECC ユニットで ECC が 有効

**ECCSR[0]=1** は、ECC ユニットで ECC が無効になっていることを示します。

**ECCSR[1]=1** は、ECC ユニットデータのエラーが訂正されたことを示します。

**ECCSR[2]=1** は、ECC シンドロームでエラーが訂正されたことを示します。

ECCSR[2:0] ビットのデフォルト状態の 0 は、エラーがなく、ECC が有効になっていることを示します。

**ECCSR[3]=1** は、最後の ECC ステータス ASO 終了以降に ECC 修正が実行されたことを示します。ECC ステータス ASO 終了以降は、ECCSR[3] 値を 0 状態にリセットします。現在の ECC ステータス読み出しの ECC 結果が ECCSR[3] ビットに影響する可能性があることに注意してください。

**ECCSR[4]=1** は、最後の ECC ステータスレジスタ ASO が終了してから 2 ビット ECC 検出が発生したこと を示します。ECC ステータス ASO 終了以降は、ECCSR[4] 値を 0 状態にリセットします。2 ビット ECC イベントが発生した場合、ECCSR[3:1] ビットは無効であることに注意してください。2 ビット ECC 検出が発生した場合、エラーが検出されたときにアクセスされたアドレスは、レジスタのペアにトラップされます。現在の ECC ステータスリードの ECC 結果が ECCSR[4] ビットに影響する可能性があることに注意してください。

**ECCSR[15:5]** ビットは予約されています。これらには、1 つの ECC ステータスから別のステータスに変化する可能性のある未定義の HIGH または LOW 値があります。これらのビットは「ドントケア」として扱われ、ECC ステータスを読み出すソフトウェアでは無視されます。

ECCSR は、ハードウェアリセットで、またはソフトウェアリセット / ASO 終了コマンドで ECC ステータス ASO が終了すると、デフォルト状態(0)に戻ります。

#### アドレストラップレジスタ (ATR)

フラッシュアレイの読み出し中に ECC エラーが最初に発生したハーフページアドレスをキャプチャするためのレジスタが提供されています。512M ビット容量 HYPERFLASH™ デバイスは、2 ビットエラーが発生したアドレスのみを記録します。他のすべての HYPERFLASH™ デバイスは、ASPR [13] 設定ビットを使用して、アドレストラップレジスタが 1 ビットと 2 ビットの両方のエラー位置をキャプチャできるようにします。ECC ステータスレジスタ (ECCSR) ビット 3 またはビット 4=1 の場合、アドレストラップレジスタには有効なアドレスがあります。

エラーハードアドレスレジスタとエラー上位アドレスレジスタには、エラーが検出されたときにアクセスされたアドレスが含まれています。不良ビットは、レジスタに示されている正確なアドレスに配置され

## 組込み動作

ていない場合がありますが、エラーが検出された 16 バイトの位置合わせされたハーフページ内に配置されます。単一の読み出し操作中に複数のハーフページでエラーが検出された場合、最初に失敗したハーフページアドレスのアドレスがエラーアドレスタにキャプチャされます。POR、ハードウェアリセット、または ECC ASO の終了後に検出された、最初に有効にされたエラータイプのアドレス (2 ビットまたは ASPR [13] で選択された 1 ビットまたは 2 ビット) のみキャプチャされます。各 ECC ASO 終了は、アドレストラップレジスタと ECCSR[4:3] ビットをクリアします。

2 ビットエラー検出が有効になっておらず、同じハーフページが複数回プログラムされている場合、そのハーフページの ECC エラー検出は無効になっているため、アドレスをトラップするエラーを認識できません。

Table 26 エラー上位 / 下位アドレス トラップレジスタのビット割り当て

容量	エラー下位アドレス レジスタ	エラー上位アドレス レジスタ		
		128 Mb	256 Mb	512 Mb
[15]	A15	0	0	0
[14]	A14	0	0	0
[13]	A13	0	0	0
[12]	A12	0	0	0
[11]	A11	0	0	0
[10]	A10	0	0	0
[9]	A9	0	0	0
[8]	A8	0	0	A24
[7]	A7	0	A23	A23
[6]	A6	A22	A22	A22
[5]	A5	A21	A21	A21
[4]	A4	A20	A20	A20
[3]	A3	A19	A19	A19
[2]	0	A18	A18	A18
[1]	0	A17	A17	A17
[0]	0	A16	A16	A16

## エラー検出カウンター

512Mb 容量 HYPERFLASH™デバイスは、この機能をサポートしていません。容量 512M ビット以外の HYPERFLASH™デバイスでは、ハーフページがフラッシュアレイから読み出されるときに発生する 1 ビットまたは 2 ビットエラーの数を追跡するためのカウンターが提供されます。メインアレイで認識されたエラー (アクティブな ASO なし) のみが、エラー検出カウンターをインクリメントします。ECC ASO に入る間、カウンターは増加しません。

ECC ASO が終了しても、エラー検出カウンターはクリアされません。カウンターは、POR、ハードウェアリセット、または Counter Clear コマンドシーケンスで '0' に設定されます。Counter Read および Counter Clear コマンドシーケンスは、ECC ステータス ASO でのみ動作します。16 ビットエラー検出カウンタは、FFFFh を超えてインクリメントしません。エラーカウントが最後の ECC ASO 終了から増加した場合、ECC アドレストラップレジスタは、ECC ASO 終了の後に見つかった最初の ECC エラーの有効なアドレスを保持します。

2 ビットエラーが検出され、RWDS がトグルを停止する (ストールする) 連続読み出し操作中に、クロックがトグルを継続し、メモリデバイスがデータアドレスをインクリメントし、DQ 信号に新しいデータを配置し続けることに注意してください。エラーが発生した追加のハーフページは、CS# が HIGH に戻るまでカウントされます。

バースト読み出しトランザクション中に、エラーが見つかったハーフページごとに 1 つのエラーのみがカウントされます。各読み出しトランザクションは、ターゲットのハーフページの新しい読み出しを引

## 組込み動作

き起こします。複数の読み出しトランザクションがエラーを含む同じハーフページにアクセスする場合、エラーカウンターはそのハーフページが読み出されるたびにインクリメントします。

2 ビットエラー検出が有効になっておらず、同じハーフページが複数回プログラムされると、そのハーフページの ECC エラー検出が無効になるため、エラーを認識またはカウントできません。

### RWDS ストール

xVCR[2] の RWDS ストール制御ビットを使用すると、2 ビットエラーが発生したときに RWDS ストールを有効にできます。有効 (xVCR[2] = 0) の場合、DED 時に RWDS は LOW に駆動されます。CS# がアサートされているかぎり、RWDS は LOW 状態のままになり、CS# が HIGH に戻るとすぐに通常の RWDS 機能が再開します。RWDS ストール制御ビットが無効状態 (xVCR[2] = 1) の場合、RWDS の動作は影響を受けません。

組込み動作

## 6.3 データ保護

### 6.3.1 セキュアシリコン領域 (SSR)

各デバイスは、フラッシュメモリアレイとは分割された 1024 バイトのワンタイムプログラム可能な SSR のアドレス空間を持っています。SSR 領域は 32 の領域に分割され、それが単独にロックでき、32 バイト整列長です。

アドレス 0 から始まる 32 バイトの領域では、

- 最下位 16 アドレス バイトは、インフィニオンによって 128 ビットの乱数でプログラムされます。インフィニオンのみがこれらのバイトをプログラムできます。これらの位置に 0 をプログラムしようとすると、そのプログラム動作が失敗し、プログラム ステータス エラーが発生します (SR[4] = 1)。
- 次の上位 4 アドレス バイト (SSR ロック バイト) は恒久的に各領域をプログラミングから保護するために SSR 領域ごとに 1 ビットを提供するために使用されます。インフィニオン出荷時にこれらのバイトは消去されます。SSR 領域は、プログラミングした後、SSR ロック バイト 単位の関連する保護ビットをプログラムすることで、さらなるプログラミングをロックできます。
- 最下位アドレス領域の次の上位 12 バイトは、将来の使用 (RFU) のためにリザーブ (予約) されています。これらの RFU のバイト内のビットは、ホストシステムによりプログラムできますが、将来のデバイスにより、より大きな SSR 領域の保護に使用する場合があることを理解してください。インフィニオン出荷時にこれらのバイトは消去されます。

残りの領域は、k インフィニオンから出荷時に消去され、追加の恒久的なデータをプログラミングできます。

Figure 19 に SSR のメモリ空間の図を示します。

SSR メモリ空間はシステムセキュリティ強化のために企画されています。インフィニオンによってプログラムされる乱数のような SSR 値は、フラッシュコンポーネントをシステム CPU/ASIC と「メイト」するために使用できます。

コンフィギュレーションレジスタ SSR フリーズ (xVCR[10]) ビットは、全体 SSR のメモリ空間を 0 にクリアされる (または NVCR にプログラミングされる) 時にプログラミングから保護します。

#### 6.3.1.1 セキュアシリコン領域メモリ空間の読み出し

SSR 領域の読み出しは、SSR ASO に入ってから、SSR のエントリ シーケンスを使用して行われます。SSR は、SSR エントリ コマンド シーケンスの間に識別された特定のセクタにマッピングされます。SSR エントリ コマンド シーケンス中に識別セクタ内でかつ有効な 8KB SSR アドレス範囲外で SSR を読み出すと、不確定のデータを取得します。SSR ASO によってオーバーレイされるセクタを読み込むと配列データを取得します。SSR 終了 シーケンスを実行すると、デバイスがアレイ読み出し ASO に戻ります。

#### 6.3.1.2 セキュアシリコン領域メモリ空間のプログラミング

SSR メモリのプログラミングは、SSR ASO に入ってから、SSR のエントリ シーケンスを使用して行われます。SSR プログラミング コマンドのプロトコルは、通常のアレイ プログラミングと同じです。SSR のプログラミング シーケンスは、特定の SSR のアドレスに複数回実行できますが、このアドレス空間を消去できません。Figure 19 に SSR プログラムが許可されるアドレス範囲を示します。有効な SSR アドレス範囲外での SSR プログラム動作は、アドレス A9 以上を無視し、有効な SSR アドレスの範囲内にアリアスします。フリーズ = 0 の時に、SSR プログラムを行うと失敗し、その失敗は示されません。ASP 保護モードを選択しても、SSR アドレス空間が保護されません。フリーズ SSR ビット (xVCR.10) は SSR アドレス空間を保護するために使用できます。SSR 終了 シーケンスを実行すると、デバイスが読み出し モードに戻ります。

組込み動作

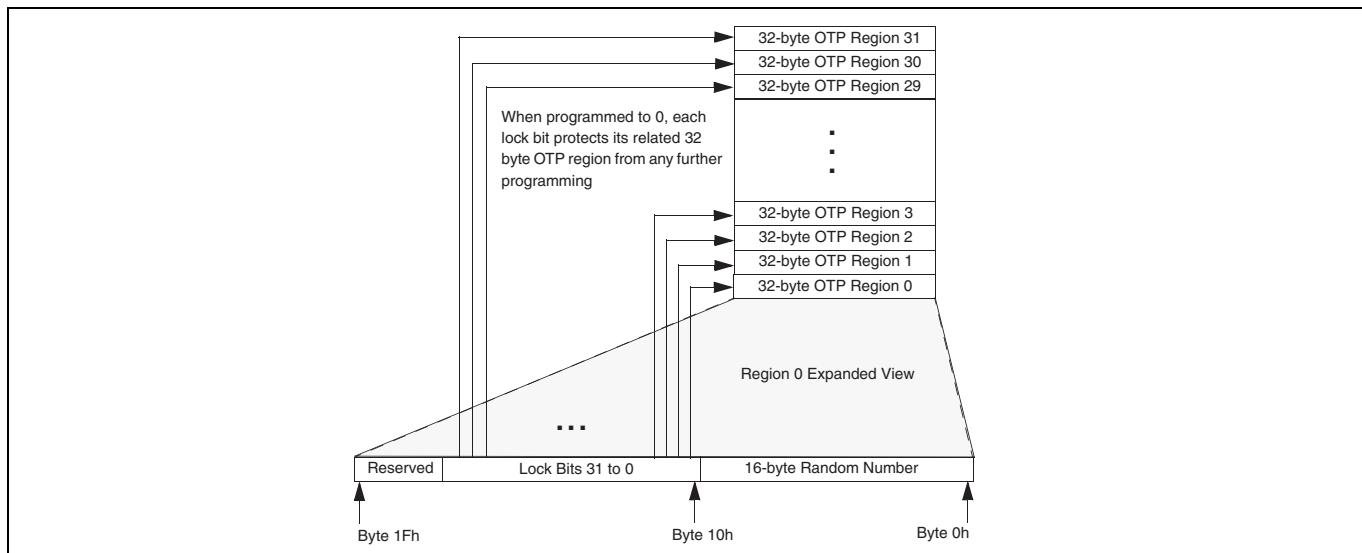


Figure 19 SSR アドレス空間

Table 27 SSR アドレスマップ

領域	バイトアドレス範囲 (16進数)	内容	初期デリバリー状態(16進数)
領域 0	0000h	インフィニオンがプログラムするランダム番号の最下位バイト	インフィニオンがプログラムするランダム番号
	...	...	
	000Fh	インフィニオンがプログラムするランダム番号の最上位バイト	
	0010h-0013h	領域ロックビット バイト 10 [ビット 0] は 0 であるときは領域 0 をプログラムから保護 ... バイト 13 [ビット 7] は 0 であるときは領域 31 をプログラムから保護	すべてのバイト = FFh
	0014h-001Fh	将来に使用するために予約済み (RFU)	すべてのバイト = FFh
領域 1	0020h-003Fh	ユーザープログラミング用に使用可能	すべてのバイト = FFh
領域 2	0040h-005Fh	ユーザープログラミング用に使用可能	すべてのバイト = FFh
...	...	ユーザープログラミング用に使用可能	すべてのバイト = FFh
領域 31	03E0h-03FFh	ユーザープログラミング用に使用可能	すべてのバイト = FFh

組込み動作

### 6.3.2 Advanced sector protection (ASP) ( セクタの高度な保護 )

Advanced Sector Protection (ASP) は、1つのセクタまたはすべてのセクタで、プログラム動作や消去動作を個別に無効または有効にするための、独立したハードウェアおよびソフトウェア手段の一式です。ここでは、メモリアレイに保存されたデータのさまざまな保護手段を説明します。これらの方の概要を Figure 20 に示します。

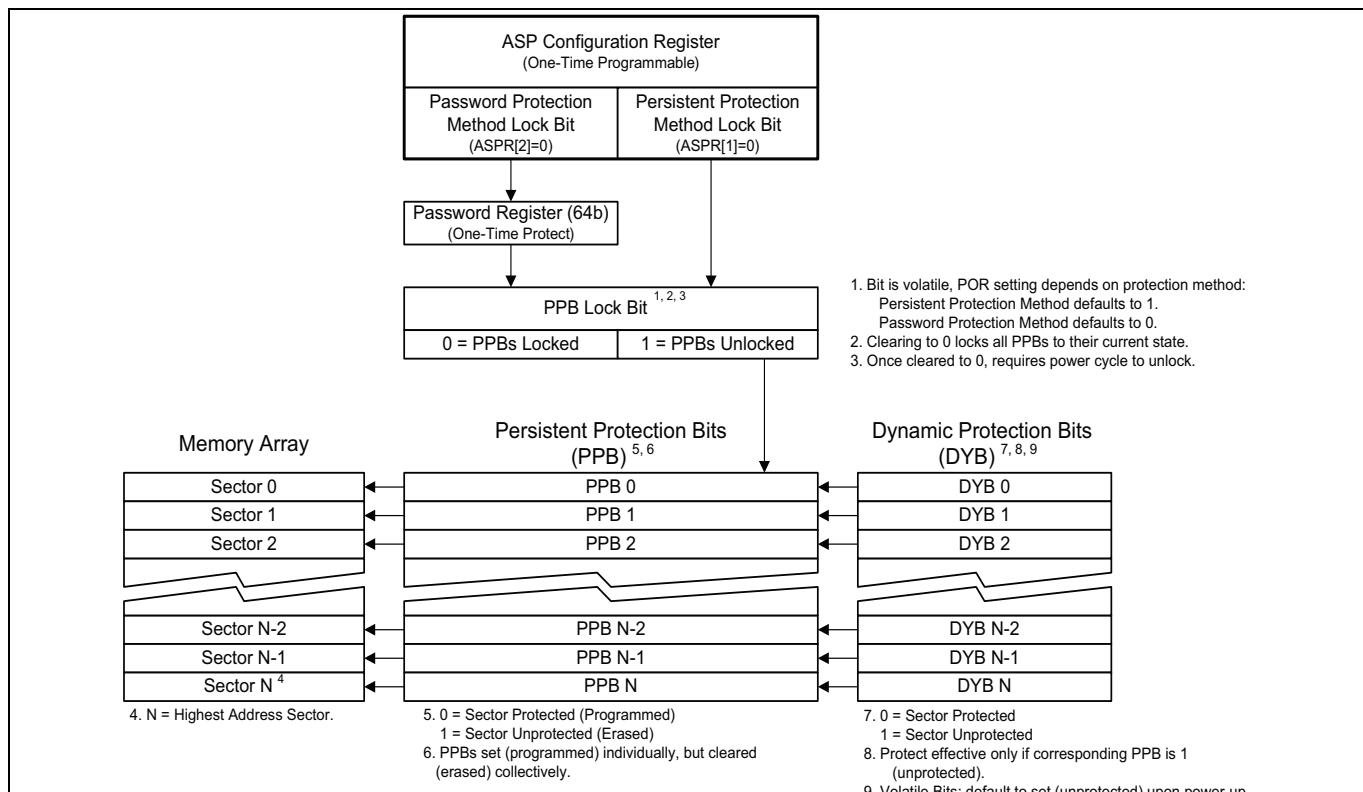


Figure 20 Advanced sector protection の概要

各フラッシュメモリアレイには関連する不揮発性 (PPB) と揮発性 (DYB) の保護ビットがあります。いずれかのビットが ‘0’ であると、セクタはプログラム動作やイレーズ動作から保護されます。

PPB ビットは、PPB ロックビットが ‘0’ である場合に、プログラムやイレーズから保護されます。PPB ロックビットの状態を管理する方式には、恒久保護およびパスワード保護の 2 つがあります。

恒久的保護方式では、POR またはハードウェアリセット時に PPB ロックビットを ‘1’ にセットし、PPB ビットがデバイスリセットによって非保護となるようにします。ソフトウェアリセットが発生しても PPB ロックビットに影響しません。PPB を保護するために、PPB ロックビットを ‘0’ にクリアするためのコマンドがあります。恒久的保護方式では、PPB ロックビットをセットするためのコマンドはないため、次の電源切断またはハードウェアリセットまで、PPB ロックビットは 0 のままになります。恒久的な保護方法は、プログラミングまたは PPB 消去によってセクタ変更を保護するオプションである起動コードを可能にし、次に PPB ロックビットを消去することで、通常のシステム動作の残りを、さらなる変化から PPB を保護します。これは時に、起動コード制御によるセクタ保護と呼ばれます。

パスワード方式では、POR またはハードウェアリセット時に PPB ロックビットを ‘0’ にクリアして、PPB を保護します。パスワード方式では、64 ビットのパスワードを恒久的にプログラムし、隠せます。コマンドはパスワードを提供し、隠しパスワードと比較するために使用できます。パスワードが一致した場合には、PPB ロックビットは PPB を保護解除するために ‘1’ に設定されます。コマンドを使用して、PPB ロックビットを ‘0’ にクリアできます。この方法ではパスワードを使用して PPB 保護を制御する必要があります。

PPB ロック管理方法の選択は、使用方法を恒久的に選択するために、ASP コンフィギュレーションレジスタの OTP ビットのプログラミングによって行われます。

PPB ビットは、インフィニオンから工場出荷時にフラッシュメモリアレイのセクタがすべて非保護となるように消去されます。

組込み動作

### 6.3.3 PPB ロック

恒久的保護ロックビットは、すべての PPB ビットを保護するための揮発性ビットです。'0' にクリアすると、すべての PPB をロックし、「1」に設定すると PPB の変更を許可します。PPB ロックビットはデバイスあたり 1 つのみ割り当てられます。

PPB ロックコマンドを使用してビットを「0」にクリアします。PPB ロックビットは、必ずすべての PPB を所望の設定に構成した後で、「0」にクリアしてください。

恒久的保護モードでは、POR またはハードウェアリセット時に、PPB ロックビットが「1」に設定されます。PPB ロックビットクリアシーケンスでクリアされると、PPB ロックを設定できません。別のハードウェアリセットまたは電源投入で PPB ロックビットを設定する必要があります。

パスワード保護モードでは、POR またはハードウェアリセット時に、PPB ロックビットが「0」にクリアされます。PPB ロックビットは、パスワードロック解除コマンドシーケンスによってのみ、「1」に設定できます。PPB ロックビットは、PPB ロックビットクリアシーケンスで「0」にクリアできます。

### 6.3.4 恒久的保護ビット (PPB)

恒久的プロテクトビット (PPB) は、別の不揮発性フラッシュアレイに配置されています。PPB の 1 つは、各セクタに割り当てられます。PPB が「0」にプログラムされる場合、その関連するセクタはプログラムおよび消去動作から保護されます。PPB は個別にプログラムされていますが、グループとして消去が必要です。これは個々のワードがメインアレイでプログラム可能ですが、消去については、全セクタ一括で行う必要があります。消去前のプリプログラムと検証は EAC が行います。

PPB ビットのプログラムには、通常のワードプログラムのための時間が必要です。PPB ビットプログラミング動作または PPB ビット消去の間に、ステータスレジスタはアクセスしてその動作が完了したかを確認できます。すべての PPB を消去するには、一定のセクタ消去時間が必要です。

PPB ロックビットが「0」の場合は、PPB プログラムまたはイレーズコマンドは、PPB のプログラムまたはイレーズを行わずに、タイムアウトします。プログラミングまたは消去動作が「0」になっている PPB ロックビットで行おうとする場合、その動作は中止され、失敗がステータスレジスタに表示されます (Table 17 を参照してください)。

所定のセクタに対する PPB のプロテクト状態は、PPB ASO に入った時に PPB ステータス読み出しコマンドを書き込むことで、検証できます。

### 6.3.5 動的保護ビット (DYB)

動的保護ビットは、揮発性で、セクタ固有であり、個別に変更できます。DYB は、PPB がクリアされているセクタのみで保護を制御できます。DYB の設定 / クリアコマンドシーケンスを実行することで、DYB が「0」(非保護) に設定されるか、または「1」(保護) にクリアされて、各セクタが非保護または保護の状態になります。この機能により、ソフトウェアで簡単にセクタを意図しない変更から保護できますが、変更が必要な場合は簡単に保護を解除できます。

DYB は、何度も必要なだけ、「0」にセットまたは「1」にクリアできます。

組込み動作

### 6.3.6 セクタ保護状態のまとめ

各セクタは、次の保護状態があります。

- ロック解除 - セクタは非保護です。簡単なコマンドで保護を変更できます。パワーサイクルまたはハードウェアリセット後は、デフォルトで非保護になります。
- 動的ロック - セクタは保護され、保護は簡単なコマンドで変更できます。パワーサイクルまたはハードウェアリセットを経過した場合、保護状態は保存されません。
- 恒久的ロック - セクタは保護されます。PPB 保護が '1' にセットされた場合のみ、保護を変更できます。保護状態は不揮発性で、パワーサイクルまたはハードウェアリセットを経過した後も保存されます。保護状態を変更するには、PPB ビットをプログラムまたは消去する必要があります。

**Table 28** セクタ保護状態

保護ビット値			セクタ状態
PPB ロックビット	PPB	DYB	
1	1	1	非保護 - PPB と DYB は変更可能
1	1	0	保護 - PPB と DYB は変更可能
1	0	1	保護 - PPB と DYB は変更可能
1	0	0	保護 - PPB と DYB は変更可能
0	1	1	非保護 - PPB は変更不可、DYB は変更可能
0	1	0	保護 - PPB は変更不可、DYB は変更可能
0	0	1	保護 - PPB は変更不可、DYB は変更可能
0	0	0	保護 - PPB は変更不可、DYB は変更可能

組込み動作

### 6.3.7 ASP コンフィギュレーションレジスタ

ASP コンフィギュレーションレジスタ (ASPR) は、セキュリティ管理を制御するための不揮発性 OTP ビットを保持します。

**Table 29 ASP コンフィギュレーションレジスタ**

ビット	デフォルト値	レジスタ名
[15:14]	1	予約済み
[13]	1	1 ビットアドレストラップイネーブル (512Mb デバイスでは使用不可) ASPR[13]=0: アドレストラップレジスタは 1 ビットエラーと 2 ビットエラーの両方をトラップ ASPR[13]=1: アドレストラップレジスタは 2 ビットエラーのみをトラップ (レガシー機能)
[12]	1	予約済み
[11]	1	ハイブリッドバーストタイプイネーブル ASPR[11]=0: ハイブリッド - 1 つのラップバーストシーケンスの後にリニアバーストが続く ASPR[11]=1: レガシー - ラップバーストシーケンスのみ
[10]	1	予約済み
[9]	1	DED/ECC オン - オフ ビット ASPR[9]=0: ECC オン - オフ ビットが無効、デュアルエラー検出が有効 ASPR[9]=1: ECC オン - オフ ビットが有効、デュアルエラー検出が無効 (デフォルト設定)
[8]	0	予約済み
[7]	X	予約済み
[6]	1	予約済み
[5]	1	読み出しパスワードモードイネーブル ASPR[5]=0: 読み出しパスワードモードが永続的に有効 ASPR[5]=1: 読み出しパスワードモードが無効 (工場出荷時のデフォルト設定)
[4]	1	予約済み
[3]	1	予約済み
[2:1]	1	恒久 / パスワード保護モード ロック ビット ASPR[2:1] = 00: 無効 ASPR[2:1] = 01: パスワードモードが永久に有効になり、ASPR がフリーズされる ASPR[2:1] = 10: 恒久モードが永久に有効になり、ASPR がフリーズされる ASPR[2:1]=11: 恒久モードが一時的に有効になる (工場出荷時のデフォルト設定)
[0]	1	予約済み

工場出荷時は、すべてのデバイスはデフォルトの恒久保護方式になっており、電力が印加されたときはすべてのセクタが非保護になっています。デバイスプログラマーやホストシステムは、どのセクタ保護方法を使用するか選択できます。以下の 2 つのいずれかの、1 回のみプログラム可能な不揮発性ビットをプログラムすると、当該パーティはそのモードで恒久的にロックされます。

- 恒久保護モードロックビット (ASPR[1])
- パスワード保護モードロックビット (ASPR[2])

両方のロックビット (ASPR[2] と ASPR[1]) が同時にプログラムするために選択され、動作が中止され、ステータスレジスタのビット SR[4] と SR[1] の設定は失敗を示します。パスワードモードロックビットがプログラムされると、恒久モードロックビットは永久に無効とされ、保護方式に対する変更は許可されません。同様に、恒久モードロックビットをプログラムすると、パスワードモードは恒久的に無効となります。

## 組込み動作

ます。ASPR[2] または ASPR[1] がプログラミングされた場合、すべての ASPRへのプログラミング動作は停止され、ステータスレジスタビット SR[4] と SR[1] の設定は失敗を示します。

パスワードモードを選んだ場合は、対応するロックレジスタビットを設定する前に、パスワードをプログラムしてください。4ワードのパスワードは0-1-2-3の順でプログラムされなければいけません。他の順序でプログラミングすると未定義の動作につながります。パスワード保護モードロックビットがプログラムされた後は、PPBロックビットを'0'にセットしてPPBアレイを保護するためには、パワーサイクル、ハードウェアリセット、またはPPBロックビットセットコマンドが必要になります。

ASPコンフィギュレーションレジスタのプログラム時間は、通常のワードプログラムに要する時間と同じです。ASPコンフィギュレーションレジスタのプログラミングEAの間は、システムはまた、ステータスレジスタを読み出すことでASPRプログラミング状態を決定できます。これらのステータスピットについて、[エラータイプおよび消去手順](#)を参照してください。

### 6.3.8 恒久保護モード

恒久保護方式では、PORまたはハードウェアリセット時にPPBロックビットを'1'にセットし、PPBビットがデバイスリセットによって非保護となるようにします。PPBを保護するために、PPBロックビットを'0'にクリアするためのコマンドがあります。恒久保護方式では、PPBロックビットを'1'にセットするためのコマンドはないため、次の電源切断またはハードウェアリセットまで、PPBロックビットは'0'を維持します。

### 6.3.9 パスワード保護モード

パスワード保護モードを使用すると、PPBロックを設定しようとする試みに対して64ビットのパスワードを要求することによって、恒久的セクタ保護モードよりも高レベルのセキュリティを実現できます。このパスワード要件に加えて、電源投入またはリセット後、電源投入時に保護を確実にするためにPPBロックは'0'に消去されます。完全なパスワードを入力してパスワードアンロックコマンドを正常に完了すると、PPBロックビットが'1'にセットされ、セクタのPPBの変更が可能になります。

パスワード保護の注意：

- パスワードプログラムコマンドでプログラムできるのは、0だけです。
- 工場出荷時はパスワードはすべて1になっています。パスワードは自身のメモリ空間内にあり、パスワードプログラム/パスワード読み出しコマンドによりアクセス可能です。
- あらゆる64ビットパスワードの組み合わせがパスワードとして有効です。
- いったんパスワードをプログラムして検証したら、パスワードの読み出しを防ぐためには、パスワード保護モードロックビットを('0'に)セットする必要があります。
- いったんパスワード保護モードロックビットを('0'に)プログラムすると、データバス上で64ビットパスワードの読み出しができなくなるため、パスワードのプログラムができなくなります。これ以降、パスワード領域に対するプログラムコマンドや読み出しコマンドは無効になり、これらのコマンドは無視されます。保護されたパスワードをプログラミングしようとすると、セクタロックステータスピット(SR[1])とプログラムステータスピットが設定されます(SR[4])。更なるプログラミング動作をパスワードまたはパスワード保護モードロックビットで行おうとする場合、その動作は中止され、ステータスレジスタに失敗が表示されます([Table 17](#)を参照してください)。パスワード保護モードロックビットがプログラムされた後に、パスワードが何であるかを確認する方法はありません。パスワードの検証ができるのは、パスワード保護モードを選択する前のみです。
- パスワードモードロックビットは消去できません。
- ロック解除を実行するためには、64ビットのパスワードがすべて入力さえされれば、任意の順序でパスワード領域にアクセスできます。パスワードロック解除コマンドにより提供されたパスワードが、隠されている内部パスワードと一致しない場合は、保護されている領域におけるプログラム動作と同様に、ロック解除動作は失敗します。ステータスレジスタはレディ状態に戻り、プログラムステータスピットが'1'にセットされます。これは、ロックされた領域であるため、プログラム動作が失敗したことを示します。この場合、有効なパスワードが不足しPPBロックビットがまだ保護されているため、PPBロックビットの状態を変更することは失敗となります。

## 組込み動作

- 有効な 64 ビット パスワードがデバイスに指定された後、PPB ロックを設定するためにデバイスが要する時間は、 $t_{PSWD}$  = 約 100  $\mu$ s です。
- パスワードロック解除コマンドを一度に  $t_{PSWD}$  より高速に実行できません (Table 64 を参照してください)。これによって、ハッカーが正しく一致するパスワードをすべて試行するために 64 ビットすべての組合せを実行するには、非現実的な長さの時間 (5800 万年) かかります。EA ステータスチェック方式を使用して、EAC が新規パスワード コマンドを受付ける準備ができるかも判定できます。
- パスワード モード ロック ビットを設定後にパスワードを失くした場合、PPB ロック ビットをクリアする方法はありません。

**6.3.10 読み出しパスワード保護モード**

読み出しパスワード モードは **パスワード保護モード** の代替モードとして備わっています。読み出しパスワード モードは、ユーザーが ASPR[5] = 0 にプログラムした時に初期 PPB パスワード保護モードの代わりに使用されます。パスワードがプログラムされ、ASPR[2] が ‘0’ にプログラムされないかぎり、読み出しパスワード モードはアクティブになりません。

読み出しパスワード保護モードでは、フラッシュ メモリ アレイは読み出し、プログラムおよび消去から保護されます。パスワードロック解除コマンドが正常に完了するまでは、不揮発コンフィギュレーションレジスタビット xVCR[9:8] によって選択された最下位または最上位 (256 KB) セクタアドレス範囲のみが読み出せます。アレイの読み出し保護部分から読み出そうとすると、そのセクタは読み出し可能なセクタによりオーバーレイされます。

このモードでは、PPB ロック ビットはアドレスの上位ビットを制御するために使用されます。PPB ロック ビットが ‘1’ の場合、アドレスビットが正常に動作します。以下の表のように、PPB ロック ビットが ‘0’ の場合、メインアレイセクタアドレスを選択するアドレスビットは、0 (xVCR[9:8] = 00 または 10) または 1s (xVCR[9:8] = 01 または 11) に強制的に設定され、最下位または最上位アドレスフラッシュメモリアレイアドレス範囲を選択します。xVCR[9:8] = 00 または 10 の場合アレイの最下位(ゼロアドレス)の 256 KB から読み出せます。xVCR[9:8] = 01 または 10 の場合アレイの最上位(最大アドレス)の 256 KB から読み出せます。

**Table 30 恒久モードとパスワード保護モードでの ASP コンフィギュレーションレジスタの選択**

ASPR ビット	デフォルト値	レジスタ名
2	1	恒久 / パスワード保護モード ロック ビット ASPR[2:1] = 00: 無効 ASPR[2:1] = 01: パスワード モードが永久に有効 ASPR[2:1] = 10: 恒久モードが永久に有効 ASPR[2:1] = 11: 恒久モードが一時的に有効 (工場出荷時のデフォルト設定)
1	1	

**Table 31 ブートプロックアドレス範囲の xVCR マッピング**

xVCR ビット	デフォルト値	レジスタ名
xVCR[9:8]	11	00 - マップパラメーターセクタと読み出しパスワードセクタは最下位のアドレスにマッピングされる 01 - マップパラメーターセクタと読み出しパスワードセクタは最上位のアドレスにマッピングされる 10 - ユニフォームセクタと読み出しパスワードセクタが最下位のアドレスにマッピングされる 11 - ユニフォームセクタと読み出しパスワードセクタが最上位のアドレスにマッピングされる

PPB ロック ビットが ‘0’ の場合は PPB ビットにはプログラムまたは消去アクセスができなく、PPB ロック ビットが ‘1’ の場合は PPB ビットにはプログラムまたは消去アクセスができます。

パスワード保護モードと同じように、PPB ロック ビットは、POR または PPB ハードウェアリセットによって ‘0’ に設定されます。

組込み動作

#### 読み出しパスワード保護の注意

- 読み出しパスワード OPN オプションが使用できる場合、ユーザーは、必要に応じて ASPR[5] ビットを ‘0’ にプログラムして読み出しパスワードを使用するかどうかを選択できます。
- 読み出しパスワード方式のプログラミング、読み出し、ロックのコマンドシーケンスは、PPB パスワード方式のデフォルトシーケンスと同じです。
- 読み出しパスワード モードとパスワード保護モードが有効になっていると (ASPR[2]、ASPR[5] が ‘0’ にプログラムされている) 場合、パスワードロック解除シーケンスに正しいパスワードが入力されるまで、すべてのアドレスが起動セクタにリダイレクトされます。正しいパスワードが入力されると、読み出しパスワード モードが無効になり、すべてのアドレス指定が適切な位置を選択します。
- システムハードウェアリセットが発生した場合、読み出しパスワード モードが再び有効になります。
- ASPR[5] は PPB パスワードと読み出しパスワードのオプションのどちらかを選択するために使用されます。ASPR[5]=0 の場合、デバイスは読み出しパスワードを許可します。ASPR[2]=0 でない限り、読み出しパスワードは有効なりません。ASPR[2]=0 になると、デバイスが正しいロック解除シーケンスおよびパスワードによりロック解除されるまで、すべてのアドレスは最下位または最上位のセクタからのみ選択されます。ASPR[2]=1 の場合、アドレス指定を行えます。これにより、ユーザーはコードでプログラミし、試験し、パスワードを設定し、ASPR[2]=0 にプログラミングすることでロックされます。
- 読み出しパスワード保護が有効の場合に読み出しパスワードコマンドシーケンスを送信すれば、不確定の結果が返ります。PPB ロックビットは、ハードウェアリセット、POR または PPB ロックビットクリアコマンドシーケンスが発生した時にのみ、‘0’ に戻ります。
- 読み出しパスワード モード時、PPB ロックビット = 0 の場合、ID 読み出しコマンド、パスワードロック解除コマンド、およびアレイ読み出しおみが可能です。パスワードが入力されてデバイス全体の読み出しおみコマンド動作を許可するまで、他のコマンドは無効です。
- 読み出しパスワード保護モードがアクティブ (ASPR[5]=0, ASPR[2]=0, PPB ロックビット=0) の場合、メインアレイの読み出しが可能ですが、メモリセクタアドレスを 0 か 1 にすることで起動セクタからのみ読み出せます。DYB または PPB アドレス空間を読み出すと、不確定のデータが返ります。
- 読み出しパスワード保護モードがアクティブの場合、メモリ空間へのプログラミングまたはレジスタ書き込みはできません。リセットは普通に行え、バスプロトコルはモードビットをリセットすることで変更できます。

#### 6.3.11 ハイブリッドバースト

ハイブリッドバーストは、1つのラップ式バーストの後にリニアバーストが続くもう1種のバーストです。このバーストは HYPERFLASH™ファミリのすべてのデバイスに備えられています。

ハイブリッドバーストはバースト長グループに応じてラップしたターゲットアドレス内で一回ラップしてから、最初にラップされたバースト長グループの終了アドレスの後にあるリニアバーストにアクセスします。ハイブリッドバーストは 16 バイトと 32 バイトバースト長グループにサポートされますが、64 バイトにはサポートされません。

**Table 32** ハイブリッドバーストタイプイネーブルの ASPR ビットの割り当て

ビット	デフォルト値	レジスタ名
[11]	1	ハイブリッドバーストタイプイネーブル 0=ハイブリッド - 1つのラップバーストシーケンス後にリニアバーストが続く 1=レガシー - ラップバーストシーケンスのみ

以下は 32 バイトと 16 バイトのハイブリッドバースト読み出しのバーストシーケンスの例です。

1. 32 バイトの例 (リニアバーストに移行する前に、32 バイト以内でラップする)

- a. 06-07-08-09-0A-0B-0C-0D-0E-0F-00-01-02-03-04-05-10-11
- b. 0E-0F-00-01-02-03-04-05-06-07-08-09-0A-0B-0C-0D-10-11

2. 16 バイトの例 (リニアバーストに移行する前に、16 バイト以内でラップする)

- a. 06-07-00-01-02-03-04-05-08-09
- b. 03-04-05-06-07-00-01-02-08-09

組込み動作

### 6.3.12 INT# 出力

INT# ピンは、ホストシステムにフラッシュデバイス内のイベントが発生したことを通知するオープンドレイン出力です。ユーザーは以下の場合に内部イベントを選択して INT# 出力ピンをアクティブ (LOW) にできます。

- ビジー状態からレディ状態に移行
- 2 ビット ECC エラーが検出
- ビジー状態からレディ状態への移行

割込みソースは、割込み構成レジスタによって有効にされます。

動作は、INT# 出力 (通常は HIGH) が有効の場合に割込みコンフィギュレーションレジスタ (ICR) で制御されます。割込み構成レジスタは、内部イベントを有効にして、INT# 出力ピンで HIGH から LOW への移行をトリガーするタイミングを確認します。割込みステータスレジスタは、ISR が最後にクリアされた時点から、何の有効な内部イベントが発生したかを示します。INT# 出力ピンを有効にした場合、有効なイベントの発生時に HIGH から LOW に移行します。ホストが INT# が LOW 状態に移行したことを認識すると、どの内部イベントが移行の原因かを確認するために割込みステータスレジスタを読み出せます。以下の 3 つの方法で、INT# 出力を HIGH インピーダンス状態に移行させ (外部プルアップ抵抗で HIGH に戻す) られます。

- 割込みコンフィギュレーションレジスタのビット 15 に '1' をロードすることで、INT# 出力を無効にします。割込みステータスレジスタは '1' で ICR[15] をロードする時にクリアされます。
- 割込みコンフィギュレーションレジスタの該当するイベントイネーブルビットに '1' をロードすることで、出力を Low に移行させるイベントチャネルを無効にします。ICR の対応するビットに '1' をロードすると、割込みステータスレジスタの対応するビットがクリアされます。
- 出力を Low に移行させる内部イベントを示す割込みステータスレジスタのビットを ('1' を書き込むことで) リセットします。INT# 出力が HIGH に戻る前に、Low であり、割込みコンフィギュレーションレジスタで有効になっているすべての割込みステータスレジスタのビットもリセットしてください。

INT# 出力も、ハードウェアリセット (RESET#=LOW) またはパワーオンリセットにより初期状態 (無効、HIGH-Z) に戻されます。ハードウェアリセットとパワーオンリセットは、割込みコンフィギュレーションレジスタを初期状態 (すべての割込みが無効) に設定する割込みコンフィギュレーションレジスタを設定することですべての割込みを無効にします。

組込み動作

**Table 33 割込みコンフィギュレーションレジスタ**

ビット	機能	タイプ	POR の初期設定状態	RESET# の初期設定状態	説明
[15]	INT# 出力有効	揮発性、読み出し/書き込み	1	1	1 = INT# 出力が無効 (HIGH またはオープンドレイン) 0 = INT# 出力が有効。内部イベントにより HIGH から LOW への遷移を発生させる
[14]	予約済み		1	1	予約済み
[13:5]	予約済み		1	1	将来に使用するために予約済み
[4]	READY		1	1	1 = レディ / ビジー遷移は INT# 出力の遷移なし 0 = ビジーからレディへの遷移は INT# 出力の HIGH から LOW への遷移を発生させる
[3]	予約済み		1	1	将来に使用するために予約済み
[2]	予約済み		1	1	将来に使用するために予約済み
[1]	2 ビットエラー検出		1	1	1 = 2 ビットエラー検出は INT# 出力の遷移なし 0 = 2 ビットエラー検出は、INT# 出力で HIGH から LOW への遷移を発生させる
[0]	1 ビットエラー検出		1	1	1 = 1 ビットエラー検出は INT# 出力の遷移なし 0 = 1 ビットエラー検出は、INT# 出力で HIGH から LOW への遷移を発生させる

**Table 34 割込みステータスレジスタ**

ビット	機能	タイプ	POR の初期設定状態	RESET# の初期設定状態	説明
[15:5]	予約済み	揮発性、読み出し/書き込み	1	1	将来に使用するために予約済み
[4]	READY		1	1	1 = ビジーからレディへの遷移が発生しなかった 0 = ビジーからレディへの遷移が発生した
[3]	予約済み		1	1	将来に使用するために予約済み
[2]	POR 検出		0	1	1 = POR が発生しなかった 0 = POR が発生した
[1]	2 ビットエラー検出		1	1	1 = 2 ビットエラー検出が発生しなかった 0 = 2 ビットエラー検出が発生した
[0]	1 ビットエラー検出		1	1	1 = 1 ビットエラー検出が発生しなかった 0 = 1 ビットエラー検出が発生した

デバイス ID および共通フラッシュインターフェース (ID-CFI) の ASO マップ

## 7 デバイス ID および共通フラッシュインターフェース (ID-CFI) の ASO マップ

### 7.1 デバイス ID および共通フラッシュインターフェース (ID-CFI) の ASO マッパー標準

ASO (ワードロケーション 0h ~ 0Fh) のデバイス ID 領域には、メーカー ID、デバイス ID、およびデバイスの基本機能セットの情報が入っています。詳細は、[ID-CFI ASO](#) を参照してください。

**Table 35 ID (オートセレクト) アドレスマップ**

ワードアドレス	データ	説明
(SA) + 0000h	0001h	インフィニオン製造者 ID
(SA) + 0001h	007Eh	デバイス ID
(SA) + 0002h	予約済み	RFU
(SA) + 0003h	予約済み	
(SA) + 0004h	予約済み	
(SA) + 0005h	予約済み	
(SA) + 0006h	予約済み	
(SA) + 0007h	予約済み	
(SA) + 0008h	予約済み	
(SA) + 0009h	予約済み	
(SA) + 000Ah	予約済み	
(SA) + 000Bh	予約済み	
(SA) + 000Ch	0005h	下位ソフトウェアビット ビット 0 - ステータスレジスタのサポート： 1 = ステータスレジスタがサポートされている 0 = ステータスレジスタがサポートされていない  ビット 1 - DQ ポーリングのサポート： 1 = DQ ビットのポーリングがサポートされている 0 = DQ ビットのポーリングがサポートされていない  ビット 3 ~ 2 - コマンドセットのサポート： 11 = 予約済み 10 = 予約済み 01 = HYPERFLASH™ コマンドセット 00 = クラシックコマンドセット  ビット 4 ~ F - 予約済み = 0
(SA) + 000Dh	予約済み	上位ソフトウェアビット
(SA) + 000Eh	0070h = 512 Mb (1.8V 時) 006Fh = 512 Mb (3.0V 時)  0072h = 256 Mb (1.8V 時) 0071h = 256 Mb (3.0V 時)  0074h = 128 Mb (1.8V 時) 0073h = 128 Mb (3.0V 時)	デバイス ID
(SA) + 000Fh	0000h	デバイス ID

デバイス ID および共通フラッシュインターフェース (ID-CFI) の ASO マップ

**Table 36 CFI クエリ識別用文字列**

ワードアドレス	データ	説明
(SA) + 0010h	0051h	
(SA) + 0011h	0052h	固有 ASCII 文字列 「QRY」 のクエリ
(SA) + 0012h	0059h	
(SA) + 0013h	0002h	
(SA) + 0014h	0000h	プライマリ OEM コマンド セット
(SA) + 0015h	0040h	
(SA) + 0016h	0000h	プライマリ拡張テーブルのアドレス
(SA) + 0017h	0000h	代替 OEM コマンド セット
(SA) + 0018h	0000h	(00h = 未使用 )
(SA) + 0019h	0000h	代替 OEM 拡張テーブルのアドレス
(SA) + 001Ah	0000h	(00h = 未使用 )

**Table 37 CFI システムインターフェース用文字列**

ワードアドレス	データ	説明
(SA) + 001Bh	0017h ( $V_{CC} = 1.8\text{ V}$ 時) 0027h ( $V_{CC} = 3.0\text{ V}$ 時)	$V_{CC}$ (Min) (消去 / プログラム) (D7-D4: ボルト , D3-D0: 100 ミリボルト )
(SA) + 001Ch	0019h ( $V_{CC} = 1.8\text{ V}$ 時) 0036h ( $V_{CC} = 3.0\text{ V}$ 時)	$V_{CC}$ (Max) (消去 / プログラム) (D7-D4: ボルト , D3-D0: 100 ミリボルト )
(SA) + 001Dh	0000h	$V_{PP}$ (Min) 電圧 (00h = $V_{PP}$ ピンなし )
(SA) + 001Eh	0000h	$V_{PP}$ (Max) 電圧 (00h = $V_{PP}$ ピンなし )
(SA) + 001Fh	0009h	1 ワード書き込み時の標準タイムアウト = $2^N \mu\text{s}$
(SA) + 0020h	0009h	最大標準タイムアウト マルチバイト プログラム = $2^N \mu\text{s}$ (00h = 未対応 )
(SA) + 0021h	000Ah	個別ブロック消去の標準タイムアウト = $2^N \text{ ms}$
(SA) + 0022h	0012h (512 Mb) 0011h (256 Mb) 0010h (128 Mb)	チップ全体消去の標準タイムアウト = $2^N \text{ ms}$ (00h = 未対応 )
(SA) + 0023h	0002h	1 ワード書き込み時の最大タイムアウト = 標準時間 $\times 2^N$
(SA) + 0024h	0002h	バッファ書き込み時の最大タイムアウト = 標準時間 $\times 2^N$
(SA) + 0025h	0002h	個別ブロック消去の最大タイムアウト = 標準時間 $\times 2^N$
(SA) + 0026h	0002h	チップ全体消去の標準タイムアウト = 標準時間 $\times 2^N$ (00h = 未対応 )

**Table 38 CFI デバイスロケーションの定義**

ワードアドレス	データ	説明
(SA)+0027h	001Ah (512 Mb) 0019h (256 Mb) 0018h (128 Mb)	デバイス サイズ = $2^N$ バイト
(SA)+0028h	0000h	フラッシュデバイスインターフェースの説明
(SA)+0029h	0000h	0 = ×8 固定, 1 = ×16 固定, 2 = ×8/×16 対応
(SA)+002Ah	0009h	マルチバイト書き込み時の最大バイト数 = $2^N$
(SA)+002Bh	0000h	(00 = 未対応)
(SA)+002Ch	0001h	デバイス内の消去ブロック領域数 1 = ユニフォームデバイス, 2 = ブートデバイス
(SA)+002Dh	説明を参照してください	消去ブロック領域 1 の情報 (JEDEC JESD68-01 または JEP137 仕様を参照) 00FFh, 0000h, 0000h, 0004h = 512 Mb (256 × 2 Mb ブロック) 007Fh, 0000h, 0000h, 0004h = 256 Mb (128 × 2 Mb ブロック) 003Fh, 0000h, 0000h, 0004h = 128 Mb (64 × 2 Mb ブロック)
(SA)+002Eh		消去ブロック領域 2 の情報 (JEDEC JESD68-01 または JEP137 仕様を参照)
(SA)+002Fh		
(SA)+0030h		
(SA)+0031h	0000h	消去ブロック領域 3 の情報 (JEDEC JESD68-01 または JEP137 仕様を参照)
(SA)+0032h	0000h	
(SA)+0033h	0000h	
(SA)+0034h	0000h	
(SA)+0035h	0000h	消去ブロック領域 4 の情報 (JEDEC JESD68-01 または JEP137 仕様を参照)
(SA)+0036h	0000h	
(SA)+0037h	0000h	
(SA)+0038h	0000h	
(SA)+0039h	0000h	
(SA)+003Ah	0000h	
(SA)+003Bh	0000h	
(SA)+003Ch	0000h	

**Table 39 CFI プライマリ ベンダ固有拡張クエリ**

ワード アドレス	データ	説明
(SA) + 0040h	0050h	
(SA) + 0041h	0052h	固有 ASCII 文字列のクエリ用 「PRI」
(SA) + 0042h	0049h	
(SA) + 0043h	0031h	メジャー バージョン番号 , ASCII
(SA) + 0044h	0035h	マイナー バージョン番号 , ASCII
(SA) + 0045h	001Ch	アドレス センシティ ブロック解除 (ビット 1 ~ 0) 00b = 必要 , 01b = 不要 プロセス テクノロジ (ビット 5 ~ 2) 0000b = 0.23 μm フローティング ゲート 0001b = 0.17 μm フローティング ゲート 0010b = 0.23 μm MIRRORBIT™ 0011b = 0.13 μm フローティング ゲート 0100b = 0.11 μm MIRRORBIT™ 0101b = 0.09 μm フローティング ゲート 0110b = 0.09 μm MIRRORBIT™ 0111b = 0.065 μm MIRRORBIT™ Eclipse 1000b = 0.065 μm MIRRORBIT™ 1001b = 0.045 μm MIRRORBIT™
(SA) + 0046h	0002h	消去一時停止 0 = 未対応 1 = 読み出し専用 2 = 読み出し / 書き込み
(SA) + 0047h	0001h	セクタ保護 00 = 未対応 X = 最小グループ内のセクタ数
(SA) + 0048h	0000h	一時的セクタ保護解除 00 = 未対応 01 = 対応
(SA) + 0049h	0008h	セクタ保護 / 保護解除スキーム 04 = 高電圧入力方式 05 = ソフトウェア コマンドによるロック方式 08 = 高度セクタ保護方式
(SA) + 004Ah	0000h	同時動作 00 = 未対応 X = バンク数
(SA) + 004Bh	0001h	バースト モード タイプ 00 = 未対応 01 = 対応

**Table 39 CFI プライマリ ベンダ固有拡張クエリ (Continued)**

ワードアドレス	データ	説明
(SA) + 004Ch	0000h	ページ読み出しモードタイプ 00 = 未対応 01 = 4 ワード ページ 02 = 8 ワード ページ 03 = 16 ワード ページ
(SA) + 004Dh	0000h	ACC ( アクセラレーション ) 最小電源電圧 00 = 未対応 D7-D4: ボルト D3-D0: 100 mV
(SA) + 004Eh	0000h	ACC ( アクセラレーション ) 最大電源電圧 00 = 未対応 D7-D4: ボルト D3-D0: 100 mV
(SA) + 004Fh	0000h	WP# 保護 00h = WP 保護なしのフラッシュ デバイス ( ブートなし ) 01h = WP により 8×8KB の先頭および最終セクタを保護設定 ( デュアル ブート ) 02h = 最終セクタ ブート デバイス ( WP 保護により保護設定 )( ボトム ブート ) 03h = 先頭セクタ ブート デバイス ( WP 保護により保護設定 )( トップ ブート ) 04h = ユニフォーム , 最終セクタを WP 保護により保護設定 ( ユニフォーム ボトム ブート ) 05h = ユニフォーム , 先頭セクタを WP 保護により保護設定 ( ユニフォーム トップ ブート ) 06h = すべてのセクタを WP 保護により保護設定 07h = ユニフォーム , 先頭または最終セクタを WP 保護により保護設定
(SA) + 0050h	0001h	プログラム一時停止 00 = 未対応 01 = 対応
(SA) + 0051h	0000h	アンロック バイパス 00 = 未対応 01 = 対応
(SA) + 0052h	000Ah	セキュアシリコンセクタ ( お客様用 OTP 領域 = 1024B ) サイズ $2^N$ ( バイト )
(SA) + 0053h	008Dh	ソフトウェア機能 ビット 0: ステータス レジスタ ポーリング (1 = 対応 , 0 = 未対応 ) ビット 1: DQ ポーリング (1 = 対応 , 0 = 未対応 ) ビット 2: 新しいプログラム一時停止 / 再開コマンド (1 = 対応 , 0 = 未対応 ) ビット 3: ワード プログラム (1 = 対応 , 0 = 未対応 ) ビット 4: ビットフィールド プログラム (1 = 対応 , 0 = 未対応 ) ビット 5: 自動検出プログラム (1 = 対応 , 0 = 未対応 ) ビット 6: RFU ビット 7: ラインあたりマルチ書き込み (1 = 対応 , 0 = 未対応 )
(SA) + 0054h	0005h	ページサイズ = $2^N$ バイト
(SA) + 0055h	0006h	消去一時停止の最大タイムアウト <math>< 2^N (\mu\text{s})</math>

**Table 39 CFI プライマリ ベンダ固有拡張クエリ (Continued)**

ワードアドレス	データ	説明
(SA) + 0056h	0006h	プログラム一時停止の最大タイムアウト < $2^N$ (μs)
(SA) + 0057h ~ (SA) + 0077h	FFFFh	将来に使用するために予約済み
(SA) + 0078h	0006h	組込みハードウェアリセットの最大タイムアウト < $2^N$ (μs) リセットピンによるリセット
(SA) + 0079h	0009h	非組込みハードウェアリセットの最大タイムアウト < $2^N$ (μs) パワーオンリセット

## 7.2 デバイス ID および共通フラッシュインターフェース (ID-CFI) の ASO マップ – 車載グレード /AEC-Q100

車載グレード /AEC-Q100 の CFI プライマリベンダー固有拡張クエリは、デバイストレーサビリティのための電子マーキング情報を含むように拡張されています ([Table 40](#) を参照してください)。

**Table 40 デバイス ID および共通フラッシュインターフェース (ID-CFI) の ASO マップ** [62]

ワードアドレス	データ領域	バイト数	データフォーマット	実績データの例	サンプルデータからの 16 進数読み出し
(SA) + 0080h	電子マーキングのサイズ	1	16 進数	19	0013h
(SA) + 0081h	電子マーキングの版数	1	16 進数	1	0001h
(SA) + 0082h	ファブロット #	7	ASCII	LD87270	004Ch, 0044h, 0038h, 0037h, 0032h, 0037h, 0030h
(SA) + 0089h	ウェーハ #	1	16 進数	23	0017h
(SA) + 008Ah	ダイ X 座標	1	16 進数	10	000Ah
(SA) + 008Bh	ダイ Y 座標	1	16 進数	15	000Fh
(SA) + 008Ch	クラスロット #	7	ASCII	BR33150	0042h, 0052h, 0033h, 0033h, 0031h, 0035h, 0030h
(SA) + 0093h	将来のために予約済み	13	該当なし	NA	未定義

### 注:

62. ファブロット # + ウェーハ # + ダイ X 座標 + ダイ Y 座標は、各デバイスに一意の ID を提供します。

## 8 ソフトウェアインターフェース参考資料

### 8.1 コマンドのまとめ

**Table 41** コマンドの定義

コマンド シーケンス	サイクル	バス サイクル <sup>[63, 64, 65, 66]</sup>													
		1番目		2番目		3番目		4番目		5番目		6番目		7番目	
		アドレス	データ	アドレス	データ	アドレス	データ	アドレス	データ	アドレス	データ	アドレス	データ	アドレス	データ
読み出し <sup>[66]</sup>	1	RA	RD	-	-	-	-	-	-	-	-	-	-	-	-
リセット/ASO終了 <sup>[67, 76]</sup>	1	XXX	F0	-	-	-	-	-	-	-	-	-	-	-	-
ステータス レジスタ読み出し <sup>[78]</sup>	2	555	70	XXX	RD	-	-	-	-	-	-	-	-	-	-
ステータス レジスタクリア	1	555	71	-	-	-	-	-	-	-	-	-	-	-	-
ディープパワーダウンへの移行	3	555	AA	2AA	55	XXX	B9	-	-	-	-	-	-	-	-
パワーオンリセット タイマレジスタのプログラム	4	555	AA	2AA	55	555	34	XXX	PORTime	-	-	-	-	-	-
パワーオンリセット タイマレジスタの読み出し	4	555	AA	2AA	55	555	3C	XXX	RD PORTime	-	-	-	-	-	-
割込みコンフィギュレーション レジスタのロード	4	555	AA	2AA	55	555	36	XXX	ICR	-	-	-	-	-	-
割込みコンフィギュレーション レジスタの読み出し	4	555	AA	2AA	55	555	C4	XXX	RD ICR	-	-	-	-	-	-
割込みステータス レジスタのロード	4	555	AA	2AA	55	555	37	XXX	ISR	-	-	-	-	-	-
割込みステータス レジスタの読み出し	4	555	AA	2AA	55	555	C5	XXX	RD ISR	-	-	-	-	-	-
揮発性コンフィギュレーション レジスタのロード	4	555	AA	2AA	55	555	38	XXX	VCR	-	-	-	-	-	-
揮発性コンフィギュレーション レジスタの読み出し	4	555	AA	2AA	55	555	C7	XXX	RD VCR	-	-	-	-	-	-
不揮発性コンフィギュレーション レジスタのプログラム	4	555	AA	2AA	55	555	39	XXX	NVCR	-	-	-	-	-	-
不揮発性コンフィギュレーション レジスタの消去	3	555	AA	2AA	55	555	C8	-	-	-	-	-	-	-	-
不揮発性コンフィギュレーション レジスタの読み出し	4	555	AA	2AA	55	555	C6	XXX	RD NVCR	-	-	-	-	-	-
ワード プログラム	4	555	AA	2AA	55	555	A0	PA	PD	-	-	-	-	-	-
バッファへの書き込み <sup>[80]</sup>	6	555	AA	2AA	55	SA	25	SA	WC	WBL	PD	WBL	PD	-	-

注:

- 63. 数値はすべて 16 進表記です。すべてのアドレスは 16 ビットワードを参照します。
- 64. 以下を除いて、バス サイクルはすべて書き込みサイクルです。読み出し中の読み出しサイクル、ID/CFI 読み出し (製造 ID / デバイス ID), インジケータ ビット, セキュアシリコン領域読み出し, SSR ロック読み出し, 2 サイクル目のステータス レジスタ読み出し。
- 65. データビット DQ15 ~ DQ8 は、RD, PD, WC, PWD を除いて、コマンド シーケンスでは「ドントケア」となります。
- 66. アドレスビット  $A_{MAX}$ -A11 は、SA または PA が必要ではない限り、ロック解除およびコマンド サイクルでは「ドントケア」になります ( $A_{MAX}$  は最上位アドレス ピン)
- 67. アレイ データを読み出す際、ロック解除またはコマンド サイクルは不要です。
- 68. デバイスが ID-CFI (自動選択) モードの場合、または (デバイスがステータス データを提供している間に) DQ5 が HIGH になった場合は、データ アレイの読み出しに戻るには、リセットコマンドが必要です。
- 69. デバイスが ID-CFI (自動選択) モードのとき、またはデバイスが ID-CFI (自動選択) モードのとき、コマンドが有効になります。
- 70. 消去サスペンド モードのとき、システムは消去対象ではないセクタを読み出しありおよびプログラム / プログラム一時停止モード時、ID-CFI ASO に移行できます。消去中止コマンドは、セクタ消去動作時のみ有効です。
- 71. 消去再開 / プログラム再開コマンドは、消去一時停止 / プログラム一時停止モード時のみ有効です。
- 72. デバイスがライトツーバッファアポート状態にあることを検出後に、読み出しモードに復帰させるためには、このコマンド シーケンスを実行します。ABORT からリセットする場合は、フルコマンド シーケンスが必要であることに注意してください。
- 73. 終了コマンドは、デバイスをアレイの読み出しに復帰させます。
- 74. PWD の場合は、プログラムできるパスワード領域は、「A0」コマンド 1 回につき、1つだけです。パスワード領域は、逐次的な順序 (PWD0 ~ PWD3) でプログラムする必要があります。
- 75. ASP レジスタのビットはすべて、1 回のみプログラム可能ですが、プログラム状態 =0、消去状態 =1 です。また、恒久プロテクト モード ロック ビットと、パワード プロテクト モード ロック ビットは、同時にプログラムできません。同時にプログラムすると、ASP レジスタ ビット プログラム動作が中止され、デバイスが読み出しモードに復帰します。将来の使用のために予約されている ASP レジスタ ビットは、未定義であり、0 でも 1 でもかまいません。
- 76. いずれかのエントリー コマンドを発行したら、終了コマンドを発行してデバイスを読み出しモードにリセットする必要があります。
- 77. ビット 0=0 プロテクト状態を表示、ビット 0=1 プロテクトなしの状態を表示します。ビット 1:15 のすべては 1 です。DYB セット、DYB クリア、または PPB プログラムコマンドのセクタアドレスは、そのセクタ内の任意の場所でかまいません。セクタアドレスの下位ビットは「ドントケア」です。
- 78. ステータス レジスタ読み出し処理中はデータが表示されます。DVB 読み出し、PPB 読み出し、SA プロテクト読み出し、PPBL 読み出しレジスタ読み出し処理は開始ワードがデバイスで出力される時のみ有効です。LOW 状態にある CS# が未定義の間に CK/CK# がトグルし続けたら、次のデータ値がに出力します。
- 79. SA 保護ステータス読み出し中のデータ出力は、指定されたセクタがビット 0~2 で保護されているかどうかを示します。

  - ビット 0 は表示したセクタが保護されるかどうかを示します (0 = 保護, 1 = 保護なし)
  - ビット 1 はセクタの DYB ビットを使って保護されます (0 = 保護, 1 = 保護なし)
  - ビット 2 はセクタの PPB ビットを使って保護されます (0 = 保護, 1 = 保護なし)
  - ビット 3 ~ 15 のすべては 1 です。

- 80. より小さいパラメーターセクタは、消去およびプログラム コマンド シーケンスの時にターゲット パラメーター セクタを定義するアドレスの一部として、A[16:11] を含む必要があります。
- 81. ID (自動選択) エントリーおよび CFI エントリーの両方は同じ ID/CFI データ セットへアクセスを実行します。ID / CFI データ セット内で、含まれるすべてのデータは ID または CFI エントリーシークエンスを使った後実行可能です。

**Table 41 コマンドの定義 (Continued)**

コマンド シーケンス	サイクル	バス サイクル <sup>[63, 64, 65, 66]</sup>													
		1番目		2番目		3番目		4番目		5番目		6番目		7番目	
		アドレス	データ	アドレス	データ	アドレス	データ	アドレス	データ	アドレス	データ	アドレス	データ	アドレス	データ
バッファをフラッシュへプログラム(確認)	1	SA	29	-	-	-	-	-	-	-	-	-	-	-	-
「バッファへの書き込み中断」のリセット <sup>[72]</sup>	3	555	AA	2AA	55	555	F0	-	-	-	-	-	-	-	-
チップ消去	6	555	AA	2AA	55	555	80	555	AA	2AA	55	555	10	-	-
セクタ消去 <sup>[80]</sup>	6	555	AA	2AA	55	555	80	555	AA	2AA	55	SA	30	-	-
ブランク チェック	1	(SA) 555	33	-	-	-	-	-	-	-	-	-	-	-	-
消去ステータス評価	1	(SA) 555	D0	-	-	-	-	-	-	-	-	-	-	-	-
消去の中止 <sup>[70, 71]</sup>	1	XXX	B0	-	-	-	-	-	-	-	-	-	-	-	-
消去の再開 <sup>[70, 71]</sup>	1	XXX	30	-	-	-	-	-	-	-	-	-	-	-	-
プログラムの中止 <sup>[70, 71]</sup>	1	XXX	51	-	-	-	-	-	-	-	-	-	-	-	-
プログラムの再開 <sup>[70, 71]</sup>	1	XXX	50	-	-	-	-	-	-	-	-	-	-	-	-
ID-CFI (オートセレクト) トセレクト <sup>[81]</sup> ASO	ID (オートセレクト) への移行	3	555	AA	2AA	55	(SA) 555	90	-	-	-	-	-	-	-
	CFIへの移行 <sup>[69]</sup>	1	(SA) 555	98	-	-	-	-	-	-	-	-	-	-	-
	ID-CFI の読み出し	1	(SA) RA	RD	-	-	-	-	-	-	-	-	-	-	-
	リセット/ASO の終了 <sup>[68, 76]</sup>	1	XXX	F0 または FF	-	-	-	-	-	-	-	-	-	-	-
SSR/リコール領域 (SSR/ASO)	SSRへの移行	3	555	AA	2AA	55	(SA) 555	88	-	-	-	-	-	-	-
	読み出し <sup>[67]</sup>	1	RA	RD	-	-	-	-	-	-	-	-	-	-	-
	ワード プログラム	4	555	AA	2AA	55	555	A0	PA	PD	-	-	-	-	-
	バッファへの書き込み	6	555	AA	2AA	55	SA	25	SA	WC	WBL	PD	WBL	PD	-
	バッファをフラッシュへプログラム(確認)	1	SA	29	-	-	-	-	-	-	-	-	-	-	-
	「バッファへの書き込み中断」のリセット <sup>[72]</sup>	3	555	AA	2AA	55	555	F0	-	-	-	-	-	-	-
	SSR終了 <sup>[72]</sup>	4	555	AA	2AA	55	555	90	XX	00h	-	-	-	-	-
	リセット/ASO終了 <sup>[68, 76]</sup>	1	XXX	F0	-	-	-	-	-	-	-	-	-	-	-

注:

63. 数値はすべて 16 進表記です。すべてのアドレスは 16 ビット ワードを参照します。
64. 以下を除いて、バス サイクルはすべて書き込みサイクルです。読み出し中の読み出しサイクル、ID/CFI 読み出し (製造 ID / デバイス ID), インジケータ ビット, セキュアシリコン領域読み出し, SSR ロック読み出し, 2 サイクル目のステータスレジスタ読み出し。
65. データ ビット DQ15 ~ DQ8 は、RD, PD, WC, PWD を除いて、コマンド シーケンスでは「ドントケア」となります。
66. アドレス ビット A<sub>MAX</sub>~A11 は、SA または PA が必要ではない限り、ロック解除およびコマンド サイクルでは「ドントケア」になります (A<sub>MAX</sub> は最上位アドレス ビット)。
67. アレイ データを読み出す際、ロック解除またはコマンド サイクルは不要です。
68. デバイスが ID-CFI (自動選択) モードの場合、または (デバイスがステータスデータを提供している間に) DQ5 が HIGH になった場合は、データ アレイの読み出しに戻るには、リセットコマンドが必要です。
69. デバイスがアレイ データを読み出す準備ができるとき、またはデバイスが ID-CFI (自動選択) モードのとき、コマンドが有効になります。
70. 消去サスペンドモードのとき、システムは消去対象ではないセクタを読み出しありおよびプログラム/プログラム一時停止したり、ID-CFI ASO に移行できます。消去中止コマンドは、セクタ消去動作時のみ有効です。
71. 消去再開/プログラム再開コマンドは、消去一時停止/プログラム一時停止モード時のみ有効です。
72. デバイスがライトツーバッファアボート状態にあることを検出後に、読み出しモードに復帰させるためには、このコマンド シーケンスを実行します。ABORT からリセットする場合は、フルコマンド シーケンスが必要であることに注意してください。
73. 終了コマンドは、デバイスをアレイの読み出しに復帰させます。
74. PWDx の場合は、プログラムできるパスワード領域は、「A0」コマンド 1 回につき、1 つだけです。パスワード領域は、逐次的な順序 (PWD0 ~ PWD3) でプログラムする必要があります。
75. ASP レジスタのビットはすべて、1 回のみプログラム可能です。プログラム状態 =0、消去状態 =1 です。また、恒久プロテクト モード ロック ビットと、パワード プロテクト モード ロック ビットは、同時にプログラムできません。同時にプログラムすると、ASP レジスタ ビット プログラム動作が中止され、デバイスが読み出しモードに復帰します。将来の使用のために予約されている ASP レジスタ ビットは、未定義であり、0 でも 1 でもかまいません。
76. いずれかのエントリー コマンドを発行したら、終了コマンドを発行してデバイスを読み出しモードにリセットする必要があります。
77. ビット 0=0 プロテクト状態を表示、ビット 0=1 プロテクトなしの状態を表示します。ハイト 1:15 のすべては 1 です。DYB セット、DYB クリア、または PPB プログラムコマンドのセクタアドレスは、そのセクタ内の任意の場所でかまいません。セクタアドレスの下位ビットは「ドントケア」です。
78. ステータスレジスタ読み出し処理中はデータが表示されます。DYB 読み出し、PPB 読み出し、SA プロテクト読み出し、パスワード読み出し、POR 時間読み出し、ICR 読み出し、ISR 読み出し、VCR 読み出し、NVCR 読み出し、FIDR 読み出し、ASPR 読み出し、PPBL 読み出しレジスタ読み出し処理は開始ワードがデバイスで出力される時のみ有効です。LOW 状態にある CS# が未定義の間に CK/CK# がトグルし続けたら、次のデータ値が出力します。
79. SA 保護ステータス読み出し中のデータ出力は、指定されたセクタがビット 0~2 で保護されているかどうかを示します。
  - ビット 0 は表示したセクタが保護されるかどうかを示します (0=保護, 1=保護なし)
  - ビット 1 はセクタの DYB ビットを使って保護されます (0=保護, 1=保護なし)
  - ビット 2 はセクタの PPB ビットを使って保護されます (0=保護, 1=保護なし)
  - ビット 3~15 のすべては 1 です。
80. より小さいパラメータ セクタは、消去およびプログラム コマンド シーケンスの時にターゲット パラメータ セクタを定義するアドレスの一部として、A[16:11] を含む必要があります。
81. ID (自動選択) エントリー オリおよび CFI エントリーの両方は同じ ID/CFI データ セットへアクセスを実行します。ID / CFI データ セット内で、含まれるすべてのデータは ID または CFI エントリーシークエンスを使った後実行可能です。

**Table 41 コマンドの定義 (Continued)**

コマンド シーケンス	サイクル	バス サイクル <sup>[63, 64, 65, 66]</sup>													
		1番目		2番目		3番目		4番目		5番目		6番目		7番目	
		アドレス	データ	アドレス	データ	アドレス	データ	アドレス	データ	アドレス	データ	アドレス	データ	アドレス	データ
ASP リセット/リソース [75]	ASP レジスタへの移行	3	555	AA	2AA	55	555	40	-	-	-	-	-	-	-
	プログラム	2	XXX	A0	XXX	PD	-	-	-	-	-	-	-	-	-
	ASPR読み出し <sup>[78]</sup>	1	0	RD	-	-	-	-	-	-	-	-	-	-	-
	ASPR ASO終了 <sup>[65, 66]</sup>	2	XXX	90	XXX	0	-	-	-	-	-	-	-	-	-
	リセット/ASO終了 <sup>[68, 76]</sup>	1	XXX	F0	-	-	-	-	-	-	-	-	-	-	-

パスワード保護コマンドセットの定義

ASO ドーピー パスワード	パスワード ASOへの移行	3	555	AA	2AA	55	555	60	-	-	-	-	-	-	-
	プログラム <sup>[74]</sup>	2	XXX	A0	PWAX	PWDX	-	-	-	-	-	-	-	-	-
	読み出し	4	0	PWD0	1	PWD1	2	PWD2	3	PWD3	-	-	-	-	-
	ロック解除	7	0	25	0	3	0	PWD0	1	PWD1	2	PWD2	3	PWD3	0
	コマンド セット終了 <sup>[73, 76]</sup>	2	XXX	90	XXX	0	-	-	-	-	-	-	-	-	-
	リセット/ASO終了 <sup>[68, 76]</sup>	1	XXX	F0	-	-	-	-	-	-	-	-	-	-	-

不揮発性セクタ保護コマンドセットの定義

PPB(不揮発性セクタ保護)	PPBへの移行	3	555	AA	2AA	55	555	C0	-	-	-	-	-	-	-
	PPBプログラム <sup>[77]</sup>	2	XXX	A0	SA	0	-	-	-	-	-	-	-	-	-
	すべてのPPB消去 <sup>[77]</sup>	2	XXX	80	0	30	-	-	-	-	-	-	-	-	-
	PPB読み出し <sup>[77, 78]</sup>	1	SA	RD (0)	-	-	-	-	-	-	-	-	-	-	-
	SA保護ステータス <sup>[78, 79]</sup>	2	XXX	60	SA	RD	-	-	-	-	-	-	-	-	-
	コマンド セット終了 <sup>[73, 76]</sup>	2	XXX	90	XXX	0	-	-	-	-	-	-	-	-	-
	リセット/ASO終了 <sup>[68, 76]</sup>	1	XXX	F0	-	-	-	-	-	-	-	-	-	-	-

グローバル不揮発性セクタ保護フリーズのコマンドセットの定義

PPBロック	PPBロックへの移行	3	555	AA	2AA	55	555	50	-	-	-	-	-	-	-
	PPBロック ビットクリア	2	XXX	A0	XXX	0	-	-	-	-	-	-	-	-	-
	PPBロック ステータス読み出し <sup>[78]</sup>	1	XXX	RD(0)	-	-	-	-	-	-	-	-	-	-	-
	コマンド セット終了 <sup>[73, 76]</sup>	2	XXX	90	XXX	0	-	-	-	-	-	-	-	-	-
	リセット/ASO終了 <sup>[76]</sup>	1	XXX	F0	-	-	-	-	-	-	-	-	-	-	-

注:

63. 数値はすべて 16 進表記です。すべてのアドレスは 16 ビットワードを参照します。
64. 以下を除いて、バス サイクルはすべて書き込みサイクルです。読み出し中の読み出しサイクル、ID/CFI 読み出し(製造 ID / デバイス ID)、インジケータ ビット、セキュアシリコン領域読み出し、SSR ロック読み出し、2 サイクル目のステータス レジスタ読み出し。
65. データ ビット DQ15～DQ8 は、RD, PD, WC, PWD を除いて、コマンド シーケンスでは「ドントケア」となります。
66. アドレス ビット A<sub>MAX</sub>～A11 は、SA または PA が必要ではない限り、ロック解除およびコマンド サイクルでは「ドントケア」になります(A<sub>MAX</sub> は最上位アドレス ビット)。
67. アレイ データを読み出す際、ロック解除またはコマンド サイクルは不要です。
68. デバイスが ID-CFI(自動選択)モードの場合、または(デバイスがステータス データを提供している間に) DQ5 が HIGH になった場合は、データ アレイの読み出しに戻るには、リセットコマンドが必要です。
69. デバイスがアレイ データを読み出す準備ができるとき、またはデバイスが ID-CFI(自動選択)モードのとき、コマンドが有効になります。
70. 消去サスペンド モードのとき、システムは消去対象ではないセクタを読み出しおよびプログラム/プログラム一時停止したり、ID-CFI ASO に移行できます。消去中止コマンドは、セクタ消去動作時のみ有効です。
71. 消去再開/プログラム再開コマンドは、消去一時停止/プログラム一時停止モード時のみ有効です。
72. デバイスがライトツーパッファアボート状態にあることを検出後に、読み出しモードに復帰させるためには、このコマンド シーケンスを実行します。ABORT からリセットする場合は、フルコマンド シーケンスが必要であることに注意してください。
73. 終了コマンドは、デバイスをアレイの読み出しに復帰させます。
74. PWDx の場合は、プログラムできるパスワード領域は、「A0」コマンド 1 回につき、1つだけです。パスワード領域は、逐次的な順序(PWD0～PWD3)でプログラムする必要があります。
75. ASP レジスタのビットはすべて、1回のみプログラム可能です。プログラム状態=0、消去状態=1 です。また、恒久プロテクト モード ロック ビットと、パワード プロテクト モード ロック ビットは、同時にプログラムできません。同時にプログラムすると、ASP レジスタ ビット プログラム動作が中止され、デバイスが読み出しモードに復帰します。将来の使用のために予約されている ASP レジスタ ビットは、未定義であり、0 でも 1 でもかまいません。
76. いずれかのエントリー コマンドを発行したら、終了コマンドを発行してデバイスを読み出しモードにリセットする必要があります。
77. ビット 0=0 プロテクト状態を表示、ビット 0=1 プロテクトなしの状態を表示します。バイト 1:15 のすべては 1 です。DYB セット、DYB クリア、または PPB プログラム コマンドのセクタ アドレスは、そのセクタ内の任意の場所でかまいません。セクタ アドレスの下位ビットは「ドントケア」です。
78. ステータス レジスタ読み出し処理中はデータが表示されます。DYB 読み出し、PPB 読み出し、SA プロテクト読み出し、パスワード読み出し、POR 時間読み出し、ICR 読み出し、ISР 読み出し、VCR 読み出し、NVCR 読み出し、FIDR 読み出し、ASPR 読み出し、PPBL 読み出しレジスタ読み出し処理は開始ワードがデバイスで出力される時のみ有効です。LOW 状態にある CS# が未定義の間に CK/CK# がトグルし続けたら、次のデータ値がに出力します。
79. SA 保護ステータス読み出し中のデータ出力は、指定されたセクタがビット 0～2 で保護されているかどうかを示します。
80. より小さいパラメーターセクタは、消去およびプログラム コマンド シーケンスの時にターゲット パラメーター セクタを定義するアドレスの一部として、A[16:11]を含む必要があります。
81. ID(自動選択)エントリーや CFI エントリの両方は同じ ID/CFI データ セットへアクセスを実行します。ID/CFI データ セット内で、含まれるすべてのデータは ID または CFI エントリ シーケンスを使った後実行可能です。

**Table 41 コマンドの定義 (Continued)**

コマンド シーケンス	サイクル	バス サイクル <sup>[63, 64, 65, 66]</sup>													
		1番目		2番目		3番目		4番目		5番目		6番目		7番目	
		アドレス	データ	アドレス	データ	アドレス	データ	アドレス	データ	アドレス	データ	アドレス	データ	アドレス	データ
<b>揮発性セクタ保護コマンド セットの定義</b>															
DYB (揮発性セクタ保護 ASO)	DYB ASOへの移行	3	555	AA	2AA	55	555	E0	-	-	-	-	-	-	-
	DYB設定 <sup>[77]</sup>	2	XXX	A0	SA	0	-	-	-	-	-	-	-	-	-
	DYBクリア <sup>[77]</sup>	2	XXX	A0	SA	1	-	-	-	-	-	-	-	-	-
	DYBステータス読み出し <sup>[78]</sup>	1	SA	RD (0)	-	-	-	-	-	-	-	-	-	-	-
	SA保護ステータス <sup>[77, 78, 79]</sup>	2	XXX	60	SA	RD	-	-	-	-	-	-	-	-	-
	コマンド セット終了 <sup>[73, 76]</sup>	2	XXX	90	XXX	0	-	-	-	-	-	-	-	-	-
	リセット/ASO終了 <sup>[76]</sup>	1	XXX	F0	-	-	-	-	-	-	-	-	-	-	-
<b>ECC コマンド セットの定義</b>															
ECCステータス ASO	ECCステータスへの移行	3	555	AA	2AA	55	555	75	-	-	-	-	-	-	-
	ECCステータス読み出し <sup>[78]</sup>	1	RA	RD	-	-	-	-	-	-	-	-	-	-	-
	エラー下位アドレス レジスタ	2	XXX	60	XX1	RD	-	-	-	-	-	-	-	-	-
	エラー上位アドレス レジスタ	2	XXX	60	XX2	RD	-	-	-	-	-	-	-	-	-
	読み出しエラー検出カウンター	2	XXX	60	XX3	RD	-	-	-	-	-	-	-	-	-
	ECCエラークリア	1	XXX	50	-	-	-	-	-	-	-	-	-	-	-
	リセット/ASO終了	1	XXX	F0	-	-	-	-	-	-	-	-	-	-	-
<b>CRC コマンド セットの定義</b>															
CRC ASO	CRC ASOへの移行	3	555	AA	2AA	55	555	78	-	-	-	-	-	-	-
	CRC開始アドレスロード	1	BL	C3	-	-	-	-	-	-	-	-	-	-	-
	Load CRC終了アドレスロード(計算開始)	1	EL	3C	-	-	-	-	-	-	-	-	-	-	-
	CRC中断	1	XXX	C0	-	-	-	-	-	-	-	-	-	-	-
	アレイ読み出し(中断中)	1	RA	RD	-	-	-	-	-	-	-	-	-	-	-
	CRC再開	1	XXX	C1	-	-	-	-	-	-	-	-	-	-	-
	Check-value Low Resultレジスタ読み出し	2	XXX	60	XX0	RD	-	-	-	-	-	-	-	-	-
	Check-value High Resultレジスタ読み出し	2	XXX	60	XX1	RD	-	-	-	-	-	-	-	-	-
	リセット/ASO終了	1	XXX	F0	-	-	-	-	-	-	-	-	-	-	-

注:

- 63. 数値はすべて 16 進表記です。すべてのアドレスは 16 ビットワードを参照します。
- 64. 以下を除いて、バス サイクルはすべて書き込みサイクルです。読み出し中の読み出しサイクル、ID/CFI 読み出し(製造 ID / デバイス ID)、インジケータ ビット、セキュアシリコン領域読み出し、SSR ロック読み出し、2 サイクル目のステータス レジスタ読み出し。
- 65. データ ビット DQ15 ~ DQ8 は、RD, PD, WC, PWD を除いて、コマンド シーケンスでは「ドントケア」となります。
- 66. アドレス ビット A<sub>MAX</sub>~A11 は、SA または PA が必要ではない限り、ロック解除およびコマンド サイクルでは「ドントケア」になります(A<sub>MAX</sub> は最上位アドレス ピン)。
- 67. アレイデータを読み出す際、ロック解除またはコマンド サイクルは不要です。
- 68. デバイスが ID-CFI(自動選択)モードの場合、または(デバイスがステータスデータを提供している間に)DQ5 が HIGH になった場合は、データ アレイの読み出しに戻るには、リセットコマンドが必要です。
- 69. デバイスがアレイデータを読み出す準備ができているとき、またはデバイスが ID-CFI(自動選択)モードのとき、コマンドが有効になります。
- 70. 消去サスペンドモードのとき、システムは消去対象ではないセクタを読み出しおよびプログラム/プログラム一時停止したり、ID-CFI ASO に移行できます。消去中止コマンドは、セクタ消去動作時のみ有効です。
- 71. 消去再開/プログラム再開コマンドは、消去一時停止/プログラム一時停止モード時のみ有効です。
- 72. デバイスがライトツーバッファアボート状態にあることを検出後に、読み出しモードに復帰させるためには、このコマンド シーケンスを実行します。ABORT からリセットする場合は、フルコマンド シーケンスが必要であることに注意してください。
- 73. 終了コマンドは、デバイスをアレイの読み出しに復帰させます。
- 74. PWDx の場合は、プログラムできるパスワード領域は、「A0」コマンド 1 回につき、1 つだけです。パスワード領域は、逐次的な順序(PWD0 ~ PWD3)でプログラムする必要があります。
- 75. ASP レジスタのビットはすべて、1 回のみプログラム可能です。プログラム状態 =0、消去状態 =1 です。また、恒久プロテクトモードロック ビットと、パワードプロテクトモードロック ビットは、同時にプログラムできません。同時にプログラムすると、ASP レジスタ ビットプログラム動作が中止され、デバイスが読み出しモードに復帰します。将来の使用のために予約されている ASP レジスタ ビットは、未定義であり、0 でも 1 でもかまいません。
- 76. いずれかのエントリー コマンドを発行したら、終了コマンドを発行してデバイスを読み出しモードにリセットする必要があります。
- 77. ビット 0=0 プロテクト状態を表示、ビット 0=1 プロテクトなしの状態を表示します。バイト 1:15 のすべては 1 です。DYB セット、DYB クリア、または PPB プログラムコマンドのセクタアドレスは、そのセクタ内の任意の場所でかまいません。セクタアドレスの下位ビットは「ドントケア」です。
- 78. ステータス レジスタ読み出し処理中はデータが表示されます。DYB 読み出し、PPB 読み出し、SA プロテクト読み出し、パスワード読み出し、POR 時間読み出し、ICR 読み出し、ISP 読み出し、VCR 読み出し、NVCR 読み出し、FIDR 読み出し、ASPR 読み出し、PPBL 読み出しレジスタ読み出し処理は開始ワードがデバイスで出力される時のみ有効です。LOW 状態にある CS# が未定義の間に CK/CK# がトグルし続けたら、次のデータ値がに出力します。
- 79. SA 保護ステータス読み出し中のデータ出力は、指定されたセクタがビット 0~2 で保護されているかどうかを示します。ビット 0 は表示したセクタが保護されるかどうかを示します(0=保護、1=保護なし)。ビット 1 はセクタの DYB ビットを使って保護されます(0=保護、1=保護なし)。ビット 2 はセクタの PPB ビットを使って保護されます(0=保護、1=保護なし)。ビット 3~15 のすべては 1 です。
- 80. より小さいパラメーターセクタは、消去およびプログラムコマンド シーケンスの時にターゲット パラメーター セクタを定義するアドレスの一部として、A[16:11]を含む必要があります。
- 81. ID(自動選択)エントリや CFI エントリの両方は同じ ID/CFI データ セットへアクセスを実行します。ID / CFI データ セット内で、含まれるすべてのデータは ID または CFI エントリ シーケンスを使った後実行可能です。

コマンドの定義の凡例:

X = ドントケア

RA = 読み出しメモリアドレス

RD = 読み出し動作中に RA から読み出されるデータ

PA = プログラム対象のメモリ位置のアドレス

PD = 位置 PA でプログラムされるデータ

SA = 選択されたセクタのアドレス 256kB セクタのアドレス ビット A<sub>MAX</sub>-A17 および 4kB パラメーター セクタ

A<sub>MAX</sub>-A11 は独自のセクタを選択

WBL = 書き込みバッファ位置。このアドレスは同じライン内でなければいけません。

WC = ワードカウントは、ロードするバッファ書き込み位置の値 -1

PWAx = ワード 0=00h, ワード 1=01h, ワード 2=02h, およびワード 3=03h のパスワード アドレス

PWDx = ワード 0, ワード 1, ワード 2, およびワード 3 のパスワード データ

データ整合性

## 9 データ整合性

### 9.1 アクセス可能回数

**Table 42** プログラム / 消去可能回数

不揮発性ユニット	温度範囲	最小値	単位
任意のセクタ	産業機器用	100K	プログラム / 消去サイクル
	産業機器用プラス	100K	
	拡張	10K	
コンフィギュレーション レジスタ	産業機器用	100K	プログラム / 消去サイクル
	産業機器用プラス	100K	
	拡張	10K	

### 9.2 データ保持

**Table 43** データ保持

パラメーター	Typ	単位
ハーフページ、消去ごとに 1K サイクル以下のプログラム動作でのデータ保持時間	20	年

注:

82.サイクリング データの収集は 100K サイクルに制限されていました。

## 10 ハードウェアインターフェース

HYPERFLASH™ メモリの HYPERBUS™ ハードウェアインターフェースの概要は、HYPERBUS™ の仕様を参照してください。以下の節はハードウェアインターフェースの HYPERFLASH™ デバイスに準拠した側面を説明します。

電気的仕様

## 11 電気的仕様

以下の節は電気的仕様の HYPERFLASH™ デバイスに依存した側面を説明します。

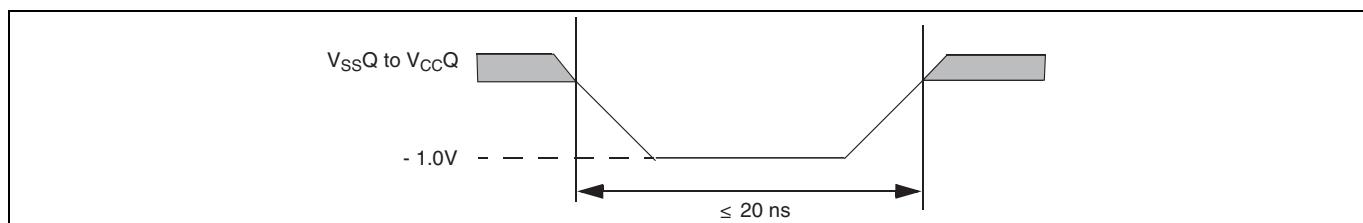
### 11.1 絶対最大定格

**Table 44** 絶対最大定格

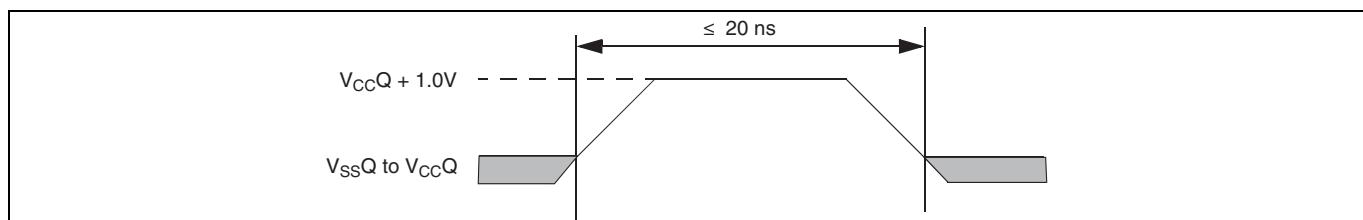
プラスチックパッケージの保存温度	-65°C ~ +150°C
通電時の周囲温度	-65°C ~ +125°C
グランドに対する電圧	-
すべての信号 <sup>[83]</sup>	-0.5 V ~ +(V <sub>CC</sub> + 0.5 V)
出力短絡電流 <sup>[84]</sup>	100 mA
V <sub>CC</sub>	-0.5 V ~ +4.0 V

#### 11.1.1 入力信号オーバーシュート

DC 条件において、入力または I/O 信号は、V<sub>SS</sub> と V<sub>DD</sub> の電圧範囲内にあることが必要です。電圧変動の間、入力または I/O は最大 20 ns の期間で、V<sub>SS</sub> を -1.0 V にアンダーシュートするか、または V<sub>DD</sub>+1.0 V にオーバーシュートする可能性があります。



**Figure 21** 最大ネガティブ オーバーシュート波形



**Figure 22** 最大ポジティブ オーバーシュート波形

注：

83. 入力または I/O 信号の最小 DC 電圧は -1.0 V です。電圧遷移中、入力または I/O 信号は、最大 20 ns の期間、V<sub>SS</sub> を -1.0 V にアンダーシュートする場合があります。[Figure 21](#) を参照してください。入力または I/O 信号の最大 DC 電圧は V<sub>CC</sub>+1.0 V です。電圧遷移中、入力または I/O 信号は最大 20 ns の間にわたって V<sub>CC</sub>+1.0 V にオーバーシュートする場合があります。[Figure 22](#) を参照してください。
84. 一度に複数の出力をグランドに短絡できません。短絡の持続時間は 1 秒を超えてはいけません。
85. 「絶対最大定格」にリストされているものを超えるストレスは、デバイスに恒久的な損傷を引き起こす可能性があります。これはストレスの評価のみです。これらの条件またはこのデータシートの操作セクションに示されている条件を超える他の条件でのデバイスの機能動作は暗示されていません。デバイスを長時間絶対最大定格条件にさらすと、デバイスの信頼性に影響を与える可能性があります。

電気的仕様

## 11.2 热抵抗

Table 45 热抵抗

パラメーター	説明	テスト条件	デバイス	VAA024	単位
Theta JA	热抵抗 (接合部から周囲)		S26KS512S	38.5	°C/W
			S26KS256S	43.4	
			S26KS128S	45.3	
			S26KL512S	38	
			S26KL256S	43	
			S26KL128S	45.3	
Theta JB	热抵抗 (接合部から基板)	テスト条件は、静止空気 (0 m/s) で、EIA/JESD51 に従って热インピーダンスを測定するための標準的なテスト方法と手順に従います。	S26KS512S	10.2	°C/W
			S26KS256S	15.8	
			S26KS128S	17.4	
			S26KL512S	10.2	
			S26KL256S	15.8	
			S26KL128S	17.4	
Theta JC	热抵抗 (接合部からケース)		S26KS512S	11.6	°C/W
			S26KS256S	16.3	
			S26KS128S	18.1	
			S26KL512S	11.6	
			S26KL256S	16.3	
			S26KL128S	18.1	

## 11.3 ラッチアップ特性

Table 46 ラッチアップ仕様

説明	最小	最大	単位
すべて入力のみの接続での、 $V_{SSQ}$ を基準とした入力電圧	-1.0	$V_{CCQ} + 1.0$	V
すべての I/O 接続での、 $V_{SSQ}$ を基準とした入力電圧	-1.0	$V_{CCQ} + 1.0$	V
$V_{CCQ}$ 電流	-100	+100	mA

### 注:

86. 試験条件は、EIA/JESD51 に従って熱インピーダンスを測定するための標準的な方法と手順に従います。  
87. 電源  $V_{CC}/V_{CCQ}$  を除外します。テスト条件:  $V_{CC} = V_{CCQ} = 1.8V$ 、テストされる接続は 1 度に 1 つ、テストされていない接続は  $V_{SS}$  です。

電気的仕様

## 11.4 動作範囲

動作範囲は、デバイスの機能が保証される制限を定義します。動作範囲はデバイス固有です。特定のデバイスでサポートされている動作範囲を知るには、デバイスのデータシートの注文番号の有効な組合せを参照してください。

### 11.4.1 温度範囲

Table 47 温度範囲

パラメーター	記号	デバイス	仕様		単位
			最小	最大	
周囲温度	$T_A$	産業用	-40	+85	°C
		産業用プラス	-40	+105	°C
		拡張	-40	+125	°C
		車載用 , AEC-Q100 グレード 3	-40	+85	°C
		車載用 , AEC-Q100 グレード 2	-40	+105	°C
		車載用 , AEC-Q100 グレード 1	-40	+125	°C

### 11.4.2 電源電圧

$V_{CC}$ および $V_{CCQ}$	1.7 V ~ 1.95 V
$V_{CC}$ および $V_{CCQ}$	2.7 V ~ 3.6 V

電気的仕様

## 11.5 DC 特性 (CMOS 互換性)

Table 48 DC 特性 (CMOS 互換性)

パラメーター	説明	テスト条件	最小	標準 <sup>[96]</sup>	最大	単位
I <sub>CC1</sub>	V <sub>CC</sub> アクティブ読み出し電流 (コア電流のみ, IO スイッチング電流を含まない)	CS# = V <sub>IL</sub> (166 MHz, V <sub>CC</sub> = 1.95 V 時)	-	130	180	mA
		CS# = V <sub>IL</sub> (100 MHz, V <sub>CC</sub> = 3.6 V 時)	-	80	100	mA
I <sub>IO1</sub>	IO の V <sub>CCQ</sub> アクティブ読み出し電流	CS# = V <sub>IL</sub> (166 MHz, V <sub>CCQ</sub> = 1.95 V, C <sub>LOAD</sub> = 20 pF 時)	-	80	100	mA
		CS# = V <sub>IL</sub> (100 MHz, V <sub>CCQ</sub> = 3.6 V, C <sub>LOAD</sub> = 20 pF 時)	-	80	100	mA
I <sub>CC3P</sub>	V <sub>CC</sub> アクティブプログラム電流 <sup>[88, 89]</sup>	V <sub>CC</sub> = V <sub>CC</sub> max	-	60	100	mA
I <sub>CC3E</sub>	V <sub>CC</sub> アクティブ消去電流 <sup>[88, 89]</sup>	V <sub>CC</sub> = V <sub>CC</sub> max	-	60	100	mA
I <sub>CC4I</sub>	産業用温度範囲 (-40°C ~ +85°C) の V <sub>CC</sub> スタンバイ電流	CS# = V <sub>IH</sub> , RESET# = V <sub>CC</sub> , V <sub>CC</sub> = V <sub>CC</sub> max	-	25	100	μA
I <sub>CC4IC</sub>	産業用プラス温度範囲 (車載用 - 車室内) (-40°C ~ +105°C) の V <sub>CC</sub> スタンバイ電流	CS# = V <sub>IH</sub> , RESET# = V <sub>CC</sub> , V <sub>CC</sub> = V <sub>CC</sub> max	-	25	300	μA
I <sub>CC4E</sub>	拡張温度範囲 (-40°C ~ +125°C) の V <sub>CC</sub> スタンバイ電流	CS# = V <sub>IH</sub> , RESET# = V <sub>CC</sub> , V <sub>CC</sub> = V <sub>CC</sub> max	-	25	300	μA
I <sub>CC5</sub>	V <sub>CC</sub> リセット電流 <sup>[92]</sup>	CS# = V <sub>IH</sub> , RESET# = V <sub>SS</sub> , V <sub>CC</sub> = V <sub>CC</sub> max	-	10	20	mA
I <sub>CC6</sub>	アクティブクロックストップモード <sup>[90]</sup>	V <sub>IH</sub> = V <sub>CC</sub> , V <sub>IL</sub> = V <sub>SS</sub> , V <sub>CC</sub> = 1.95 V	-	6	12	mA
		V <sub>IH</sub> = V <sub>CC</sub> , V <sub>IL</sub> = V <sub>SS</sub> , V <sub>CC</sub> = 3.6 V	-	6	12	mA

注:

88.自動アルゴリズムの実行中は I<sub>CC</sub> はアクティブです。

89.100% のテストは行われていません。

90.アクティブクロックストップモードは、CK/CK# 信号が t<sub>ACC</sub> + 30ns の間安定した時に低電力モードを有効にします。

91.V<sub>CCQ</sub> = 1.70V ~ 1.95V、または 2.7V ~ 3.6V。

92.V<sub>CC</sub> = V<sub>CCQ</sub> = 1.8V または V<sub>CC</sub> = V<sub>CCQ</sub> = 3.0V。

93.電源投入時にはスパイク電流があり、デバイスの正常な初期化を保証するため、システムはこの電流を供給する必要があります。

94.リセットの開始時点で自動アルゴリズム動作が実行中である場合は、リセットにより自動アルゴリズム動作が停止されるまで、消費電流は自動アルゴリズム動作の仕様のままとなります。リセットの開始時点で自動アルゴリズム動作が開始されていない場合、また自動アルゴリズム動作が停止された直後は、t<sub>RPH</sub> の残りの間は、I<sub>CC7</sub> が消費されます。t<sub>RPH</sub> の後は、後続の読み出しや書き込みまでデバイスはスタンバイモードになります。

95.INT# と RSTO# 出力の推奨プルアップ抵抗は 5k ~ 10k オームです。

96. I<sub>CC</sub>(Typ) の値は t<sub>AI</sub> = 25°C, V<sub>CC</sub> = V<sub>CCQ</sub> = 1.8 V または 3.0 V で測定されます。(これは 85°C, 105 °C, および 125°C の時の I<sub>DPD</sub> に適用しません)。

電気的仕様

Table 48 DC 特性 (CMOS 互換性) (Continued)

パラメーター	説明	テスト条件	最小	標準 <sup>[96]</sup>	最大	単位
$I_{CC7}$	電源投入時の $V_{CC}$ 電流 <sup>[91]</sup>	$CS\# = X$ , $V_{CC} = V_{CC\ max}$	-	80	100	mA
$I_{DPD}$	25°C でのディープパワーダウン電流 (512 Mb の場合)	$CS\# = V_{IH}$ , RESET#, $V_{CC} = V_{CC\ max}$	-	8	18	μA
	85°C でのディープパワーダウン電流 (512 Mb の場合)		-	30	50	μA
	105°C でのディープパワーダウン電流 (512 Mb の場合)		-	95	150	μA
	125°C でのディープパワーダウン電流 (512 Mb の場合)		-	150	250	μA
	25°C でのディープパワーダウン電流 (すべての他の容量の場合)		-	3	6	μA
	85°C でのディープパワーダウン電流 (すべての他の容量の場合)		-	4	10	μA
	105°C でのディープパワーダウン電流 (すべての他の容量の場合)		-	5	15	μA
	125°C でのディープパワーダウン電流 (256 Mb の場合)		-	15	50	μA
	125°C でのディープパワーダウン電流 (128 Mb の場合)		-	10	50	μA
$V_{IL}$	入力 Low 電圧	-	$-0.15 \times V_{CCQ}$	-	$0.35 \times V_{CCQ}$	V
$V_{IH}$	入力 High 電圧	-	$0.65 \times V_{CCQ}$	-	$1.15 \times V_{CCQ}$	V
$V_{OH}$	出力 High 電圧	$DQ[7:0]$ で $I_{OH} = 100 \mu A$	$V_{CCQ} - 0.20$	-	-	V
$V_{OL}$	出力 Low 電圧	$DQ[7:0]$ で $I_{OL} = 100 \mu A$ INT# および RSTO# で $I_{OL} = 2 mA$	-	-	$0.15 \times V_{CCQ}$	V

注:

- 88.自動アルゴリズムの実行中は  $I_{CC}$  はアクティブです。
- 89.100% のテストは行われていません。
- 90.アクティブクロックストップモードは、CK/CK# 信号が  $t_{ACC} + 30ns$  の間安定した時に低電力モードを有効にします。
91. $V_{CCQ} = 1.70V \sim 1.95V$ 、または  $2.7V \sim 3.6V$ 。
92. $V_{CC} = V_{CCQ} = 1.8V$  または  $V_{CC} = V_{CCQ} = 3.0V$ 。
- 93.電源投入時にはスパイク電流があり、デバイスの正常な初期化を保証するため、システムはこの電流を供給する必要があります。
- 94.リセットの開始時点で自動アルゴリズム動作が実行中である場合は、リセットにより自動アルゴリズム動作が停止されるまで、消費電流は自動アルゴリズム動作の仕様のままとなります。リセットの開始時点で自動アルゴリズム動作が開始されていない場合、また自動アルゴリズム動作が停止された直後は、 $t_{RPH}$  の残りの間は、 $I_{CC7}$  が消費されます。 $t_{RPH}$  の後は、後続の読み出しや書き込みまでデバイスはスタンバイモードになります。
- 95.INT# と RSTO# 出力の推奨プルアップ抵抗は  $5k \sim 10k$  オームです。
96. $I_{CC}(\text{Typ})$  の値は  $t_{AI} = 25^\circ C$ 、 $V_{CC} = V_{CCQ} = 1.8 V$  または  $3.0 V$  で測定されます。(これは  $85^\circ C$ ,  $105^\circ C$ , および  $125^\circ C$  の時の  $I_{DPD}$  に適用しません)。

電気的仕様

### 11.5.1 静電容量特性

Table 49 1.8 V での静電容量特性

説明	パラメーター	最小	最大	単位
入力静電容量 (CK, CK#, CS#, PSC, PSC#)	CI	3.5	4.5	pF
デルタ入力静電容量 (CK, CK#, CS#, PSC, PSC#)	CID	-	0.25	pF
出力静電容量 (RWDS)	CO	5.0	6.0	pF
I/O ピン静電容量 (DQx)	CIO	5.0	6.0	pF
I/O ピン静電容量デルタ (DQx)	CIOD	-	0.8	pF
INT#, RSTO# ピン静電容量	COP	5.0	6.0	pF
RESET# ピン静電容量	CIP	6.5	9.0	pF

Table 50 3.0 V での静電容量特性

説明	パラメーター	最小	最大	単位
入力静電容量 (CK, CS#)	CI	3.5	4.5	pF
PSC	CI	3.5	4.5	pF
出力静電容量 (RWDS)	CO	4.5	6.0	pF
I/O ピン静電容量 (DQx)	CIO	4.5	6.0	pF
I/O ピン静電容量デルタ (DQx)	CIOD	-	0.8	pF
INT#, RSTO# ピン静電容量	COP	5.0	6.0	pF
RESET# ピン静電容量	CIP	6.0	8.5	pF

#### 注:

- 97.これらの値は設計保証であり、サンプルでのみテストされます。
- 98.ピンの静電容量は、ベクタネットワークアナライザーを用いた静電容量測定の JEP147 手順に従って測定されます。V<sub>CC</sub>, V<sub>CCQ</sub> を印加し、(試験中のピンを除いて)すべての他のピンは開放にします。DQ ピンを HIGH インピーダンス状態にする必要があります。
- 99.CK, CK#, RWDS, DQx ピンの静電容量値は同等になり、システム内の信号伝播時間整合を実現する必要があります。アクティブ (LOW) になる CS# と DQ バスに出力されるデータ間の重要なタイミングがないため、CS# の静電容量値は重要ではありません。
- 100.これらの値は設計保証であり、サンプルでのみテストされます。
- 101.ピンの静電容量は、ベクタネットワークアナライザーを用いた静電容量測定の JEP147 手順に従って測定されます。V<sub>CC</sub>, V<sub>CCQ</sub> を印加し、(試験中のピンを除いて)すべての他のピンは開放にします。DQ ピンを HIGH インピーダンス状態にする必要があります。
- 102.CK, RWDS, DQx ピンの静電容量値は同等になり、システム内の信号伝播時間整合を実現する必要があります。アクティブ (LOW) になる CS# と DQ バスに出力されるデータ間の重要なタイミングがないため、CS# の静電容量値は重要ではありません。

電気的仕様

## 11.6 電源投入時および電源切断時

コア電源 ( $V_{CC}$ ) が  $V_{CC}$  ロックアウト電圧 ( $V_{LKO}$ ) を下回った場合はメモリは電源切斷と見なされます。 $V_{CC}$  が  $V_{LKO}$  を下回ると、メモリアレイの全体はプログラムや消去動作から保護されます。これにより、電源変動時でも、メモリの内容が誤って変更されないようにしています。 $V_{SS}$  レベルに至るまで電源変動時は、 $V_{CCQ}$  は  $V_{CC}$  以下を保つ必要があります。

$V_{CC}$  が  $V_{CC}$  reset ( $V_{RST}$ ) を下回り、その後、 $V_{RST} \sim V_{CC}(\min)$  に復帰すると、デバイスはパワーオンリセットインターフェースの状態に入り、EAC はコールドリセット自動アルゴリズムを開始します。

$V_{CC}$  は  $V_{CCQ}$  ( $V_{CC} \geq V_{CCQ}$ ) 以上をいつも保持してください。

デバイスは、 $V_{CC}$  と  $V_{CCQ}$  が両方とも上昇し、最小しきい値  $V_{CC}$  を越える状態を継続した時点から、 $t_{VCS}$  の遅延時間が経過するまで、すべての入力を無視します。 $t_{VCS}$  の間、デバイスはパワーオンリセットの動作を実行しています。

電源切斷中または電圧が  $V_{LKO}$  を下回っている間、 $V_{CC}$  電圧は  $t_{PD}$  時間で  $V_{RST}$  を下回ります。これにより、 $V_{CC}$  と  $V_{CCQ}$  が動作範囲に上昇する時、デバイスは正しく初期化します。[Figure 23](#) を参照してください。電圧低下中に  $V_{CC}$  が  $V_{LKO}$  を上回ったままの場合は、デバイスは初期化状態のままとなり、 $V_{CC}$  が  $V_{CC}(\min)$  を上回った時は正常に動作します。誤った初期化によりデバイスがロックアップした場合は、ソフトウェアリセットによりデバイスを正常に初期化できます。

$V_{CC}$  と  $V_{CCQ}$  電源を安定させるための電源供給時デカップリングには、標準的な予防措置を講じてください。システム内のそれぞれのデバイスには、パッケージコネクタに近接する適切なコンデンサ（通常、約  $0.1 \mu F$ ）によりデカップリングされた  $V_{CC}$  と  $V_{CCQ}$  電源が必要です。

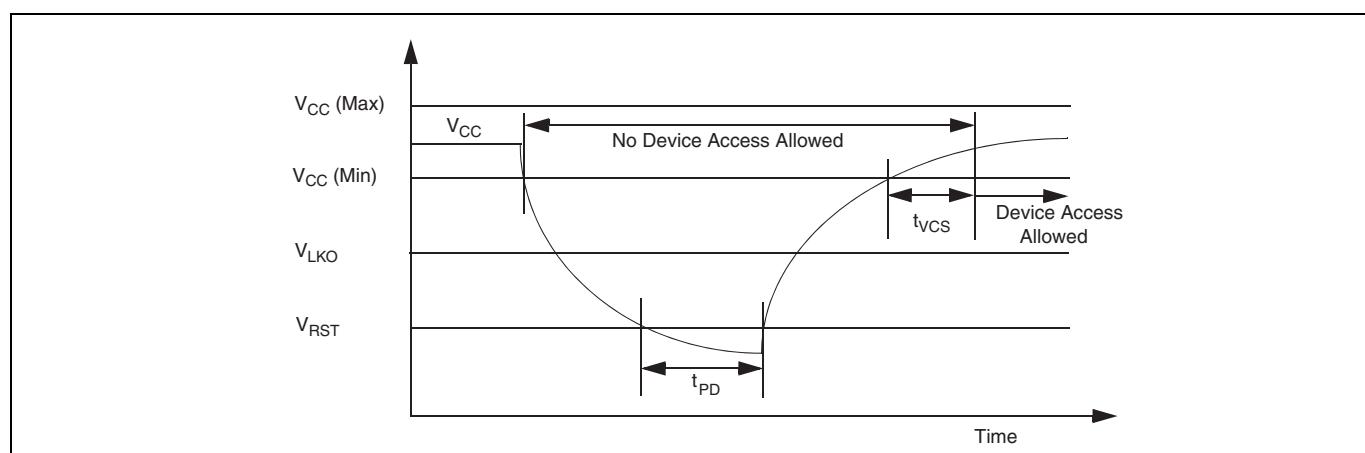


Figure 23 電源切斷または電圧低下

電気的仕様

**Table 51 1.8 V での電源投入 / 電源切断電圧とタイミング**

記号	パラメーター	最小	最大	単位
$V_{CC}$	$V_{CC}$ 電源電圧	1.7	1.95	V
$V_{LKO}$	$V_{CC}$ のカットオフ電圧。電圧がこれを下回ると再初期化が必要となる。	1.5	-	V
$V_{RST}$	$V_{CC}$ 低電圧。初期化を確実に行うために必要。	0.5	-	V
$t_{VCS}$	$V_{CC}$ および $V_{CCQ} \geq$ 最小値以上になる時から最初のアクセスまでの時間 RESET# LOW ~ HIGH 遷移から最初のアクセスまでの時間 ( $V_{CC}$ および $V_{CCQ} \geq$ (min))	-	300	μs
$t_{PD}$	$V_{CC} \leq V_{RST}$ の期間	10	-	μs

**Table 52 3.0 V での電源投入 / 電源切断電圧とタイミング**

記号	パラメーター	最小	最大	単位
$V_{CC}$	$V_{CC}$ 電源電圧	2.7	3.6	V
$V_{LKO}$	$V_{CC}$ のカットオフ電圧。電圧がこれを下回ると再初期化が必要となる。	2.4	-	V
$V_{RST}$	$V_{CC}$ 低電圧。初期化を確実に行うために必要。	0.7	-	V
$t_{VCS}$	$V_{CC}$ および $V_{CCQ} \geq$ 最小値以上になる時から最初のアクセスまでの時間。 RESET# LOW ~ HIGH 遷移から最初のアクセスまでの時間 ( $V_{CC}$ および $V_{CCQ} \geq$ (min))	-	300	μs
$t_{PD}$	$V_{CC} \leq V_{RST}$ の期間	10	-	μs

注:

103.  $V_{CC}$  ランプレートは非線形である場合があります。

電気的仕様

### 11.6.1 パワーオンリセット (POR)( コールド )

最初に電力を印加した時に、電源電圧が VLKO を下回っており、その後最小の動作電圧に達した場合は、内部のデバイス構成とコールドリセットのアクティビティが開始されます。動作期間中 ( $t_{VCS}$ ) やユーザーが拡張する RSTO#Low 時間の間、RESET# と CS# は無視されます。デバイスが POR 状態にある、または RSTO# ピンが LOW になっている間、コマンドシーケンスはロックされます。この期間中、デバイスは選択できず、コマンドを受け付けず、RSTO# 以外出力をしません。この POR 期間中の RESET# を LOW にすることは任意です。RESET# が POR 中に LOW になった場合は、POR 動作が  $t_{VCS}$  と  $t_{RPH}$  の終わりに完了する時 RESET# はハードウェアリセットのパラメーター  $t_{RP}$  および  $t_{RPH}$  を満たす必要があります。 $t_{VCS}$  期間中に RESET# が LOW になると、デバイスをハードウェアリセット状態に保つため、 $t_{VCS}$  の終わりに LOW のままになる場合があります。 $t_{VCS}$  の終わりに RESET# が HIGH の場合は、デバイスはスタンバイ状態に入ります。RSTO# の LOW 期間の終わりに CS# を  $V_{IH}$  レベルにする必要があります。

コールドリセット中は、デバイスは  $I_{CC7}$  電流を消費します。 $t_{VCS}$  中に CS# が LOW の場合、デバイスは  $t_{VCS}$  の間通常 POR 電流よりも多くの電流を消費する場合がありますが、CS# のレベルは、コールドリセット EA には影響しません。

$t_{VCS}$  の終わりまでに POR が正しく完了していない場合は、その後、ハードウェアリセット状態への遷移があると、これに起因してパワーオンリセットインターフェースへの遷移が行われ、コールドリセット自動アルゴリズムが開始されます。これにより、システム電源投入時の電圧のランプアップに起因して、POR が開始されない、あるいは正しく完了しないといったことがあったとしても、デバイスがコールドリセットを完了することは保証されます。

RSTO# はデバイス内で POR が発生している時点を示すために使用されるオーブンドレイン出力であり、システムレベルのリセット信号として使用できます。内部 POR の完了後ただちに、ユーザーにより定義されたタイムアウト期間が経過した後、RSTO# 信号は低インピーダンスから高インピーダンスに遷移します。高インピーダンス状態に遷移した後、外部プルアップ抵抗により RSTO# 信号は HIGH レベルに引っ張られて、デバイスは瞬時にアイドル状態になります。RSTO# が LOW の場合、デバイスはいかなるコマンドも取り受けません。

ユーザーが POR ( $t_{VCS}$ ) 期間を超えて RSTO# の期間を延長したい場合、不揮発性の PORTime レジスタをプログラムする必要があります。このレジスタ (FFFFh) の初期値により RSTO# ピンの期間に 0 を増加できます。 $t_{VCS}$  の終わりに、RSTO# 信号は高インピーダンスに復帰します。 $t_{VCS}$  を超えて延長された RSTO# パルスを定義するために、16 ビット PORTime レジスタにプログラムされた値は、 $t_{POR\_CK}$  で乗算されます (Table 53 を参照してください)。RSTO# アサートまでのプログラムされた延長の長さは「PORTime レジスタ内の値 +1 クロックサイクル」です。PORTime レジスタは OTP であり、プログラムされると後続のプログラミング試行に失敗します。

Table 53 ユーザーの POR 延長クロックのタイミング

パラメーター	記号	最小	最大	単位
POR 延長クロック周期	$t_{POR\_CK}$	25	42	$\mu\text{s}$

RSTO# と INT# 出力の両方は  $V_{CC}$  が  $V_{CC}(\text{min})$  を下回った場合は未定義となることに注意してください。 $V_{CC}(\text{min})$  に到達するまでに、INT# 出力は高インピーダンス状態になります。 $V_{CC}(\text{min})$  に到達した場合、「 $t_{VCS}$  + 追加のユーザー定義の POR 延長時間」の後 RSTO# 出力は LOW から HIGH インピーダンス状態へ遷移します。

電気的仕様

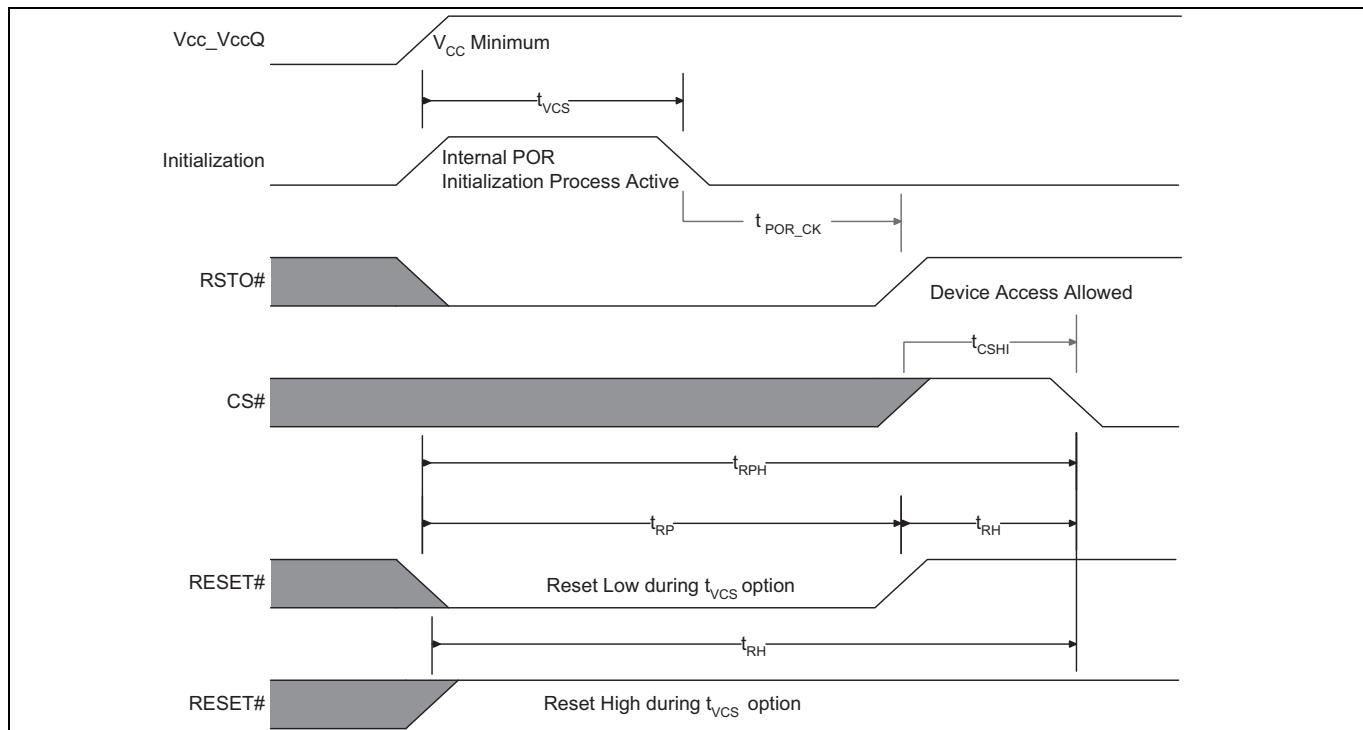


Figure 24 パワーオンリセット信号図 [104, 105, 106]

### 11.6.2 ハードウェアリセット

- 進行中の操作を終了します
- $RESET\#$  が LOW の場合、 $DQ[7:0]$  は High-Z 状態になります
- ASO を終了します
- すべての出力をトライステートにします
- ステータス レジスタをリセットします
- EAC をスタンバイ状態にリセットします
- リセット操作 ( $t_{RPH}$ ) の間  $CS\#$  は無視されます
- リセット電流仕様 ( $I_{CC5}$ ) を満たすには、 $CS\#$  を HIGH に保持する必要があります  
データの整合性を確保するには、デバイスがハードウェアリセットプロセスを完了したら、中断された不揮発性の操作を再開する必要があります。

注：

104.  $V_{CCQ}$  は、 $V_{CC}$  と同じでなければいけません。

105. PORTime は  $t_{VCS}$  時間が経過した後に  $RSTO\#$  をアサートすることを可能にするために用意され、力 スタマによってプログラムされるコンフィギュレーション レジスタです。PORTime は、Table 14 で 定義します。

106.  $t_{POR\_CK}$  は、 $RSTO\#$  信号のパルスを延長するために使用する内部(オンチップ)クロック周期です。  
 $t_{POR\_CK}$  は Table 53 で説明します。

電気的仕様

### 11.6.3 ハードウェア(ウォーム)リセット

RESET# 入力は、デバイスをハードウェア的にリセットしてスタンバイ状態にします。RESET# が LOW の場合、コマンドシーケンスと読み出し動作は禁止になります。デバイスがリセット状態にある場合、コマンドシーケンスはブロックされます。

ハードウェアリセット中、デバイスは  $I_{CC5}$  電流を消費します。RESET# が継続的に  $V_{SS}$  に保持されると、デバイスは CMOS スタンバイ電流 ( $I_{CC4}$ ) を消費します。RESET# が  $V_{IL}$  に保持されていても  $V_{SS}$  にならないと、スタンバイ電流は大きくなります。

ハードウェアリセットにより、バスコンフィギュレーションは不揮発性レジスタ (NVCR) により定義されます。[Figure 25](#) を参照してください。

デバイスが POR を完了し、スタンバイ状態に入った後は、その後のハードウェアリセット状態への遷移はすべて、ウォームリセットアルゴリズムを起動させます。ウォームリセットはコールドリセットよりもはるかに短時間であり、完了までに要するのは数  $\mu s$  ( $t_{RPH}$ ) です。自動ウォームリセットアルゴリズム中は、進行中の組込みアルゴリズムはすべて停止され、EAC は POR 状態に戻され、不揮発性メモリから EAC アルゴリズムがリロードされません。自動ウォームリセットアルゴリズムが完了した後、RESET# が LOW のままであると、インターフェースはハードウェアリセット状態のままとなります。RESET# が HIGH に復帰すると、インターフェースはスタンバイ状態に遷移します。RESET# が HIGH の場合は、自動ウォームリセットアルゴリズムの最後に、インターフェースは直接スタンバイ状態に遷移します。

$t_{VCS}$  の終わりまでに POR が正しく完了していない場合は、その後、ハードウェアリセット状態への遷移があると、これに起因してパワーオンリセットインターフェースへの遷移が行われ、コールドリセット自動アルゴリズムが開始されます。これにより、システム電源投入時の電圧のランプアップに起因して、POR が開始されない、あるいは正しく完了しないといったことがあったとしても、デバイスがコールドリセットを完了することが保証されます。

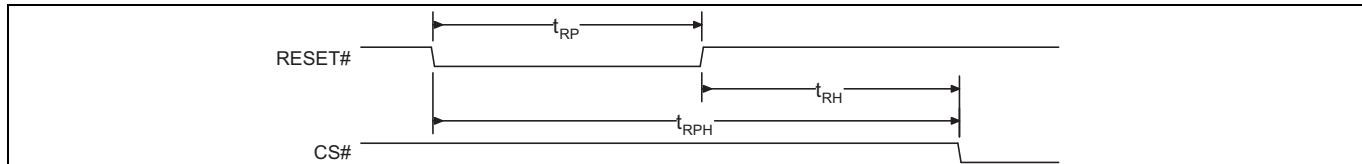


Figure 25 ハードウェアリセットのタイミング図

Table 54 電源投入とリセットパラメーター

パラメーター	説明	限界	時間	単位
$t_{VCS}$	$V_{CC}$ セットアップ時間から最初のアクセスまでの時間 [107]	最小	300	$\mu s$
$t_{RPH}$	RESET# LOW から CS# LOW までの時間	最小	30	$\mu s$
$t_{RP}$	RESET# パルス幅	最小	200	ns
$t_{RH}$	RESET# (HIGH) と CS# (LOW) 間の時間	最小	150	ns
$t_{PD}$	$V_{CC} \leq V_{RST}$ の期間	最小	10	$\mu s$
$t_{CSHI}$	動作間のチップセレクト HIGH 時間	最小	6.0	ns

ハードウェアリセットを利用して DPD モードを終了することもできます。RESET# の入力を ( $t_{RP}$  (min) の間) LOW に駆動すると、デバイスは DPD モードを終了します。デバイスはスタンバイ状態に復帰する際に  $t_{DPDOUT}$  がかかります。DPD モードを終了する時、デバイスは、パワーオンリセット後と同様な設定を持ちます。[ディープパワーダウン](#)を参照してください。

注:

107. バストランザクション(読み出しと書き込み)は、電源投入リセット時間 ( $t_{VCS}$ ) 中は許可されません。  
108. タイミングは、 $V_{CC}$  が  $V_{CC}(\text{min}) \sim V_{IH}$  (リセットの場合)、および  $V_{CC}(\text{min}) \sim V_{IL}$  (CS# ピンの場合) で測定されます。

109. RESET# Low は POR 中では任意です。POR 中に RESET# がアサートされた場合は、 $t_{RPH}$  と  $t_{VCS}$  の後者は CS# が LOW になった時に特定されます。 $t_{VCS}$  が満たされた後 RESET# が LOW のままの場合、 $t_{RPH}$  は  $t_{VCS}$  の終わりに測定されます。CS# が LOW になる前に  $t_{RH}$  の間 HIGH であることも必要です。

110.  $V_{CC}$  ランプレートは非線形である場合があります。

111.  $t_{RP} + t_{RH}$  は  $t_{RPH}$  以上である必要があります。

電気的仕様

## 11.7 ハードウェアデータ保護による電源オフ

コア電源 ( $V_{CC}$ ) がロックアウト電圧 ( $V_{LKO}$ ) を下回ると、メモリの電源がオフになったと見なされます。 $V_{CC}$  が  $V_{LKO}$  を下回ると、メモリアレイ全体がプログラムまたは消去操作から保護されます。これにより、電源の移行中にメモリの内容が誤って変更されることはありません。電源が Power-Off に移行する間、 $V_{CCQ}$  は  $V_{CC}$  以下である必要があります。

$V_{CC}$  が  $V_{RST}$  (min) を下回り、その後  $V_{RST}$  (min) を上回って  $V_{CC}$  の最小に戻ると、パワーオンリセットインターフェース状態になり、EAC はコールドリセット組込みアルゴリズムを開始します。

## 11.8 省電力モード

### 11.8.1 ディープパワーダウン

DPD モードでは、消費電流は最低レベルになります。デバイスが ASO 以外のスタンバイ状態にあるときに DPD モードに入る必要があります。DPD は、DPD Entry コマンドシーケンスを使用して入力されます (Table 41 を参照)。 $t_{DPDIN}$  期間中、デバイスはコマンドシーケンスを無視します (読み出しおよび書き込みトランザクションは処理されません)。

DPD モードを終了するには、DPD エントリコマンドシーケンスをアサートします。 $t_{DPDOUT}$  期間中、デバイスはコマンドシーケンスを無視し (読み出しおよび書き込みトランザクションは処理されません)、RWDS は試行された読み出しトランザクション中に切り替わりません。

$t_{DPDIN}$  期間中、デバイスは CS# を無視します。DPD モードに入ることは、コマンドシーケンスによって中断または中止されません。

$t_{DPDIN}$  を満たした後、DPD モードを終了する必要があります。

RESET# 入力を LOW に駆動すると (最小  $t_{RP}$  時間)、デバイスは DPD モードを終了します。デバイスは  $t_{DPDOUT}$  を使用してスタンバイ状態に戻ります。DDP モードへの移行は、 $t_{DPDIN}$  中に RESET# 入力を LOW (最小  $t_{RP}$  時間) 駆動することにより中止されます。

DPD モードを終了すると、デバイスのデフォルト設定は POR 後と同じになります。

Table 55 DPD モードの開始と終了のタイミング

記号	パラメーター	最小	最大	単位
$t_{DPDIN}$	DPD 電力レベルへのディープパワーダウン CR[15]=0 レジスタ書き込み	10	-	μs
$t_{DPDOUT}$	ディープパワーダウンからスタンバイ ウェイクアップ時間	-	300	μs

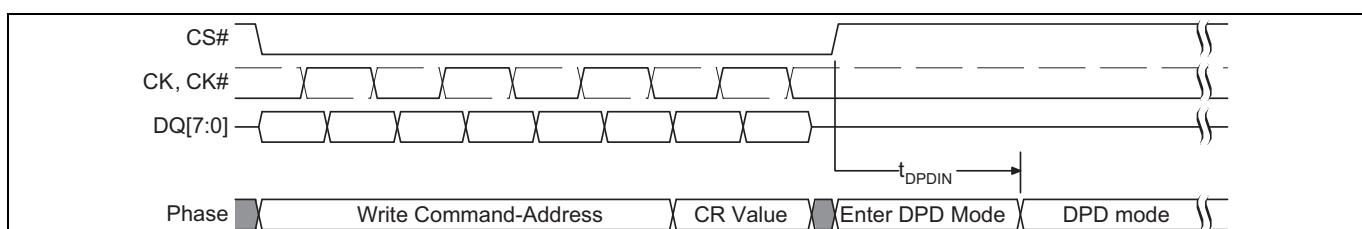


Figure 26 ディープパワーダウン開始タイミング

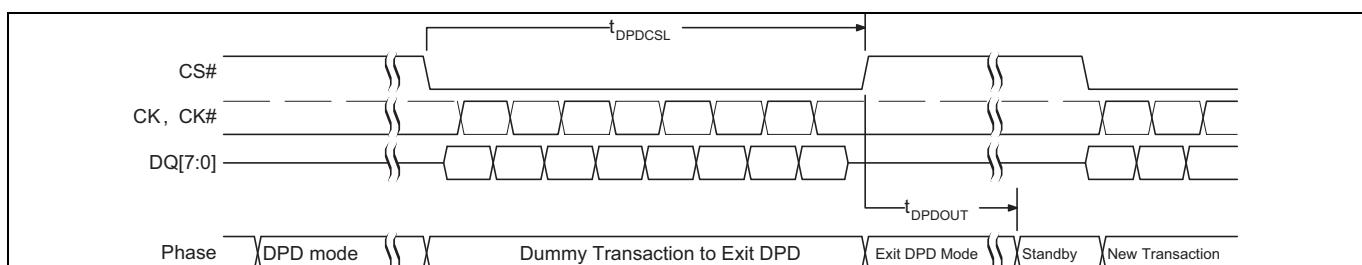


Figure 27 ディープパワーダウン CS# 終了タイミング

電気的仕様

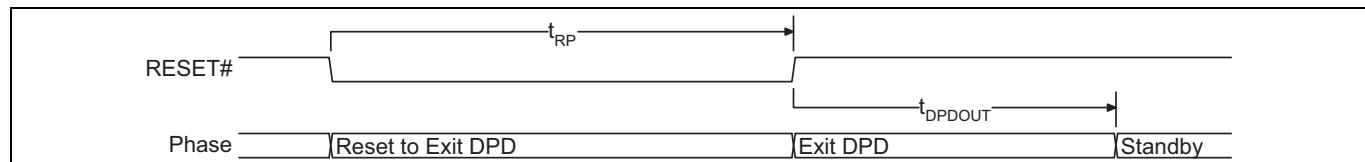


Figure 28 ディープパワーダウン RESET# 終了タイミング

### 11.8.2 アクティブクロック停止

アクティブクロック停止状態は、読み出しあり書き込み操作のデータ転送部分の間、デバイスインターフェースのエネルギー消費を  $I_{CC6}$  レベルに減らします。クロックが  $t_{ACC} + 30 \text{ ns}$  の間安定している場合、デバイスはこの状態を自動的に有効にします。アクティブクロック停止状態の間、読み出しだけはラッピングされ、常にデータバスに駆動されます。 $I_{CC6}$  を DC 特性 (CMOS 互換性) に示します。

アクティブクロック停止状態は、ホストシステムクロックが停止してデータ転送を一時停止した場合の消費電流を削減するのに役立ちます。これらの拡張データ転送サイクル全体で CS# が LOW であっても、メモリデバイスホストインターフェースは  $t_{ACC} + 30 \text{ ns}$  でアクティブクロック停止電流レベルになります。これにより、データ転送が停止した場合、デバイスはより低い電流状態に移行できます。切り替えクロックでデータ転送が再開されると、アクティブな読み出しあり書き込み電流が再開されます。クロックは、アクティブトランザクションが LOW 状態にある限り、どの部分でも停止できます。レジスタアクセス中はクロックを停止しないことを推奨します。

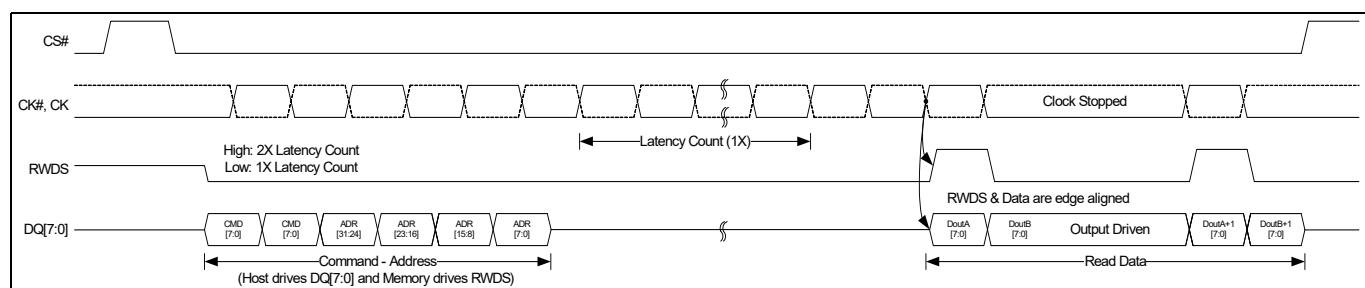


Figure 29 読み出しトランザクション中のアクティブクロック停止 [112]

注:

112.CA サイクル中、CS は LOW です。この読み出しトランザクションには、読み出しデータアクセスの初期レイテンシカウントが 1 つあります。これは、この読み出しトランザクションは、スレーブが追加のレイテンシを必要とする時点では開始されないためです。

タイミング仕様

## 12 タイミング仕様

ここでは、タイミング仕様の HYPERFLASH™ デバイスに準拠した側面を説明します。

### 12.1 AC テスト条件

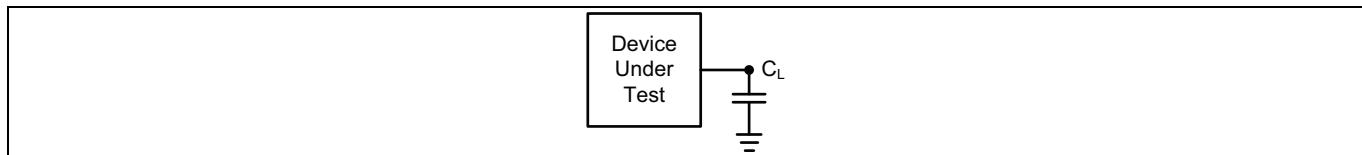


Figure 30 テスト設定

Table 56 テスト仕様<sup>[113]</sup>

パラメーター	すべてのスピード	単位
出力負荷容量, $C_L$	20	pF
最小入力立ち上りおよび立ち下りスルーレート <sup>[114]</sup>	2.0	V/ns
入力パルス レベル	$0.0 - V_{CCQ}$	V
入力タイミング測定基準レベル	$V_{CCQ}/2$	V
出力タイミング測定基準レベル	$V_{CCQ}/2$	V

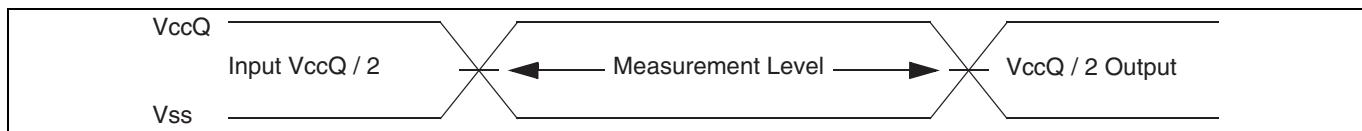


Figure 31 入力波形および測定レベル<sup>[115]</sup>

注:

113.入力と出力のタイミングは、 $V_{CCQ}/2$  または CK/CK# の交差を基準にしています。

114.すべての AC タイミングは、2V/ns の入力スルーレートを想定しています。少なくとも 4V/ns の CK/CK# 差動スルーレート。

115.差動 CK/CK# ペアの入力タイミングは、クロックの交差から測定されます。

タイミング仕様

## 12.2 AC 特性

### 12.2.1 CLK 特性

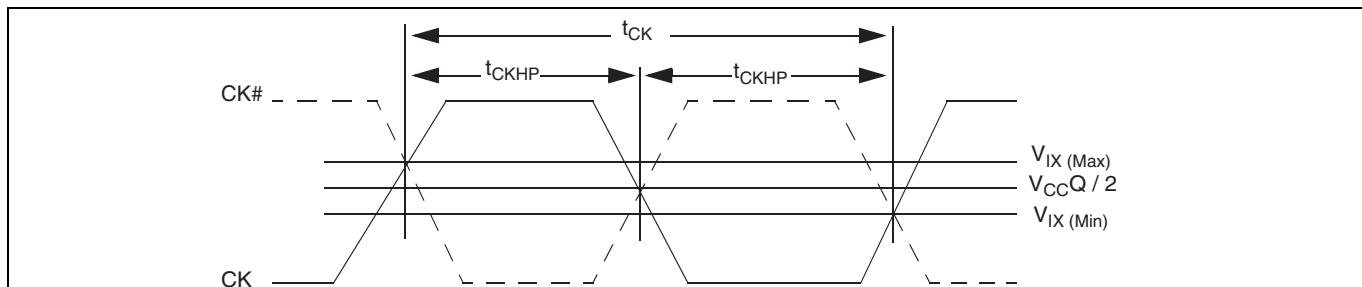


Figure 32 クロック特性

Table 57 クロックタイミング

パラメーター	記号	166 MHz		133 MHz		100 MHz		50 MHz <sup>[117]</sup>		単位
		最小	最大	最小	最大	最小	最大	最小	最大	
CK 周期	$t_{CK}$	6	-	7.5	-	10	-	20	-	ns
CK 半周期 - デューティサイクル	$t_{CKHP}$	0.45	0.55	0.45	0.55	0.45	0.55	0.45	0.55	$t_{CK}$
周波数での CK 半周期 最小 = $0.45 t_{CK} \text{ min}$ 最大 = $0.55 t_{CK} \text{ min}$	$t_{CKLP}$	2.7	3.3	3.375	4.125	4.5	5.5	9	11	ns

Table 58 クロック AC/DC 電気的特性

パラメーター	記号	最小	最大	単位
DC 入力電圧	$V_{IN}$	-0.3	$V_{CCQ} + 0.3$	V
DC 入力差動電圧	$V_{ID(DC)}$	$V_{CCQ} \times 0.4$	$V_{CCQ} + 0.6$	V
AC 入力差動電圧	$V_{ID(AC)}$	$V_{CCQ} \times 0.6$	$V_{CCQ} + 0.6$	V
AC 差動交差電圧	$V_{IX}$	$V_{CCQ} \times 0.4$	$V_{CCQ} \times 0.6$	V

注:

116.±5%のクロックジッタが許容されます。

117.50 MHz タイミングは、HYPERFLASH™ワードプログラムコマンド中にデータをロードするためにバースト書き込みが使用される場合にのみ関連します。

118.CK# は 1.8 V デバイスでのみ使用され、破線の波形として表示されます。

119.CK および CK# の入力スルーレートは、1V/ns 以上 (差動で測定した場合は 2V/ns) でなければいけません。

120. $V_{ID}$  は、CK の入力レベルと CK# の入力レベルの差の大きさです。

121. $V_{IX}$  の値は、送信デバイスの  $V_{CCQ}/2$  に等しいと予想され、 $V_{CCQ}$  の DC レベルの変動を追跡する必要があります。

タイミング仕様

## 12.2.2 読み出しトランザクション図

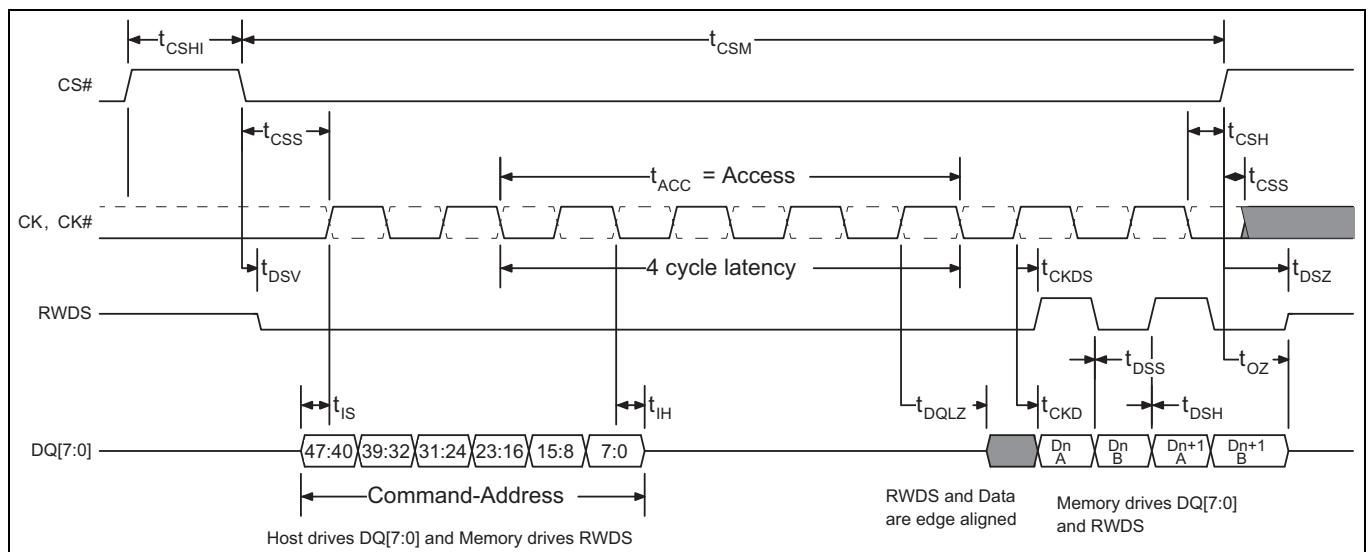


Figure 33 読み出しタイミング図

タイミング仕様

### 12.2.3 読み出し AC パラメーター

Table 59 HYPERBUS™ 1.8 V/3.0 V デバイスの共通読み出しタイミング パラメーター

パラメーター	記号	166 MHz		133 MHz		100 MHz		単位
		最小	最大	最小	最大	最小	最大	
トランザクション間のチップセレクト HIGH 時間	t <sub>CSHI</sub>	6.00	-	7.50	-	10.00	-	ns
チップセレクトセットアップから次の CK 立ち上がりエッジまでの時間	t <sub>CSS</sub>	3.00	-	3.00	-	3.00	-	ns
データストローブ有効時間	t <sub>DSV</sub>	-	12.00	-	12.00	-	12.00	ns
入力セットアップ時間	t <sub>IS</sub>	0.60	-	0.80	-	1.00	-	ns
入力ホールド時間	t <sub>IH</sub>	0.60	-	0.80	-	1.00	-	ns
HYPERFLASH™ 読み出し初期アクセス時間	t <sub>ACC</sub>	-	96.00	-	96.00	-	96.00	ns
クロックから DQ の Low Z までの時間	t <sub>DQLZ</sub>	0	-	0	-	0	-	ns
CK 遷移から DQ 有効までの時間	t <sub>CKD</sub>	1.00	5.50	1.00	5.50	1.00	5.50	ns
CK 遷移から DQ 無効までの時間	t <sub>CKDI</sub>	0	4.60	0	4.50	0	4.30	ns
データ有効時間 (t <sub>DV</sub> min = t <sub>CKHP</sub> min - t <sub>CKD</sub> max + t <sub>CKDI</sub> max と t <sub>CKHP</sub> min - t <sub>CKD</sub> min + t <sub>CKDI</sub> min のうちの小さい方)	t <sub>DV</sub>	1.70	-	2.37	-	3.30	-	ns
CK 遷移から RWDS 有効までの時間	t <sub>CKDS</sub>	1.00	5.50	1.00	5.50	1.00	5.50	ns
RWDS 遷移から DQ 有効までの時間	t <sub>DSS</sub>	-0.45	+0.45	-0.60	+0.60	-0.80	+0.80	ns
RWDS 遷移から DQ 無効までの時間	t <sub>DSH</sub>	-0.45	+0.45	-0.60	+0.60	-0.80	+0.80	ns
CK 立ち下りエッジ後のチップセレクトのホールド時間	t <sub>CSH</sub>	0	-	0	-	0	-	ns
チップセレクト非アクティブから RWDS High-Z までの時間	t <sub>DSZ</sub>	-	6.00	-	6.00	-	6.00	ns
チップセレクト非アクティブから DQ High-Z までの時間	t <sub>OZ</sub>	-	6.00	-	6.00	-	6.00	ns

注:

12.2.HYPERBUS™ デバイスは、示されている t<sub>CSH</sub> 値で正常に動作しますが、通常、CS# は HYPERBUS™ マスターによって LOW(アクティブ) に駆動される必要があります。t<sub>CKD</sub>, t<sub>CKDS</sub>, および RWDS のマスタインタフェースの位相シフトを考慮して DQ 信号から最後のデータ転送をキャプチャするのに十分な時間データが有効になります。HYPERBUS™ マスターは、最後の目的のデータ転送から有効なデータを確実にキャプチャするために、1つ以上の追加クロック周期で CS# を LOW に駆動する必要があります。

タイミング仕様

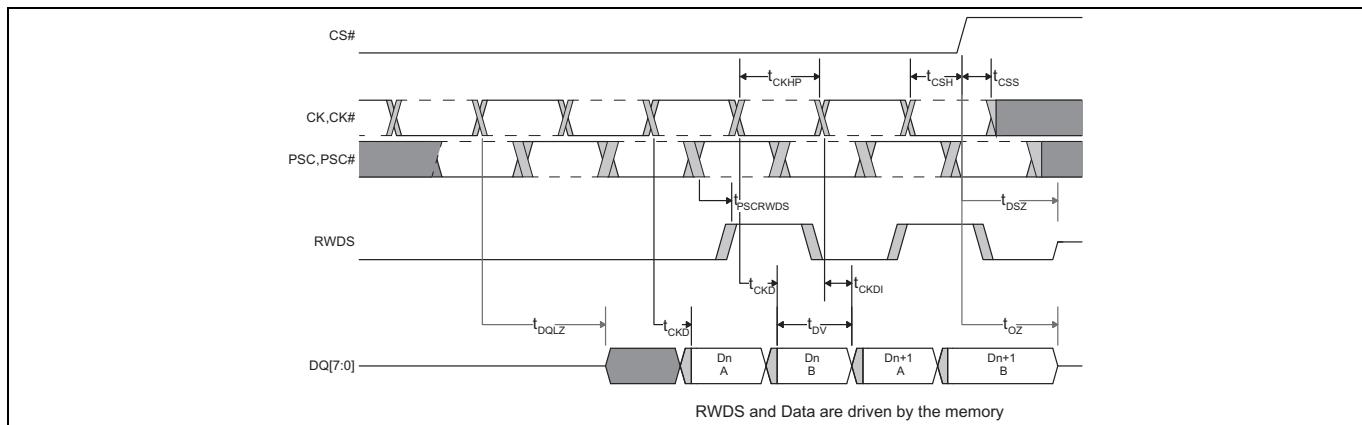


Figure 34 DCARS データ有効タイミング [123, 124, 125]

Table 60 DCARS 読み出しタイミング (@ 3.0 V) [126]

パラメーター	記号	100 MHz		単位
		最小	最大	
HYPERFLASH™ PSC 遷移から RWDS 遷移までの時間	$t_{PSCRWDS}$	1	6.5	ns
CK から DQ 有効および PSC から RWDS までの時間差	$t_{PSCRWDS} - t_{CKD}$	-1.0	+0.5	ns

Table 61 DCARS 読み出しタイミング (@ 1.8 V) [126]

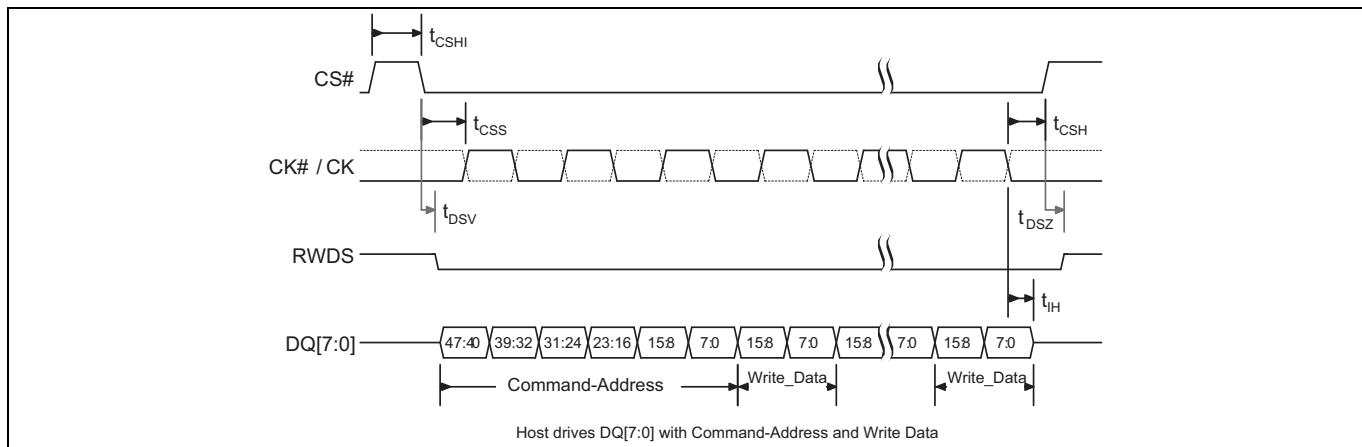
パラメーター	記号	133 MHz		100 MHz		単位
		最小	最大	最小	最大	
HYPERFLASH™ PSC 遷移から RWDS 遷移までの時間	$t_{PSCRWDS}$	1	5.5	1	5.5	ns
CK から DQ 有効および PSC から RWDS までの時間差	$t_{PSCRWDS} - t_{CKD}$	-1.0	+0.5	-1.0	+0.5	ns

注:

123. CK# と PSC# はオプションであり、破線の波形として表示されます。
124. CK から PSC への遅延(位相シフト)は、HYPERBUS™ マスタインターフェース(ホスト)によって制御され、十分なセットアップおよび RWDS へのデータのホールド時間でデータ有効ウィンドウ内に RWDS エッジを配置するために、通常 40 ~ 140 度です。データのセットアップと RWDS へのホールド時間の要件は、HYPERBUS™ マスタインターフェースの設計によって決定され、HYPERBUS™ スレーブのタイミングパラメーターによっては対処されません。
125.  $t_{CKD}$  および  $t_{CKDI}$  の HYPERBUS™ タイミングパラメーターは、データ有効期間の開始位置と終了位置を定義します。RWDS とデータは同じ電圧および温度条件下で同じデバイスからの出力であるため、 $t_{CKD}$  と  $t_{CKDI}$  の値は一緒に追跡されます(同じ比率で変化します)。
126. 抜き取りテストであり、100% テストはされていません。

タイミング仕様

## 12.2.4 マルチワードバーストデータロードによるプログラミング



**Figure 35** ワードプログラムコマンド中にマルチワードをロードしている間のバースト書き込みタイミング図 [127, 128, 129, 130, 131, 132]

### 注:

127. CK = LOW および CK# = HIGH でトランザクションを開始する必要があります。CS# は、新しいトランザクションが開始される前に HIGH を返す必要があります。
128. HYPERFLASH™ メモリは、CS# が LOW の間、書き込み中に RWDS を LOW に駆動します。
129. ASO 状態では、バースト書き込み操作は許可されません。
130. バースト書き込み操作は、ワードプログラムコマンド中に複数のワードをロードしている間のみ許可されます。
131. バースト書き込み操作は線形のみであり、ラップバースト書き込み機能はサポートされていません。
132. CK# は 1.8 V デバイスでのみ使用されます。

タイミング仕様

## 12.2.5 AC パラメーターの書き込み

Table 62 HYPERFLASH™ 1.8 V/3.0 V デバイス共通の書き込みタイミング パラメーター

パラメーター	記号	166 MHz		133 MHz		100 MHz		単位
		最小	最大	最小	最大	最小	最大	
トランザクション間のチップセレクト HIGH 時間	$t_{CSHI}$	6.00	-	7.50	-	10.00	-	ns
チップセレクトセットアップから次の CK 立ち上りエッジまでの時間	$t_{CSS}$	3.00	-	3.00	-	3.00	-	ns
データストローブ有効時間	$t_{DSV}$	-	12.00	-	12.00	-	12.00	ns
入力セットアップ時間	$t_{IS}$	0.60	-	0.80	-	1.00	-	ns
入力ホールド時間	$t_{IH}$	0.60	-	0.80	-	1.00	-	ns
CK 立ち下りエッジ後のチップセレクトのホールド時間	$t_{CSH}$	0	-	0	-	0	-	ns
チップセレクト非アクティブまたはクロックから RWDS High-Z までの時間	$t_{DSZ}$	-	6.00	-	6.00	-	6.00	ns

Table 63 ワード プログラム コマンド中にマルチ ワードをロードしている間のバースト書き込みのタイミング図

パラメーター	記号	50 MHz <sup>[134]</sup>		単位
		最小	最大	
バースト書き込みの動作周波数	-	-	50	MHz
チップセレクトセットアップから次の CK 立ち上りエッジまでの時間	$t_{CSS}$	3	-	ns
チップセレクトアクティブから RWDS 有効 (LOW) までの時間	$t_{DSV}$	-	8	ns
入力セットアップ時間	$t_{IS}$	1.0	-	ns
入力ホールド時間	$t_{IH}$	1.0	-	ns
CK 立ち下りエッジ後のチップセレクトのホールド時間	$t_{CSH}$	0	-	ns
チップセレクト非アクティブから RWDS High-Z までの時間	$t_{DSZ}$	-	6	ns
動作間のチップセレクト HIGH 時間	$t_{CSHI}$	10.0	-	ns

注:

133.抜き取りテストであり、100%テストはされていません。

134.50 MHz タイミングは、ワード プログラム コマンド中にバースト書き込みを使用する場合にのみ必要です。

## 13 組込みアルゴリズムのパフォーマンス

Table 64 組込みアルゴリズム特性

パラメーター	最小	標準 [135]	最大 [136]	単位	備考
セクタ消去時間 256 KB	-	930	2900	ms	消去前の事前プログラミングを含む [138]
パラメーター セクタ消去時間 4 KB	-	240	725	ms	
チップ消去時間 (128 Mb)	-	55	115	s	
チップ消去時間 (256 Mb)	-	110	231	s	
チップ消去時間 (512 Mb)	-	220	462	s	
シングルワード プログラミング時間	-	500	1000	μs	ワード プログラミング コマンド シーケンス
ハーフページ (16 バイト) バッファ プログラミング時間	-	270	1000	μs	バッファ プログラミング コマンド シーケンス
バッファ プログラミング時間 (フル 512 バイト)	-	475	2000	μs	-
消去中断 / 消去再開時間 ( $t_{ESL}$ )	-	-	50	μs	-
プログラム中断 / プログラム再開 ( $t_{PSL}$ )	-	-	50	μs	-
消去再開から次の消去中断までの時間 ( $t_{ERS}$ )	-	100	-	μs	最小 60 ns だが、消去が完了するまで typ 以上の期間が必要
プログラム再開から次のプログラム中断までの時間 ( $t_{PRS}$ )	-	100	-	μs	最小 60 ns だが、プログラムが完了するまで typ 以上の期間が必要
ブランク チェック (256 KB セクタ)	-	15	17	ms	-
	-	-	256		産業機器用温度
NOP (Number of Program-operations, ラインごと)	-	-	32		産業機器プラス用温度 8 ワード (16 バイト) のハーフページごとに 1 つのプログラム操作のみ
評価消去ステータス時間 ( $t_{EES}$ )	-	70	100	μs	-
パスワード比較時間 ( $t_{PSWD}$ )	80	100	120	μs	-
CRC 中断 / CRC 再開 ( $t_{CRCSL}$ )	-	-	25	μs	-
CRC 再開から次の CRC 中断までの時間 ( $t_{CRCRS}$ )	-	5	-	μs	最小 60 ns だが、CRC 計算が完了するまで typ 以上の期間が必要
CRC 計算セットアップ時間 ( $t_{CRC\_SETUP}$ )	-	10	-	μs	-
CRC 計算レート	60	65	-	Mbps	大きい (1024 バイトを越える) データ ブロックでの計算レート

注:

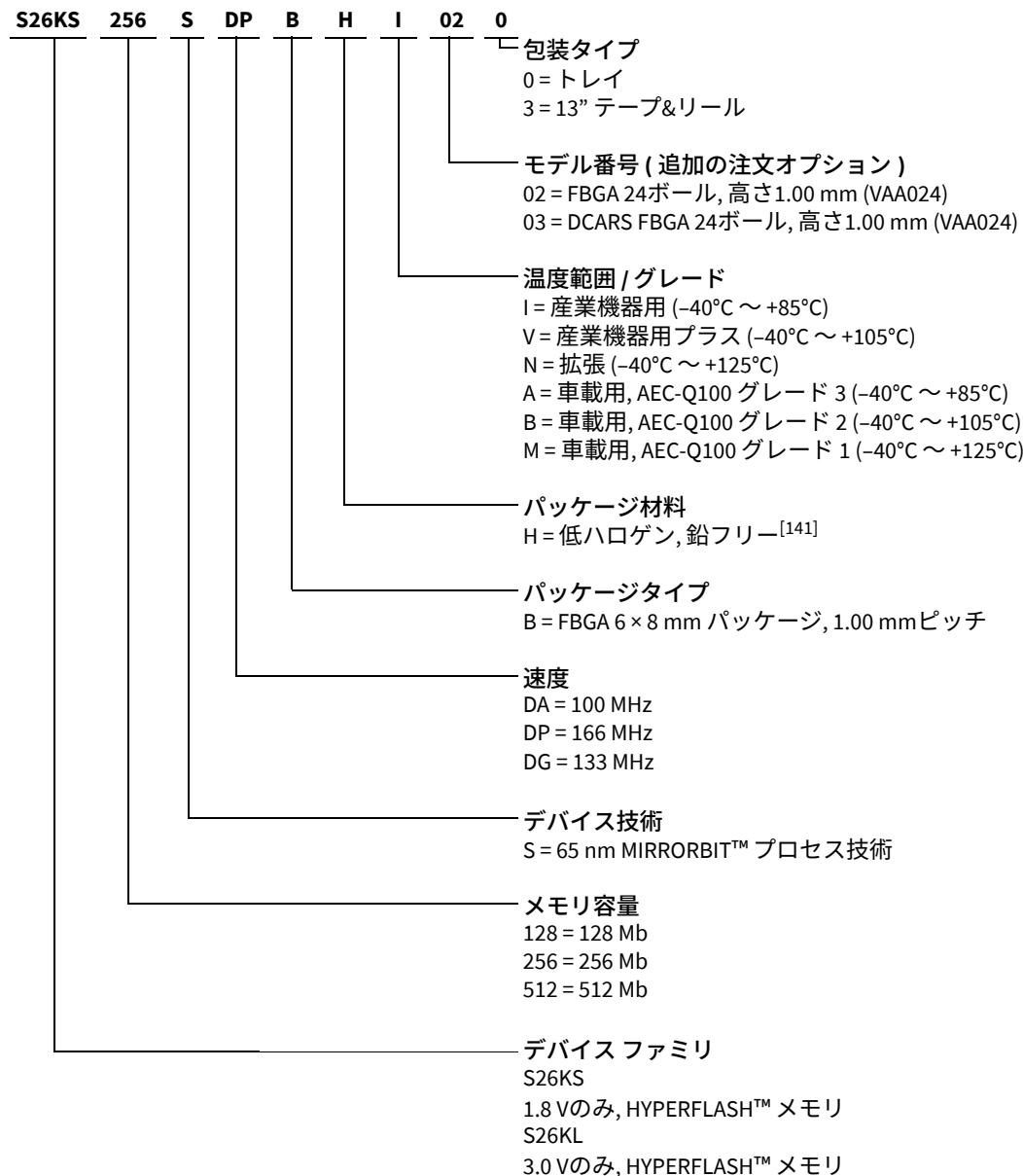
- 135.°一般的なプログラムおよび消去時間は、25°C, (1.8 V または 3.0 V)  $V_{CC}$ , 10,000 サイクル, およびチップ カーボードデータパターンの条件を想定しています。
- 136.°90°C,  $V_{CC} = (1.70 \text{ V} \text{ または } 2.7 \text{ V})$ , 100,000 サイクル, およびランダムデータパターンの最悪条件の場合。
- 137.効果的な書き込みバッファの指定は、512 バイトの書き込みバッファ操作に基づいています。
- 138.組込み消去アルゴリズムの事前プログラミング手順では、すべてのワードがセクタおよびチップ消去の前に 0000h にプログラムされます。
- 139.システムレベルのオーバーヘッドは、プログラムコマンドのバスサイクルシーケンスの実行に必要な時間です。コマンド定義の詳細については、Table 41 を参照してください。

注文情報

## 14 注文情報

### 14.1 注文製品番号

注文製品番号は下記の有効な組み合わせで構成されます。



注:

140. FBGA パッケージマーキングでは、注文製品番号から先頭の S2 と包装タイプ文字が省略されています。

141. ハロゲンフリーの定義は、IEC 61249-2-21 仕様に準拠しています。

注文情報

## 14.2 有効な組合せ – 標準

有効な組合せ表は、大量に利用可能になるコンフィギュレーションの一覧です。新しい組合せがリリースされると、表が更新されます。特定の組合せの有無、ならびに新たにリリースされる組合せについては、担当営業までお問い合わせください。

**Table 65 有効な組合せ – 標準**

デバイス 番号	スピード	パッケー ジと材料	温度範囲	モデル 番号	包装 タイプ	製品 (x = 包装タイプ)	パッケージ マーキング
S26KL512S	DA	BH	I, V, N	02	0, 3 <sup>[142]</sup>	S26KL512SDABHI02x	6KL512SDAHI02
						S26KL512SDABHV02x	6KL512SDAHV02
						S26KL512SDABHN02x	6KL512SDAHN02
S26KL256S	DA	BH	I, V, N	02	0, 3 <sup>[142]</sup>	S26KL256SDABHI02x	6KL256SDAHI02
						S26KL256SDABHV02x	6KL256SDAHV02
						S26KL256SDABHN02x	6KL256SDAHN02
S26KL128S	DA	BH	I, V, N	02	0, 3 <sup>[142]</sup>	S26KL128SDABHI02x	6KL128SDAHI02
						S26KL128SDABHV02x	6KL128SDAHV02
						S26KL128SDABHN02x	6KL128SDAHN02
S26KS512S	DP	BH	I, V, N	02	0, 3 <sup>[142]</sup>	S26KS512SDPBHI02x	6KS512SDPHI02
						S26KS512SDPBHV02x	6KS512SDPHV02
						S26KS512SDPBHN02x	6KS512SDPHN02
S26KS256S	DP	BH	I, V, N	02	0, 3 <sup>[142]</sup>	S26KS256SDPBHI02x	6KS256SDPHI02
						S26KS256SDPBHV02x	6KS256SDPHV02
						S26KS256SDPBHN02x	6KS256SDPHN02
S26KS128S	DP	BH	I, V, N	02	0, 3 <sup>[142]</sup>	S26KS128SDPBHI02x	6KS128SDPHI02
						S26KS128SDPBHV02x	6KS128SDPHV02
						S26KS128SDPBHN02x	6KS128SDPHN02

注:

142. 包装タイプ「3」の製品については営業担当にお問い合わせください。

注:

143. FBGA パッケージマーキングでは、注文製品番号から先頭の S2 と包装タイプ文字が省略されています。

注文情報

Table 66 有効な組合せ – DCARS 標準

デバイス番号	スピード	パッケージと材料	温度範囲	モデル番号	包装タイプ	製品(x=包装タイプ)	パッケージマーキング
S26KL512S	DA	BH	I, V, N	03	0, 3 <sup>[144]</sup>	S26KL512SDABHI03x	6KL512SDAHI03
						S26KL512SDABHV03x	6KL512SDAHV03
						S26KL512SDABHN03x	6KL512SDAHHN03
S26KL256S	DA	BH	I, V, N	03	0, 3 <sup>[144]</sup>	S26KL256SDABHI03x	6KL256SDAHI03
						S26KL256SDABHV03x	6KL256SDAHV03
						S26KL256SDABHN03x	6KL256SDAHHN03
S26KL128S	DA	BH	I, V, N	03	0, 3 <sup>[144]</sup>	S26KL128SDABHI03x	6KL128SDAHI03
						S26KL128SDABHV03x	6KL128SDAHV03
						S26KL128SDABHN03x	6KL128SDAHHN03
S26KS512S	DA, DG	BH	I, V, N	03	0, 3 <sup>[144]</sup>	S26KS512SDABHI03x	6KS512SDAHI03
						S26KS512SDABHV03x	6KS512SDAHV03
						S26KS512SDABHN03x	6KS512SDAHHN03
						S26KS512SDGBHI03x	6KS512SDGHI03
						S26KS512SDGBHV03x	6KS512SDGHV03
						S26KS512SDGBHN03x	6KS512SDGHN03
S26KS256S	DA, DG	BH	I, V, N	03	0, 3 <sup>[144]</sup>	S26KS256SDABHI03x	6KS256SDAHI03
						S26KS256SDABHV03x	6KS256SDAHV03
						S26KS256SDABHN03x	6KS256SDAHHN03
						S26KS256SDGBHI03x	6KS256SDGHI03
						S26KS256SDGBHV03x	6KS256SDGHV03
						S26KS256SDGBHN03x	6KS256SDGHN03
S26KS128S	DA, DG	BH	I, V, N	03	0, 3 <sup>[144]</sup>	S26KS128SDABHI03x	6KS128SDAHI03
						S26KS128SDABHV03x	6KS128SDAHV03
						S26KS128SDABHN03x	6KS128SDAHHN03
						S26KS128SDGBHI03x	6KS128SDGHI03
						S26KS128SDGBHV03x	6KS128SDGHV03
						S26KS128SDGBHN03x	6KS128SDGHN03

注:

144. 包装タイプ「3」の製品については営業担当にお問い合わせください。

注:

145. FBGA パッケージマーキングでは、注文製品番号から先頭の S2 と包装タイプ文字が省略されています。

注文情報

### 14.3 有効な組合せ – 車載用グレード / AEC-Q100

以下の表に、車載用グレード /AEC-Q100 の認定を受けており、量産可能になる予定の設定を示します。新しい組合せがリリースされると、表が更新されます。特定の組合せの有無、ならびに新たにリリースされる組合せについては、担当営業までお問い合わせください。

生産部品承認プロセス (PPAP) サポートは、AEC-Q100 グレードの製品に対してのみ提供されます。

ISO/TS-16949 準拠を必要とする最終用途のアプリケーションで使用される製品は、PPAP と組み合わせた AEC-Q100 グレードの製品でなければいけません。非 AEC-Q100 グレード製品は、ISO/TS-16949 要件に完全に準拠して製造または文書化されていません。

AEC-Q100 グレードの製品は、ISO/TS-16949 準拠を必要としない最終用途のアプリケーション向けに PPAP サポートなしで提供されます。

**Table 67 有効な組合せ – 車載用グレード / AEC-Q100**

デバイス 番号	スピード	パッケー ジと材料	温度範囲	モデル 番号	包装 タイプ	製品 (x = 包装タイプ)	パッケージ マーキング
S26KL512S	DA	BH	A, B, M	02	0, 3 <sup>[146]</sup>	S26KL512SDABHA02x	6KL512SDAHA02
						S26KL512SDABHB02x	6KL512SDAHB02
						S26KL512SDABHM02x	6KL512SDAHM02
S26KL256S	DA	BH	A, B, M	02	0, 3 <sup>[146]</sup>	S26KL256SDABHA02x	6KL256SDAHA02
						S26KL256SDABHB02x	6KL256SDAHB02
						S26KL256SDABHM02x	6KL256SDAHM02
S26KL128S	DA	BH	A, B, M	02	0, 3 <sup>[146]</sup>	S26KL128SDABHA02x	6KL128SDAHA02
						S26KL128SDABHB02x	6KL128SDAHB02
						S26KL128SDABHM02x	6KL128SDAHM02
S26KS512S	DP	BH	A, B, M	02	0, 3 <sup>[146]</sup>	S26KS512SDPBHA02x	6KS512SDPHA02
						S26KS512SDPBHB02x	6KS512SDPHB02
						S26KS512SDPBHM02x	6KS512SDPHM02
S26KS256S	DP	BH	A, B, M	02	0, 3 <sup>[146]</sup>	S26KS256SDPBHA02x	6KS256SDPHA02
						S26KS256SDPBHB02x	6KS256SDPHB02
						S26KS256SDPBHM02x	6KS256SDPHM02
S26KS128S	DP	BH	A, B, M	02	0, 3 <sup>[146]</sup>	S26KS128SDPBHA02x	6KS128SDPHA02
						S26KS128SDPBHB02x	6KS128SDPHB02
						S26KS128SDPBHM02x	6KS128SDPHM02

注:

146. 包装タイプ「3」の製品については営業担当にお問い合わせください。

注文情報

**Table 68 有効な組合せ – DCARS 車載用グレード / AEC-Q100**

デバイス番号	スピード	パッケージと材料	温度範囲	モデル番号	包装タイプ	製品(x = 包装タイプ)	パッケージマーキング
S26KL512S	DA	BH	A, B, M	03	0, 3 <sup>[147]</sup>	S26KL512SDABHA03x	6KL512SDAHA03
						S26KL512SDABHB03x	6KL512SDAHB03
						S26KL512SDABHM03x	6KL512SDAHM03
S26KL256S	DA	BH	A, B, M	03	0, 3 <sup>[147]</sup>	S26KL256SDABHA03x	6KL256SDAHA03
						S26KL256SDABHB03x	6KL256SDAHB03
						S26KL256SDABHM03x	6KL256SDAHM03
S26KL128S	DA	BH	A, B, M	03	0, 3 <sup>[147]</sup>	S26KL128SDABHA03x	6KL128SDAHA03
						S26KL128SDABHB03x	6KL128SDAHB03
						S26KL128SDABHM03x	6KL128SDAHM03
S26KS512S	DA, DG	BH	A, B, M	03	0, 3 <sup>[147]</sup>	S26KS512SDABHA03x	6KS512SDAHA03
						S26KS512SDABHB03x	6KS512SDAHB03
						S26KS512SDABHM03x	6KS512SDAHM03
						S26KS512SDGBHA03x	6KS512SDGHA03
						S26KS512SDGBHB03x	6KS512SDGHB03
						S26KS512SDGBHM03x	6KS512SDGHM03
S26KS256S	DA, DG	BH	A, B, M	03	0, 3 <sup>[147]</sup>	S26KS256SDABHA03x	6KS256SDAHA03
						S26KS256SDABHB03x	6KS256SDAHB03
						S26KS256SDABHM03x	6KS256SDAHM03
						S26KS256SDGBHA03x	6KS256SDGHA03
						S26KS256SDGBHB03x	6KS256SDGHB03
						S26KS256SDGBHM03x	6KS256SDGHM03
S26KS128S	DA, DG	BH	A, B, M	03	0, 3 <sup>[147]</sup>	S26KS128SDABHA03x	6KS128SDAHA03
						S26KS128SDABHB03x	6KS128SDAHB03
						S26KS128SDABHM03x	6KS128SDAHM03
						S26KS128SDGBHA03x	6KS128SDGHA03
						S26KS128SDGBHB03x	6KS128SDGHB03
						S26KS128SDGBHM03x	6KS128SDGHM03

注:

147. 包装タイプ「3」の製品については営業担当にお問い合わせください。

## パッケージ図

### 15 パッケージ図

#### 15.1 強化ボールグリッドアレイ 24 ボール $6 \times 8 \times 1.0$ mm (VAA024)

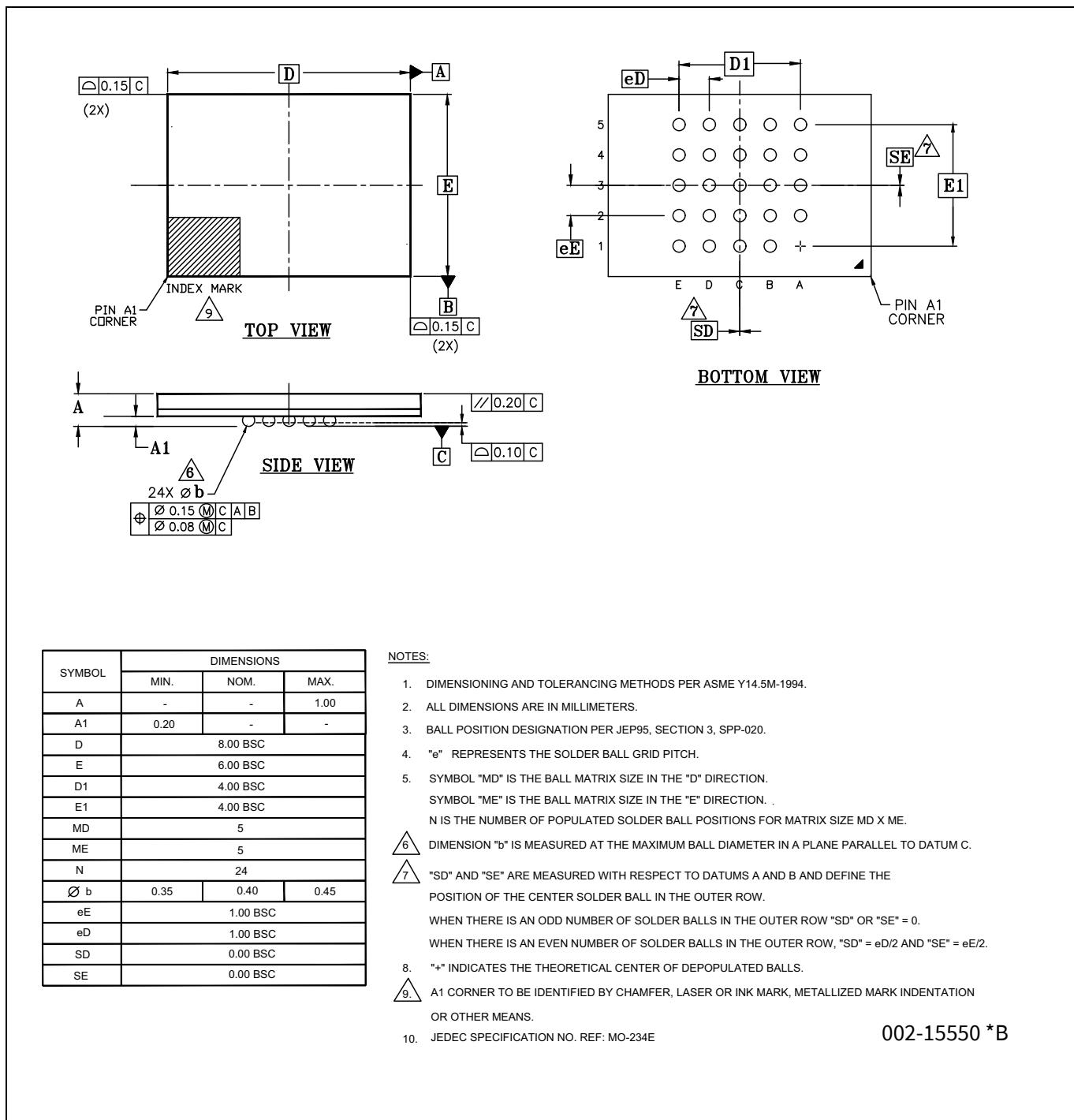


Figure 36 24 ボール BGA ( $8.0 \times 6.0 \times 1.0$  mm) パッケージ外形図 , 002-15550 (PG-BGA-24)

改訂履歴

## 改訂履歴

版数	発行日	変更内容
**	2015-09-28	これは英語版 001-99198 Rev. *C を翻訳した日本語版 001-99466 Rev. ** です。
*A	2015-10-14	Advance から Final にステータスを変更。
*B	2020-03-05	これは英語版 001-99198 Rev. *M を翻訳した日本語版 001-99466 Rev. *B です。
*C	2023-04-03	これは英語版 001-99198 Rev. *O を翻訳した日本語版 001-99466 Rev. *C です。
*D	2024-01-23	これは英語版 001-99198 Rev. *P を翻訳した日本語版 001-99466 Rev. *D です。
*E	2025-10-14	これは英語版 001-99198 Rev. *Q を翻訳した日本語版 001-99466 Rev. *E です。

## Trademarks

All referenced product or service names and trademarks are the property of their respective owners.

**Edition 2025-10-14**

**Published by**

**Infineon Technologies AG**

**81726 Munich, Germany**

**© 2025 Infineon Technologies AG.  
All Rights Reserved.**

**Do you have a question about this  
document?**

**Email:**

[erratum@infineon.com](mailto:erratum@infineon.com)

**Document reference  
001-99466 Rev. \*E**

### 重要事項：注意事項

本文書の全ての日本語情報は、英文で提供されている情報の参考訳です。英文版と和文版に翻訳がある場合は常に英文版の内容が優先します。

製品（サンプルも含みます。また、ハードウェア、ソフトウェアまたはその両方で構成される製品も含みます。以下同じです。）の販売、提供または引渡しは、インフィニオンテクノロジーズ AG およびその関連会社（以下まとめて「インフィニオン」といいます）、お客様とインフィニオンによって締結された基本契約その他の書面により合意された条件、そのような条件がない場合はインフィニオンの適用ある販売条件に従います。お客様の一般的な取引条件またはインフィニオンの販売条件と乖離した条件は、インフィニオンが書面で明示的に同意した場合に限り、インフィニオンを拘束するものとします。

疑義を避けるため、インフィニオンは、第三者の権利を侵害していないことの保証、および特定の使用／目的に対する適合性または商品性の保証などの默示的保証を負いません。

インフィニオンは、サンプル、アプリケーション、もしくはお客様による製品の具体的な使用方法、または本書面に記載された例や標準値に関するいかなる情報についても責任を負いません。

本書面に記載されているデータは、技術的資格を有する熟練したお客様のご担当者をのみを対象としています。お客様は、意図された用途およびお客様の特定用途に対する製品の適合性を評価し、意図された用途および顧客の特定用途において本書面に含まれるすべての関連技術データを検証する責任を負います。お客様は、意図されたアプリケーションの機能性および安全性を適切に設計、プログラミング、テストし、その使用に関連する法令を遵守してください。

インフィニオンの明示的な承認がない限り、製品は、製品の故障またはその使用による結果が人身傷害につながる可能性に予想されるいかなる用途にも使用しないでください。ただし、上記は、インフィニオンが明示的に設計し、販売した使用分野でお客様が製品を使用することを妨げるものではありません。

インフィニオンは、適用される法律、例えばドイツ著作権法(UrhG)第 44b 条に従って、そのコンテンツを商業的なデータおよびデータのマイニング (TDM) のために使用する権利を明示的に留保します。

製品にセキュリティ機能が含まれている場合：いかなるコンピューティング デバイスも絶対に安全であることはあり得ないため、製品にセキュリティ対策が施されているにもかかわらず、インフィニオンは、製品に侵入、データの盗難もしくは損失、またはその他の侵害（「セキュリティ侵害」といいます）がないことを保証せず、インフィニオンは、セキュリティ侵害に起因するいかなる責任も負わないものとします。

本書面がソフトウェアを含んでいるまたはソフトウェアに言及している場合：ソフトウェアは、米国、ドイツ、および世界各国の知的財産権法および条約に基づきインフィニオンが所有しています。インフィニオンはすべての権利を留保し、無断複写、複製および転写を禁じます。お客様はソフトウェアに同梱されたソフトウェア使用許諾契約に従ってのみソフトウェアを使用できます。

ソフトウェア使用許諾契約が適用されない場合、インフィニオンはここに、ソフトウェアの知的所有権に基づき、イソースコード形式で提供されたソフトウェアについて、インフィニオンのハードウェア製品と共に使用する目的のためにのみソフトウェアを修正および複製するための、そして(b)インフィニオンのハードウェア製品上で使用目的に限り、ソフトウェアをバイナリコード形式でエンコードユーザーに外部配布するための、個人的、非排他的、譲渡不能なライセンス（サブライセンス不可）をお客様に付与します。それ以外のソフトウェアの使用、複製、変更、翻訳またはコンパイルは禁止されています。製品、技術、納品条件、および価格に関する詳細については、最寄りのインフィニオンオフィスに連絡するか、<https://www.infineon.com> にアクセスしてください。