

英飞凌 512 Mb (64 MB) / 256 Mb (32 MB) / 128 Mb (16 MB) HYPERFLASH™系列

HYPERBUS™, 3.0 V / 1.8 V

特性

- 3.0 V I/O, 11个总线信号
 - 单端时钟
- 1.8 V I/O, 12个总线信号
 - 差分时钟 (CK、CK#)
- 片选 (CS#)
- 8位数据总线 (DQ[7:0])
- 读写数据选通 (RWDS)
 - HYPERFLASH™存储器仅使用 RWDS 作为读取数据选通
- 高达 333-MBps 的持续读取吞吐量
- DDR: 每个时钟两次数据传输
- 1.8 V V_{CC} 时, 时钟频率为 166 MHz (333 MBps)
- 3.0 V V_{CC} 时, 时钟频率为 100 MHz (200 MBps)
- 96 ns 初始随机读取访问时间
 - 初始随机访问读取延迟: 5 至 16 个时钟周期
- 连续突发传输
- 可配置的突发特性
 - 回卷突发长度:
 - 16 个字节 (8 个时钟)
 - 32 个字节 (16 个时钟)
 - 64 个字节 (32 个时钟)
 - 线性突发
 - 混合选项 - 回卷突发后线性突发。
 - 在每个命令传输中选择回卷或线性突发类型
 - 可配置的输出驱动能力
- 低功耗模式
 - 读取期间工作时钟停止: 12 mA, 无需唤醒
 - 待机: 25 µA (典型值), 无需唤醒
 - 深度断电: 8 µA (典型值)
 - 需要 300 µs 唤醒
- INT#输出产生外部中断
 - 从繁忙到就绪的转换
 - ECC检测
- RSTO#输出生成系统电平上电复位
 - 用户可配置 RSTO# 低电平周期
- 512字节编程缓存器

本数据手册的原文使用英文撰写。为方便起见, 英飞凌提供了译文; 由于翻译过程中可能使用了自动化工具, 英飞凌不保证译文的准确性。为确认准确性, 请务必访问 infineon.com 参考最新的英文版本 (控制文档)。

特性

- 扇区擦除
 - 统一的 256-KB 扇区
 - 可选八个 4 KB 参数扇区（共 32 KB）
- 高级扇区保护
 - 为每个扇区提供易失性和非易失性的保护方法
- 独立的1024字节一次性编程区域
- 工作温度
 - 工业级（-40°C ~ +85°C）
 - 扩展的工业级（-40°C ~ +105°C）
 - 扩展（-40°C ~ +125°C）
 - 汽车级，AEC-Q100 3 级（-40°C ~ +85°C）
 - 汽车级，AEC-Q100 2 级（-40°C ~ +105°C）
 - 汽车级，AEC-Q100 1 级（-40°C ~ +125°C）
- 获得 ISO/TS16949 和 AEC Q100 认证
- 耐久性
 - 100,000 次编程/擦除周期
- 保留
 - 20 年的数据保留时间
- 擦除和编程电流
 - 最大峰值 ≤ 100 mA
- 封装选项
 - 24-ball FBGA
- 其他功能
 - ECC 1位校正，2位检测
 - CRC

性能总结

性能总结

表 1 读取访问时序

Maximum clock rate at 1.8 V V_{CC}/V_{CCQ}	166 MHz
Maximum clock rate at 3.0 V V_{CC}/V_{CCQ}	100 MHz
Maximum access time, (t_{ACC})	96 ns
Maximum CS# access time to first word @ 166 MHz	118 ns

表 2 典型编程和擦除时间

Single word programming (2B = 16b)	500 μ s (~4 KBps)
Write buffer programming (512B = 4096b)	475 μ s (~1 MBps)
Sector erase time (256 KB = 2 Mb)	930 ms (~282 KBps)

表 3 典型电流消耗

Burst read (Continuous read at 166 MHz)	80 mA
Power-on reset	80 mA
Sector erase current	60 mA
Write buffer programming current	60 mA
Standby (CS# = HIGH)	25 μ A
Deep power-down (CS# = HIGH, 85°C)	30 μ A (512 Mb)
	4 μ A (all other densities)

目录

目录

特性.....	1
性能总结.....	3
目录.....	4
1 概述.....	5
1.1 DDR 中心对齐读取选通 (DCARS) 功能.....	7
1.2 错误检测和纠正功能.....	7
2 连接图.....	10
2.1 FBGA 24 Ball 5 × 5 阵列封装.....	10
3 信号说明.....	11
4 HYPERBUS™ 协议.....	13
4.1 指令 / 地址位分配.....	14
4.2 读取操作.....	15
4.3 HYPERFLASH™ 使用 DCARS 时序读取.....	18
4.4 写入操作.....	19
5 地址空间映射.....	21
5.1 闪存阵列.....	22
5.2 器件 ID 和 CFI (ID-CFI) ASO.....	24
6 嵌入式操作.....	26
6.1 嵌入式算法控制器 (EAC)	26
6.2 编程和擦除概要.....	27
6.3 数据保护.....	58
7 器件 ID 和通用闪存接口 (ID-CFI) ASO 映射.....	69
7.1 器件 ID 和通用闪存接口 (ID-CFI) ASO 映射 - 标准.....	69
7.2 器件 ID 和通用闪存接口 (ID-CFI) ASO 映射 - 汽车 等级 / AEC Q100.....	74
8 软件接口参考.....	75
8.1 指令汇总.....	75
9 数据完整性.....	79
9.1 耐久性.....	79
9.2 数据保留.....	79
10 硬件接口.....	80
11 电气规格参数.....	81
11.1 绝对最大额定值.....	81
11.2 热阻.....	82
11.3 门锁特性.....	82
11.4 工作范围.....	83
11.5 DC 特征 (CMOS 兼容)	84
11.6 上电和断电.....	87
11.7 关闭电源 (硬件数据保护)	92
11.8 节能模式.....	92
12 时序规范.....	94
12.1 AC 测试条件	94
12.2 AC 特性	95
13 嵌入式算法性能.....	101
14 订购信息.....	103
14.1 订购部件编号.....	103
14.2 有效组合 - 标准.....	104
14.3 有效组合 - 汽车级 / AEC- Q100.....	106
15 封装图.....	108
15.1 加强型球栅阵列 24 球 6 × 8 × 1.0 mm (VAA024)	108
修订记录.....	109

1 概述

HYPERFLASH™ 系列产品是高速 CMOS、MIRRORBIT™ NOR 闪存器件，具有 HYPERBUS™ 低信号数，DDR 接口，可实现高速读取吞吐量。DDR 协议在数据（DQ）信号上每个时钟周期传输两个数据字节。HYPERFLASH™ 的读取或写入操作由一系列 16bit 位宽数据的组成，HYPERFLASH™ 内核在每个时钟周期内传输 16bit 位宽数据，等同于以每半个时钟周期为单位在 DQ 信号上传输相应的两个 8bit 位宽的数据。

数据和指令/地址信息均通过 8 位数据总线以 DDR 方式传输。当接收到 DQ 信号上的指令/地址/数据信息时，时钟输入信号用于由 HYPERFLASH™ 设备进行信号捕获。读取数据选通 (RWDS) 是 HYPERFLASH™ 器件的输出，用于指示数据何时从存储器传输到主机。在读取操作的数据传输部分，RWDS 被作为 CK 的上升沿和下降沿的参考。

指令/地址/写数据值与时钟边沿中心对齐，读数据值与 RWDS 的转换边沿对齐。

对 HYPERFLASH™ 器件的读写操作是突发导向的。读取传输可以配置为使用回卷突发或线性突发。在回卷操作期间，访问从选定的位置开始，并按照组配置数继续访问回卷序列的位置。在线性操作期间，访问从选定的位置开始并以顺序的方式继续访问，直到读取操作终止，此时 CS# 返回高电平。写入命令传输一个或多个 16 位值。

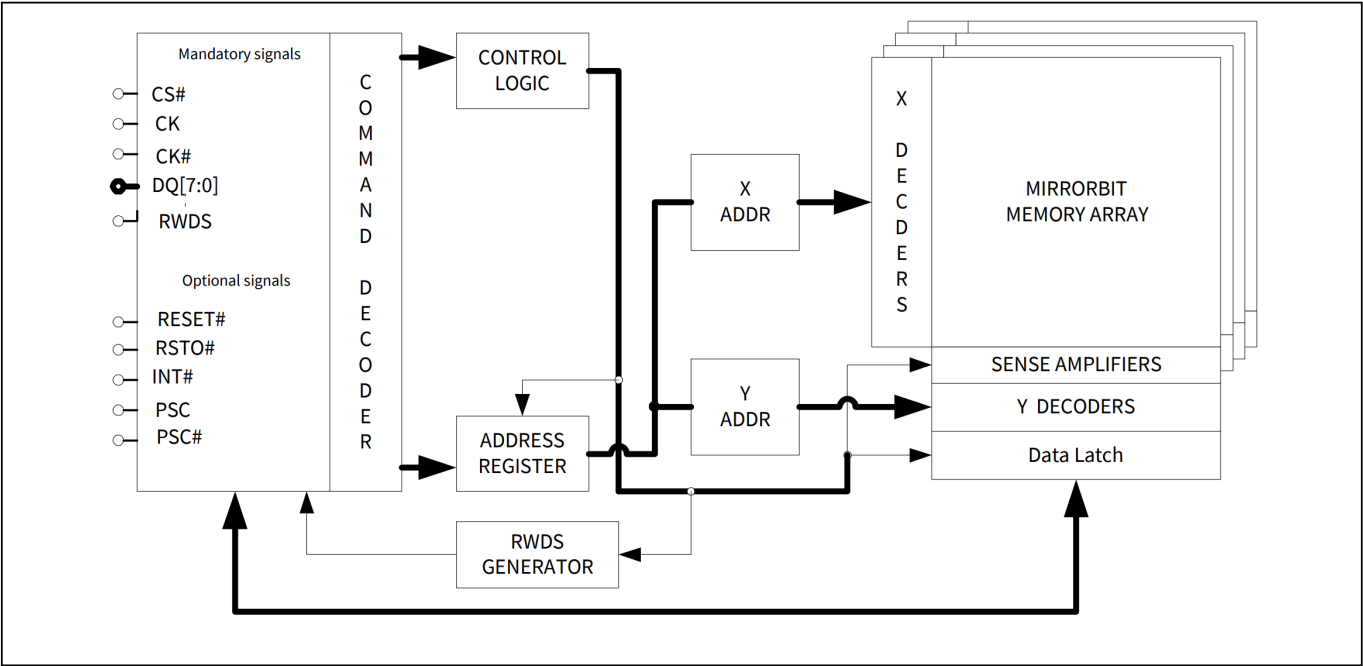


图 1 逻辑框图

HYPERFLASH™ 系列由多种容量、1.8V/3.0V 内核和 I/O、非易失、同步闪存器件组成。器件具有 8 位（1 字节）宽度 DDR 数据总线并且仅使用字宽（16 位数据）地址边界。读取传输在每个时钟周期提供 16 位数据（各时钟边沿各 8 位）。写入传输从每个时钟周期获取 16 位数据（每个时钟边沿获取 8 位）。

概述

每次随机读取都会访问一个 32 字节长度且对齐的数据集，称为页。每个分页由一对 16 字节对齐的数据组组成，称为半页。半页与 16 字节地址边界对齐。读取访问需要两个时钟周期来定义目标半页地址和突发类型，然后是附加的初始延迟。在初始延迟期间，第三个时钟周期将指定目标半页内的起始地址。输出初始数据值后，可以在后续时钟周期内以回卷或线性方式从分页读取其他数据。当配置为线性突发模式时，当分页突发时，器件将自动从 MIRRORBIT™ 闪存阵列中取指下一个顺序分页。从阵列中获取地址时的同时可以允许线性顺序突发输出操作，可提供 333 MBps 数据传输速率 [1 字节 (8 位数据总线) × 2 (两个时钟沿上的数据) × 166 MHz = 333 MBps] 的持续输出。

表 1 S26KS 和 S26KL 地址映射

Type	Count	Addresses	Note
Word address within a half-page (16-byte)	8 (word addresses)	A2–A0	16 bytes
Word address within write buffer line (512-byte)	256 (word addresses)	A7–A0	512 bytes
Half-pages (16 bytes) within erase sector (256 KB)	8192 (half-pages)	A16–A3	–
Write buffer lines (512 bytes) within erase sector (256 KB)	512 (lines)	A16–A8	–
Total number of erase sectors (256 KB)	256 (512 Mb) 128 (256 Mb) 64 (128 Mb)	Amax–A17	–

器件控制逻辑分成两个并行的操作区，主机接口控制器 (HIC)，嵌入式算法控制器 (EAC)。HIC 监控器件输入的信号电平，并根据需要驱动输出，以完成主机系统 (HYPERFLASH™ 主机) 内的读取和写入数据传输。HIC 在读取传输时将传递当前所在的地址映射中的数据；将写入传输地址和数据信息放入 EAC 指令存储器内；告知 EAC 电源转换以及写入传输。EAC 在写入传输后查看指令存储器中的合法指令时序，并执行相关的嵌入式运算。

更改存储阵列中的非易失性数据时，需要执行复杂的操作序列，这些操作被称为 EA。这些运算完全由器件内部的 EAC 来管理。主运算执行主闪存阵列数据的编程和擦除。主机系统将指令代码写入到闪存器件地址空间内。EAC 接收指令用于执行所有必要的步骤以完成指令，并在 EA 执行期间提供状态信息。

每个存储器位的擦除状态为逻辑“1”。编程将逻辑“1”（高）更改为逻辑“0”（低）。只有通过擦除操作才可以将逻辑 0 修改为逻辑 1。必须对整个 256 KB（或参数扇区 4 KB）对齐的数据组（称为“扇区”）执行“扇区”擦除操作。英飞凌出厂时，所有扇区均为擦除状态。

编程通过一个 512 字节的写入缓存区完成。开始编程操作前，可以向写入缓存区内的任意位置上写入 1 到 256 个字。在闪存阵列中，每个以 512 字节对齐的数据组称为一个行。编程操作将数据从易失性缓存区传输到非易失存储器阵列行。该操作称为写入缓存区编程。

复位后或使用写入缓存区完成任何操作后，写入缓存区的内容被置 1。对于“写入到缓存区”指令未写入 0 的位置，在默认情况下仍为 1。在编程操作期间，写入缓存区中的任何 1 都不会影响存储器阵列中的数据。

除了专用于 HYPERBUS™ 强制信号 (CS#, CK, CK#, DQ [7:0], RWDS) 外，该器件还包括可选信号 (RESET#, INT#, RSTO# 和相移时钟 PSC/PSC#)。

当 RESET# 从低电平转换为高电平时，器件返回到内部 POR 之后发生的默认状态。

INT# 输出可以向 HYPERFLASH™ 主机提供一个中断信号，以指示 HYPERFLASH™ 在编程或擦除操作结束时从忙碌状态转换为就绪状态。

RSTO# 是开漏极输出，用于指示器件内部何时发生 POR，并可用作系统级电平复位信号。内部 POR 完成后，经过用户定义的超时时间后，RSTO# 信号将从低电平转换为高阻态。转换到高阻态后，外部上拉阻抗会将 RSTO# 拉高，器件立即进入待机状态。

PSC/PSC# 是差分相移时钟输入，用作 RWDS 边缘的基准，而不是 CK/CK#。详情请参阅第 7 页"[DDR 中心对齐读取选通 \(DCARS\) 功能](#)"。

1.1 DDR 中心对齐读取选通 (DCARS) 功能

HYPERFLASH™ 存储器具有可配置特点，可实现 RWDS 信号相对于读取数据输出的独立偏移（相移）。

当 DCARS 特性为启用时，第二个差分相移时钟输入 PSC/PSC# 代替 CK/CK# 用作 RWDS 边沿的基准。第二个时钟通常是 CK/CK# 的副本，其相移 90°，以将 RWDS 边缘置于 DQ 信号有效数据窗口的中心。然而，CK/CK# 和 PSC/PSC# 之间的其他相位差可用于优化 DQ 信号有效数据窗口内 RWDS 边缘的位置，以便 RWDS 提供所需的数据设置量并保持与 RWDS 边缘相关的时间。

写入传输期间不使用 PSC/PSC#。PSC 和 PSC# 可分别被驱动为低电平和高电平，或者在写入传输期间均被驱动为低电平。

1.2 错误检测和纠正功能

1.2.1 纠错码 (ECC)

HYPERFLASH™ 存储器在闪存阵列编程期间提供嵌入式 hamming ECC 码生成，并在读取期间提供错误检测和纠正。

当加载到写缓存区中的每个 16 字节对齐的半页数据被传输到 512 字节的闪存阵列行时，每个半页 ECC 单元的 ECC 也被编程到存储器主机软件不可见的部分中。

每次半页闪存阵列读取操作期间都会检查 ECC 信息。半页内的任何一位错误都会在每个半页的访问过程中由 ECC 逻辑进行纠正。

每个半页的 ECC 信息在包含该半页的扇区每次擦除后只能写入一次。半页对同一半页进行多次编程将禁用该半页内的错误检测和纠正。

为了与旧版软件兼容，支持在半页内进行多次字编程和写入缓存区编程。然而，为了获得最佳的数据完整性，建议不要使用字编程或写入缓存器编程在半页内进行多次编程。进行多次写入将禁用同一半页的 ECC 功能，因为 ECC 功能变得无效。对于需要在同一半页内进行多次编程操作的应用，建议添加系统软件错误检测与纠正，以增强被多次编程的半页的数据完整性。

有一种模式可以启用两位错误检测。当启用此模式时，半页中的任意一个位错误都会被纠正，并且任意两个位错误都会被检测并报告。在此模式下，擦除后多次写入相同半页的功能被禁用。在此模式下，如果尝试在同一半页中编程超过一次，将导致编程操作失败状态。

可以通过读取 ECC 状态寄存器、启用中断或在遇到无法纠正的错误时使 RWDS 停止来检测 ECC 错误 - 在数据传输到 HYPERBUS™ 主机之前产生总线错误。

提供一个寄存器来捕获 ECC 错误的地址位置。提供一个计数器来计数 ECC 校正或不可校正的错误。

1.2.2 循环冗余检查

提供了一组指令来在用户定义的地址范围内执行硬件加速 CRC 计算。该计算是另一种类似于编程或擦除的嵌入式操作，其在计算进行时器件处于忙碌状态。CRC 操作使用 32 位的多项式，能够检测最多 32 位长的错误位组。

指令用于进入 CRC 地址空间覆盖 (ASO)，其中加载所需的地址范围以启动 CRC 计算。当输入 CRC ASO 时，CRC 操作的状态可以被检查、暂停以从存储器读取、恢复以及读取结果校验值。更多详情可参阅第 21 页“地址空间映射”。

1.2.2.1 CRC 校验值计算

校验值计算指令时序使器件在用户定义的地址范围内执行 CRC 计算。CRC 计算是通过图 2 所示的计算公式实现的。

校验值生成序列通过输入 CRC ASO 开始。下一步是将起始地址加载到 CRC 起始地址寄存器中，该寄存器标识将由 CRC 计算覆盖的地址范围的起始位置。接下来，将结束地址加载到 CRC 结束地址寄存器中，这一步开始 CRC 计算。CRC 过程计算起始地址到结束地址中包含的数据的校验值。

在计算期间，器件进入忙碌状态 (SR[7] = 0)。一旦校验值计算完成，器件将返回到就绪状态 (SR[7] = 1)，并且计算出的校验值可在校验值低结果寄存器和校验值高结果寄存器中使用。校验值低位结果寄存器包含校验值位 0-15，并且可以在器件位于 CRC ASO 中时从地址 0 读取。校验值高位结果寄存器包含位 16-31，并且可以在器件位于 CRC ASO 中时从地址 1 读取。一旦 CRC 计算过程开始，校验值低位结果寄存器和校验值高结果寄存器就被加载 0。

仅当器件处于待机状态时，才能启动校验值计算；并且一旦启动，就可以用 CRC 挂起序列从存储器阵列读取数据。在挂起状态期间，状态寄存器中的 CRC 挂起状态位 (CRCSSB) 将会置位 (SR[8] = 1)。一旦挂起，主机可以读取状态寄存器，从阵列中读取数据，并可以通过 CRC 恢复指令来恢复 CRC 计算。一旦启动，CRC ASO 可以通过 ASO Exit 指令或硬件复位来终止，以将器件返回到读取阵列模式。当另一个 ASO 处于工作状态时，不能执行校验值计算。硬件复位将清除 CRC 起始地址寄存器、CRC 结束地址寄存器、校验值高位结果寄存器和校验值低位结果寄存器。

结束地址 (EA) 必须至少比起始地址 (SA) 高两个地址。如果 $EA < SA + 2$ ，则校验值计算将中止，器件将返回到就绪状态 (SR[7] = 1)。SR[3] 将是置位 (1) 以指示中止的条件。如果 $EA < SA + 2$ ，则校验值高位结果寄存器和校验值低位结果寄存器将保持不确定数据。

$$\text{CRC-32C Polynomial} = X^{32} + X^{28} + X^{27} + X^{26} + X^{25} + X^{23} + X^{22} + X^{20} + X^{19} + X^{18} + X^{14} + X^{13} + X^{11} + X^{10} + X^9 + X^8 + X^6 + 1$$

图 2 CRC -32 多项式

概述

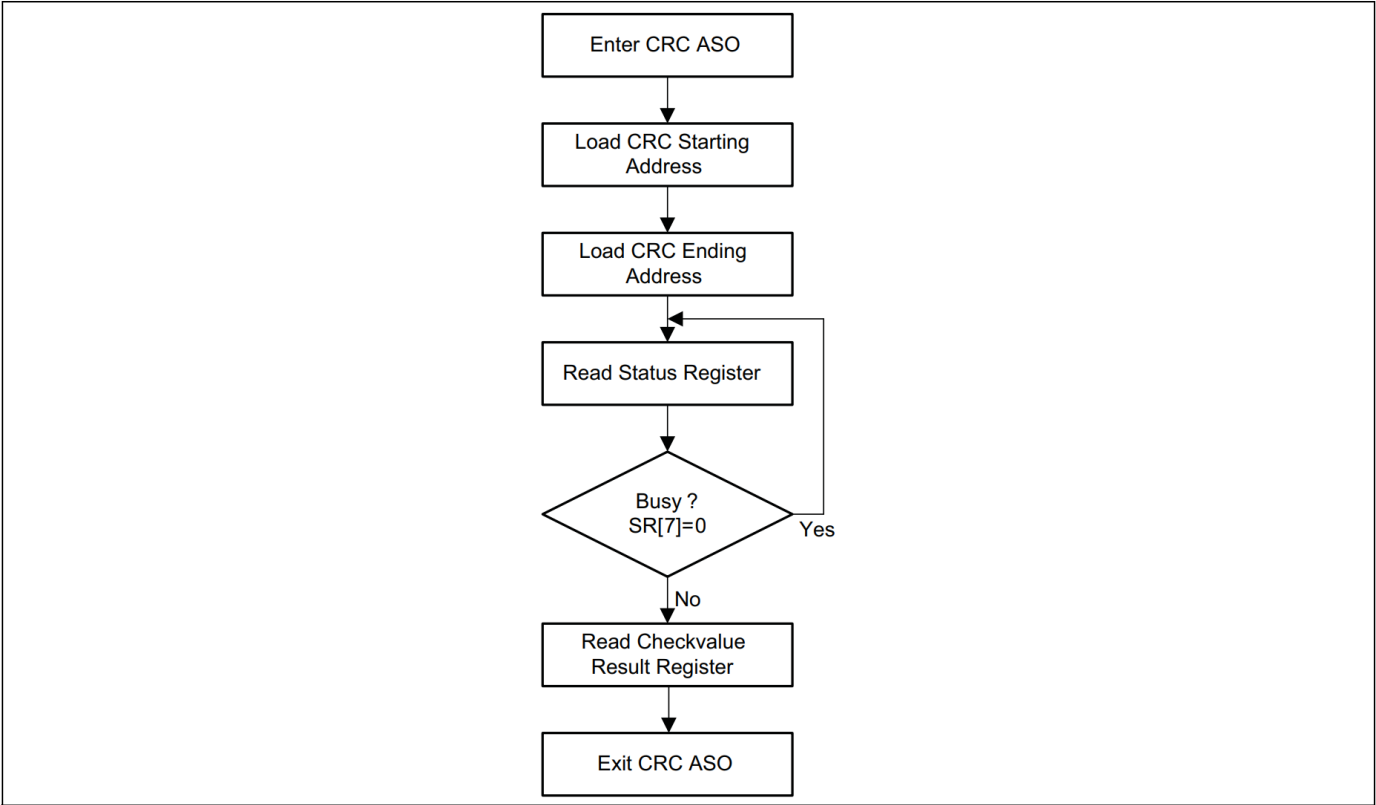


图 3 校验值计算时序

CRC-32 多项式中计算校验值时使用的读取数据顺序如图 4 所示。

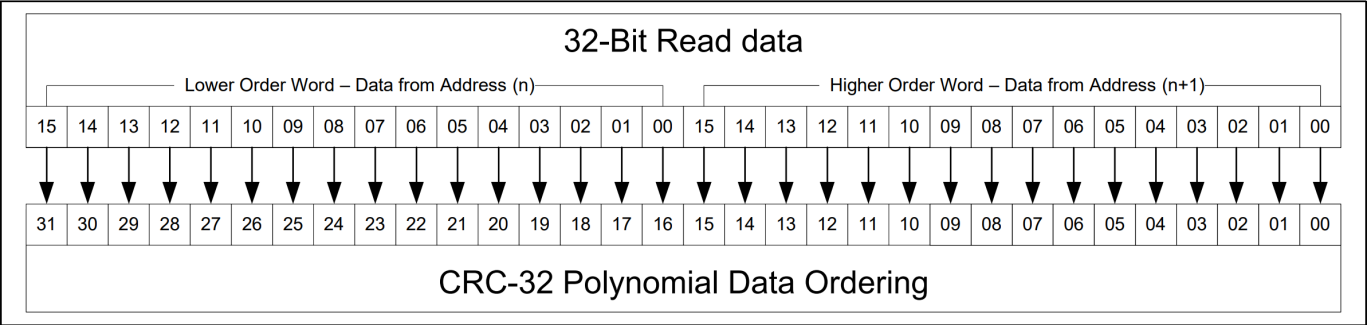


图 4 读取数据顺序

连接图

2 连接图

2.1 FBGA 24 ball 5 × 5 阵列封装

HYPERFLASH™ 器件采用强化球栅阵列 (FBGA)、1 mm间距、24 ball、5 × 5 ball 阵列封装，主体尺寸为 6 mm × 8 mm。封装高度取决于器件，可以是 1 mm 或 1.2 mm，更多详细信息可参见 103 页“[订购信息](#)”。可参阅器件数据手册订购部件编号有效组合部分，了解所使用的封装。

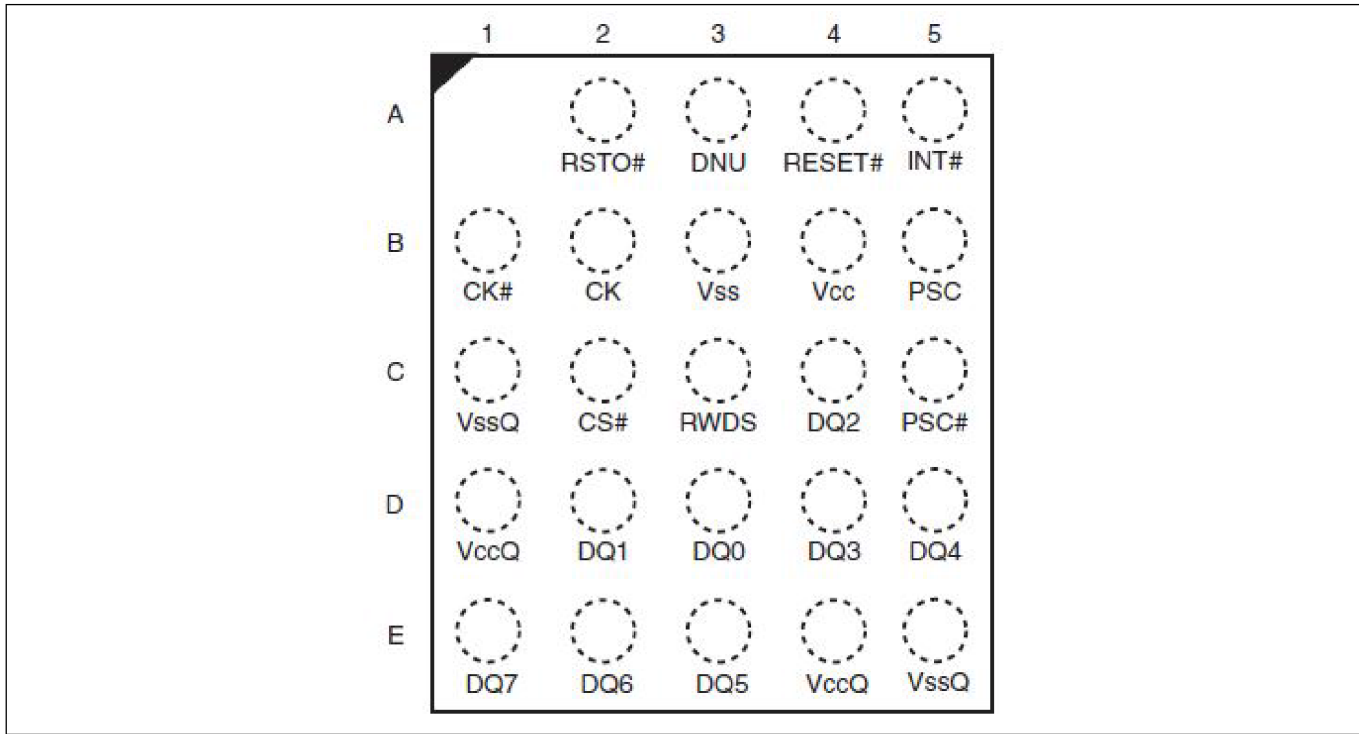


图 5 24-ball FBGA, 6×8mm, 5×5 ball 封装, 顶视图^[1, 2, 3]

注

1. B1 (CK#) 是 3.0 V 器件 (型号 02) 上的 RFU。
2. B5 (PSC) 和 C5 (PSC#) 是标准 3.0 V 和 1.8 V 器件 (型号 02) 上的 RFU。C5 (PSC#) 是 3 V DCARS 器件 (型号 03) 上的 RFU。
3. DNU - 请勿使用。该引脚/球是内部连接的，必须保持未连接状态。

3 信号说明

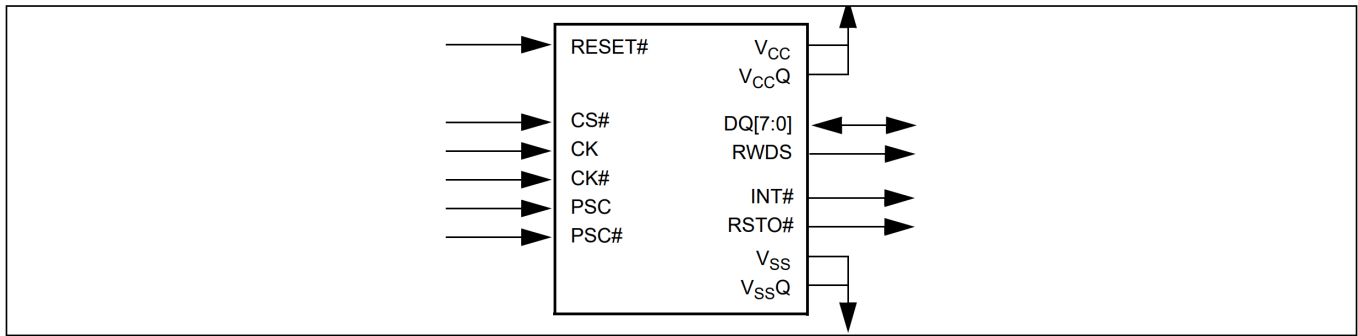


图 6 HYPERFLASH™接口

表 2 信号说明

Symbol	Type	M/O	Description
CS#	Input	M	Chip Select: HYPERFLASH™ bus transactions are initiated with a HIGH to LOW transition. HYPERFLASH™ bus transactions are terminated with a LOW to HIGH transition.
CK, CK#	Input	M	Differential Clock: Command / address / data information is input or output with respect to the crossing of the CK and CK# signals. CK# is only used on the 1.8 V devices and may be left open or connected to CK on 3 V devices.
RWDS	Output	M	Read Write Data Strobe: Output data during read transactions are edge aligned with RWDS.
DQ[7..0]	Input / Output	M	Data Input / Output: Command / address / data information is transferred on these DQs during read and write transactions.
PSC, PSC#	Input	O	Phase Shifted Clock: PSC/PSC# allows independent skewing of the RWDS signal with respect to the CK/CK# inputs. PSC# is only used on the 1.8 V device. PSC and PSC# may be driven HIGH and LOW respectively or both may be driven LOW during write transactions.
INT#	Output (open drain)	O	INT Output: When LOW, the device is indicating that an internal event has occurred. This signal is intended to be used as a system level interrupt for the device to indicate that an on-chip event has occurred. INT# is an open-drain output.
RESET#	Input	O	Hardware Reset: When LOW, the device will self initialize and return to the array read state. RWDS and DQ[7:0] are placed into the High-Z state when RESET# is LOW. RESET# includes a weak pull-up, if RESET# is left unconnected it will be pulled up to the HIGH state.
RSTO#	Output (open drain)	O	RSTO# Output: RSTO# is an open-drain output used to indicate when a POR is occurring within the device and can be used as a system level reset signal. Upon completion of the internal POR the RSTO# signal will transition from LOW to HIGH impedance after a user defined timeout period has elapsed. Upon transition to the HIGH impedance state the external pull-up resistance will pull RSTO# HIGH and the device immediately is placed into the Standby state.
V _{CC}	Power Supply	P/G	Power
V _{CCQ}	Power Supply	P/G	Input / output Power

信号说明

表 2 信号说明 (续)

Symbol	Type	M/O	Description
Vss	Power Supply	P/G	Ground
VssQ	Power Supply	P/G	Input / output Ground

注

4. M = 强制; O = 可选; P/G = 电源/接地。

4 HYPERBUS™ 协议

所有总线命令传输都可以分为读或写。总线命令传输以 CS# 变为低电平，CK = LOW，CK# = HIGH 开始。需要执行的命令在前三个时钟周期内以 DDR 方式使用所有六个时钟边沿发送给 HYPERFLASH™ 器件。前三个时钟传输三个字的指令/地址（CA0、CA1、CA2）信息来定义命令特征：

- 读取或写入传输。
- 命令传输是发送存储器阵列还是寄存器空间。
 - 虽然 HYPERBUS™ 协议规定从机器件具有存储器和寄存器地址空间，但本规范中描述的 HYPERFLASH™ 存储器并不区分存储器和寄存器作为单独的地址空间。任何命令传输都会选择一个单一的地址空间，无论命令传输是否指示目标位置位于存储空间或寄存器空间中。写命令传输总是将命令地址和数据放入指令寄存器集（缓存区）中。读取命令从存储器阵列或寄存器地址空间窗口返回数据，该窗口通过执行指令暂时覆盖在单一地址空间内。具有寄存器空间覆盖方法的单一地址空间向后兼容传统的并行 NOR 闪存存储器编程和擦除软件驱动程序。
- 命令是否使用线性或回卷突发时序。
 - HYPERFLASH™ 写入命令传输不支持突发序列并忽略突发类型指令。写入命令传输每次写入单个字。只有字编程指令写入数据传输可以通过线性突发来完成，最高到 50 MHz。
- 目标半页地址（行和高位列地址）。
- 目标字（半页内）地址（低位列地址）。

一旦定义了命令传输方式，就会使用多个空闲时钟周期来满足数据传输之前的任何读取延时要求。一旦目标数据已传输，HYPERBUS™ 主机就会通过将 CS# 驱动为高电平（CK = LOW 且 CK# = HIGH）来完成命令传输。数据以 16 位值的形式传输，其中前八位（15-8）在 CK 上升沿（写入数据或 CA 位）或 RWDS 边沿（读取数据）上传输，后八位（7-0）在 CK 下降沿或 RWDS 边沿传输。读或写操作器件的数据传输可以在 CK = LOW 和 CK# = HIGH 时通过将 CS# 拉高随时终止。读取数据与 RWDS 转换的边缘对齐，写入数据与时钟边缘的中心对齐。

4.1 指令/地址位分配

表 3 指令/地址位分配

CA Bit#	Bit name	Bit function
47	R/W#	Identifies the transaction as a read or write 1 = Read operation 0 = Write operation Target space is defined in CA46
46	Target	Indicates whether the read or write operation accesses the memory or register spaces 0 = Memory space 1 = Register space The register space is intended to be used by volatile memory and peripheral devices. The HYPERFLASH™ devices will not take advantage of this feature and this bit should be set to '0' during read or write transactions.
45	Burst type	Indicates whether the burst will be linear or wrapped 0 = Wrapped Burst 1 = Linear Burst
44–39 (1 Gb) 44–38 (512 Mb) 44–37 (256 Mb) 44–36 (128 Mb)	Reserved	Reserved for future address expansion. Reserved bits should be set to '0' by the host controller.
38–16 (1 Gb) 37–16 (512 Mb) 36–16 (256 Mb) 35–16 (128 Mb)	Row and upper column address	Half page component of target address
15–3	Reserved	Reserved for future column address expansion. Reserved bits should be set to '0' by the host controller.
2–0	Lower column address	Lower column component of the target address: System word address bits A2–0 selecting the starting word within a half-page.

4.2 读取操作

CA0 指示将要执行的读操作，同时也指示突发类型（回卷或线性）。一旦半分页地址出现在 CA0 和 CA1 中，读操作就开始内部阵列访问。CA2 识别所选半分页内的目标字地址。然后，主机继续计时，计时周期数由配置寄存器中的延时计数设置定义。完成这些延迟时钟后，存储器开始同时转换读写数据选通 (RWDS) 并开始输出目标数据。每次 RWDS 转换时，新数据以边沿对齐的方式输出。只要主机继续转换时钟 (CK 和 CK#)，数据就会继续输出。回卷突发将继续在突发长度内回卷，而线性突发将以顺序方式跨分页边界输出数据。混合突发提供一个初始回卷突发，然后是线性突发，如 66 页“混合突发”。可以从主阵列执行回卷读取，69 页“器件 ID 和通用闪存接口 (ID-CFI) ASO 映射”中的 CFI 表和安全存储区域（参见 66 页“混合突发”）。当 CK = LOW 且 CK# = HIGH 时，可以通过将 CS# 拉高来随时结束读取传输。

当线性突发到达阵列中的最后一个地址时，如果突发继续，地址计数器将回绕并回卷到地址 000000h，从而允许读取时序无限期地继续。因此，可以用一条读取指令来读取整个存储器。

16 字节和 32 字节的回卷突发不会跨越页边界，也不会产生页边界跨页延迟。对于 64 字节的回卷突发读取，在从目标地址到下一个页边界跨越期间可能会出现延迟，具体取决于起始地址（参见表 22）。

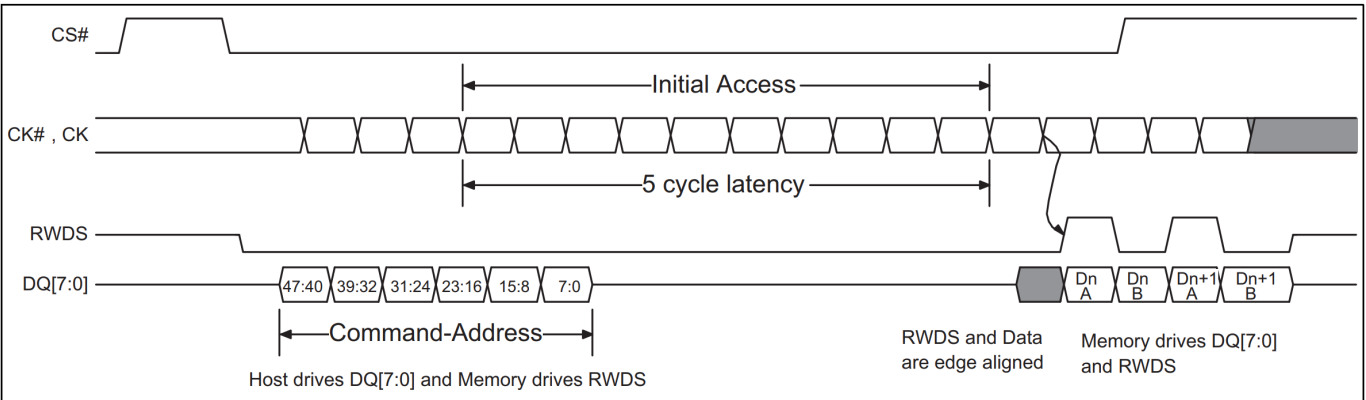


图 7 读取操作^[5, 6, 7, 8]

注

- 命令传输必须在 CK = LOW 且 CK# = HIGH 发起。在启动新命令传输之前，CS# 必须返回 HIGH。
- 一旦捕获到 CA[23:16]，即可开始从闪存阵列进行读取访问。
- 读取延迟由易失性配置寄存器（或非易失性配置寄存器）中的读取延时值定义。
- 在这个读取操作的例子中，延时计数设置为五个时钟周期。

表 4 延时编码选项的最大工作频率

Latency code	Latency clocks	Maximum operating frequency (MHz)
0000	5	52
0001	6	62
0010	7	72
0011	8	83
0100	9	93
0101	10	104
0110	11	114
0111	12	125
1000	13	135
1001	14	145
1010	15	156
1011	16	166
1100	Reserved	NA
1101	Reserved	NA
1110	Reserved	NA
1111	Reserved	NA

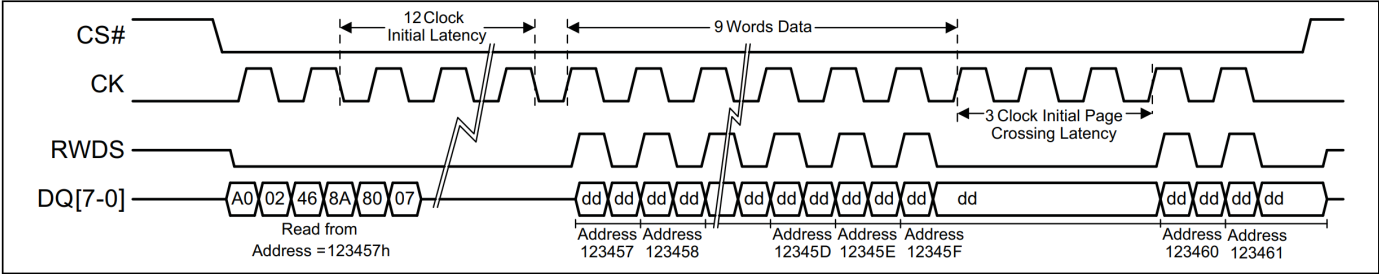


图 8 跨页边界的读传输^[12, 13, 14, 15, 16]

注

- 该器件出厂时的默认 NVCR 延时设置为 16 个时钟。
- 延时编码是加载到（非）易失性配置寄存器位 xVCR[7:4] 中的值。
- 最大工作频率假设使用器件 $t_{ACC} = 96 \text{ ns}$ 。
- 读取操作从器件地址 123457h 开始。
- 加载到配置寄存器的延时编码是 0111b，这导致 12 个延时时钟。
- 在这种情况下，页边界跨越需要三个时钟。12 个时钟的初始延迟减去 9 个时钟（字）的初始数据。
- CK#未显示，但它是CK信号的补码。
- CA45 = 1 表示线性读取突发。

表 5 线性读取期间第一个页边界跨越 (延时计数 = 11 个时钟)

Target address	Clock cycle																							
	0	1	2	3	...	12	13	14	15	16	17	18	19	20	21	22	23	24	25	26	27	28	29	30
0	CA 0	CA 1	CA 2	Bus turnaround + initial latency			D0	D1	D2	D3	D4	D5	D6	D7	D8	D9	D10	D11	D12	D13	D14	D15	D16	D17
1							D1	D2	D3	D4	D5	D6	D7	D8	D9	D10	D11	D12	D13	D14	D15	D16	D17	D18
2							D2	D3	D4	D5	D6	D7	D8	D9	D10	D11	D12	D13	D14	D15	D16	D17	D18	D19
3							D3	D4	D5	D6	D7	D8	D9	D10	D11	D12	D13	D14	D15	D16	D17	D18	D19	D20
4							D4	D6	D6	D7	D8	D9	D10	D11	D12	D13	D14	D15	D16	D17	D18	D19	D20	D21
5							D5	D6	D7	D8	D9	D10	D11	D12	D13	D14	D15	D16	D17	D18	D19	D20	D21	D22
6							D6	D7	D8	D9	D10	D11	D12	D13	D14	D15	X	D16	D17	D18	D19	D20	D21	D22
7							D7	D8	D9	D10	D11	D12	D13	D14	D15	X	X	D16	D17	D18	D19	D20	D21	D22
8							D8	D9	D10	D11	D12	D13	D14	D15	D16	D17	D18	D19	D20	D21	D22	D23	D24	D25
9							D9	D10	D11	D12	D13	D14	D15	D16	D17	D18	D19	D20	D21	D22	D23	D24	D25	D26
10							D10	D11	D12	D13	D14	D15	D16	D17	D18	D19	D20	D21	D22	D23	D24	D25	D26	D27
11							D11	D12	D13	D14	D15	D16	D17	D18	D19	D20	D21	D22	D23	D24	D25	D26	D27	D28
12							D12	D13	D14	D15	D16	D17	D18	D19	D20	D21	D22	D23	D24	D25	D26	D27	D28	D29
13							D13	D14	D15	D16	D17	D18	D19	D20	D21	D22	D23	D24	D25	D26	D27	D28	D29	D30
14							D14	D15	D16	D17	D18	D19	D20	D21	D22	D23	X	D24	D25	D26	D27	D28	D29	D30
15							D15	D16	D17	D18	D19	D20	D21	D22	D23	X	X	D24	D25	D26	D27	D28	D29	D30
16							D16	D17	D18	D19	D20	D21	D22	D23	D24	D25	D26	D27	D28	D29	D30	D31	D32	D33
	—	—	1	2	...	11	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Latency count																								

表 6 线性读取期间第一个页边界跨越 (延时计数 = 16 个时钟)

Target address	Clock cycle after CS# goes LOW																							
	0	1	2	3	...	17	18	19	20	21	22	23	24	25	26	27	28	29	30	31	32	33	34	35
0	CA 0	CA 1	CA 2	Bus turnaround + initial latency			D0	D1	D2	D3	D4	D5	D6	D7	D8	D9	D10	D11	D12	D13	D14	D15	D16	D17
1							D1	D2	D3	D4	D5	D6	D7	D8	D9	D10	D11	D12	D13	D14	D15	X	D16	D17
2							D2	D3	D4	D5	D6	D7	D8	D9	D10	D11	D12	D13	D14	D15	X	X	D16	D17
3							D3	D4	D5	D6	D7	D8	D9	D10	D11	D12	D13	D14	D15	X	X	X	D16	D17
4							D4	D6	D6	D7	D8	D9	D10	D11	D12	D13	D14	D15	X	X	X	X	D16	D17
5							D5	D6	D7	D8	D9	D10	D11	D12	D13	D14	D15	X	X	X	X	X	D16	D17
6							D6	D7	D8	D9	D10	D11	D12	D13	D14	D15	X	X	X	X	X	X	D16	D17
7							D7	D8	D9	D10	D11	D12	D13	D14	D15	X	X	X	X	X	X	X	D16	D17
8							D8	D9	D10	D11	D12	D13	D14	D15	D16	D17	D18	D19	D20	D21	D22	D23	D24	D25
9							D9	D10	D11	D12	D13	D14	D15	D16	D17	D18	D19	D20	D21	D22	D23	X	D24	D25
10							D10	D11	D12	D13	D14	D15	D16	D17	D18	D19	D20	D21	D22	D23	X	X	D24	D25
11							D11	D12	D13	D14	D15	D16	D17	D18	D19	D20	D21	D22	D23	X	X	X	D24	D25
12							D12	D13	D14	D15	D16	D17	D18	D19	D20	D21	D22	D23	X	X	X	X	D24	D25
13							D13	D14	D15	D16	D17	D18	D19	D20	D21	D22	D23	X	X	X	X	X	D24	D25
14							D14	D15	D16	D17	D18	D19	D20	D21	D22	D23	X	X	X	X	X	X	D24	D25
15							D15	D16	D17	D18	D19	D20	D21	D22	D23	X	X	X	X	X	X	X	D24	D25
16							D16	D17	D18	D19	D20	D21	D22	D23	D24	D25	D26	D27	D28	D29	D30	D31	D32	D33
	—	—	1	2	...	16	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—
Latency count																								

要计算跨越页边界时的延时，请使用以下公式：

```
if ((PS - LTCY) < ADDR & (SP - 1))  
{  
  (ADDR & (SP - 1)) - PS + LTCY  
}  
else  
{0}
```

此公式中

PS = 页大小 = 16 个字

SP = 子页大小 = 8 个字

LTCY = 延迟

ADDR = 目标地址

4.3 HYPERFLASH™ 使用 DCARS 时序读取

本节中的插图和参数仅用于定义 DCARS 特性并显示相移时钟、RWDS 和数据之间的关系。

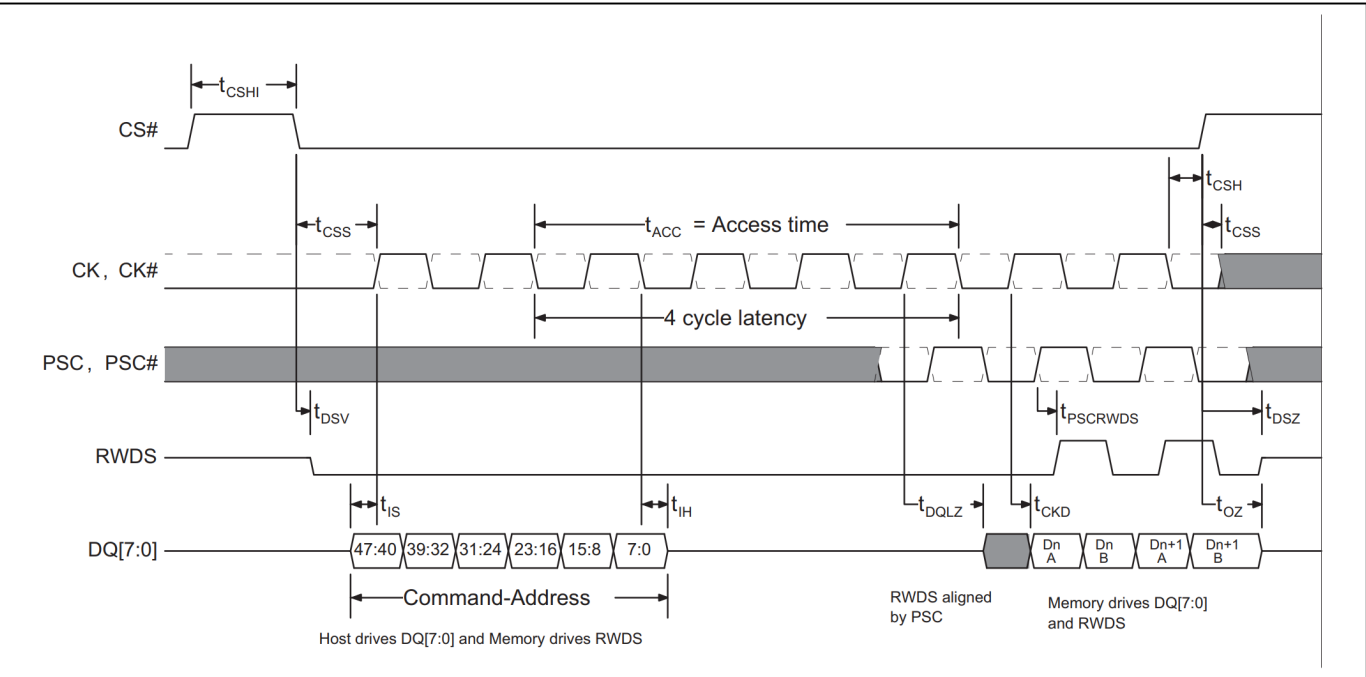


图 9 HYPERFLASH™ 读取 DCARS 时序图 [17, 18, 19, 20]

注

- 命令传输必须在 CK = LOW 且 CK# = HIGH 发起。在启动新命令传输之前，CS# 必须返回 HIGH。
- CK# 和 PSC# 是可选的，显示为虚线波形。
- 存储器在读取传输期间驱动 RWDS。
- 该示例演示了四个时钟的延时编码设置，不需要额外的初始延时。

4.4 写入操作

写入操作从前三个时钟周期开始，提供指示命令传输特征的 CA_x（指令/地址）信息。突发类型位 CA[45] 为“无需关注”，因为 HYPERFLASH™ 器件仅支持 16 位的单个写入命令或仅在字编程指令期间加载数据时才支持的连续线性写入突发。紧接着 CA 信息之后，主机能够在 DQ 总线传输写入数据。数据的第一个字节（A）出现在 CK 的上升沿，第二个字节（B）出现在 CK 的下降沿。写入数据与 CK/CK# 输入中心对齐。当 CK = LOW 且 CK# = HIGH 时，通过将 CS# 拉高可随时结束写入传输。

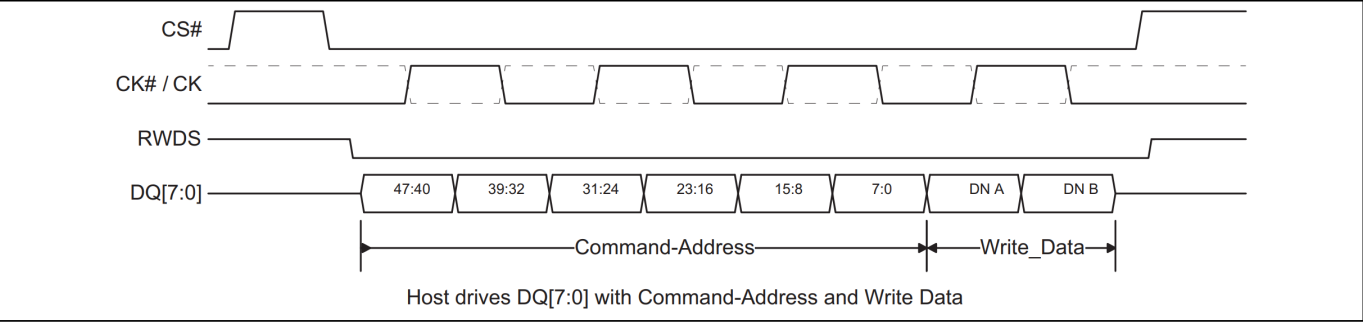


图 10 写入操作^[21, 22, 23]

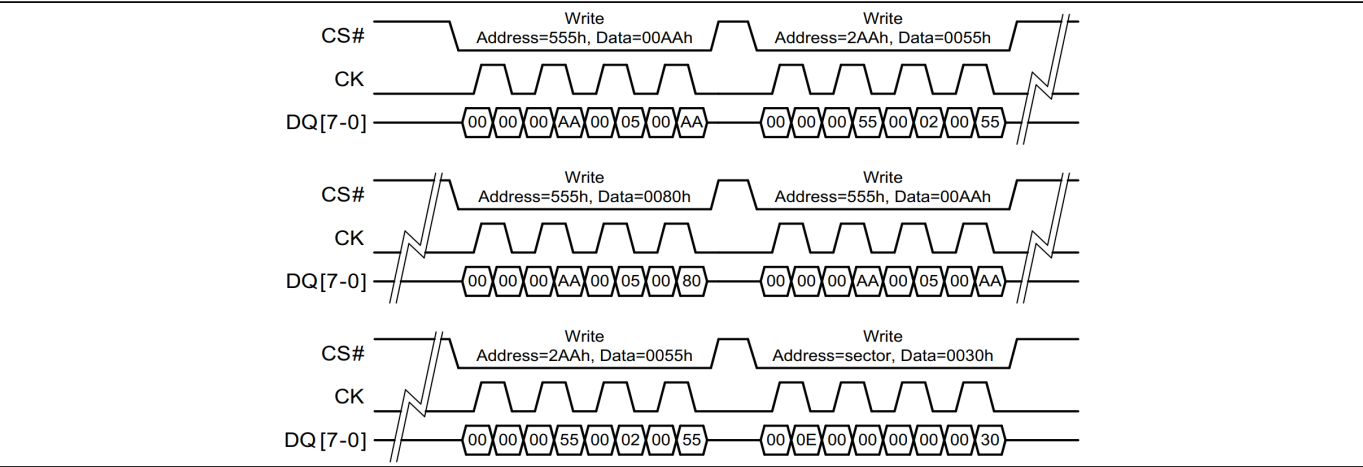


图 11 写入传输使用示例：擦除操作指令时序^[24, 25, 26, 27]

注

- 命令传输必须在 CK = LOW 且 CK# = HIGH 发起。在启动新命令传输之前，CS# 必须返回 HIGH。
- 只要 CS# 处于低电平，RWDS 就会被驱动为低电平。
- 写入操作仅限于单字（16b）的传输或仅在字编程指令期间加载数据时支持的线性写入突发。此示例演示了四个时钟的延时代码设置，并且不需要额外的初始延时。
- 见图 17 为擦除操作指令时序流程图。
- 对从 0700000h 开始的扇区进行擦除操作。
- CK# 未显示，但它是 CK 信号的补码。
- RWDS 不显示，在写入传输中也不使用。

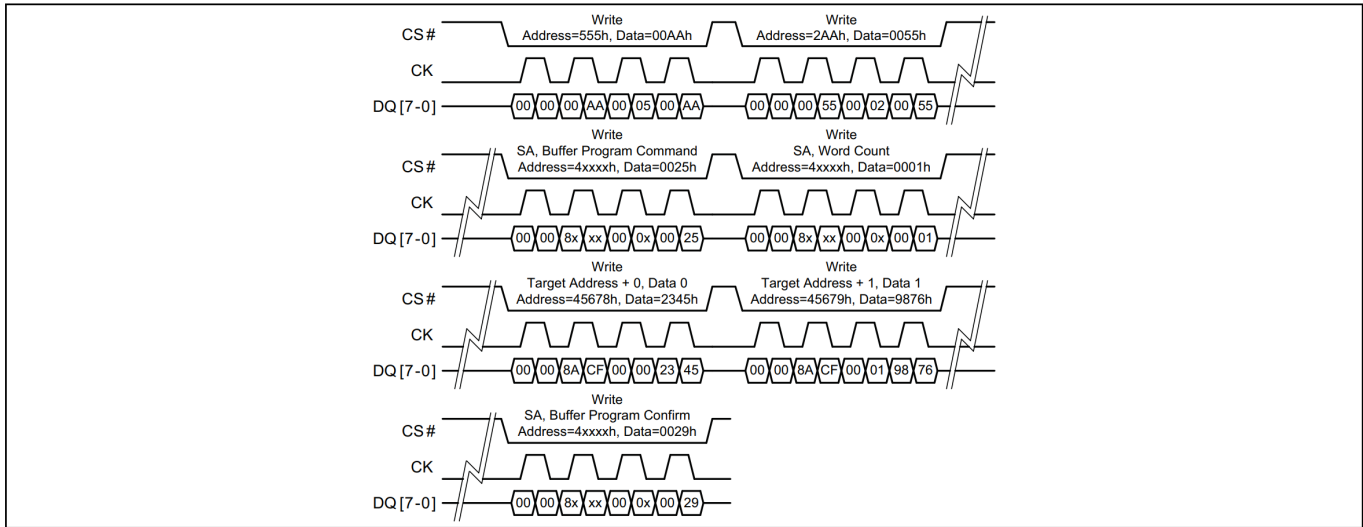


图 12 写入传输使用示例：写入缓存区编程指令时序^[28, 29, 30, 31]

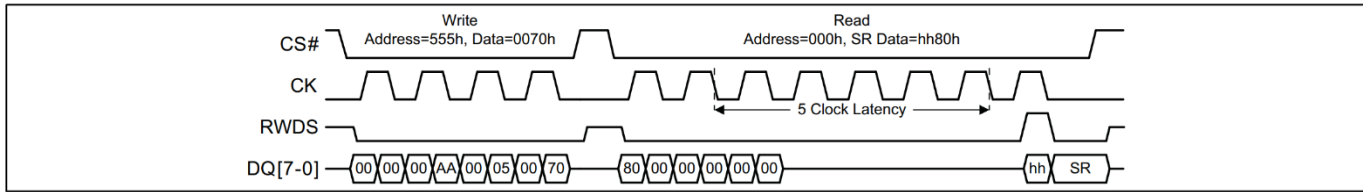


图 13 状态读取传输示例^[30]

注

- 28. 见图 15 为写入缓存区编程操作指令流程图。
- 29. 将 2345h 编程到地址 45678h，将 9876h 编程到地址 45679h。
- 30. CK# 未显示，但它是 CK 信号的补码。
- 31. RWDS 不显示，在写入传输中也不使用。

5 地址空间映射

虽然 HYPERBUS™ 协议规定从机器件具有存储器和寄存器地址空间，但本规范中描述的 HYPERFLASH™ 存储器并不区分存储器和寄存器作为单独的地址空间。任何命令传输都会选择一个单一的地址空间，无论 HYPERBUS™ 命令传输是否指示目标位置位于所选器件的存储空间或寄存器空间中。

写命令传输总是将命令地址和数据放入指令寄存器集（缓存区）中。

读取命令从存储器阵列或寄存器地址空间窗口返回数据，该窗口通过执行指令暂时覆盖在单一地址空间内。具有寄存器空间覆盖方法的单一地址范围向后兼容传统的并行 NOR 闪存存储器和擦除软件驱动程序。

在闪存存储器器件的地址范围内，可能出现多个单独的地址空间。在任意给定时间，只有一个地址空间可见（进入）。

- **闪存阵列**：主非易失性存储器阵列，用于存储可通过读取操作进行随机访问的数据。
- **ID/CFI区域**：用于英飞凌出厂预编程的器件特性信息的闪存阵列。该区域包含器件标识（ID）和通用闪存接口（CFI）信息表。
- **安全存储区域（SSR）**：一个 1024 字节的一次性可编程（OTP）非易失性存储器阵列用于英飞凌出厂预编程的永久性数据以及客户可编程的永久性数据。
- **持久保护位（PPB）**：非易失性闪存存储器阵列（每扇区一位）。编程后，每一位都会保护相关的扇区，以防止擦除和编程。
- **PPB 锁定位**：它是一个易失性寄存器位，用于使能或禁用对 PPB 位进行的编程和擦除。
- **密码**：它是一个 OTP 非易失性阵列，可存储 64 位密码，允许在使用密码模式扇区保护时更改 PPB 锁定位的状态。
- **动态保护位（DYB）**：它是易失性阵列（每扇区一位）。设置该位后，每一位都会保护相关的扇区，以防止进行擦除和编程。
- **ECC 状态**：读取 ECC 纠正数据地址和总 ECC 错误计数。
- **CRC**：读取 CRC 校验值。
- **状态或外设寄存器**：用于显示 EA 状态和读取或写入其他寄存器的寄存器访问。

闪存阵列是主要同时也是默认的地址空间，但随时会被另一个地址空间覆盖掉。每个备用地址空间称为一个 ASO。

每个 ASO 替换（覆盖）由进入 ASO 的指令选择的扇区或整个器件地址范围，具体取决于 ASO 写入指令。如果只有一个扇区被 ASO 覆盖，则存储器阵列的其余扇区仍然可读。任何没有被特定 ASO 地址映射定义的范围将留作将来使用。除非另有说明，否则 ASO 地址映射之外的所有读取访问都会返回无效（未定义）数据。这些位置将显示主动驱动的数据，但其含义尚未定义。

有多种地址映射模式，可以确定闪存器件地址空间在任何特定时刻的内容：

- 读取模式
- 状态寄存器（SR）模式
- ASO 模式
- 外设寄存器模式

在读取模式下，主机系统存储控制器可能直接读取整个闪存阵列。存储器件 EAC 在上电期间、硬件复位后、指令复位后以及 EA 挂起后，都会将器件置于读取模式。在读取模式下，器件可接受读取访问和指令写入。当 EA 挂起时，在读取模式下器件可接受部分指令。

在任一模式下，都可以发出状态寄存器读取指令，从而在器件地址空间中的每个字地址都出现状态寄存器 ASO。在该状态寄存器 ASO 模式下，器件接口将等待读取访问，写入访问被忽略。随后的一次器件读取访问，读取状态寄存器的内容并退出状态寄存器 ASO，然后返回之前收到状态寄存器读取指令时的（调用）模式。

同样，读写其他寄存器的指令也采用外设寄存器模式，该寄存器出现在临时 ASO 中，在读取或写入选定的指令寄存器后自动退出。读取或写入发生在寄存器访问指令时序的最后一个周期。

在 EA 模式下，EAC 执行 EA，如编程或擦除非易失性存储器阵列。在 EA 模式下，闪存阵列均不可读。在 EA 模式下，只接受编程/擦除挂起指令或状态寄存器读取指令。所有其他指令均被忽略。因此，无法从 EA 模式进入其他 ASO。

在 ASO 模式下，进入其中一个剩余的重叠地址空间（覆盖闪存阵列地址映射）。在任意特定时间内，只能进入一个 ASO。对器件执行的指令对当前进入的 ASO 产生影响。每个 ASO 都有自己特定的有效指令。它们被罗列在表 41 中每个 ASO 的相关章节内。

下列 ASO 包含非易失性数据，可通过编程将 1 改为 0：

- 安全存储区域
- ASP 配置寄存器(ASPR)
- 持久保护位（PPB）
- 密码
- 只有 PPB ASO 中包含非易失性数据，并可通过擦除该数据将 0 改为 1。

在进入其中一个非易失性 ASO 后发出编程或擦除指令时，EA 将对该 ASO 执行操作。当 EA 处于工作状态时，该 ASO 不可读。EA 完成后，ASO 仍留在进入状态，但重新变成可读。在任意 ASO 的 EA 过程中，挂起和恢复指令无效。

外设配置寄存器模式用于管理 POR 定时器、中断配置寄存器、中断状态寄存器、易失性配置寄存器和非易失配置寄存器。

5.1 闪存阵列

S26KL/S26KS 系列具有统一的扇区架构，扇区大小为 256kB。下表显示的是器件的扇区架构。

用户配置选项可用于将第一个扇区（SA00）或最后一个扇区（SAmax）叠加为八个 4-KB 参数扇区。参数扇区地址映射显示了最低或最高扇区是如何分区的，如以下存储器地址映射表所示。可以使用针对适当参数扇区地址的标准擦除和编程指令时序，以正常方式擦除和编程参数扇区。请注意，较小的参数扇区需要包含 A[16:11] 作为地址的一部分，在擦除和编程指令时序期间识别目标参数扇区。

配置第一个或最后一个统一扇区以包含参数扇区是通过非易失配置配置来完成的。

注：以下表格已被压缩，以在一页上简单列出整个器件的扇区相关信息。对于未明确列出的扇区以及它们的地址范围（如 SA001-SA510），其扇区起始地址和结束地址与该尺寸的所有其他扇区具有相同的组合。例如，所有 256kB 扇区的组合均为 XX00000h-XX1FFFFh。

表 7 S26KL512S 和 S26KS512S 扇区和存储器地址映射

Sector size (KB)	Sector count	Sector range	Address range (16-bit)	Note
256	256	SA00	0000000h–001FFFFh	Sector starting address
		:	:	–
		SA255	1FE0000h–1FFFFFFh	Sector ending address

表 8 S26KL256S 和 S26KS256S 扇区和存储器地址映射

Sector size (KB)	Sector count	Sector range	Address range (16-bit)	Note
256	128	SA00	0000000h–001FFFFh	Sector starting address
		:	:	–
		SA127	0FE0000h–0FFFFFFh	Sector ending address

表 9 S26KL128S 和 S26KS128S 扇区和存储器地址映射

Sector size (KB)	Sector count	Sector range	Address range (16-bit)	Note
256	64	SA00	0000000h–001FFFFh	Sector starting address
		:	:	–
		SA63	07E0000h–07FFFFh	Sector ending address

表 10 主阵列扇区 0 覆盖八个 4-KB 参数-扇区

Main array sector size	Parameter-sector number	Address size	Address range (16-bit)	Note
256 KB	0	4 KB	0000000h–00007FFh	Start of parameter-sector 0
	1	4 KB	0000800h–0000FFFh	Parameter-sector 1
	2	4 KB	0001000h–00017FFh	Parameter-sector 2
	3	4 KB	0001800h–0001FFFh	Parameter-sector 3
	4	4 KB	0002000h–00027FFh	Parameter-sector 4
	5	4 KB	0002800h–0002FFFh	Parameter-sector 5
	6	4 KB	0003000h–00037FFh	Parameter-sector 6
	7	4 KB	0003800h–0003FFFh	End of parameter-sector 7
	Exposed portion of main array sector 0	224 KB	0004000h–001FFFFh	Mapped to exposed portion of main array sector 0

表 11 最后一个扇区覆盖了八个 4-KB 参数-扇区

Main array sector size	Parameter-sector number	Address size	Address range (16-bit)	Note
256 KB	Expose portion of main array last sector	224 KB	xx00000h–xx1BFFFh	Mapped to exposed portion of main array sector (last)
	0	4 KB	xx1C000h–xx1C7FFh	Start of parameter-sector 0
	1	4 KB	xx1C800h–xx1CFFFh	Parameter-sector 1
	2	4 KB	xx1D000h–xx1D7FFh	Parameter-sector 2
	3	4 KB	xx1D800h–xx1DFFFh	Parameter-sector 3
	4	4 KB	xx1E000h–xx1E7FFh	Parameter-sector 4
	5	4 KB	xx1E800h–xx1EFFFh	Parameter-sector 5
	6	4 KB	xx1F000h–xx1F7FFh	Parameter-sector 6
	7	4 KB	xx1F800h–xx1FFFFh	End of parameter-sector 7

5.2 器件ID和CFI (ID-CFI) ASO

系统可以通过两种传统方法识别系统中已经安装的闪存类型。一是器件标识 (ID)。另一种方法称为通用闪存接口 (CFI)。

对于 ID，使用一条指令来启用一个地址空间重叠，最多可从这个空间内读取16字位置，用于从闪存中获取 JEDEC 制造商标识 (ID)、器件 ID 和一些配置及保护状态信息。系统可以使用制造商和器件 ID 为闪存器件选择相应的驱动程序软件。

CFI 也使用一个指令来使能 ASO，从其中读取关于闪存存储器和操作的标准信息的详细表。通过该方法，驱动软件不必针对每种可能的存储器件的具体情况进行编写。相反，驱动软件以更通用的方式编写以处理许多不同的器件，但根据 CFI 表中的信息调整驱动程序行为。

传统上，这两个地址空间为不同的重叠，分别使用单独的指令。不过，这两个地址空间的映射是非重叠的，因此可以组合成一个地址空间并一同出现在一个重叠中。进入“自动选择” (ID) 或 CFI 覆盖层都可以进入现在组合的 ID-CFI 地址映射。

ID-CFI 地址映射出现在由 ID-CFI 输入命令中使用的地址选择的扇区内，并覆盖其闪存阵列数据。进入 ID-CFI ASO 时，所有其他扇区的内容均未定义。

ID-CFI 地址映射起始于所选扇区的0位置。ID-CFI ASO 的最大定义地址以上到所选扇区最大地址的位置具有未定义的数据。ID-CFI 进入指令使用与前一代存储器相同的地址和数据值分别用来访问 JEDEC 制造商 ID (自动选择) 和 CFI 信息。

表 12 ID-CFI地址映射概览

Word address	Description	Read / Write
(SA) + 0000h to 000Fh	Device ID (traditional autoselect values)	Read only
(SA) + 0010h to 0079h	CFI data structure	Read only
(SA) + 007Ah to 00FFh	Undefined	Read only

完整地址映射见[表 35](#)。

5.2.1 器件 ID

JEDEC 标准 JEP106T 定义了兼容内存的制造商 ID。通用行业用法定义了从存储器件读取制造商 ID 和器件特定 ID 的方法和格式。制造商和器件 ID 信息的主要目的是为了使编程装置自动匹配器件和相应的编程算法。英飞凌在此 32 字节地址空间中增加了更多字段。

初始行业格式的结构适合任一存储器数据总线宽度，如 x8、x16、x32。传统上 ID 代码值为字节宽度，但位于总线带宽地址边界。因此，器件地址输入递增时，将读取连续的字节、字或双字位置，并且 ID 代码始终位于数据总线上最低有效字节的位置。由于器件数据总线为字宽度，因此每个代码字节分别位于每个字位置的下半部。基础行业格式要求高字节始终为 0。英飞凌已经修改了该格式，从而能在地址控制的某些字中使用两种字节。有关器件 ID 地址映射的详细说明，请参见表 35。

5.2.2 通用闪存接口 (CFI)

JEDEC CFI 规范 (JESD68.01) 定义了可从闪存器件读取的标准化数据结构，它允许厂商在整个器件系列中使用其指定的软件算法。数据结构包含系统配置信息，如各种电气和时序参数以及器件支持的特殊功能。这样，软件支持就变得与器件和器件 ID 无关，并且对整个闪存器件系列前后兼容。

系统可以从选定扇区中各个地址读取 CFI 信息，如第 69 页“[器件 ID 和通用闪存接口 \(ID-CFI\) ASO 映射](#)”所示。

与器件 ID 信息类似，CFI 信息的结构可用于任何存储器数据总线宽度（例如：x8、x16、x32）。代码值总是字节宽度，但位于数据总线带宽地址边界。因此，器件地址递增时，将读取连续的字节、字或双字位置，并且代码始终位于数据总线上最低有效字节的位置。由于数据总线为字宽度，因此每个代码字节分别位于每个字位置的下半部，并且高字节始终为 0。

更多有关信息，请参阅 CFI 规范版本 1.5（或更高版本）以及 JEDEC 出版物 JEP137-A 和 JESD68.01。

6 嵌入式操作

6.1 嵌入式算法控制器 (EAC)

EAC从主机系统接收关于编程和擦除闪存阵列的指令，并执行改变非易失性存储器状态时所需的所有复杂操作。这样可以减轻主机系统的负担，并且不需要管理编程和擦除过程。

EAC操作类别有五种：

- 深度断电模式 (DPD)
- 待机 (读取模式)
- 地址空间切换
- 嵌入式算法 (EA)
- 高级扇区保护 (ASP) 管理

6.1.1 深度断电模式

在 DPD 模式下，消耗电流被驱动到最低水平。必须在器件处于待机状态且未进入 ASO 时进入 DPD 模式。

6.1.2 EAC待机

在待机状态下，电流消耗大大降低。当没有指令正在处理并且没有 EA 正在进行时，EAC 进入其待机状态。如果在 EA 期间取消选择器件 ($CS\# = \text{HIGH}$)，则器件仍会消耗有效电流，直到操作完成 (I_{CC3})。第84页“**DC 特性 (CMOS 兼容)**”中的 I_{CC4} 表示当主机接口和 EAC 均处于待机状态时的待机电流规格。

6.1.3 地址空间切换

写入特定的地址和数据时序 (指令序列) 将存储器器件地址空间从闪存阵列切换到 ASO 其中一个。

EA 对当前操作 (进入的) ASO 中可见信息的操作。系统将继续访问 ASO，直到系统发出 ASO Exit 指令、执行硬件重置或从器件断电为止。ASO Exit 指令从 ASO 切换回之前的闪存阵列地址空间。输入特定 ASO 时接受的指令列在指令定义表中的 ASO Enter 和 Exit 指令之间。参见 75 页“**指令汇总**”，了解所有指令序列的地址和数据要求。

6.1.4 嵌入式算法 (EA)

更改存储阵列中的非易失性数据时，需要执行复杂的操作序列，这些操作被称为 EA。这些算法完全由器件内部的 EAC 来管理。主算法执行对主阵列数据和 ASO 的编程和擦除操作。主机系统将指令代码写入到闪存器件地址空间内。EAC 接收指令用于执行所有必要的步骤以完成指令，并在 EA 执行期间提供状态信息。

6.2 编程和擦除概要

闪存数据位以扇区为组的形式被并行擦除。擦除操作将扇区中的每个数据位置于逻辑 1 状态（高）。每个闪存数据位可以分别进行编程，使其从擦除 1 状态变为编程逻辑 0（低）状态。数据位 0 不能编程为 1。后续的读取结果显示，数据位仍然为 0。只有通过执行擦除操作才能将 0 变换为 1。多次对同一个字位置进行编程不同的 0 位，会引起原数据和正在编程的新数据间进行逻辑 AND 运算。

编程和擦除操作的持续时间显示在第 101 页“[嵌入式算法性能](#)”。编程和擦除操作可能会挂起。

- 擦除操作可能被挂起，允许在擦除操作中编程或读取另一个扇区（不是在擦除扇区中）。在擦除挂起期间，不能启动其它擦除操作。
- 编程操作可能被挂起，允许读取另一个位置（并非位于正在编程的线中）。
- 在编程操作挂起期间，不能启动其它编程或擦除操作；在该时间内，编程或擦除指令将被忽略。
- 在完成嵌入的编程操作或读取访问后，可以恢复被挂起的擦除或编程操作。
- 编程和擦除操作可以根据需要多次中断，但为了使编程或擦除操作能够完成，恢复和下一个挂起指令之间必须有一些时间间隔，该时间间隔大于或等于第 101 页“[嵌入式算法性能](#)”中的 t_{PRS} 或 t_{ERS} 。
- 完成嵌入式算法（EA）时，EAC 返回至启动 EA 时所在的操作状态和地址空间（擦除挂起、EAC 待机）。

系统可以通过读取状态寄存器（第 53 页上的“[错误类型和清除进程](#)”）来确定编程或擦除操作的状态。

除了编程挂起和状态读取命令之外，在嵌入式编程算法期间写入器件的任何命令都将被忽略。

除了擦除挂起和状态读取命令之外，在嵌入式擦除算法期间写入器件的任何命令都将被忽略。

硬件复位会立即终止正在执行的所有编程/擦除操作，并在经过 t_{RPH} 时间后返回到读取模式。一旦器件返回待机状态，应重新启动被终止的操作，以确保数据完整性。

出于性能和可靠性的原因，编程是在 16 字节半页上内部完成的，使用对齐的 16 字节地址范围。

第 84 页“[DC 特性（CMOS 兼容）](#)”中的 I_{CC3} 代表写入（嵌入式算法）操作的有效电流规格。

6.2.1 编程粒度

S26KL/S26KS 支持两种编程方法：字或缓存区写入编程。

字编程检查指令中提供的数据字，在寻址的存储阵列字中编程 0，以匹配指令数据字中的 0。

写入缓存区编程检查写入缓存区，在寻址的存储阵列行中编程 0，以匹配写入缓存区中的 0。写入缓存区不需要全部填入数据。允许编程少至单个位、几个位、单个字、几个字、半页、多个半页或整个缓存区作为一次编程操作。使用写入缓存区方法可以减轻主机系统在写入编程指令方面的负担，并能够减轻存储器件在编程操作方面的内部负担。与使用字编程指令对各个字进行编程相比，写入缓存区编程更快、更有效率。

每个半页可以使用任一方法进行编程。采用不同方法编程的半页可能混合在一行内。

为了与旧版软件兼容，支持在半页内进行多次字编程和写入缓存区编程。然而，在没有擦除的半页内多次使用字编程或写入缓存区编程将会禁止该半页的 ECC 功能。对于需要在同一半页内进行多次编程操作的应用，建议添加系统软件错误检测与纠正，以增强半页的数据完整性。

注：如果启用了 2 位 ECC，则同一页内的多个字编程或写入缓存区编程将导致编程错误。

未来 HYPERFLASH™ 的硅工艺可能不再支持在同一半页内进行多次编程操作，无需对包含该半页的扇区进行擦除操作。规划向未来几代软件的迁移时，应采用仅支持每次擦除每半页一次编程操作的数据结构和管理方法。

6.2.2 增量编程

相同的字位置或半分页可以通过字或写入缓存区形式编程方法多次编程，以地址递增地将 1 更改为 0。

然而，正如第 28 页“[编程粒度](#)”所示，递增编程会影响 ECC 校验位并导致器件禁用该半页的 ECC 功能。

注：如果启用了 2 位 ECC，则同一页内的多个字编程或写入缓存区编程将导致编程错误。

6.2.3 编程方法

6.2.3.1 字编程

字编程用于对闪存阵列中任意位置的一个单字或一组字进行编程。

最小的字编程指令时序需要四个指令写入命令传输。编程指令时序通过发出两个解锁指令写入命令传输（命令传输一和命令传输二）来启动，然后是编程设置指令（命令传输三）。编程地址和数据随后被写入（命令传输四），进而启动嵌入式编程算法。系统不需要提供更多控制或时序。器件自动生成编程脉冲，并内部检验编程 cell 的余量。当嵌入式字编程算法完成时，EAC 随后返回其待机模式。

上文描述的四个命令传输字编程指令时序用于编程单个（16 位）字（两个字节）。多个连续字可以通过使用突发写入功能的字编程时序进行编程。解锁和编程指令时序与单字编程时序相同，但在数据/地址命令传输期间，在单个 CS# 有效期间会加载多个连续数据值。所呈现的数据被编程到连续地址中，从突发写入命令传输的指令地址相中标识的目标地址开始。只要不跨越对齐的 256 字（512 字节）地址边界，最多可以编程 256 个字（512 字节）。

系统可以通过读取状态寄存器来判断编程运行的状态。请参阅第 53 页“[错误类型和清除进程](#)”。

在嵌入式编程算法期间写入器件的除编程挂起和状态寄存器读取以外的任何指令都将被忽略。

注：硬件复位 ($RESET\# = V_{IL}$) 或下电会立即终止编程操作，并在 t_{RPH} 时间后将器件返回到读取模式。终止可能会使正在编程的区域处于具有无效或不稳定数据值的中间状态。一旦器件完成硬件复位操作，编程指令时序就可以用相同的数据重新启动以完成编程操作，以确保数据被完全编程。然而，为了确保最佳的数据完整性，必须擦除终止编程操作的扇区并重新编程。

进入 SSR ASO 时也可以使用字编程指令。

修订版的字编程指令没有解锁写入周期，从而能够在进入 ASP 配置寄存器 (ASPR)、密码和 PPB ASO 时进行编程。进入 PPB 锁定和 DYB ASO 后，可以使用相同的指令更改易失性位。欲了解编程指令时序，请参见[表 41](#)。

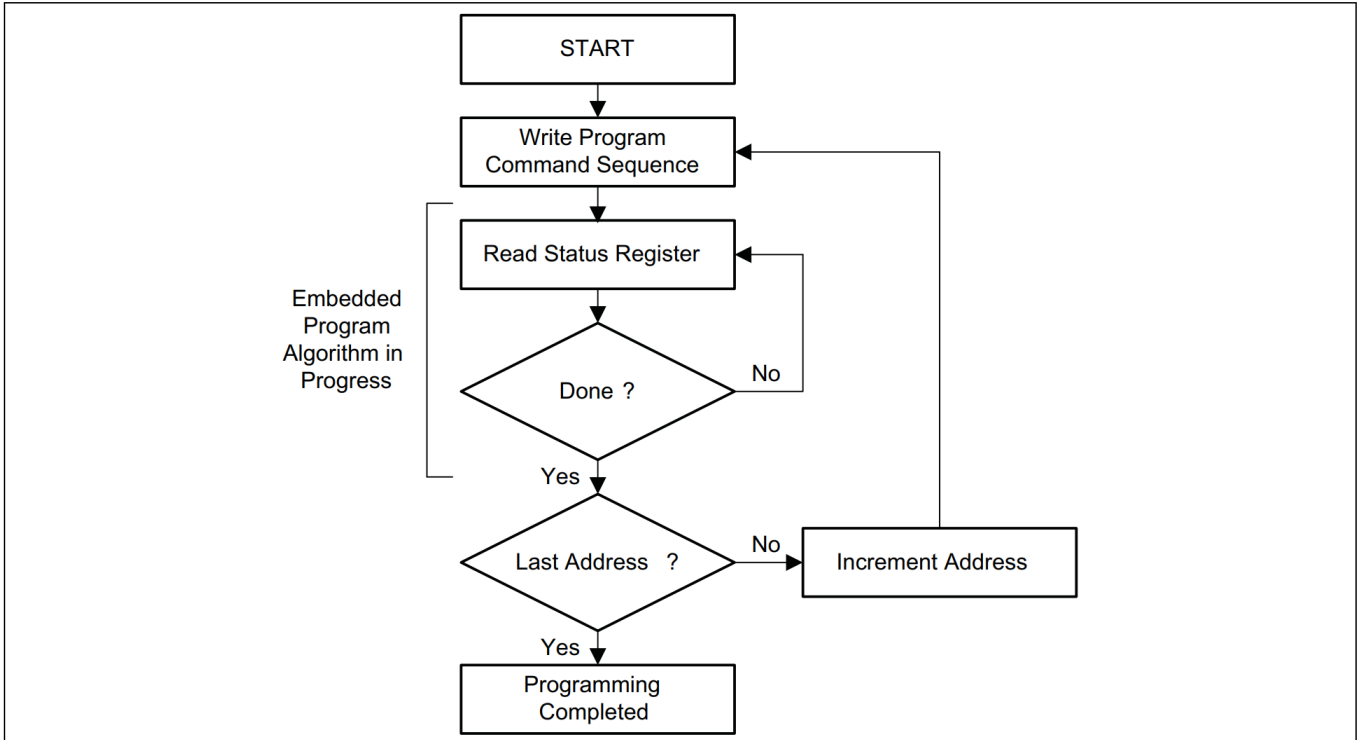


图 14 字编程操作

6.2.3.2 写入缓存区编程

写入缓存区用于对与 512 字节边界（行）对齐的 512 字节地址范围内的数据进行编程。因此，完整的写入缓存区编程操作必须在行边界上对齐。小于完整 512 字节的编程操作可以在任何字边界上开始，但不能跨越行边界。在写入缓存区编程操作开始时，缓存区的所有位置都为 1（FFFFh 字），因此任何未加载的位置都将保留现有数据。见表 1 了解有关地址映射的信息。

写入缓存区编程在一个操作中最多可编程 512 字节。在每个写入缓存区编程操作中，可以编程 1 位到 512 字节。强烈建议写入多个 16 字节的半页，且每个半页只写入一次。为达到最佳性能，编程应在 512 字节边界对齐的全部 512 字节线上完成。

仅在闪存阵列或SSRASO中支持写入缓存区编程。

写入缓存区编程操作开始于两个写入解锁周期。随之是写入到缓存区指令的第三个写入周期，其中包含要编程的扇区地址（SA）。接下来，系统会写入字位置数量减去1。这会告知器件有多少写入缓存区地址加载了数据以及何时会发出“编程缓存区到闪存”的确认指令。写入到缓存区指令和写入字计数指令中提供的扇区地址必须匹配。要编程的扇区必须解锁（不受保护）。如果尝试对锁定的扇区进行编程操作，则操作将被中止，并且在状态寄存器中指示失败（见表 17）。

然后系统写入起始地址和数据字。该起始地址是要编程的第一个地址和数据对，并选择写入缓存区线内的起始字地址。扇区地址必须与通过写入到缓存区指令扇区地址匹配，否则操作将中止并返回启动状态。所有后续的单字地址和数据对写入命令传输必须按顺序进行。所有写入缓存区地址必须在同一线内。如果系统尝试加载此范围之外的数据，操作将中止并返回启动状态。注意，加载数据字时不支持线性突发时序。

每加载一个数据字，字计数器就会减一。请注意，随着数据写入倒计时，每个写入操作都被认为数据正在加载到写入缓存区。在写入缓存区加载期间，不能执行任何指令。唯一可停止写入缓存区加载的方式是写入编程操作行之外的地址。该无效地址将立即中止写入缓存器指示时序并设置为写入状态中止状态位 (SR[3])。

一旦已加载指定的写入缓冲区地址数量，系统必须在 SA 处写入编程缓存区到闪存指令。器件随之开始忙碌。嵌入式编程算法自动编程数据，并验证数据是否为正确的数据组合。在这些操作期间，系统不需要提供任何控制或时序。如果加载的写入缓存区位置的数量不正确，操作将中止并返回启动状态。当在预期该命令的字计数数量的数据字末尾时，写入编程缓存区到闪存以外的任何内容时，也会发生中止。

写入缓冲区嵌入式编程操作可以通过编程挂起指令来挂起。完成嵌入式编程算法时，EAC 返回到编程操作启动时所在的 EAC 待机或擦除挂起待机状态。

系统可以通过使用状态寄存器来确定编程操作的状态（见表 17）。见图 15 了解编程操作的图表。

在下列情况下，写入缓存区编程序列将中止：

- 加载的字计数值超过缓存区容量（255）。
- 写入的地址超出在写入到缓存区指令中提供的线。
- 加载完写入字计数的数据字数量后不发出写入缓存区到闪存指令。

当导致写入缓存区指令中止的任何条件发生时，指令操作将立即中止，并在状态寄存器的位置位 4 指明编程失败（PSB = 1），因为写入缓存区中止位置位3被设置（WBASB = 1）。下一次成功的编程操作将清除失败状态，或者可以使用清除状态寄存器指令清除 PSB 状态位。

有两种方法可终止写入缓存区编程序列：硬件复位或断电后重新上电。不过，使用任一方法都可能造成正在编程的区域处于中间状态，即包含无效或不稳定的数据值。在此情况下，需要使用相同的数据对该区域进行重新编程或者擦除该区域，以确保正确编程数据值或适当擦除它们。为了确保最佳的数据完整性，必须擦除并重新编程终止编程操作的扇区。

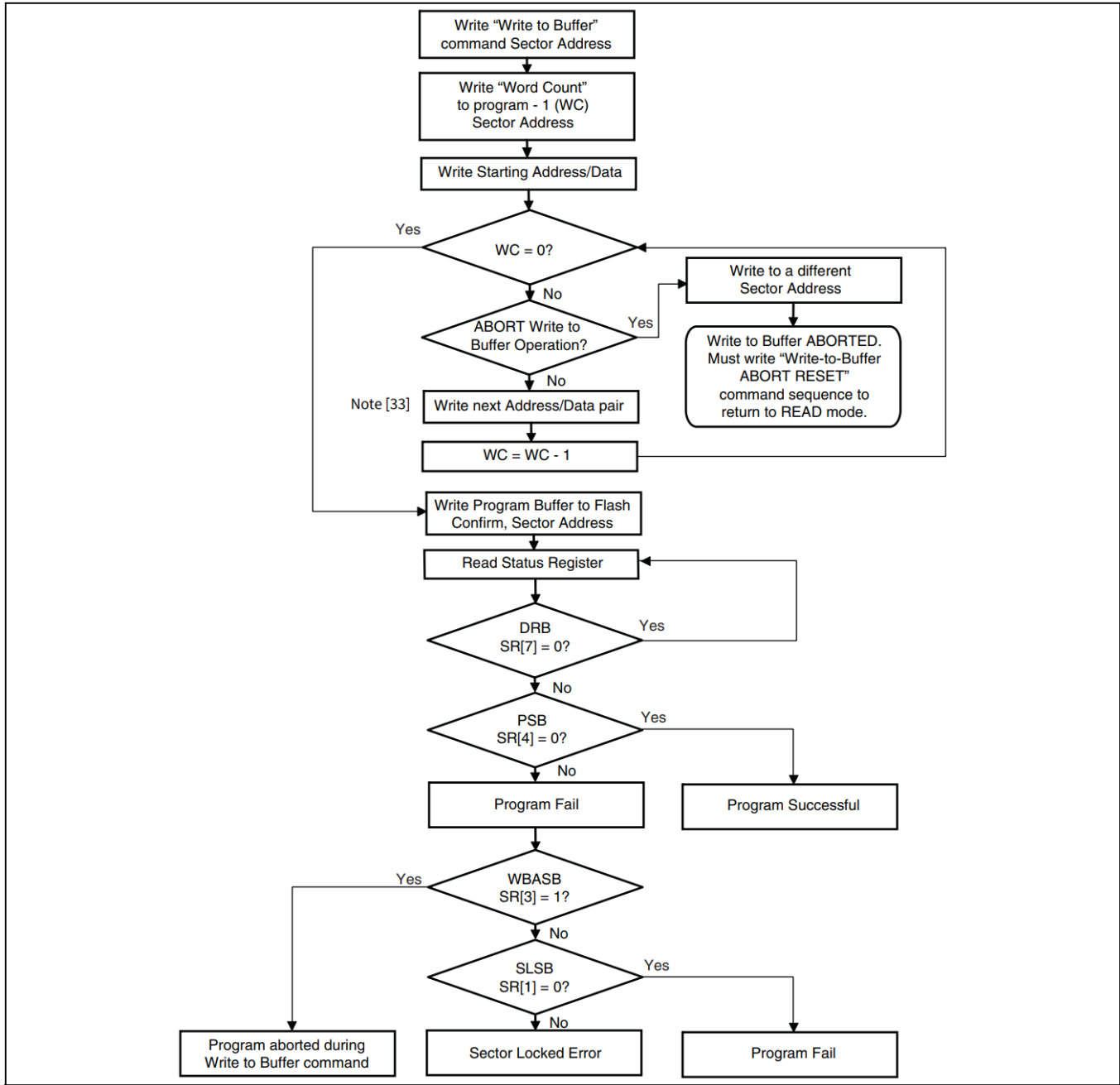


图 15 带状态寄存器的写缓存区编程操作^[32, 33]

注

32. 欲了解写入缓存区编程所需的指令时序，请参见表 41。
33. 当指定 SA 时，所选扇区中的任何地址均可接收。不过，为写入缓存区地址位置加载数据时，所有地址必须在所选行内。

表 13 写缓存区编程指令序列

Sequence	Address	Data	Comment
Issue Unlock Command 1	555h	AAh	–
Issue Unlock Command 2	2AAh	55h	–
Issue Write to Buffer Command at Sector Address	SA	0025h	–
Issue Number of Locations at Sector Address	SA	WC	WC = number of words to program minus 1
Example: WC of 0 = 1 word to program WC of 1 = 2 words to program	–		
Load Starting Address / Data Pair	Starting address	PD	Selects a Line and loads first Address / Data Pair.
Load Next Address / Data Pair	WBL	PD	All addresses must be within the selected Line boundaries, and have to be loaded in sequential order.
Load Last Address / Data Pair	WBL	PD	All addresses must be within the selected Line boundaries, and have to be loaded in sequential order.
Issue Write Buffer Program Confirm at Sector Address	SA	0029h	This command must follow the last write buffer location loaded, or the operation will ABORT.
Device goes Busy	–	–	–

图标:

SA = 扇区地址（非扇区地址位不用考虑。扇区内的任何地址足够）

WBL = 写入缓存区位置（必须位于起始地址指定的写入缓冲区行的边界内）

WC = 字数统计

PD = 编程数据

6.2.4 编程挂起/编程恢复指令

编程挂起指令允许系统中断嵌入式编程操作，以便能够从非挂起的行中读取数据。当在某个编程过程中写入编程挂起指令时，器件在 t_{PSL} （编程挂起延迟）时间内暂停编程操作并更新状态位。在写入编程挂起指令时，地址为“无需关注”。

编程操作挂起后，系统可以读取任何非挂起的行中的阵列数据。当擦除操作被挂起时，仍可以在编程期间发出编程挂起指令。在此情况下，可以从擦除挂起或编程挂起之外的地址读取数据。

写入编程恢复指令后，器件恢复编程状态，状态位更新。系统可以通过读取状态寄存器来确定编程操作的状态。有关这些状态位的信息，请参阅第 53 页的“[错误类型和清除进程](#)”。

在编程挂起期间有效的访问和指令包括：

- 读取任何其他非擦除挂起的扇区
- 读取任何其他非编程挂起的行
- 状态读取指令
- 退出ASO或指令集退出
- 编程恢复指令
- 加载中断配置寄存器
- 加载中断状态寄存器

系统必须写入编程恢复指令，才能退出编程挂起模式并继续编程操作。进一步写入的编程恢复指令被忽略。在器件恢复编程后，便可写入另一个编程挂起指令。

编程操作可以根据需要经常中断，但为了使编程操作正常完成，恢复和下一次挂起指令之间的时长必须大于或等于第 26 页上的[嵌入式算法控制器（EAC）](#)中所述的 t_{PRSO} 。

进入ASO后，不支持编程挂起和恢复。而在程序中，挂起项进入ASO不受支持。

6.2.5 空白检查

空白检查指令将确认所选的闪存阵列扇区是否已擦除。空白检查指令不允许在空白检查期间读取阵列。若在执行此指令时读取阵列，会返回未知数据。

要想对一个扇区启动空白检查，可以在 EAC 处于待机状态时向该扇区中的地址 555h 写入 33h。当器件正在编程、擦除或挂起时，不能写入空白检查指令。

通过读取状态寄存器来确认器件是否仍在忙，完成后确认扇区是否为空白。状态寄存器的第 7 位将显示器件是否正在执行空白检查（类似于擦除操作）。

如果扇区被擦除，状态寄存器的第 5 位将被清零为“0”，如果未被擦除，则置位为“1”。

一旦发现任何位没有擦除，器件将中止操作并报告结果。空白检查完成后，EAC 返回待机状态。

6.2.6 评估擦除状态

评估扇区状态 (EES) 指令验证指定扇区上的最后一次扇区操作是否已成功完成。如果选定的扇区被成功擦除，则状态寄存器 (SR[0]) 中的扇区状态位置位为“1”。如果所选扇区未完全擦除，则 SR[0] 被清除为“0”。见图 16 了解详情。

使用 EES 指令可以检测擦除操作失败的原因，原因可能是：断电、复位或擦除操作过程失败。

EES 指令要求 t_{EES} 完成并更新状态寄存器 (SR[0]) 中的扇区状态位。状态寄存器 (SR[7]) 中的器件就绪位可以使用读取状态寄存器 (70h) 指令来读取，以确定 EES 指令何时完成。一旦状态寄存器中的器件就绪位表明器件已返回就绪 (1) 状态，扇区擦除状态位 (SR[0]) 指示目标扇区是否已成功擦除。如果发现某个扇区未被擦除 (SR[0] = 0)，则必须再次擦除该扇区，以确保该扇区中数据的可靠存储。

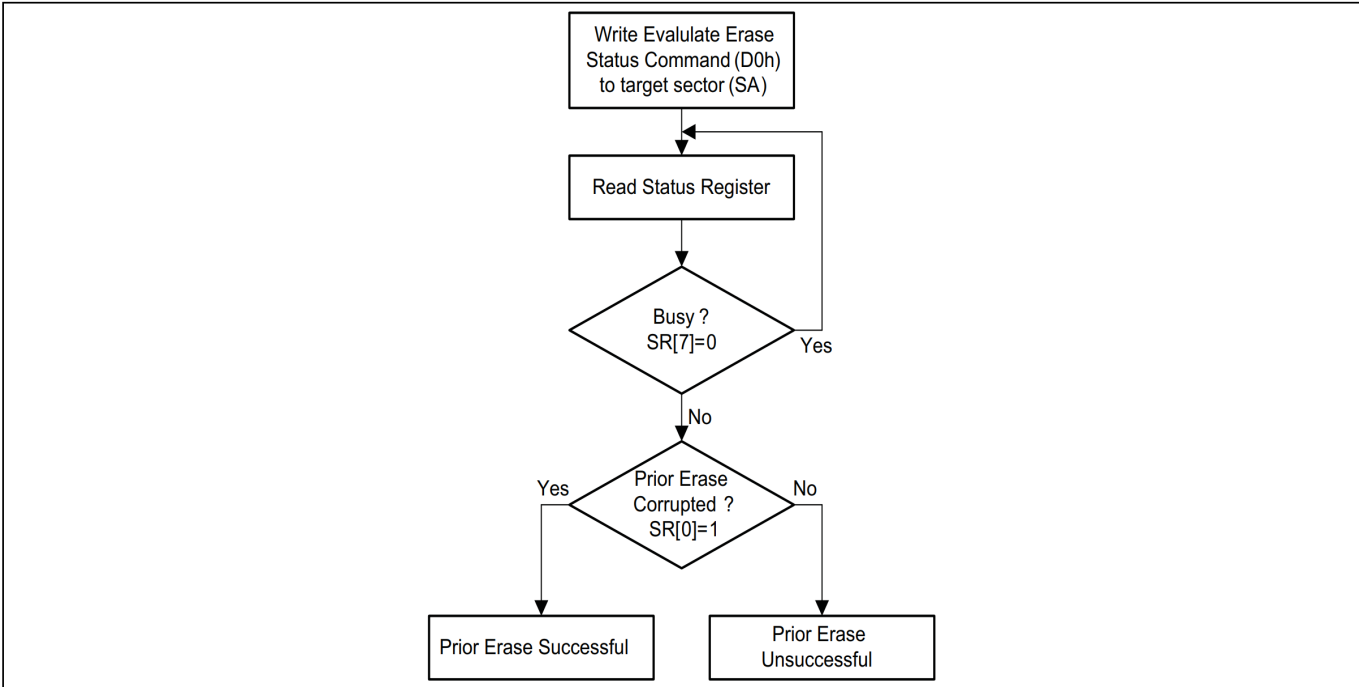


图 16 评估擦除状态软件时序

6.2.7 擦除方法

6.2.7.1 芯片擦除

芯片擦除功能擦除整个闪存阵列。器件不要求系统在擦除之前进行预编程。嵌入式擦除算法在执行电擦除前，自动编程和验证整个存储器是否为全 0 数据组合。芯片擦除成功后，器件内的所有位置均包含 FFFFh。在这些操作期间，系统不需要提供任何控制或时序。芯片擦除指令时序通过写入两个解锁周期来启动，随后是设置指令。另外两个解锁写周期后面是芯片擦除指令，用于激活嵌入式擦除算法。

当嵌入的算法完成后，EAC 返回到待机状态。请注意，当嵌入式擦除操作正在进行时，系统无法从阵列读取有效数据。系统可以通过读取状态寄存器来判断该操作的状态。有关这些状态位的信息，请参阅第 53 页“[错误类型和清除进程](#)”一旦芯片擦除操作开始，只有状态读取、硬件复位或上电周期有效。所有其他指令都将被忽略。然而，硬件复位或重新上电立即终止擦除操作，并在 t_{RPH} 时间后返回读取模式。如果芯片擦除操作终止，一旦器件返回待机状态，就必须重新启动芯片擦除指令序列，以确保数据完整性。

扇区受 ASP DYB 和 PPB 位保护的扇区不会被擦除。请参阅第 75 页“[软件接口参考](#)”如果在芯片擦除期间某个扇区受到保护，则芯片擦除将跳过受保护的扇区并继续下一个扇区。受保护扇区上擦除失败不会将状态寄存器擦除状态位和扇区锁定位设置为“1”。

6.2.7.2 扇区擦除

扇区擦除功能擦除存储阵列中的一个扇区。器件不要求系统在擦除之前进行预编程。嵌入式擦除算法在执行电擦除前，自动编程和验证整个扇区是否为全 0 数据组合。扇区擦除成功后，被擦除扇区内的所有位置均包含 FFFFh。在这些操作期间，系统不需要提供任何控制或时序。扇区擦除指令时序通过写入两个解锁周期来启动，随后是设置指令。另外两个解锁写周期后面是要擦除的扇区地址以及扇区擦除指令。

系统可以通过读取状态寄存器来判断该操作的状态。请参阅第 53 页“[错误类型和清除进程](#)”了解有关这些状态位的信息。

扇区擦除操作开始后，状态寄存器读取和擦除挂起指令均有效。所有其他指令均被嵌入式算法控制器忽略。不过，硬件复位会立即终止擦除操作，并在经过 t_{RPH} 时间后返回读取模式。如果扇区擦除操作被终止，一旦器件执行了复位操作，必须重新启动扇区擦除指令序列，以确保数据完整性。

参数和时序图可参见 26 页“[嵌入式算法控制器 \(EAC\)](#)”。

扇区受 ASP DYB 和 PPB 位保护的扇区不会被擦除。可参见第 75 页“[软件接口参考](#)”。如果试图对锁定的扇区进行操作，操作将被中止，并且失败将在状态寄存器中指示（参见表 17）。

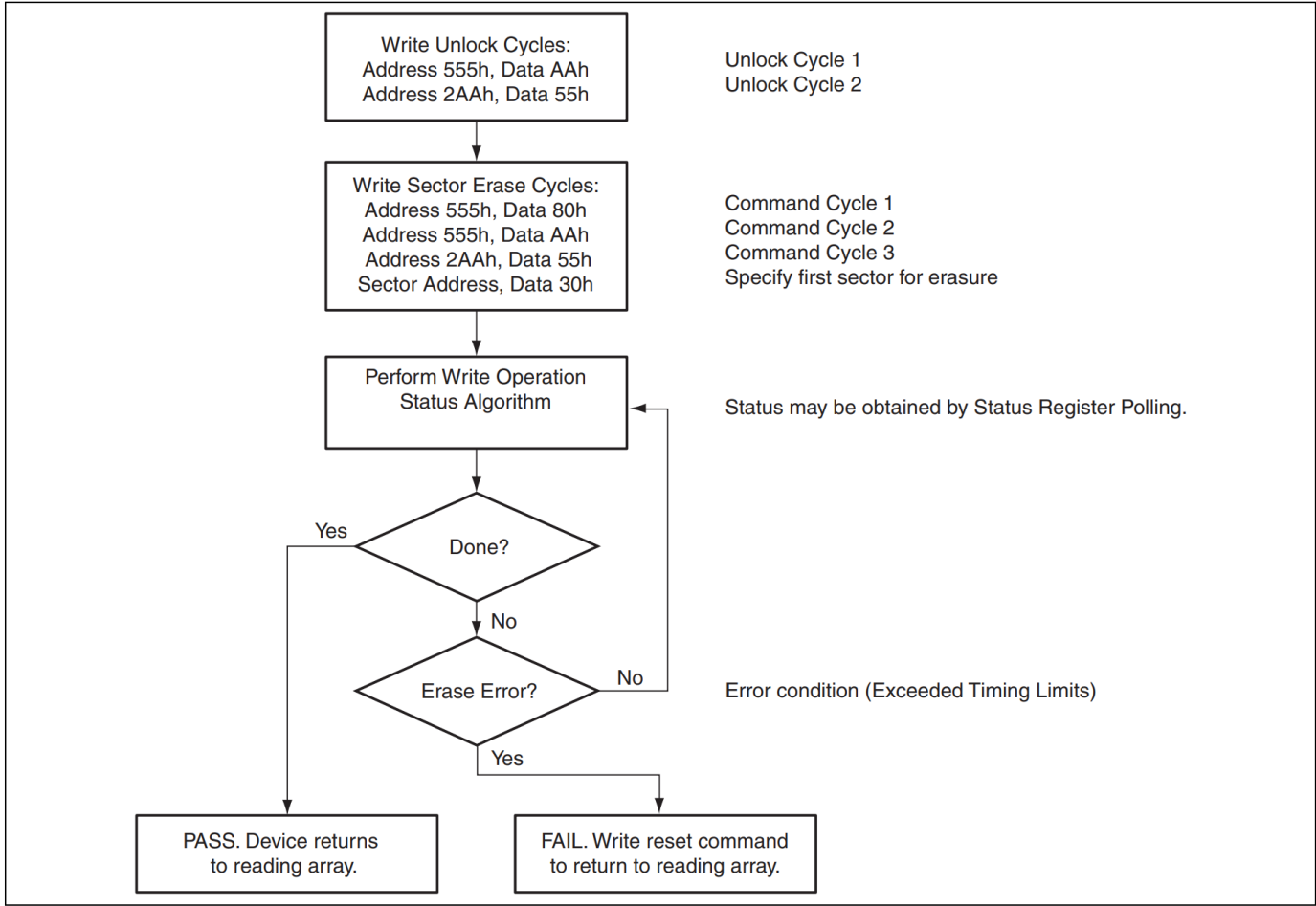


图 17 扇区擦除操作

6.2.8 擦除挂起/擦除恢复

擦除挂起指令允许系统中断扇区擦除操作，然后从闪存阵列读取数据或向其编程数据。此指令仅在扇区擦除或编程操作期间有效。如果在芯片擦除操作期间写入擦除挂起指令，该指令将被忽略。

如果在扇区擦除操作期间写入擦除挂起指令，器件需要最多 t_{ESL} （擦除挂起等待时间）时间来挂起擦除操作并更新状态位。

擦除操作挂起后，器件进入擦除挂起模式。系统可以从闪存阵列读取数据或对齐编程数据。在擦除挂起扇区内的任何地址读取都会产生不确定的数据。系统可以通过读取状态寄存器来判断扇区是否处于活跃擦除或擦除挂起状态。有关这些状态位的信息，请参阅第 53 页上的“[错误类型和清除进程](#)”。

擦除挂起的编程操作完成后，EAC 返回擦除挂起状态。系统可以通过读取状态寄存器来确定编程操作的状态，就像在执行标准编程操作一样。

如果在擦除挂起期间编程操作失败，状态寄存器清除或软件复位指令会使器件返回擦除挂起状态。在再次对存储器阵列编程之前，需要恢复并完成擦除操作。

在擦除挂起期间有效的存取和指令包括：

- 读取任何其他非挂起的扇区
- 编程任何其他非挂起的扇区
- 状态读取指令
- 退出ASO或指令集退出
- 擦除恢复指令
- SSR 写入
- SSR 读取
- SSR 编程

为恢复扇区擦除操作，系统必须写入擦除恢复指令。器件将返回擦除状态，状态位将更新。进一步写入的恢复指令被忽略。在芯片恢复擦除后，方可写入另一个擦除挂起指令。

请注意当器件处于擦除挂起状态时，无法进入DYB ASO。

6.2.9 易失性和非易失性寄存器概要

6.2.9.1 非易失性配置寄存器

表 14 非易失性配置寄存器

Symbol	Name	Width (bits)	NV type	Default value	Reference
NVCR	Non-volatile Configuration Register	16	P/E	8EBBh	“Non-volatile Configuration Register and Volatile Configuration Register” on page 42
PASS	Password Protection Register	64	OTP	FFFF FFFF FFFF FFFFh	“Password Protection mode” on page 64
PPB	Persistent Protection Bits	1-bit per sector	P/E	1	“Persistent Protection Bits (PPB)” on page 61
ASPR	ASP Configuration Register	16	OTP	FEFFh	“ASP Configuration Register” on page 63
PORTime	Power-On Reset Time	16	OTP	FFFFh	“Power-on reset (POR)(cold)” on page 89

6.2.9.2 易失性配置寄存器

表 15 易失性配置寄存器

Symbol	Name	Width (bits)	Default Value	Reference
VCR	Volatile Configuration Register 0	16	NVCR	“Non-volatile Configuration Register and Volatile Configuration Register” on page 42
DYB	Dynamic Protection Bits	1-bit per sector	1	“Dynamic Protection Bits (DYB)” on page 61
PPBL	PPB Lock Bit	1	ASPR[2]	“PPB Lock” on page 61
ICR	Interrupt Configuration Register	16	FFFFh	“INT# Output” on page 67
CRCS	CRC Start Address Register	26 (1 Gb)	3FFFFFFh	“CRC check-value calculation” on page 8
CRCE	CRC End Address Register	26 (1 Gb)	3FFFFFFh	“CRC check-value calculation” on page 8

6.2.10 易失性结果和状态寄存器

表 16 易失性结果和状态寄存器

Name	Width (bits)	Default value	Reference
Sector Lock Status	3-bit per sector	NA	See Note 79 for Table 41
Status Register	16	xx80h	Table 17
Interrupt Status Register	16	FFBh	Table 34
ECC Status Register	16	NA	–
Error Lower Address Trap Register	16	NA	Table 41
Error Upper Address Trap Register	16	NA	Table 41
Read Check-Value Low Result Register	16	NA	“CRC Value Register” on page 49
Read Check-Value High Result Register	16	NA	“CRC Value Register” on page 49

6.2.11 状态和配置寄存器定义

6.2.11.1 状态寄存器模式

EA 的状态由单个 16 位状态寄存器提供。写入状态寄存器读取指令后，将对状态寄存器的内容进行一次读取。状态寄存器的内容在器件地址空间的所有位置都被别名（覆盖）。覆盖对于一次读取访问有效，特别是状态寄存器读取命令之后的下一次读取访问。一次状态寄存器访问后，退出状态寄存器 ASO。

状态寄存器包含与最近完成的 EA 的结果（成功或失败）相关的位：

- 擦除状态（位5），
- 编程状态（位4），
- 写入缓存区中止（位3），
- 扇区锁定状态（位1），
- 扇区擦除状态位（位0）。

以及，与正在执行的EA的当前状态相关的位：

- 器件繁忙（位7），
- 擦除挂起（位6），
- 编程挂起（位2），
- CRC计算暂停（第8位）

当前状态位表明EA状态：正在进行、挂起或已完成。

高 7 位（位15:9）保留。它们的值（高或低）不确定，可能从一次状态读取到另一次状态读取之间发生变化。软件读取状态时，这些位应忽略，而不用考虑。

清除状态寄存器指令和软件复位指令会将状态寄存器的结果相关位（位 5、4、3、1 和 0）清除为“0”，但不会影响当前状态位。

表 17 状态寄存器

Bit number	Bit description	Bit name	Reset status	Busy status	Ready status
[15:9]	Reserved	–	X	Invalid	X
[8]	CRC Suspend Status Bit	CRCSSB	0	Invalid	0 = No CRC in Suspension 1 = CRC in Suspension
[7]	Device Ready Bit	DRB	1	0	1
[6]	Erase Suspend Status Bit	ESSB	0	Invalid	0 = No Erase in Suspension 1 = Erase in Suspension
[5]	Erase Status Bit	ESB	0	Invalid	0 = Erase Successful 1 = Erase Fail
[4]	Program Status Bit	PSB	0	Invalid	0 = Program Successful 1 = Program Fail
[3]	Write Buffer Abort Status Bit	WBASB	0	Invalid	0 = Program Not Aborted 1 = Program Aborted during Write to Buffer Command
[2]	Program Suspend Status Bit	PSSB	0	Invalid	0 = No Program in Suspension 1 = Program in Suspension
[1]	Sector Lock Status Bit	SLSB	0	Invalid	0 = Sector Not Locked during Operation 1 = Sector Locked Error
[0]	Sector Erase Status Bit	ESTAT	0	Invalid	0 = Sector Erase Status Command Result = previous erase did not complete successfully 1 = Sector Erase Status Command Result = previous erase completed successfully

注

34. 位 15 到 9 保留给将来使用，它们可能显示为“0”或“1”。检查状态时，应该忽略（屏蔽）这些位。
35. 当器件中没有正在进行的EA时，位 7 为“1”。
36. 仅当位 7 为“1”时，位 8 和位 6 至 0 才有效。
37. 冷复位或热复位可将所有位置于它们的复位状态。
38. 通过清除状态寄存器指令或软件复位指令可将位 5、4、3、1 和 0 清除为“0”。
39. 发出擦除挂起指令时，用户必须继续读取状态，直至DRB变为“1”。
40. 通过“恢复擦除”指令可将 ESSB 清除为“0”。
41. ESB反映最近擦除操作成功或失败。
42. PSB反映最近编程操作成功或失败。
43. 在擦除挂起期间，对挂起扇区进行编程，会导致编程失败，且置位编程状态位为“1”。
44. 擦除挂起期间，擦除操作会导致擦除失败，并将擦除状态位设置为“1”。
45. 编程挂起期间，编程操作会导致编程失败，并将编程状态位设置为“1”。
46. 编程挂起时，擦除操作会导致擦除失败，置位擦除状态位为“1”。
47. 发出编程挂起指令时，用户必须继续读取状态，直到DRB变为“1”为止。
48. 通过“恢复编程”指令可将 PSSB 清除为“0”。
49. SLSB显示编程或擦除操作因目标存储扇区锁定而失败。
50. SLSB反映最近编程或擦除操作的状态。
51. CRCSSB – 在暂停的 CRC 计算期间，仅允许从阵列读取操作。

6.2.12 非易失性配置寄存器和易失性配置寄存器

非易失配置寄存器 (NVCR) 和易失性配置寄存器 (VCR) 用于定义 HYPERFLASH™ 总线的操作条件。可配置的特性包括：

1. 回卷突发长度（16 字节、32 字节或 64 字节打包突发）。
 - a. 16 字节和 32 字节的回卷突发以传统方式运行，64 字节的回卷突发行如表 22 所示。
2. 读取延时（5 至 16 个时钟，以考虑初始读取延时）。
3. 输出驱动器驱动强度。
4. 是否使用 4 KB 参数扇区以及如何将它们映射到地址映射中。
5. SSR 冻结位以锁定安全的存储区域。
6. xVCR 冻结位用于锁定易失性配置寄存器和非易失性配置寄存器。

VCR 和 NVCR 的内容可以按照表 41 的描述进行加载和回读。HYPERFLASH™ 器件使用 NVCR 的内容来定义上电时或硬件复位后的总线特性。如果主机加载 VCR，则总线特性将由 VCR 的内容定义（图 18）。NVCR 旨在保持默认设置，以便在启动操作期间与主机控制器设置保持一致。在启动过程中，VCR 通常会使用优化设置进行更新。一旦 VCR 加载完成，总线特性的来源将从 NVCR（上电或硬复位后）转移到 VCR。一旦 VCR 加载完成，只有上电或硬复位才能将总线特性恢复到 NVCR 设置。解锁后，器件可以在空闲期间随时更改 VCR。

NVCR 可擦除和重新编程的次数由 NVCR 规格规定。为了确保在 NVCR 编程期间和之后的总线配置一致，应在编程 NVCR 时使用 VCR 来定义总线操作特性。

表 18 VCR 和 NVCR 配置寄存器位分配

xVCR Bit	Function	Settings (Binary)
xVCR[15]	Reserved	1 = Reserved (default)
xVCR[14:12]	Drive strength	See Table 19
xVCR[11]	xVCR freeze	0 = VCR or NVCR locked (No programming or erasing of NVCR, no changes to VCR) 1 = VCR and NVCR unlocked (Factory default)
xVCR[10]	SSR freeze	0 = Secure silicon region locked (Programming not allowed) 1 = Secure silicon region unlocked (Factory default)
xVCR[9:8]	Parameter-sector mapping	00 = Parameter-sectors and read password sectors mapped into lowest addresses 01 = Parameter-sectors and read password sectors mapped into highest addresses 10 = Uniform sectors with read password sector mapped into lowest addresses. (factory default) 11 = Uniform sectors with read password sector mapped into highest addresses
xVCR[7:4]	Read latency	0000 = 5 clock latency 0001 = 6 clock latency 0010 = 7 clock latency 0011 = 8 clock latency 0100 = 9 clock latency ... 1011 = 16 clock latency (factory default) See Table 4
xVCR[3]	Reserved	1 = Reserved (default)
xVCR[2]	RWDS stall control	0 = RWDS will stall (remain LOW) upon dual error detect (default) 1 = RWDS will not be stalled upon dual error detect
xVCR[1:0]	Burst length	00 = Reserved 01 = 64 bytes 10 = 16 bytes 11 = 32 bytes (factory default)

注

52. 在非易失和易失性配置寄存器中，配置寄存器位的放置是相同的。

表 19 驱动强度编码

xVCR[14:12]	Typical impedance 1.8 V VccQ	Typical impedance 3 V VccQ	Unit
000 (default)	27	20	Ω
001	117	71	
010	68	40	
011	45	27	
100	34	20	
101	27	16	
110	24	14	
111	20	12	

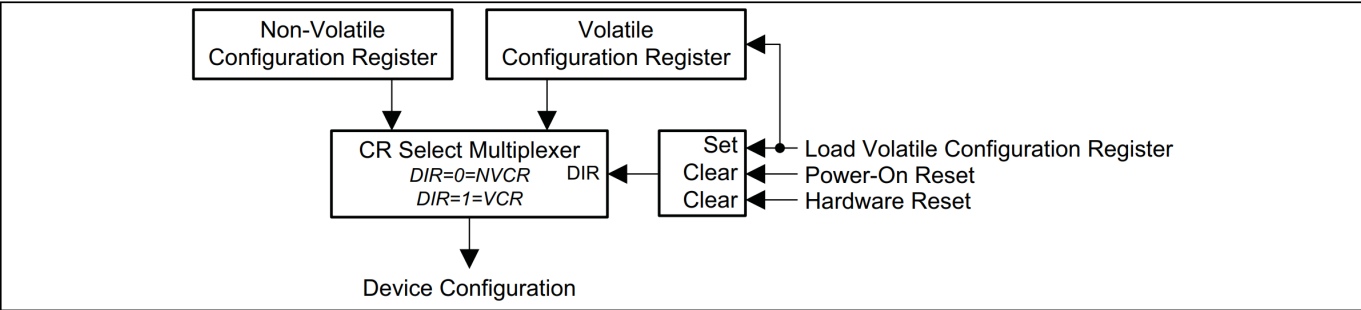


图 18 配置控制^[54, 55, 56]

表 20 上电或硬件复位后 VCR 和 NVCR 立即冻结位

NVCR[11] bit	VCR[11] bit	NVCR	VCR
1	1	Programmable / erasable	Settable / clearable
1	0	Temporarily locked	Temporarily locked
0	1	Programmable / erasable	Settable / clearable ^[57, 59]
0	0	Permanently locked	Permanently locked ^[60]

- 注
- 53. 在标称 V_{CCQ} 、25°C 下测量的典型阻抗。
 - 54. 软件复位不会改变 CR 选择多路复用器的状态。
 - 55. 对 NVCR 进行编程或擦除不会影响先前加载的 VCR 内容。
 - 56. 如果 VCR 尚未加载，则对 NVCR 进行编程将导致 VCR 加载新的 NVCR 值。
 - 57. 对 NVCR 进行编程/擦除不会影响行为，直到下一次 POR 或硬件复位之后。
 - 58. 加载 VCR 将立即影响行为。
 - 59. 此状态在 $NVCR[11] = VCR[11] = 1$ 且 $NVCR[11]$ 位被编程后发生。该状态仅存在到下一次 POR 或硬件复位。此后， $NVCR[11] = VCR[11] = 0$ 。
 - 60. 当 $NVCR[11]$ 先前被编程时，此状态会在 POR 或硬件复位后发生。

表 21 突发回卷时序示例

VCR / NVCR [1:0]	CA[45]	Wrap boundary (bytes)	Start address (hex)	Address sequence (hex) (words)
XX	1	Linear	XXXXXX03	03, 04, 05, 06, 07, 08, 09, 0A, 0B, 0C, 0D, 0E, 0F, 10, 11, 12, 13, 14, 15, 16, 17, 18, ...
10	0	16	XXXXXX02	02, 03, 04, 05, 06, 07, 00, 01, ...
10	0	16	XXXXXX0C	0C, 0D, 0E, 0F, 08, 09, 0A, 0B, ...
11	0	32	XXXXXX0A	0A, 0B, 0C, 0D, 0E, 0F, 00, 01, 02, 03, 04, 05, 06, 07, 08, 09, ...
11	0	32	XXXXXX1E	1E, 1F, 10, 11, 12, 13, 14, 15, 16, 17, 18, 19, 1A, 1B, 1C, 1D, ...
01	0	64	XXXXXX03	03, 04, 05, 06, 07, 08, 09, 0A, 0B, 0C, 0D, 0E, 0F, 10, 11, 12, 13, 14, 15, 16, 17, 18, 19, 1A, 1B, 1C, 1D, 1E, 1F, 00, 01, 02, ...
01	0	64	XXXXXX2E	2E, 2F, 30, 31, 32, 33, 34, 35, 36, 37, 38, 39, 3A, 3B, 3C, 3D, 3E, 3F, 20, 21, 22, 23, 24, 25, 26, 27, 28, 29, 2A, 2B, 2C, 2D, , ...



表 22 64 字节回卷突发地址时序 (延时代码 = 16)

Clock cycle	56	-	-	-	-	-	-	6	-	-	-	-	-	-	-	14	-	-	-	-	-	-	22	-	-	-	-	-	-	30	-	Latency Count		
	55	-	-	-	-	-	5	5	-	-	-	-	-	-	13	13	-	-	-	-	-	21	21	-	-	-	-	-	-	29	29		-	
	54	-	-	-	-	-	4	4	4	-	-	-	-	-	12	12	12	-	-	-	-	20	20	20	-	-	-	-	28	28	28		-	
	53	-	-	-	-	3	3	3	3	-	-	-	-	11	11	11	11	-	-	-	-	19	19	19	19	-	-	-	27	27	27		-	
	52	-	-	-	2	2	2	2	2	-	-	-	10	10	10	10	10	-	-	-	18	18	18	18	18	-	-	-	26	26	26		26	-
	51	-	-	1	1	1	1	1	1	-	-	9	9	9	9	9	9	-	-	17	17	17	17	17	17	-	-	25	25	25	25		25	-
	50	-	0	0	0	0	0	0	0	-	8	8	8	8	8	8	8	-	16	16	16	16	16	16	16	-	24	24	24	24	24		-	
	49	31	31	31	31	31	31	31	31	7	7	7	7	7	7	7	15	15	15	15	15	15	15	15	15	23	23	23	23	23	23		-	
	48	30	30	30	30	30	30	30	30	6	6	6	6	6	6	6	14	14	14	14	14	14	14	14	14	22	22	22	22	22	22		22	-
	47	29	29	29	29	29	29	29	29	5	5	5	5	5	5	5	13	13	13	13	13	13	13	13	13	21	21	21	21	21	21		-	
	46	28	28	28	28	28	28	28	28	4	4	4	4	4	4	4	12	12	12	12	12	12	12	12	12	20	20	20	20	20	20		-	
	45	27	27	27	27	27	27	27	27	3	3	3	3	3	3	3	11	11	11	11	11	11	11	11	11	19	19	19	19	19	19		-	
	44	26	26	26	26	26	26	26	26	2	2	2	2	2	2	2	10	10	10	10	10	10	10	10	10	18	18	18	18	18	18		-	
	43	25	25	25	25	25	25	25	25	1	1	1	1	1	1	1	9	9	9	9	9	9	9	9	9	17	17	17	17	17	17		-	
	42	24	24	24	24	24	24	24	24	0	0	0	0	0	0	0	8	8	8	8	8	8	8	8	8	16	16	16	16	16	16		-	
	41	23	23	23	23	23	23	23	31	31	31	31	31	31	31	31	7	7	7	7	7	7	7	7	7	15	15	15	15	15	15		-	
	40	22	22	22	22	22	22	22	30	30	30	30	30	30	30	30	6	6	6	6	6	6	6	6	6	14	14	14	14	14	14		-	
	39	21	21	21	21	21	21	21	29	29	29	29	29	29	29	29	5	5	5	5	5	5	5	5	5	13	13	13	13	13	13		-	
	38	20	20	20	20	20	20	20	28	28	28	28	28	28	28	28	4	4	4	4	4	4	4	4	4	12	12	12	12	12	12		-	
	37	19	19	19	19	19	19	19	27	27	27	27	27	27	27	27	3	3	3	3	3	3	3	3	3	11	11	11	11	11	11		-	
	36	18	18	18	18	18	18	18	26	26	26	26	26	26	26	26	2	2	2	2	2	2	2	2	2	10	10	10	10	10	10		-	
	35	17	17	17	17	17	17	17	25	25	25	25	25	25	25	25	1	1	1	1	1	1	1	1	1	9	9	9	9	9	9		-	
	34	16	16	16	16	16	16	16	24	24	24	24	24	24	24	24	0	0	0	0	0	0	0	0	0	8	8	8	8	8	8		-	
	33	15	X	X	X	X	X	X	X	23	X	X	X	X	X	X	31	X	X	X	X	X	X	X	7	X	X	X	X	X	X		-	
	32	14	15	X	X	X	X	X	X	22	23	X	X	X	X	X	30	31	X	X	X	X	X	X	6	7	X	X	X	X	X		-	
	31	13	14	15	X	X	X	X	X	21	22	23	X	X	X	X	29	30	31	X	X	X	X	X	5	6	7	X	X	X	X		-	
	30	12	13	14	15	X	X	X	X	20	21	22	23	X	X	X	28	29	30	31	X	X	X	X	4	5	6	7	X	X	X		-	
	29	11	12	13	14	15	X	X	X	19	20	21	22	23	X	X	X	27	28	29	30	31	X	X	X	3	4	5	6	7	X		-	
	28	10	11	12	13	14	15	X	X	18	19	20	21	22	23	X	X	26	27	28	29	30	31	X	X	2	3	4	5	6	7		-	
	27	9	10	11	12	13	14	15	X	17	18	19	20	21	22	23	X	25	26	27	28	29	30	31	X	1	2	3	4	5	6		-	
	26	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	23	24	25	26	27	28	29	30	31	0	1	2	3	4	5		-	
	25	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	23	24	25	26	27	28	29	30	31	0	1	2	3	4		5	-
	24	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	23	24	25	26	27	28	29	30	31	0	1	2	3		4	-
23	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	23	24	25	26	27	28	29	30	31	0	1	2	3	-		
22	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	23	24	25	26	27	28	29	30	31	0	1	2	-		
21	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	23	24	25	26	27	28	29	30	31	0	1	-		
20	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	23	24	25	26	27	28	29	30	31	0	-		
19	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	23	24	25	26	27	28	29	30	31	-		
18	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	23	24	25	26	27	28	29	30	-		
17																																16		
...	Bus turnaround +																															...		
3	Initial latency																															2		
2	CA2																															1		
Clock Cycle	1	CA1																															-	Latency Count
	0	CA0																															-	
Target Address	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	23	17	18	19	20	21	22	23	24	25	26	27	28	28	30	31		

图标:

‘X’: 标记 RWDS 未切换时总线上的空闲时间。

‘-’: 表示 64 字节回卷突发已完成。

Clock cycle	52	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-			
	51	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-			
	50	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-			
	49	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	-			
	48	-	-	-	-	-	-	6	-	-	-	-	-	-	14	-	-	-	-	-	-	-	22	-	-	-	-	-	-	30	-		
	47	-	-	-	-	-	5	5	-	-	-	-	-	13	13	-	-	-	-	-	-	21	21	-	-	-	-	-	-	29	29	-	
	46	-	-	-	-	-	4	4	4	-	-	-	-	12	12	12	-	-	-	-	-	20	20	20	-	-	-	-	-	28	28	28	-
	45	31	0	1	2	3	3	3	3	7	8	9	10	11	11	11	11	15	16	17	18	19	19	19	19	23	24	25	26	27	27	27	-
	44	30	31	0	1	2	2	2	2	6	7	8	9	10	10	10	10	14	15	16	17	18	18	18	18	22	23	24	25	26	26	26	-
	43	29	30	31	0	1	1	1	1	5	6	7	8	9	9	9	9	13	14	15	16	17	17	17	17	21	22	23	24	25	25	25	-
	42	28	29	30	31	0	0	0	0	4	5	6	7	8	8	8	8	12	13	14	15	16	16	16	16	20	21	22	23	24	24	24	-
	41	27	28	29	30	31	31	31	31	3	4	5	6	7	7	7	7	11	12	13	14	15	15	15	15	19	20	21	22	23	23	23	-
	40	26	27	28	29	30	30	30	30	2	3	4	5	6	6	6	6	10	11	12	13	14	14	14	14	18	19	20	21	22	22	22	-
	39	25	26	27	28	29	29	29	29	1	2	3	4	5	5	5	5	9	10	11	12	13	13	13	13	17	18	19	20	21	21	21	-
	38	24	25	26	27	28	28	28	28	0	1	2	3	4	4	4	4	8	9	10	11	12	12	12	12	16	17	18	19	20	20	20	-
	37	23	24	25	26	27	27	27	27	31	0	1	2	3	3	3	3	7	8	9	10	11	11	11	11	15	16	17	18	19	19	19	-
	36	22	23	24	25	26	26	26	26	30	31	0	1	2	2	2	2	6	7	8	9	10	10	10	10	14	15	16	17	18	18	18	-
	35	21	22	23	24	25	25	25	25	29	30	31	0	1	1	1	1	5	6	7	8	9	9	9	9	13	14	15	16	17	17	17	-
	34	20	21	22	23	24	24	24	24	28	29	30	31	0	0	0	0	4	5	6	7	8	8	8	8	12	13	14	15	16	16	16	-
	33	19	20	21	22	23	23	23	23	27	28	29	30	31	31	31	31	3	4	5	6	7	7	7	7	11	12	13	14	15	15	15	-
	32	18	19																														



表 23 64字节回卷突发地址时序（延时编码 = 12） (续)

Target address	15	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	23	24	25	26	27	28	29	30	31	0	-	
	14	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	16	17	18	19	20	21	22	23	24	25	26	27	28	29	30	31	-	
	13	Bus turnaround																															12		
	...	+ Initial latency																															...		
	3																																2		
	2	CA2																															1		
	1	CA1																															-		
	0	CA0																															-		
Target address	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15	23	17	18	19	20	21	22	23	24	25	26	27	28	28	30	31			

图标：
‘X’: 标记总线上 RWDS 未切换的空闲时间。
‘-’: 表示 64 字节回卷突发已完成。

6.2.12.1 CRC值寄存器

易失性 CRC 寄存器 (CRCR) 存储 CRC 过程的结果，该过程计算起始地址到结束地址中包含的数据的校验值。

表 24 CRC值寄存器位置分配

Bit position	CRC Value Low Result Register	CRC Value High Result Register
[15]	R15	R31
[14]	R14	R30
[13]	R13	R29
[12]	R12	R28
[11]	R11	R27
[10]	R10	R26
[9]	R9	R25
[8]	R8	R24
[7]	R7	R23
[6]	R6	R22
[5]	R5	R21
[4]	R4	R20
[3]	R3	R19
[2]	R2	R18
[1]	R1	R17
[0]	R0	R16

注

61. CRC值是一个易失性寄存器。

6.2.13 进入和退出 ASO

6.2.13.1 ID-CFI ASO

系统可以通过在读取模式期间发出 ID-CFI 进入指令时序来访问 ID-CFI ASO。本写入指令使用指令中的扇区地址 (SA) 来确定将覆盖哪个扇区。请参阅表 41、表 12、第25页的"器件ID"和第25页的"通用闪存接口"中的详细说明。

ID-CFI ASO允许实现下列操作：

- 使用与进入指令中所用SA相同的SA读取ID-CFI ASO。
- ASO退出。

以下是使用 CFI 进入和退出功能的 C 源代码示例。请参阅 *低电平驱动用户指南*，了解有关英飞凌闪存软件开发指南的通用信息。

```
/* Example: CFI Entry command */
*( (UINT16 *)base_addr + 0x555 ) = 0x0098; /* write CFI entry command */

/* Example: CFI Exit command */
*( (UINT16 *)base_addr + 0x000 ) = 0x00F0; /* write cfi exit command */
```

6.2.13.2 状态寄存器ASO

当发出状态寄存器读取命令时，当前状态为寄存器捕获，并进入 ASO。状态寄存器 ASO 中的第一次读取访问使系统退出 ASO，并将其返回到发出状态寄存器读取指令时所使用的地址空间映射。在读取状态以退出状态寄存器 ASO 之前，不应发送其他指令。状态寄存器的内容仅作为突发读取的第一个数据值输出，不确定的数据将在后续时钟周期内输出。

6.2.13.3 安全存储区域ASO

系统可以通过在读取模式期间发出安全存储域进入命令序列来访问安全存储区域。此进入指令使用指令中的 SA 来确定哪个扇区将被覆盖。

安全存储区域ASO允许实现下列操作：

- 阅读安全存储区域，使用进入指令来使用的相同的 SA。在覆盖的 SA 内但在 SSR 之外的读取将返回不确定的数据。
- 读取安全存储区域之外的 SA 将检索阵列数据。从阵列读取不会导致退出 SSR ASO。
- 通过使用字或写入缓存区编程指令可以对客户安全存储区域进行编程。
- ASO退出使用传统安全存储区域退出指令实现软件向后兼容。
- 使用所有 ASO 的通用退出命令退出 ASO, 作为一致退出方法的替代方案。

6.2.13.4 ASP 配置寄存器(ASPR) ASO

系统可以通过在读取模式期间发出 ASP 配置寄存器进入指令来访问 ASP 配置寄存器。此进入指令不会使用进入指令中的扇区地址。ASP 配置寄存器出现在器件地址空间中的字位置 0。器件地址空间中的所有其他位置均为未定义。

ASP 配置寄存器 ASO 允许以下活动：

- 使用器件地址位置 0 读取 ASP 配置寄存器
- 使用修订版的字编程指令对用户 ASP 配置寄存器编程。
- ASO退出使用传统指令集退出指令实现软件向后兼容。
- 使用所有 ASO 的通用退出命令退出 ASO，作为一致退出方法的替代方案。

6.2.13.5 密码ASO

系统可以通过在读取模式期间发出密码进入指令序列来存取密码ASO。此进入指令不会使用进入指令中的扇区地址。密码的位置是在器件地址空间中字位置 0 到 3。器件地址空间中的所有其他位置均为未定义。

密码ASO允许下列操作：

- 读取密码，使用器件地址位置 0 到 3
- 使用修改版的字编程指令对密码进行编程。
- 使用密码解锁指令解锁PPB锁定位。
- ASO退出使用传统指令集退出指令实现软件向后兼容。
- 使用所有 ASO 的通用退出命令退出 ASO, 作为一致退出方法的替代方案。

6.2.13.6 PPB ASO

系统可以通过在读取模式期间发出 PPB 进入指令序列来存取 PPB ASO。此进入指令不会使用进入指令中的扇区地址。扇区的 PPB 位出现在扇区中所有字位置的位 0。

PPB ASO 允许下列操作：

- 在扇区中任意字的位 0 读取扇区的 PPB 保护状态。
- 使用修改版的字编程指令对 PPB 位进行编程。
- 使用PPB擦除指令擦除所有 PPB 位。
- ASO退出使用传统指令集退出指令实现软件向后兼容。
- 使用所有 ASO 的通用退出命令退出 ASO，作为一致退出方法的替代方案。

6.2.13.7 PPB锁定ASO

系统可以通过在读取模式期间发出 PPB 锁定进入指令序列来存取 PPB 锁定 ASO。此进入指令不会使用进入指令中的扇区地址。全局PPB锁定位出现在器件中所有字位置的位 0。

PPB锁定ASO允许下列操作：

- 在器件地址空间中任意字的位0读取PPB锁定保护状态。
- 使用修改的字编程指令设置PPB锁定位。
- ASO退出使用传统指令集退出指令实现软件向后兼容。
- 使用所有 ASO 的通用退出命令退出 ASO，作为一致退出方法的替代方案。

6.2.13.8 动态保护位 (DYB) ASO

系统可以通过在读取模式期间发出 DYB 进入指令序列来存取 DYB ASO。此进入指令不会使用进入指令中的扇区地址。扇区的 DYB 位出现在扇区中所有字位置的位0。

DYB ASO 允许下列操作：

- 在扇区中任意字的位 0 读取扇区的DYB保护状态。
- 使用修改版的字编程指令设置DYB位。
- 使用修改版的字编程指令清除DYB位。
- ASO退出使用传统指令集退出指令实现软件向后兼容。
- 使用所有 ASO 的通用退出命令退出 ASO, 作为一致退出方法的替代方案。

6.2.13.9 ECC 状态 ASO

ECC 状态 ASO 在读取闪存阵列的半页时显示任何错误纠正操作的状态。半页内任意字位置显示一个状态单字。

系统可以通过在读取模式期间发出 ECC 状态进入命令时序来访问 ECC 状态 ASO。此进入指令不会使用进入指令中的扇区地址。半页的 ECC 状态位出现在所寻址半页中所有字位置的位 4、3、2、1 和 0 中。

ECC状态ASO支持下活动：

- 读取寻址半页的 ECC 状态寄存器值
- 读取错误检测高位和低位地址存储寄存器
- 读取ECC错误计数器寄存器
- ASO退出。

6.2.13.10 CRC ASO

进入 CRC ASO 可以启用 CRC 相关指令并读取 CRC 计算结果校验值。当 CRC 计算未挂起时，CRC ASO 会覆盖整个闪存阵列。当 CRC 计算挂起时，闪存阵列可见以供读取。进入 CRC ASO 时，仅支持读取存储器阵列，且 CRC 计算挂起。CRC ASO允许下列操作：

- 加载CRC起始位置
- 加载 CRC 结束位置
- CRC 计算挂起
- 闪存阵列挂起时读取
- CRC 计算恢复
- 读取校验值结果
- 退出 CRC ASO

6.2.13.11 软件（指令）复位/ASO退出

软件复位是指令集的一部分（参见表 41），也可使EAC返回待机状态，在下列情况下必须使用：

- 退出 ID/CFI 模式
- 发生超时清除数据轮询的超时位（DQ5）

软件复位不影响 EA 模式。编程或擦除已经开始后，在操作完成前，软件复位指令将一直被忽略。软件复位不影响输出；其主要作用是从 ASO 模式或者从失败的编程或擦除操作返回读取模式。

软件复位可能会导致从未定义状态返回读取模式，而这些状态可能是由无效指令时序导致的。然而，可能需要硬件复位才能从某些未定义的状态返回到正常操作。没有软件复位延时要求。复位指令在 t_{WPH} 期间执行。

6.2.14 错误类型和清除进程

嵌入式操作状态方法报告的错误类型有三种。根据错误类型，报告的状态和清除错误状态的步骤会有所不同。下面是错误清除后的状态：

- 如果在错误发生之前器件进入了ASO，它保持进入该状态，等待ASO读取或命令写入。
- 如果在错误发生之前一个擦除操作被挂起，器件会返回擦除挂起状态，等待闪存阵列读取或命令写入。
- 否则，器件将处于待机状态，等待闪存阵列读取或命令写入。

6.2.14.1 嵌入式操作错误（和无效密码）

如果在嵌入式操作（编程、擦除、空白检查或密码解锁）期间发生错误，嵌入式算法控制器将保持工作状态。状态寄存器显示准备就绪（SR[7] = 1），有效状态位指示错误原因。嵌入式算法控制器保持工作状态，直到主机系统状态监控检测到错误状态并且错误状态被清除为止。

在嵌入式算法错误状态期间，状态寄存器显示如下：

- SR[7] = 1；显示有效状态
- SR[6] = X；在EA错误期间可能是或不是擦除挂起
- SR[5] = 1；指明擦除或空白检查错误；其他情况 = 0
- SR[4] = 1；指编程出错或密码无效；其他情况 = 0
- SR[3] = X；无需关注（屏蔽）
- SR[2] = 0；没有编程挂起
- SR[1] = 0
- SR[0] = X；无需关注（屏蔽）

当检测到嵌入式算法错误状态时，必须清除错误状态，以便返回正常操作，为新读取或命令写入做好准备。错误状态可通过写入下列命令来清除：

- 复位命令
- 状态寄存器清除命令

在嵌入式算法错误状态期间可接受的命令包括：

- 状态寄存器读取
- 复位命令

6.2.14.2 保护错误

如果嵌入式算法尝试更改受保护区域内的数据（对受保护扇区或 OTP 区域进行编程或擦除），器件 (EAC) 会进入 20 至 100 μ s 的忙碌状态，然后恢复正常工作。保护机制包括 DYB、PPB 和锁定。在忙碌期间，状态寄存器会显示未就绪状态，并带有无效状态位 (SR[7] = 0)。如果尝试对锁定区域进行编程或擦除操作，则操作将被中止，并在状态寄存器中指示失败（参见表 17）。

在保护错误状态忙碌期间可接受的命令包括：

- **状态寄存器读取**

当忙碌周期结束时，器件返回正常工作状态，并且状态寄存器显示就绪且具有有效状态位。器件已准备好对闪存阵列执行新读取或写入命令。

经过保护错误状态忙碌期间后，状态寄存器显示如下：

- SR[7] = 1；显示有效状态
- SR[6] = X；在保护错误忙碌期间后可能是或不是擦除挂起
- SR[5] = 1；指明擦除错误，其他情况 = 0
- SR[4] = 1；指编程或密码解锁错误；其他情况 = 0
- SR[3] = X；无需关注（屏蔽）
- SR[2] = 0；没有编程挂起
- SR[1] = 1；因尝试更改受保护的位置而发生错误
- SR[0] = X；无需关注（屏蔽）

经过保护错误状态忙碌期间后可接受的命令包括：

- **任何命令**

若编程状态位被置位，进一步编程操作将立即清除 SR[4]。当擦除状态位被置位，进一步擦除操作将立即清零，复位 SR[6]。

6.2.14.3 写入缓存区中止

如果在执行写入到缓存区命令期间发生错误，器件 (EAC) 会保持忙碌状态。状态寄存器显示已准备就绪且具有有效状态位。器件一直忙碌，直到主机系统状态监控检测到错误状态并且错误状态被清除为止。

在嵌入式算法错误状态期间，状态寄存器显示如下：

- SR[7] = 1；显示有效状态
- SR[6] = X；在WBA错误状态期间可能是或不是擦除挂起
- SR[5] = 0；擦除成功
- SR[4] = 1；编程相关错误，其他情况 = 0
- SR[3] = 1；写入缓存区中止
- SR[2] = 0；没有编程挂起
- SR[1] = 0；在操作期间扇区未锁定
- SR[0] = X；无需关注（屏蔽）

当检测到WBA错误状态时，必须清除错误状态，以便返回正常操作，为新读取或命令写入做好准备。错误状态可通过写入下列命令来清除：

- 写入缓存区中止复位命令
 - 清除状态寄存器并返回正常运行
- 状态寄存器清除指令

在嵌入式算法错误状态期间可接受的命令包括：

- 状态寄存器读取
 - 读取状态寄存器并返回WBA忙碌状态
- 写入缓存中止复位命令
- 状态寄存器清除命令

在嵌入式算法期间，与状态寄存器读取无关的读取命令传输将切换 RWDS 并返回不确定的数据。

6.2.14.4 ECC错误

当检测到ECC错误时，有三种方法可以向主机系统报告。

- 有一个 ECC 状态 ASO，它提供在读取 ASO 内的半页位置时采取的任何错误检测或纠正措施的状态。
- 中断（INT#）输出可以启用，以指示在读取半页时检测到一位或两位错误。
- 可以启用一种模式，使读写数据选通 (RWDS) 在读取包含两位错误的半页时停止切换（暂停）。当RWDS在超过 32 个时钟周期内没有转换时，暂停条件可以被 HYPERBUS™ 主机检测为总线错误。

ECC 状态寄存器 (ECCSR)

ECCSR 没有用户可编程的非易失性位，所有定义的位都是易失性只读状态。每个半页 ECC 单元的 ECC 状态由 16 位 ECC 状态寄存器 (ECCSR) 提供。ECC 寄存器读取命令后跟一个 ECC 单元地址写入。状态寄存器的内容则显示对于所选择的 ECC 单元，在 ECC 单元数据是否有错误，ECC 单元数据，或该 ECC 单元的 ECC 是否被禁用。关于 2 位 ECC 检测（ECCSR[4]）和 1 位 ECC 校正（ECCSR[3]）的结果是全局的，不依赖于任何特定的 ECC 单元地址。

表 25 ECC 状态寄存器位分配

Bits	Field name	Function	Type	Default state	Description
[15:5]	RFU	Reserved	Volatile, read only	0	Reserved for Future Use
[4]	2BD	2-bit ECC detection	Volatile, read only	0	1 = 2-bit ECC detection occurred since last ECC Status ASO exit 0 = No 2-bit ECC detection occurred since last ECC Status ASO exit
[3]	CB	1-bit ECC correction	Volatile, read only	0	1 = ECC correction performed since last ECC Status ASO exit 0 = No ECC correction performed since last ECC Status ASO exit
[2]	EECC	Error in ECC	Volatile, read only	0	1 = Single bit error found in the ECC unit error correction code 0 = No error
[1]	EECCD	Error in ECC unit data	Volatile, read only	0	1 = Single bit error correction in ECC unit data 0 = No error
[0]	ECCD1	ECC disabled	Volatile, read only	0	1 = ECC is disabled in selected ECC unit 0 = ECC is enabled in selected ECC unit

ECCSR[0] = 1 表示 ECC 单元中的 ECC 已禁用。

ECCSR[1] = 1 表示 ECC 单元数据中的错误已纠正。

ECCSR[2] = 1 表示 ECC 校验子中的错误已纠正。

ECCSR[2:0]位的默认状态为“0”，表示没有故障并且可以启用ECC。

ECCSR[3] = 1表示自上次ECC状态 ASO 退出以来已执行ECC校正。ECC 状态 ASO 退出会将 ECCSR[3] 值重置为 0 状态。注意，当前ECC状态读取 ECC结果可能会影响 ECCSR[3] 位。

ECCSR[4] = 1表示自上次 ECC 状态寄存器 ASO 退出以来发生了 2 位 ECC 检测。ECC 状态寄存器 ASO 退出会将 ECCSR[4] 值重置为 0 状态。注意，如果发生了 2 位 ECC 事件，则 ECCSR[3:1] 位无效。如果发生了 2 位 ECC 检测，则检测到错误时访问的地址将被捕获在一对寄存器中。注意，当前 ECC 状态读取的 ECC 结果可能会影响 ECCSR[4] 位。

ECCSR[15:5] 位被保留。它们的值（高或低）不确定，可能从一次ECC状态读取到另一次之间发生变化。软件读取状态时，这些位应忽略，而不用考虑。

ECCSR 通过硬件复位或使用软件复位/ASO-Exit 指令退出ECC状态 ASO 时，ECCSR 返回到默认状态（0）。

地址捕获寄存器（ATR）

提供一个寄存器来捕获在读取闪存阵列期间首次遇到 ECC 错误的半页地址。512 Mbit HYPERFLASH™容量期间仅记录遇到两位错误的地址。所有其他 HYPERFLASH™ 期间可以使用 ASPR[13] 配置位来使地址捕获寄存器捕获 1 位和 2 位错误位置。当 ECC 状态寄存器 (ECCSR) 位 3 或 4 = 1 时，地址捕获寄存器具有有效地址。

错误低地址寄存器和错误高地址寄存器包含检测到错误时访问的地址。故障位可能并不位于寄存器中指示的确切地址处，而是位于检测到错误所在的对齐 16 字节半页内。如果在单个读取操作期间在多个半页中发现错误，则第一个失败的半页地址的地址将在错误低/高地址寄存器中捕获。只有捕获在 POR、硬件复位或从 ECC ASO 退出后遇到的第一个启用的错误类型（2 位或在 ASPR[13] 中选择的 1 位或 2 位）的地址。每次 ECC ASO 退出都会清除地址捕获寄存器和 ECCSR[4:3] 位。

当 2 比特位错误检测未启用且同一半页被编程多次时，该半页的 ECC 错误检测被禁用，因此无法识别错误并捕获该地址。

表 26 错误高/低地址捕获寄存器地址分配

Density	Error Lower Address Register	Error Upper Address Register		
	All	128 Mb	256 Mb	512 Mb
[15]	A15	0	0	0
[14]	A14	0	0	0
[13]	A13	0	0	0
[12]	A12	0	0	0
[11]	A11	0	0	0
[10]	A10	0	0	0
[9]	A9	0	0	0
[8]	A8	0	0	A24
[7]	A7	0	A23	A23
[6]	A6	A22	A22	A22
[5]	A5	A21	A21	A21
[4]	A4	A20	A20	A20
[3]	A3	A19	A19	A19
[2]	0	A18	A18	A18
[1]	0	A17	A17	A17
[0]	0	A16	A16	A16

错误检测计数器

512 Mb 密度 HYPERFLASH™ 器件不支持这一特点。在 512 Mbit 密度以外的 HYPERFLASH™ 期间中，提供了一个计数器来跟踪从闪存阵列读取半页时发生的 1 位或 2 位错误的数量。只有在主阵列中识别的错误（无活跃 ASO）才会导致错误检测计数器递增。进入 ECC ASO 时，计数不会递增。

退出 ECC ASO 时，错误检测计数器不会被清除。计数器将在 POR、硬件复位或计数器清除指令时序中设置为“0”。仅当处于 ECC 状态 ASO 时，才能操作计数器读取和计数器清除指令时序。16 位错误检测计数器将不会递增超过 FFFFh。如果自上次 ECC ASO 退出以来错误计数已增加，则 ECC 地址捕获地址保存 ECC ASO 退出后发现的第一个 ECC 错误的有效地址。

请注意在连续读取操作期间，当检测到 2 位错误，RWDS 停止切换（暂停）时，时钟可能会继续切换，并且存储器器件将继续增加数据地址并将新数据放置在 DQ 信号上；遇到的任何带有错误的额外数据单元都将被计数，直到 CS# 恢复为高电平。

在突发命令读取传输期间，每个发现错误的半页只计数一个错误。每个读取命令传输将导致半页数据单位目标的新读取。如果多个读取命令传输访问包含错误的相同半页，则每次读取该半页时，错误计数器将递增。

当 2 位错误检测未启用且同一半页被多次编程时，该半页的 ECC 错误检测将被禁用，因此无法识别或计数错误。

RWDS 暂停

xVCR[2] 中的 RWDS 暂停控制位可用于在遇到两位错误时使 RWDS 暂停。如果启用了 (xVCR[2] = 0)，则在 DED 时，RWDS 将被驱动为低电平。只要 CS# 保持有效，RWDS 就会保持在低电平状态，只要 CS# 恢复高电平，RWDS 就会恢复正常功能。如果 RWDS 暂停控制位处于禁用状态 (xVCR[2] = 1)，则 RWDS 行为不会受到影响。

6.3 数据保护

6.3.1 安全存储区域 (SSR)

每个器件都有一个 1024 字节的一次性编程 SSR 地址空间，与闪存阵列独立。SSR 区域分为 32 个可单独锁定、32 字节对齐和长度的区域。

在从零地址开始的 32 字节区域中：

- 16 个最低地址字节由英飞凌使用 128 位随机数进行编程。只有英飞凌能够对这些字节进行编程。尝试将 0 编程到这些位置将会失败并生成编程状态错误 (SR[4] = 1)。
- 接下来的 4 个较高地址字节 (SSR 锁定字节) 用于为每个 SSR 区域提供一位，以永久保护每个区域免于编程。从英飞凌出厂时，这些字节已被擦除。SSR 区域编程后，可以通过在 SSR 锁定字节中编程相关保护位来锁定该区域以防止进一步编程。
- 最低地址区域的接下来的 12 个高字节是保留以备将来使用 (RFU)。这些 RFU 字节中的位可以由主机系统进行编程，但必须理解，未来的器件可能会使用这些位来保护更大的 SSR 空间。从英飞凌出厂时，这些字节已被擦除。

剩余区域在从英飞凌出厂时会被擦除，并可用于对额外的永久性数据进行编程。

参考图 19 查看 SSR 存储空间的图示。

SSR 存储空间旨在提高系统安全性。SSR 值 (例如英飞凌编程的随机数) 可用于闪存组件与系统 CPU/ASIC “配对”，以防止器件替换。

配置寄存器 SSR 冻结 (xVCR[10]) 位在清除 (或编程为 NVCR) 为“0”时保护整个 SSR 存储空间免于编程。这允许可信引导代码控制 SSR 区域的编程，然后设置 FREEZE 位以防止在正常开机系统操作的其余时间期间进一步进行 SSR 存储空间编程。

6.3.1.1 读取安全存储区域存储空间

一旦使用 SSR 进入时序进入 SSR ASO，就会读取 SSR 区域。SSR 被映射到在 SSR 写入指令时序期间标识的特定扇区。SSR 读取操作在 SSR 进入命令时序识别的扇区内有效 8KB SSR 地址范围之外的将产生不确定的数据。读取未被 SSR ASO 覆盖的扇区将检索阵列数据。SSR 退出时序会将器件返回到阵列读取 ASO。

6.3.1.2 编程安全存储区域存储器空间

进入 SSR ASO 后，使用一旦使用 SSR 进入时序进入 SSR ASO，就会对 SSR 存储器进行编程。SSR 编程指令的协议与普通编程相同。SSR 编程序列可以多次发送到任何给定的 SSR 地址，但该地址空间永远不能被擦除。SSR 编程的有效地址范围如图 19 所示。SSR 地址范围之外的 SSR 编程操作将忽略地址 A9 及更高版本，并将可能插入有效的 SSR 地址范围。当 Freeze = 0 时，SSR 编程操作将失败，并且没有失败指示。SSR 地址空间不受选择 ASP 保护模式的保护。冻结 SSR 位 (xVCR.10) 可用于保护 SSR 地址空间。SSR 退出时序会将器件返回到读取模式。

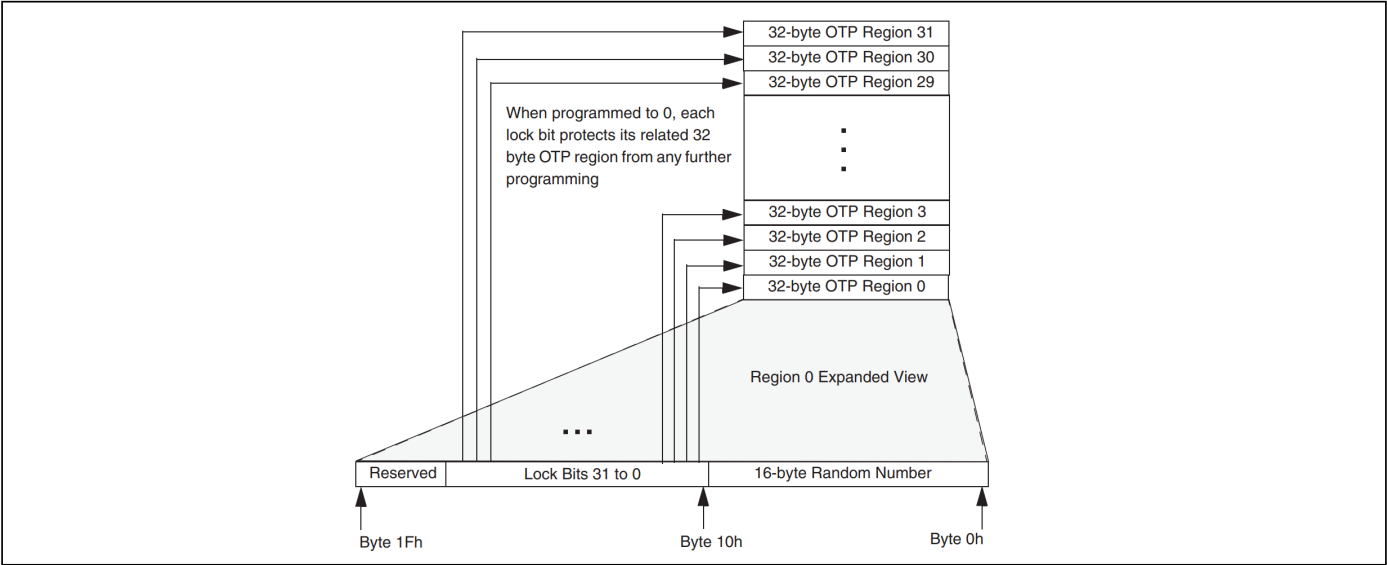


图 19 SSR 地址空间

表 27 SSR 地址映射

Region	Byte address range (Hex)	Contents	Initial delivery state (hex)
Region 0	0000h	Least significant byte of Infineon programmed random number	Infineon programmed random number
	...	...	
	000Fh	Most significant byte of Infineon programmed random number	
	0010h-0013h	Region locking bits Byte 10 [bit 0] locks region 0 from programming when = 0 ... Byte 13 [bit 7] locks region 31 from programming when = 0	All bytes = FFh
	0014h-001Fh	Reserved for Future Use (RFU)	All bytes = FFh
Region 1	0020h-003Fh	Available for user programming	All bytes = FFh
Region 2	0040h-005Fh	Available for user programming	All bytes = FFh
...	...	Available for user programming	All bytes = FFh
Region 31	03E0h-03FFh	Available for user programming	All bytes = FFh

6.3.2 高级扇区保护 (ASP)

高级扇区保护 (ASP) 是一种独立的硬件和软件方法的设置，用于单独、在任何或所有扇区中禁用或启用编程或擦除操作。本节介绍保护存储器中存储的数据的各种方法。这些方法的概述如图20所示。

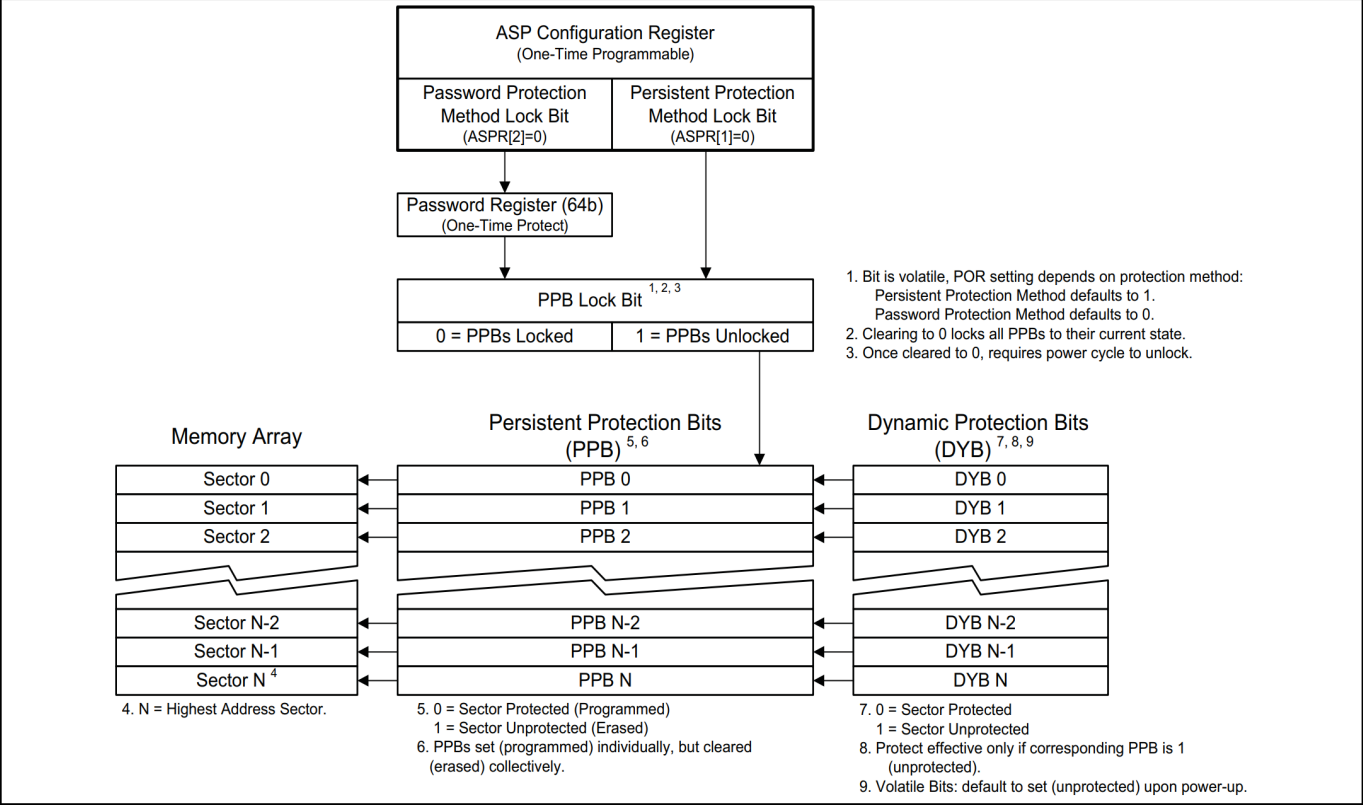


图 20 高级扇区保护概述

每个闪存阵列扇区都有与其有关的一个非易失性 (PPB) 和一个易失性 (DYB) 保护位。如果某位是“0”，相关扇区受到保护，从而不能对其执行编程和擦除操作。

PPB 锁定位为“0”时，不能执行编程和擦除操作。PPB 锁定位的状态可通过两种方法进行管理：持久保护和密码保护。

持久保护方法在 POR 或硬件复位期间将 PPB 锁定位设为 1，因此进行器件复位后 PPB 位为不保护状态。软件复位不会影响 PPB 锁定位。可以通过一个指令来将 PPB 锁定位清除为“0”，以保护 PPB。持久保护方法没有指令可设置 PPB 锁定位，因此 PPB 锁定位将一直为“0”，直到下一次断电或硬件复位为止。持久保护方法允许引导代码通过编程或擦除 PPB 来更改扇区保护，然后通过清除 PPB 锁定位在正常系统操作的剩余时间内保护 PPB，不让更多更改。这有时称为引导代码控制的扇区保护。

密码方法在 POR 或硬件复位期间将 PPB 锁定位清除为“0”，以保护 PPB。对于密码方法，可以永久地编程并隐藏一个 64 位密码。通过一个指令来提供一个密码，将其与隐藏密码进行比较。如果密码匹配，则 PPB 锁定位为 1，以取消 PPB 保护。PPB 锁定位可以通过一个指令来清除为 0。此方法需要使用密码来控制 PPB 保护。

PPB 锁定管理方法的选择通过在 ASP 配置寄存器中编程 OTP 位来实现，以便永久选择所使用的方法。从英飞凌出厂时，PPB 位被清除，因此所有闪存阵列扇区不受保护。

6.3.3 PPB锁定

持久保护位锁是一个易失性位，用于保护所有 PPB 位。当清除为 0 时，它锁定所有 PPB；设成“1”时，允许更改 PPB。每个器件只有一个 PPB 锁定位。

PPB 锁定指令用于将该位清零。只有当所有 PPB 位均配置为所需的设置后，才将 PPB 锁定位清零。

在持久保护模式下，PPB 锁定在 POR 或硬件复位期间被设为“1”。当用 PPB 锁定位清除时序清零时，没有软件指令序列可以设置 PPB 锁定位，只有另一个硬件复位或上电可以设置 PPB 锁定位。

在密码保护模式下，PPB 锁定位在 POR 或硬件复位期间被清除为“0”。PPB 锁定只能通过密码解锁指令序列设为“1”。可使用 PPB 锁定位清除时序将 PPB 锁定位清除回“0”。

6.3.4 持久保护位 (PPB)

持久保护位 (PPB) 位于单独的非易失性闪存阵列中。为每个扇区分配一个 PPB 位。当一个 PPB 位被编程为“0”时，相应的扇区受到保护，不能对它执行编程和擦除操作。PPB 位可单独编程，但必须按组进行擦除。这与单个字相似，各个字可以在主阵列中单独编程，但整个扇区必须同时擦除。擦除前的预编程和验证由 EAC 执行。

编程一个 PPB 位需要典型的字编程时间。在 PPB 位写入操作或 PPB 位擦除期间，可以访问状态寄存器来确定操作是否完成。擦除所有 PPB 需要典型的扇区擦除时间。

如果 PPB 锁定位为“0”，则 PPB 编程或擦除指令不会执行并超时，无需对 PPB 进行编程或擦除。如果当 PPB 锁定位为“0”时尝试对 PPB 位进行编程或操作，则操作将中止，并且会在状态寄存器中指示失败（参见表 17）。

通过在进入 PPB ASO 后写入 PPB 状态读取命令，可以验证给定扇区的 PPB 保护状态。

6.3.5 动态保护位 (DYB)

动态保护位是易失性位，每个扇区唯一，可以单独修改。DYB 只控制那些已清除 PPB 的扇区的保护。通过发出 DYB 设置或清除命令时序，DYB 被设置为“0”或清除为“1”，从而将每个扇区分别置于受保护或未受保护状态。使用该功能，可以轻易保护扇区，避免意外改变相应扇区。另外需要更改时也可以轻易取消对其保护。

DYB 可以在需要时随时设为“0”或清除为“1”。

6.3.6 扇区保护状态汇总

每个扇区均可以处于下面一种保护状态：

- 解锁-扇区不受保护，保护状态可通过一个简单的指令进行更改。在上电周期或硬件复位后，保护状态默认为不保护。
- 动态锁定-扇区受保护，保护状态可通过一个简单的指令进行更改。在上电周期或硬件复位后，保护状态不被保存。
- 持久锁定-扇区受保护，只有将 PPB 锁定位设置为 1 时才能更改保护状态。保护状态是非易失性的，在上电周期或硬件复位后仍被保存。更改保护状态需要编程或擦除 PPB 位。

表 28 扇区保护状态

Protection bit values			Sector state
PPB lock bit	PPB	DYB	
1	1	1	Unprotected – PPB and DYB are changeable
1	1	0	Protected – PPB and DYB are changeable
1	0	1	Protected – PPB and DYB are changeable
1	0	0	Protected – PPB and DYB are changeable
0	1	1	Unprotected – PPB not changeable, DYB is changeable
0	1	0	Protected – PPB not changeable, DYB is changeable
0	0	1	Protected – PPB not changeable, DYB is changeable
0	0	0	Protected – PPB not changeable, DYB is changeable

6.3.7 ASP 配置寄存器

ASP 配置寄存器 (ASPR) 保存用于控制安全管理的非易失性 OTP 位。

表 29 ASP 配置寄存器

Bit	Default value	Name
[15:14]	1	Reserved
[13]	1	1-bit Address Trap Enable (not available on the 512-Mb device) ASPR[13] = 0: Address Trap Register will trap both 1-bit and 2-bit errors ASPR[13] = 1: Address Trap Register only traps 2-bit errors (legacy functionality)
[12]	1	Reserved
[11]	1	Hybrid Burst Type Enable ASPR[11] = 0: Hybrid – One Wrapped burst sequence followed by linear burst ASPR[11] = 1: Legacy – Wrapped burst sequence only
[10]	1	Reserved
[9]	1	DED / ECC ON-OFF Bit ASPR[9] = 0: ECC ON-OFF Bit Disabled, Dual Error Detect Enabled ASPR[9] = 1: ECC ON-OFF Bit Enabled, Dual Error Detect Disabled (default)
[8]	0	Reserved
[7]	X	Reserved
[6]	1	Reserved
[5]	1	Read Password Mode Enable ASPR[5] = 0: Read Password Mode Permanently Enabled ASPR[5] = 1: Read Password Mode Disabled (default from factory)
[4]	1	Reserved
[3]	1	Reserved
[2:1]	1	Persistent / Password Protection Mode Lock Bits ASPR[2:1] = 00: Not allowed ASPR[2:1] = 01: Password Mode Permanently Enabled, ASPR Frozen ASPR[2:1] = 10: Persistent Mode Permanently Enabled, ASPR Frozen ASPR[2:1] = 11: Persistent Mode Temporarily Enabled (default from factory)
[0]	1	Reserved

从工厂出厂时，所有器件在上电时均默认使用持久保护方法，所有扇区均不受保护。器件编程器或主机系统随后可以选择使用哪种扇区保护方法。通过对下面两个一次性可编程、非易失性位中的一位进行编程，可将器件永久性锁定于相应模式：

- 持久保护模式锁定位 (ASPR[1])
- 持久保护模式锁定位 (ASPR[2])

如果同时选择锁定位 (ASPR[2] 和 ASPR[1]) 进行编程，则操作将中止，并且状态寄存器位 SR[4] 和 SR[1] 将置位以指示失败。一旦编程了密码模式锁定位，持久模式锁定位永远被禁用，保护方案无法更改。类似的，如果编程了持久模式锁定位，将永久性禁用密码模式。在 ASPR[2] 或 ASPR[1] 被编程之后对 ASPR 的编程尝试将被中止，并且状态寄存器位 SR[4] 和 SR[1] 将被置位以指示失败。

如果选择密码模式，必须在设置相应的锁定寄存器位之前编程密码。必须按 0-1-2-3 顺序编程四字密码，其他编程顺序将导致未定义的行为。密码保护模式锁定位编程后，需要通过上下电、硬件复位或 PPB 锁定位设置命令将 PPB 锁定位设置为“0”，以保护 PPB 阵列。

ASP 配置寄存器的编程时间与典型的字编程时间相同。在 ASP 配置寄存器编程 EA 期间。系统还可以通过读取状态寄存器来确定 ASPR 编程的状态。请参阅第 53 页“[错误类型和清除过程](#)”获取更多有关信息。

6.3.8 持久保护模式

持久保护方法在 POR 或硬件复位期间将 PPB 锁定位设为“1”，因此进行器件复位后 PPB 位为不保护状态。可以通过一个指令来将 PPB 锁定位清除为“0”，以保护 PPB。持久保护方法没有任何指令可将 PPB 锁定位设为“1”，因此 PPB 锁定位一直为“0”，直到下一次关闭电源或硬件复位为止。

6.3.9 密码保护模式

密码保护模式使用 64 位密码来设置 PPB 锁定位，因此能够提供比持久扇区保护模式级别更高的安全性。除了密码要求外，在上电和复位后，PPB 锁定还清除为“0”以确保在上电时提供保护。通过输入整个密码并成功执行密码解锁指令后，PPB 锁定将设为“1”，从而允许修改扇区 PPB。

密码保护注意事项：

- 密码编程指令只能编程“0”。
- 从英飞凌出厂时，密码全部是1。它位于自己的存储空间中，可通过使用密码编程和密码读取指令进行访问。
- 所有64位密码组合均为有效密码。
- 一旦密码被编程并验证，必须对密码保护模式锁定位进行编程（为“0”s），以防止读取密码。
- 密码保护模式锁定位一旦被编程（为“0”），将阻止读取数据总线上的 64 位密码以及进一步的密码编程。所有对密码区域的进一步编程和读取指令都将被禁用，并且这些指令将被忽略。尝试对受保护的密码进行编程将置位扇区锁定状态位（SR[1]）和编程状态位（SR[4]）。如果尝试对密码或密码保护模式锁定位进行进一步的编程操作，则操作将中止，并在状态寄存器中指示失败（参见[表 17](#)）。在编程密码保护模式锁定位之后，没有办法验证密码是什么。仅在选择密码保护模式之前才允许进行密码验证。
- 不能擦除密码模式锁定位。
- 要实现解锁功能，只要输入完整的 64 位密码，密码部分就可以按任何顺序输入。如果密码解锁指令提供的密码与隐藏的内部密码不匹配，则解锁操作将失败，其失败方式与受保护扇区上的编程操作相同。状态将返回到就绪状态，编程状态位置位为“1”，表示由于扇区锁定而导致编程操作失败。由于缺少有效密码，PPB 锁定位仍然受到保护，因此无法改变其状态。
- 在向器件提供有效的 64 位密码后，器件需要大约 $t_{PSWD}=100\ \mu s$ 的时间来置位 PPB 锁定位。

- 密码解锁命令的不能接受频率快于每 t_{PSWD} 次（见表 64）。这样，如果黑客试图通过实现所有 64 位组合来找到正确的匹配密码，需要经过第一段不可思议的超长时间（5800万年）。EA 状态检查方法可用于确定 EAC 何时准备好接受新的密码指令。
- 如果在设置密码模式锁定位后密码丢失，没有办法可清除PPB锁定位。

6.3.10 读取密码保护模式

读密码模式可以取代 64 页上默认的“密码保护模式”。当用户编程 ASPR[5] = 0 时，读密码模式可以取代默认的 PPB 密码保护模式。读密码模式在密码编程且 ASPR[2] 编程为“0”之前不会激活。

读取密码保护机制可以保护闪存阵列免遭读取、编程和擦除。只有由非易失配置寄存器位 xVCR[9:8] 选择的最低或最高 (256-KB) 扇区地址范围保持可读，直到成功完成密码解锁指令。注意，从阵列的读保护部分读取的数据将别回到可读区域。

在此模式下，PPB 锁定位用于控制地址的高位。当 PPB 锁定位为“1”时，地址位正常操作。当 PPB 锁定位为“0”时，选择主阵列扇区地址范围的地址位被强制为 0（xVCR[9:8] = 00 或 10）或 1（xVCR[9:8] = 01 或 11），以根据下表选择最低或最高地址闪存阵列地址范围。当 xVCR[9:8] = 00 或 10 时，阵列的底部（零地址）256 KB 可读。当 xVCR[9:8] = 01 或 10 时，阵列的顶部（最大地址）256 KB 可读。

表 30 ASP 配置寄存器选择持久和密码保护模式

ASPR bit	Default value	Name
2	1	Persistent / Password Protection Mode Lock Bits
1	1	ASPR[2:1] = 00: Not allowed ASPR[2:1] = 01: Password Mode Permanently Enabled ASPR[2:1] = 10: Persistent Mode Permanently Enabled ASPR[2:1] = 11: Persistent Mode Temporarily Enabled (default from factory)

表 31 xVCR boot模块地址范围映射

xVCR bit	Default value	Name
xVCR[9:8]	11	00 - Map Parameter-Sectors and Read Password Sectors mapped into lowest addresses. 01 - Map Parameter-Sectors and Read Password Sectors mapped into highest addresses. 10 - Uniform Sectors with Read Password Sector mapped into lowest addresses. 11 - Uniform Sectors with Read Password Sector mapped into highest addresses.

当 PPB 锁定位为“0”时，PPB 位受到保护，不能被编程和擦除；当 PPB 锁定位为“1”时，可以对 PPB 位进行编程或擦除。

PPB 锁定位通过POR或硬件复位设置为“0”，与 PPB 密码保护模式相同。

读取密码保护注意事项：

- 当订购读取密码 OPN 选项时，用户可以将 ASPR[5] 位编程为“0”并使用读取密码，或者根据需要不使用。
- 读取密码方法的密码编程、读取和锁定的指令时序与 PPB 密码方法的默认值相同。
- 当读取密码模式和密码保护模式启用时（即ASPR[2] 和 ASPR[5] 被编程为‘0’），然后所有地址都被重定向到 boot 扇区，直到密码解锁时序被正确输入，并输入正确的密码。

此时，读取密码模式被禁用并且所有寻址都将选择至正确的位置。

- 如果发生系统硬件复位，则重新启用读取密码模式。
- ASPR[5] 用于在读取密码与 PPB 密码选项之间进行选择。如果 ASPR[5] = 0，则该器件已准备好读取密码。然而，读取密码只有在 ASPR[2] = 0 时才启用。此时，所有地址仅在顶部或底部扇区内选择，直到使用正确的解锁时序和密码解锁该器件。当 ASPR[2] = 1 时，地址选择正常。这样，用户就可以在代码中编程、测试、提供密码，然后通过编程 ASPR[2] = 0 锁定代码。
- 如果在使用读取密码保护时发送读取密码指令时序，则会返回未定义的结果。PPB 锁定位只能通过硬件复位、POR 或 PPB 锁定位清除指令时序返回到“0”。
- 在读取密码模式下且 PPB 锁定位 = 0 时，只有 ID 读取命令、密码解锁指令和格式化读取是有效的。其他指令将被禁用，直到提供密码才能读取整个器件和正常指令操作。
- 当读取密码保护模式激活时（ASPR[5] = 0，ASPR[2] = 0，PPB 锁定位 = 0），允许读取主阵列，但通过强制存储器扇区地址为 0 或 1，只有启动扇区可见。读取 DYB 或 PPB 地址空间返回未定义的数据。
- 当读密码保护模式激活时，不允许对存储空间进行编程或写入寄存器。RESET 正常运行，并且总线协议可以通过复位模式位来修改。

6.3.11 混合突发

HYPERFLASH™ 系列的所有成员都支持一种额外的突发类型，即结合一个回卷突发跟随线性突发。

混合突发的开始将在目标地址回卷的突发长度组内回卷一次，然后切换到初始回卷突发长度组末尾之外的线性数据突发。混合突发支持 16 字节和 32 字节，但不支持 64 字节的回卷突发长度组。

表 32 混合突发类型使能的 ASPR 位分配

Bit	Default value	Name
[11]	1	Hybrid Burst Type Enable 0 = Hybrid - One Wrapped burst sequence followed by linear burst 1 = Legacy - Wrapped burst sequence only

32 字节和 16 字节混合突发读取的突发时序示例：

1. 32 字节示例（在过渡到线性突发之前在 32 字节边界内换行）
 - a. 06-07-08-09-0A-0B-0C-0D-0E-0F-00-01-02-03-04-05-10-11
 - a. 0E-0F-00-01-02-03-04-05-06-07-08-09-0A-0B-0C-0D-10-11
2. 16 字节示例（在过渡到线性突发之前，在 16 字节边界内换行）
 - a. 06-07-00-01-02-03-04-05-08-09
 - b. 03-04-05-06-07-00-01-02-08-09

6.3.12 INT# 输出

INT# 引脚是一个开漏输出，用于向主机系统指示在闪存器件内发生了事件。用户可以选择在以下情况下将 INT# 输出引脚转换为有效（低）状态：

- 从忙碌状态转换到就绪状态
- 检测到 2 位 ECC 错误
- 从忙碌状态转换到就绪状态

中断源由中断配置寄存器启用。

操作由中断配置寄存器控制，其中 INT# 输出（通常为高电平）是使能的。中断配置寄存器确定内部事件何时使能，以触发 INT# 输出引脚上的高电平到低电平转变。中断状态寄存器指示自上次清除中断状态寄存器以来发生了哪些启用的内部事件。如果使能，则 INT# 输出引脚将在发生使能事件时从高电平转换为低电平。一旦主机识别出 INT# 已转换为低电平状态，就可以读取中断寄存器来确定哪个内部事件导致了该事件。

可以使用以下方法强制 INT# 输出转换回高阻态（通过外部上拉电阻返回高电平）：

- 通过将“1”加载到中断配置寄存器的位 15 中，来关闭 INT# 输出。当 ICR[15] 载入“1”时，中断状态寄存器将被清除。
- 通过将“1”加载到中断配置寄存器中适当的事件使能位来禁用导致输出转换为低电平的事件通道。当将“1”加载到 ICR 中的相应位时，中断状态寄存器中的相关位将被清除。
- 通过写入“1”到中断状态寄存器位来复位相应位，该位指示哪个内部事件发生导致输出变为 LOW。中断状态寄存器中所有为 LOW 且在中断配置寄存器中也被启用的位必须在 INT# 输出返回 HIGH 之前被复位。

INT# 输出也将通过硬件复位返回到默认（禁用、高阻态）状态（RESET# = LOW）或上电复位。通过设置中断配置寄存器为默认（所有中断禁用）状态来使硬件复位和上电复位禁止所有中断生效。

表 33 中断配置寄存器

Bits	Function	Type	POR default state	RESET# default state	Description
[15]	INT# Output Enable	Volatile, Read / Write	1	1	1 = INT# output disabled (HIGH or Open-Drain) 0 = INT# output enabled, internal events will cause a HIGH to LOW transition
[14]	Reserved		1	1	Reserved
[13:5]	Reserved		1	1	Reserved for Future Use
[4]	READY		1	1	1 = Ready/Busy transitions will not transition the INT# output 0 = A Busy to Ready transition will cause a HIGH to LOW transition on the INT# output
[3]	Reserved		1	1	Reserved for future use
[2]	Reserved		1	1	Reserved for future use
[1]	2-bit Error Detect		1	1	1 = 2-bit error detection will not transition the INT# output 0 = 2-bit error detection will cause a HIGH to LOW transition on the INT# output
[0]	1-bit Error Detect		1	1	1 = 1-bit error detection will not transition the INT# output 0 = 1-bit error detection will cause a HIGH to LOW transition on the INT# output

表 34 中断状态寄存器

Bits	Function	Type	POR default state	RESET# default state	Description
[15:5]	Reserved	Volatile, Read / Write	1	1	Reserved for Future Use
[4]	READY		1	1	1 = A Busy to Ready transition has not occurred 0 = A Busy to Ready transition has occurred
[3]	Reserved		1	1	Reserved for future use
[2]	POR Detect		0	1	1 = POR has not occurred 0 = POR has occurred
[1]	2-bit Error Detect		1	1	1 = 2-bit error detection has not occurred 0 = 2-bit error detection has occurred
[0]	1-bit Error Detect		1	1	1 = 1-bit error detection has not occurred 0 = 1-bit error detection has occurred

7 器件ID和通用闪存接口 (ID-CFI) ASO映射

7.1 器件ID和通用闪存接口 (ID-CFI) ASO映射 — 标准

ASO 的器件 ID 部分 (字位置 0h 至 0Fh) 提供器件的制造商 ID、器件 ID 和基本功能集信息。有关更多信息，请参阅第 50 页“ID-CFI ASO”。

表 35 ID (自动选择) 地址映射

Word address	Data	Description
(SA) + 0000h	0001h	Infineon Manufacturer ID
(SA) + 0001h	007Eh	Device ID
(SA) + 0002h	Reserved	RFU
(SA) + 0003h	Reserved	
(SA) + 0004h	Reserved	
(SA) + 0005h	Reserved	
(SA) + 0006h	Reserved	
(SA) + 0007h	Reserved	
(SA) + 0008h	Reserved	
(SA) + 0009h	Reserved	
(SA) + 000Ah	Reserved	
(SA) + 000Bh	Reserved	
(SA) + 000Ch	0005h	Lower Software bits Bit 0 - Status Register support: 1 = Status Register supported 0 = Status Register not supported Bit 1 - DQ Polling support: 1 = DQ Bits Polling supported 0 = DQ Bits Polling not supported Bit 3-2 - Command Set support: 11 = Reserved 10 = Reserved 01 = HYPERFLASH™ Command Set 00 = Classic Command Set Bits 4-F – Reserved = 0
(SA) + 000Dh	Reserved	Upper Software bits
(SA) + 000Eh	0070h = 512 Mb @ 1.8 V 006Fh = 512 Mb @ 3.0 V 0072h = 256 Mb @ 1.8 V 0071h = 256 Mb @ 3.0 V 0074h = 128 Mb @ 1.8 V 0073h = 128 Mb @ 3.0 V	Device ID
(SA) + 000Fh	0000h	Device ID

表 36 CFI查询识别字符串

Word address	Data	Description
(SA) + 0010h (SA) + 0011h (SA) + 0012h	0051h 0052h 0059h	Query Unique ASCII string "QRY"
(SA) + 0013h (SA) + 0014h	0002h 0000h	Primary OEM Command Set
(SA) + 0015h (SA) + 0016h	0040h 0000h	Address for Primary Extended table
(SA) + 0017h (SA) + 0018h	0000h 0000h	Alternate OEM Command Set (00h = none exists)
(SA) + 0019h (SA) + 001Ah	0000h 0000h	Address for alternate OEM Extended table (00h = none exists)

表 37 CFI系统接口字符串

Word address	Data	Description
(SA) + 001Bh	0017h for V _{CC} = 1.8 V 0027h for V _{CC} = 3.0 V	V _{CC} Min. (erase / program) (D7–D4: volts, D3–D0: 100 millivolts)
(SA) + 001Ch	0019h for V _{CC} = 1.8 V 0036h for V _{CC} = 3.0 V	V _{CC} Max. (erase / program) (D7–D4: volts, D3–D0: 100 millivolts)
(SA) + 001Dh	0000h	V _{PP} Min. voltage (00h = no V _{PP} pin present)
(SA) + 001Eh	0000h	V _{PP} Max. voltage (00h = no V _{PP} pin present)
(SA) + 001Fh	0009h	Typical timeout per single word write 2 _N μs
(SA) + 0020h	0009h	Typical timeout for max multi-byte program, 2 _N μs (00h = not supported)
(SA) + 0021h	000Ah	Typical timeout per individual block erase 2 _N ms
(SA) + 0022h	0012h (512 Mb) 0011h (256 Mb) 0010h (128 Mb)	Typical timeout for full chip erase 2 _N ms (00h = Not supported)
(SA) + 0023h	0002h	Max. timeout for single word write 2 _N times typical
(SA) + 0024h	0002h	Max. timeout for buffer write 2 _N times typical
(SA) + 0025h	0002h	Max. timeout per individual block erase 2 _N times typical
(SA) + 0026h	0002h	Max. timeout for full chip erase 2 _N times typical (00h = not supported)

表 38 CFI器件几何定义

Word address	Data	Description
(SA) + 0027h	001Ah (512 Mb) 0019h (256 Mb) 0018h (128 Mb)	Device Size = 2N byte
(SA) + 0028h	0000h	Flash Device Interface Description 0 = ×8-only, 1 = ×16-only, 2 = ×8 / ×16 capable
(SA) + 0029h	0000h	
(SA) + 002Ah	0009h	Max. number of byte in multi-byte write = 2N (00 = Not supported)
(SA) + 002Bh	0000h	
(SA) + 002Ch	0001h	Number of Erase Block Regions within device 1 = Uniform Device, 2 = Boot Device
(SA) + 002Dh	See description	Erase Block Region 1 information (refer to JEDEC JESD68-01 or JEP137 specifications) 00FFh, 0000h, 0000h, 0004h = 512 Mb (256 × 2-Mb blocks) 007Fh, 0000h, 0000h, 0004h = 256 Mb (128 × 2-Mb blocks) 003Fh, 0000h, 0000h, 0004h = 128 Mb (64 × 2-Mb blocks)
(SA) + 002Eh		
(SA) + 002Fh		
(SA) + 0030h		
(SA) + 0031h	0000h	Erase Block Region 2 information (refer to JEDEC JESD68-01 or JEP137 specifications)
(SA) + 0032h	0000h	
(SA) + 0033h	0000h	
(SA) + 0034h	0000h	
(SA) + 0035h	0000h	Erase Block Region 3 information (refer to JEDEC JESD68-01 or JEP137 specifications)
(SA) + 0036h	0000h	
(SA) + 0037h	0000h	
(SA) + 0038h	0000h	
(SA) + 0039h	0000h	Erase Block Region 4 information (refer to JEDEC JESD68-01 or JEP137 specifications)
(SA) + 003Ah	0000h	
(SA) + 003Bh	0000h	
(SA) + 003Ch	0000h	

表 39 CFI主要厂商特定的扩展查询

Word address	Data	Description
(SA) + 0040h	0050h	Query-unique ASCII string "PRI"
(SA) + 0041h	0052h	
(SA) + 0042h	0049h	
(SA) + 0043h	0031h	Major version number, ASCII
(SA) + 0044h	0035h	Minor version number, ASCII
(SA) + 0045h	001Ch	Address Sensitive Unlock (Bits 1–0) 00b = Required, 01b = Not required Process Technology (Bits 5–2) 0000b = 0.23 µm floating gate 0001b = 0.17 µm floating gate 0010b = 0.23 µm MIRRORBIT™ 0011b = 0.13 µm floating gate 0100b = 0.11 µm MIRRORBIT™ 0101b = 0.09 µm floating gate 0110b = 0.09 µm MIRRORBIT™ 0111b = 0.065 µm MIRRORBIT™ Eclipse 1000b = 0.065 µm MIRRORBIT™ 1001b = 0.045 µm MIRRORBIT™
(SA) + 0046h	0002h	Erase Suspend 0 = Not supported 1 = Read only 2 = Read and Write
(SA) + 0047h	0001h	Sector Protect 00 = Not supported X = Number of sectors in smallest group
(SA) + 0048h	0000h	Temporary Sector Unprotect 00 = Not supported 01 = Supported
(SA) + 0049h	0008h	Sector Protect / Unprotect Scheme 04 = High-voltage method 05 = Software Command Locking method 08 = Advanced Sector Protection method
(SA) + 004Ah	0000h	Simultaneous operation 00 = Not supported X = Number of banks
(SA) + 004Bh	0001h	Burst Mode type 00 = Not supported 01 = Supported
(SA) + 004Ch	0000h	Page Read Mode type 00 = Not supported 01 = 4 Word Page 02 = 8 Word Page 03 = 16 Word Page
(SA) + 004Dh	0000h	ACC (Acceleration) supply minimum 00 = Not supported D7–D4: Volt D3–D0: 100 mV

表 39 CFI主要厂商特定的扩展查询 (续)

Word address	Data	Description
(SA) + 004Eh	0000h	ACC (Acceleration) supply maximum 00 = Not supported D7–D4: Volt D3–D0: 100 mV
(SA) + 004Fh	0000h	WP# Protection 00h = Flash device without WP Protect (No boot) 01h = Eight 8-KB Sectors at top and bottom with WP (Dual boot) 02h = Bottom Boot Device with WP Protect (Bottom boot) 03h = Top Boot Device with WP Protect (Top boot) 04h = Uniform, bottom WP Protect (Uniform bottom boot) 05h = Uniform, top WP Protect (Uniform top boot) 06h = WP Protect for all sectors 07h = Uniform, top or bottom WP Protect
(SA) + 0050h	0001h	Program Suspend 00 = Not supported 01 = Supported
(SA) + 0051h	0000h	Unlock Bypass 00 = Not supported 01 = Supported
(SA) + 0052h	000Ah	Secure silicon sector (Customer OTP Area = 1024B) Size 2 ^N (bytes)
(SA) + 0053h	008Dh	Software features Bit 0: Status Register polling (1 = Supported, 0 = Not supported) Bit 1: DQ polling (1 = Supported, 0 = Not supported) Bit 2: New Program Suspend / Resume commands (1 = Supported, 0 = Not supported) Bit 3: Word Programming (1 = Supported, 0 = Not supported) Bit 4: Bit-Field Programming (1 = Supported, 0 = Not supported) Bit 5: Autodetect Programming (1 = Supported, 0 = Not supported) Bit 6: RFU Bit 7: Multiple Writes per line (1 = Supported, 0 = Not supported)
(SA) + 0054h	0005h	Page size = 2 ^N bytes
(SA) + 0055h	0006h	Erase Suspend Timeout maximum < 2 ^N (μs)
(SA) + 0056h	0006h	Program Suspend Timeout maximum < 2 ^N (μs)
(SA) + 0057h to (SA) + 0077h	FFFFh	Reserved for Future Use
(SA) + 0078h	0006h	Embedded Hardware Reset Timeout maximum < 2 ^N (μs) Reset with Reset Pin
(SA) + 0079h	0009h	Non-Embedded Hardware Reset Timeout maximum < 2 ^N (μs) Power-On Reset

7.2 器件 ID 和通用闪存接口 (ID-CFI) ASO 映射 — 汽车级 / AEC -Q100

针对汽车等级/ AEC -Q100 的 CFI 主要供应商特定扩展查询已扩展为包括器件可追溯性的电子标识信息（参见表 40）。

表 40 器件ID和通用闪存接口 (ID-CFI) ASO映射^[62]

Word address	Data field	Number of bytes	Data format	Example of actual of data	Hex Read out of example data
(SA) + 0080h	Size of Electronic Marking	1	Hex	19	0013h
(SA) + 0081h	Revision of Electronic Marking	1	Hex	1	0001h
(SA) + 0082h	Fab Lot #	7	ASCII	LD87270	004Ch, 0044h, 0038h, 0037h, 0032h, 0037h, 0030h
(SA) + 0089h	Wafer #	1	Hex	23	0017h
(SA) + 008Ah	Die X coordinate	1	Hex	10	000Ah
(SA) + 008Bh	Die Y coordinate	1	Hex	15	000Fh
(SA) + 008Ch	Class Lot #	7	ASCII	BR33150	0042h, 0052h, 0033h, 0033h, 0031h, 0035h, 0030h
(SA) + 0093h	Reserved for Future	13	NA	NA	Undefined

注

62. Fab Lot # + Wafer # + Die X 坐标 + Die Y 坐标为每个器件提供唯一的 ID。

8 软件接口参考

8.1 指令汇总

表 41 指令定义

Command sequence	Cycles	Bus cycles ^[63, 64, 65, 66]													
		First		Second		Third		Fourth		Fifth		Sixth		Seventh	
		Addr	Data	Addr	Data	Addr	Data	Addr	Data	Addr	Data	Addr	Data	Addr	Data
Read ^[66]	1	RA	RD	–	–	–	–	–	–	–	–	–	–	–	–
Reset / ASO Exit ^[67, 76]	1	XXX	F0	–	–	–	–	–	–	–	–	–	–	–	–
Status Register Read ^[78]	2	555	70	XXX	RD	–	–	–	–	–	–	–	–	–	–
Status Register Clear	1	555	71	–	–	–	–	–	–	–	–	–	–	–	–
Enter Deep Power-Down	3	555	AA	2AA	55	XXX	B9	–	–	–	–	–	–	–	–
Program Power-On Reset Timer Register	4	555	AA	2AA	55	555	34	XXX	PORTime	–	–	–	–	–	–
Read Power-On Reset Timer Register	4	555	AA	2AA	55	555	3C	XXX	RD PORTime	–	–	–	–	–	–
Load Interrupt Configuration Register	4	555	AA	2AA	55	555	36	XXX	ICR	–	–	–	–	–	–
Read Interrupt Configuration Register	4	555	AA	2AA	55	555	C4	XXX	RD ICR	–	–	–	–	–	–
Load Interrupt Status Register	4	555	AA	2AA	55	555	37	XXX	ISR	–	–	–	–	–	–
Read Interrupt Status Register	4	555	AA	2AA	55	555	C5	XXX	RD ISR	–	–	–	–	–	–
Load Volatile Configuration Register	4	555	AA	2AA	55	555	38	XXX	VCR	–	–	–	–	–	–
Read Volatile Configuration Register	4	555	AA	2AA	55	555	C7	XXX	RD VCR	–	–	–	–	–	–
Program Nonvolatile Configuration Register	4	555	AA	2AA	55	555	39	XXX	NVCR	–	–	–	–	–	–
Erase Nonvolatile Configuration Register	3	555	AA	2AA	55	555	C8	–	–	–	–	–	–	–	–
Read Nonvolatile Configuration Register	4	555	AA	2AA	55	555	C6	XXX	RD NVCR	–	–	–	–	–	–
Word Program	4	555	AA	2AA	55	555	A0	PA	PD	–	–	–	–	–	–
Write to Buffer ^[80]	6	555	AA	2AA	55	SA	25	SA	WC	WBL	PD	WBL	PD	–	–
Program Buffer to Flash (confirm)	1	SA	29	–	–	–	–	–	–	–	–	–	–	–	–
Write-to-Buffer-Abort Reset ^[72]	3	555	AA	2AA	55	555	F0	–	–	–	–	–	–	–	–
Chip Erase	6	555	AA	2AA	55	555	80	555	AA	2AA	55	555	10	–	–
Sector Erase ^[80]	6	555	AA	2AA	55	555	80	555	AA	2AA	55	SA	30	–	–
Blank Check	1	(SA) 555	33	–	–	–	–	–	–	–	–	–	–	–	–

- 注
- 所有值均为十六进制数值。所有地址参考16位字。
 - 除了下列周期外，所有总线周期均为写入周期：发生于读取过程的读取周期、ID/CFI读取（制造商ID/器件ID）、指示位、安全存储区域读取、SSR锁定读取以及状态寄存器读取的第二个周期。
 - 除了RD、PD、WC和PWD外，命令时序中的数据位DQ15-DQ8无需关注。
 - 除非需要SA或PA，否则在解锁和命令循环期间，地址位A_{MAX}-A11均为无需关注。（A_{MAX}是最高地址引脚）。
 - 读取阵列的数据时，不需要解锁或命令周期。
 - 在器件处于ID-CFI（自动选择）模式时，或DQ5变为高电平（当器件正在提供状态数据时）的情况下，需要通过复位命令返回阵列数据读取模式。
 - 当器件就绪读取阵列数据或器件处于ID-CFI（自动选择）模式时，命令将有效。
 - 在擦除挂起模式下，系统可以对非擦除扇区进行读取和编程/编程挂起的操作，或者从该模式进入ID-CFI ASO模式。擦除挂起命令仅在扇区擦除操作期间有效。
 - 擦除恢复/编程恢复命令仅在擦除挂起/编程挂起模式下有效。
 - 检测到器件处于写入到缓存中止状态后，发出该命令时序以返回到读取模式。请注意，如果进行复位以退出中止状态，则需使用完整的命令时序。
 - 退出命令会使器件返回到读取阵列状态。
 - 对于PWDx，每个AO命令只能编程密码的一部分。密码的各部分必须按连续顺序进行编程（PWD0 - PWD3）。
 - 所有 ASP 寄存器位均为一次性可编程。编程状态 = 0，擦除状态 = 1。此外，持久保护模式锁定位和密码保护模式锁定位不能同时编程，否则 ASPR 寄存器位编程操作将中止并将器件返回读取模式。保留给未来使用的锁定寄存器位未定义，可能是0或1。
 - 如果发出任何进入命令，则必须发出退出命令，以使器件返回到读取模式。
 - 位 0 = 0 表示受保护状态，位 0 = 1 表示不受保护状态。第 1 位至第 15 位均为 1。DYB 置位、DYB 清除或 PPB 编程指令的扇区地址可以是扇区内的任意位置；扇区地址的低位无需关注。
 - 状态寄存器读取命令传输、DYB 读取、PPB 读取、SA 保护读取、密码读取、POR 定时器读取、ICR 读取、ISR 读取、VCR 读取、NVCR 读取、FIDR 读取、ASPR 读取、PPBL 读取命令传输期间的数据输出仅在器件输出第一个字期间有效。如果 CK/CK# 继续切换而 CS# 保持低电平，则后续数据值输出未定义。
 - SA 保护状态读取期间输出的数据指示所指示的扇区是否在位 0-2 中受到保护。
 - 位 0 - 指示所指示的扇区是否受保护（0 = 受保护，1 = 不受保护）。
 - 位 1 - 使用扇区的 DYB 位进行保护（0 = 受保护，1 = 不受保护）。
 - 位 2 - 使用扇区的 PPB 位进行保护（0 = 受保护，1 = 不受保护）。第 3 位至第 15 位均为 1。
 - 较小的参数扇区需要包含 A[16:11] 作为地址的一部分，在擦除和编程指令时序期间标识目标参数扇区。
 - ID（自动选择）进入和 CFI 进入都允许访问相同的 ID/CFI 数据集。使用 ID 或 CFI 进入时序后，ID/CFI 数据集中包含的所有数据均可用。

表 41 指令定义 (续)

Command sequence		Cycles	Bus cycles ^{63, 64, 65, 66]}													
			First		Second		Third		Fourth		Fifth		Sixth		Seventh	
			Addr	Data	Addr	Data	Addr	Data	Addr	Data	Addr	Data	Addr	Data	Addr	Data
Evaluate Erase Status		1	(SA) 555	D0	-	-	-	-	-	-	-	-	-	-	-	-
Erase Suspend[70, 71]		1	XXX	B0	-	-	-	-	-	-	-	-	-	-	-	-
Erase Resume[70, 71]		1	XXX	30	-	-	-	-	-	-	-	-	-	-	-	-
Program Suspend[70, 71]		1	XXX	51	-	-	-	-	-	-	-	-	-	-	-	-
Program Resume[70, 71]		1	XXX	50	-	-	-	-	-	-	-	-	-	-	-	-
ID-CFI (Autoselect) ASO [81]	ID (Autoselect) Entry	3	555	AA	2AA	55	(SA) 555	90	-	-	-	-	-	-	-	-
	CFI Enter[69]	1	(SA) 555	98	-	-	-	-	-	-	-	-	-	-	-	-
	ID-CFI Read	1	(SA) RA	RD	-	-	-	-	-	-	-	-	-	-	-	-
ID-CFI (Autoselect) ASO [81]	Reset / ASO Exit[68, 76]	1	XXX	F0 or FF	-	-	-	-	-	-	-	-	-	-	-	-
Secure Silicon Region (SSR) ASO	SSR Entry	3	555	AA	2AA	55	(SA) 555	88	-	-	-	-	-	-	-	-
	Read[67]	1	RA	RD	-	-	-	-	-	-	-	-	-	-	-	-
	Word Program	4	555	AA	2AA	55	555	A0	PA	PD	-	-	-	-	-	-
	Write to Buffer	6	555	AA	2AA	55	SA	25	SA	WC	WBL	PD	WBL	PD	-	-
	Program Buffer to Flash (confirm)	1	SA	29	-	-	-	-	-	-	-	-	-	-	-	-
	Write-to-Buffer-Abort Reset[72]	3	555	AA	2AA	55	555	F0	-	-	-	-	-	-	-	-
	SSR Exit[72]	4	555	AA	2AA	55	555	90	XX	00h	-	-	-	-	-	-
	Reset / ASO Exit[68, 76]	1	XXX	F0	-	-	-	-	-	-	-	-	-	-	-	-
ASP Config. Register (ASPR) ASO [75]	ASP Register Entry	3	555	AA	2AA	55	555	40	-	-	-	-	-	-	-	-
	Program	2	XXX	A0	XXX	PD	-	-	-	-	-	-	-	-	-	-
	ASPR Read[78]	1	0	RD	-	-	-	-	-	-	-	-	-	-	-	-
	ASPR ASO Exit[65, 66]	2	XXX	90	XXX	0	-	-	-	-	-	-	-	-	-	-
	Reset / ASO Exit[68, 76]	1	XXX	F0	-	-	-	-	-	-	-	-	-	-	-	-

注

63. 所有值均为十六进制数值。所有地址参考16位字。
64. 除了下列周期外，所有总线周期均为写入周期：发生于读取过程的读取周期、ID/CFI读取（制造商ID/器件ID）、指示位、安全存储区域读取、SSR锁定读取以及状态寄存器读取的第二个周期。
65. 除了RD、PD、WC和PWD外，命令时序中的数据位DQ15-DQ8无需关注。
66. 除非需要SA或PA，否则在解锁和命令周期期间，地址位A_{max}-A11均为无需关注。（A_{max}是最高地址引脚）。
67. 读取阵列的数据时，不需要解锁或命令周期。
68. 在器件处于ID-CFI（自动选择）模式时，或DQ5变为高电平（当器件正在提供状态数据时）的情况下，需要通过复位命令返回阵列数据读取模式。
69. 当器件就绪读取阵列数据或器件处于ID-CFI（自动选择）模式时，命令将有效。
70. 在擦除挂起模式下，系统可以对非擦除扇区进行读取和编程/编程挂起的操作，或者从该模式进入ID-CFI ASO模式。擦除挂起命令仅在扇区擦除操作期间有效。
71. 擦除恢复/编程恢复命令仅在擦除挂起/编程挂起模式下有效。
72. 检测到器件处于写入到缓存中止状态后，发出该命令时序以返回到读取模式。请注意，如果进行复位以退出中止状态，则需使用完整的命令时序。
73. 退出命令会使器件返回到读取阵列状态。
74. 对于PWD_x，每个A0命令只能编程密码的一部分。密码的各部分必须按连续顺序进行编程（PWD0 - PWD3）。
75. 所有 ASP 寄存器位均为一次性可编程。编程状态 = 0，擦除状态 = 1。此外，持久保护模式锁定定位和密码保护模式锁定定位不能同时编程，否则 ASPR 寄存器位编程操作将中止并将器件返回读取模式。保留给未来使用的锁定寄存器位未定义，可能是0或1。
76. 如果发出任何进入命令，则必须发出退出命令，以使器件返回到读取模式。
77. 位 0 = 0 表示受保护状态，位 0 = 1 表示不受保护状态。第 1 位至第 15 位均为 1。DYB 置位、DYB 清除或 PPB 编程指令的扇区地址可以是扇区内的任意位置；扇区地址的低位无需关注。
78. 状态寄存器读取命令传输、DYB 读取、PPB 读取、SA 保护读取、密码读取、POR 定时器读取、ICR 读取、ISR 读取、VCR 读取、NVCR 读取、FIDR 读取、ASPR 读取、PPBL 读取命令传输期间的数据输出仅在器件输出第一个字期间有效。如果 CK/CK# 继续切换而 CS# 保持低电平，则后续数据值输出未定义。
79. SA 保护状态读取期间输出的数据指示所指示的扇区是否在位 0-2 中受到保护。
位 0 - 指示所指示的扇区是否受保护（0 = 受保护，1 = 不受保护）。
位 1 - 使用扇区的 DYB 位进行保护（0 = 受保护，1 = 不受保护）。
位 2 - 使用扇区的 PPB 位进行保护（0 = 受保护，1 = 不受保护）。
第 3 位至第 15 位均为 1。
80. 较小的参数扇区需要包含 A[16:11] 作为地址的一部分，在擦除和编程指令时序期间标识目标参数扇区。
81. ID（自动选择）进入和 CFI 进入都允许访问相同的 ID/CFI 数据集。使用 ID 或 CFI 进入时序后，ID/CFI 数据集中包含的所有数据均可用。

表 41 指令定义 (续)

Command sequence		Cycles	Bus cycles ^[63, 64, 65, 66]													
			First		Second		Third		Fourth		Fifth		Sixth		Seventh	
			Addr	Data	Addr	Data	Addr	Data	Addr	Data	Addr	Data	Addr	Data	Addr	Data
Password Protection command set definitions																
Password ASO	Password ASO Entry	3	555	AA	2AA	55	555	60	–	–	–	–	–	–	–	–
	Program[74]	2	XXX	A0	PWAX	PWDx	–	–	–	–	–	–	–	–	–	–
	Read	4	0	PWD0	1	PWD1	2	PWD2	3	PWD3	–	–	–	–	–	–
	Unlock	7	0	25	0	3	0	PWD0	1	PWD1	2	PWD2	3	PWD3	0	29
	Command Set Exit[73, 76]	2	XXX	90	XXX	0	–	–	–	–	–	–	–	–	–	–
	Reset / ASO Exit[68, 76]	1	XXX	F0	–	–	–	–	–	–	–	–	–	–	–	–
Non-volatile Sector Protection command set definitions																
PPB (Nonvolatile Sector Protection)	PPB Entry	3	555	AA	2AA	55	555	C0	–	–	–	–	–	–	–	–
	PPB Program[77]	2	XXX	A0	SA	0	–	–	–	–	–	–	–	–	–	–
	All PPB Erase[77]	2	XXX	80	0	30	–	–	–	–	–	–	–	–	–	–
	PPB Read[77, 78]	1	SA	RD (0)			–	–	–	–	–	–	–	–	–	–
	SA Protection Status[78, 79]	2	XXX	60	SA	RD	–	–	–	–	–	–	–	–	–	–
	Command Set Exit[73, 76]	2	XXX	90	XXX	0	–	–	–	–	–	–	–	–	–	–
	Reset / ASO Exit[68, 76]	1	XXX	F0	–	–	–	–	–	–	–	–	–	–	–	–
Global Non-volatile Sector Protection Freeze command set definitions																
PPB Lock Bit	PPB Lock Entry	3	555	AA	2AA	55	555	50								
	PPB Lock Bit Clear	2	XXX	A0	XXX	0										
	PPB Lock Status Read[78]	1	XXX	RD (0)												
	Command Set Exit[73, 76]	2	XXX	90	XXX	0										
	Reset / ASO Exit[76]	1	XXX	F0												
Volatile Sector Protection command set definitions																
DYB (Volatile Sector Protection) ASO	DYB ASO Entry	3	555	AA	2AA	55	555	E0	–	–	–	–	–	–	–	–
	DYB Set[77]	2	XXX	A0	SA	0	–	–	–	–	–	–	–	–	–	–
	DYB Clear[77]	2	XXX	A0	SA	1	–	–	–	–	–	–	–	–	–	–
	DYB Status Read[78]	1	SA	RD (0)	–	–	–	–	–	–	–	–	–	–	–	–
	SA Protection Status[77, 78, 79]	2	XXX	60	SA	RD	–	–	–	–	–	–	–	–	–	–
	Command Set Exit[73, 76]	2	XXX	90	XXX	0	–	–	–	–	–	–	–	–	–	–
	Reset / ASO Exit[76]	1	XXX	F0	–	–	–	–	–	–	–	–	–	–	–	–

注

- 所有值均为十六进制数值。所有地址参考16位字。
- 除了下列周期外，所有总线周期均为写入周期：发生于读取过程的读取周期、ID/CFI读取（制造商ID/器件ID）、指示位、安全存储区域读取、SSR锁定读取以及状态寄存器读取的第二个周期。
- 除了RD、PD、WC和PWD外，命令时序中的数据位DQ15-DQ8无需关注。
- 除非需要SA或PA，否则在解锁和命令周期期间，地址位A_{MAX}-A11均为无需关注。（A_{MAX}是最高地址引脚）。
- 读取阵列的数据时，不需要解锁或命令周期。
- 在器件处于ID-CFI（自动选择）模式时，或DQ5变为高电平（当器件正在提供状态数据时）的情况下，需要通过复位命令返回阵列数据读取模式。
- 当器件就绪读取阵列数据或器件处于ID-CFI（自动选择）模式时，命令将有效。
- 在擦除挂起模式下，系统可以对非擦除扇区进行读取和编程/编程挂起的操作，或者从该模式进入ID-CFI ASO模式。擦除挂起命令仅在扇区擦除操作期间有效。
- 擦除恢复/编程恢复命令仅在擦除挂起/编程挂起模式下有效。
- 检测到器件处于写入到缓存区中止状态后，发出该命令时序以返回到读取模式。请注意，如果进行复位以退出中止状态，则需使用完整的命令时序。
- 退出命令会使器件返回到读取阵列状态。
- 对于PWDx，每个AO命令只能编程密码的一部分。密码的各部分必须按序进行编程（PWD0 - PWD3）。
- 所有 ASP 寄存器位均为一次性可编程。编程状态 = 0，擦除状态 = 1。此外，持久保护模式锁定和密码保护模式锁定不能同时编程，否则 ASPR 寄存器位编程操作将中止并将器件返回读取模式。保留给未来使用的ASPR寄存器位未定义，可能是0或1。
- 如果发出任何进入命令，则必须发出退出命令，以使器件返回到读取模式。
- 位 0 = 0 表示受保护状态，位 0 = 1 表示不受保护状态。第 1 位至第 15 位均为 1。DYB 置位、DYB 清除或 PPB 编程指令的扇区地址可以是扇区内的任意位置；扇区地址的低位无需关注。
- 状态寄存器读取命令传输、DYB 读取、PPB 读取、SA 保护读取、密码读取、POR 定时器读取、ICR 读取、ISR 读取、VCR 读取、NVCR 读取、FIDR 读取、ASPR 读取、PPBL 读取命令传输期间的数据输出仅在器件输出第一个字期间有效。如果 CK/CK# 继续切换而 CS# 保持低电平，则后续数据值输出未定义。
- SA 保护状态读取期间输出的数据指示所指示的扇区是否在位 0-2 中受到保护。
 - 位 0 - 指示所指示的扇区是否受保护（0 = 受保护，1 = 不受保护）。
 - 位 1 - 使用扇区的DYB位进行保护（0 = 受保护，1 = 不受保护）。
 - 位 2 - 使用扇区的 PPB 位进行保护（0 = 受保护，1 = 不受保护）。第 3 位至第 15 位均为 1。
- 较小的参数扇区需要包含 A[16:11] 作为地址的一部分，在擦除和编程指令时序期间标识目标参数扇区。
- ID（自动选择）进入和CFI进入都允许访问相同的ID/CFI数据集。使用 ID 或 CFI 进入时序后，ID/CFI 数据集中包含的所有数据均可用。

表 41 指令定义 (续)

Command sequence		Cycles	Bus cycles ^[63, 64, 65, 66]													
			First		Second		Third		Fourth		Fifth		Sixth		Seventh	
			Addr	Data	Addr	Data	Addr	Data	Addr	Data	Addr	Data	Addr	Data	Addr	Data
ECC command set definitions																
ECC Status ASO	ECC Status Enter	3	555	AA	2AA	55	555	75	–	–	–	–	–	–	–	–
	ECC Status Read ^[78]	1	RA	RD	–	–	–	–	–	–	–	–	–	–	–	–
	Error Lower Address Register	2	XXX	60	XX1	RD	–	–	–	–	–	–	–	–	–	–
	Error Upper Address Register	2	XXX	60	XX2	RD	–	–	–	–	–	–	–	–	–	–
	Read Error Detection Counter	2	XXX	60	XX3	RD	–	–	–	–	–	–	–	–	–	–
	Clear ECC Errors	1	XXX	50	–	–	–	–	–	–	–	–	–	–	–	–
	Reset/ASO Exit	1	XXX	F0	–	–	–	–	–	–	–	–	–	–	–	–
CRC command set definitions																
CRC ASO	CRC ASO Entry	3	555	AA	2AA	55	555	78	–	–	–	–	–	–	–	–
	Load CRC Start Address	1	BL	C3	–	–	–	–	–	–	–	–	–	–	–	–
	Load CRC End Address (start calculation)	1	EL	3C	–	–	–	–	–	–	–	–	–	–	–	–
	CRC Suspend	1	XXX	C0	–	–	–	–	–	–	–	–	–	–	–	–
	Array Read (during suspend)	1	RA	RD	–	–	–	–	–	–	–	–	–	–	–	–
	CRC Resume	1	XXX	C1	–	–	–	–	–	–	–	–	–	–	–	–
	Read Check-value Low Result Register	2	XXX	60	XX0	RD	–	–	–	–	–	–	–	–	–	–
	Read Check-value High Result Register	2	XXX	60	XX1	RD	–	–	–	–	–	–	–	–	–	–
	Reset / ASO Exit	1	XXX	F0	–	–	–	–	–	–	–	–	–	–	–	–

- 注**
- 所有值均为十六进制数值。所有地址参考16位字。
 - 除了下列周期外，所有总线周期均为写入周期：发生于读取过程的读取周期、ID/CFI读取（制造商ID/器件ID）、指示位、安全存储区域读取、SSR锁定读取以及状态寄存器读取的第二个周期。
 - 除了RD、PD、WC和PWD外，命令时序中的数据位DQ15-DQ8无需关注。
 - 除非需要SA或PA，否则在解锁和命令周期期间，地址位A_{MAX}-A11均为无需关注。（A_{MAX}是最高地址引脚）。
 - 读取阵列的数据时，不需要解锁或命令周期。
 - 在器件处于ID-CFI（自动选择）模式时，或DQ5变为高电平（当器件正在提供状态数据时）的情况下，需要通过复位命令返回阵列数据读取模式。
 - 当器件就绪读取阵列数据或器件处于ID-CFI（自动选择）模式时，命令将有效。
 - 在擦除挂起模式下，系统可以对非擦除扇区进行读取和编程/编程挂起的操作，或者从该模式进入ID-CFI ASO模式。擦除挂起命令仅在扇区擦除操作期间有效。
 - 擦除恢复/编程恢复命令仅在擦除挂起/编程挂起模式下有效。
 - 检测到器件处于写入到缓存区中止状态后，发出该命令时序以返回到读取模式。请注意，如果进行复位以退出中止状态，则需使用完整的命令时序。
 - 退出命令会使器件返回到读取阵列状态。
 - 对于PWDx，每个A0命令只能编程密码的一部分。密码的各部分必须按序进行编程（PWD0 - PWD3）。
 - 所有 ASP 寄存器位均为一次性可编程。编程状态 = 0，擦除状态 = 1。此外，持久保护模式锁定位和密码保护模式锁定位不能同时编程，否则 ASPR 寄存器位编程操作将中止并将器件返回读取模式。保留给未来使用的ASPR寄存器位未定义，可能是0或1。
 - 如果发出任何进入命令，则必须发出退出命令，以使器件返回到读取模式。
 - 位 0 = 0 表示受保护状态，位 0 = 1 表示不受保护状态。第 1 位至第 15 位均为 1。DYB 置位、DYB 清除或 PPB 编程指令的扇区地址可以是扇区内的任意位置；扇区地址的低位无需关注。
 - 状态寄存器读取命令传输、DYB读取、PPB 读取、SA 保护读取、密码读取、POR定时器读取、ICR 读取、ISR读取、VCR 读取、NVCR 读取、FIDR 读取、ASPR 读取、PPBL 读取命令传输期间的数据输出仅在器件输出第一个字期间有效。如果 CK/CK# 继续切换而 CS# 保持低电平，则后续数据值输出未定义。
 - SA 保护状态读取期间输出的数据指示所指示的扇区是否在位 0-2 中受到保护。
位 0 - 指示所指示的扇区是否受保护（0 = 受保护，1 = 不受保护）。
位 1 - 使用扇区的DYB位进行保护（0 = 受保护，1 = 不受保护）。
位 2 - 使用扇区的 PPB 位进行保护（0 = 受保护，1 = 不受保护）。
第 3 位至第 15 位均为 1。
 - 较小的参数扇区需要包含 A[16:11] 作为地址的一部分，在擦除和编程指令时序期间标识目标参数扇区。
 - ID（自动选择）进入和CFI进入都允许访问相同的ID/CFI数据集。使用 ID 或 CFI进入时序后，ID/CFI 数据集中包含的所有数据均可用。

指令定义图例：

X = 无需关注。
RA = 要读取的存储器地址。
RD = 在读取操作期间从位置RA读取的数据。
PA = 要编程的存储器位置的地址。
PD = 要在位置PA编程的数据。
SA = 所选扇区的地址。地址位 A_{MAX} -A17（256KB 扇区）和 A_{MAX}-A11（4KB 参数扇区）唯一选择任何扇区。
WBL = 写入缓存区位置。地址必须在同一行内。
WC = 字计数，等于要加载的写入缓存区位置数量减1。
PWAx = PPB密码地址，word0 = 00h、word1 = 01h、word2 = 02h和word3 = 03h。
PWDx = 密码数据word0、word1、word2和word3。

数据完整性

9 数据完整性

9.1 耐久性

表 42 编程/擦除耐久性

Non-volatile unit	Temperature range	Minimum	Unit
Any sector	Industrial	100K	Program-Erase cycles
	Industrial Plus	100K	
	Extended	10K	
Configuration Register	Industrial	100K	
	Industrial Plus	100K	
	Extended	10K	

9.2 数据保留

表 43 数据保留

Parameter	Typical	Unit
Data retention time after 1K cycles or less with one programming operation, per half-page, per erase	20	Years

注

82. 循环数据收集限制为100K次循环。

10 硬件接口

有关HYPERFLASH™存储器的HYPERBUS™硬件接口的一般描述，请参阅HYPERBUS™规范。以下部分描述了HYPERFLASH™器件相关的硬件接口方面。

11 电气规格参数

以下部分介绍了HYPERFLASH™器件的电气规格相关方面。

11.1 绝对最大额定值

表 44 绝对最大额定值

Storage temperature plastic packages	-65°C to +150°C
Ambient temperature with power applied	-65°C to +125°C
Voltage with respect to ground	-
All signals[83]	-0.5 V to +(V _{CC} + 0.5 V)
Output short circuit current[84]	100 mA
V _{CC}	-0.5 V to +4.0 V

11.1.1 输入信号过冲

在DC条件下，输入或 I/O 信号应保持等于或介于 V_{SS}和V_{DD}之间。在电压转换期间，输入或 I/O 可能会负过冲 V_{SS} 到-1.0 V 或正过冲至 V_{DD} 到+1.0 V，持续时间最长为 20 ns。

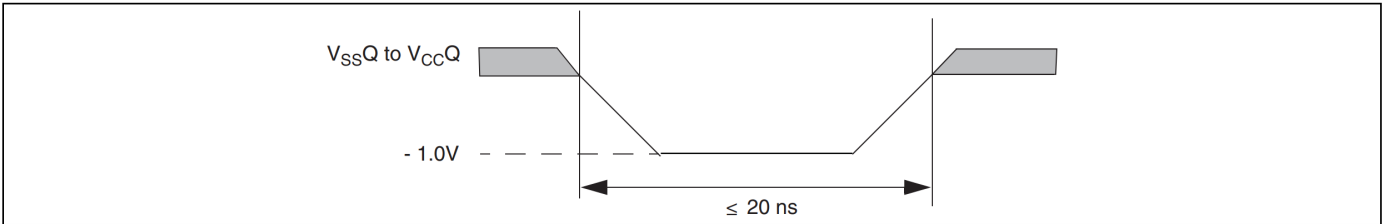


图 21 最大负过冲波形

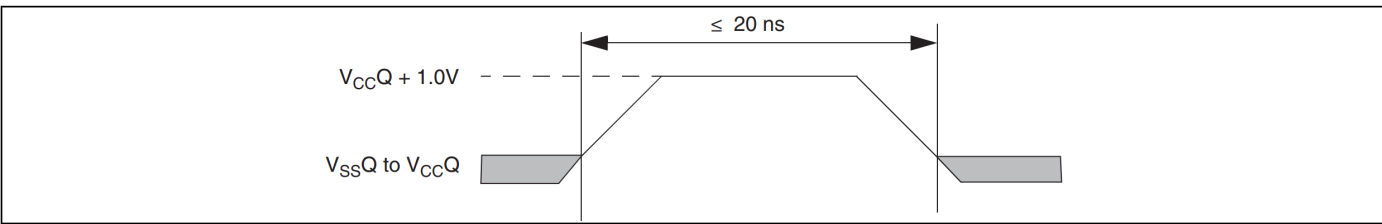


图 22 最大正过冲波形

注

83. 输入或 I/O 信号上的最小DC电压为-1.0 V。在电压转换期间，输入或 I/O 信号可能低于 V_{SS}至-1.0 V，持续时间长达 20 ns。见图 21。输入或 I/O 信号上的最大DC电压为 V_{CC}+ 1.0 V。在电压转换期间，输入或 I/O 信号可能高于 V_{CC}+ 1.0 V，持续时间长达 20 ns。见图 22。
84. 每一次只能有一个输出对地短接。短接时间不能超过一秒。
85. 超过“绝对最大额定值”所列值的载荷可能会对器件造成永久性损坏。这仅仅是一个载荷额定值，并不意味着器件在这些条件下或任何其他高于本规范操作部分所示条件的情况下能够正常运行。器件长时间处于绝对最大额定值条件下可能会影响器件可靠性。

11.2 热阻

表 45 热阻

Parameter	Description	Test condition	Device	VAA024	Unit
Theta JA	Thermal resistance (Junction to ambient)	Test conditions follow standard test methods and procedures for measuring thermal impedance in accordance with EIA/JESD51, with Still Air (0 m/s).	S26KS512S	38.5	°C/W
			S26KS256S	43.4	
			S26KS128S	45.3	
			S26KL512S	38	
			S26KL256S	43	
			S26KL128S	45.3	
Theta JB	Thermal resistance (Junction to board)		S26KS512S	10.2	°C/W
			S26KS256S	15.8	
			S26KS128S	17.4	
			S26KL512S	10.2	
			S26KL256S	15.8	
			S26KL128S	17.4	
Theta JC	Thermal resistance (Junction to case)		S26KS512S	11.6	°C/W
			S26KS256S	16.3	
			S26KS128S	18.1	
			S26KL512S	11.6	
			S26KL256S	16.3	
			S26KL128S	18.1	

11.3 闩锁特性

表 46 闩锁参数

Description	Min	Max	Unit
Input voltage with respect to VssQ on all input only connections	-1.0	VccQ + 1.0	V
Input voltage with respect to VssQ on all I/O connections	-1.0	VccQ + 1.0	V
VccQ Current	-100	+100	mA

注

86. 测试条件遵循EIA/JESD51测量热阻抗的标准方法和程序。
87. 不包括电源 V_{cc}/V_{ccQ}。测试条件：V_{cc} = V_{ccQ} = 1.8 V，一次测试一个连接，未测试的连接位于 V_{ssQ}。

11.4 工作范围

工作范围定义了一些限值，在这些限值之间可保证器件正常运行。工作范围是器件特定的。查阅器件数据手册订购部件号的有效组合，了解特定器件支持哪些工作范围。

11.4.1 温度范围

表 47 温度范围

Parameter	Symbol	Device	Spec		Unit
			Min	Max	
Ambient Temperature	T _A	Industrial	-40	+85	°C
		Industrial Plus	-40	+105	°C
		Extended	-40	+125	°C
		Automotive, AEC-Q100 grade 3	-40	+85	°C
		Automotive, AEC-Q100 grade 2	-40	+105	°C
		Automotive, AEC-Q100 grade 1	-40	+125	°C

11.4.2 供电电压

V _{CC} and V _{CCQ}	1.7 V to 1.95 V
V _{CC} and V _{CCQ}	2.7 V to 3.6 V

11.5 DC 特性 (CMOS兼容)

表 48 DC 特性 (CMOS 兼容)

Parameter	Description	Test conditions	Min	Typ ^[96]	Max	Unit
I _{CC1}	V _{CC} active read current (core current only, I/O switching current is not included)	CS# = V _{IL} , @ 166 MHz, V _{CC} = 1.95 V	–	130	180	mA
		CS# = V _{IL} , @ 100 MHz, V _{CC} = 3.6 V	–	80	100	mA
I _{IO1}	V _{CCQ} active read current of I/Os	CS# = V _{IL} , @ 166 MHz, V _{CCQ} = 1.95 V, C _{LOAD} = 20 pF	–	80	100	mA
		CS# = V _{IL} , @ 100 MHz, V _{CCQ} = 3.6 V, C _{LOAD} = 20 pF	–	80	100	mA
I _{CC3P}	V _{CC} active program current ^[88, 89]	V _{CC} = V _{CC} max	–	60	100	mA
I _{CC3E}	V _{CC} active erase current ^[88, 89]	V _{CC} = V _{CC} max	–	60	100	mA
I _{CC4I}	V _{CC} standby current for Industrial Temperature (–40°C to +85°C)	CS# = V _{IH} , RESET# = V _{CC} , V _{CC} = V _{CC} max	–	25	100	μA
I _{CC4IC}	V _{CC} standby current for Industrial Plus (Automotive - In Cabin) Temperature (–40°C to +105°C)	CS# = V _{IH} , RESET# = V _{CC} , V _{CC} = V _{CC} max	–	25	300	μA
I _{CC4E}	V _{CC} standby current for Extended Temperature (–40°C to +125°C)	CS# = V _{IH} , RESET# = V _{CC} , V _{CC} = V _{CC} max	–	25	300	μA
I _{CC5}	V _{CC} reset current ^[92]	CS# = V _{IH} , RESET# = V _{SS} , V _{CC} = V _{CC} max	–	10	20	mA

注

88. 在执行嵌入式算法期间，I_{CC} 有效。
89. 并非100%经过了测试。
90. 当 CK/CK# 信号保持稳定时，工作时钟停止模式启用较低功耗模式 t_{ACC} + 30 ns。
91. V_{CCQ} = 1.70 V 至 1.95 V 或 2.7 V 至 3.6 V。
92. V_{CC} = V_{CCQ} = 1.8 V 或 V_{CC} = V_{CCQ} = 3.0 V。
93. 在上电期间，有电流波峰需求，要求系统能够提供该电流，以保证器件正确初始化。
94. 如果复位开始时嵌入式操作正在执行中，则电流消耗将保持在嵌入式操作规范，直到嵌入式操作被复位停止。如果复位开始时没有执行任何嵌入式操作，或者在嵌入式操作停止之后，在 t_{RPH} 剩余期间消耗的电流为 I_{CC70}。在 t_{RPH} 结束时，器件会进入待机模式，直到进行下一个读取或写入操作为止。
95. 建议 INT# 和 RSTO# 输出的上拉电阻为 5k 至 10k Ohms。
96. 典型的 I_{CC} 值是在 t_{AI} = 25°C 和 V_{CC} = V_{CCQ} = 1.8 V 或 3.0 V 下测量的（不适用于 85°C、105°C 和 125°C 的 IDPD）。

表 48 DC 特性 (CMOS 兼容) (续)

Parameter	Description	Test conditions	Min	Typ ^[96]	Max	Unit
I _{CC6}	Active clock stop mode ^[90]	V _{IH} = V _{CC} , V _{IL} = V _{SS} , V _{CC} = 1.95 V	–	6	12	mA
		V _{IH} = V _{CC} , V _{IL} = V _{SS} , V _{CC} = 3.6 V	–	6	12	mA
I _{CC7}	V _{CC} current during power-up ^[91]	CS# = X, V _{CC} = V _{CC} max	–	80	100	mA
I _{DPD}	Deep power-down current 512 Mb @ 25°C	CS# = V _{IH} , RESET#, V _{CC} = V _{CC} max	–	8	18	μA
	Deep power-down current 512 Mb @ 85°C		–	30	50	μA
	Deep power-down current 512 Mb @ 105°C		–	95	150	μA
	Deep power-down current 512 Mb @ 125°C		–	150	250	μA
	Deep power-down current (all other densities) @ 25°C		–	3	6	μA
	Deep power-down current (all other densities) @ 85°C		–	4	10	μA
	Deep power-down current (all other densities) @ 105°C		–	5	15	μA
	Deep power-down current 256 Mb @ 125°C		–	15	50	μA
	Deep power-down current 128 Mb @ 125°C		–	10	50	μA
V _{IL}	Input low voltage	–	–0.15 × V _{CCQ}	–	0.35 × V _{CCQ}	V
V _{IH}	Input high voltage	–	0.65 × V _{CCQ}	–	1.15 × V _{CCQ}	V
V _{OH}	Output high voltage	I _{OH} = 100 μA for DQ[7:0]	V _{CCQ} – 0.20	–	–	V
V _{OL}	Output low voltage	I _{OL} = 100 μA for DQ7– DQ0 I _{OL} = 2 mA for INT# and RSTO#	–	–	0.15 × V _{CCQ}	V

注

88. 在执行嵌入式算法期间, I_{CC} 有效。
89. 并非100%经过了测试。
90. 当 CK/CK# 信号在 t_{ACC}+30ns 内保持稳定时, 工作时钟停止模式启用低功耗模式。
91. V_{CCQ} = 1.70 V 至 1.95 V 或 2.7 V 至 3.6 V。
92. V_{CC} = V_{CCQ} = 1.8 V 或 V_{CC} = V_{CCQ} = 3.0 V。
93. 在上电期间, 有电流波峰需求, 要求系统能够提供该电流, 以保证器件正确初始化。
94. 如果复位开始时嵌入式操作正在执行中, 则电流消耗将保持在嵌入式操作规范, 直到嵌入式操作被复位停止。如果复位开始时没有执行任何嵌入式操作, 或者在嵌入式操作停止之后, 在 t_{RPH} 剩余期间消耗的电流为 I_{CC70}。在 t_{RPH} 结束时, 器件会进入待机模式, 直到进行下一个读取或写入操作为止。
95. 建议 INT# 和 RSTO# 输出的上拉电阻为 5k 至 10k Ohms。
96. 典型的 I_{CC} 值是在 t_{AI} = 25°C 和 V_{CC} = V_{CCQ} = 1.8 V 或 3.0 V 下测量的 (不适用于 85°C、105°C 和 125°C 的 I_{DPD})。

电气规格参数

11.5.1 电容特性

表 49 1.8 V 电容特性

Description	Parameter	Min	Max	Unit
Input capacitance (CK, CK#, CS#, PSC, PSC#)	CI	3.5	4.5	pF
Delta input capacitance (CK, CK#, CS#, PSC, PSC#)	CID	–	0.25	pF
Output capacitance (RWDS)	CO	5.0	6.0	pF
I/O pin capacitance (DQx)	CIO	5.0	6.0	pF
I/O pin capacitance delta (DQx)	CIOD	–	0.8	pF
INT#, RSTO# pin capacitance	COP	5.0	6.0	pF
RESET# pin capacitance	CIP	6.5	9.0	pF

表 50 3.0 V 电容特性

Description	Parameter	Min	Max	Unit
Input capacitance (CK, CS#)	CI	3.5	4.5	pF
PSC	CI	3.5	4.5	pF
Output capacitance (RWDS)	CO	4.5	6.0	pF
I/O pin capacitance (DQx)	CIO	4.5	6.0	pF
I/O pin capacitance delta (DQx)	CIOD	–	0.8	pF
INT#, RSTO# pin capacitance	COP	5.0	6.0	pF
RESET# pin capacitance	CIP	6.0	8.5	pF

注

97. 这些值由设计保证，并且仅在样片基础上进行测试。
98. 引脚电容根据 JEP147 规程使用矢量网络分析仪测量电容。 V_{CC} 、 V_{CCQ} 且所有其他引脚（被测引脚除外）悬空。DQ 应处于高阻状态。
99. CK、CK#、RWDS 和 DQx 引脚的电容值必须具有相似的电容值，以允许系统中的信号时间匹配。CS# 的电容值并不那么重要，因为在 CS# 变为有效（低电平）和数据出现在 DQ 总线上之间没有关键的时序。
100. 这些值由设计保证，并且仅在样片基础上进行测试。
101. 引脚电容根据 JEP147 规程使用矢量网络分析仪测量电容。 V_{CC} 、 V_{CCQ} 且所有其他引脚（被测引脚除外）悬空。DQ 应处于高阻状态。
102. CK、RWDS 和 DQx 引脚的电容值必须具有相似的电容值，以允许系统中的信号传播时间匹配。CS# 的电容值并不那么重要，因为在 CS# 变为有效（低电平）和数据出现在 DQ 总线上之间没有关键的时序。

11.6 上电和断电

当内核电源 (V_{CC}) 降至 V_{CC} 锁定电压 (V_{LKO}) 以下时, 存储器将被视为断电。当 V_{CC} 低于 V_{LKO} 时, 整个存储阵列收到保护, 防止编程或擦除操作。这确保在电源转换期间不会发生存储器内容的任何虚假更改。在电源电压降至 V_{SS} 电平期间, V_{CCQ} 应保持小于或等于 V_{CCO} 。

如果 V_{CC} 低于 V_{CC} 复位值 (V_{RST}), 然后又回到 V_{RST} 以上并达到 V_{CC} 最小值, 则进入上电复位接口状态, 并且 EAC 启动冷复位嵌入式算法。

V_{CC} 必须始终大于或等于 V_{CCQ} ($V_{CC} \geq V_{CCQ}$)。

在 V_{CC} 和 V_{CCQ} 均超过并保持在最低 V_{CC} 阈值之后, 器件会忽略所有输入, 直至经过 t_{VCS} 时间延迟。在 t_{VCS} 期间, 器件正在执行上电复位操作。

在断电或电压降至低于 V_{LKO} 时, V_{CC} 电压必须降至低于 V_{RST} 并持续 t_{PD} 时间, 以便当 V_{CC} 和 V_{CCQ} 再次升至其工作范围时, 器件能够正确初始化。参见图 23。如果在降压过程中 V_{CC} 保持在 V_{LKO} 以上, 则器件将保持初始化状态, 并在 V_{CC} 再次高于 V_{CC} 最小值时正常工作。如果器件因初始化不当而锁定, 可以使用软件复位来正确初始化器件。

必须采取正常预防措施对电源进行去耦, 以稳定 V_{CC} 和 V_{CCQ} 电源。系统中的每个器件应在靠近封装连接处使用合适的电容器对 V_{CC} 和 V_{CCQ} 电源进行去耦 (此电容器通常约为 $0.1\mu F$)。

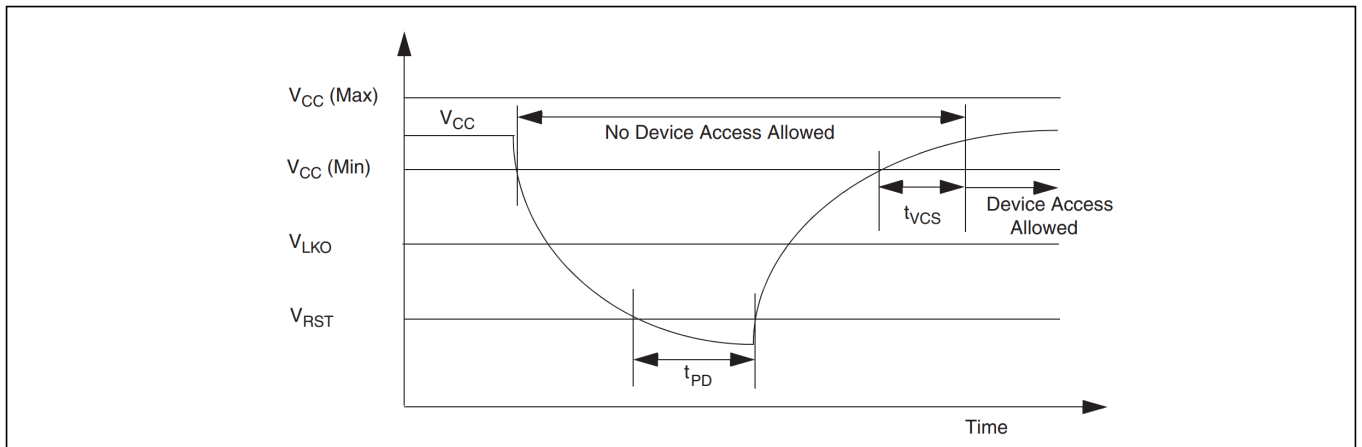


图 23 断电或电压下降

电气规格参数

表 51 1.8 V上电/断电电压和时序

Symbol	Parameter	Min	Max	Unit
Vcc	Vcc power supply	1.7	1.95	V
VLKO	Vcc cut-off below which re-initialization is required	1.5	–	V
VRST	Vcc low voltage needed to ensure initialization will occur	0.5	–	V
tvCS	Vcc and VccQ $\geq$ minimum to first access RESET# LOW to HIGH transition to first access (Vcc and VccQ $\geq$ minimum)	–	300	μ s
tPD	Duration of Vcc $\leq$ VRST	10	–	μ s

表 52 3.0V 上电/断电电压和时序

Symbol	Parameter	Min	Max	Unit
Vcc	Vcc power supply	2.7	3.6	V
VLKO	Vcc cut-off below which re-initialization is required	2.4	–	V
VRST	Vcc low voltage needed to ensure initialization will occur	0.7	–	V
tvCS	Vcc and VccQ $\geq$ minimum to first access RESET# LOW to HIGH transition to first access (Vcc and VccQ $\geq$ minimum)	–	300	μ s
tPD	Duration of Vcc $\leq$ VRST	10	–	μ s

注

103. Vcc斜率可以是非线性的。

11.6.1 上电复位 (POR) (冷)

首次上电时，供电电压低于 V_{LKO} ，然后上升到工作范围最小值，启动内部器件配置和冷复位活动。在 POR 操作持续期间 (t_{VCS}) 和任何用户延长的 $RSTO\#$ 低电平期间，将忽略 $RESET\#$ 和 $CS\#$ 。当器件处于 POR 状态或 $RSTO\#$ 为低电平时，将阻止指令时序。在此期间，无法选择器件，不会接受指令，也不会驱动除 $RSTO\#$ 以外的输出。在此 POR 期间 $RESET\#$ 是否为低电平是可选的。如果在 POR 期间 $RESET\#$ 驱动为低电平，则必须满足硬件复位参数 t_{RP} 和 t_{RPH} ，在这种情况下，POR 操作将在 t_{VCS} 和 t_{RPH} 时完成。如果在 t_{VCS} 期间 $RESET\#$ 为低电平，则它可能在 t_{VCS} 结束时保持低电平，以使器件保持在硬件复位状态。如果 $RESET\#$ 在 t_{VCS} 结束时为高电平，则器件将进入待机状态。 $CS\#$ 必须在 $RSTO\#$ LOW 结束之前变为 V_{IHO} 。

冷复位期间，器件将吸收 I_{CC7} 电流。如果 $CS\#$ 在 t_{VCS} 期间为低电平，则器件在 t_{VCS} 器件可能消耗高于典型 POR 电流，但不会超过最大值。并且 $CS\#$ 的电平不会影响冷复位 EA_0 。

如果在 t_{VCS} 结束时尚未正确完成 POR，以后转换到硬件复位状态时将导致转换到上电复位接口状态，并启动冷复位嵌入式算法。这样可确保器件能够完成冷复位，即使系统上电电压升高的相关问题可导致 POR 未能正确启动或完成。

$RSTO\#$ 是开漏极输出，用于指示器件内部何时发生 POR，并可用作系统电平复位信号。内部 POR 完成后，经过用户定义的超时时间后， $RSTO\#$ 信号将从低电平转换为高阻态。转换到高阻态后，外部上拉阻抗会将 $RSTO\#$ 拉高，器件立即进入待机状态。

当 $RSTO\#$ 为低电平时，器件不接受任何指令。

如果用户想要将 $RSTO\#$ 周期延长到 POR (t_{VCS}) 周期之外，则必须对非易失性 PORTIME 寄存器进行编程。该寄存器 (FFFFh) 的默认值提供零附加时间。 $RSTO\#$ 信号将在 t_{VCS} 结束时返回高阻态。编程到 16 位 PORTIME 寄存器中的值乘以 t_{POR_CK} (参见表 53) 定义 $RSTO\#$ 脉冲在 t_{VCS} 之后的延长时间。编程的 $RSTO\#$ 断言延长时间长度是编程到 PORTIME 寄存器中的值加上一个时钟周期。PORTIME 寄存器是 OTP 寄存器，一旦编程，后续编程尝试将失败。

表 53 用户 POR 扩展时钟时序

Parameter	Symbol	Min	Max	Unit
POR extension clock period	t_{POR_CK}	25	42	μs

请注意，当 V_{CC} 低于 $V_{CC(min)}$ 时， $RSTO\#$ 和 $INT\#$ 输出均未定义。当达到 $V_{CC(min)}$ 时， $INT\#$ 输出将处于高阻抗状态。在达到 $V_{CC(min)}$ 后， $RSTO\#$ 输出将在 t_{VCS} 加上任何额外的用户定义 POR 扩展时间之后从 LOW 转换到高阻抗状态。

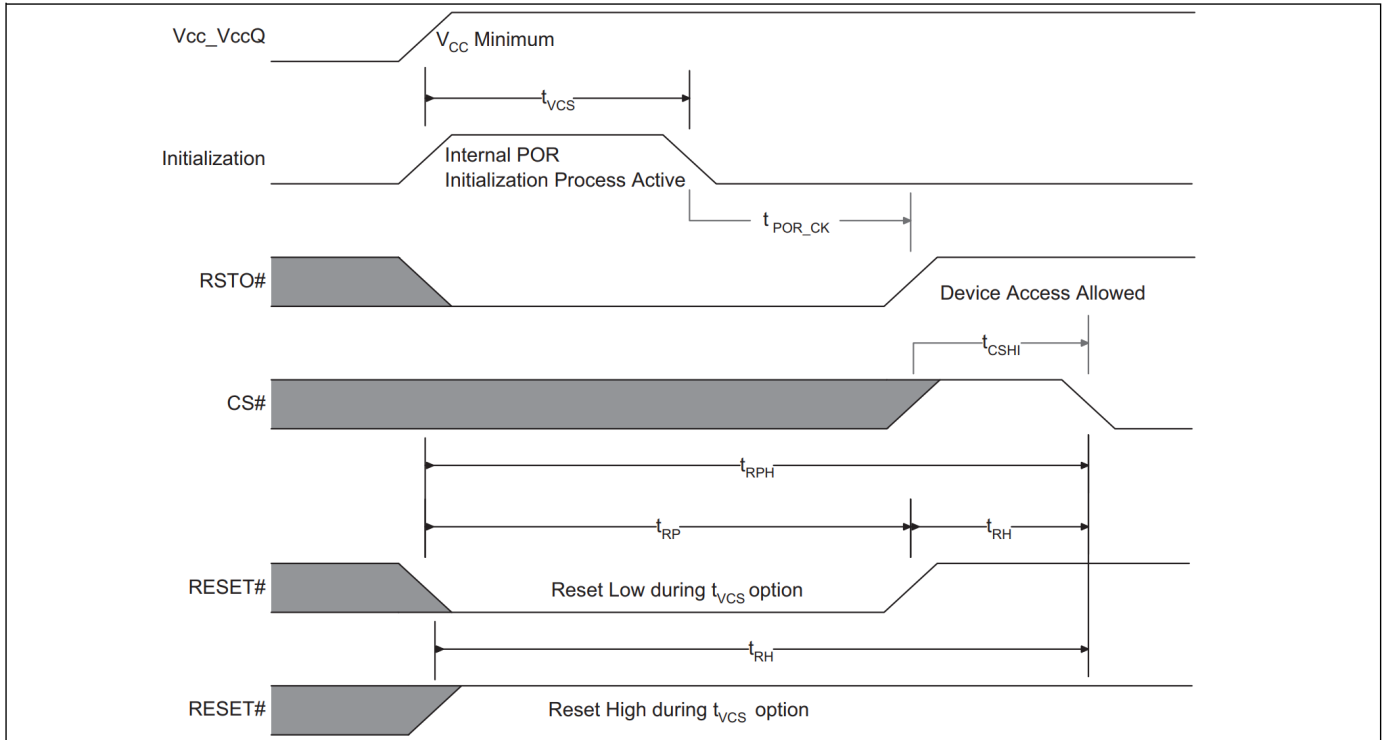


图 24 上电复位信号图 [104, 105, 106]

11.6.2 硬件复位

- 终止任何正在执行的操作，
- 当 $RESET\#$ 为低电平时， $DQ[7:0]$ 被置于高阻态
- 退出所有ASO
- 使所有输出三态化，
- 复位状态寄存器，
- 将EAC复位到待机状态。
- $CS\#$ 在复位操作期间 (t_{RPH}) 被忽略。
- 为符合复位电流规范 (I_{CC5})， $CS\#$ 必须保持高电平状态。

为了确保数据完整性，一旦器件完成硬件复位过程，任何被中断的非易失的操作都应该重新启动。

注

104. V_{CCQ} 的电压必须与 V_{CC} 相同。

105. PORTime 是一个客户编程配置寄存器，用于允许 $RSTO\#$ 在 t_{VCS} 之后继续有效。PORTime 的描述见表 14。

106. t_{POR_CK} 是用于生成 $RSTO\#$ 扩展的内部（片上）时钟周期。 t_{POR_CK} 在表 53 中描述。

11.6.3 硬件（热）复位

RESET# 输入提供了一种将器件硬件复位到待机状态的方法。当 RESET# 为低电平时，不允许执行指令时序和读取操作。当器件处于复位状态时，指令时序被阻止。

硬件复位期间，器件将吸收 I_{CC5} 电流。当 RESET# 继续保持在 V_{SS} 时，器件将吸收 CMOS 待机电流 (I_{CC4})。如果 RESET# 保持在 V_{IL} 而非 V_{SS} ，则待机电流会更大。

硬件复位将导致总线配置由非易失性配置寄存器 (NVCR) 定义。参见图 25。

器件完成 POR 并进入待机状态后，以后转换到硬件复位状态时将启动热复位嵌入式算法。热复位的时间比冷复位的时间短得多，它只需要数十 μs (t_{RPH}) 便能完成。在热复位 EA 期间，正在执行的所有 EA 都停止，EAC 返回其POR状态，而不会从非易失性存储器重新加载EAC算法。热复位EA完成后，如果 RESET# 保持低电平，接口将保持在硬件复位状态。当 RESET# 复位为高电平时，接口将转移到待机状态。如果 RESET# 在热复位 EA 结束时为 HIGH，接口将直接转换到待机状态。

如果 POR 在 t_{VCS} 结束时未正确完成，后续转换到硬件复位状态将导致转换到上电复位接口状态并启动冷复位 EA。这确保设备能够完成冷复位，即使系统上电电压斜坡上升的某些方面导致 POR 未能正确启动或完成。

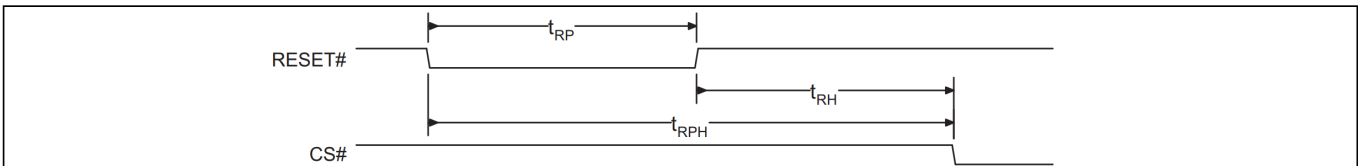


图 25 硬件复位时序图

表 54 上电和复位参数

Parameter	Description	Limit	Time	Unit
t_{VCS}	Vcc setup time to first access[107]	Min	300	μs
t_{RPH}	RESET# LOW to CS# LOW	Min	30	μs
t_{RP}	RESET# pulse width	Min	200	ns
t_{RH}	Time between RESET# (HIGH) and CS# (LOW)	Min	150	ns
t_{PD}	Duration of $V_{CC} \leq V_{RST}$	Min	10	μs
t_{CSHI}	Chip Select HIGH between operations	Min	6.0	ns

硬件复位也可用于退出 DPD 模式。将 RESET# 输入驱动至低电平（持续最短 t_{RP} 时间）也会导致器件退出 DPD 模式。器件需要 t_{DPDOUT} 时间才能返回待机状态。退出 DPD 后，器件将具有与 POR 之后相同的默认设置。请参阅第 92 页“深度断电”。

注

107. 上电复位时间 (t_{VCS}) 期间不允许进行总线命令传输（读和写）。
108. 时序从 V_{CC} 达到 V_{CC} 最小值到 RESET# 上的 V_{IH} 和 CS# 上的 V_{IL} 进行测量。
109. 在 POR 期间，RESET# 低电平是可选的。如果在 POR 期间置位复位，则 t_{RPH} 和 t_{VCS} 中较晚的那个参数将决定 CS# 何时变为低电平。如果满足 t_{VCS} 之后 RESET# 仍然保持低电平，则 t_{RPH} 将从 t_{VCS} 结束时开始测量。在 CS# 变为低电平之前，复位也必须在 t_{RH} 之前保持高电平。
110. V_{CC} 斜率可以是非线性的。
111. t_{RP} 和 t_{RH} 的总和不能小于 t_{RPH} 。

11.7 关闭电源（硬件数据保护）

当内核电源 (V_{CC}) 下降到锁定电压 (V_{LKO}) 以下时, 存储器被视为断电。当 V_{CC} 低于 V_{LKO} 时, 整个存储器阵列受保护, 不能进行编程或擦除操作。这样可防止在电源转换期间存储内容发生篡改。在电源降至断电的转换期间, V_{CCQ} 应保持不大于 V_{CCO} 。

如果 V_{CC} 低于 $V_{RST}(\text{Min})$, 然后返回高于 $V_{RST}(\text{Min})$ 的 V_{CC} 最小值, 则进入上电复位接口状态, 并且 EAC 启动冷复位 EA。

11.8 节能模式

11.8.1 深度断电模式

在 DPD 模式下, 电流消耗被驱动到最低水平。DPD 模式必须在器件处于待机状态且不在 ASO 时进入。使用 DPD 进入指令时序输入 DPD (参见表 41)。在 t_{DPDIN} 期间, 器件将忽略指令时序 (不会处理读和写命令传输)。

退出 DPD 模式是通过 DPD 进入指令时序来实现的。在 t_{DPDOUT} 期间, 器件将忽略指令时序 (不会处理读写命令传输), 并且 RWDS 不会在尝试读取命令传输期间切换。

在 t_{DPDIN} 周期内, 器件将忽略 CS#。进入 DPD 模式不会被指令时序中断或中止。退出 DPD 模式必须在满足 t_{DPDIN} 后进行。

将 RESET# 输入驱动至低电平 (持续最短 t_{RP} 时间) 也会导致器件退出 DPD 模式。器件需要 t_{DPDOUT} 时间才能返回待机状态。在 t_{DPDIN} 时间内将 RESET# 输入驱动至低电平 (持续最短 t_{RP} 时间) 可中止进入 DPD 模式。退出 DPD 模式后, 器件将具有与 POR 之后相同的默认设置。

表 55 DPD 模式进入和退出时序

Symbol	Parameter	Min	Max	Unit
t_{DPDIN}	Deep Power-Down CR[15] = 0 register write to DPD power level	10	–	μs
t_{DPDOUT}	Deep Power-Down to Standby wakeup time	–	300	μs

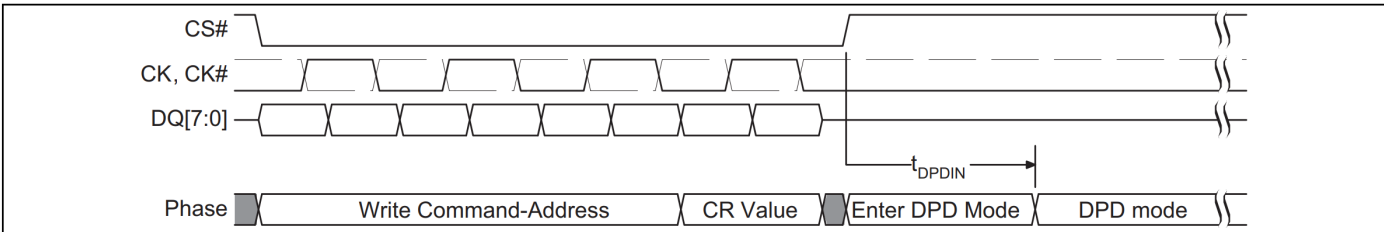


图 26 深度掉电进入时序

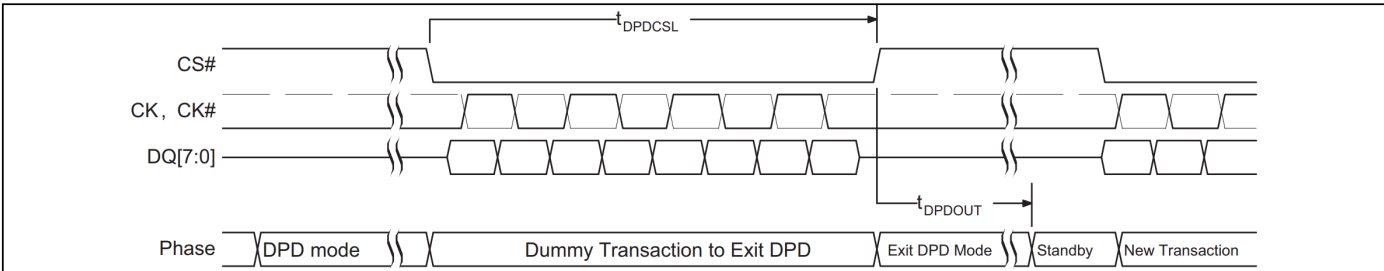


图 27 深度掉电 CS# 退出时序

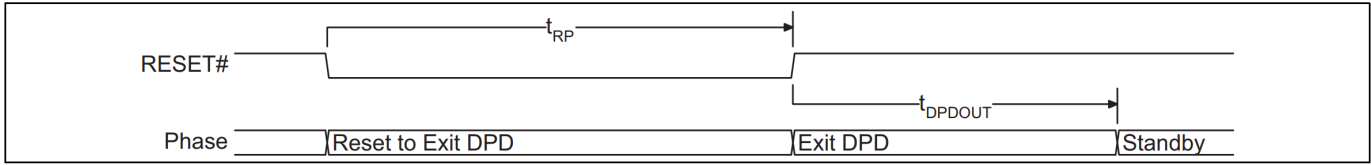


图 28 深度掉电 RESET# 退出时序

11.8.2 工作时钟停止

读写操作数据传输期间，工作时钟停止状态可减少器件接口功耗到 I_{CC6} 级的消耗。当时钟保持稳定时间 $t_{ACC} + 30\text{ ns}$ 时，器件会自动启用此状态。在有效时钟停止状态下，读取数据将被锁存并始终驱动到数据总线。 I_{CC6} 见 84 页“**DC 特性 (CMOS 兼容)**”。

当主机时钟停止以暂停数据传输时，工作时钟停止状态有助于减少电流消耗。即使 CS# 在这些扩展的数据传输周期中可能处于低电平，存储器器件主机接口也会在 $t_{ACC} + 30\text{ ns}$ 时进入工作时钟停止电流电平。这允许器件在数据传输暂停时转换到较低电流状态。一旦使用切换时钟重新启动数据传输，主动读取或写入电流将重新恢复。

通过切换时钟重新开始传输。只要时钟处于低电平状态，就可以在活动命令传输的任何部分停止时钟。注意建议避免在寄存器访问期间停止时钟。

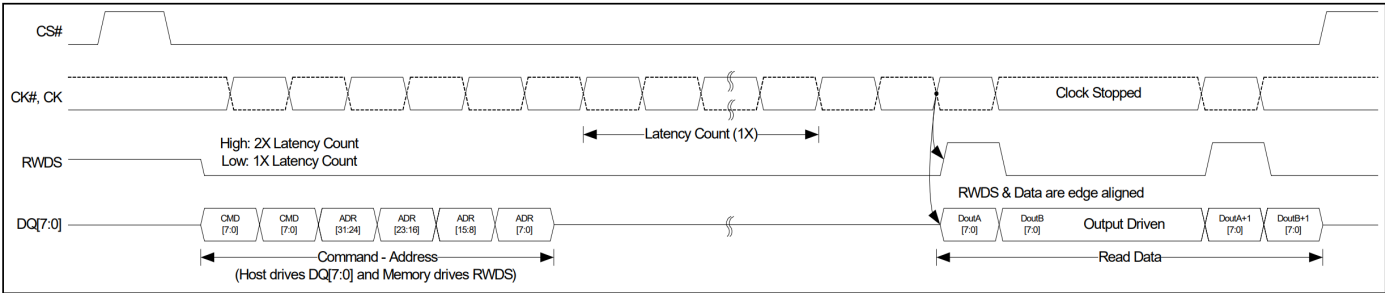


图 29 读取命令传输期间的工作时钟停止^[112]

注

112. 在 CA 周期期间，CS 处于低电平。在此读取命令传输中，对于读取数据访问存在单个初始延迟计数，因为此读取命令传输不会在从机需要额外延迟的时间开始。

12 时序规范

以下部分描述了HYPERFLASH™器件时序规范的相关方面。

12.1 AC 测试条件

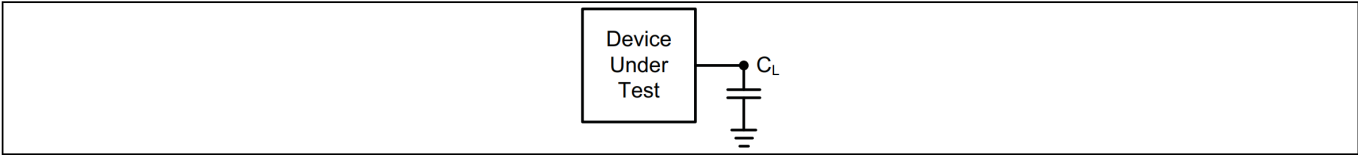


图 30 测试设置

表 56 测试规范^[113]

Parameter	All speeds	Unit
Output load capacitance, C_L	20	pF
Minimum input rise and fall slew rates ^[114]	2.0	V/ns
Input pulse levels	0.0– V_{CCQ}	V
Input timing measurement reference levels	$V_{CCQ}/2$	V
Output timing measurement reference levels	$V_{CCQ}/2$	V

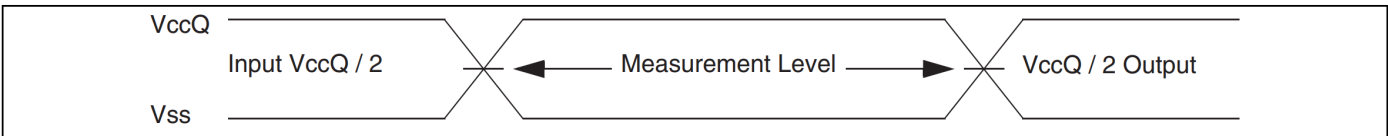


图 31 输入波形和测量电平^[115]

注

113. 输入和输出时序以 $V_{CCQ}/2$ 或 CK/CK# 交叉为参考。
114. 所有AC时序均假设输入斜率为 2 V/ns。CK/CK# 差分斜率至少为 4 V/ns。
115. 差分 CK/CK# 对的输入时序是通过时钟交叉来测量的。

12.2 AC 特性

12.2.1 CLK 特性

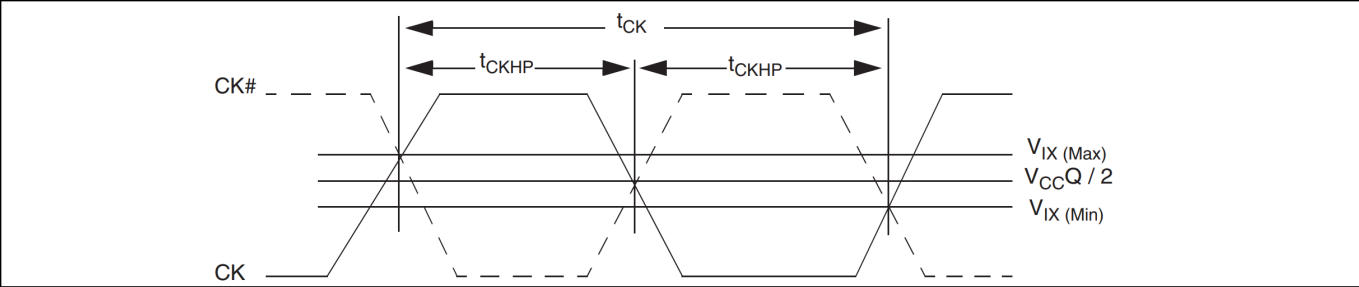


图 32 时钟特性

表 57 时钟时序

Parameter	Symbol	166 MHz		133 MHz		100 MHz		50 MHz ^[117]		Unit
		Min	Max	Min	Max	Min	Max	Min	Max	
CK period	tCK	6	–	7.5	–	10	–	20	–	ns
CK half period - Duty cycle	tCKHP	0.45	0.55	0.45	0.55	0.45	0.55	0.45	0.55	tck
CK half period at frequency Min = 0.45 tck Min Max = 0.55 tck Min	tCKHP	2.7	3.3	3.375	4.125	4.5	5.5	9	11	ns

表 58 时钟 AC/DC 电气特性

Parameter	Symbol	Min	Max	Unit
DC input voltage	V _{IN}	–0.3	V _{CCQ} + 0.3	V
DC input differential voltage	V _{ID(DC)}	V _{CCQ} × 0.4	V _{CCQ} + 0.6	V
AC input differential voltage	V _{ID(AC)}	V _{CCQ} × 0.6	V _{CCQ} + 0.6	V
AC differential crossing voltage	V _{IX}	V _{CCQ} × 0.4	V _{CCQ} × 0.6	V

注

116. 允许的时钟抖动为 ±5%。
117. 50 MHz 时序仅在HYPERFLASH™字编程指令期间使用突发写入加载数据时才相关。
118. CK# 仅用于 1.8 V 器件，显示为虚线波形。
119. CK 和 CK# 输入斜率必须 ≥ 1 V/ns（如果采用差分测量则为 2 V/ns）。
120. V_{ID} 是 CK 上的输入电平与 CK# 上的输入电平之间的差值幅度。
121. V_{IX} 的值预计等于发射器件的 V_{CCQ}/2，并且必须跟踪 V_{CCQ} 的 DC 电平的变化。

12.2.2 读取命令传输图表

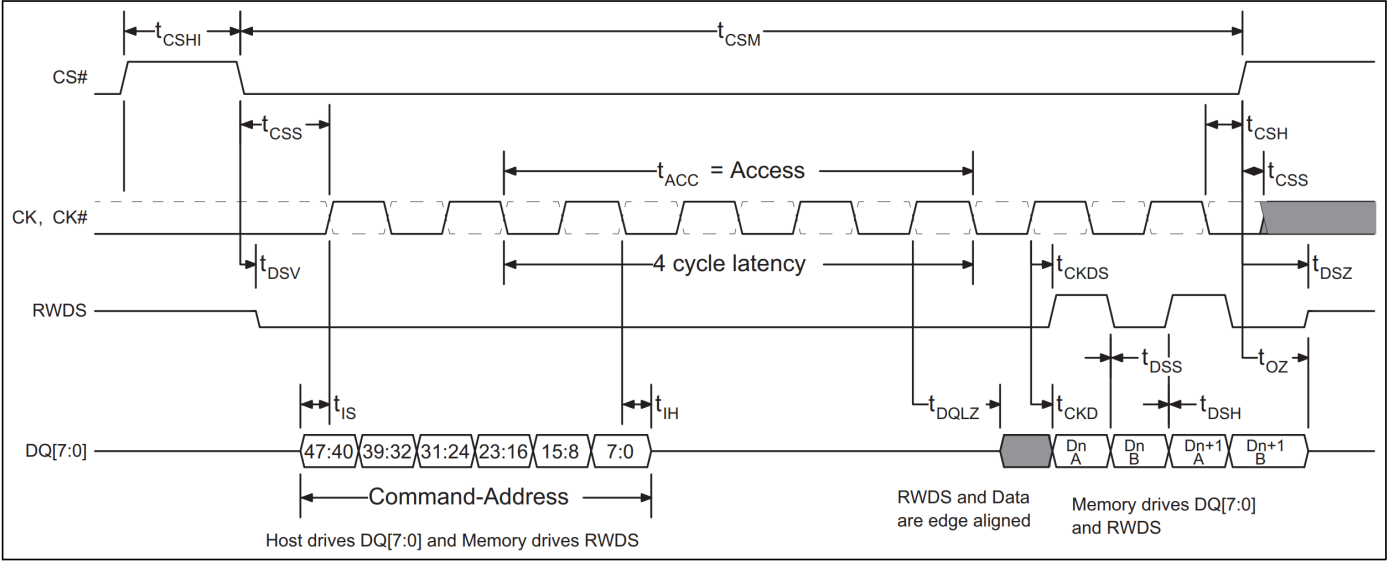


图 33 读取时序图

12.2.3 读取AC参数

表 59 HYPERBUS™ 1.8 V/3.0 V 器件通用读取时序参数

Parameter	Symbol	166 MHz		133 MHz		100 MHz		Unit
		Min	Max	Min	Max	Min	Max	
Chip Select HIGH between transactions	t _{CSHI}	6.00	–	7.50	–	10.00	–	ns
Chip Select setup to next CK rising edge	t _{CSS}	3.00	–	3.00	–	3.00	–	ns
Data Strobe valid	t _{DSV}	–	12.00	–	12.00	–	12.00	ns
Input setup	t _{IS}	0.60	–	0.80	–	1.00	–	ns
Input hold	t _{IH}	0.60	–	0.80	–	1.00	–	ns
HYPERFLASH™ Read Initial Access time	t _{ACC}	–	96.00	–	96.00	–	96.00	ns
Clock to DQs Low Z	t _{DQLZ}	0	–	0	–	0	–	ns
CK transition to DQ valid	t _{CKD}	1.00	5.50	1.00	5.50	1.00	5.50	ns
CK transition to DQ invalid	t _{CKDI}	0	4.60	0	4.50	0	4.30	ns
Data valid (t _{DV} min = the lessor of: t _{CKHP} min – t _{CKD} max + t _{CKDI} max) or t _{CKHP} min – t _{CKD} min + t _{CKDI} min)	t _{DV}	1.70	–	2.37	–	3.30	–	ns
CK transition to RWDS valid	t _{CKDS}	1.00	5.50	1.00	5.50	1.00	5.50	ns
RWDS transition to DQ valid	t _{DSS}	–0.45	+0.45	–0.60	+0.60	–0.80	+0.80	ns
RWDS transition to DQ invalid	t _{DSH}	–0.45	+0.45	–0.60	+0.60	–0.80	+0.80	ns
Chip Select hold after CK falling edge	t _{CSH}	0	–	0	–	0	–	ns
Chip Select inactive to RWDS High-Z	t _{DSZ}	–	6.00	–	6.00	–	6.00	ns
Chip Select inactive to DQ High-Z	t _{oZ}	–	6.00	–	6.00	–	6.00	ns

注

122. HYPERBUS™ 器件可在所示的 t_{CSH} 值下正常工作，但是，CS# 通常必须由 HYPERBUS™ 主机保持驱动为低（有效）更长时间，以便数据保持足够长的有效时间，以考虑到 t_{CKD}、t_{CKDS} 以及 RWDS 的主机接口相移位，从而捕获来自 DQ 信号的最后一次数据传输。HYPERBUS™ 主机需要将 CS 驱动至低电平一个或多个额外的时钟周期，以确保捕获来自最后一次所需数据传输的有效数据。

时序规范

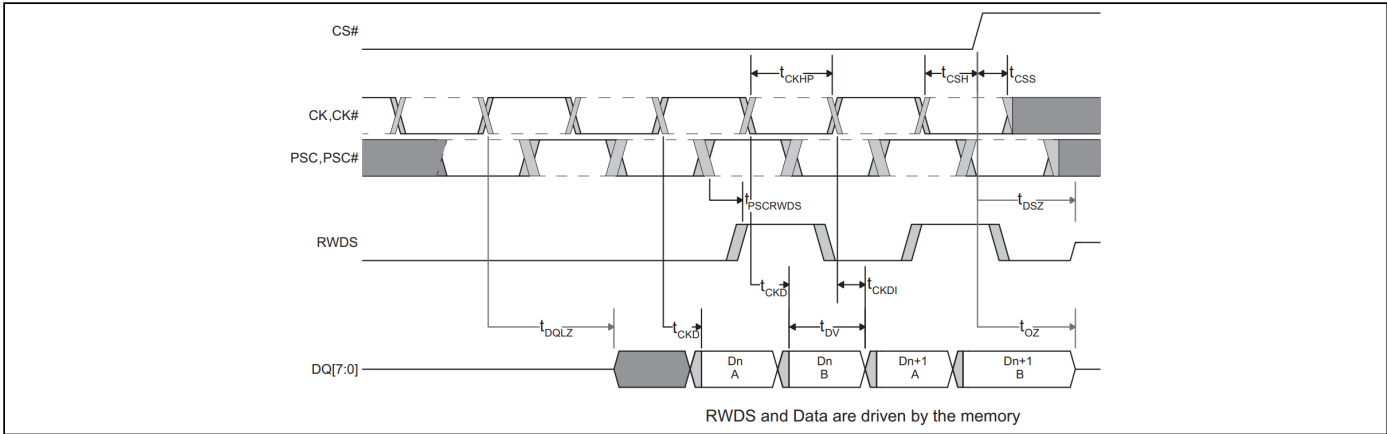


图 34 DCARS 数据有效时序^[123,124,125]

表 60 DCARS 读取时序 (@ 3.0 V)^[126]

Parameter	Symbol	100 MHz		Unit
		Min	Max	
HYPERFLASH™ PSC transition to RWDS transition	tPSCRWDS	1	6.5	ns
Time delta between CK to DQ valid and PSC to RWDS	tPSCRWDS - tCKD	-1.0	+0.5	ns

表 61 DCARS 读取时序 (@ 1.8 V)^[126]

Parameter	Symbol	133 MHz		100 MHz		Unit
		Min	Max	Min	Max	
HYPERFLASH™ PSC transition to RWDS transition	tPSCRWDS	1	5.5	1	5.5	ns
Time delta between CK to DQ valid and PSC to RWDS	tPSCRWDS - tCKD	-1.0	+0.5	-1.0	+0.5	ns

注

123. CK# 和 PSC# 是可选的，显示为虚线波形。
124. CK 到 PSC 的延迟（相位差）由 HYPERBUS™ 主机接口（主机）控制，通常在 40 到 140 度之间，以便将 RWDS 边缘置于数据有效窗口内，并具有足够的设置和数据到 RWDS 的保持时间。数据设置和 RWDS 保持时间的要求由 HYPERBUS™ 主机接口设计决定，而不是由 HYPERBUS™ 从机参数解决。
125. HYPERBUS™ 时序参数 t_{CKD} 和 t_{CKDI} 定义数据有效期的起始和终止位置。由于 RWDS 和数据是同一器件在相同电压和温度条件下的输出，因此 t_{CKD} 和 t_{CKDI} 值同步变化（以相同的比率变化）。
126. 采样值，并非100%经过了测试。

12.2.4 多字突发数据加载的字编程

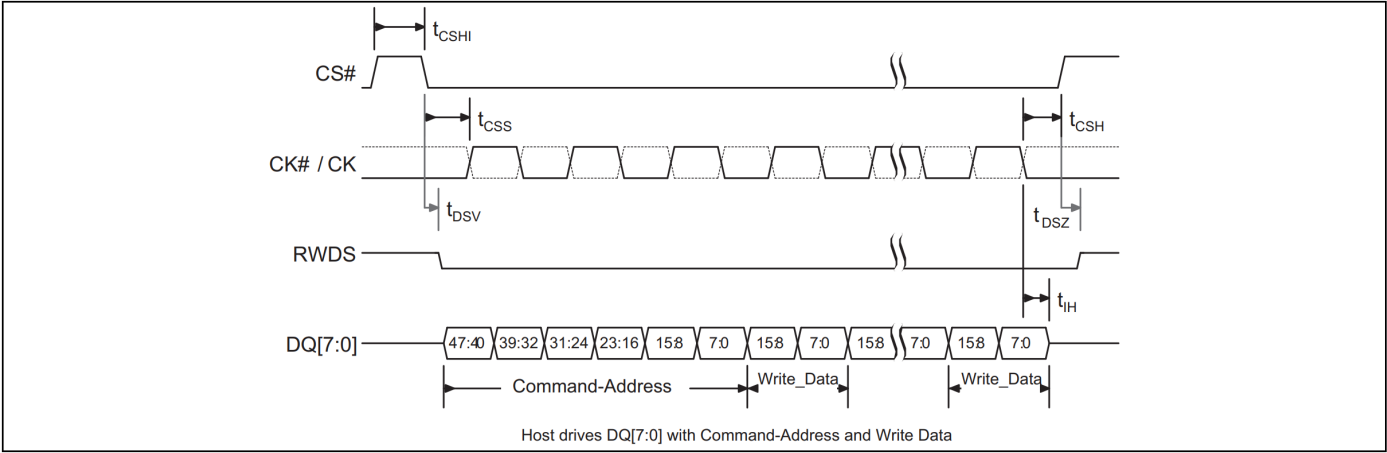


图 35 字编程指令器件多字加载的突发写入时序图^[127, 128, 129, 130, 131, 132]

注

- 127. 命令传输必须在 CK = LOW 且 CK# = HIGH 发起。在启动新命令传输之前，CS# 必须返回 HIGH。
- 128. HYPERFLASH™存储器在写入期间将 RWDS 驱动为低电平，同时 CS# 为低电平。
- 129. 在 ASO 状态下，不允许进行突发写入操作。
- 130. 仅在字编程指令期间加载多个字时才允许进行突发写入操作。
- 131. 突发写入操作仅为线性操作，不支持回卷突发写入功能。
- 132. CK# 仅用于 1.8 V 器件。

12.2.5 写入AC参数

表 62 HYPERFLASH™ 1.8 V/3.0 V 器件通用写入时序参数

Parameter	Symbol	166 MHz		133 MHz		100 MHz		Unit
		Min	Max	Min	Max	Min	Max	
Chip Select HIGH between transactions	tCSHI	6.00	–	7.50	–	10.00	–	ns
Chip Select setup to next CK rising edge	tCSS	3.00	–	3.00	–	3.00	–	ns
Data Strobe valid	tDSV	–	12.00	–	12.00	–	12.00	ns
Input setup	tIS	0.60	–	0.80	–	1.00	–	ns
Input hold	tIH	0.60	–	0.80	–	1.00	–	ns
Chip Select hold after CK falling edge	tCSH	0	–	0	–	0	–	ns
Chip Select inactive or clock to RWDS High-Z	tDSZ	–	6.00	–	6.00	–	6.00	ns

表 63 在字编程指令期间加载多字期间的突发写入

Parameter	Symbol	50 MHz ^[134]		Unit
		Min	Max	
Operating frequency for burst write	–	–	50	MHz
Chip Select setup to next CK rising edge	tCSS	3	–	ns
Chip Select active to RWDS valid (LOW)	tDSV	–	8	ns
Input setup	tIS	1.0	–	ns
Input hold	tIH	1.0	–	ns
Chip Select hold after CK falling edge	tCSH	0	–	ns
Chip Select inactive to RWDS High-Z	tDSZ	–	6	ns
Chip Select HIGH between operations	tCSHI	10.0	–	ns

注

133. 采样值，并非100%经过了测试。

134. 仅在字编程指令期间使用突发写入时才需要 50 MHz 时序。

13 嵌入式算法性能

表 64 嵌入式算法特性

Parameter	Min	Typ ^[135]	Max ^[136]	Unit	Comments
Sector Erase Time 256-KB	–	930	2900	ms	Includes pre-programming prior to erasure ^[138]
Parameter Sector Erase Time 4-KB	–	240	725	ms	
Chip Erase Time (128 Mb)	–	55	115	s	
Chip Erase Time (256 Mb)	–	110	231	s	
Chip Erase Time (512 Mb)	–	220	462	s	
Single Word Programming Time	–	500	1000	μs	Word Programming command sequence
Half-page (16-byte) Buffered Programming Time	–	270	1000	μs	Buffered Programming command sequence
Buffer Programming Time (full 512-byte)	–	475	2000	μs	–
Erase Suspend / Erase Resume (tESL)	–	–	50	μs	–
Program Suspend / Program Resume (tPSL)	–	–	50	μs	–
Erase Resume to next Erase Suspend (tERS)	–	100	–	μs	Minimum of 60 ns but ≥ typical periods are needed for erase to progress to completion
Program Resume to next Program Suspend (tPRS)	–	100	–	μs	Minimum of 60 ns but ≥ typical periods are needed for program to progress to completion
Blank Check (256-KB Sector)	–	15	17	ms	–
NOP (Number of Program-operations, per Line)	–	–	256	–	Industrial temperature
	–	–	32	–	Industrial Plus temperature Only a single program operation on each 8-word (16-byte) half-page
Evaluate Erase Status Time (tEES)	–	70	100	μs	–
Password Comparison Time (tPSWD)	80	100	120	μs	–
CRC Suspend / CRC Resume (tCRCSL)	–	–	25	μs	–
CRC Resume to next CRC Suspend (tCRCRS)	–	5	–	μs	Minimum of 60 ns but ≥ typical periods are needed for the CRC calculation to progress to completion

注

135. 典型编程和擦除时间假设使用以下条件：温度 = 25°C，(1.8 V 或 3.0 V) V_{CC} ，10,000次循环，使用交错式数据图案。
136. 在 90°C、 V_{CC} = (1.70 V 或 2.7 V)、100,000 个循环和随机数据模式的最坏条件下。
137. 有效写缓存区规格基于 512 字节写缓存区操作。
138. 在嵌入式擦除算法的预编程步骤中，扇区和芯片擦除前所有字均被编程为0000h。
139. 系统级开销是执行编程命令的总线循环序列所需要的时间。欲了解命令定义的信息，请参见表 41。



表 64 嵌入式算法特性 (续)

Parameter	Min	Typ ^[135]	Max ^[136]	Unit	Comments
CRC Calculation Setup Time (tcrc_setup)	–	10	–	μs	
CRC Calculation Rate	60	65	–	MBps	Calculation rate over a large (>1024-byte) block of data

注

135. 典型编程和擦除时间假定以下条件：25°C, (1.8 V 或 3.0 V) V_{CC}，10,000 次循环，使用使用交错式数据图案。
136. 在 90°C、V_{CC} = (1.70 V 或 2.7 V)、100,000 次擦写循环和随机数据模式的最坏条件下。
137. 有效写缓存区规格基于 512 字节写缓存区操作。
138. 在嵌入式擦除算法的预编程步骤中，扇区和芯片擦除前所有字均被编程为0000h。
139. 系统级开销是执行编程命令的总线循环序列所需要的时间。有关指令定义的更多信息，请参见表 41。

14 订购信息

14.1 订购部件编号

订购部件编号由以下有效组合形成：

S26KS	256	S	DP	B	H	I	02	0	
									Packing type 0 = Tray 3 = 13" Tape and reel
									Model number (additional ordering options) 02 = FBGA 24-ball, 1.00 mm height (VAA024) 03 = DCARS FBGA 24-ball, 1.00 mm height (VAA024)
									Temperature range / grade I = Industrial (–40°C to +85°C) V = Industrial Plus (–40°C to +105°C) N = Extended (–40°C to +125°C) A = Automotive, AEC-Q100 grade 3 (–40°C to +85°C) B = Automotive, AEC-Q100 grade 2 (–40°C to +105°C) M = Automotive, AEC-Q100 grade 1 (–40°C to +125°C)
									Package materials H = Halogen-free, Lead (Pb)-free ^[141]
									Package type B = FBGA 6 × 8 mm package, 1.00 mm pitch
									Speed DA = 100 MHz DP = 166 MHz DG = 133 MHz
									Device technology S = 65 nm MIRRORBIT™ process technology
									Density 128 = 128 Mb 256 = 256 Mb 512 = 512 Mb
									Device family S26KS 1.8 V-only, HYPERFLASH™ Memory S26KL 3.0 V-only, HYPERFLASH™ Memory

注

140. FBGA封装标识从订购部件编号中省略了前导S2和包装类型字符。

141. 无卤素的定义符合 IEC 61249-2-21 规范。

14.2 有效组合 – 标准

有效组合表列出了计划大量供应的配置。该表将随着新组合的发布而更新。请联系您当地的销售代表以确认特定组合的供货情况，并了解最新发布的组合。

表 65 有效组合 - 标准

Device number	Speed option	Package and material	Temperature range	Model number	Packing type	Product (x = Packing type)	Package marking
S26KL512S	DA	BH	I, V, N	02	0, 3 ^[142]	S26KL512SDABHI02x	6KL512SDAHI02
						S26KL512SDABHV02x	6KL512SDAHV02
						S26KL512SDABHN02x	6KL512SDAHN02
S26KL256S	DA	BH	I, V, N	02	0, 3 ^[142]	S26KL256SDABHI02x	6KL256SDAHI02
						S26KL256SDABHV02x	6KL256SDAHV02
						S26KL256SDABHN02x	6KL256SDAHN02
S26KL128S	DA	BH	I, V, N	02	0, 3 ^[142]	S26KL128SDABHI02x	6KL128SDAHI02
						S26KL128SDABHV02x	6KL128SDAHV02
						S26KL128SDABHN02x	6KL128SDAHN02
S26KS512S	DP	BH	I, V, N	02	0, 3 ^[142]	S26KS512SDPBHI02x	6KS512SDPHI02
						S26KS512SDPBHV02x	6KS512SDPHV02
						S26KS512SDPBHN02x	6KS512SDPHN02
S26KS256S	DP	BH	I, V, N	02	0, 3 ^[142]	S26KS256SDPBHI02x	6KS256SDPHI02
						S26KS256SDPBHV02x	6KS256SDPHV02
						S26KS256SDPBHN02x	6KS256SDPHN02
S26KS128S	DP	BH	I, V, N	02	0, 3 ^[142]	S26KS128SDPBHI02x	6KS128SDPHI02
						S26KS128SDPBHV02x	6KS128SDPHV02
						S26KS128SDPBHN02x	6KS128SDPHN02

注

142. 包装类型为“3”的产品请联系销售。

注

143. FBGA封装标识从订购部件编号中省略了前导S2和包装类型字符。

表 66 有效组合 - 标准

Device number	Speed option	Package and material	Temperature range	Model number	Packing type	Product (x = Packing type)	Package marking
S26KL512S	DA	BH	I, V, N	03	0, 3 ^[144]	S26KL512SDABHI03x	6KL512SDAHI03
						S26KL512SDABHV03x	6KL512SDAHV03
						S26KL512SDABHN03x	6KL512SDAHN03
S26KL256S	DA	BH	I, V, N	03	0, 3 ^[144]	S26KL256SDABHI03x	6KL256SDAHI03
						S26KL256SDABHV03x	6KL256SDAHV03
						S26KL256SDABHN03x	6KL256SDAHN03
S26KL128S	DA	BH	I, V, N	03	0, 3 ^[144]	S26KL128SDABHI03x	6KL128SDAHI03
						S26KL128SDABHV03x	6KL128SDAHV03
						S26KL128SDABHN03x	6KL128SDAHN03
S26KS512S	DA, DG	BH	I, V, N	03	0, 3 ^[144]	S26KS512SDABHI03x	6KS512SDAHI03
						S26KS512SDABHV03x	6KS512SDAHV03
						S26KS512SDABHN03x	6KS512SDAHN03
						S26KS512SDGBHI03x	6KS512SDGHI03
						S26KS512SDGBHV03x	6KS512SDGHV03
						S26KS512SDGBHN03x	6KS512SDGHN03
S26KS256S	DA, DG	BH	I, V, N	03	0, 3 ^[144]	S26KS256SDABHI03x	6KS256SDAHI03
						S26KS256SDABHV03x	6KS256SDAHV03
						S26KS256SDABHN03x	6KS256SDAHN03
						S26KS256SDGBHI03x	6KS256SDGHI03
						S26KS256SDGBHV03x	6KS256SDGHV03
						S26KS256SDGBHN03x	6KS256SDGHN03
S26KS128S	DA, DG	BH	I, V, N	03	0, 3 ^[144]	S26KS128SDABHI03x	6KS128SDAHI03
						S26KS128SDABHV03x	6KS128SDAHV03
						S26KS128SDABHN03x	6KS128SDAHN03
						S26KS128SDGBHI03x	6KS128SDGHI03
						S26KS128SDGBHV03x	6KS128SDGHV03
						S26KS128SDGBHN03x	6KS128SDGHN03

注

144. 包装类型为“3”的产品请联系销售。

注

145. FBGA封装标识从订购部件编号中省略了前导S2和包装类型字符。

14.3 有效组合 — 汽车级/AEC-Q100

下表列出了符合汽车级/AEC-Q100 认证并计划批量供货的配置。该表将随着新组合的发布而更新。如要确认特定组合的可用性并了解最新推出的组合，请咨询您当地的销售代表。

仅为 AEC-Q100 级产品提供生产部件批准程序（PPAP）支持。

用于需要符合 ISO/TS-16949 标准的端到端应用的产品必须是与 PPAP 结合使用的 AEC-Q100 级产品。非 AEC-Q100 级产品的制造或记录不完全符合 ISO/TS-16949 的要求。

对于不需要符合 ISO/TS-16949 标准的端到端应用，我们还提供不含 PPAP 支持的 AEC-Q100 级产品。

表 67 有效组合 — 汽车级/AEC-Q100

Device number	Speed option	Package and material	Temperature range	Model number	Packing type	Product (x = Packing type)	Package marking
S26KL512S	DA	BH	A, B, M	02	0, 3 ^[146]	S26KL512SDABHA02x	6KL512SDAHA02
						S26KL512SDABHB02x	6KL512SDAHB02
						S26KL512SDABHM02x	6KL512SDAHM02
S26KL256S	DA	BH	A, B, M	02	0, 3 ^[146]	S26KL256SDABHA02x	6KL256SDAHA02
						S26KL256SDABHB02x	6KL256SDAHB02
						S26KL256SDABHM02x	6KL256SDAHM02
S26KL128S	DA	BH	A, B, M	02	0, 3 ^[146]	S26KL128SDABHA02x	6KL128SDAHA02
						S26KL128SDABHB02x	6KL128SDAHB02
						S26KL128SDABHM02x	6KL128SDAHM02
S26KS512S	DP	BH	A, B, M	02	0, 3 ^[146]	S26KS512SDPBHA02x	6KS512SDPHA02
						S26KS512SDPBHB02x	6KS512SDPHB02
						S26KS512SDPBHM02x	6KS512SDPHM02
S26KS256S	DP	BH	A, B, M	02	0, 3 ^[146]	S26KS256SDPBHA02x	6KS256SDPHA02
						S26KS256SDPBHB02x	6KS256SDPHB02
						S26KS256SDPBHM02x	6KS256SDPHM02
S26KS128S	DP	BH	A, B, M	02	0, 3 ^[146]	S26KS128SDPBHA02x	6KS128SDPHA02
						S26KS128SDPBHB02x	6KS128SDPHB02
						S26KS128SDPBHM02x	6KS128SDPHM02

注

146. 包装类型为“3”的产品请联系销售。

表 68 有效组合 – DCARS 汽车级/AEC-Q100

Device number	Speed option	Package and material	Temperature range	Model number	Packing type	Product (x = Packing Type)	Package marking
S26KL512S	DA	BH	A, B, M	03	0, 3 ^[147]	S26KL512SDABHA03x	6KL512SDAHA03
						S26KL512SDABHB03x	6KL512SDAHB03
						S26KL512SDABHM03x	6KL512SDAHM03
S26KL256S	DA	BH	A, B, M	03	0, 3 ^[147]	S26KL256SDABHA03x	6KL256SDAHA03
						S26KL256SDABHB03x	6KL256SDAHB03
						S26KL256SDABHM03x	6KL256SDAHM03
S26KL128S	DA	BH	A, B, M	03	0, 3 ^[147]	S26KL128SDABHA03x	6KL128SDAHA03
						S26KL128SDABHB03x	6KL128SDAHB03
						S26KL128SDABHM03x	6KL128SDAHM03
S26KS512S	DA, DG	BH	A, B, M	03	0, 3 ^[147]	S26KS512SDABHA03x	6KS512SDAHA03
						S26KS512SDABHB03x	6KS512SDAHB03
						S26KS512SDABHM03x	6KS512SDAHM03
						S26KS512SDGBHA03x	6KS512SDGHA03
						S26KS512SDGBHB03x	6KS512SDGHB03
						S26KS512SDGBHM03x	6KS512SDGHM03
S26KS256S	DA, DG	BH	A, B, M	03	0, 3 ^[147]	S26KS256SDABHA03x	6KS256SDAHA03
						S26KS256SDABHB03x	6KS256SDAHB03
						S26KS256SDABHM03x	6KS256SDAHM03
						S26KS256SDGBHA03x	6KS256SDGHA03
						S26KS256SDGBHB03x	6KS256SDGHB03
						S26KS256SDGBHM03x	6KS256SDGHM03
S26KS128S	DA, DG	BH	A, B, M	03	0, 3 ^[147]	S26KS128SDABHA03x	6KS128SDAHA03
						S26KS128SDABHB03x	6KS128SDAHB03
						S26KS128SDABHM03x	6KS128SDAHM03
						S26KS128SDGBHA03x	6KS128SDGHA03
						S26KS128SDGBHB03x	6KS128SDGHB03
						S26KS128SDGBHM03x	6KS128SDGHM03

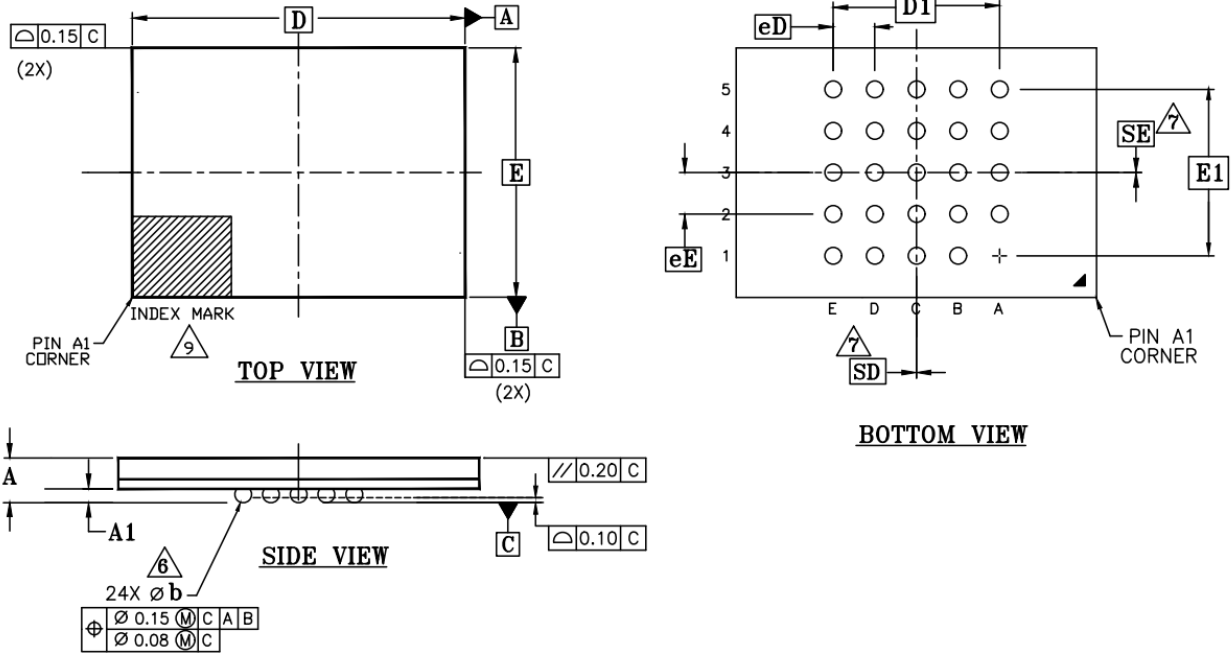
注

147. 包装类型为“3”的产品请联系销售。

封装图

15 封装图

15.1 加强型球栅阵列 24 球 6 × 8 × 1.0 mm (VAA024)



SYMBOL	DIMENSIONS		
	MIN.	NOM.	MAX.
A	-	-	1.00
A1	0.20	-	-
D	8.00 BSC		
E	6.00 BSC		
D1	4.00 BSC		
E1	4.00 BSC		
MD	5		
ME	5		
N	24		
Ø b	0.35	0.40	0.45
eE	1.00 BSC		
eD	1.00 BSC		
SD	0.00 BSC		
SE	0.00 BSC		

NOTES:

- DIMENSIONING AND TOLERANCING METHODS PER ASME Y14.5M-1994.
- ALL DIMENSIONS ARE IN MILLIMETERS.
- BALL POSITION DESIGNATION PER JEP95, SECTION 3, SPP-020.
- "e" REPRESENTS THE SOLDER BALL GRID PITCH.
- SYMBOL "MD" IS THE BALL MATRIX SIZE IN THE "D" DIRECTION. SYMBOL "ME" IS THE BALL MATRIX SIZE IN THE "E" DIRECTION. N IS THE NUMBER OF POPULATED SOLDER BALL POSITIONS FOR MATRIX SIZE MD X ME.
- DIMENSION "b" IS MEASURED AT THE MAXIMUM BALL DIAMETER IN A PLANE PARALLEL TO DATUM C.
- "SD" AND "SE" ARE MEASURED WITH RESPECT TO DATUMS A AND B AND DEFINE THE POSITION OF THE CENTER SOLDER BALL IN THE OUTER ROW. WHEN THERE IS AN ODD NUMBER OF SOLDER BALLS IN THE OUTER ROW "SD" OR "SE" = 0. WHEN THERE IS AN EVEN NUMBER OF SOLDER BALLS IN THE OUTER ROW, "SD" = eD/2 AND "SE" = eE/2.
- "+" INDICATES THE THEORETICAL CENTER OF DEPOPULATED BALLS.
- A1 CORNER TO BE IDENTIFIED BY CHAMFER, LASER OR INK MARK, METALLIZED MARK INDENTATION OR OTHER MEANS.
- JEDEC SPECIFICATION NO. REF: MO-234E

002-15550 *B

图 36 24-ball BGA (8.0 × 6.0 × 1.0 mm) 封装外形, 002-15550

修订记录

Document revision	Date	Description of changes
*D	2015-09-29	Changed status from Advance to Final. Template updates. Removed cover page and Spansion Revision History.
*E	2015-12-14	Updated Electrical specifications . Updated DC characteristics (CMOS compatible) . Changed maximum value of I _{DPD} parameter corresponding to “512 Mb @ 25 °C” from 15 µA to 18 µA. Added values of I _{DPD} parameter corresponding to “512 Mb @ 125 °C”, “256 Mb @ 125 °C” and “128 Mb @ 125 °C”. Updated Ordering information . Updated Valid Combinations. Added Extended Temperature part numbers.
*F	2016-10-25	Removed Confidential NDA status from datasheet. Updated Features . Added Automotive, AEC-Q100 Grade to Features . Updated Performance summary . Updated Figure 1 . Removed Wear Leveling section. Updated CRC check-value calculation . Updated Figure 5 . Updated Figure 6 . Added formula in Read operations . Updated Table 3 . Updated Table 4 . Updated tables in Flash memory array . Updated tables in Volatile and Non-volatile Register summary . Updated Features . Added Automotive, AEC-Q100 Grade to Features . Updated Performance summary . Updated Figure 1 . Removed Wear Leveling section. Updated CRC check-value calculation . Updated Figure 5 . Updated Figure 6 . Added formula in Read operations . Updated Table 3 . Updated Table 4 . Updated tables in Flash memory array . Updated tables in Volatile and Non-volatile Register summary . Updated Table 48 . Updated Capacitance characteristics . Updated tables in Capacitance characteristics . Updated Read transaction diagrams . Updated tables Read AC parameters . Updated Write AC parameters . Removed JEDEC SPI Reset Method section. Updated Embedded algorithm performance . Updated Ordering information . Updated Valid combinations — standard . Added Valid combinations — automotive grade / AEC-Q100 . Updated Package diagram . Added Fortified ball grid array 24-ball 6 × 8 × 1.0 mm (VAA024) . Updated to new template.

Document revision	Date	Description of changes
*G	2016-12-29	Updated Embedded operations. Updated Program and erase summary. Updated Non-volatile Configuration Register and Volatile Configuration Register. Updated Table 18 (Updated details corresponding to xVCR.2 bit). Updated Error types and clearing procedures. Updated ECC error. Updated Table 25 (Updated description below). Updated description and Table 26 in Address Trap Register (ATR). Updated description in Error Detection Counter. Updated Data protection. Updated ASP Configuration Register. Updated Table 29 (Updated details corresponding to Bit 13 and Bit 9). Updated Device ID and Common Flash Interface (ID-CFI) ASO map. Updated Device ID and Common Flash Interface (ID-CFI) ASO map — standard. Updated Table 35 (Updated details corresponding to Word Address “(SA) + 000Eh”). Updated Table 37 (Updated details corresponding to Word Address “(SA) + 001Bh”, “(SA) + 001Ch” and “(SA) + 0022h”). Updated Table 38 (Updated details corresponding to Word Address “(SA) + 0027h”). Updated Electrical specifications. Updated Operating ranges. Updated Power supply voltages. Replaced “1.7V to 2.0V” with “1.7V to 1.95V”. Updated Power-up and power-down. Updated Table 51 (Updated maximum value of Vcc parameter). Updated Timing specifications. Updated AC characteristics. Updated Read transaction diagrams. Updated Figure 33 (Updated caption only (Removed “No Additional Latency Required”). Removed figure “Read Timing Diagram – With Additional Latency”. Updated Read AC parameters. Updated Read AC parameters. Removed trWR, tCSM parameters and their details. Removed details corresponding to “HyperRAM Read Initial Access Time” of tACC parameter. Updated Table 59. Removed details corresponding to “HyperRAM PSC transition to RWDS transition” of tpSCRWDS parameter. Updated Table 61. Removed details corresponding to “HyperRAM PSC transition to RWDS transition” of tpSCRWDS parameter. Removed “Write Transaction Diagrams”. Added Word programming with multiple word burst data load. Updated Write AC parameters. Updated Table 62. Removed trWR, tDMV, tACC, tCSM parameters and their details. Updated Embedded algorithm performance. Updated Table 64. Added tCRCSL, tCRCRS, tCRC_SETUP, CRC Calculation Rate parameters and their details.

修订记录

Document revision	Date	Description of changes
*H	2017-02-06	Updated Embedded operations . Updated Data protection . Updated ASP Configuration Register . Updated Table 29 . Updated Software interface reference . Removed xVCR0/1 references. Updated to new template.
*I	2017-08-10	Updated Connection diagram . Updated FBGA 24-ball 5 × 5 array footprint . Updated Figure 5 (Changed pin A3 from RFU to DNU). Added Thermal Impedance. Updated to new template.
*J	2017-08-28	Updated Ordering information . Updated Table 54 .
*K	2018-06-01	Added Active Clock Stop Waveforms. Word Program timing is made identical to 16-Byte Program timing. Updated Electrical specifications . Updated Power Conservation modes . Removed “Active Clock Stop”. Updated to new template.
*L	2018-08-14	Updated note references in Table 56 . Updated Ordering part numbers . Updated details corresponding to “H” under “Package Materials”. Referred Note 148 in “H”
*M	2019-06-12	Updated Embedded operations . Updated Program and erase summary . Updated Program methods . Updated Write buffer programming . Updated description. Updated Evaluate Erase Status . Updated description. Updated Electrical specifications . Updated Thermal Impedance. Updated Table 45 . Updated to new template.
*N	2022-07-27	Updated Document Title to read as “S26KL512S, S26KS512S, S26KL256S, S26KS256S, S26KL128S, S26KS128S, 512 Mb (64 MB)/256 Mb (32 MB)/ 128 Mb (16 MB) HYPERFLASH™ Family HYPERBUS™, 3.0 V/1.8 V”. Updated Electrical specifications . Updated Thermal resistance . Replaced “Thermal Impedance” with “Thermal resistance” in heading. Updated Table 45 . Updated Package diagram . Replaced “Physical interface” with “Package diagram” in heading. Migrated to Infineon template. Completing Sunset Review.
*O	2022-10-26	Updated Electrical specifications . Updated Thermal resistance . Updated Table 45 .
*P	2023-04-14	Table 3 : Added 256-Mb in the bit description.
*Q	2024-12-18	Updated “Max” values for IDPD parameter in Table 48 . Updated “Typ” for “Single Word Programming Time” parameter. Updated the Note in Table 65, Table 66, Table 67, Table 68 .



免责声明

请注意，本文件的原文使用英文撰写，为方便客户浏览英飞凌提供了中文译文。该中文译文仅供参考，并不可作为任何论点之依据。

由于翻译过程中可能使用了自动化程序，以及语言翻译和转换过程中的差异，最后的中文译文与最新的英文版本原文含义可能存在不尽相同之处。

因此，我们同时提供该中文译文版本的最新英文原文供您阅读，请参见 <http://www.infineon.com>

英文原文和中文译文版本之间若存有任何歧异，以最新的英文版本为准，并且仅认可英文版本为正式文件。

您如果使用本文件，即表示您同意并理解上述说明。英飞凌不对因翻译过程中可能存在的任何不完整或不准确信息而产生的任何直接或间接损失或损害负责。英飞凌不承担中文译文版本的完整性和准确性责任。如果您不同意上述说明，请不要使用本文件。

Trademarks

All referenced product or service names and trademarks are the property of their respective owners.

重要通知

版本 2026-07-17

Infineon Technologies AG 出版，
德国 Neubiberg 85579

版权 © 2026 Infineon Technologies AG
及其关联公司。
保留所有权利。

**Do you have a question about this
document?**

Email:

erratum@infineon.com

Infineon Technologies AG 及其关联公司（以下简称“英飞凌”）销售或提供和交付的产品（可能也包括样品，且可能由硬件或软件或两者组成）（以下简称“产品”），应遵守客户与英飞凌签订的框架供应合同或其他书面协议的条款和条件，如无上述合同或其他书面协议，则应遵守适用的英飞凌销售条件。只有在英飞凌明确书面同意的情况下，客户的一般条款和条件或对适用的英飞凌销售条件的偏离才对英飞凌具有约束力。

为避免疑义，英飞凌不承担侵犯第三方权利的所有保证和默示保证，例如对特定用途/目的的适用性或适销性的保证。

英飞凌对与样品、应用或客户对任何产品的具体使用有关的任何信息或本文件中给出的任何示例或典型值概不负责。

本文件中包含的数据仅供具有技术资格和技能的客户代表使用。客户有责任评估产品对预期应用和客户特定用途的适用性，并在预期应用和客户特定用途中验证本文件中包含的所有相关技术数据。客户有责任正确设计、编程和测试预期应用的功能性和安全性，并遵守与其使用相关的法律要求。

除非英飞凌另行明确批准，否则产品不得用于任何因产品故障或使用产品的任何后果可合理预期会导致人身伤害的应用。但是，上述规定并不妨碍客户在英飞凌明确设计和销售的使用领域中使用任何产品，但是客户对应用负有全部责任。

英飞凌明确保留根据适用法律，如《德国版权法》（UrhG）第 44b 条，将其内容用于商业资料和数据勘探（TDM）的权利。

如果产品包含安全功能：

由于任何计算设备都不可能绝对安全，尽管产品采取了安全措施，但英飞凌不保证产品不会被入侵、数据不会被盗或遗失，或不会发生其他漏洞（以下简称“安全漏洞”），英飞凌对任何安全漏洞不承担任何责任。

如果本文档包含或引用软件：

根据美国、德国和世界其他国家的知识产权法律和条约，该软件归英飞凌所有。英飞凌保留所有权利。因此，您只能按照软件附带的软件授权协议的规定使用本软件。

如果没有适用的软件授权协议，英飞凌特此授予您个人的、非排他性的、不可转让的软件知识产权授权（无权转授权）：(a) 对于以源代码形式提供的软件，仅在贵组织内部修改和复制该软件用于英飞凌硬件产品；及 (b) 对于以二进制代码 (binary code) 形式对外向终端用户分发该软件，仅得用于英飞凌硬件产品。禁止对本软件进行任何其他使用、复制、修改、翻译或编译。有关产品、技术、交货条款和条件以及价格的详细信息，请联系离您最近的英飞凌办公室或访问 <https://www.infineon.com>。