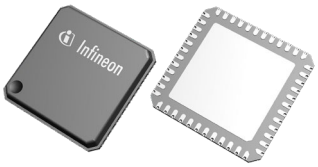
英飞凌 OPTIREG™ PMIC CLF35585QVS02

功能安全 PMIC

AEC Qualified RoHS

特性



- 高功率转换效率
- 适用于 3.0 V 至 40 V 的宽输入电压范围的串行前级升降压稳压器，具有完整的性能和较低的总功率损耗
- 低压差后级稳压器 3.3 V/600 mA，用于微控制器主电源 (QUC)
- 用于通信电源 (QCO) 的低压差后级稳压器 5.0 V/200 mA
- 基准电压 (±1%) 5.0 V/150 mA 用于*模数转换器 (ADC)* 供电 (QVR)
- 两个用于传感器供电的跟踪器，分别遵循基准电压，每个都具备 150 mA 电流能力（QT1 和 QT2）
- 待机稳压器 3.3 V/10 mA (QST)
- 为可选的外部后级稳压器提供启用、同步输出信号和电压监控功能，用于核心供电
- 独立电压监测功能块及误差监测引脚
- 可配置窗口看门狗和功能看门狗
- 通过两个可编程延迟的安全状态信号进行安全状态控制
- 16-bit *串行外设接口 (SPI)*，带中断和复位功能
- 最高结温可达 150°C
- 符合 ISO 26262 标准的独立安全单元，支持 ASIL-D 等级安全要求*汽车安全完整性等级 (ASIL)* D
- 符合 ISO 26262 标准的系统集成安全文件
- 绿色产品（符合 RoHS 标准）

潜在应用

- 电动助力转向
- 电池管理
- 发动机管理
- 域名控制
- 牵引逆变器

产品验证

汽车应用认证。产品验证符合 AEC-Q100 标准。

描述

英飞凌 OPTIREG™ PMIC CLF35585QVS02 是一款功能安全 PMIC，适用于安全相关的应用。

本数据手册的原文使用英文撰写。为方便起见，英飞凌提供了译文；由于翻译过程中可能使用了自动化工具，英飞凌不保证译文的准确性。 为确认准确性，请务必访问 infineon.com 参考最新的英文版本（控制文档）。

描述

该电源包括一个升压-降压前级稳压器，为微控制器电源、通信电源和精密电压基准提供后级稳压电源轨。此外，还有两个基准电压跟踪器，可为板外传感器供电。

该设备配集成了可配置窗口看门狗（基于时间的触发器）和功能性看门狗（基于问题和应答的触发器）、错误引脚监测和电压监测功能作为主要监控功能。为了进行交互，提供了 16-bit *SPI*，中断以及复位功能。

该器件已按照 ISO 26262 标准开发，目标系统等级最高可达*ASIL* D。

Type	Package	Marking (Line1 / Line2)
CLF35585QVS02	PG-VQFN-48	CLF35585 / S02

目录

特性 1
潜在应用 1
产品验证 1
描述 1
目录 3
1 框图 9
2 引脚配置 10
2.1 引脚分配 10
2.2 引脚定义和功能 10
3 产品一般特性 15
3.1 绝对最大额定值 15
3.2 工作范围 18
3.3 热阻 19
3.4 电流消耗 20
4 唤醒和使能功能 22
4.1 唤醒和使能功能介绍 22
4.2 使能信号电气特性 23
4.3 唤醒信号电气特性 24
5 前级稳压器 25
5.1 前级稳压器介绍 25
5.2 前级升压稳压器 26
5.2.1 前级升压稳压器功能描述 26
5.2.2 前级升压稳压器电气特性 27
5.3 前级降压稳压器 28
5.3.1 前级降压稳压器功能描述 28
5.3.2 前级降压稳压器电气特性 30
5.4 频率设置 34
5.4.1 频率设置介绍 34
5.4.2 频率设置电气特性 34
6 后级稳压器 35
6.1 后级稳压器简介 35
6.2 微控制器主电源 QUC 37
6.2.1 微控制器主电源功能描述 37
6.2.2 微控制器主电源电气特性 38
6.3 通信电源 QCO 39
6.3.1 通信电源功能描述 39
6.3.2 通信电源电气特性 40

6.4 基准电压电源QVR 41
6.4.1 基准电压电源功能描述 41
6.4.2 基准电压电源电气特性 42
6.5 跟踪器 1 （QT1） 和 跟踪器 2 （QT2） 43
6.5.1 跟踪器1 和跟踪器 2 功能描述 43
6.5.2 跟踪器1 和跟踪器 2 电气特性 44
6.6 用于核心供电的外部后级稳压器（可选） 46
6.6.1 外部后级稳压器支持功能描述 46
6.6.2 外部后级稳压器支持电气特性 48
6.7 电源时序 49
6.7.1 从 POWERDOWN 到 INIT 状态的电源时序 50
6.7.2 从 STANDBY 到 INIT 状态的电源时序 52
6.7.3 从 SLEEP 到 WAKE 状态的电源时序 53

7 监测功能 55
7.1 监测功能介绍 55
7.2 关断功能 56
7.3 复位功能 56
7.4 中断功能 60
7.5 电压监测和复位功能电气特性 62

8 待机电源和内部电源 66
8.1 待机电源QST 66
8.1.1 待机电源功能说明 66
8.1.2 待机电源电气特性 68
8.2 内部电源 70

9 唤醒定时器 71
9.1 唤醒定时器说明 71
9.2 唤醒定时器电气特性 72

10 状态机 73
10.1 状态机介绍 73
10.2 状态描述 75
10.2.1 POWERDOWN 状态 75
10.2.2 INIT 状态 76
10.2.3 NORMAL 状态 78
10.2.4 STANDBY 状态 79
10.2.5 SLEEP 状态 80
10.2.6 WAKE 状态 82
10.2.7 FAILSAFE 状态 84
10.3 状态之间的转换 85
10.3.1 POWERDOWN → INIT 状态 85
10.3.2 INIT → NORMAL 状态 86
10.3.3 NORMAL 与 SLEEP 状态之间的转换 88

10.3.3.1 NORMAL → SLEEP 状态 ... 88
10.3.3.2 SLEEP → WAKE 状态 ... 91
10.3.3.3 WAKE → SLEEP 状态 ... 94
10.3.4 NORMAL 与 STANDBY 状态之间的转换 ... 97
10.3.4.1 NORMAL → STANDBY 状态 ... 97
10.3.4.2 STANDBY → INIT 状态 ... 100
10.3.4.3 INIT → NORMAL 状态 ... 101
10.3.5 NORMAL → WAKE 状态 ... 102
10.3.6 WAKE → NORMAL 状态 ... 102
10.3.7 INIT/WAKE → STANDBY 状态 ... 104
10.3.8 FAILSAFE → INIT 状态 ... 107
10.4 检测到故障时的响应方式 ... 109
10.4.1 留在当前状态 (中断事件) ... 109
10.4.2 过渡到 INIT 状态 ... 111
10.4.2.1 INIT → INIT 状态 （由于检测到故障） ... 112
10.4.2.1.1 INIT → INIT 状态 （由于INIT 定时器首次超时） ... 112
10.4.2.1.2 INIT → INIT 状态 （由于INIT 定时器第二次超时） ... 113
10.4.2.2 NORMAL → INIT 状态 （由于检测到故障） ... 114
10.4.2.3 STANDBY → INIT 状态 （由于检测到故障） ... 115
10.4.2.4 SLEEP → INIT 状态 （由于检测到故障） ... 116
10.4.2.5 WAKE → INIT 状态 （由于检测到故障） ... 117
10.4.3 过渡到 FAILSAFE 状态 ... 118
10.4.3.1 INIT → FAILSAFE 状态 （由于检测到故障） ... 119
10.4.3.2 XXXX → INIT → FAILSAFE 状态 （由于检测到故障） ... 120
10.4.3.3 NORMAL → FAILSAFE 状态 （由于检测到故障） ... 121
10.4.3.4 STANDBY → FAILSAFE 状态 （由于检测到故障） ... 122
10.4.3.5 SLEEP → FAILSAFE 状态 （由于检测到故障） ... 123
10.4.3.6 WAKE → FAILSAFE 状态 （由于检测到故障） ... 124
10.4.3.7 由于热关断而过渡到 FAILSAFE 状态 ... 125
10.4.4 过渡到 POWERDOWN 状态 ... 126
10.5 状态机电气特性 ... 127
10.6 内置自检 (BIST) 功能 ... 129
10.6.1 模拟内置自检 (ABIST) ... 129
10.6.1.1 如何运行 ABIST ... 130
10.6.1.2 仅测试比较器逻辑 ... 132
10.6.1.3 测试比较器逻辑和相应的去毛刺逻辑 ... 133
10.6.1.4 测试完整的监测链 （比较器、去毛刺和输出） ... 135
10.6.1.4.1 测试次级安全关断路径的激活 ... 135
10.6.1.4.2 测试 中断事件生成 ... 136
10.6.1.5 ABIST 操作的中止条件 ... 136
10.6.2 逻辑监测自测 ... 137
10.7 支持微控制器编程 ... 138

11 安全状态控制功能 139
11.1 安全状态控制功能介绍 139
11.2 安全状态控制电气特性 142
11.3 对微控制器安全管理单元（SMU – 引脚 ERR）的响应： 144
11.3.1 对 ERR 监测故障的立即响应 144
11.3.2 ERR 监测失败导致的延时恢复响应 146
11.4 对错误触发状态转移的响应 149
11.5 窗口看门狗输出（WWO）的响应 150
11.6 对功能看门狗输出（FWO）的响应 151
11.7 对热关断 （TSD）的响应 152
12 SPI（串行外设接口） 154
12.1 SPI 介绍 154
12.2 对受保护寄存器的 SPI 写访问 158
12.3 SPI 写发起的状态转换请求和稳压器配置 159
12.4 寄存器描述 160
12.4.1 器件寄存器 162
12.4.1.1 器件配置 0 *R2) 162
12.4.1.2 器件配置 1 *R0) 164
12.4.1.3 器件配置 2 *R2) 165
12.4.1.4 保护寄存器 *R2) 167
12.4.1.5 受保护系统配置请求 0 *R1) 168
12.4.1.6 受保护系统配置请求 1 *R2) 169
12.4.1.7 受保护看门狗配置请求 0 *R2) 171
12.4.1.8 受保护看门狗配置请求 1 *R2) 172
12.4.1.9 受保护功能性看门狗配置请求 *R2) 173
12.4.1.10 受保护窗口看门狗配置请求 0 *R2) 174
12.4.1.11 受保护窗口看门狗配置请求 1 *R2) 175
12.4.1.12 系统配置 0 状态 *R1) 176
12.4.1.13 系统配置 1 状态 *R3) 177
12.4.1.14 看门狗配置 0 状态 *R3) 179
12.4.1.15 看门狗配置 1 状态 *R3) 180
12.4.1.16 功能看门狗配置状态 *R3) 181
12.4.1.17 窗口看门狗配置 0 状态 *R3) 182
12.4.1.18 窗口看门狗配置 1 状态 *R3) 183
12.4.1.19 唤醒定时器配置 0 *R0) 184
12.4.1.20 唤醒定时器配置 1 *R0) 185
12.4.1.21 唤醒定时器配置 2 *R0) 186
12.4.1.22 器件控制请求 *R2) 187
12.4.1.23 器件控制反向请求 *R2) 188
12.4.1.24 窗口看门狗服务指令 *R2) 189
12.4.1.25 功能看门狗响应指令 *R2) 190

12.4.1.26 功能看门狗响应指令和同步 *R2) 191
12.4.1.27 FAILSAFE 错误状态标志 *R1) 192
12.4.1.28 INIT 错误状态标志 *R2) 194
12.4.1.29 中断标志 *R2) 195
12.4.1.30 系统状态标志 *R2) 197
12.4.1.31 唤醒状态标志 *R2) 199
12.4.1.32 SPI 状态标志 *R2) 201
12.4.1.33 监测状态标志 0 *R1) 202
12.4.1.34 监测状态标志 1 *R1) 203
12.4.1.35 监测状态标志 2 *R2) 204
12.4.1.36 监测状态标志 3 *R1) 205
12.4.1.37 过温失效状态标志 *R1) 207
12.4.1.38 过温警告状态标志 *R2) 208
12.4.1.39 电压监控状态 209
12.4.1.40 器件状态 210
12.4.1.41 保护状态 *R1) 211
12.4.1.42 窗口看门狗状态 *R3) 212
12.4.1.43 功能看门狗状态 0 *R3) 213
12.4.1.44 功能看门狗状态 1 *R3) 214
12.4.1.45 ABIST 控制 0 *R2) 215
12.4.1.46 ABIST 控制 1 *R2) 217
12.4.1.47 ABIST 控制 0 *R2) 218
12.4.1.48 ABIST 控制 1 *R2) 220
12.4.1.49 ABIST 控制 2 *R2) 222
12.4.1.50 Buck 开关频率改变 *R2) 223
12.4.1.51 Buck 频率扩展 *R2) 224
12.4.1.52 中央功能监控状态标志 *R2) 225
12.4.1.53 微控制器监督监测 *R2) 226
12.4.1.54 器件信息 *R2) 227
12.4.1.55 全局测试模式 *R1) 228
12.5 SPI 信号电气特性 229

13 中断生成 231
13.1 中断生成电气特性 233

14 看门狗监督 234
14.1 窗口看门狗和功能看门狗介绍 234
14.2 窗口看门狗 235
14.2.1 窗口看门狗时序图 238
14.2.1.1 正常运行：正确触发 238
14.2.1.2 故障操作：初始化后开放窗口中无触发信号 239
14.2.1.3 故障操作：稳态下开放窗口无触发 240
14.2.1.4 故障操作：初始化后在关闭窗口中的错误触发 241

目录

14.2.1.5 故障操作：稳态下关闭窗口中的错误触发 242
14.2.2 窗口看门狗电气特性 243
14.3 功能看门狗 244
14.3.1 功能看门狗时序图 247
14.3.1.1 正常运行：正确触发 247
14.3.1.2 故障操作：同步缺失 248
14.3.1.3 故障操作：应答错误 249
14.3.1.4 故障操作：响应缺失 250
15 应用信息 251
16 封装信息 253
词汇表 254
修订记录 256
免责声明 257

1 框图

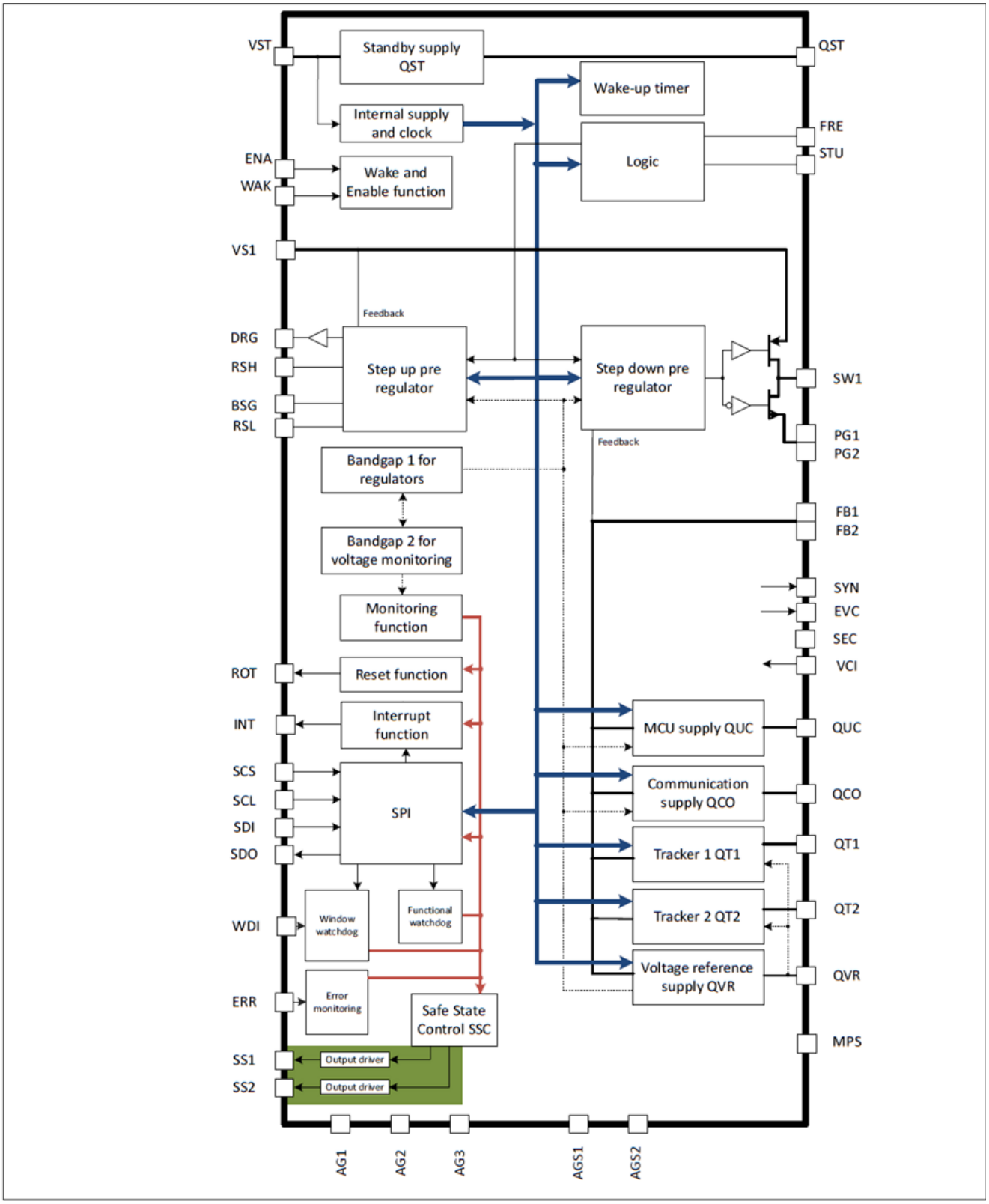

VST
Standby supply QST
QST
Wake-up timer
Internal supply and clock
FRE
Logic
STU
ENA
WAK
Wake and Enable function
VS1
Feedback
DRG
RSH
BSG
RSL
Step up pre regulator
Step down pre regulator
SW1
Feedback
PG1
PG2
Bandgap 1 for regulators
Bandgap 2 for voltage monitoring
FB1
FB2
SYN
EVC
SEC
VCI
Monitoring function
ROT
Reset function
INT
Interrupt function
MCU supply QUC
QUC
SCS
SCL
SDI
SDO
SPI
Communication supply QCO
QCO
Tracker 1 QT1
QT1
Tracker 2 QT2
QT2
WDI
Window watchdog
Functional watchdog
Voltage reference supply QVR
QVR
ERR
Error monitoring
Safe State Control SSC
MPS
SS1
SS2
Output driver
Output driver
AG1
AG2
AG3
AGS1
AGS2

图 1 框图

2 引脚配置

2.1 引脚分配

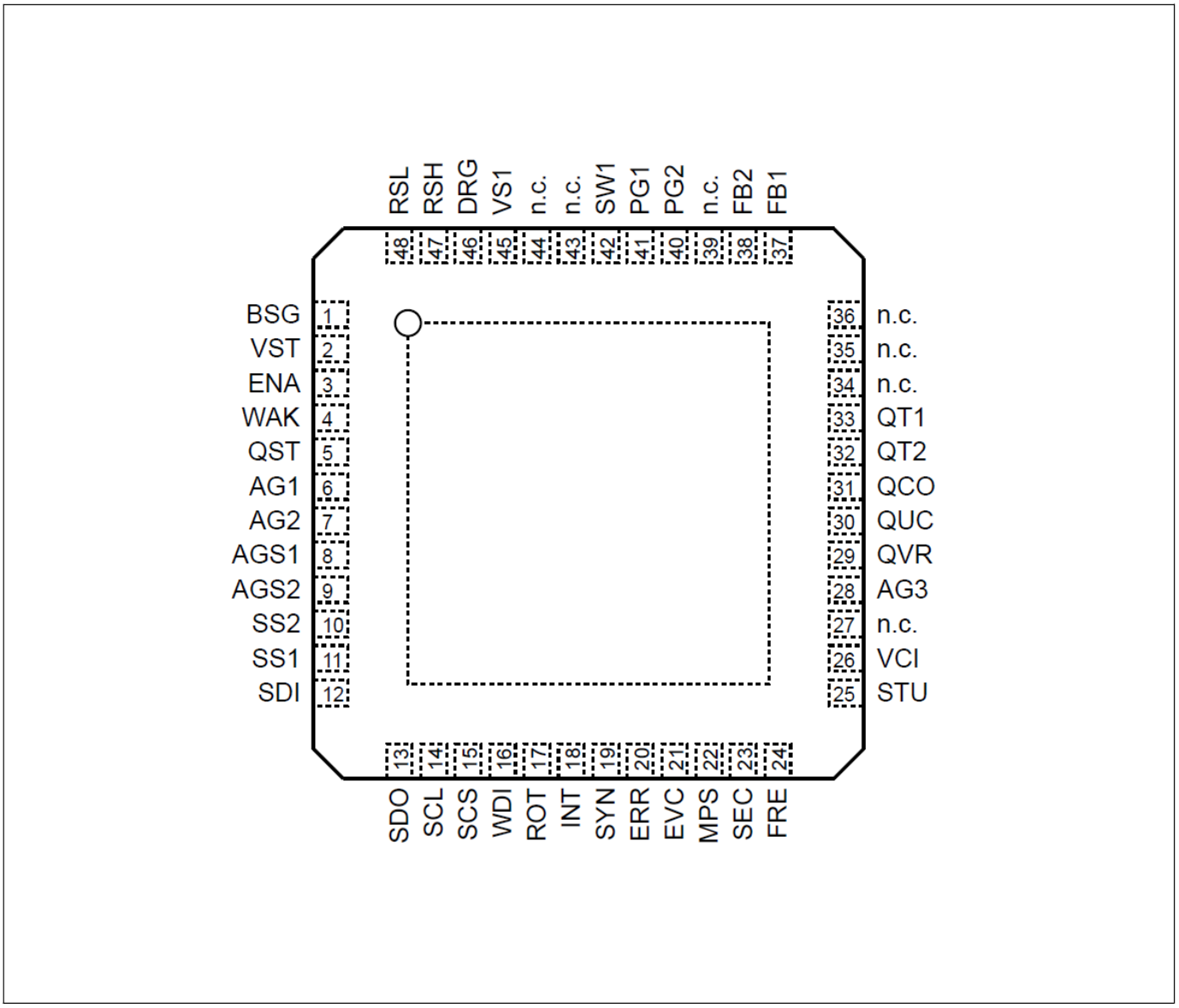


图 2 引脚分配

2.2 引脚定义和功能

Pin	Symbol	Function
1	BSG	Boost driver ground: Connect this pin to ground at the low side of an external current sense resistor to decouple the driver noise from the sensitive ground. If step up pre-regulator option is not used, connect to ground.
2	VST	Standby and internal supply input: Connect this input directly to pin VS1. It is recommended to place a local capacitor between pin and ground.

Pin	Symbol	Function
3	ENA	Enable input: A rising edge signal at this pin generates a wake-up event for the device. In case of not used connect to ground.
4	WAK	Wake input: A "high" signal at this pin generates a wake-up event for the device. In case of not used, connect to ground.
5	QST	Standby supply output: Connect a capacitor as close as possible to pin.
6	AG1	Analog ground, pin 1: Connect this pin directly (low ohmic and low inductive) to ground.
7	AG2	Analog ground, pin 2: Connect this pin directly (low ohmic and low inductive) to ground.
8	AGS1	Analog ground safety, pin 1: Connect this pin directly (low ohmic and low inductive) to ground. In case a safety switch is used, connect directly to the source of the NMOS used.
9	AGS2	Analog ground safety, pin 2: Connect this pin directly (low ohmic and low inductive) to ground. In case a safety switch is used, connect directly to the source of the NMOS used.
10	SS2	Safe state signal 2: Safe state output signal 2, sets the application into a safe state. Signal is delayed against SS1, delay can be adjusted via *SPI* command. In case of not used, leave open.
11	SS1	Safe state signal 1: Safe state output signal 1, sets the application into a safe state.
12	SDI	Serial peripheral interface, signal data input (MOSI): SPI signaling port, connect to SPI port "data output"(MOSI) of microcontroller to receive commands during SPI communication.
13	SDO	Serial peripheral interface, signal data output (MISO): SPI signaling port, connect to SPI port "data input"(MISO) of microcontroller to send status information during SPI communication.
14	SCL	Serial peripheral interface, signal clock input (SCLK): SPI signaling port, connect to SPI port "clock" (SCLK) of microcontroller to clock the device for SPI communication.
15	SCS	Serial peripheral interface, signal chip select input: SPI signaling port, connect to SPI port "chip select" of microcontroller to address the device for SPI communication.
16	WDI	Watchdog pin-trigger input: Input for trigger signal, connect the "trigger signal output" of the microcontroller to this pin. In case of not used, leave open (internal pull-down).

Pin	Symbol	Function
17	ROT	Reset signal output: Open drain structure with internal pull-up current source. A low signal at this pin indicates a reset event.
18	INT	Interrupt signal output: Push-pull-stage. A "low" pulse at this pin indicates an interrupt, the microcontroller shall read out the SPI status registers. Connect to a *non-maskable interrupt (NMI)* port of the microcontroller.
19	SYN	Synchronization signal output: Connect this output to the optional external switch mode post regulator synchronization input. The signal delivers the step down regulator switching frequency either in phase or shifted by 180° (selectable via SPI command). The switch mode post regulator shall synchronize to the rising edge. If not used, then leave open.
20	ERR	Error signal input: Input for error signal from microcontroller safety managing unit (SMU, internal failure detection of the microcontroller). Connect the "error signal output" (FSP) of the microcontroller to this pin. If the function is not used, then connect this pin to ground.
21	EVC	Enable signal output for external post regulator for core supply: Connect this pin to the enable input of the external post regulator. If not used, then leave open.
22	MPS	Microcontroller programming support input: Input to enable microcontroller programming support (MPS). For details please refer to Chapter 10.7. If the function is not used, then connect this pin to ground.
23	SEC	Hardware configuration pin for external post regulator for core supply: If the option external post regulator is used, then leave open. If the option external post regulator is not used, then connect this pin to ground.
24	FRE	Hardware configuration pin for step down pre-regulator base frequency: Connect this pin to ground for low frequency range or leave open for high frequency range.
25	STU	Hardware configuration pin for step up converter: If the option step up pre-regulator is not used, then connect this pin to ground. If the option step up pre-regulator is used, then leave open.
26	VCI	Input for optional external post regulator output voltage monitoring (core supply): Connect an external resistor divider to adjust the residual overvoltage and undervoltage thresholds of the voltage monitoring input to the applications need. If the option external post regulator is not used, then leave open.

Pin	Symbol	Function
27	N.C.	Internally not connected: This pin is electrically not connected internally and can be kept open/floating, connected to GND or any other signal. Consider neighboring signals for potential failures.
28	AG3	Analog ground, pin 3: Connect this pin directly (low ohmic and low inductive) to ground.
29	QVR	Voltage reference supply output: Connect a capacitor as close as possible to pin.
30	QUC	MCU supply output (microcontroller main supply): Connect a capacitor as close as possible to pin.
31	QCO	Communication supply output: Connect a capacitor as close as possible to pin.
32	QT2	Tracker 2 output: Connect a capacitor as close as possible to pin.
33	QT1	Tracker 1 output: Connect a capacitor as close as possible to pin.
34	N.C.	Internally not connected: This pin is electrically not connected internally and can be kept open/floating, connected to GND or any other signal. Consider neighboring signals for potential failures.
35	N.C.	Internally not connected: This pin is electrically not connected internally and can be kept open/floating, connected to GND or any other signal. Consider neighboring signals for potential failures.
36	N.C.	Internally not connected: This pin is electrically not connected internally and can be kept open/floating, connected to GND or any other signal. Consider neighboring signals for potential failures.
37	FB1	Step down pre-regulator feedback input and input for linear post regulators and trackers, pin 1: Connect the capacitor of the step down pre-regulator output filter with low ohmic and low inductive connection straight to this pin. Always connect in parallel with pin FB2.
38	FB2	Step down pre-regulator feedback input and input for linear post regulators and trackers, pin 2: Connect the capacitor of the step down pre-regulator output filter with low ohmic and low inductive connection straight to this pin. Always connect in parallel with pin FB1.
39	N.C.	Internally not connected: This pin is electrically not connected internally and can be kept open/floating, connected to GND or any other signal. Consider neighboring signals for potential failures.

Pin	Symbol	Function
40	PG2	Step down pre-regulator power ground, pin 2: Connect this pin straight (low ohmic and low inductive) to the step down pre-regulator input capacitances (attached to VS1) ground connection, to its output capacitances ground connection and to ground. Always connect in parallel with pin PG1.
41	PG1	Step down pre-regulator power ground, pin 1: Connect this pin straight (low ohmic and low inductive) to the step down pre-regulator input capacitances (attached to VS1) ground connection, to its output capacitances ground connection and to ground. Always connect in parallel with pin PG2.
42	SW1	Step down pre-regulator power stage output: Connect this pin straight (low ohmic and low inductive) to the pre-regulator output filter.
43	N.C.	Internally not connected: This pin is electrically not connected internally and can be kept open/floating, connected to GND or any other signal. Consider neighboring signals for potential failures.
44	N.C.	Internally not connected: This pin is electrically not connected internally and can be kept open/floating, connected to GND or any other signal. Consider neighboring signals for potential failures.
45	VS1	Supply voltage step down pre-regulator input: Connect this input directly to pin VST. Connect this input to the input pi-filter of the step down pre-regulator with reverse protection diode in front. If step up pre-regulator is used the filter may be shared with the output filter of the step-up pre regulator. A capacitor between VS1 and PGx very close to the pins is recommended as *electromagnetic compatibility (EMC)* filter.
46	DRG	Driver output for external step up regulator power stage: Gate of low side switch of step up pre-regulator: Connect to the gate of an external N-channel *metal-oxide-semiconductor field-effect transistor (MOSFET)*, line to be straight and as short as possible. If step up pre-regulator option is not used, then leave open.
47	RSH	Sense resistor input for external step up regulator power stage, high side: Connect this pin to the high side of an external current sense resistor to determine the maximum current threshold through the external N-channel MOSFET. If step up pre-regulator option is not used, then connect to ground.
48	RSL	Sense resistor input for external step up regulator power stage, low side: Connect this pin to the low side of an external current sense resistor to determine the maximum current threshold through the external N-channel MOSFET. If step up pre-regulator option is not used, then connect to ground.
Exposed diepad	GND	Exposed diepad. Connect externally to GND and heat sink area.

3 产品一般特性

3.1 绝对最大额定值

表 1 绝对最大额定值[1)]

T_j= -40°C 至 +150°C，所有电压均相对于地，正向电流流入引脚（除非另有规定）。

Parameter	Symbol	Values			Unit	Note or condition	Number
		Min.	Typ.	Max.			
Voltages							
Boost driver ground	V_{BSG}	-0.3	–	0.3	V	–	P_4.1.1
Input standby supply	V_{VST}	-0.3	–	40	V	2) 3)	P_4.1.2
Input voltage pin 1 (pre-regulator)	V_{VS1}	-0.3	–	40	V	2) 3)	P_4.1.3
External step up power stage, gate	V_{DRG}	-0.3	–	40	V	2)	P_4.1.4
External power stage, sense resistor high	V_{RSH}	-0.3	–	40	V	2)	P_4.1.5
External power stage, sense resistor low	V_{RSL}	-0.3	–	2.5	V	–	P_4.1.6
Enable input	V_{ENA}	-0.3	–	40	V	2)	P_4.1.7
Enable input	I_{ENA}	-5	–	–	mA	4)	P_4.1.8
Wake input	V_{WAK}	-0.3	–	40	V	2)	P_4.1.9
Wake input	I_{WAK}	-5	–	–	mA	4)	P_4.1.10
Reset output	V_{ROT}	-0.3	–	40.0	V	–	P_4.1.11
SPI chip select input	V_{SCS}	-0.3	–	40.0	V	–	P_4.1.12
SPI clock input	V_{SCL}	-0.3	–	40.0	V	–	P_4.1.13
SPI data in (MOSI) input	V_{SDI}	-0.3	–	40.0	V	–	P_4.1.14
SPI data out (MISO output)	V_{SDO}	-0.3	–	40.0	V	–	P_4.1.15
Interrupt output	V_{INT}	-0.3	–	40.0	V	–	P_4.1.16
Window watchdog trigger input	V_{WDI}	-0.3	–	40.0	V	–	P_4.1.17
Error pin input	V_{ERR}	-0.3	–	40.0	V	–	P_4.1.18
Safe state 1 output	V_{SS1}	-0.3	–	40.0	V	–	P_4.1.19
Safe state 2 output	V_{SS2}	-0.3	–	40.0	V	–	P_4.1.20
Output voltage reference supply	V_{QVR}	-0.3	–	6.0	V	–	P_4.1.21
Output tracker 2	V_{QT2}	-1.0	–	40	V	–	P_4.1.22

（表格续下页……）

表 1　　（续）绝对最大额定值[1)]

T_j= -40°C 至 +150°C，所有电压均相对于地，正向电流流入引脚（除非另有规定）。

Parameter	Symbol	Values			Unit	Note or condition	Number
		Min.	Typ.	Max.			
Output tracker 1	V_{QT1}	-1.0	–	40	V	–	P_4.1.23
Output communication supply	V_{QCO}	-0.3	–	6.0	V	–	P_4.1.24
Output microcontroller main supply	V_{QUC}	-0.3	–	6.0	V	–	P_4.1.25
External core voltage monitor input	V_{VCI}	-0.3	–	6.0	V	–	P_4.1.26
hardware (HW) config: ext. core voltage monitor	V_{SEC}	-0.3	–	6.0	V	–	P_4.1.27
Synchronization output	V_{SYN}	-0.3	–	40.0	V	–	P_4.1.28
Enable output for ext. core supply	V_{EVC}	-0.3	–	40.0	V	–	P_4.1.29
Step down feedback input 2	V_{FB2}	-0.3	–	8.0	V	–	P_4.1.30
Step down feedback input 1	V_{FB1}	-0.3	–	8.0	V	–	P_4.1.31
Step down power ground 2	V_{PG2}	-0.3	–	0.3	V	–	P_4.1.32
Step down power ground 1	V_{PG1}	-0.3	–	0.3	V	–	P_4.1.33
Step down switching node	V_{SW1}	-0.3	–	40	V	3)	P_4.1.34
HW config: step up pre-regulator	V_{STU}	-0.3	–	6.0	V	–	P_4.1.35
HW config: step down frequency	V_{FRE}	-0.3	–	6.0	V	–	P_4.1.36
Output standby supply	V_{QST}	-0.3	–	6.0	V	–	P_4.1.37
Input MPS	V_{MPS}	-0.3	–	20	V	–	P_4.1.38
Temperatures							
Junction temperature	T_j	-40	–	150	°C	–	P_4.1.39
Storage temperature	T_{stg}	-55	–	150	°C	–	P_4.1.40
ESD robustness							
ESD robustness to GND	V_{ESD}	-2	–	2	kV	*human body model (HBM)* 5)	P_4.1.41
ESD robustness to GND	V_{ESD}	-500	–	500	V	*charged device model (CDM)* 6)	P_4.1.42
ESD robustness (corner pins) to GND	$V_{ESD,Corner}$	-750	–	750	V	CDM 6)	P_4.1.43

1)　未经过生产测试，由设计指定。

2)　最大额定值为 60 V，如果引脚电压上升斜率低于 6 V/ms，产品使用寿命期间的总时间为 1 小时

3) 最大额定值为 43.5 V，在产品使用寿命期间，总时间为 10 秒（在 40 V 至 43.5 V 范围内），与上升时间无关。
4) 考虑电压 < -0.3 V，应使用串联电阻，以确保电流的最大额定值
5) 人体模型 (HBM) 鲁棒性符合 ANSI/ESDA/JEDEC JS-001 (1.5 kΩ, 100 pF)。
6) 符合 ESDA STM5.3.1 /ANSI /ESD S.5.3.1 的带电器件模型 (CDM) 的稳定性。

注释： *此热学数据是根据 JEDEC JESD51 标准生成。更多信息，请访问*www.jedec.org。

3.2 工作范围

表 2 工作范围

Parameter	Symbol	Values			Unit	Note or condition	Number
		Min.	Typ.	Max.			
Supply voltage range for normal operation at input of the step up pre-regulator	V_{Bat}	3	–	40	V	with step up pre-regulator active in front of step down pre-regulator 1)	P_4.2.1
Supply voltage range for normal operation at pin VSx	V_{VS}	6	–	40	V	without step up pre-regulator active in front of step down pre regulator	P_4.2.2
Start-up voltage threshold for power sequencing	$V_{PS,start}$	4.9	5.0	5.1	V	V_{VS} increasing	P_4.2.3
Internal start-up time from POWERDOWN	$t_{tr,pwrd}$	–	1	2	ms	from first VS connection to start of power sequence	P_4.2.4
POWERDOWN shutdown threshold	$V_{PD,lo}$	2.2	3.0	3.5	V	2) V_{VS} decreasing; Except STANDBY-state	P_4.2.5
POWERDOWN shutdown threshold	$V_{PD,lo}$	1.25	3.0	4.5	V	2) V_{VS} decreasing; STANDBY-state	P_4.2.6
Junction temperature	T_j	-40	–	150	°C	–	P_4.2.7

1) 器件的初始启动需要在引脚 VSx 上有一个最小的输入电压 $V_{PS,start}$，持续时间为 $t_{tr,pwrdo}$
2) 由设计指定，无需进行生产测试

注： *在工作范围内，IC按照电路说明中的描述运行。电气特性是在相关电气特性表中注明的条件下指定的。*

3.3 热阻

Table 3 热阻抗[1)]

Parameter	Symbol	Values			Unit	Note or condition	Number
		Min.	Typ.	Max.			
Junction to case (exposed diepad)	R_{thJC}	–	–	4	K/W	–	P_4.3.1
Junction to ambient	R_{thJA}	–	25	–	K/W	2)	P_4.3.6

1) 未经过生产测试，由设计指定。
2) 指定的 R_{thJA} 值根据JEDEC JESD51-2,-5,-7 的 FR4 2s2p 板上自然对流；产品（芯片和封装）在具有两个内层铜（2 × 70 µm Cu、2 × 35 µm Cu）的 76.2 × 114.3 × 1.5 mm^3 板上进行模拟。在适当的情况下，可以在封装旁边加热锅空与第一个内铜层连接。

注释： *此热学数据是根据JEDEC JESD51 标准生成。更多信息，请访问*www.jedec.org。

3.4 电流消耗

表 4 电流消耗[1)]

V_{VS} = 10 V 至 28 V； T_j = -40°C 至 85°C，所有电压均以地为参考，正向电流表示流入该引脚（除非另有说明）

Parameter	Symbol	Values			Unit	Note or condition	Number
		Min.	Typ.	Max.			
INIT-,NORMAL-,WAKE-state	$I_{q,HF}$	–	–	45	mA	high switching frequency range (pin FRE open); [1)] $T_j \le 85°C$; 10 V ≤ V_{VS} ≤ 28 V	P_4.4.1
INIT-,NORMAL-,WAKE-state	$I_{q,LF}$	–	–	30	mA	low switching frequency range (pin FRE to GND); [1)] $T_j \le 85°C$; 10 V ≤ V_{VS} ≤ 28 V	P_4.4.2
STANDBY-state	I_q	–	7.5	10	µA	QST is disabled; [1)] $T_j \le 40°C$; 10 V ≤ V_{VS} ≤ 14 V; wake-up timer disabled	P_4.4.3
STANDBY-state	I_q	–	7.5	15	µA	QST is disabled; [1)] $T_j \le 85°C$; 10 V ≤ V_{VS} ≤ 28 V; wake-up timer disabled	P_4.4.4
STANDBY-state	I_q	–	–	50	µA	QST is disabled; [1)] $T_j \le 85°C$; 10 V ≤ V_{VS} ≤ 28 V; wake-up timer enabled	P_4.4.5
STANDBY-state	I_q	–	40	56	µA	QST is enabled; [1)] $T_j \le 40°C$; 10 V ≤ V_{VS} ≤ 28 V	P_4.4.6
STANDBY-state	I_q	–	40	70	µA	QST is enabled; [1)] $T_j \le 85°C$; 10 V ≤ V_{VS} ≤ 28 V	P_4.4.7
SLEEP-state	I_q	–	240	320	µA	[1)] $T_j \le 40°C$; 12 V ≤ V_{VS} ≤ 28 V	P_4.4.8
SLEEP-state	I_q	–	240	350	µA	[1)] $T_j \le 85°C$; 12 V ≤ V_{VS} ≤ 28 V	P_4.4.9

（表格续下页……）

表 4　　（续）电流消耗

V_{VS} = 10 V 至 28 V；T_j = -40°C 至 85°C，所有电压均以地为参考，正向电流表示流入该引脚（除非另有说明）

Parameter	Symbol	Values			Unit	Note or condition	Number
		Min.	Typ.	Max.			
SLEEP-state	I_q	–	240	400	µA	1) $T_j \leq 85°C$; 10 V ≤ V_{VS} ≤ 28 V	P_4.4.10
FAILSAFE-state	I_q	–	90	150	µA	1) $T_j \leq 40°C$; 10 V ≤ V_{VS} ≤ 18 V; $t_{FAILSAFE} > t_{FAILSAFE,min}$	P_4.4.11
FAILSAFE-state	I_q	–	90	200	µA	1) $T_j \leq 85°C$; 10 V ≤ V_{VS} ≤ 28 V; $t_{FAILSAFE} > t_{FAILSAFE,min}$	P_4.4.12

1)　除非另有说明，所有静态电流损耗参数均在零负载下测量，并且关闭所有可选选项（输出、监视器、看门狗、定时器、前级升压稳压器）。

4 唤醒和使用功能

4.1 唤醒和使能功能介绍

当连接到电池时，器件会自动上电（*上电复位（POR）*将器件从 POWERDOWN 状态移出），并进入初始化状态（INIT-state），此时器件可用于配置。配置成功并完成初始监控功能后，器件可通过 *SPI* 指令进入 NORMAL 状态。从 NORMAL 或 WAKE 状态，器件可以通过 SPI 指令进入低功耗状态（SLEEP 或 STANDBY）。WAK 和 ENA 信号是退出低功耗状态（或 FAILSAFE 状态）的外部触发信号。

Wake (引脚 WAK - 电平触发) / Enable (引脚 ENA - 边沿触发)

WAK 和 ENA 输入引脚支持电池电压电平。在 WAK 引脚施加高于 $V_{WAK,hi}$ 的电压并保持时间 $t_{WAK,min}$，即视为有效的唤醒信号。在 ENA 引脚上的上升沿也同样视为有效的唤醒信号。有效的唤醒信号会触发唤醒事件，使器件从 STANDBY 状态进入 INIT 状态、从 SLEEP 状态进入 WAKE 状态，或从 FAILSAFE 状态进入 INIT 状态。

在 WAK 引脚上的低电平信号$V_{WAK,lo}$ 以及引脚 ENA 上的下降沿不会对状态机产生影响，也不会触发状态之间的转换。

如果器件在从 NORMAL 状态向 SLEEP 状态过渡期间检测到有效的唤醒信号，则器件会触发向 WAKE 状态的转换，并产生一个中断。

如果器件在从 NORMAL 状态向 STANDBY 状态过渡期间检测到有效的唤醒信号，则器件会触发向 INIT 状态的转换，并产生一次复位（ROT）事件。

在发送一个 SPI 状态转换指令之前，无需将 ENA 引脚电压降至 $V_{ENA,thrlo}$ 以下。即使 ENA 引脚处于“高电平”（高于 $V_{ENA,thrhi}$），SPI 状态转换指令仍会使器件进入 SLEEP 或 STANDBY 状态。

引脚 ENA 和 WAK 的当前信号电平可通过 SPI 从寄存器 WKSF.ENAST（引脚 ENA 处的信号电平）和 WKSF.WAKST（引脚 WAK 处的信号电平）中读取。

更多详细信息，请参阅章节10 状态机。

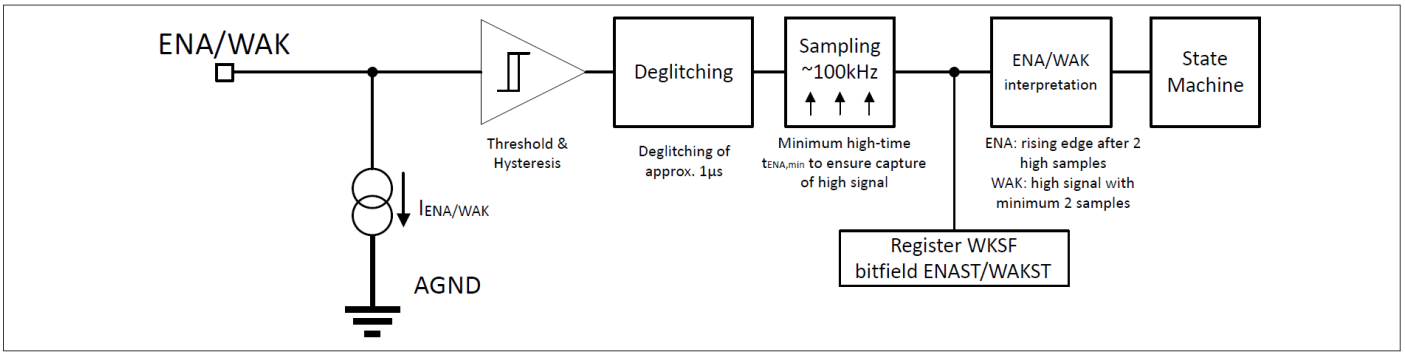


图 3 使能与唤醒功能的原理

4.2 使能信号电气特性

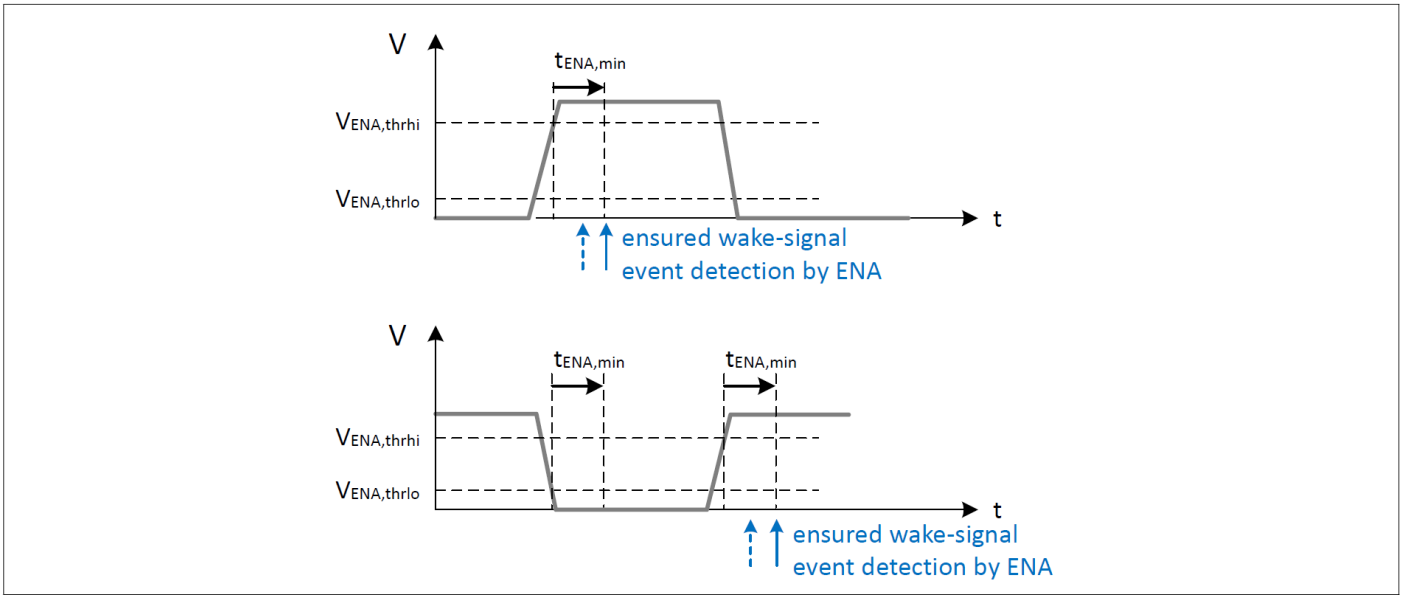


图 4 有效使能信号

表 5 使能信号电气特性

V_{VS} = 6 V 至 40 V；T_j = -40°C 至 150°C，所有电压均以地为参考，正向电流表示流入该引脚（除非另有说明）

Parameter	Symbol	Values			Unit	Note or condition	Number
		Min.	Typ.	Max.			
Enable (EN)							
Enable upper threshold	$V_{ENA,thrhi}$	–	–	1.95	V	V_{ENA} increasing	P_5.2.1
Enable lower threshold	$V_{ENA,thrlo}$	1.0	–	–	V	V_{ENA} decreasing	P_5.2.2
Enable threshold hysteresis	$V_{ENA,hyst}$	200	330	500	mV	–	P_5.2.3
Enable minimum signal time	$t_{ENA,min}$	20	–	–	µs	–	P_5.2.4
Enable "high" input current	$I_{ENA,hi}$	–	8	11	µA	V_{ENA} = 16 V	P_5.2.5
Enable "low" input current	$I_{ENA,lo}$	–	0.1	2	µA	V_{ENA} = 0.5 V	P_5.2.6

4.3 唤醒信号电气特性

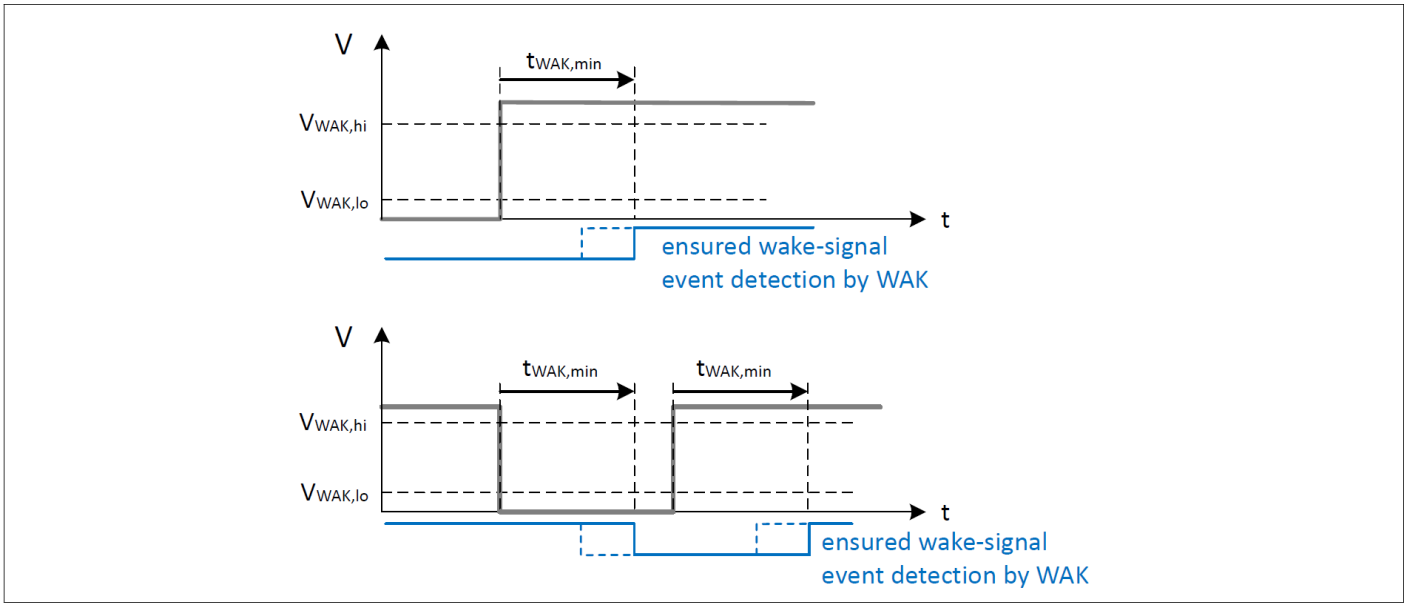


Figure 5 有效唤醒信号

表 6 唤醒信号电气特性

V_{VS} = 6 V 至 40 V； T_j = -40°C 至 150°C，所有电压均以地为参考，正向电流表示流入该引脚（除非另有说明）

Parameter	Symbol	Values			Unit	Note or condition	Number
		Min.	Typ.	Max.			
Wake/Inhibit							
Wake upper threshold	$V_{WAK,hi}$	–	–	1.95	V	V_{WAK} increasing	P_5.3.1
Wake lower threshold	$V_{WAK,lo}$	1.0	–	–	V	V_{WAK} decreasing	P_5.3.2
Wake signal hysteresis	$V_{WAK,hyst}$	200	330	500	mV	–	P_5.3.3
Wake signal minimum length	$t_{WAK,min}$	40	–	–	µs	–	P_5.3.4
Wake "high" input current	$I_{WAK,hi}$	–	8	11	µA	V_{WAK} = 5.0 V	P_5.3.5
Wake "low" input current	$I_{WAK,lo}$	–	0.1	2	µA	V_{WAK} = 0.5 V	P_5.3.6

5 前级稳压器

5.1 前级稳压器介绍

前级稳压器是必需的，用于维持稳定且恒定的中间电路电压，以为后级稳压器提供供电。其由两个独立的稳压器组成：带有外部功率级的升压转换器，用于确保后续降压转换器所需的最小输入电压。

通过将 STU 引脚连接到接地，可以停用升压转换器。让引脚 STU 保持悬空可激活升压稳压器。

降压稳压器的开关频率可通过 FRE 引脚进行预设：将 FRE 引脚悬空可选择高开关频率范围，将其接地则选择低开关频率范围。

降压转换器连续工作，提供稳定的中间电路电压 V_{PREREG}，为后续的后级稳压器供电。升压转换器直接连接至输入电压 V_{Bat}，仅在低输入电压的情况下（例如启动）工作；当输入电压降至阈值 $V_{PREREG,boost,UV}$ 时，以保持输入电压足够高以供后续降压稳压器使用。低输入电压条件意味着引脚 VSx 处的输入电压太低，无法在规定的范围中提供中间电路电压 V_{PREREG}。连接在输入电压通路的内部比较器会检测达到开启升压转换器的阈值。如果输入电压高于升压转换器输出电压（即开启升压转换器的阈值），则该稳压器会被内部比较器停用。内部逻辑会在需要时开启（并再次关闭）升压转换器。

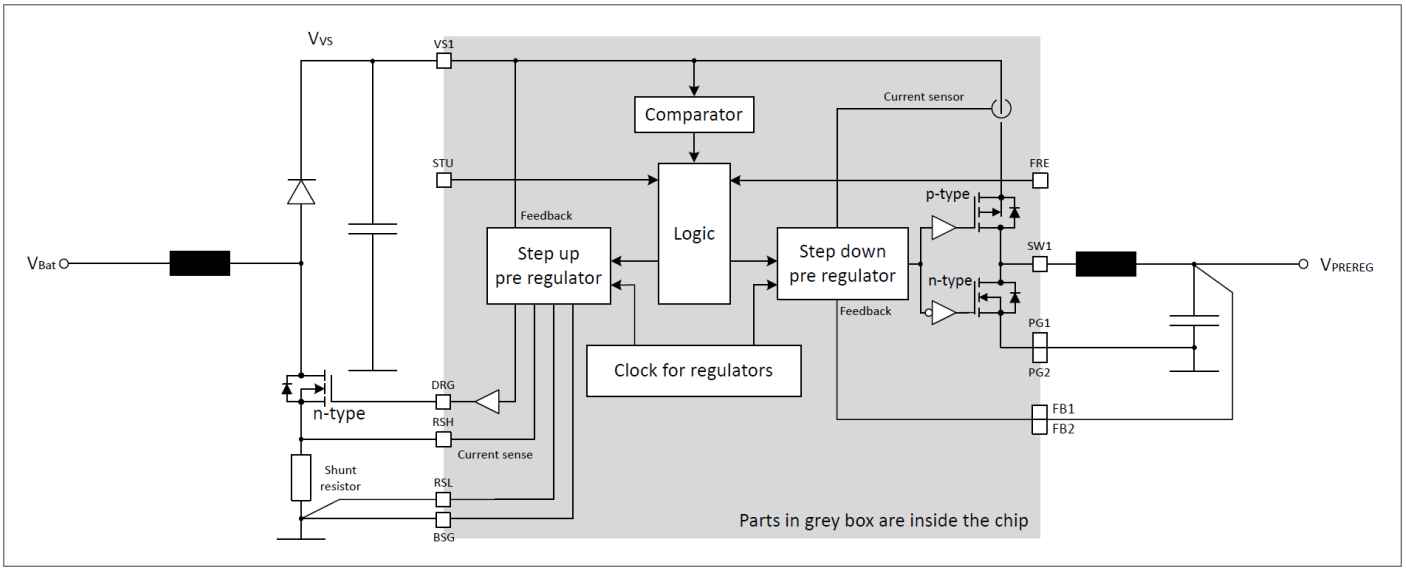


图 6 前级稳压器原理

5.2 前级升压稳压器

5.2.1 前级升压稳压器功能描述

异步前级升压稳压器在工作时提供比输入电压更高的输出电压。当供电电压太低以致于后级稳压器输出端无法达到标称值时，就会出现这种情况。前级升压稳压器的输出电压将明显低于标称供电（电池）电压，以确保其仅在低输入电压条件下运行。

为了防止稳压器和应用程序受到损坏，已实施以下保护功能：

- 为了保护前级升压稳压器的外部元件免受过应力的影响，基于检流电阻的峰值限流（由 $V_{RSH-RSL}$规定）限制了 DRG 引脚的占空比，以避免电流过大，从而使输出电压降低。如果前级升压稳压器在峰值电流限流下运行时间超过 $t_{StG,boost}$，器件将进入 FAILSAFE 状态。该事件存储在 *SPI* 状态寄存器的 MONSF3.STUSG 位字段中。
- 如果通过检流电阻的电流产生超过 0.8×$V_{RSH-RSL}$开关周期的电压且开关周期超过 500µs，则实施过流预警以提供基于中断的警告。过流预警的诊断信息在 CEFUMON.STUOC 中指示。

如果升压特性对于应用来说不是必需的，则可以省略外部功率元件*MOSFET*，二极管以及检流电阻，滤波器元件可以根据应用要求进行调整。

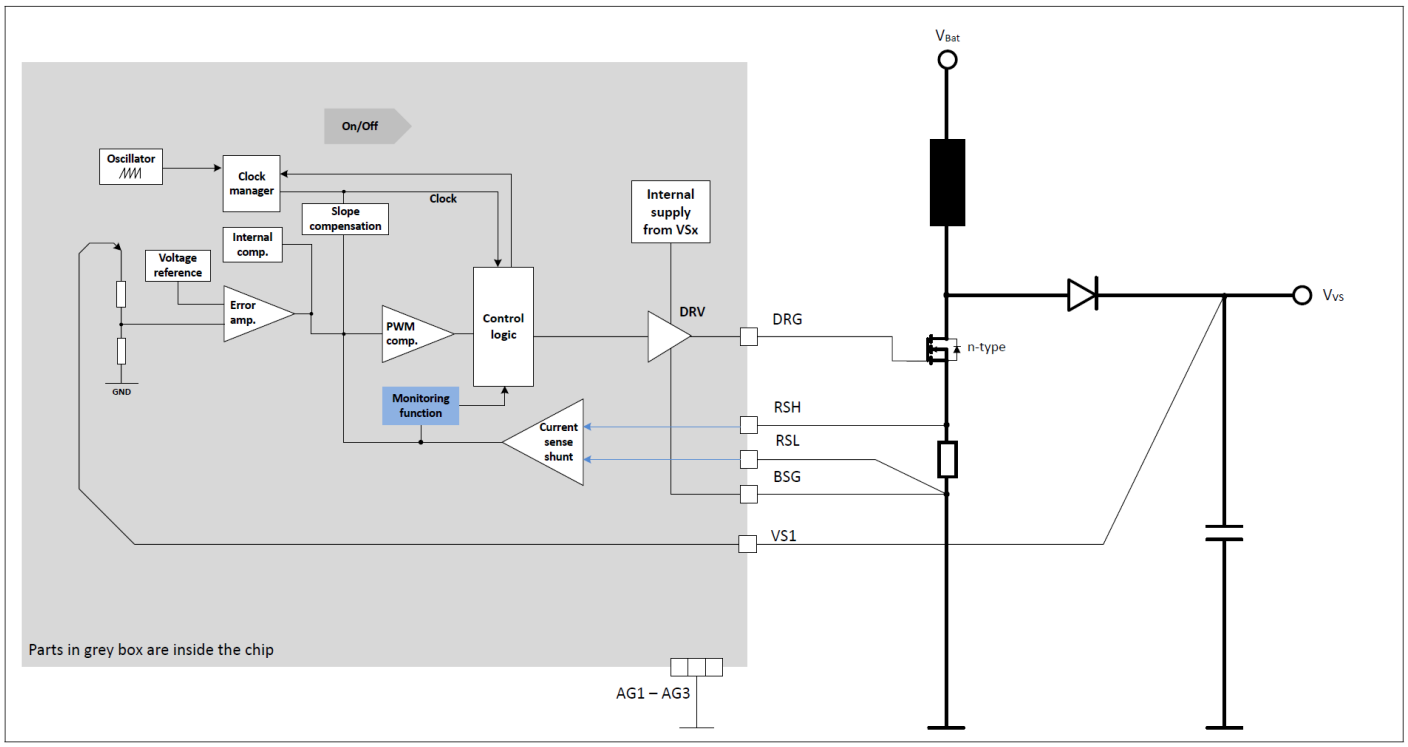


Figure 7 升压稳压器

5.2.2 前级升压稳压器电气特性

表 7 前级升压稳压器电气特性电气特性

V_{VS} = 6 V 至 40 V；T_j = -40°C 至 150°C，所有电压均以地为参考，正向电流表示流入该引脚（除非另有说明）

Parameter	Symbol	Values			Unit	Note or condition	Number
		Min.	Typ.	Max.			
加强预调节器							
Pre-regulator boost output voltage	$V_{PREREG,boost}$	7.00	7.5	8.00	V	–	P_6.2.2.1
Threshold external sense resistor for OC	$V_{RSH-RSL}$	190	210	230	mV	–	P_6.2.2.2
Low side sense input current	I_{RSL}	-45	-30	-15	µA	V_{RSL} = 0 V	P_6.2.2.3
High side sense input current	I_{RSH}	-45	-30	-15	µA	1) V_{RSH} = 0 V	P_6.2.2.4
Input undervoltage threshold	$V_{PREREG,boost,UV}$	8	8.3	8.6	V	–	P_6.2.2.5
Input undervoltage threshold hysteresis	$V_{PREREG,boost,UV,hyst}$	60	–	200	mV	–	P_6.2.2.6
Gate driver sourcing current	$I_{DRG,SRC}$	60	130	195	mA	measured at V_{DRG} = 2.5 V	P_6.2.2.7
Gate driver sinking current	$I_{DRG,SNK}$	55	100	160	mA	measured at V_{DRG} = 2.5 V	P_6.2.2.8
Gate driver sinking current (boost off)	$I_{DRG,SNK,off}$	12	35	65	mA	measured at V_{DRG} = 1.0 V	P_6.2.2.9
Gate driver output voltage	V_{DRG}	4.5	5	5.5	V	–	P_6.2.2.11
Maximum duty cycle	D_{MAX}	75	80	–	%	–	P_6.2.2.12
Blanking time	t_{Blank}		240		ns	–	P_6.2.2.13
Input inductor	L_{Boost}	15.4	22	28.6	µH	1)	P_6.2.2.14
Output main capacitor	C_{Boost}	56	100	220	µF	1)	P_6.2.2.15
Output main capacitor *equivalent series resistance (ESR)*	$ESR_{C,Boost}$	10	–	300	mΩ	1)2)	P_6.2.2.16
Output support capacitor	C_{Boost2}	0.7	–	–	µF	1) ceramic capacitor	P_6.2.2.17
Output support capacitor ESR	$ESR_{C,Boost2}$	–	15	30	mΩ	1) 2)	P_6.2.2.18

1) 由设计指定，无需进行生产测试
2) 在电容的自谐振频率下的相关的 ESR。

5.3 前级降压稳压器

5.3.1 前级降压稳压器功能描述

同步前级降压稳压器持续工作，提供稳定的中间电路电压，以为后级稳压器供电。内部功率级由同步 P 沟道 (高边) 和 N 沟道 (低边) MOSFET 组成。在启动时，可使用软启动功能。

调节环路以电流模式运行。

在运行状态下，前级降压稳压器采用*脉冲宽度调制(PWM)*方式，以连续通态模式 (CCM) 运行。在轻载条件下的 SLEEP 状态中，器件在适用时采用脉频调制（PFM）以异步模式运行，从而将内部电流消耗降至最低。

降压稳压器的输出滤波器必须适当设计，以确保输出电压纹波小于 100 mV，从而满足后级稳压器所规定的 PSRR 要求。

稳压器在 FBx 引脚上具备有源下拉功能，可在稳压器关闭时对输出进行放电。

为防止稳压器和应用电路受到损害，器件内置了保护电路：

- 为防止前级降压稳压器的集成功率开关及外部滤波元件遭受过应力影响，低边开关和高边开关中的最高限流 $I_{PREREG,max}$ 限制了输出电流。如果在电流检测的时间内达到最大电流条件 $I_{PREREG,max}$，则在开关周期的剩余时间内禁用相应的功率级。稳压器具备输出 FBx 端对地短路保护功能。
- 输出电压由电压监控器监控。

  如果 FBx 引脚出现过压，前级降压稳压器将关闭，器件将进入 FAILSAFE 状态。事件存储在 *SPI* 状态寄存器 (MONSF1)中。

  如果引脚 FBx 出现欠压，则该事件由中断指示并存储在 SPI 状态寄存器 (MONSF2)中。当输出欠压小于接地短路检测时间 $t_{StG,HF}$ 或 $t_{StG,LF}$（取决于引脚 FRE 的配置）时，调节器不会关闭。

  如果在启动前级降压稳压器（电源时序）期间，输出电压无法在 $t_{StG,HF}$ 或 $t_{StG,LF}$（取决于引脚 FRE 的配置）内增加至高于欠压阈值，并且引脚 VSx 上的电压高于 $V_{start,StG,buck}$，则器件将进入 FAILSAFE 状态。该事件也会存储在 SPI 状态寄存器 (MONSF0) 中。一旦输出 FBx 达到欠压阈值，就会禁用向 FAILSAFE 的转换。
- 该调节器有一个专用温度传感器。如果功率级温度超过预警阈值，则会出现断号指示该时间，并将其存储在 SPI 状态寄存器 (OTWRNSF) 中。如果功率级温度超过温度关断阈值，器件将进入 FAILSAFE 状态，调节器将关闭，并且该事件将存储在 SPI 状态寄存器 (OTFAIL) 中。由于温度关断而导致的最短关断时间为 $t_{FAILSAFE,min}$ 为 1 秒。在非常轻载的条件下以及在 PFM 操作中，温度传感器会自动禁用，以减少电流消耗。

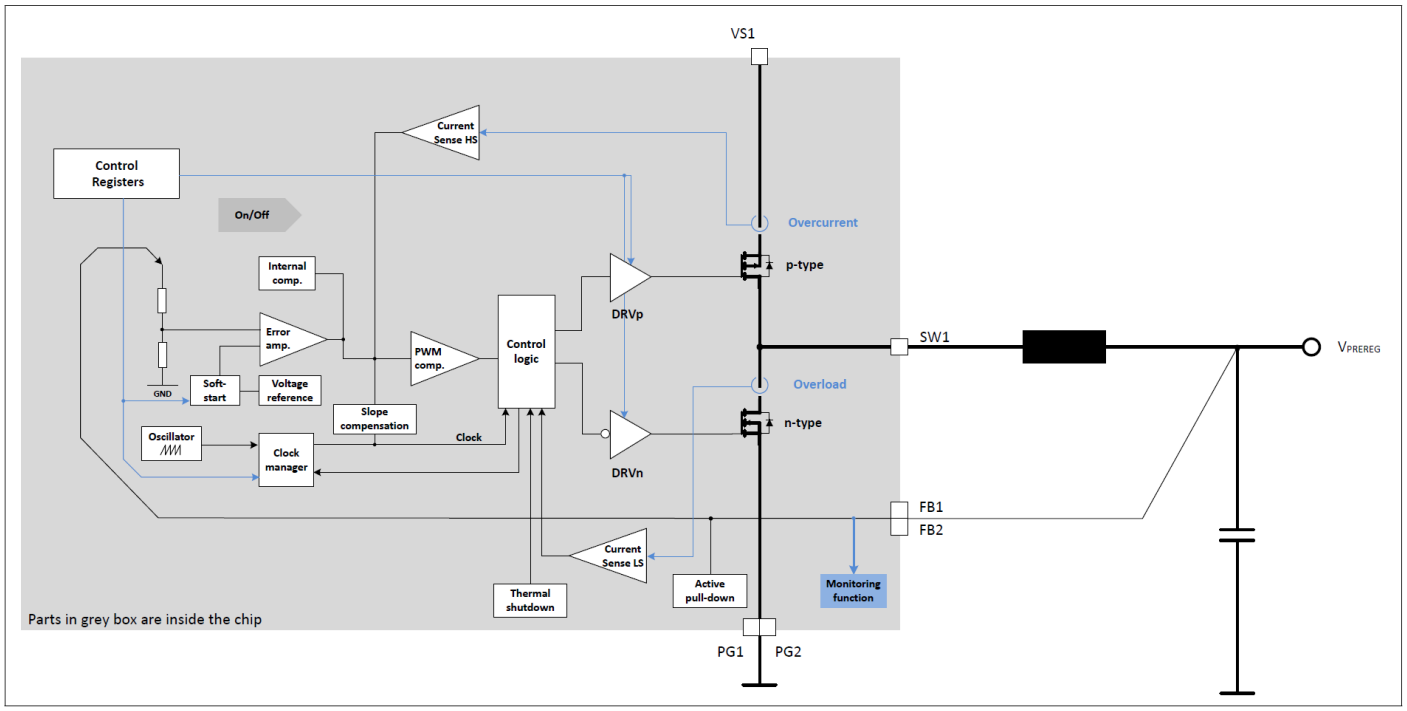


Figure 8 降压稳压器

5.3.2 前级降压稳压器电气特性

表 8 前级降压稳压器电气特性

V_{VS} = 6 V 至 40 V； T_j = -40°C 至 150°C，所有电压均以地为参考，正向电流表示流入该引脚（除非另有说明）

Parameter	Symbol	Values			Unit	Note or condition	Number
		Min.	Typ.	Max.			
Step down pre-regulator							
Output voltage	$V_{PREREG, BUCK}$	5.65	5.8	5.95	V	*PWM*-mode; $V_{VS} \geq 5.75\ V + (R_{ON,HS}[Max] + DCR_{ext}) * I_{PREREG,BUCK}$; $I_{PREREG,BUCK} \leq 1.5\ A$; $T_j \leq 150\ °C$	P_6.3.2.1
Output voltage	$V_{PREREG, BUCK,hot}$	5.65	5.8	6.10	V	PWM-mode; $V_{VS} \geq 5.75\ V + (R_{ON,HS,hot}[Max] + DCR_{ext}) * I_{PREREG,BUCK}$; $I_{PREREG,BUCK} \leq 1.2\ A$	P_6.3.2.2
Output voltage	$V_{PREREG, BUCK}$	5.6	5.8	6.00	V	PFM-mode; $V_{VS} \geq 5.7\ V + (R_{ON,HS}[Max] + DCR_{ext}) * I_{PREREG,BUCK}$; $T_j \leq 150\ °C$	P_6.3.2.3
Output voltage	$V_{PREREG, BUCK,hot}$	5.6	5.8	6.20	V	PFM-mode; $V_{VS} \geq 5.7\ V + (R_{ON,HS,hot}[Max] + DCR_{ext}) * I_{PREREG,BUCK}$;	P_6.3.2.4
Power stage high side switch on resistance	$R_{ON,HS}$	150	350	580	mΩ	$V_{VS} \geq 6\ V$; $T_j \leq 150\ °C$	P_6.3.2.5
Power stage high side switch on resistance	$R_{ON,HS,hot}$	150	350	720	mΩ	$V_{VS} \geq 6\ V$	P_6.3.2.6
Power stage low side switch on resistance	$R_{ON,LS}$	50	200	300	mΩ	$V_{VS} \geq 6\ V$; $T_j \leq 150\ °C$	P_6.3.2.7
Power stage low side switch on resistance	$R_{ON,LS,hot}$	50	200	345	mΩ	$V_{VS} \geq 6\ V$	P_6.3.2.8
Buck peak overcurrent limitation	$I_{PREREG,max}$	1.95	2.4	2.8	A	–	P_6.3.2.9

(表格续下页……)

表 8　　（续）前级降压稳压器电气特性

V_{VS} = 6 V 至 40 V；T_j = -40°C 至 150°C，所有电压均以地为参考，正向电流表示流入该引脚（除非另有说明）

Parameter	Symbol	Values			Unit	Note or condition	Number
		Min.	Typ.	Max.			
SW rise time	$t_{R,Buck}$	1	6	14	ns	1) Not applicable in SLEEP state since in SLEEP state Weak driving stage is always activated 6.5V ≤ V_{VS} ≤ 18 V; I_{PREREG} ≥ 0.5 A	P_6.3.2.10
SW fall time	$t_{F,Buck}$	1	9	18	ns	1) 6.5V ≤ V_{VS} ≤ 18 V; I_{PREREG} ≥ 0.5 A	P_6.3.2.11
Maximum duty cycle	$D_{BUCK,max}$	-	-	100	%	–	P_6.3.2.12
Minimum switch on time	$t_{ON,min,HF}$	55	70	85	ns	high switching frequency range (pin FRE open); I_{PREREG} ≥ 0.5 A	P_6.3.2.13
Minimum switch on time	$t_{ON,min,LF}$	250	310	370	ns	low switching frequency range (pin FRE to GND); I_{PREREG} ≥ 0.5 A	P_6.3.2.28
Softstart ramp (HF)	$t_{SS,BUCK,HF}$	400	640	705	µs	1) $V_{PREREG,BUCK}$ rising from 5 % to 95 % of typ. $V_{PREREG,BUCK}$; high switching frequency range (pin FRE open), no load	P_6.3.2.14
Softstart ramp (LF)	$t_{SS,BUCK,LF}$	3.2	5.12	5.65	ms	1) $V_{PREREG,BUCK}$ rising from 5 % to 95 % of typ. $V_{PREREG,BUCK}$; low switching frequency range (pin FRE to GND), no load	P_6.3.2.15
Overtemperature warning threshold	$T_{j,OT,WRN}$	135	145	158	°C	1) T_j increasing	P_6.3.2.18

（表格续下页……）

表 8　　（续）前级降压稳压器电气特性

V_{VS} = 6 V 至 40 V；T_j = -40°C 至 150°C，所有电压均以地为参考，正向电流表示流入该引脚（除非另有说明）

Parameter	Symbol	Values			Unit	Note or condition	Number
		Min.	Typ.	Max.			
Overtemperature shutdown threshold	$T_{j,OT,\ shutdown}$	176	190	200	°C	1) T_j increasing	P_6.3.2.19
Overtemperature sensor hysteresis	$T_{j,OT,hyst}$	–	10	–	°C	1)	P_6.3.2.20
Output inductor (HF)	$L_{BUCK,HF}$	2.6	4.7	8.2	µH	1) 2) high switching frequency range (pin FRE open);	P_6.3.2.21
Output capacitor (HF)	$C_{BUCK,HF}$	8.0	22	82	µF	1) high switching frequency range (pin FRE open); Additional constraint defined in 2)	P_6.3.2.22
Output capacitor *ESR* (HF)	$ESR_{C,HF}$	1	–	150	mΩ	1) 3) high switching frequency range (pin FRE open);	P_6.3.2.23
Output inductor (LF)	$L_{BUCK,LF}$	12	22	56.4	µH	1) 4) low switching frequency range (pin FRE to GND);	P_6.3.2.24
Output capacitor (LF)	$C_{BUCK,LF}$	54	100	264	µF	1) low switching frequency range (pin FRE to GND); Additional constraint defined in 4)	P_6.3.2.25
Output capacitor ESR (LF)	$ESR_{C,LF}$	5	–	150	mΩ	1) 3) 5) low switching frequency range (pin FRE to GND);	P_6.3.2.26
Active discharge pull-down current when disabled	$I_{BUCK,pd}$	20	80	120	mA	1) 2.5 V ≤ $V_{PREREG,BUCK}$ ≤ 7 V	P_6.3.2.27

1)　由设计指定，无需进行生产测试

2)　由电感 $L_{BUCK,HF}$ 和电容 $C_{BUCK,HF}$ 组成的输出滤波器需要协调选取。除了 P_6.3.2.22 中定义的 $C_{BUCK,HF}$ 最小值之外，为了保证稳定性，还需根据所选电感满足以下归一化方程所定义的最小输出电容要求：$C_{BUCK,HF} \geq 1.5 * L_{BUCK,HF}$ [µF/µH] + 4 [µF]。

3)　在电容的自谐振频率下的相关的 ESR。

4) 由电感 $L_{BUCK,LF}$ 和电容 $C_{BUCK,LF}$ 组成的输出滤波器必须协调选取。除了 P_6.3.2.25 中定义的 $C_{BUCK,LF}$ 最小值之外，为确保稳定性，还需依据所选电感满足以下归一化方程所定义的最小输出电容要求：$C_{BUCK,LF} \geq 1.5 * L_{BUCK,LF}$ [µF/µH] + 20 [µF]。

5) 对于主电容器 $ESR_{C,LF}$，如果额外放置一个 ≥ 33 µF 的辅助电容，则允许最大为 300 mΩ。

5.4 频率设置

5.4.1 频率设置介绍

频率源为前级升压稳压器和前级降压稳压器提供恒定频率。前级降压稳压器的同步功率开关将直接以频率 f_{OSC} 进行开关动作。

前级降压稳压器的频率范围可以通过将引脚 FRE 保持开路来设置为高开关频率范围，或者通过将引脚 FRE 连接到接地来设置为低开关频率范围。开关频率将设置为所选频率范围的默认值。或者可以通过 *SPI* 指令（BCK_FREQ_CHANGE）进行微调，或者可以激活扩频选项（BCK_FRE_SPREAD）。

前级升压稳压器的开关频率范围与前级降压稳压器的开关频率范围同步。在前级降压稳压器的低频范围内，两者的同步比为 1:1。在前级降压稳压器的高频范围内，两者的同步比为 1:5。同步机制将前级降压稳压器高侧开关的导通（buck 开关节点的上升沿）与前级升压稳压器低侧 NMOS 的导通（boost 开关节点的下降沿）对齐，二者之间约有 10 ns 的延迟。

前级降压稳压器的开关频率信号可以通过 SPI 配置输出至 SYN 引脚，以供可选的 MCU 核心供电外部开关式后级稳压器使用。

在 SLEEP 状态下，主动同步功能可防止前级降压稳压器进入 PFM 模式运行。因此，SLEEP 状态将无法达到其最低静态电流性能。以下任一功能都会阻止前级降压稳压器进入 PFM 模式运行：

- 当前级升压稳压器处于激活状态（即 STU 引脚开路配置）且 $V_{VS} \leq V_{PREREG,boost,UV} + V_{PREREG,boost,UV,hyst}$
- 外部后级稳压器支持功能的同步输出（引脚SYN）处于激活状态（可通过寄存器位字段 DEVCFG2.ESYNEN 配置）

该器件无法与外部频率源同步。

5.4.2 频率设置电气特性

表 9 频率设置电气特性

V_{VS} = 6 V 至 40 V；T_j = -40°C 至 150°C，所有电压均以地为参考，正向电流表示流入该引脚（除非另有说明）

Parameter	Symbol	Values			Unit	Note or condition	Number
		Min.	Typ.	Max.			
Frequency setting FREQ							
Step up frequency range	$f_{OSC,step-up}$	395	440	485	kHz	–	P_6.4.2.1
Step down low frequency range	$f_{OSC,step-down}$	395	440	485	kHz	low switching frequency range (pin FRE to GND)	P_6.4.2.2
Step down high frequency range	$f_{OSC,step-down}$	2000	2200	2400	kHz	high switching frequency range (pin FRE open)	P_6.4.2.3

6 后级稳压器

6.1 后级稳压器简介

器件集成了线性低压差后级稳压器和跟踪器。此外，器件还支持在需要时连接用于 MCU 核心供电的外部后级稳压器。

线性后级稳压器和跟踪器由 FBx 引脚供电。用于稳压器模块的 Bandgap 1 为微控制器主电源（QUC 引脚）、通信电源（QCO 引脚）以及基准电压电源（QVR 引脚）的误差放大器提供基准电压。跟踪器的基准值来源于基准电压电源 （QVR 引脚）。跟踪器 1 和 2 的输出电压（在 QT1 和 QT2 引脚）跟随基准电压电源 QVR，其间仅存在微小差值 ΔV_{QTx}。

可额外添加一个外部后级稳压器，以向微控制器提供核心电源。如果使用该选项，则必须将配置引脚 SEC 悬空。如果未使用该选项，则必须将 SEC 引脚连接至地。

外部后级稳压器需单独连接，并使用其自身的基准电压，其输入由前级稳压器输出电压 V_{PREREG} 提供（该电压与 FBx 引脚上的电压相近）。后级稳压器由 EVC 引脚上的高电平信号使能，通过低电平信号关闭。SYN 引脚提供与前级降压稳压器信号同相或相位偏移 180° 的同步信号，可供开关式后级稳压器使用。

所有后级稳压器的输出电压均连接至电压监测功能（请参阅监控功能章节）。

当检测到过压或对地短路情况时，相应的后级稳压器将被关闭，该关闭信号由电压监测功能生成。

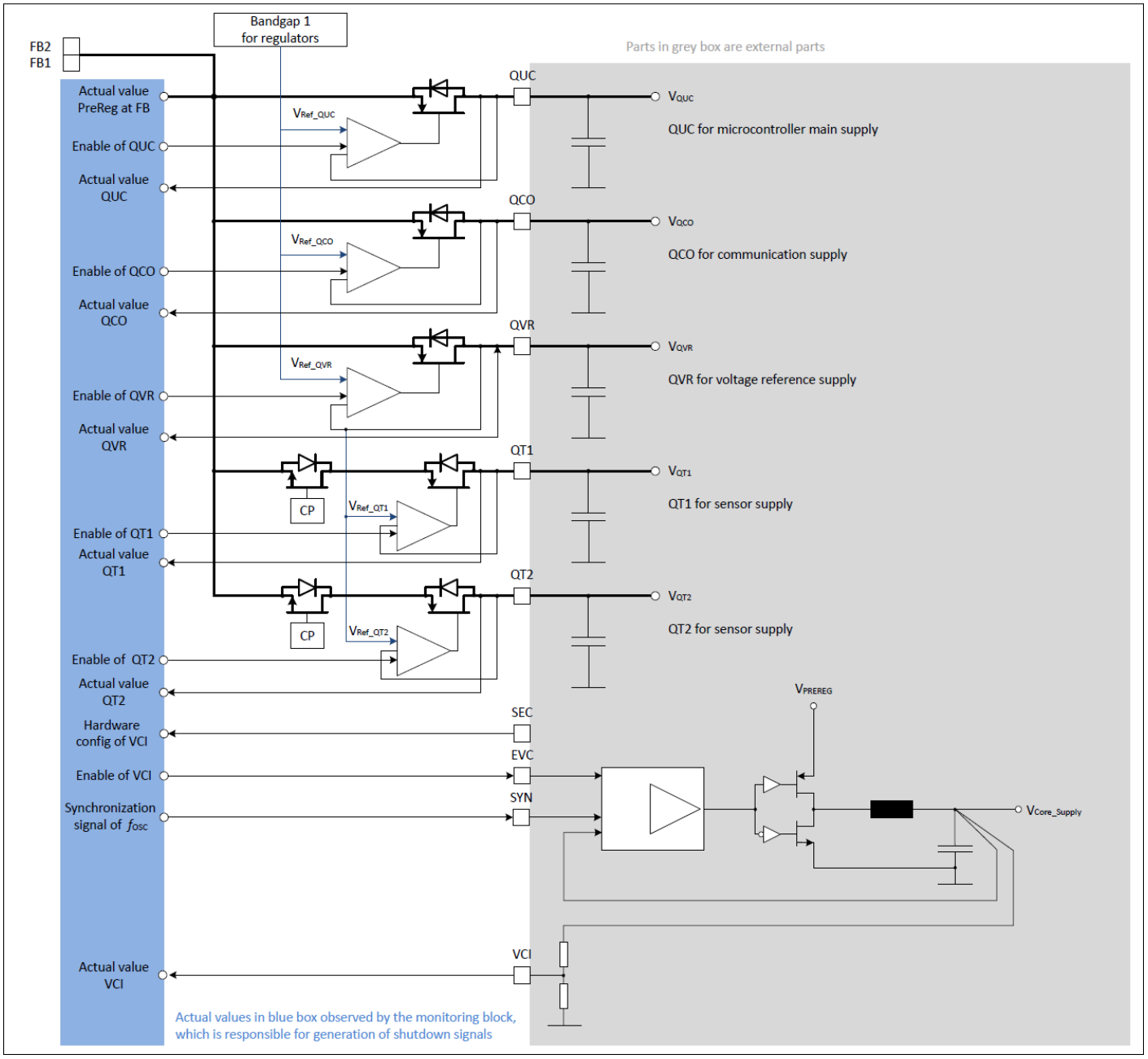

Bandgap 1
for regulators
FB2
FB1
Parts in grey box are external parts
Actual value
PreReg at FB
Enable of QUC
Actual value
QUC
QUC
VQUC
QUC for microcontroller main supply
VRef_QUC
Enable of QCO
Actual value
QCO
QCO
VQCO
QCO for communication supply
VRef_QCO
Enable of QVR
Actual value
QVR
QVR
VQVR
QVR for voltage reference supply
VRef_QVR
CP
QT1
VQT1
QT1 for sensor supply
VRef_QT1
Enable of QT1
Actual value
QT1
CP
QT2
VQT2
QT2 for sensor supply
VRef_QT2
Enable of QT2
Actual value
QT2
VPREREG
Hardware
config of VCI
SEC
Enable of VCI
EVC
Synchronization
signal of fosc
SYN
VCore_Supply
VCI
Actual value
VCI
Actual values in blue box observed by the monitoring block,
which is responsible for generation of shutdown signals

图 9　　后级稳压器原理

6.2 微控制器主电源 QUC

6.2.1 微控制器主电源功能描述

线性低压差稳压器 QUC 为微控制器主电源提供精确的 3.3 V 输出电压。

稳压器由中间电路电压V_{PREREG} 供电，该电压是经过稳定调节的。输出电压V_{QUC}（在引脚QUC）由误差放大器控制。实际值与来自稳压器 Bandgap 1 的基准电压进行比较。控制环路的稳定性取决于负载电流、输出电容器的特性和芯片温度。为保证稳定工作，输出电容需要满足表10中规定的要求（电容值和等效串联阻抗 *ESR*）。下图中的输入电容即为前级降压稳压器的输出滤波电容。

该稳压器在输出端具备有源下拉功能，可在稳压器关闭时对输出进行放电。

器件实现了保护电路，以防止稳压器及应用电路受损：

- 为防止 QUC 的串联调整元件承受过应力，电流限制功能会将输出电流限制在规定的最大值以内。电流检测通过电流镜实现，不使用检测电阻。当达到最大电流条件时，电流将受到限制，从而导致输出电压下降。该稳压器具备输出对地短路保护功能。
- 输出电压由电压监测来进行监控。如果引脚 QUC 出现过压，QUC 将关闭，器件将进入 FAILSAFE 状态。事件存储在 *SPI* 状态寄存器 (MONSF1) 中。如果引脚 QUC 出现欠压，器件将进入 INIT 状态，引脚 ROT 被拉“低”，并且事件存储在 SPI 状态寄存器 (MONSF2) 中。当输出欠压小于接地短路检测时间 t_{StG} 时，调节器不会关闭。如果欠压存在的时间超过 t_{StG}，器件将进入 FAILSAFE 状态。该事件存储在 SPI 状态寄存器 (MONSF0) 中。
- 该调节器有一个专用温度传感器。如果功率级温度超过预警阈值，则会出现中断信号指示该事件，并存储在SPI 状态寄存器 (OTWRNSF) 中。如果功率级温度超过温度关断阈值，器件将进入 FAILSAFE 状态，调节器将关闭，并且事件将存储在 SPI 状态寄存器 (OTFAIL)中。由于温度关闭而导致的最短关断时间为 $t_{FAILSAFE,min}$ 为 1 秒。在非常轻载的情况下，热传感器会自动禁用，以减少电流损耗。

如果器件进入 FAILSAFET 状态，则 ROT 被拉低，所有电源都被关闭。

如果器件进入 STANDBY 状态，则 QUC 被关闭。
更多详细信息，请参阅章节10 状态机。

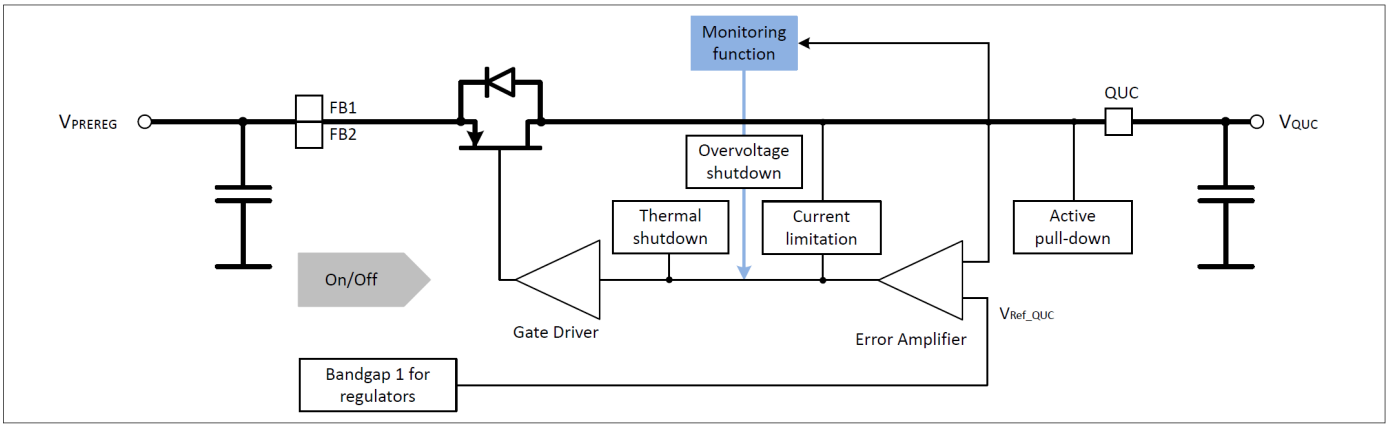


图 10 微控制器主电源 QUC 的低压差线性稳压器

6.2.2 微控制器主电源电气特性

表 10 微控制器主电源电气特性

V_{VS} = 6 V 至 40 V；T_j = -40°C 至 150°C，所有电压均以地为参考，正向电流表示流入该引脚（除非另有说明）

Parameter	Symbol	Values			Unit	Note or condition	Number
		Min.	Typ.	Max.			
Microcontroller main supply QUC							
Output voltage	V_{QUC}	3.23	3.3	3.37	V	0 mA ≤ I_{QUC} ≤ 600 mA	P_7.2.2.2
Output current limitation	$I_{QUC,max}$	650	–	1100	mA	–	P_7.2.2.3
Drop voltage	$V_{dr,QUC}$	–	–	500	mV	1)	P_7.2.2.5
Load regulation	ΔV_{QUC}	–	39	60	mV	I_{QUC} = 50 mA to 600 mA	P_7.2.2.7
Power supply ripple rejection	$PSRR_{QUC}$	26	–	–	dB	2) V_{PREREG} = 5.8 V; $ESR_{C,QUC}$ ≤ 30 mΩ C_{QUC} ≥ 4.4 µF	P_7.2.2.8
Output capacitor	C_{QUC}	2.2	–	47	µF	2)	P_7.2.2.9
Output capacitor, *ESR*	$ESR_{C,QUC}$	0	–	200	mΩ	2)3)	P_7.2.2.10
Overtemperature warning threshold	$T_{j,OT,WRN}$	135	145	158	°C	T_j increasing 2)	P_7.2.2.11
Overtemperature shutdown threshold	$T_{j,OT,shutdown}$	176	190	200	°C	T_j increasing 2)	P_7.2.2.12
Overtemperature sensor hysteresis	$T_{j,OT,hyst}$	–	10	–	°C	2)	P_7.2.2.13
Softstart time	$t_{SS,QUC}$	130	200	270	µs	2) C_{QUC} ≤ 15 µF; V_{QUC} rising from 10 % to 90 % of typ. V_{QUC}	P_7.2.2.14
Active discharge pull-down current when disabled	$I_{QUC,pd}$	8	30	65	mA	2) 1.8 V ≤ V_{QUC} ≤ 6 V	P_7.2.2.15

1) 电压差定义为当输出电压为 V_{PreReg} = V_{QUC}[Max] + $V_{dr,QUC}$[Max] + 100 mV 时测量的输出电压降低 100 mV 时，输入电压和输出电压之间的差值。
2) 由设计指定，无需进行生产测试
3) 在电容的自谐振频率下的相关的 ESR。

6.3 通信电源 QCO

6.3.1 通信电源功能描述

线性低压差稳压器 QCO 可为通信电源提供精确的 5.0 V 输出电压。

稳压器由中间电路电压V_{PREREG}供电，提供稳定的电压。输出电压V_{QCO}（在引脚QCO）由误差放大器控制。实际值与来自稳压器 Bandgap 1 的基准电压进行比较。控制环路的稳定性取决于负载电流、输出电容器的特性和芯片温度。为保证稳定工作，输出电容需要满足表 11中（电容值和 *ESR*）规定要求。下图中的输入电容即为前级降压稳压器的输出滤波电容。

该稳压器在输出端具备有源下拉功能，可在稳压器关闭时对输出进行放电。

器件实现了保护电路，以防止稳压器及应用电路受损：

- 为防止 QCO 的串联调整元件承受过应力，电流限制功能会对输出电流进行限制电流检测通过电流镜实现，不使用检测电阻。当达到最大电流条件时，电流将受到限制，从而导致输出电压下降。该稳压器具备输出对地短路保护功能。
- 输出电压由电压监控器监测。如果引脚 QCO 出现过压，QCO 将关闭，该事件会通过中断指示并存储在 *SPI* 状态寄存器（MONSF1）中。如果引脚 QCO 出现欠压，该事件由中断指示并存储在 SPI 状态寄存器 (MONSF2) 中。当输出欠压小于接地短路检测时间 t_{StG} 时，调节器不会关闭。如果欠压持续时间超过 t_{StG}，调节器将关闭。该事件存储在 SPI 状态寄存器 (MONSF0) 中并生成中断。导致 QCO 关断的事件发生后，可以通过 SPI 指令重新使能 QCO 以恢复输出，但建议采用故障处理策略以避免显著的功耗风险。
- 该调节器有一个专用温度传感器。如果功率级温度超过预警阈值，则会出现中断指示该事件，并将其存储在 SPI 状态寄存器 (OTWRNSF) 中。如果功率级温度超过温度关断阈值，则该事件存储在 SPI 状态寄存器 (OTFAIL) 中，调节器关闭并生成中断。在由于温度原因导致 QCO 关断后，可以通过 SPI 指令重新使能 QCO 以恢复其输出，但建议采取故障处理策略，以避免显著的功耗暴露风险。在非常轻载的情况下，热传感器会自动禁用，以减少电流损耗。

在 STANDBY 和 FAILSAFE 状态下，QCO 稳压器被关闭。在 INIT、SLEEP、NORMAL 和 WAKE 状态下， QCO 的开启或关闭取决于 SPI 配置。

更多详细信息，请参阅章节10状态机。

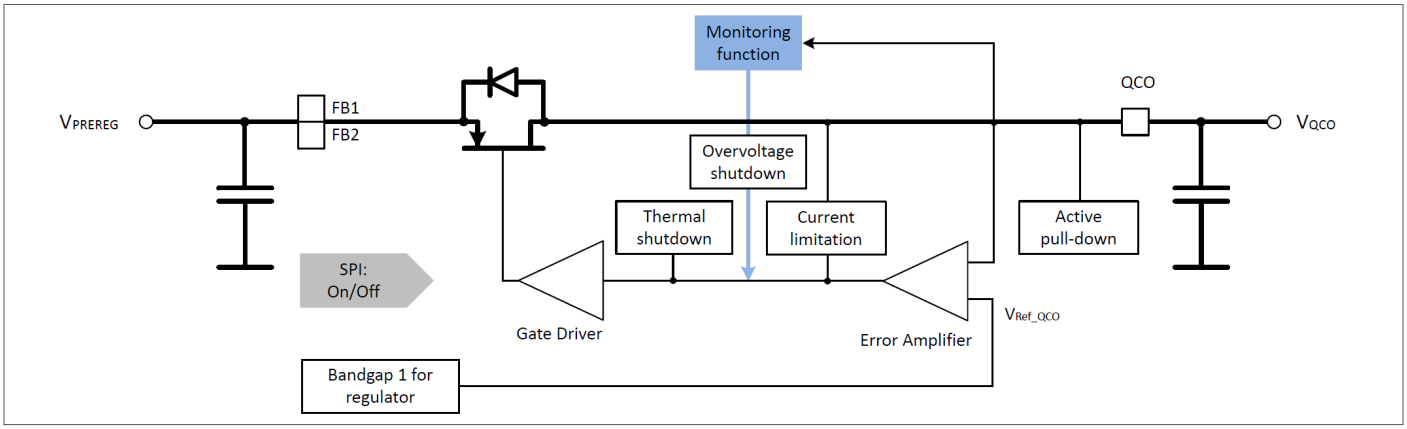


图 11 通信电源 QCO 的低压差线性稳压器

6.3.2 通信电源电气特性

表 11 通信电源电气特性

V_{VS} = 6 V 至 40 V；T_j = -40°C 至 150°C，所有电压均以地为参考，正向电流表示流入该引脚（除非另有说明）

Parameter	Symbol	Values			Unit	Note or condition	Number
		Min.	Typ.	Max.			
Communication supply QCO							
Output voltage	V_{QCO}	4.90	5.00	5.10	V	0 mA ≤ I_{QCO} ≤ 200 mA	P_7.3.2.1
Output current limitation	$I_{QCO,max}$	250	–	400	mA	–	P_7.3.2.2
Drop voltage	$V_{dr,QCO}$	–	–	400	mV	1)	P_7.3.2.3
Load regulation	ΔV_{QCO}	–	40	70	mV	I_{QCO} = 100µ to 200 mA	P_7.3.2.4
Power supply ripple rejection	$PSRR_{QCO}$	26	–	–	dB	2) V_{PREREG} = 5.8 V; $ESR_{C,QCO}$ ≤ 100mΩ	P_7.3.2.5
Output capacitor	C_{QCO}	1	–	47	µF	2)	P_7.3.2.6
Output capacitor, *ESR*	$ESR_{C,QCO}$	0	–	200	mΩ	2) 3)	P_7.3.2.7
Overtemperature warning threshold	$T_{j,OT,WRN}$	135	145	158	°C	T_j increasing 2)	P_7.3.2.8
Overtemperature shutdown threshold	$T_{j,OT,shutdown}$	176	190	200	°C	T_j increasing 2)	P_7.3.2.9
Overtemperature sensor hysteresis	$T_{j,OT,hyst}$	–	10	–	°C	2)	P_7.3.2.10
Softstart time	$t_{SS,QCO}$	130	200	500	µs	2) C_{QCO} ≤ 15 µF; V_{QCO} rising from 10 % to 90 % of typ. V_{QCO}	P_7.3.2.11
Active discharge pull-down current when disabled	$I_{QCO,pd}$	8	30	65	mA	2) 1.8 V ≤ V_{QCO} ≤ 6 V	P_7.3.2.12

1) 电压差定义为：在输入电压 $V_I = V_{Q,nom} + V_{dr,max}$ + 100 mV 条件下，输出电压下降 100 mV 时，输入电压与输出电压之间的差值。
2) 由设计指定，无需进行生产测试
3) 在电容的自谐振频率下的相关的 ESR。

6.4 基准电压电源 QVR

6.4.1 基准电压电源功能描述

线性低压差稳压器 QVR 提供高度精确的 5.0 V 输出电压，作为基准电压使用。

调节器由中间电路电压 V_{PREREG} 供电 ，该电压提供稳定的电压。引脚QVR 处的输出电压 V_{QVR} 由误差放大器控制。其实际值与来自稳压器 Bandgap 1 的基准电压进行比较。控制环路的稳定性取决于负载电流、输出电容的特性以及芯片温度。为确保稳定运行，输出电容需要满足表 12 中规定的要求（电容值和 *ESR*）。下图中的输入电容为前级降压稳压器的输出滤波电容。

该稳压器在输出端具备有源下拉功能，可在稳压器关闭时对输出进行放电。

器件实现了保护电路，以防止稳压器及应用电路受损：

- 为防止 QVR 的串联调整元件承受过应力，电流限制功能会将输出电流限制在安全范围内。电流检测通过电流镜实现，不使用检测电阻。如果达到最大电流条件，电流将被限制，因此输出电压将下降。该稳压器具备输出对地短路保护功能。
- 输出电压由电压监控器监控。

  如果引脚 QUC 处发生过压，QVR 将被关闭，器件将进入 FAILSAFE 状态。该事件将被存储在 *SPI* 状态寄存器（MONSF1）中。

  如果引脚 QVR 出现欠压，则该事件会以中断的形式指示并存储在SPI 状态寄存器 (MONSF2) 中。当输出欠压小于接地短路检测时间 t_{StG} 时，调节器不会关闭。如果欠压持续时间超过 t_{StG}，调节器将关闭。该事件存储在 SPI 状态寄存器 (MONSF0) 中并生成一个中断。在导致 QVR 关断的事件发生后，可以通过 SPI 指令重新使能 QVR 以恢复其输出，但建议采用故障处理策略以避免显著的功耗暴露风险。
- 该稳压器未配备用于自身的专用温度传感器。芯片温度由位于 QUC 和前级降压稳压器处的其他温度传感器进行检测。如果芯片温度超过预警阈值，将产生中断指示此事件，它存储在 SPI 状态寄存器 (OTWRNSF) 中。如果芯片温度超过温度关断阈值，调节器就会关闭。温度关断时间至少为一秒。
- 当 QVR 发生过载（检测到超过 1 ms的过流）时，该事件将通过中断指示，并存储在 SPI 状态寄存器（OTWRNSF）中。

如果器件进入 FAILSAFET 状态，则 ROT 被拉低，所有电源都被关闭。

在 STANDBY 和 FAILSAFE 状态下，QVR 稳压器被关闭。在 INIT、SLEEP、NORMAL 和 WAKE 状态下，QVR 的开启或关闭状态取决于 SPI 配置。

更多详细信息，请参阅章节10 状态机。

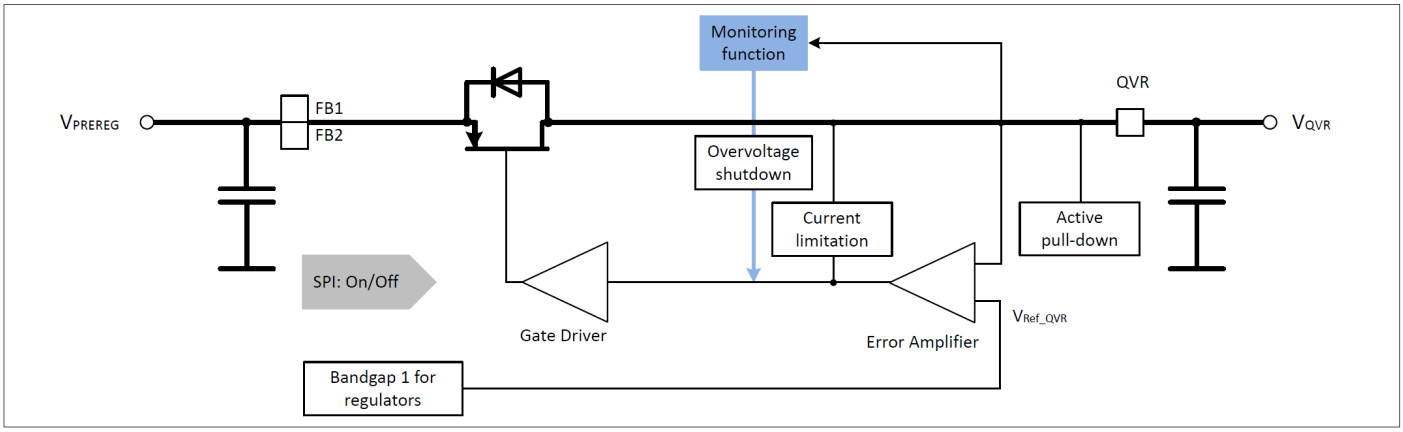


图 12　　精密低压差线性稳压器（基准电压电源 QVR）

6.4.2　基准电压电源电气特性

表12　　基准电压电源电气特性

V_{VS} = 6 V 至 40 V；T_j = -40°C 至 150°C，所有电压均以地为参考，正向电流表示流入该引脚（除非另有说明）

Parameter	Symbol	Values			Unit	Note or condition	Number
		Min.	Typ.	Max.			
Voltage reference supply QVR							
Output voltage	V_{QVR}	4.95	5.00	5.05	V	0 mA ≤ I_{QVR} ≤ 150 mA	P_7.4.2.1
Output current limitation	$I_{QVR,max}$	170	–	345	mA	–	P_7.4.2.2
Drop voltage	$V_{dr,QVR}$	–	–	400	mV	1)	P_7.4.2.3
Load regulation	ΔV_{QVR}	–	4.5	9	mV	I_{QVR} = 100µ to 150 mA	P_7.4.2.4
Power supply ripple rejection	$PSRR_{QVR}$	26	–	–	dB	2) V_{PREREG} = 5.8 V; $ESR_{C,QVR}$ ≤ 100 mΩ	P_7.4.2.5
Output capacitor	C_{QVR}	1	–	10	µF	2)	P_7.4.2.6
Output capacitor, *ESR*	$ESR_{C,QVR}$	0	–	200	mΩ	2) 3)	P_7.4.2.7
Softstart time	$t_{SS,QVR}$	130	200	350	µs	2) C_{QVR} ≤ 10 µF; V_{QVR} rising from 10 % to 90 % of typ. V_{QVR}	P_7.4.2.8
Active discharge pull-down current when disabled	$I_{QVR,pd}$	8	30	65	mA	2) 1.8 V ≤ V_{QVR} ≤ 6 V	P_7.4.2.9

1)　电压差定义为：在输入电压 $V_I = V_{Q,nom} + V_{dr,max}$+ 100 mV 条件下，输出电压下降 100 mV 时，输入电压与输出电压之间的差值。

2)　由设计指定，无需进行生产测试

3)　在电容的自谐振频率下的相关的 ESR。

6.5 跟踪器 1（QT1）和跟踪器 2（QT2）

6.5.1 跟踪器 1 和跟踪器 2 功能描述

线性跟踪器 1 和 2 可提供与基准电压输出（QVR 引脚）紧密相关、精度极高的传感器供电电压。

两个跟踪器均由中间电路电压V_{PREREG}供电，该电压提供稳定的电压。引脚 QTx 处的输出电压V_{QTx}由误差放大器控制。实际值与引脚 QVR 提供的基准电压 V_{QVR}提供的基准电压进行比较。跟踪器输出电压遵循基准电压电源 QVR，具有微小差异 ΔV_{QTx}。控制环路的稳定性取决于负载电流、输出电容器的特性和芯片温度。为保证稳定工作，输出电容需要满足表 13中规定的要求（电容值和 *ESR*）。下图中的输入电容为前级降压稳压器的输出滤波电容。

该稳压器在输出端具备有源下拉功能，可在稳压器关闭时对输出进行放电。

器件实现了保护电路，以防止跟踪器及应用电路受损：

- 为防止跟踪器的串联调整元件承受过应力，电流限制功能会将输出电流限制在安全范围内。电流检测通过电流镜实现，不使用检测电阻。如果达到最大电流条件，电流将受到限制，因此输出电压将下降。跟踪器具有接地短路和对电池电压短路保护功能。
- 输出电压由电压监控器监控。

  如果引脚 QTx 出现过压，相应的跟踪器将被关闭，事件将被存储在 *SPI* 状态寄存器（MONSF1）中并产生中断。

  如果引脚 QTx 出现欠压，该事件将存储在 SPI 状态寄存器 (MONSF2) 中并生成中断。当输出欠压小于接地短路检测时间 t_{StG} 时，跟踪器不会关闭。如果欠压持续时间超过 t_{StG}，调节器将关闭。该事件存储在 SPI 状态寄存器 (MONSF0) 中并生成一个中断。在导致 QTx 关断的事件发生后，可以通过 SPI 指令重新使能 QTx 以恢复其输出，但建议采用故障处理策略以避免显著的功耗暴露风险。
- 跟踪器能够在对地短路或对电池电压短路的情况下承受故障而不受损。

  如果出现对电池短路电压并且电池电压高于跟踪器过压阈值，则跟踪器将关闭，该事件将存储在 SPI 状态寄存器（MONSF1）中。
- 该调节器没有专用的温度传感器。芯片上的温度由位于 QUC 和前级降压稳压器的其他温度传感器感测。如果芯片温度超过预警阈值，则该事件将存储在 SPI 状态寄存器 (OTWRNSF) 中，并产生中断。如果芯片温度超过温度关断阈值，跟踪器将被关闭。温度关断时间至少为一秒。

在 STANDBY 和 FAILSAFE 状态下，两个跟踪器均关闭。在 INIT、NORMAL、SLEEP 和 WAKE 状态下，每个跟踪器的开启或关闭状态取决于 SPI 的配置。

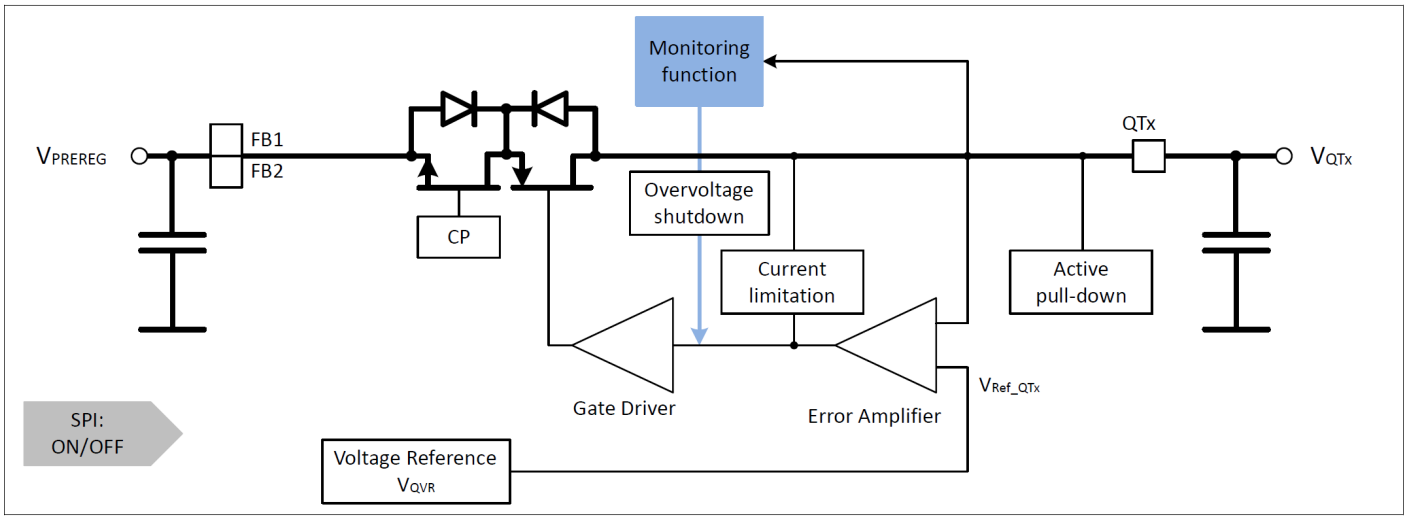


图 13　　用于传感器供电的跟踪器 1（QT1）和跟踪器 2（QT2）

6.5.2　　跟踪器 1 和跟踪器 2 电气特性

表 13　　跟踪器 1 和跟踪器 2 电气特性

V_{VS} = 6 V 至 40 V；T_j = -40°C 至 150°C，所有电压均以地为参考，正向电流表示流入该引脚（除非另有说明）

Parameter	Symbol	Values			Unit	Note or condition	Number
		Min.	Typ.	Max.			
Tracker 1 QT1 and tracker 2 QT2							
Output voltage tracking accuracy to voltage reference 1)	ΔV_{QTx}	– 10	–	10	mV	0 mA ≤ I_{QTx} ≤ 150 mA;	P_7.5.2.1
Output current limitation	$I_{QTx,max}$	160	–	320	mA	–	P_7.5.2.2
Drop voltage	$V_{dr,QTx}$	–	–	400	mV	2)	P_7.5.2.3
Power supply ripple rejection	$PSRR_{QTx}$	26	–	–	dB	3) V_{PREREG} = 5.8 V ; $ESR_{C,QTx}$ ≤ 100 mΩ	P_7.5.2.4
Output capacitor	C_{QTx}	1	–	10	µF	3)	P_7.5.2.5
Output capacitor, *ESR*	$ESR_{C,QTx}$	0	–	200	mΩ	3) 4)	P_7.5.2.6
Softstart time	$t_{SS,QTx}$	130	200	270	µs	3) I_{QTx} ≤ 75 mA; C_{QTx} ≤ 6 µF; V_{QTx} rising from 10 % to 90 % of typ. V_{QTx}	P_7.5.2.7
Active discharge pull-down resistor	$R_{QTx,pd}$	–	10	15	kΩ	3)	P_7.5.2.8

1)　跟踪器（引脚 QTx）的输出电压源自基准电压（引脚 QVR）的输出电压。如果基准电压电源被关闭（QVR 引脚电压降至 0 V），则由于跟踪器的输出电压源自 QVR 引脚，即使跟踪器处于开启状态，QTx 引脚的输出电压也会同时降至 0 V。即使跟踪器处于开启状态，当其输出电压因 QVR 引脚电压下降而降至 0 V 时，QTx 引脚会被检测到欠压，并触发中断。

2) 电压差定义为：在输入电压 $V_I = V_{Q,nom} + V_{dr,max}$+ 100 mV 条件下，输出电压下降 100 mV 时，输入电压与输出电压之间的差值。
3) 由设计指定，无需进行生产测试
4) 在电容的自谐振频率下的相关的 ESR。

6.6 用于核心供电的外部后级稳压器（可选）

6.6.1 外部后级稳压器支持功能说明

如果需要，可以在器件上添加一个额外的外部后级稳压器，为 MCU 提供核心电源电压 V_{Core_Supply}。在这种情况下，配置引脚 SEC 必须保持开路，以指示外部核心电源选项已处于激活状态。SEC 引脚的配置仅在电源时序过程中，即核心电源即将启动时读取（移至 INIT 状态，详情参见图 15 和图 16）。

稳压器由中间电路电压 V_{PREREG} 供电。后级稳压器由 EVC 引脚上的 “高” 电平信号使能，并由 EVC 引脚上的“低”电平信号关闭。EVC 信号由状态机控制。例如，当在引脚 VCI 处监测到过压时，会在引脚 EVC 处产生“低”电平信号，并关闭后级稳压器以保护 MCU 内核。如果外部后级稳压器使用软启动功能，则启动时间必须与接地短路检测时间 $t_{StG,VCI}$ 保持一致。

该器件在 SYN 引脚上提供 50% 占空比的同步信号，其相位（仅具有非常小的延迟）和频率与内部前级降压稳压器相等，或者相位移位 180 度（通过 *SPI* 指令选择）。强烈建议将外部开关模式后级稳压器与该信号同步，以避免干扰。一旦前级稳压器输出电压 V_{PREREG} 出现且 QUC 输出电压 V_{QUC} 高于复位阈值下限，外部后级稳压器将启用。

后级稳压器的输出电压 V_{Core_Supply} 将由器件的复位功能监控。为了获得正确的监测电压，后级稳压器的输出电压必须通过电阻分压器连接到引脚 VCI 的电压监测输入端。电阻分压器需经过适当设计，以将后级稳压器输出电压 V_{Core_Supply} 调整至内部复位基准电压 V_{VCIo}。

SYN 引脚的同步信号可以通过 SPI 指令打开，默认配置是关闭的。应实现保护电路，以防止外部稳压器和应用电路受损：

- 为防止外部后级稳压器的功率器件承受过应力，应具备电流限制功能，将输出电流限制在规定的最大值范围内。稳压器应具备短路到地的保护功能。
- 输出电压由器件的电压监测来监控，外部后级稳压器无需额外的复位功能。如果外部后级稳压器具有该等复位功能，它将不会被器件的复位功能使用或支持。

  如果引脚 VCI 出现过压，则通过将引脚 EVC 拉至“低”来关闭外部后级稳压器，并且器件进入 FAILSAFE 状态。事件存储在 SPI 状态寄存器 (MONSF1)中。

  如果引脚 VCI 出现欠压，器件将进入 INIT 状态，引脚 ROT 变为“低”电平并且事件存储在 SPI 状态寄存器 (MONSF2)中。输出欠压时，外部后级稳压器不关断，且短于接地短路检测时间 $t_{StG,VCIo}$。如果欠压持续时间超过 $t_{StG,VCI}$ 时，则器件进入 FAILSAFE 状态。该事件存储在 SPI 状态寄存器 (MONSF0) 中。
- 外部后级稳压器应具有温度关断功能。如果功率级温度超过温度关断阈值，则后级稳压器应通过自身温度关断机制关闭。器件将此识别为欠压，并按上述方式做出反应。

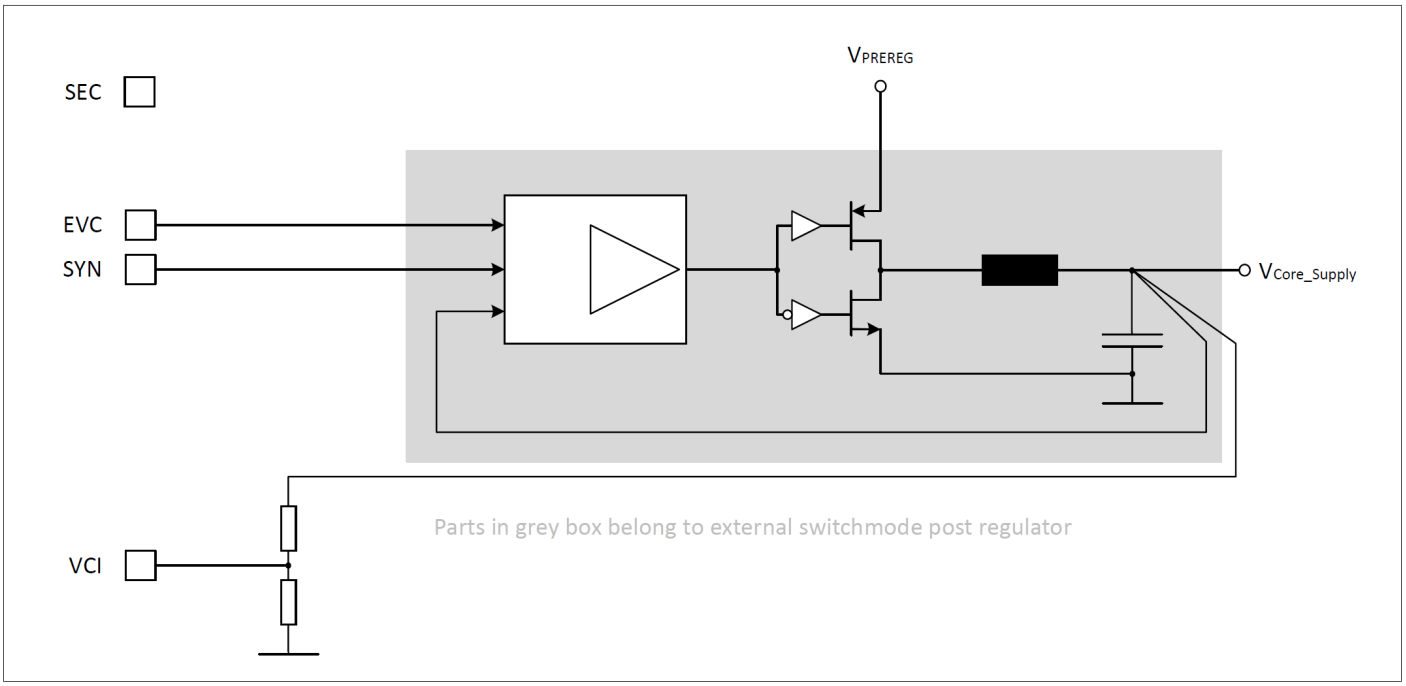


图 14　　用于核心供电的外部开关式后级稳压器

6.6.2 外部后级稳压器支持电气特性

表 14 （续） 外部后级稳压器电气特性

V_{VS} = 6 V 至 40 V； T_j = -40°C 至 150°C，所有电压均以地为参考，正向电流表示流入该引脚（除非另有说明）

Parameter	Symbol	Values			Unit	Note or condition	Number
		Min.	Typ.	Max.			
Enable output signal, pin EVC							
Enable output high level	$V_{EVC, high}$	2.3	–	–	V	V_{QUC} = 3.3 V; I_{EVC} = -7 mA	P_7.6.0.4
Enable output high level	$V_{EVC, high}$	3.0	–	–	V	V_{QUC} ≥ 3.1 V; I_{EVC} = -0.5 mA	P_7.6.0.5
Enable output low level	$V_{EVC, low}$	–	–	0.7	V	V_{QUC} = 3.3 V; I_{EVC} = 5.5 mA	P_7.6.0.6
Enable output rise time	$t_{EVC, rise}$	–	–	25	ns	$C_{EVC, load}$ = 50 pF 1)	P_7.6.0.7
Enable output fall time	$t_{EVC, fall}$	–	–	25	ns	$C_{EVC, load}$ = 50 pF 1)	P_7.6.0.8
Synchronization output signal, pin SYN							
Synchronization output high level	$V_{SYN, high}$	2.3	–	–	V	V_{QUC} = 3.3 V; I_{SYN} = -7 mA	P_7.6.0.12
Synchronization output high level	$V_{SYN, high}$	3.0	–	–	V	V_{QUC} ≥ 3.1 V; I_{SYN} = -0.5 mA	P_7.6.0.13
Synchronization output low level	$V_{SYN, low}$	–	–	0.7	V	V_{QUC} = 3.3 V; I_{SYN} = 5.5 mA	P_7.6.0.14
Synchronization output signal duty cycle	D_{SYN}	–	50	–	%	–	P_7.6.0.15
Synchronization output signal rise time	$t_{SYN, rise}$	–	–	25	ns	$C_{SYN, load}$ = 50 pF 1)	P_7.6.0.16
Synchronization output signal fall time	$t_{SYN, fall}$	–	–	25	ns	$C_{SYN, load}$ = 50 pF 1)	P_7.6.0.17
Core voltage supply monitoring input, pin VCI							
Core voltage monitoring input pull-up current	I_{VCI}	–	100	130	nA	V_{VCI} = 0.8 V	P_7.6.0.18

1) 由设计规定，不进行生产测试。

6.7 电源时序

该器件包含电源时序功能，以确保所有输出电压按正确顺序上升。在内部 *POR* 释放后，退出 POWERDOWN 状态，并且 VSx 引脚电压 V_{VS} 增加到 $V_{PS,start}$ 以上，待机稳压器和前级稳压器开始工作。

如果某个与微控制器无关的电压（QVR、QCO、QT1 或 QT2）无法上升（例如接地短路），则上电时序停止，但在上电复位延迟时间 t_{rd} 后，复位输出仍会释放。微控制器应通过读取 *SPI* 状态寄存器 (VMONSTAT) 来检查这些输出的状态。

如果微控制器在电源时序期间发送 SPI 请求，以启用或禁用任何与微控制器无关的电源（QVR、QCO、QT1 或 QT2），电源时序将被停止，并执行所请求的配置。

6.7.1 从 POWERDOWN 到 INIT 状态的电源时序

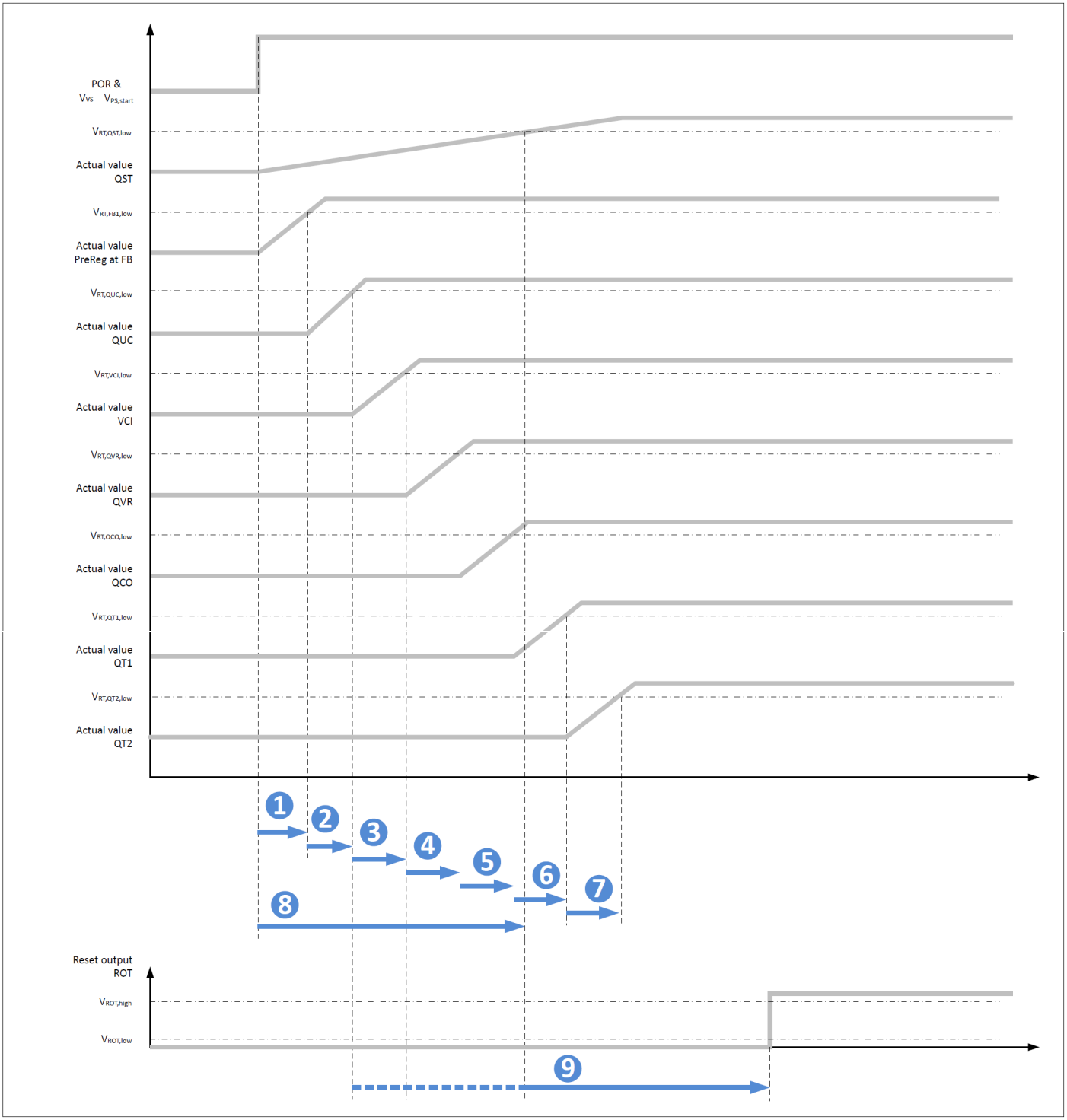


图 15 从 POWERDOWN 到 INIT 状态的电源时序

说明：

1. 在 *POR* 释放（表示从 POWERDOWN 状态退出）且 V_{VS} 高于 $V_{PS,start}$ 时，待机电源（QST）和前级稳压器开始工作。
2. 一旦 V_{FB} 高于监测阈值下限 $V_{RT,FB,low}$+$V_{RT,FB,UV\ hyst}$，QUC 开始工作。
3. 一旦 V_{QUC} 高于监测阈值下限 $V_{RT,QUC,low}$+$V_{RT,QUC,UV\ hyst}$，则在选择外部核心电源的情况下，通过 EVC 引脚使能外部核心电源；如果未选择外部核心电源，则 QVR 开始工作。

4. 如果选择外部核心电源且 V_{VCI} 高于监测阈值下限 $V_{RT,VCI,low}$+$V_{RT,VCI,UV\ hyst}$，则QVR 开始工作。
5. 一旦 V_{QVR} 高于监测阈值下限 $V_{RT,QVR,low}$+$V_{RT,QVR,UV\ hyst}$，QCO 开始工作。
6. 一旦 V_{QCO} 高于监测阈值下限 $V_{RT,QCO,low}$+$V_{RT,QCO,UV\ hyst}$，QT1 开始工作。
7. 一旦 V_{QT1} 高于监测阈值下限 $V_{RT,QT1,low}$+$V_{RT,QT1,UV\ hyst}$，QT2 开始工作。
8. 这是从启用待机稳压器到其输出 V_{QST} 高于监测阈值下限 $V_{RT,QST,low}$ 的时间。
9. 复位延迟时间 t_{RD} 的计时在 QST、QUC 和 VCI（若通过 SEC 引脚选择了外部核心电源）达到其监测阈值下限 $V_{RT,xxx,low}$+$V_{RT,xxx,UV\ hyst}$ 后开始。复位延迟时间可通过 *SPI* 进行编程。复位延迟时间结束后，ROT 引脚的复位信号被释放。该图显示了 t_{RD} 启动时间的可能范围。

当 ROT 变为高电平后，微控制器即可更改可选电源的配置，这可能会相应地改变电源时序。

6.7.2 从 STANDBY 到 INIT 状态电源时序

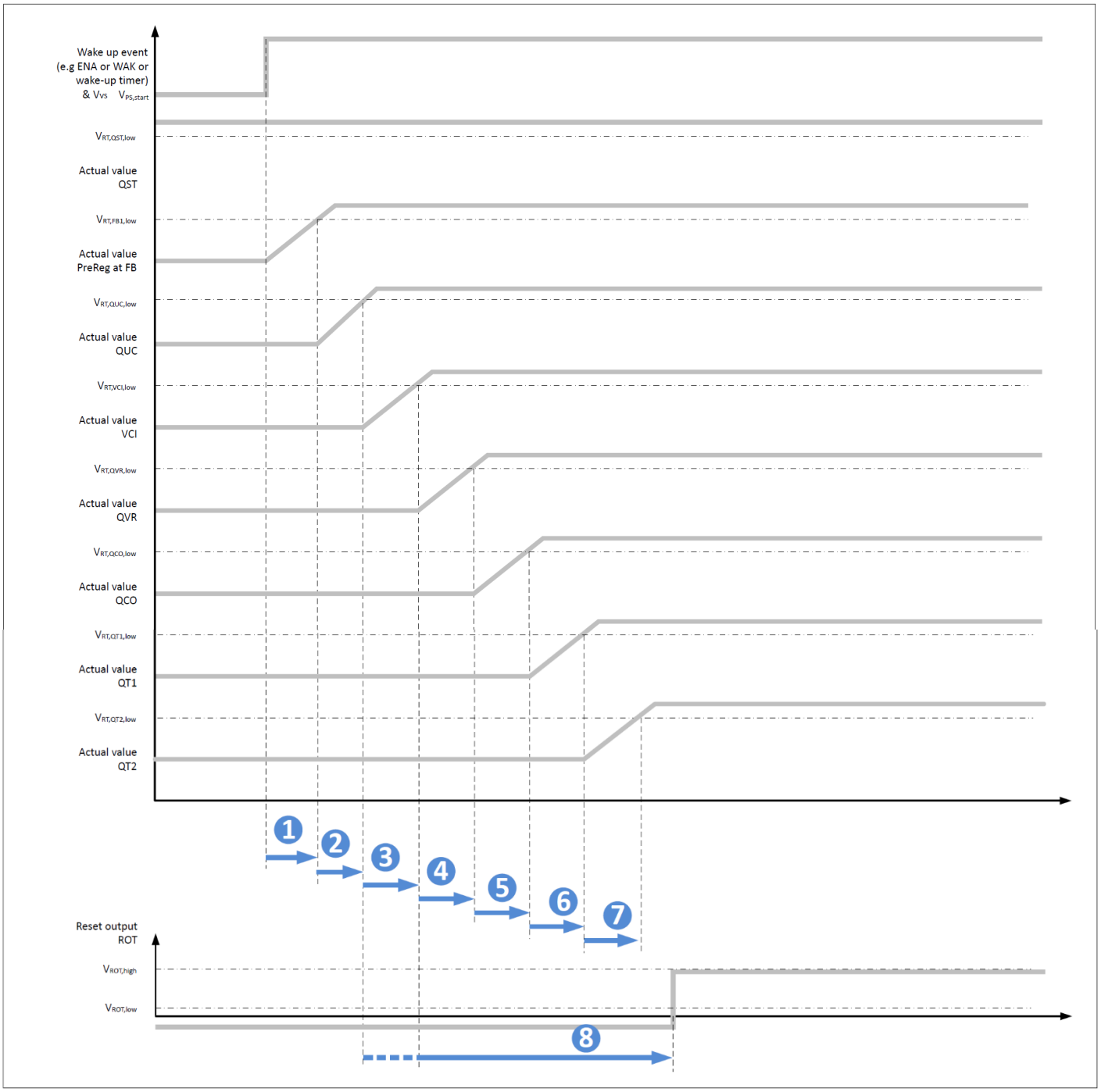


图 16 从 STANDBY 到 INIT 状态电源时序

说明：输入电压已接入，器件处于 STANDBY 状态，QST 处于激活状态。

1. 在收到有效的唤醒信号或唤醒定时器到期后，一旦 V_{VS} 高于 $V_{PS,start}$，前级稳压器即开始工作。
2. 一旦 V_{FB} 高于复位阈值下限 $V_{RT,FB,low}$ +$V_{RT,FB,UV\ hyst}$，QUC 开始工作。
3. 一旦 V_{QUC} 高于复位阈值下限 $V_{RT,QUC,low}$+$V_{RT,QUC,UV\ hyst}$，则在选择外部核心电源的情况下，通过 EVC 引脚使能外部核心电源；如果未选择外部核心电源，则 QVR 开始工作。
4. 如果选择外部核心电源且 V_{VCI} 高于监测阈值下限 $V_{RT,VCI,low}$ +$V_{RT,VCI,UV\ hyst}$，则QVR 开始工作。
5. 一旦 V_{QVR} 高于复位阈值下限 $V_{RT,QVR,low}$ +$V_{RT,QVR,UV\ hyst}$ ，QCO 开始工作。

6. 一旦 V_{QCO} 高于复位阈值下限 $V_{RT,QCO,low}$ +$V_{RT,QCO,UV\ hyst}$，QT1 开始工作。
7. 一旦 V_{QT1} 高于复位阈值下限 $V_{RT,QT1,low}$+$V_{RT,QT1,UV\ hyst}$，QT2 开始工作。
8. 复位延迟时间 t_{RD}在 QUC 和 VCI（如果由引脚 SEC 选择外部核心电源）达到其监测阈值下限 $V_{RT,xxx,low}$+$V_{RT,xxx,UV\ hyst}$ 后开始。复位延迟时间可通过 *SPI* 编程设置。复位延迟时间结束后，ROT 引脚的复位信号被释放。图中显示了 t_{RD} 起始时间的可能范围。

6.7.3 从SLEEP 到 WAKE 状态电源时序

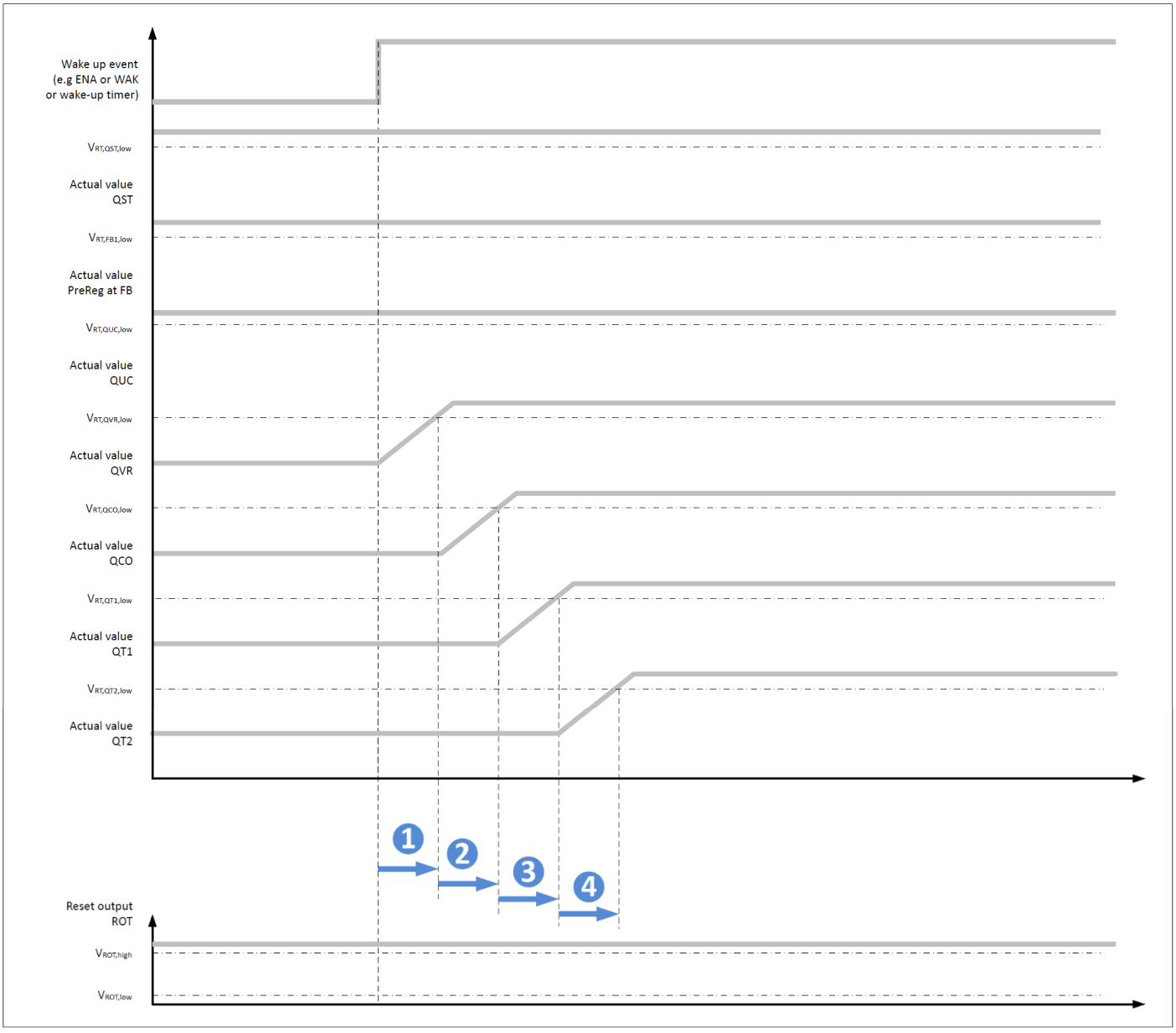


图 17 从SLEEP 到 WAKE 状态电源时序

说明：输入电压已接入，器件处于 SLEEP 状态；在 SLEEP 状态下所有可选电源均被关闭；在此前的 NORMAL 状态中所有可选电源均已开启：

1. 在有效唤醒信号或唤醒定时器到期后，基准电压开始工作。
2. 一旦 V_{QVR} 高于监测阈值下限 $V_{RT,QVR,low}$ +$V_{RT,QVR,UV\ hyst}$，QCO 开始工作。

3. 一旦 V_{QCO} 高于监测阈值下限 $V_{RT,QCO,low}+V_{RT,QCO,UV\ hyst}$，QT1 开始工作。
4. 一旦 V_{QT1} 高于监测阈值下限 $V_{RT,QT1,low}+V_{RT,QT1,UV\ hyst}$，QT2 开始工作。

在 SLEEP 状态下，复位输出 ROT 为高电平，并在 WAKE 状态中保持高电平。

如果某个可选的*低压差稳压器（LDO）*在之前的 NORMAL 状态下被关闭，那么在从 SLEEP 过渡到 WAKE 的过程中不会被重新使能，电源时序将继续执行下一个 LDO。若某个 LDO 在 SLEEP 状态期间启用，并且在之前的 NORMAL 状态期间也是启用状态，它仍然会保持启用。

7 监测功能

7.1 监测功能介绍

器件包含独立的电压监测功能，可对所有输出电压进行监测，包括（如使用）用于 MCU 核心供电的外部后级稳压器的输出电压。

电压监测功能针对每个输出电压包含两个比较器：一个用于检测过压，另一个用于检测欠压。两个比较器均从独立的 Bandgap 2 获取基准电压，该 Bandgap 2 仅用于电压监测功能，并独立于稳压器使用的 Bandgap 1。Bandgap 2 提供过压检测所需的基准电压（高电压监测阈值 $V_{RT,xxx,high}$）和欠电压检测所需的基准电压（低电压监测阈值 $V_{RT,xxx,low}$）。在正常工作条件下，相关调节器的输出电压必须保持在由上限 $V_{RT,xxx,high}$ 和下限 $V_{RT,xxx,low}$ 定义的电压窗口内。

电压监测模块配备专用温度传感器。当功率级温度超过关断阈值时，器件将进入 FAILSAFE 状态，所有稳压器被关闭，且该事件会存储在 *SPI* 状态寄存器（OTFAIL）中。由于温度关断导致的关闭时间至少为一秒。

特性

过压和欠压比较器的行为如下：

- 上限 $V_{RT,xxx,high}$ 和下限 $V_{RT,xxx,low}$ 为固定值，不可修改。
- 如果调节器输出电压高于相关过压监测阈值 $V_{RT,xxx,high}$ 并持续超过监测反应时间 t_{RR}，则视为检测到过压。高于相关过压监测阈值 $V_{RT,xxx,high}$ 且持续时间短于监测反应时间 t_{RR}，被视为瞬态尖峰，不会被检测为过压事件。

  如果调节器输出电压低于相关欠压监测阈值 $V_{RT,xxx,low}$ 且持续时间超过监测响应时间 t_{RR}，则视为检测到欠压。低于相关欠压监测阈值 $V_{RT,xxx,low}$ 且持续时间短于监测反应时间 t_{RR}，被视为瞬态尖峰，不会被检测为欠压事件。
- 对于内部电源欠压和过压情况，监测响应时间 t_{RR} 不适用。
- 检测到过压时，相应的稳压器会立即关闭，以防止负载受到损害或损坏。

  此类关断操作可能导致（取决于受影响的稳压器）进一步动作，详情请参阅状态机章节。
- 检测到欠压时，相应的稳压器不会被关闭。
- 后级稳压器（包括用于 MCU 核心供电的可选外部后级稳压器）以及前级降压稳压器均具备对地短路检测功能。

  如果检测到的欠压持续时间超过接地短路检测时间 t_{StG}，相关调节器将关闭，以保护稳压器本身和芯片免于过热。此关断可能会导致（取决于受影响的调节器）采取进一步动作，详情请参阅状态机章节。（用于 MCU 核心供电的外部后级稳压器必须具备使能或禁止功能。）
- 过压和欠压检测仅在相应稳压器处于使用状态并被开启时才会生效（包括用于 MCU 核心供电的外部后级稳压器）。

过压和欠压指示

根据所对应的稳压器不同，过压和欠压的指示方式也不同，可能通过复位信号或中断指示来实现：

- 每次过压和欠压检测都会存储在 SPI 状态寄存器（MONSF0、MONSF1、MONSF2）中。
- 对于与 MCU 相关的输出电压（V_{QST}、V_{QUC}、V_{VCI}），过压和欠压由硬件复位引脚 ROT 指示。如果出现过压或欠压，引脚 ROT 会被拉至低电平。
- 当外部用于 MCU 核心供电的后级稳压器发生过压或检测到对地短路时，EVC 引脚将被拉低以关闭该稳压器。
- 对于前级稳压器输出（V_{FB}）和基准输出电压（V_{QVR}），仅过压由硬件复位引脚 ROT 指示。如果出现过压，引脚 ROT 会被拉至低电平。
- 对于前级稳压器输出和基准电压输出，只有欠压会通过中断指示。
- 对于所有与 MCU 无关的输出电压（V_{QCO}、V_{QT1}、V_{QT2}），过压和欠压都会通过中断指示。
- 对于内部电源电压，过压和欠压由硬件复位引脚 ROT 指示。如果出现过压或欠压，引脚 ROT 会被拉至低电平。

本介绍为概述，详情请参阅以下各小节。

7.2 关断功能

前级稳压器输出处的接地短路检测时间t_{StG}仅在 INIT 状态下的电源时序期间有效。如果前级稳压器的输出电压在一定时间范围内不在规定的范围内，器件将进入 FAILSAFE 状态。一旦 $V_{PREREG,BUCK}$ 在第一次超过其欠压阈值后处于有效范围内，对检测到的接地短路没有任何反应（根据章节 6.7 中描述的电源时序完成步骤 1）。如果在其他情况下前级稳压器的输出电压过低，则器件的行为取决于后级稳压器的电压监测。

当检测到输出电压 V_{QUC}、V_{VCI}、V_{QST}、V_{QVR} 或 V_{FB} 中任何一个出现过压时，器件会关闭所有稳压器以保护负载免受损坏或破坏，并将器件移至 FAILSAFE 状态。

当检测到输出电压 V_{QCO}、V_{QT1} 和 V_{QT2} 中任何一个电压发生过压时，将关闭相关的稳压器，以保护负载免受伤害或破坏并生成一个中断事件。

如果在输出电压 V_{QUC}、V_{VCI} 或 V_{QST} 处检测到欠压，且持续时间超过短路检测时间 t_{StG}，则所有稳压器都会关闭，以保护自身和芯片免受过热损坏，并且器件会进入 FAILSAFE 状态。

如果在输出电压 V_{QVR}、V_{QCO}、V_{QT1} 或 V_{QT2} 处检测到欠压持续时间超过短路检测时间 t_{StG}，则相关的稳压器会关闭以保护自身和芯片免受过热影响，并产生一个中断事件。

如果前级升压稳压器（基于 $V_{RSH-RSL}$）进入逐个开关周期的限流状态运行，且持续时间超过短路到地检测时间 $t_{StG,boost}$，则所有稳压器都会关闭，以保护外部升压组件和芯片免受过热影响，并且器件会进入 FAILSAFE 状态。

7.3 复位功能

一旦器件退出 POWERDOWN 状态，复位发生器便开始工作。

“软复位”与“硬复位”

在“软复位”情况下，引脚 ROT 电压低于 $V_{ROT,low}$，但前级和后级稳压器输出电压不关闭。

在“硬复位”情况下，引脚 ROT 电压低于 $V_{ROT,low}$，并且后级稳压器输出电压被关闭。经过 t_{SDT} 延迟后，电源时序将重新启动。“硬复位”适用于连续第二次初始化超时的情况。

安全状态控制触发事件

安全状态控制功能与监测功能块相连。如果检测到安全状态控制触发事件，则安全状态控制输出引脚（SS1 和 SS2）以及 ROT 引脚将被拉低至地。安全状态控制触发事件存储在 *SPI* 寄存器（SYSFAIL、INITERR、MONSF1、MONSF2、MONSF3 或 OTFAIL）中相应的位。有关安全状态信号 SS1 的触发条件，请参阅安全状态控制功能章节。

复位输出引脚

复位输出引脚 ROT 为开漏结构。一旦出现复位条件，ROT 引脚就会被拉至低于 $V_{ROT,low}$。一个小的内部上拉电流将输出拉向 V_{QUC}。建议根据具体应用需求外接上拉电阻。

只有在 $V_S \le V_{PD,lo}$ 而转入 POWERDOWN 的情况下，ROT 下拉才会被释放。如果$V_S \le V_{PD,lo}$，则 ROT 会上升到剩余的 QUC 电压值。

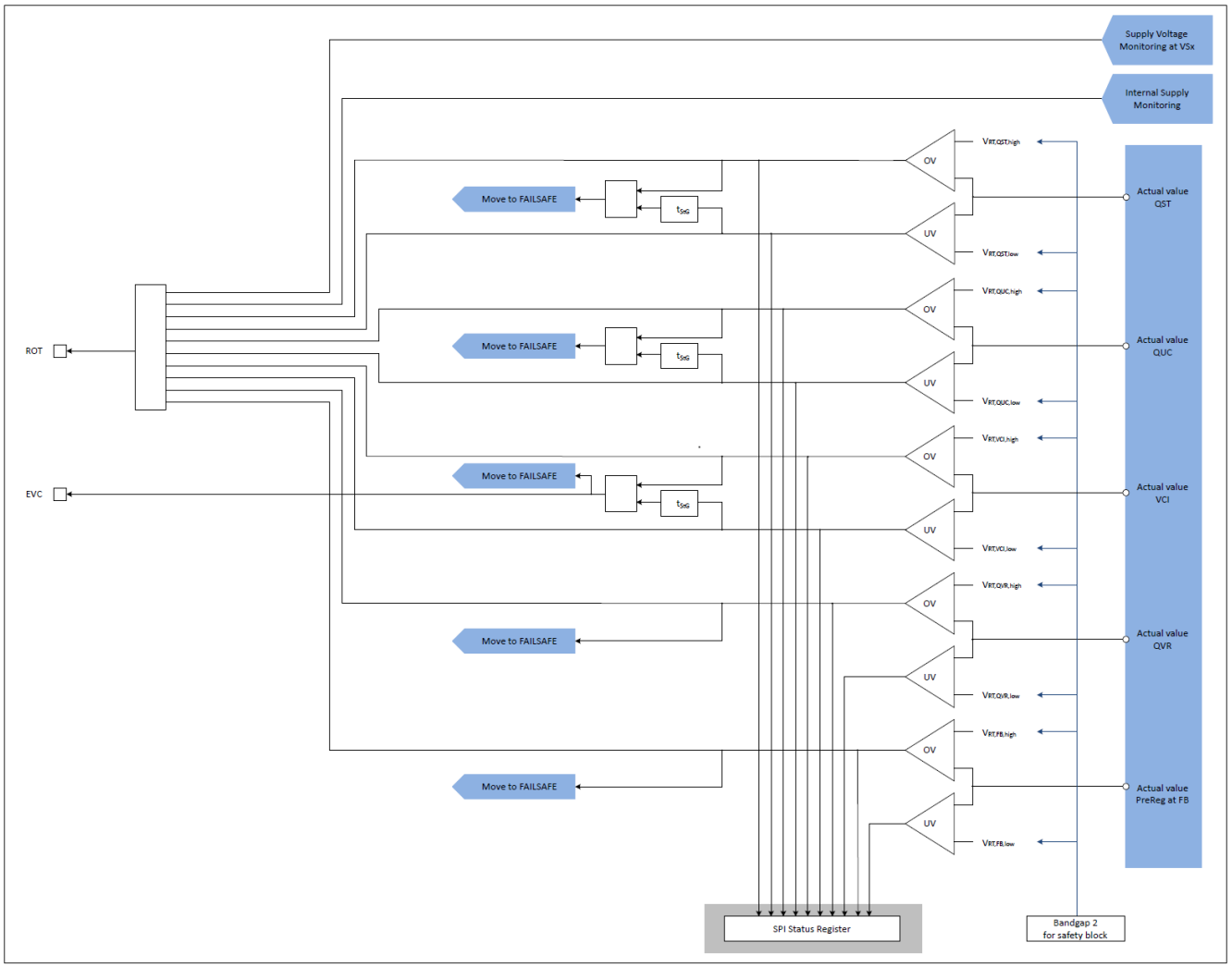


图 18　　复位功能原理

复位功能的详细描述（图 18）：

以下稳压器参与复位功能：

- 内部供电监测（外部不可见）
- 待机电源 (QST)：V_{QST}
- 微控制器主电源 (QUC)：V_{QUC}

- 用于 MCU 核心供电的外部后级稳压器（VCI）：V_{VCI}
- 基准电压（QVR）：V_{QVR} → 仅限过压，不包括欠压和接地短路
- 前级稳压器（FB）：V_{FB} → 仅限过压，不包括欠压
- 前级升压稳压器对地短路（过功率）检测

这些输出的实际值直接在输出引脚处获取，并由每个稳压器的两个比较器进行监控，一个用于过压（名为 OV），另一个用于欠压（名为 UV）。基准值 $V_{RT,xxx,high}$ 和 $V_{RT,xxx,low}$ 由与监测功能相关的 Bandgap 2 提供。

内部电源电压监测和 IBIAS 监测都会参与触发复位。如果一个或两个内部电源电压超出其规定窗口范围，则无法再保证器件的可靠运行。IBIAS 监测器故障信息存储在状态位(寄存器 MONSF3 的 BIASHI 或 BIASLOW 位）。

内部电源的这些故障会触发“切换到 FAILSAFE ”事件或“切换到 POWERDOWN”事件（详情请参阅“状态机”章节）。

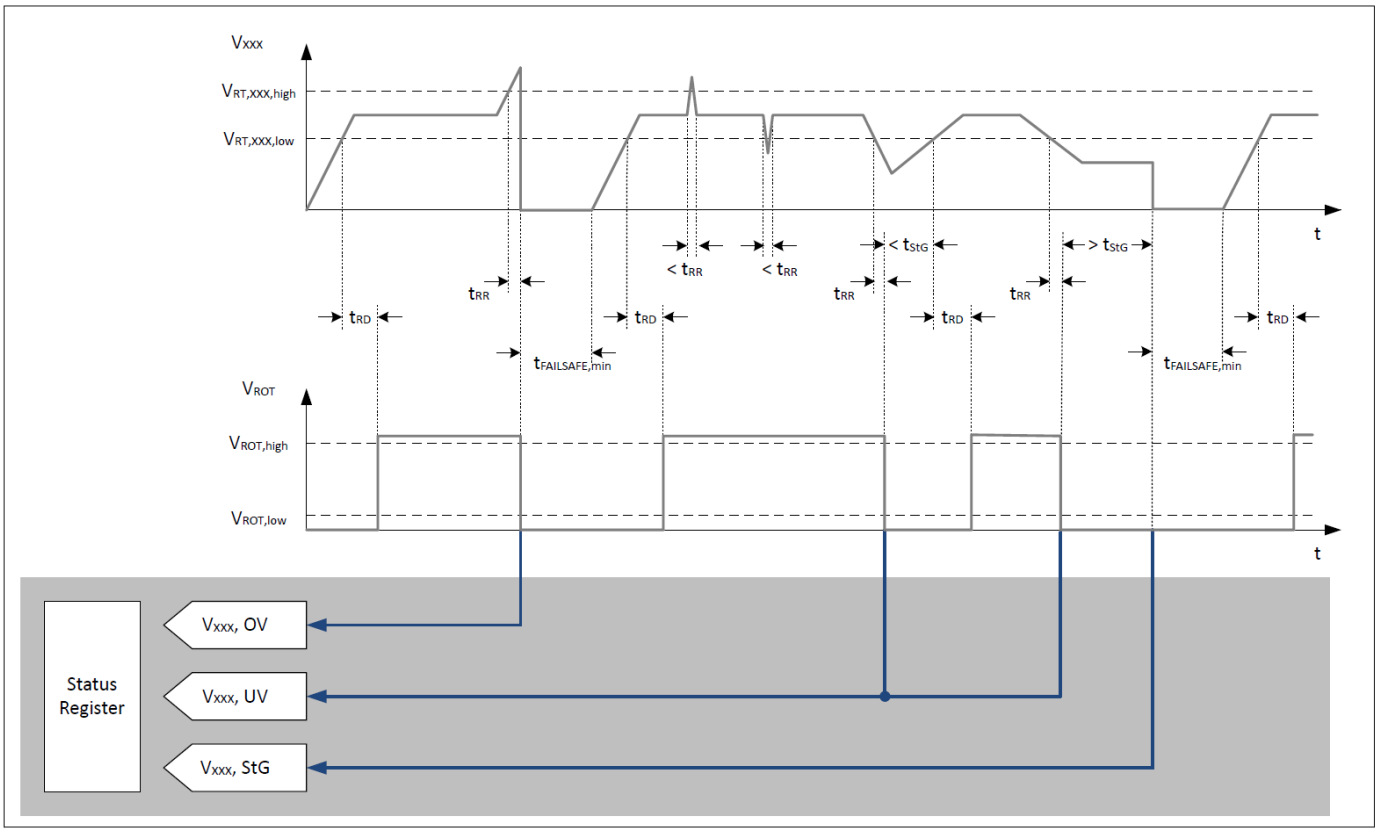


图 19　　输出电压硬件复位信号 ROT 时序图

说明：

- V_{xxx} = 由复位发生器监测的输出电压：V_{QUC}、V_{VCI}、V_{QST}、V_{QVR} 或 V_{FB}
- $V_{RT,xxx,high}$ = 过压监测阈值：$V_{RT,QUC,high}$、$V_{RT,VCI,high}$、$V_{RT,QST,high}$、$V_{RT,QVR,high}$ 或 $V_{RT,FB,high}$
- $V_{RT,xxx,low}$ = 欠压监测阈值：$V_{RT,VCI,low}$、$V_{RT,QUC,low}$ 或 $V_{RT,QST,low}$
- t_{RD} = 复位延时时间，通过 SPI 指令调整
- t_{RR} = 监测响应时间，从检测到过压到将 ROT 拉至低电平之间的时间
- < t_{RR} = 不可检测，因为持续时间短于监测响应时间
- > t_{StG} = 对地短路检测时间，超过该时间后，欠压将被视为对地短路。
- $t_{FAILSAFE,min}$ = 系统关断时间（FAILSAFE），将 ROT 拉低至器件重启之间的时间，详细信息请参阅状态机章节
- V_{ROT} = 硬件复位信号, ROT
- $V_{ROT,high}$ = 硬件复位信号，高电平

- $V_{ROT,low}$ = 硬件复位信号，低电平
- $V_{xxx,OV}$ = 检测到 V_{xxx} 的过压并存储在 SPI 寄存器 MONSF1 中
- $V_{xxx,UV}$ = 检测到 V_{xxx} 欠压并存储在 SPI 寄存器 MONSF2 中
- $V_{xxx,StG}$ = 检测到 V_{xxx} 对地短路并存储在 SPI 寄存器 MONSF0 中
- 这也适用于偏置电流违规、供电过压（MONSF3）和温度关断（OTFAIL）导致复位的情况。请参图 42 以及图 49

7.4 中断功能

一旦内部 *POR* 释放后，中断发生器就开始工作，中断信号（引脚 INT）仅在复位释放（引脚 ROT 为高电平）时指示。

电压监测功能用于监控与 MCU 无关的后级稳压器输出电压 V_{QCO}、V_{QT1} 和 V_{QT2}，前级稳压器输出电压 V_{FB}（仅欠压监测）和基准电压输出 V_{QVR}（仅欠压和接地短路监测）。结果写入 *SPI* 状态寄存器 (IF 和 MONSF0、MONSF1 或 MONSF2）并通过中断（引脚 INT）指示。这些监测信号之间采用逻辑或连接。

INT 中断引脚也会指示器件内部其他事件引发的中断。

中断输出引脚

中断输出引脚 INT 为推挽结构。通过将 INT 引脚拉至接地来指示中断。

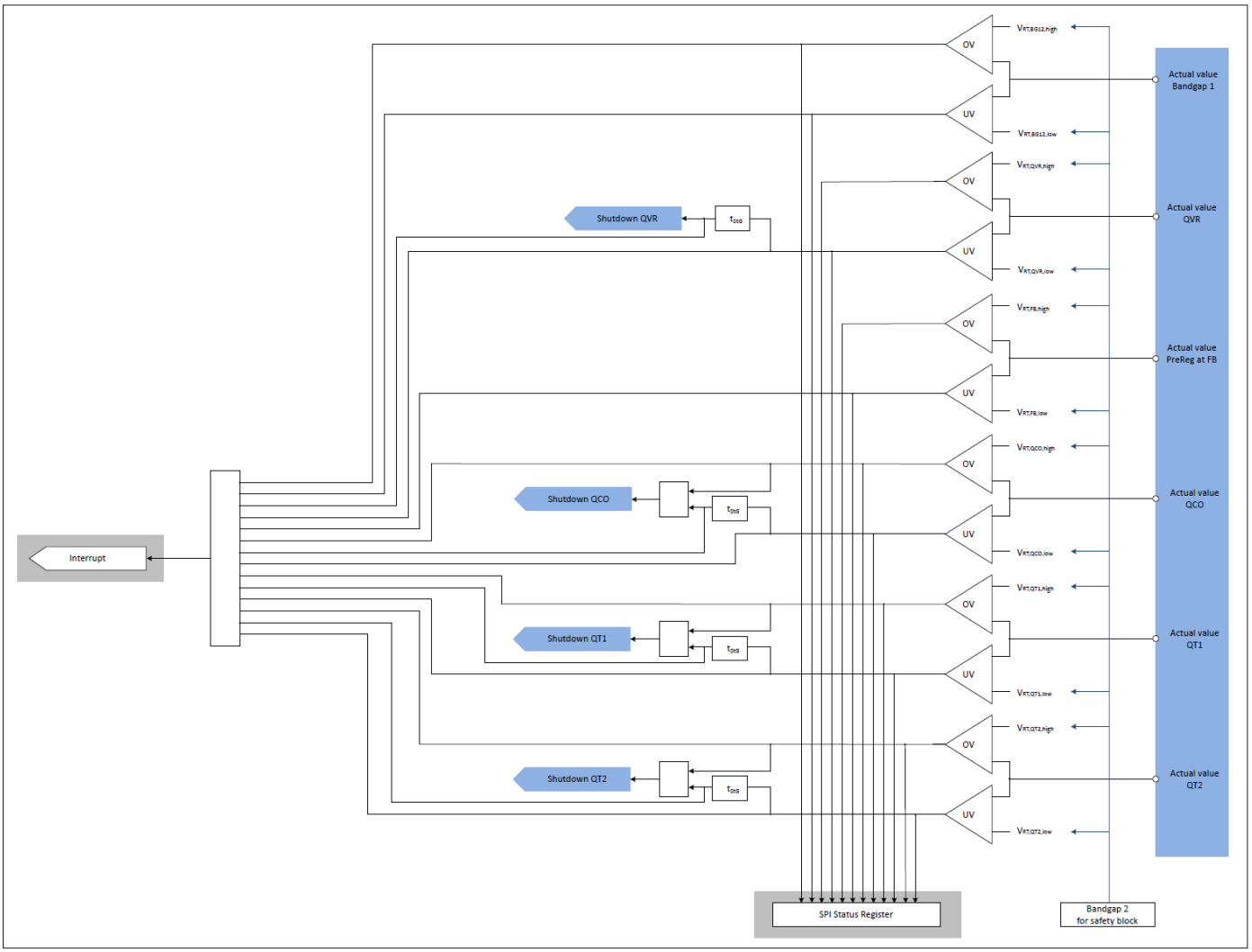


图 20　通过中断进行电压监测的原理说明

通过中断进行电压监测功能的详细说明（图 20）

以下稳压器通过中断功能参与电压监控：

- 前级稳压器 (FB)： V_{FB} → 仅欠压
- 基准电压电源（QVR）： V_{QVR} → 仅欠压和接地短路
- 通信电源（QCO）： V_{QCO}

- 用于为传感器供电的跟踪器 1 (QT1)：V_{QT1}
- 用于为传感器供电的跟踪器 2 (QT2)：V_{QT2}

这些输出的实际值直接在输出引脚处获取，并由每个稳压器的两个比较器进行监控，一个用于过压监测（名为 OV），另一个用于欠压监测（名为 UV）。基准值 $V_{RT,xxx,high}$ 和 $V_{RT,xxx,low}$ 由独立的带隙基准2 提供，该基准仅用于监测功能。

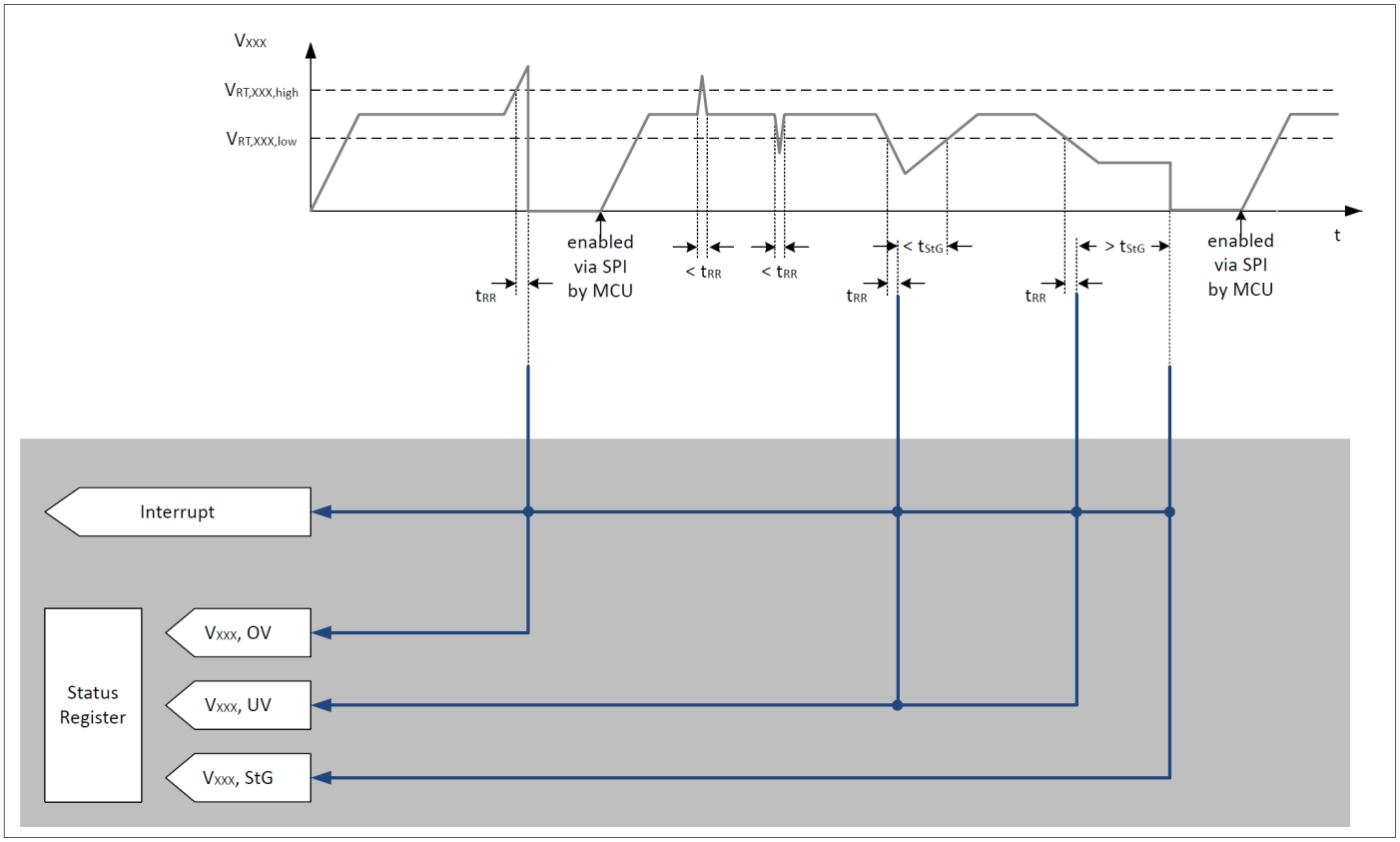


图 21　　输出电压中断指示时序图

说明：

- V_{xxx} = 由中断指示监控的输出电压：V_{FB}、V_{QVR}、V_{QCO}、V_{QT1} 或 V_{QT2}
- $V_{RT,xxx,high}$ = 过压中断指示：$V_{RT,QCO,high}$、$V_{RT,QT1,high}$ 或 $V_{RT,QT2,high}$
- $V_{RT,xxx,low}$ = 欠压中断指示：$V_{RT,FB,low}$、$V_{RT,QVR,low}$、$V_{RT,QCO,low}$、$V_{RT,QT1,low}$ 或 $V_{RT,QT2,low}$
- t_{RR} = 监测响应时间，即从检测到过压到产生中断之间的时间
- $< t_{RR}$ = 不可检测，因为持续时间短于监测响应时间
- $> t_{StG}$ = 对地短路检测时间，超过该时间后，欠压将被视为对地短路。
- $V_{xxx,OV}$ = 检测到 V_{xxx} 的过压并存储在 SPI 寄存器（MONSF1）中
- $V_{xxx,UV}$ = 检测到V_{xxx} 欠压并存储在 SPI 寄存器（MONSF2）中
- $V_{xxx,StG}$ = 检测到 V_{xxx} 对地短路并存储在 SPI 寄存器（MONSF0）中
- 这同样适用于参与中断功能的带隙基准 1 至 2 电压变化检测（MONSF3）、过载和温度事件（OTWRNSF、OTFAIL）。详情请参见图 41。

7.5 电压监测和复位功能电气特性

表15 电压监测和复位功能电气特性

V_{VS} = 6 V 至 40 V； T_j = -40°C 至 150°C，所有电压均以地为参考，正向电流表示流入该引脚（除非另有说明）

Parameter	Symbol	Values			Unit	Note or condition	Number
		Min.	Typ.	Max.			
Timing							
Reset cycle time	t_{CYCLE}	9.4	10	10.65	µs	–	P_8.5.1
Reset delay time, default value	t_{RD}	–	1000	–	t_{CYCLE}	–	P_8.5.2
Reset delay time, adjustable range by *SPI* command	t_{RD}	20	–	1500	t_{CYCLE}	1) Configurable in DEVCFG1.RESDEL	P_8.5.3
Monitoring reaction time	t_{RR}	8	–	20	µs	–	P_8.5.4
Monitoring reaction time, standby regulator	$t_{RR, STBY}$	8	–	40	µs	–	P_8.5.5
Short to ground detection time	t_{StG}	2.7	3	3.3	ms	–	P_8.5.6
Step down regulator short to ground detection time	$t_{StG,HF}$	2.7	3	3.3	ms	step down pre-regulator high switching frequency range (pin FRE open)	P_8.5.7
Step down regulator short to ground detection time	$t_{StG,LF}$	5.4	6	6.6	ms	step down pre-regulator low switching frequency range (pin FRE to GND)	P_8.5.8
Step down regulator short to ground activation threshold at pin VS	$V_{start,StG,buck}$	5.5	5.6	5.7	V	V_{VS} increasing	P_8.5.67
VCI short to ground detection time	$t_{StG,VCI}$	5.4	6	6.6	ms	–	P_8.5.9
Boost short to ground detection time	$t_{StG,boost}$	5.4	6	6.6	ms	–	P_8.5.10
System shutdown time	t_{SDT}	9	–	20	ms	–	P_8.5.11
Monitoring thresholds standby regulator, pin QST							
Overvoltage monitoring threshold	$V_{RT,QST,high}$	3.46	3.53	3.6	V	V_{QST} increasing	P_8.5.16
Overvoltage monitoring hysteresis	$V_{RT,QST,OV\ hyst}$	20	–	55	mV	–	P_8.5.17

（表格续下页……）

表 15　　（续）电压监测和复位功能电气特性

V_{VS} = 6 V 至 40 V；T_j = -40°C 至 150°C，所有电压均以地为参考，正向电流表示流入该引脚（除非另有说明）

Parameter	Symbol	Values			Unit	Note or condition	Number
		Min.	Typ.	Max.			
Undervoltage monitoring threshold	$V_{RT,QST,low}$	2.97	3.04	3.1	V	V_{QST} decreasing	P_8.5.18
Undervoltage monitoring hysteresis	$V_{RT,QST,UV\ hyst}$	15	–	50	mV	–	P_8.5.19
Monitoring thresholds microcontroller supply, pin QUC							
Overvoltage monitoring threshold	$V_{RT,QUC,high}$	3.46	3.53	3.6	V	V_{QUC} increasing	P_8.5.24
Overvoltage monitoring hysteresis	$V_{RT,QUC,OV\ hyst}$	20	–	55	mV	–	P_8.5.25
Undervoltage monitoring threshold	$V_{RT,QUC,low}$	2.97	3.04	3.1	V	V_{QUC} decreasing	P_8.5.26
Undervoltage monitoring hysteresis	$V_{RT,QUC,UV\ hyst}$	15	–	50	mV	–	P_8.5.27
Monitoring thresholds external core supply, pin VCI							
Overvoltage monitoring threshold	$V_{RT,VCI,high}$	848	864	880	mV	V_{VCI} increasing	P_8.5.28
Overvoltage monitoring hysteresis	$V_{RT,VCI,OV\ hyst}$	5	–	15	mV	2)	P_8.5.29
Undervoltage monitoring threshold	$V_{RT,VCI,low}$	720	736	752	mV	V_{VCI} decreasing	P_8.5.30
Undervoltage monitoring hysteresis	$V_{RT,VCI,UV\ hyst}$	5	–	15	mV	2)	P_8.5.31
Monitoring thresholds pre-regulator, pins FBx							
Overvoltage monitoring threshold	$V_{RT,FB,high}$	6.46	6.58	6.7	V	V_{FB} increasing	P_8.5.32
Overvoltage monitoring hysteresis	$V_{RT,FB,OV\ hyst}$	40	–	120	mV	–	P_8.5.33
Undervoltage monitoring threshold	$V_{RT,FB,low}$	5.0	5.1	5.2	V	V_{FB} decreasing	P_8.5.34
Undervoltage monitoring hysteresis	$V_{RT,FB,UV\ hyst}$	30	–	90	mV	–	P_8.5.35
Monitoring thresholds communication supply, pin QCO							
Overvoltage monitoring threshold	$V_{RT,QCO,high}$	5.15	5.25	5.35	V	V_{QCO} increasing	P_8.5.36

（表格续下页……）

表 15　　（续）电压监测和复位功能电气特性

V_{VS} = 6 V 至 40 V；T_j = -40°C 至 150°C，所有电压均以地为参考，正向电流表示流入该引脚（除非另有说明）

Parameter	Symbol	Values			Unit	Note or condition	Number
		Min.	Typ.	Max.			
Overvoltage monitoring hysteresis	$V_{RT,QCO,OV\ hyst}$	20	–	60	mV	–	P_8.5.37
Undervoltage monitoring threshold	$V_{RT,QCO,low}$	4.65	4.75	4.85	V	V_{QCO} decreasing	P_8.5.38
Undervoltage monitoring hysteresis	$V_{RT,QCO,UV\ hyst}$	20	–	60	mV	–	P_8.5.39
Monitoring thresholds voltage reference supply, pin QVR							
Overvoltage monitoring threshold	$V_{RT,QVR,high}$	5.10	5.20	5.30	V	V_{QVR} increasing	P_8.5.40
Overvoltage monitoring hysteresis	$V_{RT,QVR,OV\ hyst}$	20	–	60	mV	–	P_8.5.41
Undervoltage monitoring threshold	$V_{RT,QVR,low}$	4.70	4.80	4.90	V	V_{QVR} decreasing	P_8.5.42
Undervoltage monitoring hysteresis	$V_{RT,QVR,UV\ hyst}$	20	–	60	mV	–	P_8.5.43
Monitoring thresholds tracker 1, pin QT1							
Overvoltage monitoring threshold	$V_{RT,QT1,high}$	5.30	5.40	5.50	V	V_{QT1} increasing	P_8.5.44
Overvoltage monitoring hysteresis	$V_{RT,QT1,OV\ hyst}$	20	–	60	mV	–	P_8.5.45
Undervoltage monitoring threshold	$V_{RT,QT1,low}$	4.50	4.60	4.70	V	V_{QT1} decreasing	P_8.5.46
Undervoltage monitoring hysteresis	$V_{RT,QT1,UV\ hyst}$	20	–	60	mV	–	P_8.5.47
Monitoring thresholds tracker 2, pin QT2							
Overvoltage monitoring threshold	$V_{RT,QT2,high}$	5.30	5.40	5.50	V	V_{QT2} increasing	P_8.5.48
Overvoltage monitoring hysteresis	$V_{RT,QT2,OV\ hyst}$	20	–	60	mV	–	P_8.5.49
Undervoltage monitoring threshold	$V_{RT,QT2,low}$	4.50	4.60	4.70	V	V_{QT2} decreasing	P_8.5.50
Undervoltage monitoring hysteresis	$V_{RT,QT2,UV\ hyst}$	20	–	60	mV	–	P_8.5.51

（表格续下页……）

表 15 （续）电压监测和复位功能电气特性

V_{VS} = 6 V 至 40 V；T_j = -40°C 至 150°C，所有电压均以地为参考，正向电流表示流入该引脚（除非另有说明）

Parameter	Symbol	Values			Unit	Note or condition	Number
		Min.	Typ.	Max.			
Input voltage VSx monitoring, pin VSx							
Input overvoltage monitoring threshold	$V_{VS,OV}$	40.5	42	43.5	V	–	P_8.5.52
Overtemperature protection of monitoring							
Overtemperature shutdown threshold	$T_{j,OT,\ shutdown}$	176	190	200	°C	T_j increasing 2)	P_8.5.53
Overtemperature shutdown hysteresis	$T_{j,OT,\ hyst}$	–	10	–	°C	2)	P_8.5.54
Reset output ROT							
Reset output, pull-up current	$I_{ROT,\ pu}$	-175	-110	-12	µA	V_{ROT} ≤ 2.0 V	P_8.5.55
Reset output, low level	$V_{ROT,\ low}$	–	–	0.7	V	1 V ≤ V_{QUC} ≤ 3.37 V; 3) I_{ROT} = 5.5 mA	P_8.5.58
Reset output, low level	$V_{ROT,\ low}$	–	–	0.4	V	1 V ≤ V_{QUC} ≤ 3.37 V; 3) I_{ROT} = 3 mA	P_8.5.59
Reset output fall time	$t_{ROT,\ fall}$	–	–	25	ns	2) $C_{ROT,load}$ = 50 pF	P_8.5.60
Interrupt output INT							
Interrupt output, high level	$V_{INT,\ high}$	2.3	–	–	V	V_{QUC} = 3.3 V; I_{INT} = -7 mA	P_8.5.63
Interrupt output, low level	$V_{INT,\ low}$	–	–	0.7	V	V_{QUC} = 3.3 V; I_{INT} = 5.5 mA	P_8.5.64
Interrupt output rise time	$t_{INT,\ rise}$	–	–	25	ns	2) $C_{INT,load}$ = 50 pF	P_8.5.65
Interrupt output fall time	$t_{INT,\ fall}$	–	–	25	ns	2) $C_{INT,load}$ = 50 pF	P_8.5.66

1) 由于内部延迟，复位延迟时间最多可增加 50 µs。
在进入 INIT 状态启动电源时序之前，应满足表 25 中规定的进入 INIT 状态的过渡时间 $t_{tr,INIT}$。
2) 由设计指定，无需进行生产测试。
3) 进入 POWERDOWN 状态时，不会强制将 ROT 引脚输出拉为低电平。

8 待机电源和内部电源

8.1 待机电源 QST

8.1.1 待机电源功能说明

待机电源 QST 独立于前级稳压器级和其他后级稳压器。它在所有状态下均可开启或关闭（详情请参阅章节状态机）。线性低压差稳压器 QST 可为待机电源提供精确的 3.3 V 输出电压。

QST 在离开 STANDBY 状态后会保持其原有配置不变。对于 STANDBY 状态，QST 的状态（开启或关闭）必须在此前的状态中预先定义。

调节器由引脚 VST 供电，引脚 VST 连接到引脚 VS1。输出电压 V_{QST}（在引脚QST）由误差放大器控制。控制环路的稳定性取决于负载电流、输出电容的特性和芯片温度。为保证稳定工作，输出电容需要满足表 16 中规定的要求（电容和 *ESR*）

该稳压器在输出端具备有源下拉功能，可在稳压器关闭时对输出进行放电。

QST稳压器支持两种工作模式，具体取决于 RSYSPCFG0.DISOFFSET 的配置。

- 独立调节：V_{QST} 的实际值基于稳压器带隙 1 的基准电压进行调节（DISOFFSET 置位为 1_B）。该配置属于常见的专用稳压器拓扑，适用于大多数应用。请确保在初始受保护配置期间完成此选项的设置，因为它并不是上电启动后的默认配置。
- QUC 相关偏移调节：V_{QST} 的实际值通过偏移量 $\Delta V_{QST,QUC}$ (DISOFFSET 置位为 0_B)。请注意，该配置是 POWERDOWN 状态之后的默认设置，因为在采用优化电源拓扑的应用中，当待机电压域预期存在较大负载时，运行期间可在 QUC 与 QST 之间使用外部旁路开关，此配置可作为一种功能边界条件。如果应用中未配置外部旁路，则建议在初始受保护配置期间禁用该偏移稳压模式。

器件实现了保护电路，以防止稳压器及应用电路受损：

- 为防止调整管过载，应力保护中的限流功能会限制输出电流。电流检测通过电流镜实现，不使用检测电阻。若输出电流达到最大值，电流将被限制，从而导致输出电压下降。该稳压器具备对地短路保护功能。[1)]
- 输出电压由电压监控器监控。

  如果引脚 QST 处发生过压，QST 将被关闭，器件将进入 FAILSAFE 状态。该事件将被存储在 *SPI* 状态寄存器（MONSF1）中。

  如果引脚 QST 出现欠压，器件将进入 INIT 状态，引脚 ROT 被拉低，事件存储在 SPI 状态寄存器（MONSF2）中。当输出欠压持续时间小于接地短路检测时间 t_{StG}，调节器不会关闭。如果欠压持续时间超过 t_{StG}，器件将进入 FAILSAFE 状态。该事件也会存储在 SPI 状态寄存器（MONSF0）中。
- 该稳压器没有专用的温度传感器。芯片温度由位于 QUC 和前级降压稳压器处的其他温度传感器进行检测。如果芯片温度超过预警阈值，将通过中断指示该事件，并将其存储在 SPI 状态寄存器（OTWRNSF）中。

1) 在 QST 启用的偏移稳压功能的特殊情况下 (DISOFFSET 置位至 0_B) 且施加快速接地短路或快速显着过载，故障状态可能会以瞬态方式耦合影响稳压器的参考带隙基准。这可能会导致对其他稳压器输出电压产生暂时影响，例如引脚 QCQ 上的 V_{QCO} 或引脚 QUC 上的V_{QUC}（如果未通过外部开关旁路至 QST）。

如果芯片温度超过温度关断阈值，稳压器将被关闭。温度关断时间至少为一秒。

除 FAILSAFE 状态外，稳压器 QST 可在每个状态下均可配置为开启或关闭。对于 STANDBY 状态的设置，需要在进入此状态之前通过 SPI命令完成选择。

详情请参阅第 10 章状态机。

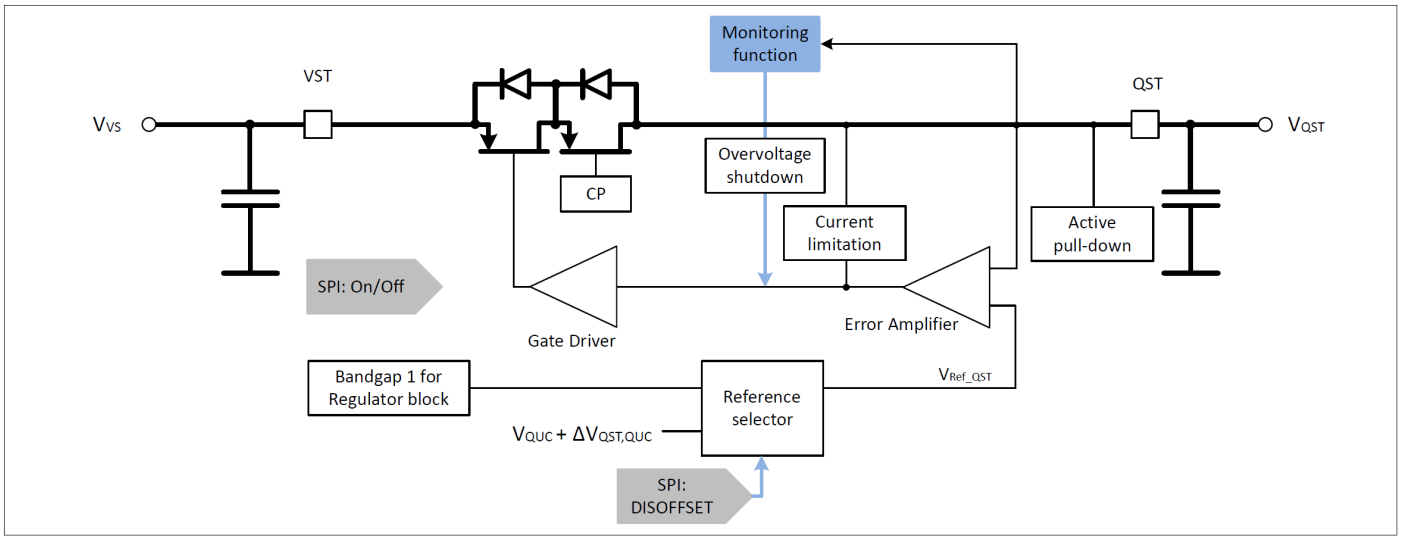


图 22　　用于待机电源 QST 的低压差线性稳压器

8.1.2 待机电源电气特性

表 16 待机电源电气特性

V_{VS} = 6 V 至 40 V； T_j = -40°C 至 150°C，所有电压均以地为参考，正向电流表示流入该引脚（除非另有说明）

Parameter	Symbol	Values			Unit	Note or condition	Number
		Min.	Typ.	Max.			
Standby supply QST							
Output voltage	V_{QST}	3.23	3.30	3.37	V	when QUC is off or when DISOFFSET is set to 1_B; 0 mA ≤ I_{QST} ≤ 10 mA	P_9.1.3
Output voltage offset QST to QUC	$\Delta V_{QST,QUC}$	-180	-135	-90	mV	when QST and QUC are active with DISOFFSET set to 0_B; 0 mA ≤ I_{QST} ≤ 10 mA	P_9.1.4
Output voltage QST headroom to undervoltage monitoring threshold	V_{QST} - $V_{RT,QST,low}$	60	–	–	mV	when QST and QUC are active with DISOFFSET set to 0_B; 0 mA ≤ I_{QST} ≤ 10 mA	P_9.1.15
Output current limitation	$I_{QST,max}$	25	–	40	mA	–	P_9.1.5
Drop voltage	$V_{dr,QST}$	–	–	400	mV	1) Limited to $V_{PD,lo}$ at pin VST	P_9.1.6
Load regulation	$\Delta V_{QST,load}$	–	25	40	mV	I_{QST} = 100 µA to 10 mA	P_9.1.7
Line regulation	$\Delta V_{QST,line}$	–	0.1	0.5	mV/V	10 V ≤ V_{VST} ≤ 40 V	P_9.1.8
Power supply ripple rejection	$PSRR_{QST}$	40	–	–	dB	2) f_{ripple} = 100 kHz $ESR_{C,QST}$ ≤ 100 mΩ	P_9.1.9
Output capacitor	C_{QST}	0.47	–	10	µF	2)	P_9.1.10
Output capacitor, *ESR*	$ESR_{C,QST}$	0	–	200	mΩ	2) 3)	P_9.1.11
Softstart time	$t_{SS,QST}$	130	200	700	µs	2) C_{QST} ≤ 3 µF; I_{QST} ≤ 8 mA; V_{QST} rising from 10 % to 90 % of $V_{QST,nominal}$	P_9.1.12
Active discharge pull-down current when disabled	$I_{QST,pd}$	8	30	65	mA	2) 1.8 V ≤ V_{QST} ≤ 6 V	P_9.1.13

1) 电压差定义为输入电压与输出电压之差，其中输出电压相对于在 V_{VST} = V_{QST}[Max] + $V_{dr,QST}$[Max] + 100 mV 条件下测得的输出电压下降 100 mV 时的差值。

2) 由设计指定，无需进行生产测试。

3) 在电容的自谐振频率下的相关的 ESR。

8.2 内部电源

器件包括内部电压源和偏置电流，用于支持所有稳压器、监测功能以及逻辑功能的运行。为确保器件所提供的各功能模块正常工作，这些内部电源会被内部监测。器件会按照 状态机、监测功能、中断生成以及安全状态控制功能章节中的描述，对内部故障状态作出响应。内部稳压器不需要外部元件（例如电容）。这些内部电压在任何引脚上都不可见。

9 唤醒定时器

9.1 唤醒定时器说明

唤醒定时器是唤醒器件的功能。

唤醒定时器数值可由 *SPI* 在 INIT、NORMAL 和 WAKE 状态下进行设置。该值存储在 24 位宽的唤醒定时器寄存器中（WKTIMCFG0、WKTIMCFG1、WKTIMCFG2）。唤醒定时器采用 24 位计数器实现，由 100 kHz 或 100Hz 时钟（时间基准）驱动。时基可通过 SPI（WKTIMCYC）进行选择。当选定 100 kHz 时基，定时器分辨率为 10 µs，可通过 SPI 配置 10 µs 至 168 s 的唤醒时间。[2] 当选定 100Hz 时基，定时器分辨率为 10 ms，可通过 SPI 配置 10 ms 至 1.9 天的唤醒时间。 还可以通过SPI(WKTIMPRESC) 激活额外的 100 倍预分频器，以进一步增加时间基准，从而将唤醒时间增加到 190 天。

进入 STANDBY 或 SLEEP 状态时，计数器会装载唤醒定时器寄存器中的数值并开始递减计数。发生下溢时，定时器将器件从 SLEEP 或 STANDBY 状态唤醒，并通过 WKSF.WKTIM 报告该事件。当离开 SLEEP 状态时，如果 WKSF.WKTIM='1'，则唤醒定时器寄存器（WKTIMCFG0、WKTIMCFG1、WKTIMCFG2）会被复位为“0”。

如果发生独立于唤醒定时器的唤醒触发事件，则唤醒定时器将停止，并且可以通过SPI 从唤醒定时器寄存器（WKTIMCFG0、WKTIMCFG1、WKTIMCFG2）读取剩余的定时器数值，以评估剩余的理论时间，并据此计算已过去的相应时间。此读取功能仅适用于通过 WKTIMEN 启用唤醒定时器的情况。

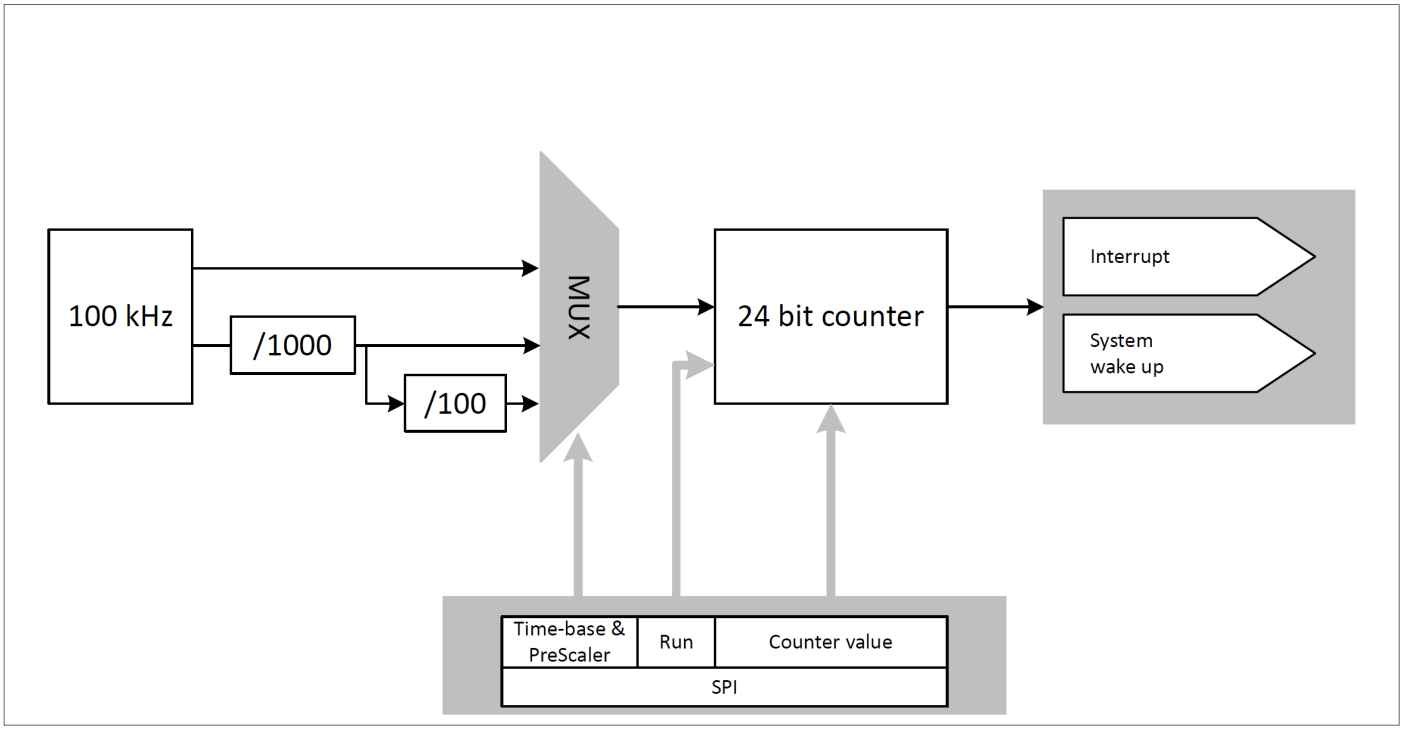


图 23 唤醒定时器原理

[2] 进入 SLEEP 或 STANDBY 状态后，还需考虑唤醒定时器启动时最多 50 µs 的额外激活延迟时间。

9.2 唤醒定时器电气特性

表 17 唤醒定时器电气特性

V_{VS} = 6 V 至 40 V；T_j = -40°C 至 150°C，所有电压均以地为参考，正向电流表示流入该引脚（除非另有说明）

Parameter	Symbol	Values			Unit	Note or condition	Number
		Min.	Typ.	Max.			
Wake-up timer							
Time base, resolution	$t_{WakeUpTimer}$	9.4	10	10.65	µs	1) WKTIMCYC = 0_B and WKTIM PRESC = 0_B	P_10.2.1
Time base, resolution	$t_{WakeUpTimer}$	9.4	10	10.65	ms	WKTIMCYC = 1_B and WKTIM PRESC = 0_B	P_10.2.2
Time base, resolution	$t_{WakeUpTimer}$	0.94	1	1.065	s	WKTIMCYC = 1_B and WKTIM PRESC = 1_B	P_10.2.3

1) 进入 SLEEP 或 STANDBY 状态后，还需考虑唤醒定时器启动时最多 50 µs 的额外激活延迟时间。

10 状态机

10.1 状态机介绍

状态机描述了器件可能进入的不同工作状态。下图展示了状态机的流程图，详细信息请参阅后续页面。

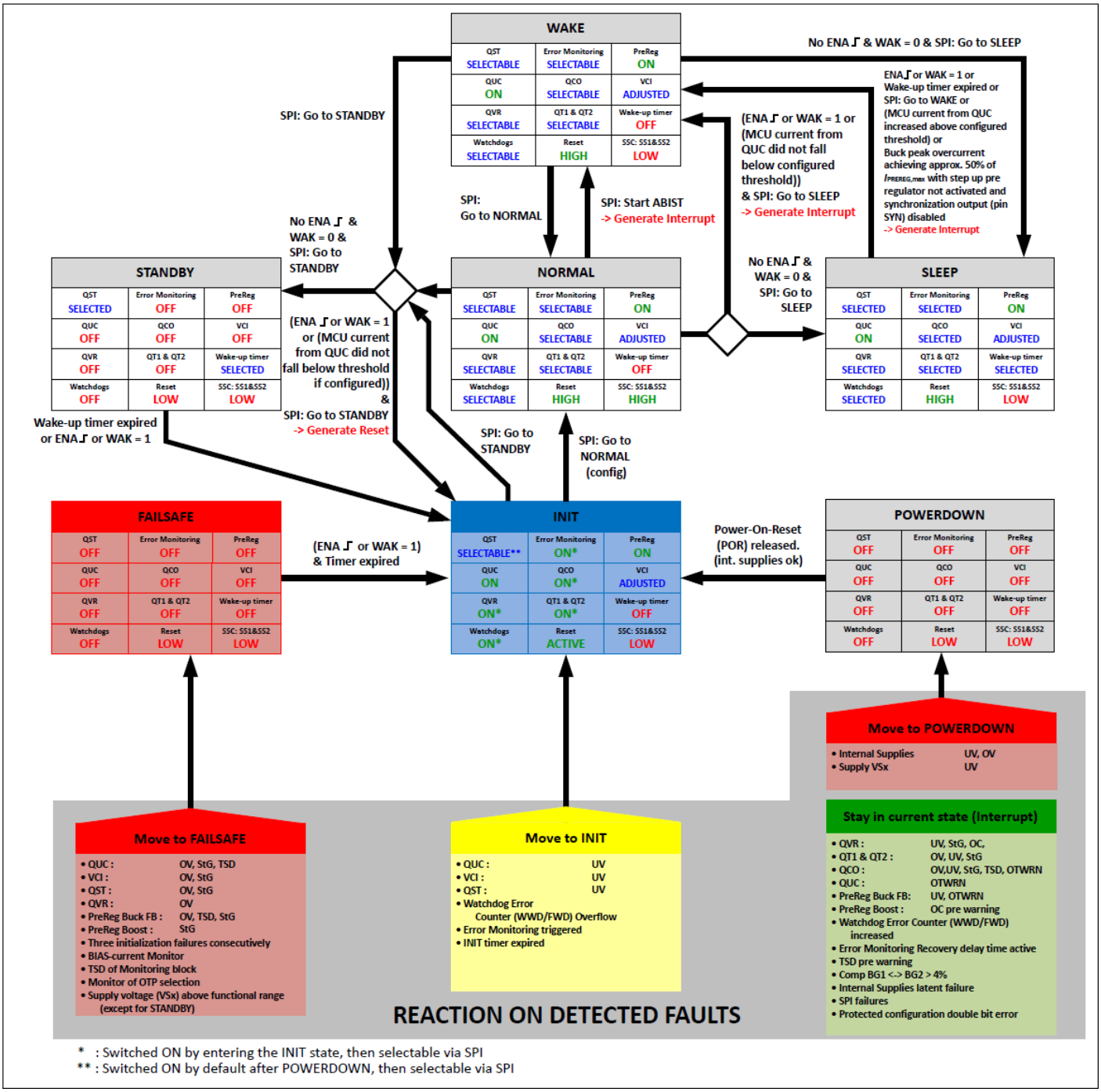


图 24 流程图状态机

描述

- ON /OFF：= 开启或关闭，不可通过 *SPI* 指令进行配置
- ON*：= 通过进入 INIT 状态时开启，然后可通过 SPI 进行选择

- SELECTED：= 可在先前状态下的 SPI 指令进行配置（开启或关闭），或者在 SLEEP 状态的供电配置情况下，通过状态转换请求 (DEVCTRL) 进行选择。
- SELECTABLE：可通过 SPI 指令在该状态下开启或者关闭
- SELECTABLE**：= 在 POWERDOWN 后默认开启，然后可通过 SPI 进行选择配置
- ADJUSTED：= 由配置引脚定义存在或不存在，不可通过SPI 指令进行配置
- ACTIVE：= 如 INIT 状态中所述
- SSC、SS1 和 SS2：= 安全状态控制输出信号 1 和 2
- LOW：= 信号为低电平
- HIGH：= 信号为高电平
- OV：= 过压
- UV：= 欠压
- StG：= 接地短路
- TSD：= 热关断
- OC：= 过流
- ABIST：= 内置模拟自检
- BG1 与 BG2 比较器 > 4%： 带隙基准1（bandgap 1）与带隙基准2（bandgap 2）之间的差值超过 4%

10.2 状态描述

10.2.1 POWERDOWN 状态

POR 只要未被释放，器件就处于POWERDOWN 状态。

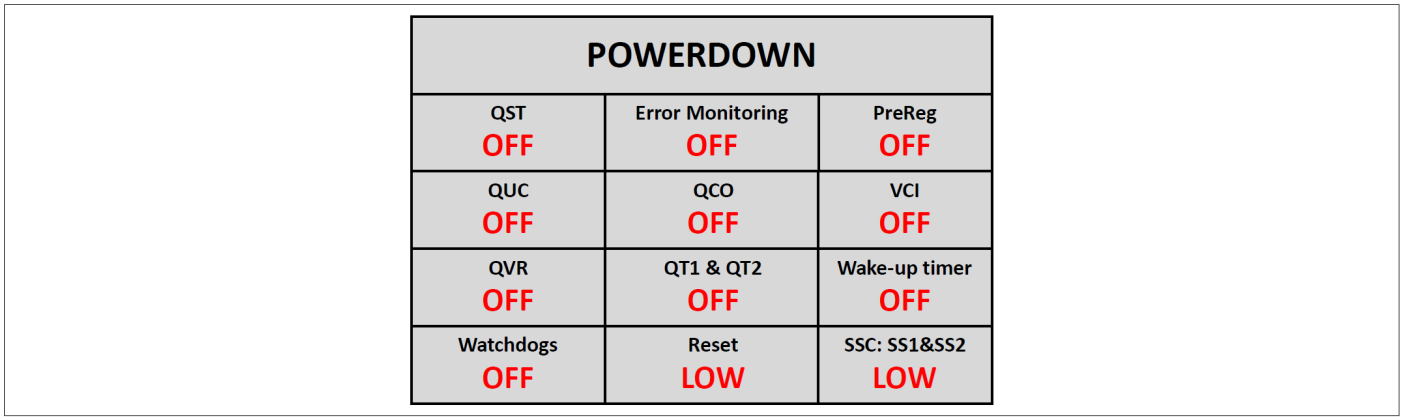


图 25 POWERDOWN 状态

表 18 POWERDOWN 状态设置

Part/Function	Value	Description
QST	OFF	• The standby supply QST is off
PreReg	OFF	• The pre regulators are off
QUC	OFF	• The microcontroller main supply QUC is off
QCO	OFF	• The communication supply QCO is off
VCI	OFF	• The function external output voltage monitoring VCI is off
QVR	OFF	• The voltage reference supply QVR is off
QT1 and QT2	OFF	• Both trackers QT1 and QT2 are off
Wake-up timer	OFF	• The wake-up timer is off
Watchdogs	OFF	• The watchdogs are off
Error monitoring	OFF	• The Error monitoring is off
Reset	LOW	• The reset output is low
SSC: SS1 and SS2	LOW	• Both safe state signals are "low" and the application is in safe state

10.2.2 INIT 状态

在 INIT 状态期间，设备需要在 INIT 定时器超时之前与 MCU 建立有效通信。否则将发生初始化超时。初始化定时器从 ROT 的上升沿开始计时。

一旦满足以下三个边界条件，初始化定时器将立即停止计时：

- 从 MCU 收到有效的 *SPI* 通信
- 看门狗已根据默认配置或重新配置完成一次喂狗操作。
- ERR 监测服务已正确响应（根据 $f_{ERR,valid}$ 的时序要求，至少完成 3 个有效周期）或已配置为关闭状态

或者，也可以通过激活微控制器编程支持（MPS）来停止初始化过程。详情请参阅第 10.7 章

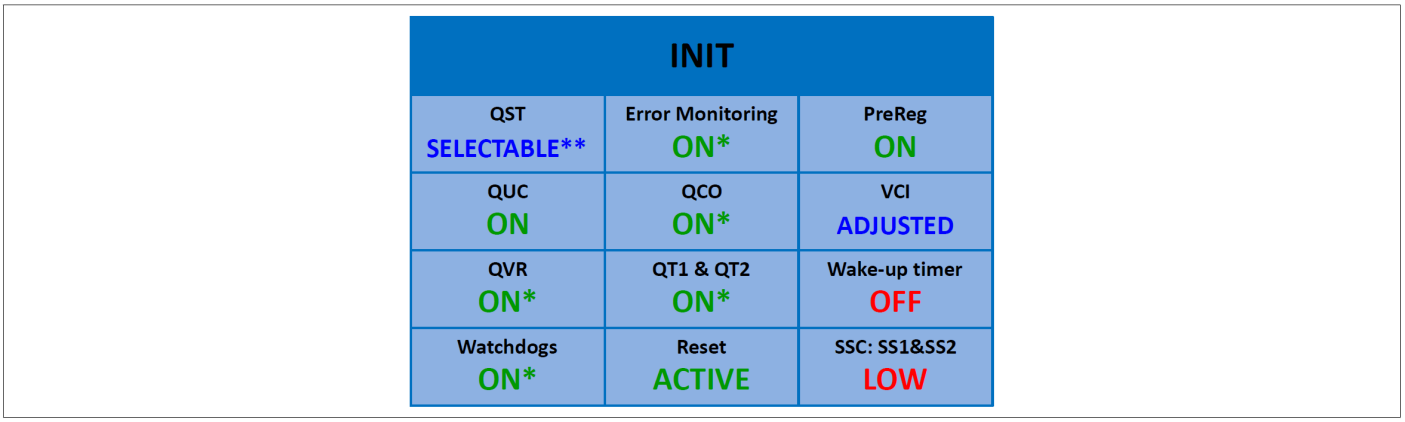


图 26 INIT 状态

表 19 INIT 状态设置

Part/Function	Value	Description
QST	SELECTABLE**	• The standby supply QST is switched on when entering from POWERDOWN-state • It can be switched on or off by SPI command. This configuration is kept through all states, except POWERDOWN-state
PreReg	ON	• The step down pre-regulator is on • Step up pre-regulator is active depending on the input voltage and this option is selected by pin STU.
QUC	ON	• The microcontroller main supply QUC is on
QCO	ON*	• The communication supply QCO is switched on per default • The QCO can be switched off and on by SPI
VCI	ADJUSTED	• The external output voltage monitoring VCI is switched ON or OFF depending on pin SEC (SEC pin considered only during power-sequencing)
QVR	ON*	• The voltage reference supply QVR is switched on per default • The QVR can be switched off and on by SPI
QT1 and QT2	ON*	• Both trackers QT1 and QT2 are switched on per default • Both trackers QT1 and QT2 can be switched off and on by SPI independently

（表格续下页……）

表 19　（续）INIT 状态设置

Part/Function	Value	Description
Wake-up timer	OFF	• The wake-up timer is off
Watchdogs	ON*	• The window watchdog is switched on per default in SPI triggered mode • The functional watchdog is switched off per default • The watchdogs can be configured and switched ON or OFF by SPI
Error monitoring	ON	• The Error monitoring is switched on per default • The Error monitoring can be configured and switched ON or OFF by SPI
Reset	ACTIVE	• The reset output goes HIGH as soon as all MCU related output voltages V_{QST}, V_{QUC} and V_{VCI} are above their undervoltage monitoring threshold, $V_{RT,xxx,low}$ delayed by the reset delay time t_{RD}.
SSC: SS1 and SS2	LOW	• Both safe state signals are "low" and the application is in safe state.

10.2.3 NORMAL 状态

在 NORMAL 状态下，器件为微控制器和应用供电。安全和监测功能（如复位模块和安全状态控制）已激活。MCU 可以通过 *SPI* 指令对该状态下设备的多个后级稳压器及唤醒定时器进行配置。

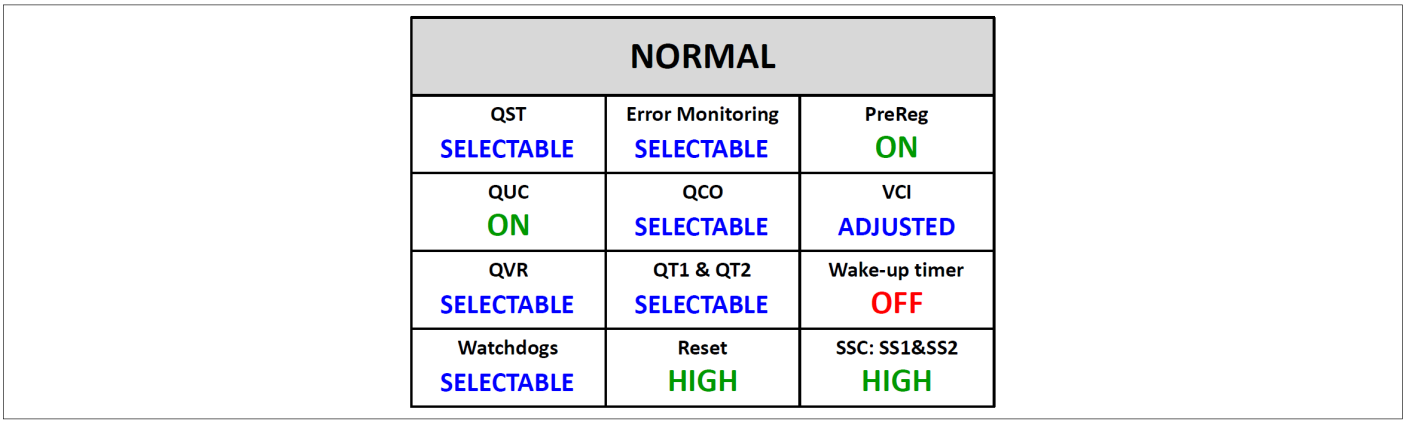


图 27 NORMAL 状态

表 20 NORMAL 状态设置

Part/Function	Value	Description
QST	SELECTABLE	• The standby supply QST can be switched on or off by SPI command.
PreReg	ON	• The step down pre-regulator is on • Step up pre-regulator is active depending on the input voltage and this option is selected by pin STU.
QUC	ON	• The microcontroller main supply QUC is on
QCO	SELECTABLE	• The communication supply QCO can be switched on or off by SPI command
VCI	ADJUSTED	• The external output voltage monitoring VCI is switched ON or OFF depending on pin SEC (SEC pin considered only during power-sequencing)
QVR	SELECTABLE	• The voltage reference supply QVR can be switched on of off by SPI command
QT1 and QT2	SELECTABLE	• Both trackers QT1 and QT2 can be switched off and on by SPI independently
Wake-up timer	OFF	• The wake-up timer is switched off
Watchdogs	SELECTABLE	• The watchdogs can be configured and switched ON or OFF by SPI
Error monitoring	SELECTABLE	• The Error monitoring can be configured and switched ON or OFF by SPI
Reset	HIGH	• The reset output is "high"
SSC: SS1 and SS2	HIGH	• Both safe state signals are HIGH

10.2.4 STANDBY 状态

STANDBY 状态是一种低功耗状态，当应用在长时间内不需要运行时，设备可通过 *SPI* 请求进入该状态，以将电流消耗降至最低。此时应用处于安全状态。

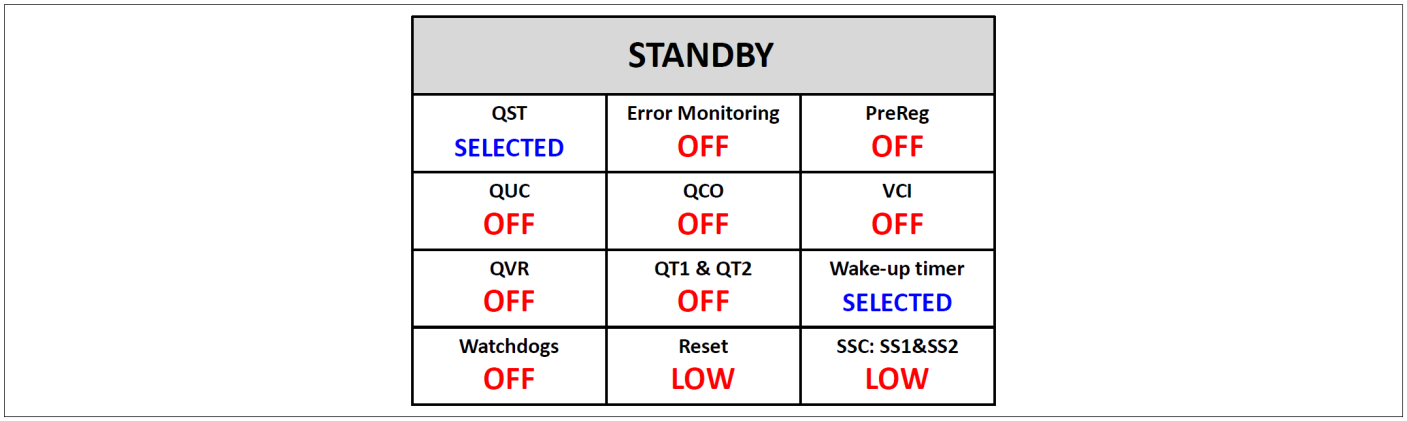


图 28 STANDBY 状态

表 21 STANDBY 状态设置

Part/Function	Value	Description
QST	SELECTED	• The standby supply QST is ON or OFF depending on its configuration
PreReg	OFF	• The pre-regulator are off
QUC	OFF	• The microcontroller main supply QUC is off
QCO	OFF	• The communication supply QCO is off
VCI	OFF	• The function external output voltage monitoring VCI is off
QVR	OFF	• The voltage reference supply QVR is off
QT1 and QT2	OFF	• Both trackers QT1 and QT2 are off
Wake-up timer	SELECTED	• The wake-up timer is ON or OFF depending on its configuration
Watchdogs	OFF	• The watchdogs are off
Error monitoring	OFF	• The Error monitoring is off
Reset	LOW	• The reset output is low
SSC: SS1 and SS2	LOW	• Safe state signals 1 and 2 are low • The application is in a safe state

10.2.5 SLEEP 状态

SLEEP 状态是一种低功耗状态，当应用不使用时（例如，微控制器处于 STOP 模式），MCU 可以进入该状态以降低电流消耗。MCU 在之前的状态下可以通过 *SPI* 指令配置稳压器状态及安全功能。 此时应用处于安全状态。

为了在 SLEEP 状态下达到最低的静态电流损耗，器件在适用的情况下以低功耗模式运行其模块。例如：SPI 在较低的时钟频率下运行，稳压器可以在轻载时进入较低的功率模式（降低带宽并禁用温度传感器），接口引脚可以进入较高的阻抗模式，并且反应时间可以相应的增加。

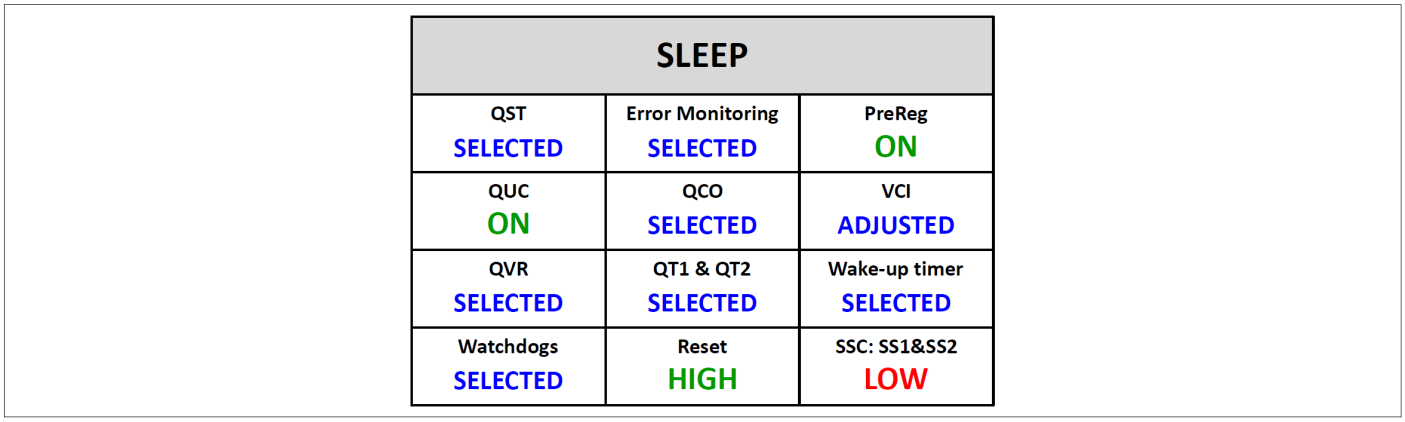


图 29 SLEEP 状态

表 22 SLEEP 状态设置

Part/Function	Value	Description
QST	SELECTED	• The standby supply QST is switched ON or OFF according to its previous configuration.
PreReg	ON	• The step down pre-regulator is on • Step up pre-regulator is active depending on the input voltage and on whether this option is selected by pin STU • In SLEEP-state the device monitors the pre-regulator peak current: if step up pre regulator is not activated and synchronization output (pin SYN) is disabled, when the PreReg peak current exceeds approximatively 50% of $I_{PREREG,max}$, an interrupt is generated and the device moves to WAKE-state
QUC	ON	• The microcontroller main supply QUC is switched on • In SLEEP-state the device monitors the output current of QUC: If the QUC current exceeds the threshold $I_{QUC,att}+\Delta I_{QUC,att,hyst}$, an interrupt is generated and the device moves to WAKE-state
QCO	SELECTED	• The communication supply QCO is switched ON or OFF depending on the configuration by the state transition request to enter SLEEP and cannot be changed in SLEEP-state.
VCI	ADJUSTED	• The external output voltage monitoring VCI is switched ON or OFF depending on pin SEC (SEC pin considered only during power-sequencing)

（表格续下页……）

表 22 （续）SLEEP 状态设置

Part/Function	Value	Description
QVR	SELECTED	• The voltage reference supply QVR is switched ON or OFF depending on the configuration by the state transition request to enter SLEEP and cannot be changed in SLEEP-state.
QT1 and QT2	SELECTED	• The trackers QT1 and QT2 are switched ON or OFF depending on the configuration by the state transition request to enter SLEEP and cannot be changed in SLEEP-state
Wake-up timer	SELECTED	• The wake-up timer is ON or OFF depending on its configuration
Watchdogs	SELECTED	• The watchdogs are ON or OFF depending on their configuration for SLEEP
Error monitoring	SELECTED	• The Error monitoring is ON or OFF depending on its configuration for SLEEP
Reset	HIGH	• The reset output is "high"
SSC: SS1 and SS2	LOW	• Both safe state signals are "low" and the application is in safe state

10.2.6 WAKE 状态

WAKE 状态是介于 NORMAL 状态和低功耗状态（SLEEP 和 STANDBY）之间的中间状态。WAKE 状态提供与 NORMAL 状态相同的功能，但它通过保持安全状态输出为“低”电平来确保应用处于安全状态。它通过根据所选配置对看门狗和错误监测进行响应（根据 $f_{ERR,vaild}$ 的时序要求，至少完成一个有效周期），使系统能够正确且安全地重新进入 NORMAL 状态做好准备。此外，它还提供将设备转入低功耗状态（SLEEP 和 STANDBY）的可能性。

如果 QUC 的输出电流超过某个阈值 $I_{QUC,att}+\Delta I_{QUC,att,hyst}$ 或（在前级升压稳压器未激活且同步输出禁用的情况下），器件从 SLEEP 或从 SLEEP 转换到 WAKE 状态，Buck 峰值过流达到 IPREREG,max（WKSF.CMON 标志位置位）的大约 50%，有效 ENA 或 WAK 信号被识别，唤醒定时器超时或发送 *SPI* 命令 “Go to WAKE”。在 NORMAL 状态下使用 ABIST 也会触发向 WAKE 状态的转换。

进入 WAKE 状态时，将产生一个中断，并且监控功能（看门狗和 ERR 监控）将根据其在 NORMAL 状态下的先前配置变为激活状态。进入 WAKE 状态时，供电配置将恢复为先前 NORMAL 状态下的配置。应用处于安全状态。

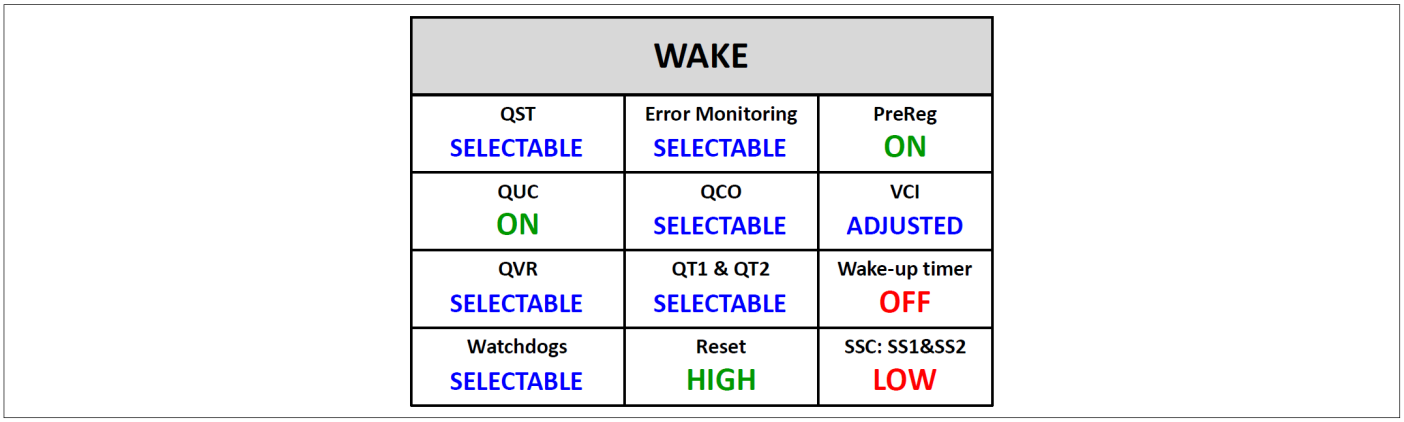


图 30 WAKE 状态

表 23 WAKE 状态设置

Part/Function	Value	Description
QST	SELECTABLE	• The standby supply QST may be switched ON or OFF by SPI command.
PreReg	ON	• The step down pre-regulator is on • Step up pre-regulator is active depending on the input voltage and this option is selected by pin STU.
QUC	ON	• The microcontroller main supply QUC is on
QCO	SELECTABLE	• The communication supply QCO is switched ON or OFF depending on its configuration in the NORMAL-state prior to SLEEP-state when entering WAKE-state • It may be switched on of off by SPI command
VCI	ADJUSTED	• The external output voltage monitoring VCI is switched ON or OFF depending on pin SEC (SEC pin considered only during power-sequencing)

（表格续下页……）

表 23 （续） WAKE 状态设置

Part/Function	Value	Description
QVR	SELECTABLE	• The voltage reference supply QVR is switched ON or OFF depending on its configuration in NORMAL-state prior to SLEEP-state when entering WAKE-state • It may be switched on of off by SPI command
QT1 and QT2	SELECTABLE	• Both trackers QT1 and QT2 is switched ON or OFF depending on their configuration in NORMAL-state prior to SLEEP-state when entering WAKE-state • It may be switched on of off by SPI command
Wake-up timer	OFF	• The wake-up timer is switched off
Watchdogs	SELECTABLE	• The watchdogs is switched ON or OFF depending on their configuration in NORMAL-State prior to SLEEP-state when entering WAKE-State • The watchdogs may be configured and switched ON or OFF by SPI
Error monitoring	SELECTABLE	• The Error monitoring is switched ON or OFF depending on the configuration in NORMAL-state prior to SLEEP-state when entering WAKE-state • The Error monitoring may be configured and switched ON or OFF by SPI
Reset	HIGH	• The reset output is "high"
SSC: SS1 and SS2	LOW	• Both safe state signals are "low" and the application is in safe state

10.2.7 FAILSAFE 状态

一旦检测到严重故障事件，设备将进入 FAILSAFE 状态。在 FAILSAFE 状态下，所有稳压器均被关闭。应用处于安全状态。

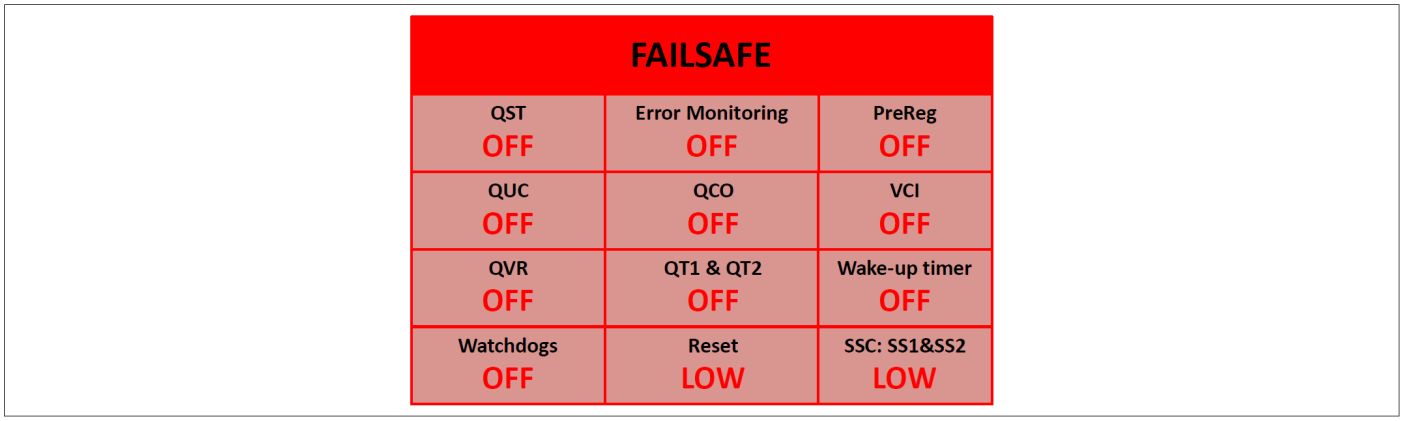


图 31 FAILSAFE 状态

表 24 FAILSAFE 状态设置

Part/Function	Value	Description
QST	OFF	• The standby supply QST is off
PreReg	OFF	• The pre regulators are off
QUC	OFF	• The microcontroller main supply QUC is off
QCO	OFF	• The communication supply QCO is off
VCI	OFF	• The function external output voltage monitoring VCI is off
QVR	OFF	• The voltage reference supply QVR is off
QT1 and QT2	OFF	• Both trackers QT1 and QT2 are off
Wakeup-Timer	OFF	• The wake-up timer is off
Watchdogs	OFF	• The watchdogs are off
Error monitoring	OFF	• The Error monitoring is off
Reset	LOW	• The reset output is low
SSC: SS1 and SS2	LOW	• Both safe state signals are "low" and the application is in safe state

10.3 状态之间的转换

通过 *SPI* 请求状态转换会在片选信号（SCS）的有效上升沿被触发执行。

10.3.1 POWERDOWN → INIT 状态

如果满足以下所有条件，则器件执行从 POWERDOWN 状态到 INIT 状态的转换（即 *POR* 释放）并开始上电时序：

- V_{VS} 高于 $V_{PS,start}$ 当上升时
- 内部电源电压无欠压或过压现象

10.3.2 INIT → NORMAL 状态

前提条件

- 看门狗必须在 INIT 定时器时间内，按照默认配置或重新配置完成一次喂狗操作。
- ERR 监测器需要通过有效信号（至少 3 个有效周期，并根据 $f_{ERR,valid}$具有适当的时序）进行维护，或者在 INIT 定时器内禁用。
- 如果功能“看门狗”被激活，则需要进行有效的*功能看门狗 (FWD)* 触发。
- 在完成相应服务后，需考虑 60 µs 的延迟时间，以确保内部验证信号的正确释放。

触发事件

- 状态转换仅由 *SPI* 指令 “Go to NORMAL” 触发。

例外情况

- 无

时序图

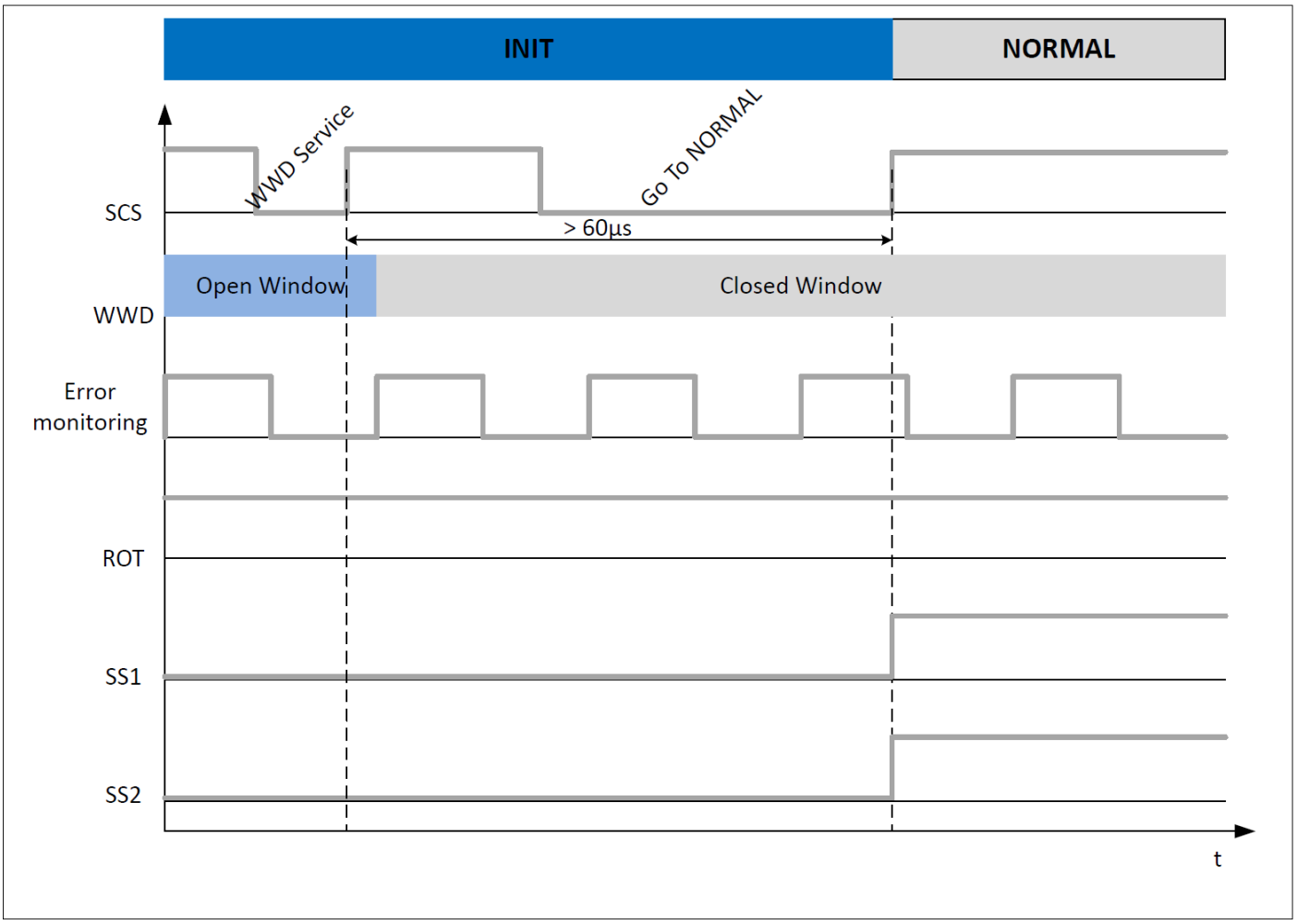


图 32 INIT 到 NORMAL 状态的转换

- 有效的 SPI 指令 “Go to NORMAL”（在引脚 SCS 处片选信号为高电平时有效）会将器件从 INIT 状态移至 NORMAL 状态。

- 复位引脚 ROT 保持"高电平"，因为后级稳压器在 INIT 状态下已处于激活状态。
- 当片选信号（引脚 SCS）上升沿为高电平时，安全状态信号 SS1 和 SS2 同时被拉高。（必须考虑安全状态输出的内部响应时间，具体参见表 28）

10.3.3 NORMAL 与 SLEEP 状态之间的转换

10.3.3.1 NORMAL → SLEEP 状态

前提条件

- 选择 QUC 电流监控或绝对转换定时器。
- 使用配置的转换延迟定时器 $t_{tr,del}$ 或默认值。
- 可选：使用已配置的 QUC 电流阈值或默认值。

触发事件

- 状态转移仅由 *SPI* 指令 “Go to SLEEP” 触发。

例外情况

- 如果在过渡到 SLEEP 状态的过程中检测到有效的 ENA（边沿触发）或 WAK（电平触发）信号，设备将进入 WAKE 状态并发送中断信号（通过 INT 引脚）。
- 如果 QUC 电流监测器被激活，并且在转换延迟定时器 $t_{tr,del}$ 到期之前，微控制器的电流消耗未降至所选 QUC 电流阈值以下，则设备将进入 WAKE 状态并发送中断信号（通过 INT 引脚）。

时序图

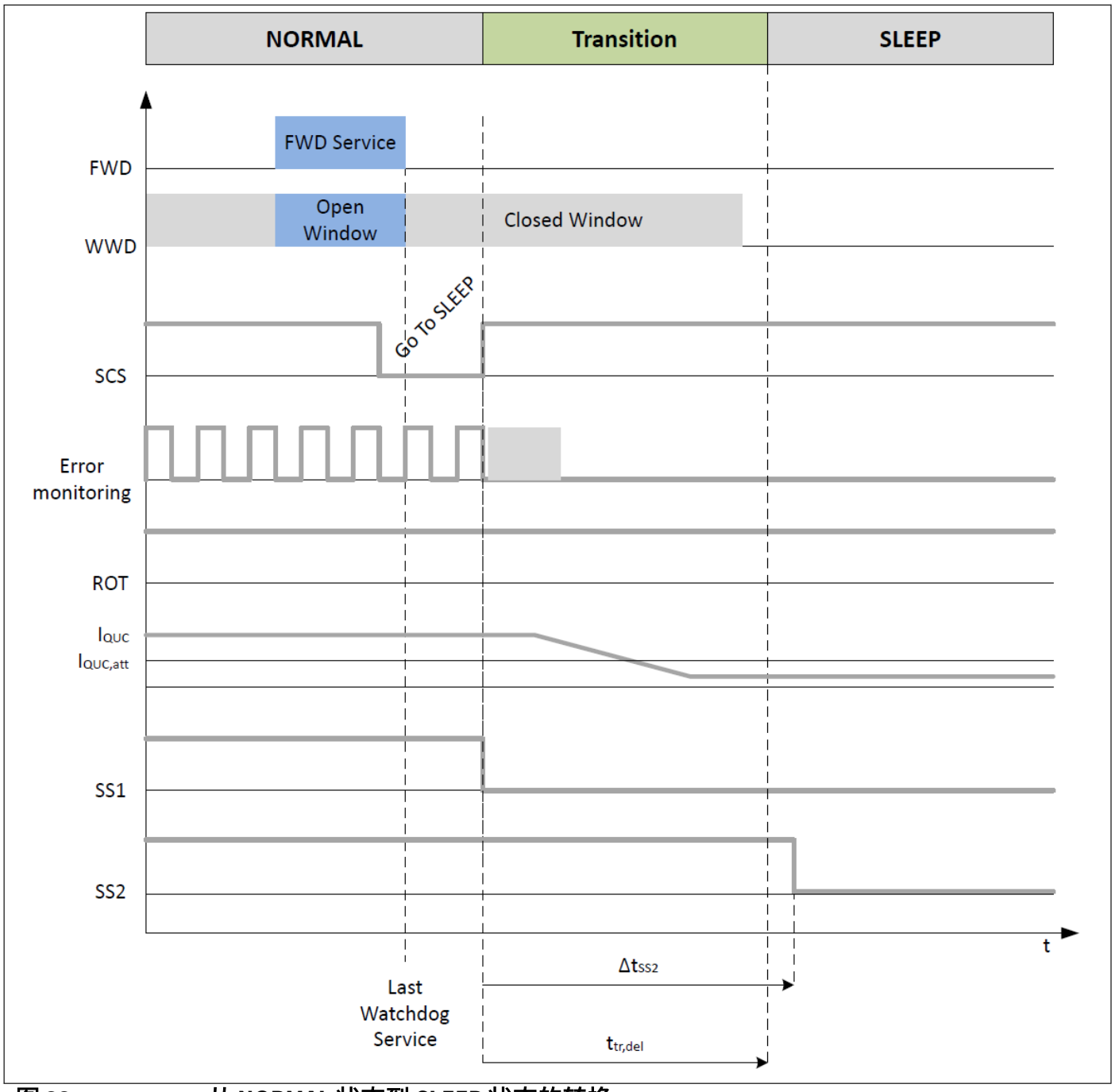


图 33　　从 NORMAL 状态到 SLEEP 状态的转换

- 在发送 SPI 指令“Go to SLEEP” 之前，如果启用看门狗，应先完成看门狗喂狗操作，以便 SCS 信号的上升沿正好位于窗口看门狗的“关窗”之间。建议这样做，以避免看门狗触发缺失与状态转换命令 "Go to SLEEP" 之间产生相互干扰。
- SPI命令“ Go to SLEEP ”发送后，片选信号（引脚SCS）的上升沿启动转换。当片选为高电平时，安全状态信号 SS1 被拉低，器件退出 NORMAL 状态并进入转换状态（转向 SLEEP 状态）。（需考虑安全状态输出的内部响应时间，具体参见表 28 ）
- 当芯片选通信号（引脚 SCS）为高电平时，错误监控（引脚 ERR）将停止；如果在 SLEEP 状态下被禁用，则可通过引脚 SCS 的上升沿停止翻转。如果希望在 SLEEP 状态下保持错误监控处于激活状态，则必须持续进行翻转。

- 窗口看门狗和功能看门狗的监控将在 SCS 引脚的上升沿处停止。如果至少有一个看门狗被配置为在 SLEEP 状态下保持激活，则必须持续进行看门狗服务响应。
- 由于后级稳压器未关闭，复位引脚 ROT 保持为“高电平”。
- 如果选择绝对转换定时器，器件将在转换延迟时间 $t_{tr,del}$ 结束之后从转换状态进入 SLEEP 状态。转换时间 $t_{tr,del}$ 可通过 SPI 指令设置为 100 µs 到 1.6 ms，默认设置为 900 µs。确保在此转换时间到期之前，MCU 电流消耗已降至 QUC 监测阈值 $I_{QUC,att}$ 以下，以确保成功转换到 SLEEP 状态。
- 如果 QUC 电流监测器启用，则 QUC 引脚输出的 MCU 电流必须在 DEVCFG0.TRDEL 中配置的最大转换时间 $t_{tr,del}$ 内低于QUC 监测阈值 $I_{QUC,att}$ 以下。一旦 MCU 电流降至所配置的 QUC 监控阈值 $I_{QUC,att}$ 以下， 转换即完成。
- 经过延迟时间 Δt_{SS2} 之后，安全状态信号 SS2 变为低电平。调整后的延迟时间 Δt_{SS2} 与转换延迟时间 $t_{tr,del}$ 相互独立。

10.3.3.2 SLEEP → WAKE 状态

前提条件

- 无

触发事件

以下任一事件将触发从 SLEEP 状态到 WAKE 状态的转换：

- *SPI* 指令 “Go to WAKE”。
- 有效 WAKE 信号（ENA 或 WAK）。
- QUC 的输出电流 I_{QUC} 超过已配置的阈值 $I_{QUC,att} + \Delta I_{QUC,att,hyst}$。
- 当前级升压稳压器未激活且同步输出（SYN 引脚）已禁用时，Buck 峰值过流达到 $I_{PREREG,max}$ 值的约 50% （WKSF.CMON 标志置位）
- 唤醒定时器超时（若启用）

例外情况

- 无

时序图

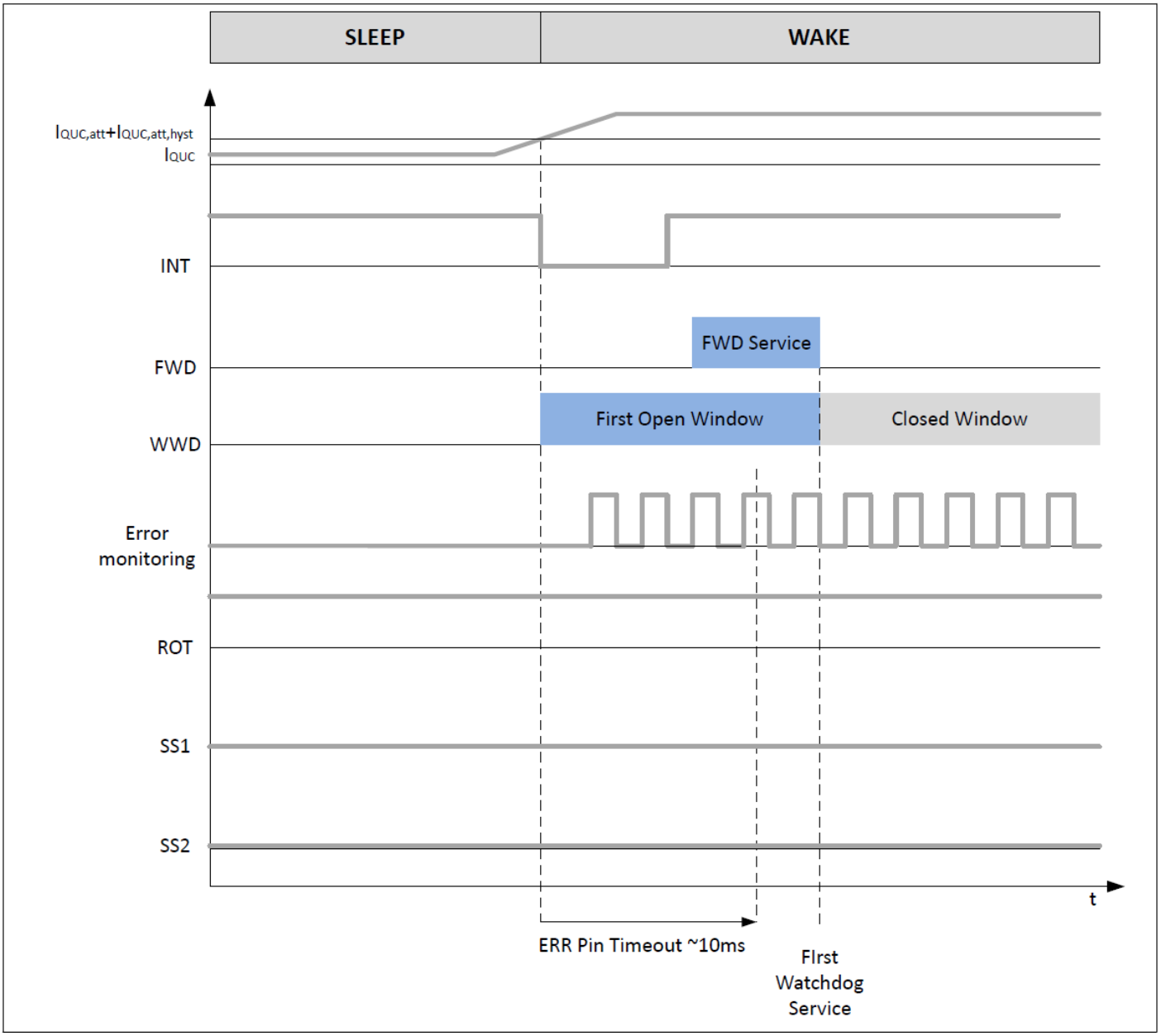


图 34　　从 SLEEP 状态到 WAKE 状态的转换

- 状态转移由引脚 INT 处的中断指示，并在 t_{tr} 之后完成。从 SLEEP 转换的触发事件可以从状态寄存器 WKSF 中读取。
- 所有三种监控功能（窗口看门狗、功能看门狗和错误监控）将恢复至进入 SLEEP 状态之前在 NORMAL 状态下的激活或非激活（关闭）状态。
- 供电配置将恢复至进入 SLEEP 状态之前在 NORMAL 状态下的激活或非激活（关闭）状态。
- 如果窗口看门狗在之前的 NORMAL 状态下处于激活状态，随着中断信号（在引脚 INT）下降沿，窗口看门狗将打开第一个开放窗口，第一个打开窗口的时间取决于配置的周期时间，为 600 ms（WDCYC = 1) 或 60 ms (WDCYC = 0)（如果窗口看门狗在 SLEEP 状态下被禁用）并且需要维修。如果窗口看门狗在 SLEEP 状态处于激活状态，则必须连续服务响应。
- 如果功能看门狗在此前的 NORMAL 状态中处于激活状态，则在中断信号（在引脚 INT 处）的下降沿时，功能看门狗将启动心跳计时器（如果功能看门狗

在 SLEEP 状态下被禁用），需要进行喂狗操作。如果功能看门狗在 SLEEP 状态下保持激活，则必须持续进行喂狗操作。

- 如果 ERR 引脚监控在之前的 NORMAL 状态下处于激活状态，则随着中断信号（INT 引脚）的下降沿，错误监控将重新变为激活状态（如果 ERR 引脚监控在 SLEEP 状态下已被禁用）。在激活后最迟 10 ms 内，ERR 引脚需要输入翻转信号（至少经过三个完整周期）。如果错误监控在 SLEEP 状态下保持激活，则必须持续输出翻转信号。
- 复位引脚 ROT 保持"高电平"，因为后级稳压器在 SLEEP 状态和 WAKE 状态下均处于激活状态。
- 安全状态信号 SS1 和 SS2 在 SLEEP 状态和 WAKE 状态下均保持为"低电平"。
- 如果在 WAKE 状态下，所有已启用的监控功能（窗口看门狗、功能看门狗和错误监控）均得到正确服务响应，则设备可根据应用需求在 WAKE 状态下保持所需的任意时长。
- 如果在 WAKE 状态下，三种监控功能（窗口看门狗、功能看门狗和错误监控）均为非激活（关闭）状态，则设备可根据应用需求在 WAKE 状态下保持所需的任意时长。

10.3.3.3 WAKE → SLEEP 状态

前提条件

- 选择 QUC 电流监控或绝对转换定时器。
- 使用配置的转换延迟定时器 $t_{tr,del}$ 或默认值。
- 可选：使用已配置的 QUC 电流阈值或默认值。

触发事件

- 状态转移仅由 *SPI* 指令 “Go to SLEEP” 触发。

例外情况

- 如果在过渡到 SLEEP 状态的过程中检测到有效的 ENA（边沿）或 WAK（电平）信号，器件将进入 WAKE 状态并发送中断（在引脚 INT）
- 如果 QUC 电流监测器被激活，并且在转换延迟 $t_{tr,del}$ 到期之前，微控制器的电流检测不低于所选的 QUC 电流阈值，则器件返回 WAKE 状态并发送中断信号（在引脚 INT 处）

时序图

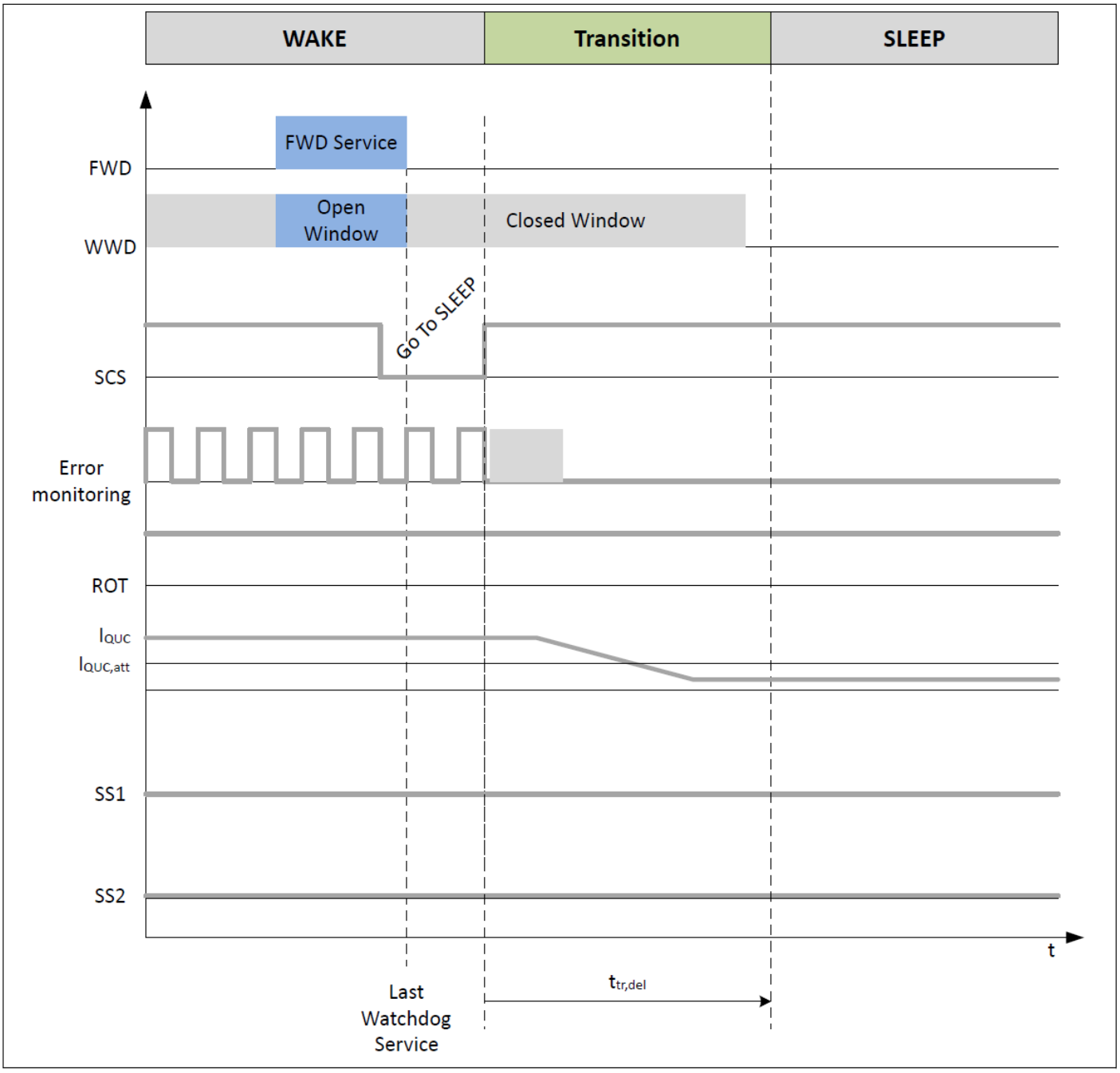


图 35　　从 WAKE 状态到 SLEEP 状态的转变

- 在发送 SPI 指令 "Go to STANDBY" 之前，如果正在使用中，则必须对看门狗进行喂狗操作，以便 SCS 信号的上升沿正好位于窗口看门狗的“关闭窗口”范围之内。此操作建议执行，以避免因看门狗未触发而与“Go to SLEEP”状态切换命令相互干扰。
- 在发送 SPI 指令“Go to SLEEP”之后，片选信号（SCS 引脚）的上升沿将启动状态转换。当片选信号为高电平时，器件退出 WAKE 状态并进入向 SLEEP 状态的转换状态。
- 当片选信号（SCS 引脚）为高电平时，若错误监控（ERR 引脚）在 SLEEP 状态下被禁用，则错误监控将停止；并且翻转信号可在 SCS 引脚的上升沿处停止。如果将错误监控配置为在 SLEEP 状态下保持激活，则必须持续进行翻转信号输出。
- 窗口看门狗和功能看门狗的监测随着引脚 SCS 的上升沿而停止。如果一个或两个看门狗被配置为在 SLEEP 状态下保持激活，则必须持续进行看门狗喂狗操作。

- 复位引脚 ROT 保持“高电平”，因为后级稳压器未被关闭。
- 如果启用 QUC 电流监测器，则 QUC 引脚输出的 MCU 电流必须在配置的最大转换延迟时间 $t_{tr,del}$ 内降至 QUC 监测阈值 $I_{QUC,att}$ 以下。转换时间取决于 MCU 电流降至 QUC 监测阈值 $I_{QUC,att}$ 以下所需的时间，一旦低于该阈值，即完成转换。
- 安全状态信号 SS1 和 SS2 始终保持为“低电平”。

10.3.4 NORMAL 与 STANDBY 状态之间的转换

10.3.4.1 NORMAL → STANDBY 状态

前提条件

- 选择 QUC 电流监控或绝对转换定时器。
- 使用配置的转换延迟定时器 $t_{tr,del}$ 或默认值。
- 可选：使用已配置的 QUC 电流阈值或默认值。

触发事件

- 状态转换仅由 *SPI* 指令 “Go to STANDBY” 触发。

例外情况

- 如果在向 STANDBY 状态的过渡状态中检测到有效的 ENA（边沿）或 WAK（电平）信号，设备将转入 INIT 状态，并产生复位（ROT）。
- 如果 QUC 电流监测器已激活，并且在转换延迟 $t_{tr,del}$ 到期之前，微控制器的电流损耗不低于所选 QUC 电流阈值 ，则器件将移至 INIT 状态并生成复位 (ROT)。

时序图

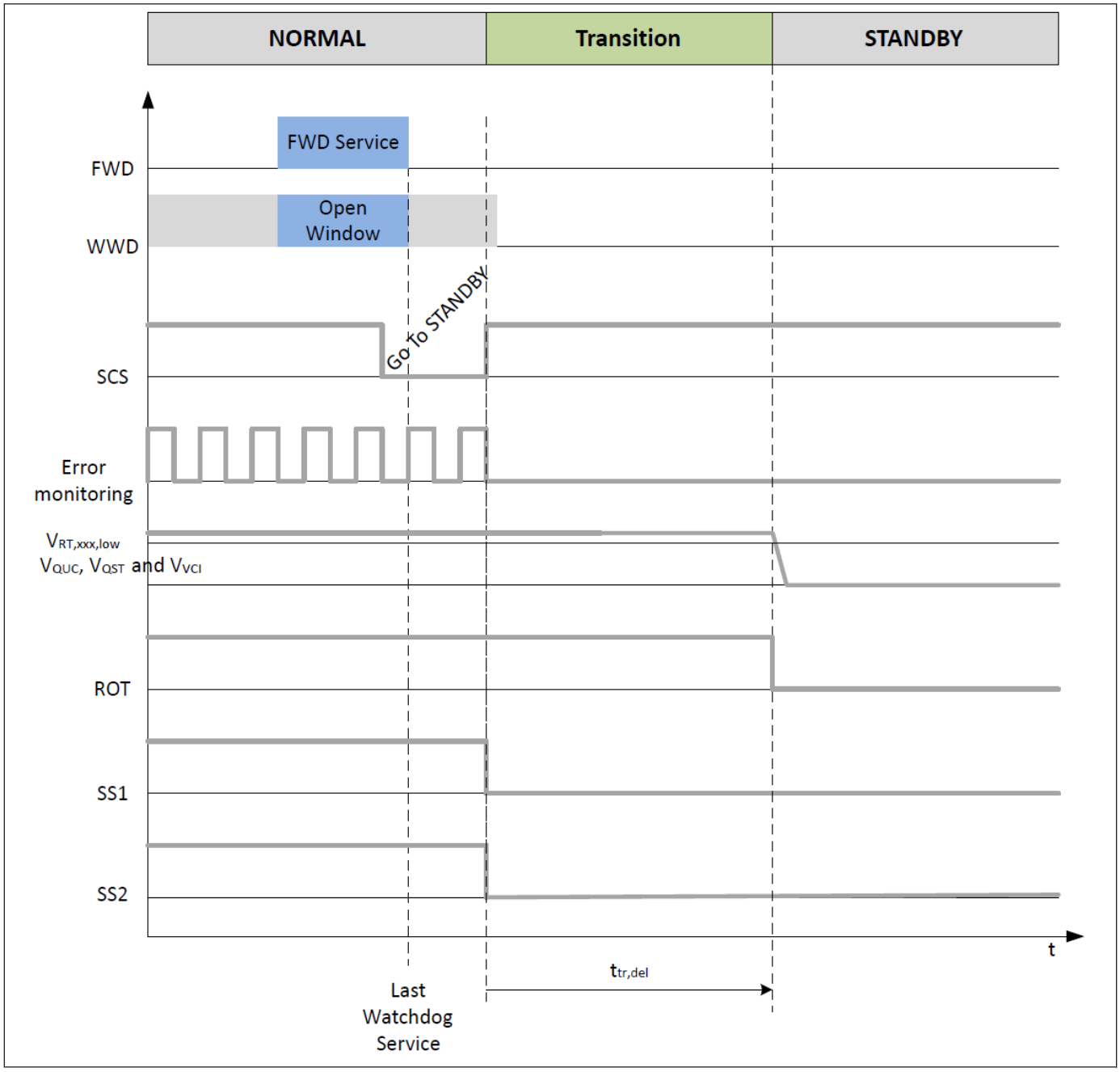


图 36　　从 NORMAL 状态到 STANDBY 状态的转换

- 在发送 SPI指令 "Go to STANDBY" 之前，如果看门狗正在使用中，应对其进行服务响应，以确保 SCS 信号的上升沿位于窗口看门狗“关闭窗口”期间的中间区域。建议这样做，以避免看门狗触发缺失与状态转换命令 “Go to STANDBY” 之间产生相互干扰。
- SPI 命令 “Go to STANDBY” 发送后，后片选（引脚SCS）的上升沿将触发状态转换。当片选信号为高电平时， 安全状态信号 SS1 和 SS2 同时被拉低（没有 Δt_{SS2} 延迟）。设备退出 NORMAL 状态并进入过渡状态（转向 STANDBY 状态）。
  （需要考虑安全状态输出的内部响应时间，具体参见表 28）。
- 当片选信号（SCS 引脚）为高电平时，若错误监控（ERR 引脚）在 SLEEP 状态下被禁用，则错误监控将停止；并且翻转信号可在 SCS 引脚的上升沿处停止。
- 窗口看门狗和功能看门狗的监测随着引脚 SCS 的上升沿而停止。

- 在从 NORMAL 到 STANDBY 的转换过程中，片选（引脚 SCS）变为“高电平”并且经过转换时间 $t_{tr,del}$ 到期后，复位信号 (ROT) 被拉至“低电平”。
- 当复位信号（ROT）被拉低后、且转换完成时，所有前级稳压器和所有后级稳压器都会被关闭（例外：待机电源在 STANDBY 状态下可为开启或关闭）。
- 如果选择绝对转换定时器，器件将在转换时间 $t_{tr,del}$ 结束后从转换状态切换到 STANDBY 状态。转换时间 $t_{tr,del}$ 可通过 SPI 指令设置，范围为 100 µs 至 1.6 ms，默认设置为 900 µs。
- 如果选择 QUC 电流检测作为过渡条件，则在转换延迟定时器 $t_{tr,del}$ 到期之前，在 QUC 处测量的电流损耗降至所选阈值以下时，器件将进入 STANDBY 状态。

10.3.4.2 STANDBY → INIT 状态

前提条件

- 无

触发事件

以下任一事件将触发从 STANDBY 状态到 INIT 状态的转换：

- 有效的 ENA（边沿）或 WAK（电平）信号。
- 唤醒定时器超时（若启用）

例外情况

- 无

时序图

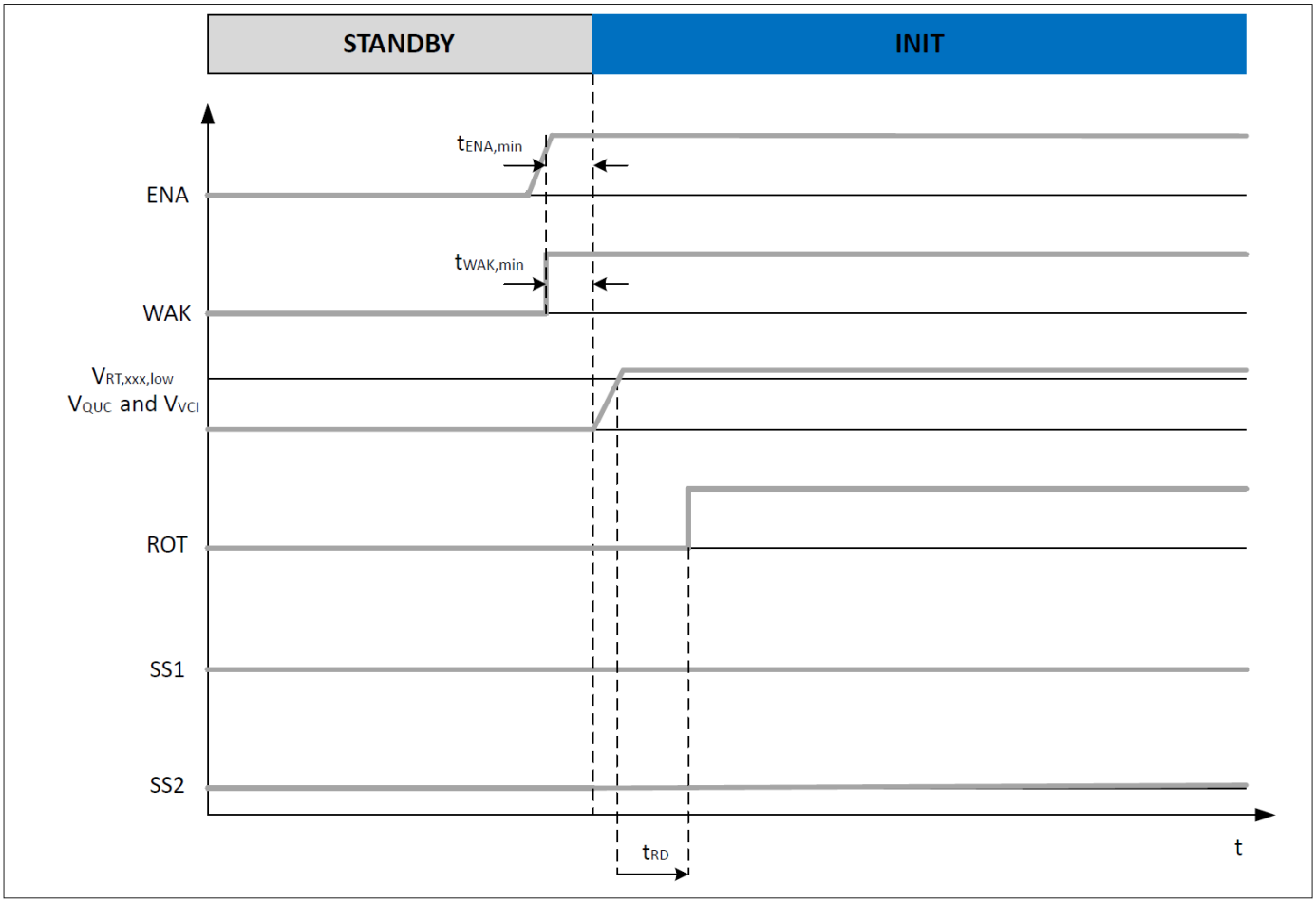


图 37 从 STANDBY 状态到 INIT 状态的转换

- 除 QST 外，所有前级稳压器和所有后级稳压器均按照上电时序依次开启；QST 则根据其配置保持为开启或关闭（上图为简化示意）。
- 当与 MCU 相关稳压器 V_{QUC} 或 V_{VCI} （如果使能）中最后一个电压超过相关欠压监测阈值 $V_{RT,xxx,low}$ 时，上电复位延迟时间开始。
- 在上电复位延迟时间到期后，复位（ROT）被置为“高电平”。
- 安全信号 SS1 和 SS2 在 STANDBY 状态和 INIT 状态下均保持为“低电平”。

10.3.4.3 INIT → NORMAL 状态

有关此状态转换，请参阅章节 10.3.2 。

10.3.5 NORMAL → WAKE 状态

有关此状态转换，请参阅章节 10.6.1 ABIST 的描述。

10.3.6 WAKE → NORMAL 状态

前提条件

- 如果已启用的监控功能（例如窗口看门狗、功能性看门狗、ERR 引脚监测）在 WAKE 状态下重新启动/重新初始化，则这些监控功能需要在激活 WAKE 状态下至少进行一次服务响应（根据 $f_{ERR,valid}$ 的时序要求，至少 1 个有效周期）。

触发事件

- 状态转换仅由 *SPI* 指令“Go to NORMAL” 触发。

例外情况

- 无

时序图

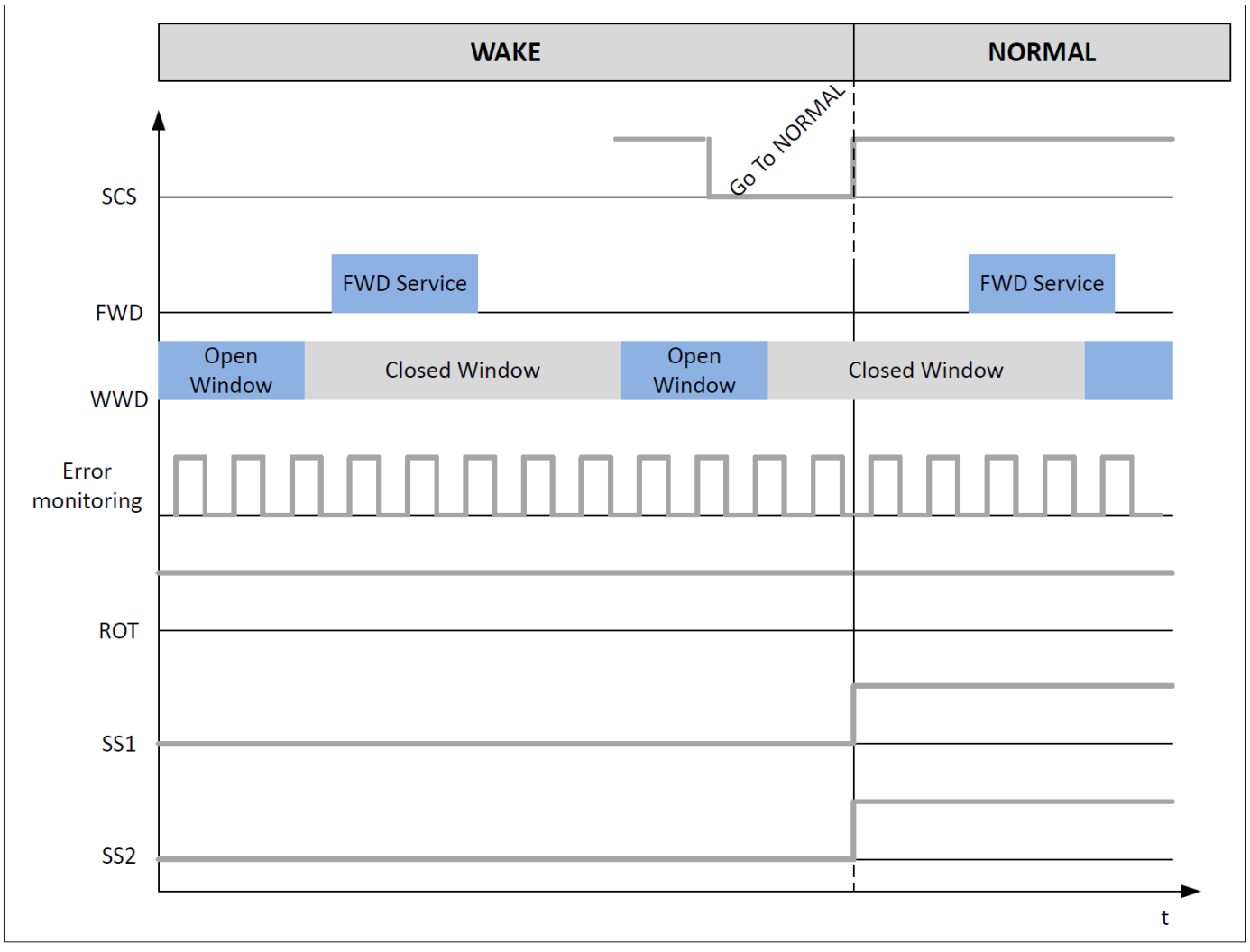


图 38 从 WAKE 状态到 NORMAL 状态的转换

- 窗口看门狗（若在 WAKE 状态下处于激活状态）需要持续进行服务响应，且不与从 WAKE 状态到 NORMAL 状态的转换同步。
- 功能看门狗（若在 WAKE 状态下处于激活状态）需要持续进行服务响应，且不与从 WAKE 状态到 NORMAL 状态的转换同步。
- 引脚 ERR 的错误监测（如果在 WAKE 状态下激活）需要一个连续的翻转信号，与从 WAKE 状态到 NORMAL 状态的转换不同步，但至少需要 2 个符合时序要求的有效边沿，即至少为 1 个符合$f_{ERR,valid}$时序要求的有效周期，才能使器件进入 NORMAL 状态。
- 复位引脚 ROT 保持"高电平"，因为后级稳压器在 WAKE 状态和 NORMAL 状态下均处于激活状态。
- 当片选信号（引脚 SCS）上升沿为高电平时，安全状态信号 SS1 和 SS2 同时被拉高。（必须考虑安全状态输出的内部响应时间，参见表 28）

10.3.7 INIT/WAKE → STANDBY 状态

前提条件

- 选择 QUC 电流监控或绝对转换定时器。
- 使用配置的过渡延迟计时器 $t_{tr,del}$ 或默认值。
- 可选：配置的 QUC 电流阈值或使用默认值。

触发事件

- 状态转换仅由 *SPI* 指令 “Go to STANDBY” 触发

例外情况

- 如果在向 STANDBY 状态的转换过程中检测到有效的 ENA（边沿）或 WAK（电平）信号，器件将进入 INIT 状态，并生成一次复位（ROT）。
- 如果 QUC 电流监控已激活，且在转换定时器到期之前微控制器的电流消耗未降至所选电流阈值以下，则设备将转入 INIT 状态，并产生复位（ROT）事件。

时序图

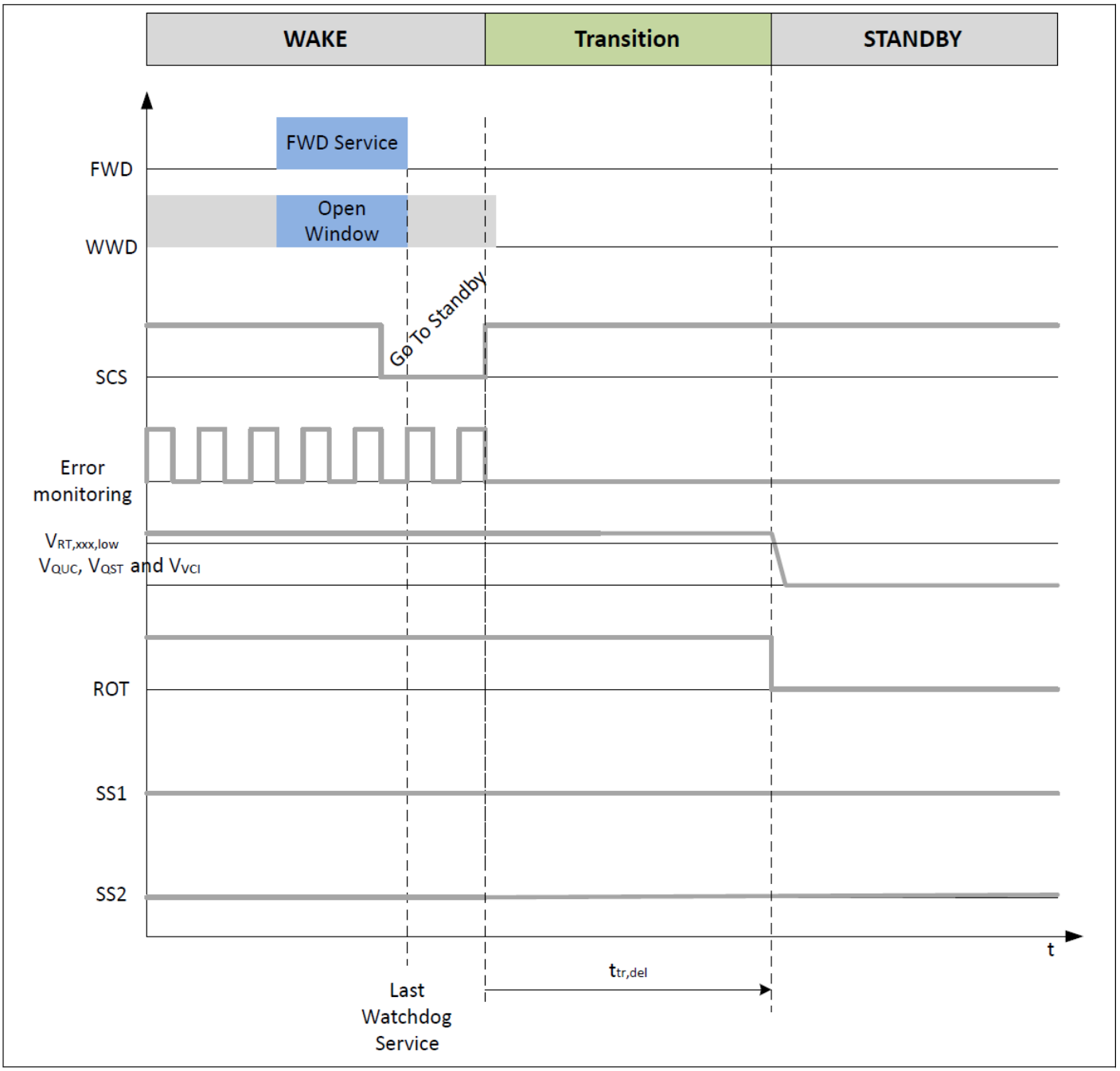


图 39　　从 INIT 状态或 WAKE 到 STANDBY 状态的转换

- 在发送 SPI 指令 "Go to STANDBY" 之前，如果看门狗正在使用中，则必须对看门狗进行喂狗操作，以便 SCS 信号的上升沿正好位于窗口看门狗的“关闭窗口”范围之内。此操作建议执行，以避免因看门狗未触发而与“Go to STANDBY”状态切换命令产生相互干扰。
- 片选（引脚SCS）的上升沿在执行 SPI 指令 “Go to STANDBY ” 之后触发状态转换。在 INIT 或 WAKE 状态下，安全状态信号 SS1 和 SS2 为"低电平"，并在向 STANDBY 状态转换期间保持低电平。设备离开 INIT 或 WAKE 状态并进入过渡状态（转向 STANDBY 状态）。
- 当片选信号（SCS 引脚）为高电平时，错误监控（ERR 引脚）将被停止，其翻转信号可能会在 SCS 引脚的上升沿结束。
- 窗口看门狗和功能看门狗的监测随着引脚 SCS 的上升沿而停止。

- 在从 INIT 或 WAKE 到 STANDBY 状态的转换过程中，片选（引脚 SCS）变为“高电平”并且经过转换时间 $t_{tr,del}$ 后，复位信号 (ROT) 被拉至“低电平”。
- 当复位信号（ROT）被拉低后、且转换完成时，所有前级稳压器和所有后级稳压器均被关闭（例外：待机电源在 STANDBY 状态下可为开启或关闭）。
- 如果选择绝对转换定时器，器件将在转换时间 $t_{tr,del}$ 后从转换状态切换到 STANDBY 状态。转换时间 $t_{tr,del}$ 可通过 SPI 指令设置，范围为 100 µs 至 1.6 ms，默认设置为 900 µs。
- 如果该转换选择了 QUC 电流监控，则在转换延迟定时器 $t_{tr,del}$ 到期之前，在 QUC 处测量的电流损耗降至所选阈值以下时，器件将从转换状态移至 STANDBY 状态。

10.3.8 FAILSAFE → INIT 状态

前提条件

- FAILSAFE 定时器已超时。
- $V_{VS} > V_{PS,start}$

触发事件

以下任一事件将触发从 FAILSAFE 状态到 INIT 状态的转换：

- 在满足前提条件后，自动触发状态转换。
- 有效的 ENA（边沿）或 WAK（电平）信号（仅在适用例外情况时需要）。

例外情况

- 如果设备因相同故障连续三次进入 FAILSAFE 状态，则自触发转换将被阻止。

时序图

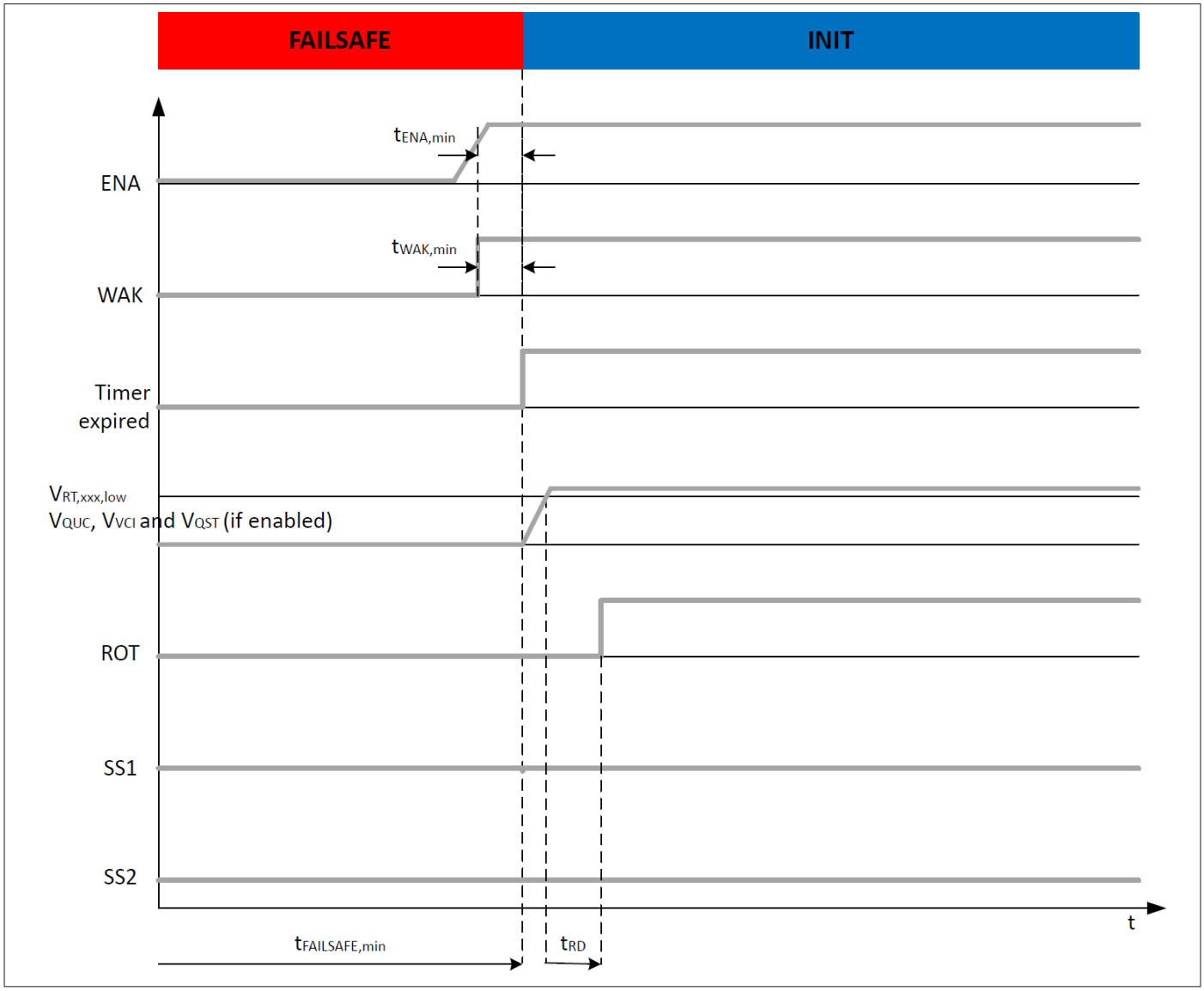


图 40 FAILSAFE 到 INIT 状态的转换

- 器件从 FAILSAFE 状态到 INIT 状态的转换最早发生在最小 FAILSAFE 时间 $t_{FAILSAFE,min}$ 之后，除热关断外，所有故障的最小故障安全时间均为 20 ms。在热关断的情况下，最小 FAILSAFE 时间 $t_{FAILSAFE,min}$ 为 1 s。在最小 FAILSAFE 时间 $t_{FAILSAFE,min}$ 到期之前，不可能发生状态转换。
- 进入 INIT 状态后，各电压稳压器将按照上电时序依次上电。
- 上电复位延迟时间在与 MCU 相关稳压器 V_{QUC}、V_{VCI} 或 V_{QST}（根据之前的配置）中最后一个电压在上升过程中超过其对应的欠压监测阈值 $V_{RT,xxx,low}$ 时开始计时。
- 上电复位延迟时间到期后，复位信号（ROT）被置为"高电平"。
- 需要对器件进行配置和初始化。进入 FAILSAFE 状态之前在配置寄存器中完成的所有设置都将恢复为默认值，但 QST（RSYSPCFG0）和复位延迟时间（DEVCFG1) 的配置除外。
- 安全状态信号 SS1 和 SS2 在 FAILSAFE 状态下为"低电平"，在 INIT 状态下也为"低电平"

10.4 检测到故障时的响应方式

根据严重程度，错误可分为以下几类：

- 保持当前状态 - 影响外围设备但不对微控制器构成直接风险的故障，通过中断信号进行指示，允许微控制器在不改变状态的情况下对故障进行分析。
- 转入 INIT 状态 - 中等严重程度的错误，使设备返回 INIT 状态并为微控制器产生复位信号。
- 转入 FAILSAFE - 具有损坏微控制器高风险的严重错误。
- 转入 POWERDOWN 状态 - 具有损坏设备本身及微控制器高风险的最严重错误

错误等级按照其严重程度进行优先级覆盖，例如：转入 POWERDOWN 状态的优先级高于转入 FAILSAFE 状态，转入 FAILSAFE 状态的优先级高于转入 INIT 状态。

本文档中，将导致转入 INIT、FAILSAFE 和 POWERDOWN 状态的错误称为“错误触发的状态转换”。

10.4.1 留在当前状态（中断事件）

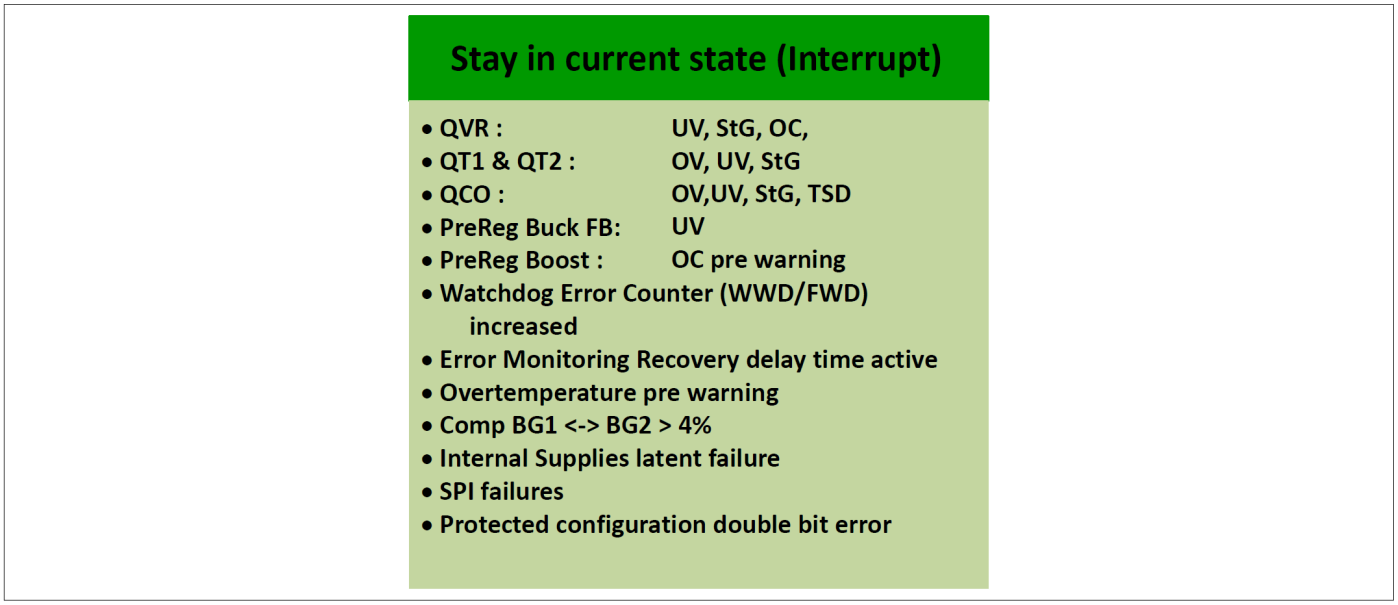


图 41 留在当前状态（中断事件）

以下任一故障不会触发状态转换，但会通过中断事件指示该故障：

- 检测到电压基准的欠压、对地短路或过载（如已使用）
- 检测到跟踪器 1 或跟踪器 2 的过压、欠压或对地短路（如已使用）
- 检测到 QCO 的过压、欠压、对地短路或热关断（如已使用）。
- 检测到前级降压稳压器的欠压（如已使用）。
- 检测到前级升压稳压器的过电流预警（如已使用）。
- 看门狗错误计数（*窗口看门狗（WWD）*或 *FWD*）导致值仍低于配置的阈值
- ERR 信号停止翻转，且错误监控恢复延迟时间正在运行（如已配置为激活状态）
- 热关断预警（前级降压稳压器和/或 QUC 和/或 QCO），如已使用（STANDBY 和 SLEEP 状态除外）
- 带隙监控：若两个带隙之间的偏差大于 4%（STANDBY 和 SLEEP 状态除外）

- 检测到内部电源潜在故障。
- 根据 SPISF 定义的 *SPI 故障*
- 受保护配置双位错误（CFGE）

由于微控制器电源被禁用，在 STANDBY 和 FAILSAFE 状态下，中断信号不会出现在 INT 引脚上。该事件存储在状态寄存器标志位上（IF、SYSSF、MONSF0、MONSF1、MONSF2、OTWRNSF、OTFAIL、CEFUMON）。

10.4.2 过渡到 INIT 状态

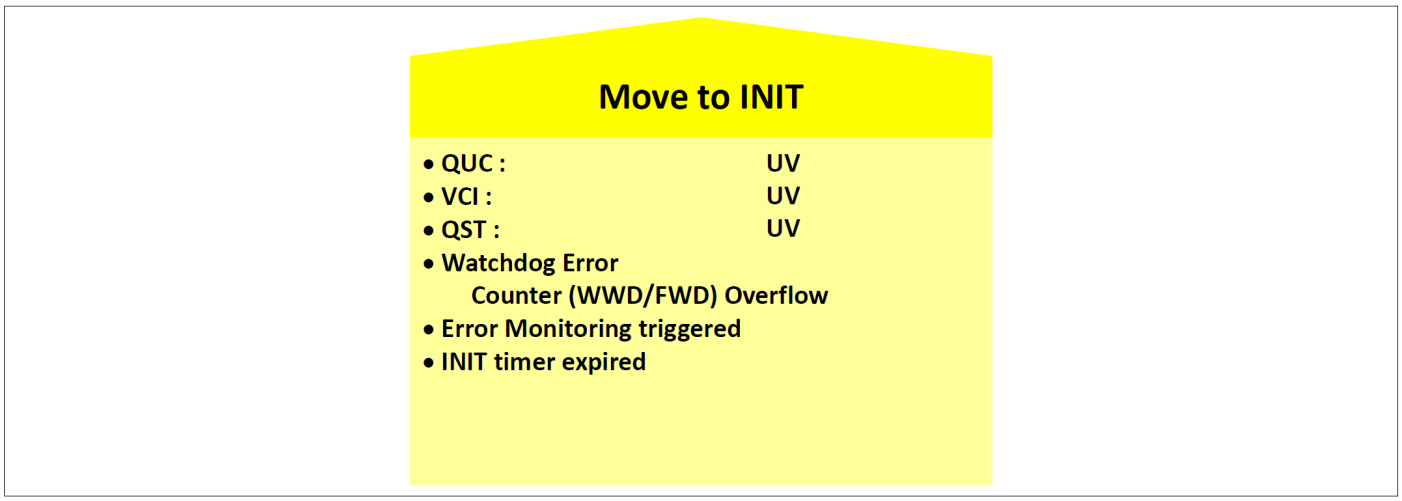


图 42 移动到 INIT

发生以下任何故障时，设备将进入 INIT 状态：

- 检测到 QUC、VCI 或 QST 处的欠压（如果使用）
- 检测看门狗错误计数器溢出（*WWD* 或 *FWD*）
- ERR 信号停止翻转（即时响应模式）或 ERR 信号超出有效范围的持续时间超过恢复延迟时间（恢复模式）
- 初始化定时器超时一次或两次（ INIT 状态配置失败）。初始化定时器可以通过章节 10.7 中描述的 MPS 功能停止。

10.4.2.1 INIT → INIT 状态（由于检测到故障）

10.4.2.1.1 INIT → INIT 状态（由于 INIT 定时器首次超时）

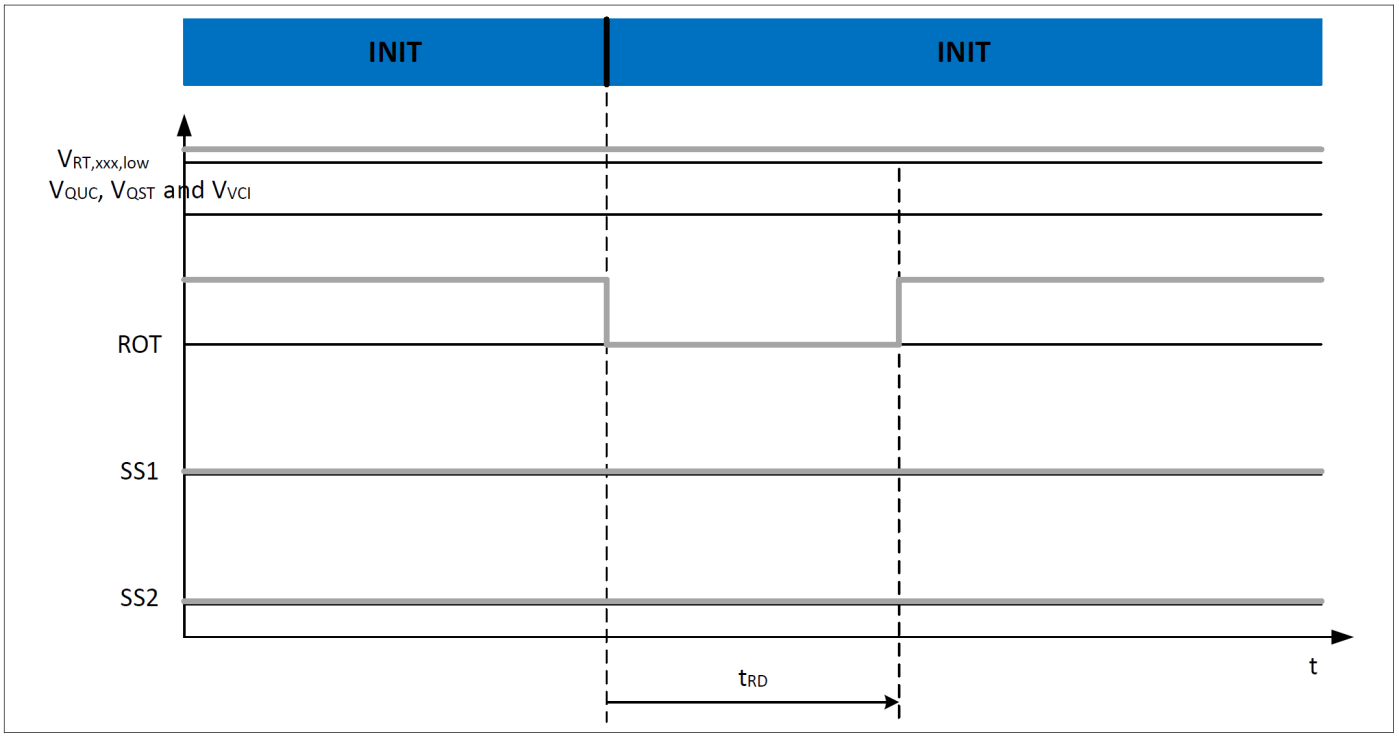


图 43 从 INIT 到 INIT 状态的转换——第一次触发

说明：

- 由于初始化定时器首次超时，从 INIT 状态返回到 INIT 状态的转换（设备保持在 INIT 状态）将发出一次"软复位"。在所有MCU相关电压均在有效范围内，ROT 引脚在复位延迟时间 t_{RD} 期间被拉低为"低电平"。进入 INIT 状态后启动上电时序：已禁用的输出重新激活，其他输出保持使能状态，但 QST 保持其原有配置（开启或关闭）。

10.4.2.1.2 INIT → INIT 状态（由于 INIT 定时器第二次超时）

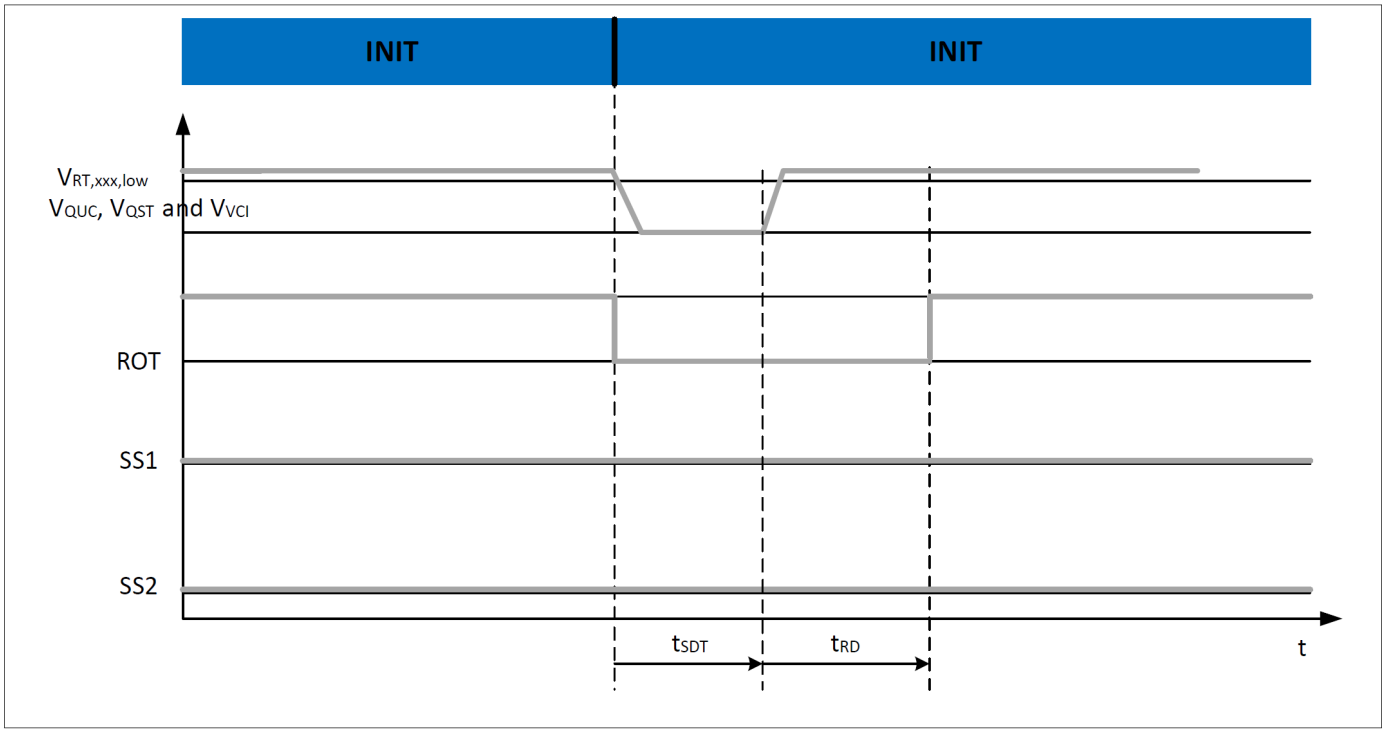


图 44 从 INIT 到 INIT 状态的转换——第二次触发

说明：

- 由于初始化定时器第二次超时，从 INIT 状态返回到 INIT 状态的转换（设备保持在 INIT 状态）将发出一次"硬复位"，ROT 引脚被拉低为"低电平"，并且所有输出在时间 t_{SDT} 内被禁用，然后按照上电时序重新启动（请参阅章节 7.3），但 QST 恢复其原有配置（开启或关闭）。
- ROT 引脚按照上电时序在复位延迟时间 t_{rd} 结束后释放。

注释： *请同时参考从 INIT 到 FAILSAFE 的状态转换部分*

10.4.2.2 NORMAL → INIT 状态（由于检测到故障）

时序图

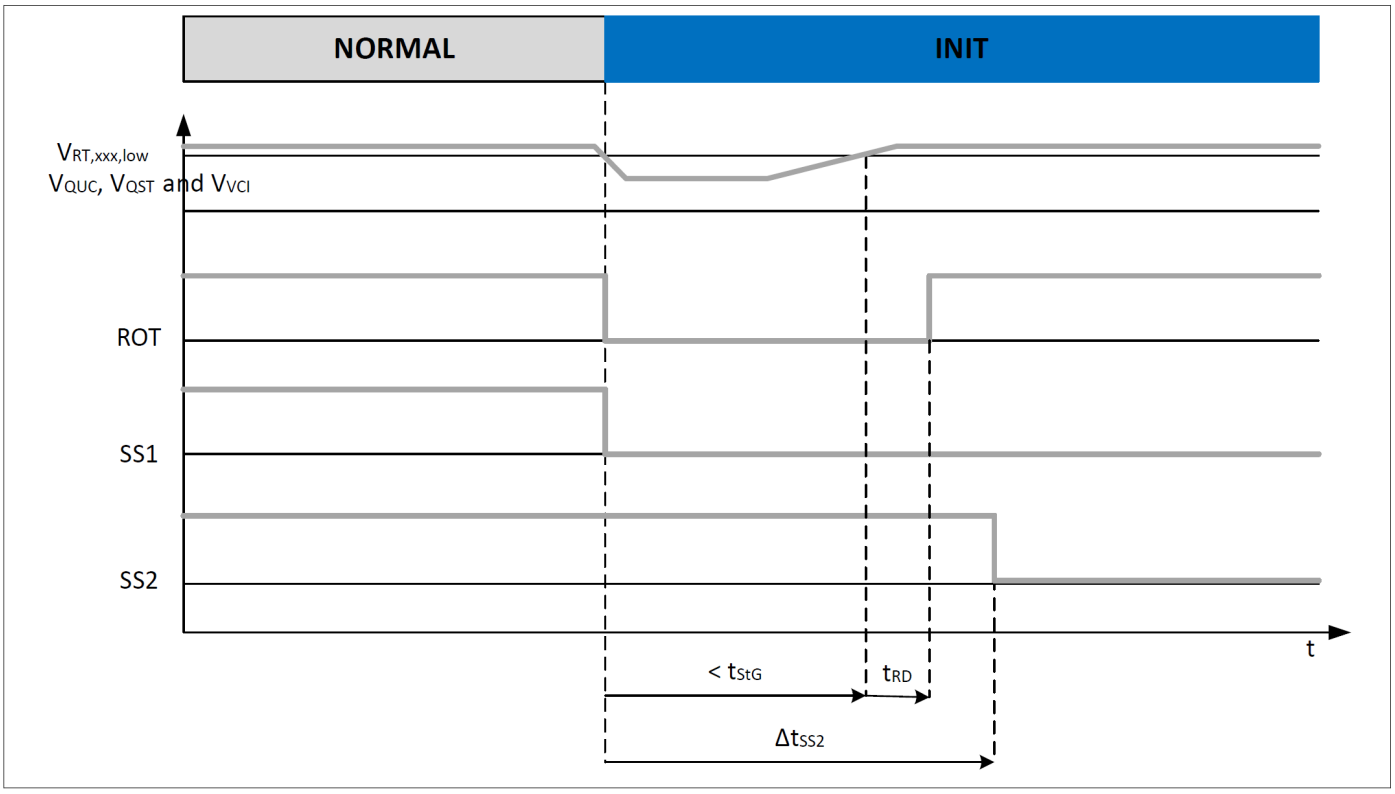


图 45 从 NORMAL 状态到 INIT 状态的转换

说明：

- 设备从 NORMAL 状态转换至 INIT 状态，发出一次"软复位"，ROT 引脚被拉低为"低电平"，所有输出保持使能状态，但 QST 保持其原有配置（开启或关闭）。在 NORMAL 状态下被禁用的输出将重新开启。
- 如图所示，MCU 相关电压 V_{QUC}、V_{QST} 或 V_{VCI} 的欠压可触发状态转换。欠压时间短于对地短路检测时间 t_{StG}。一旦所有 MCU 相关电压V_{QUC}、V_{QST} 或 V_{VCI} 恢复到有效范围，复位延迟时间 t_{RD} 开始计时。ROT 引脚相应地释放。欠压持续时间超过短时检测时间 t_{StG}，将首先导致从 NORMAL 状态转换到 INIT 状态，然后在短时检测时间 t_{StG} 到期后，从 INIT 状态转换到 FAILSAFE 状态。
- “软复位”也可以通过以下情况触发：窗口看门狗错误计数溢出 (> ΣWWO)、功能看门狗错误计数溢出 (> ΣFWO)、错误指示（立即响应或恢复延迟时间模式），前提是这些监控功能正在使用。在这种情况下，复位延时时间 t_{RD} 从 ROT 引脚的下降沿开始计时。请参考表 25 中关于转换到 INIT 状态的时间。
- SS1 通过 ROT 立即拉低，SS2 在经过选定的 Δt_{SS2} 之后被拉低。
- 请注意，在 QUC 发生欠压时，延迟的 SS2 信号将跟随 V_{QUC} 变化，因为 SS2 是由 QUC 提供的。

注释： *如果在配置的 Δt_{SS2} 到期之前设备再次进入 NORMAL 状态，则 SS2 保持“高电平”状态，而不会变为“低电平”状态。*

10.4.2.3 STANDBY → INIT 状态（由于检测到故障）

时序图

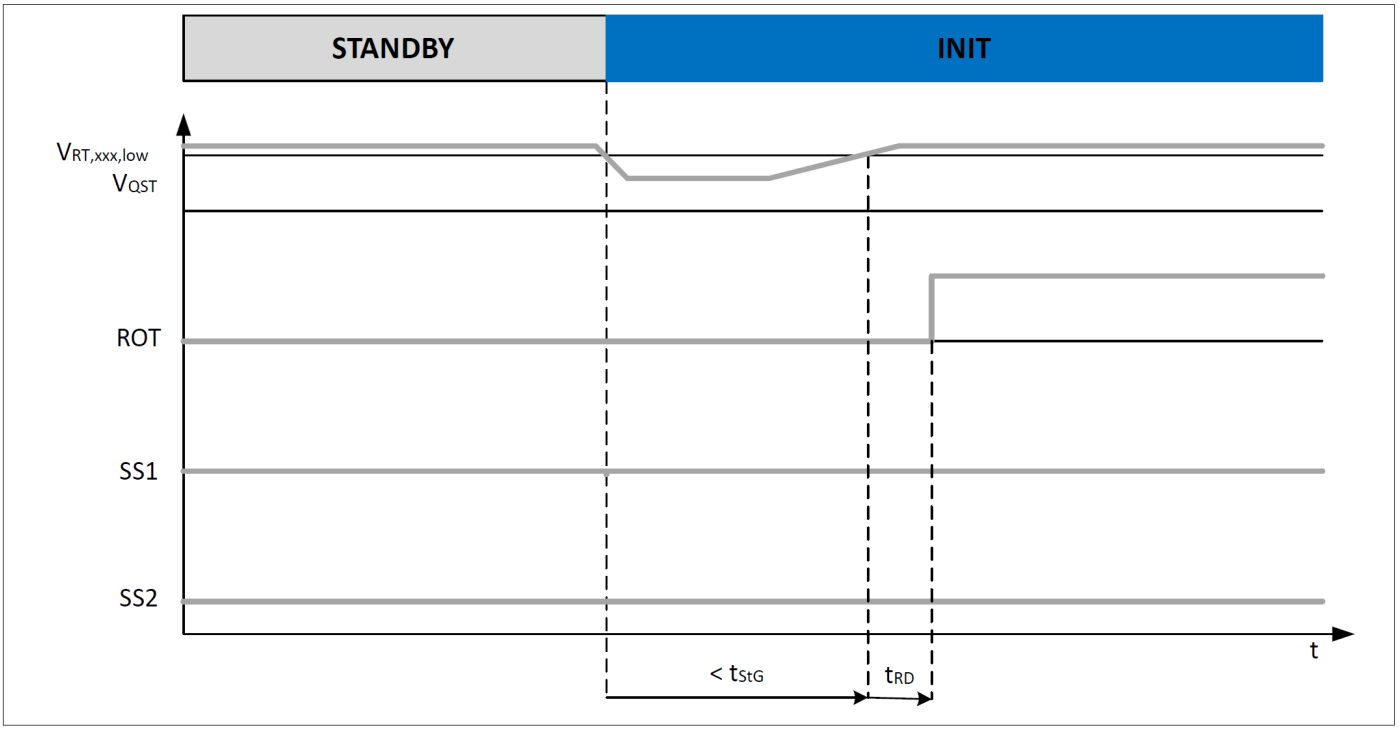


图 46 从 STANDBY 状态到 INIT 状态的转换

说明：

- 如图所示，设备检测到 MCU 相关电压 V_{QST} 欠压时，器件会从待机状态（STANDBY）转换到初始化状态（INIT）。该欠压持续时间短于对地短路检测时间 t_{StG}。如果欠压持续时间长于对地短路检测时间 t_{StG}，则器件会首先从 STANDBY 状态转换到 INIT 状态，然后在对地短路检测时间 t_{StG} 结束后，再从 INIT 状态转换到 FAILSAFE 状态。
- 进入 INIT 状态后启动上电时序：已禁用的输出重新激活。QST 保持其原有配置，即保持开启状态。
- 上电复位延迟时间按照上电时序开始计时，并相应地释放 ROT 信号。
- 安全状态信号 SS1 和 SS2 在 STANDBY 状态下为"低电平"，并在 INIT 状态下保持为"低电平"。

10.4.2.4 SLEEP → INIT 状态（由于检测到故障）

时序图

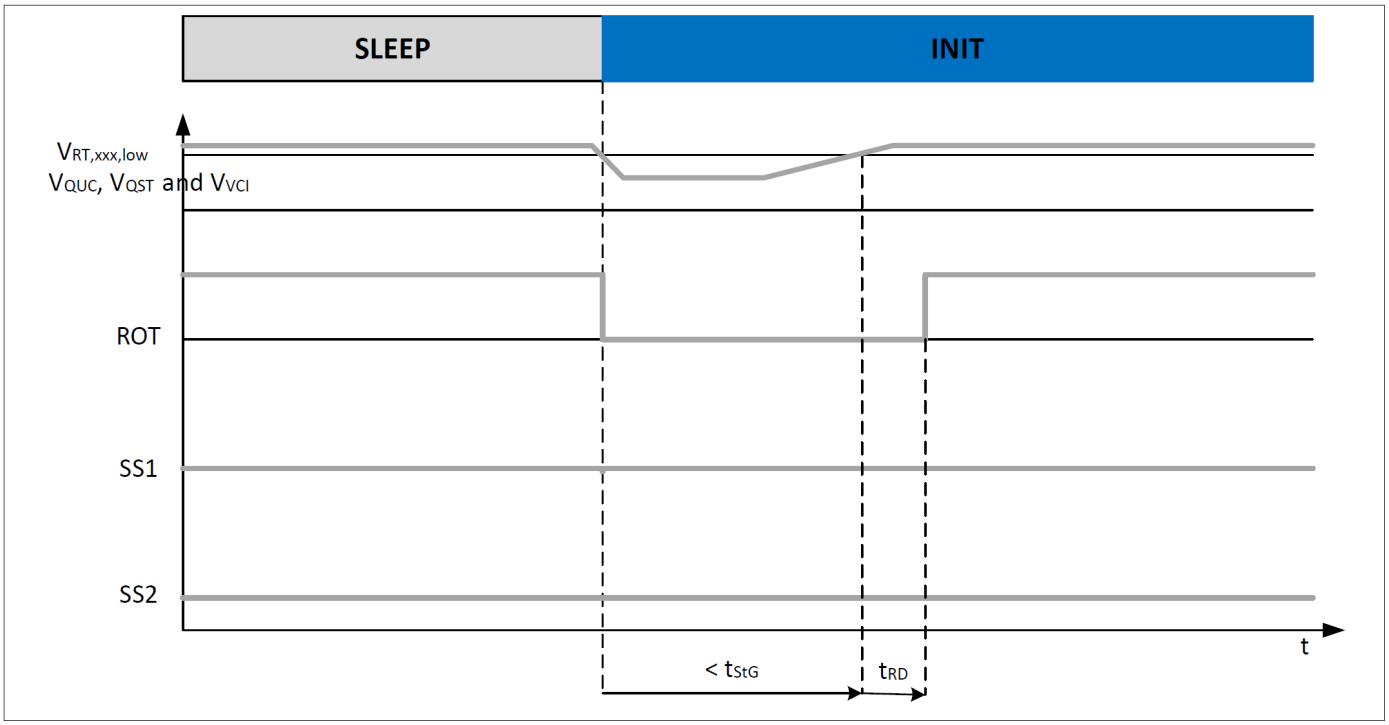


图 47 从 SLEEP 状态到 INIT 状态的转换

说明：

- 器件从 SLEEP 状态转换到 INIT 状态时会发出一次 “软复位” 信号，ROT 引脚被拉低一段时间 t_{RD}，所有输出保持使能状态。在 SLEEP 状态下被禁用的输出将重新开启，但 QST 会保持其原先的配置不变（开启或关闭）。
- 如图所示，这可能是由于MCU 相关电压 V_{QUC}、V_{QST} 或 V_{VCI} 欠压触发。欠压持续时间短于对地短路检测时间 t_{StG}。一旦所有 MCU 相关电压 V_{QUC}、V_{QST} 或 V_{VCI} 恢复到有效范围内，复位延迟时间 t_{RD} 即开始计时。ROT 引脚也相应释放。如果欠压持续时间长于对地短路检测时间 t_{StG}，则首先会导致从 SLEEP 状态过渡到 INIT 状态，然后在接地短路检测时间 t_{StG} 到期后，从 INIT 状态过渡到 FAILSAFE 状态。
- “软复位”也可以通过以下情况触发：窗口看门狗错误计数溢出 (> ΣWWO)、功能看门狗错误计数溢出 (> ΣFWO)、错误指示（立即响应或恢复延迟时间模式），前提是这些监控功能正在使用。在这种情况下，复位延时时间 t_{RD} 从 ROT 引脚的下降沿开始计时。请参考表 25 中关于转换到 INIT 状态的时间。
- 安全状态信号 SS1 和 SS2 在 SLEEP 状态下为"低电平"，并在 INIT 状态下保持为"低电平"。

10.4.2.5 WAKE → INIT 状态（由于检测到故障）

时序图

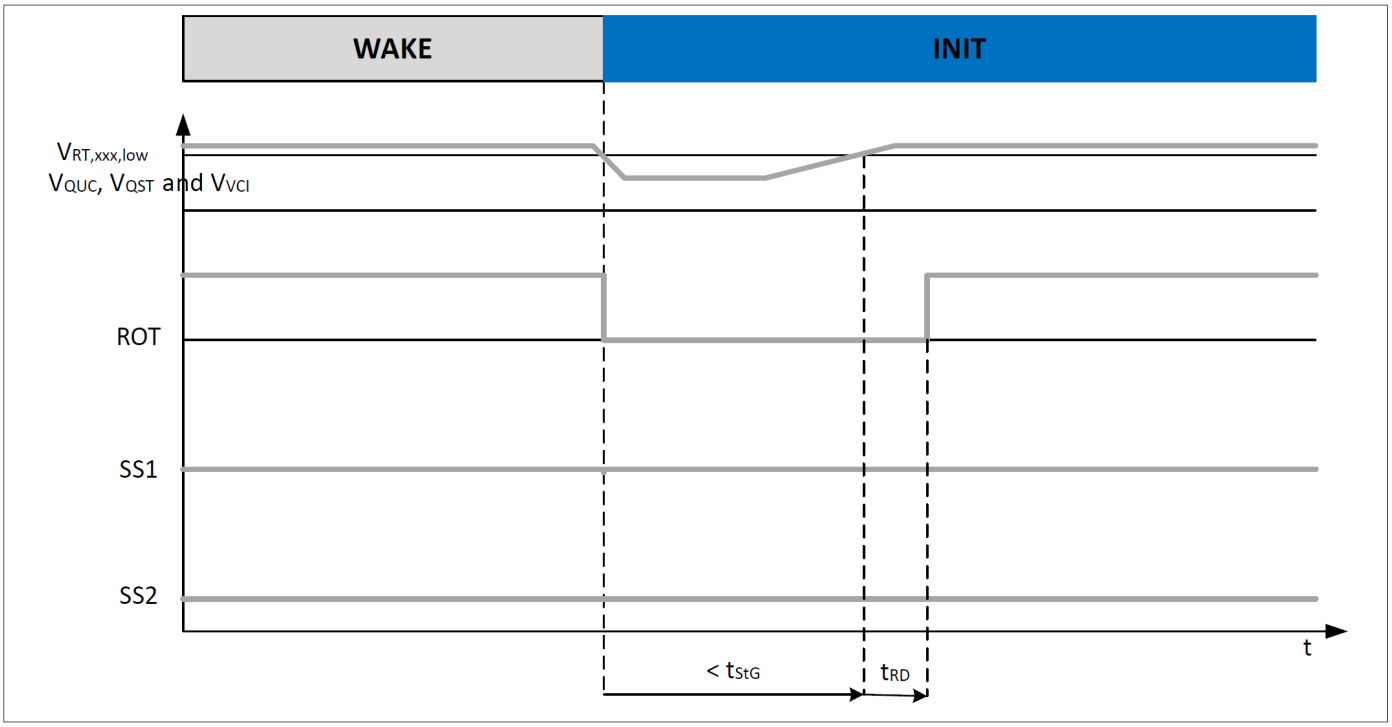


图 48 从 WAKE 状态到 INIT 状态的转换

说明：

- 器件从 WAKE 状态转换到 INIT 状态时会发出一次 “软复位” 信号，ROT 引脚被拉低一段时间 t_{RD}，所有输出保持使能状态。在 WAKE 状态下被禁用的输出将重新开启，但 QST 会保持其原先的配置不变（开启或关闭）。
- 如图所示，这可能是由于 MCU 相关电压 V_{QUC}、V_{QST} 或 V_{VCI} 出现欠压所致。欠压持续时间短于对地短路检测时间 t_{StG}。一旦所有 MCU 相关电压 V_{QUC}、V_{QST} 或 V_{VCI} 恢复到有效范围， 复位延迟时间 t_{RD} 即开始计时。ROT 引脚也相应释放。如果欠压持续时间长于对地短路检测时间 t_{StG}，则首先会导致从 WAKE 状态转换到 INIT 状态，然后在对地短路检测时间 t_{StG} 结束后，再从 INIT 状态转换到 FAILSAFE 状态。
- “软复位”也可以通过以下情况触发：窗口看门狗错误计数溢出 (> ΣWWO)、功能看门狗错误计数溢出 (> ΣFWO)、错误指示（立即响应或恢复延迟时间模式），前提是这些监控功能正在使用。在这种情况下，复位延时时间 t_{RD} 从 ROT 引脚的下降沿开始计时。请参考表 25 中关于转换到 INIT 状态的时间。
- 安全状态信号 SS1 和 SS2 在 WAKE 状态下为"低电平"，并在 INIT 状态下保持为"低电平"。

10.4.3 过渡到 FAILSAFE 状态

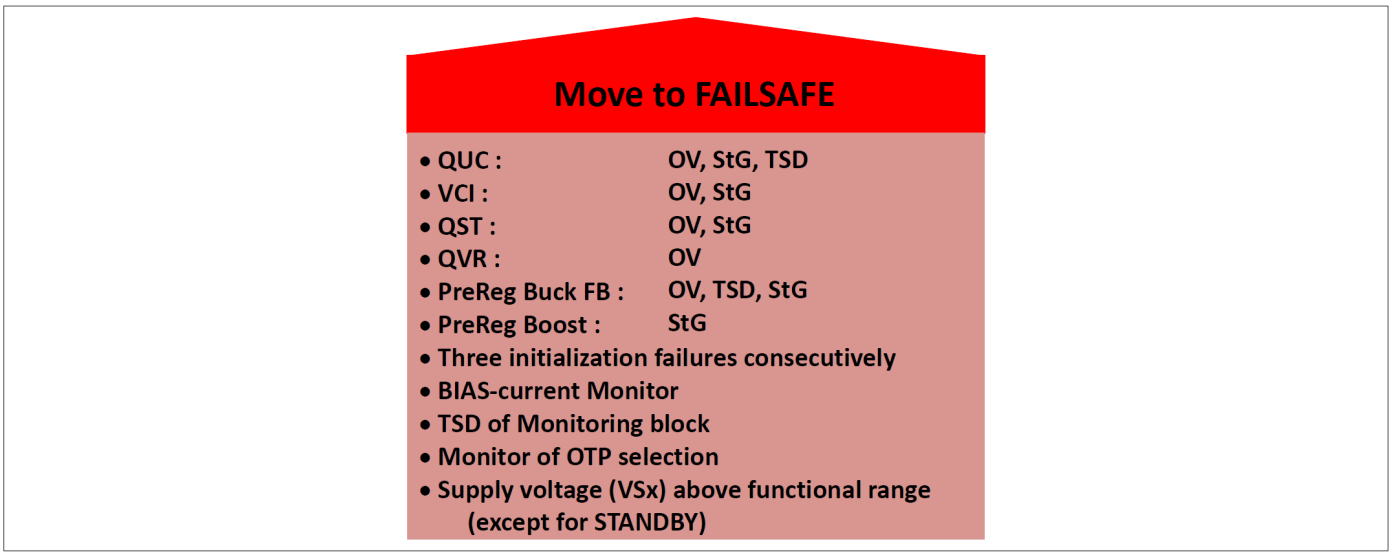


图 49 转入 FAILSAFE 状态

发生以下任一故障时，设备将进入 FAILSAFE 状态：

- 检测到 QUC 的过压或对地短路（如已使用）。
- 检测到 QUC 的热关断（STANDBY 和 SLEEP 状态除外）。
- 检测到 VCI 或 QST 的过压或对地短路（如已使用）。
- 检测到电压基准的过压（如已使用）
- 如果使用的话，在前级降压稳压器处检测过压或接地短路（启动期间）。接地短路检测仅在 INIT 状态的启动相（上电排序）中处于激活状态，直到前级降压稳压器的输出电压超过欠压阈值和迟滞量（$V_{RT,FB,low}$+$V_{RT,FB,UV\ hyst}$）。当引脚 VS 上的电压低于功能范围时的上升电压 V_{VS}，FB 引脚的对地短路检测仅在 VS 引脚电压上升超过 $V_{start,StG,buck}$ 后，以防止切换到 FAILSAFE 模式，在输入电源电压缓慢上升的情况下（例如：不含前级升压稳压器）。
- 检测到前级降压稳压器的热关断（STANDBY 和 SLEEP 状态除外）。
- 检测到前级升压稳压器的对地短路（长期工作在电流限制状态），如已使用。
- 连续三次初始化失败（例如：INIT 状态下的配置失败）
- BIAS 电流监控故障（STANDBY 和 SLEEP 状态除外）。
- 由于监控模块温度超限导致的过温关断（STANDBY 和 SLEEP 状态除外）。
- 由于内部一次性编程OTP的信息（用于微调和输出电压配置）发生无法纠正的读取错误，导致*一次性可编程存储器（OTP）*选择监控故障。
- 电源引脚（VSx）上的过压会触发过压保护，并使设备进入 FAILSAFE 状态（STANDBY 状态除外）。

10.4.3.1 INIT → FAILSAFE 状态（由于检测到故障）

时序图

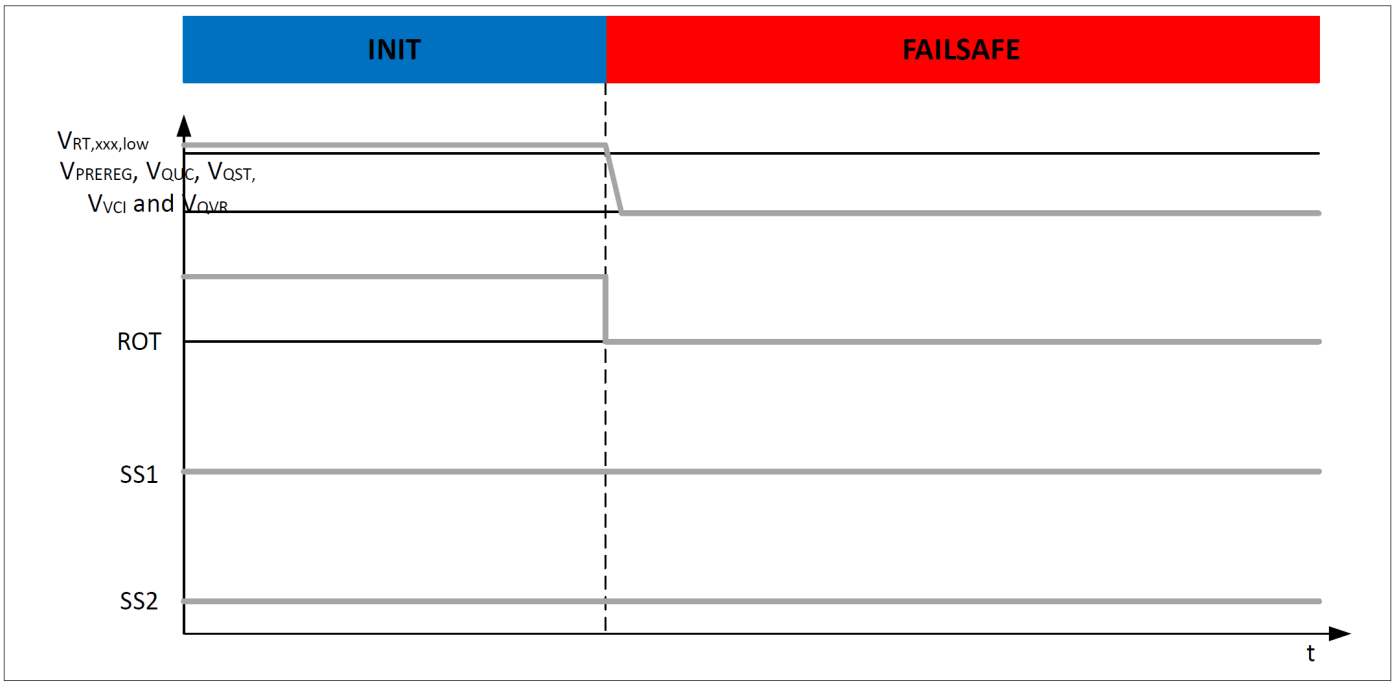


图 50 从 INIT 状态到 FAILSAFE 状态的转换

说明：

- 从 INIT 状态向 FAILSAFE 状态的转换将由在第 10.4.3 章中提到的任何故障（外部或内部）触发。
- 一旦检测到任一“转入 FAILSAFE”类故障，ROT 引脚会立即被拉低为“低电平”，除非由于 MCU 相关稳压器欠压它已处于低电平状态。
- 当设备从 INIT 状态转入 FAILSAFE 状态时，无论是否存在过压状态，所有稳压器均被关闭。
- 安全状态信号 SS1 和 SS2 在 INIT 状态下为"低电平"，并在 FAILSAFE 状态下保持为"低电平"。

10.4.3.2 XXXX → INIT → FAILSAFE 状态（由于检测到故障）

时序图

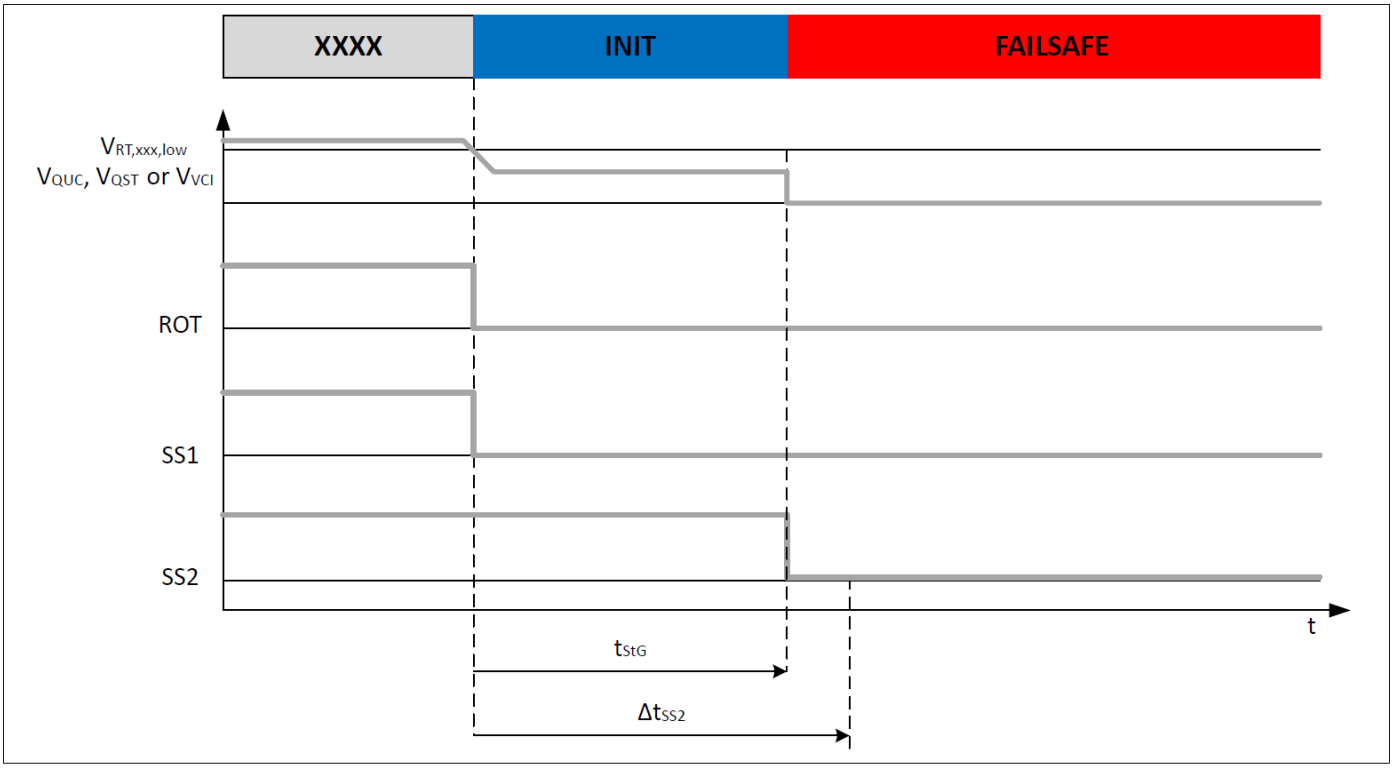


图 51 检测到短路到地后从 XXXX 到 INIT 再到 FAILSAFE 状态的转换

说明：

- 如图所示，检测到与 MCU 相关电压 V_{QUC}、V_{QST} 或 V_{VCI} 出现欠压时，系统将进入 INIT 状态。（请参阅前一章“转换到 INIT 状态”）
- 一旦检测到欠压情况（发生在上述一个或多个稳压器处），ROT 引脚将立即被拉低。
- 安全状态信号 SS1 与 ROT 引脚同步被拉低。
- 如果 MCU 相关电压 V_{QUC}、V_{QST} 或 V_{VCI} 的欠压持续时间超过对地短路检测时间 t_{StG}，则判定发生对地短路事件。
- 当检测到 MCU 相关电压 V_{QUC}、V_{QST} 或 V_{VCI}发生对地短路事件时，所有稳压器将立即关闭，无论其是否处于欠压状态。
- 器件从 INIT 状态转变为 FAILSAFE 状态
- 安全状态信号 SS2 将在从 INIT 过渡到 FAILSAFE 状态时被拉至低电平，即使延时时间 Δt_{SS2} 尚未结束，这是因为 QUC 已被关断（QUC 在 INIT 状态下处于开启状态，但在 FAILSAFE 状态下处于关断状态）。

10.4.3.3 NORMAL → FAILSAFE 状态（由于检测到故障）

时序图

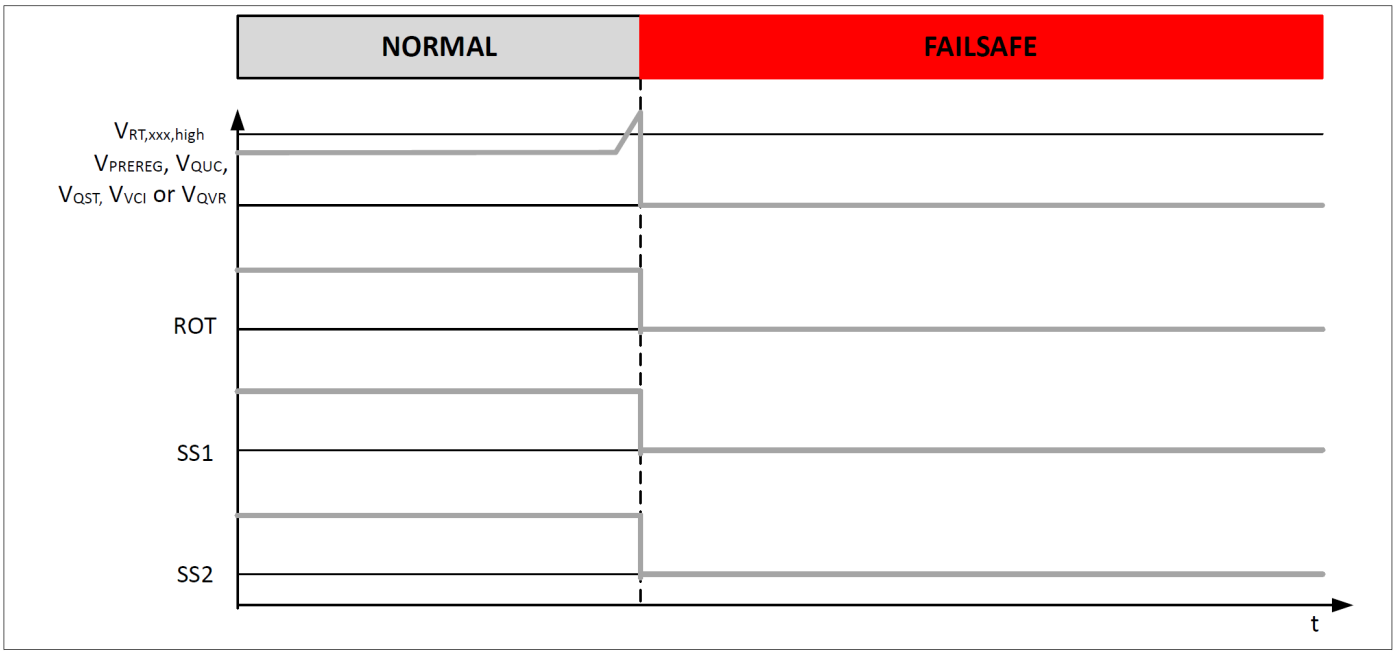


图 52 从 NORMAL 状态到 FAILSAFE 状态的转换

说明：

- 如图所示，一旦检测到前级稳压器电压 V_{PREREG} 或 MCU 相关电压 V_{QUC}、V_{QST}、V_{VCI} 或 V_{QVR} 过压时，将触发从 NORMAL 状态向 FAILSAFE 状态的切换。
- 一旦在上述一个或多个稳压器上检测到过压事件，引脚 ROT 将立即被拉低。
- 一旦设备进入 FAILSAFE 状态，所有稳压器将被关断，无论其是否处于过压状态。
- 由于 QUC 被关断，安全状态信号会在 ROT 引脚被拉低的同时立即被拉低。
- 从 NORMAL 状态向 FAILSAFE 状态的转换将由在第 10.4.3 章 提到的任何故障（外部或内部）情况触发。

10.4.3.4 STANDBY → FAILSAFE 状态（由于检测到故障）

时序图

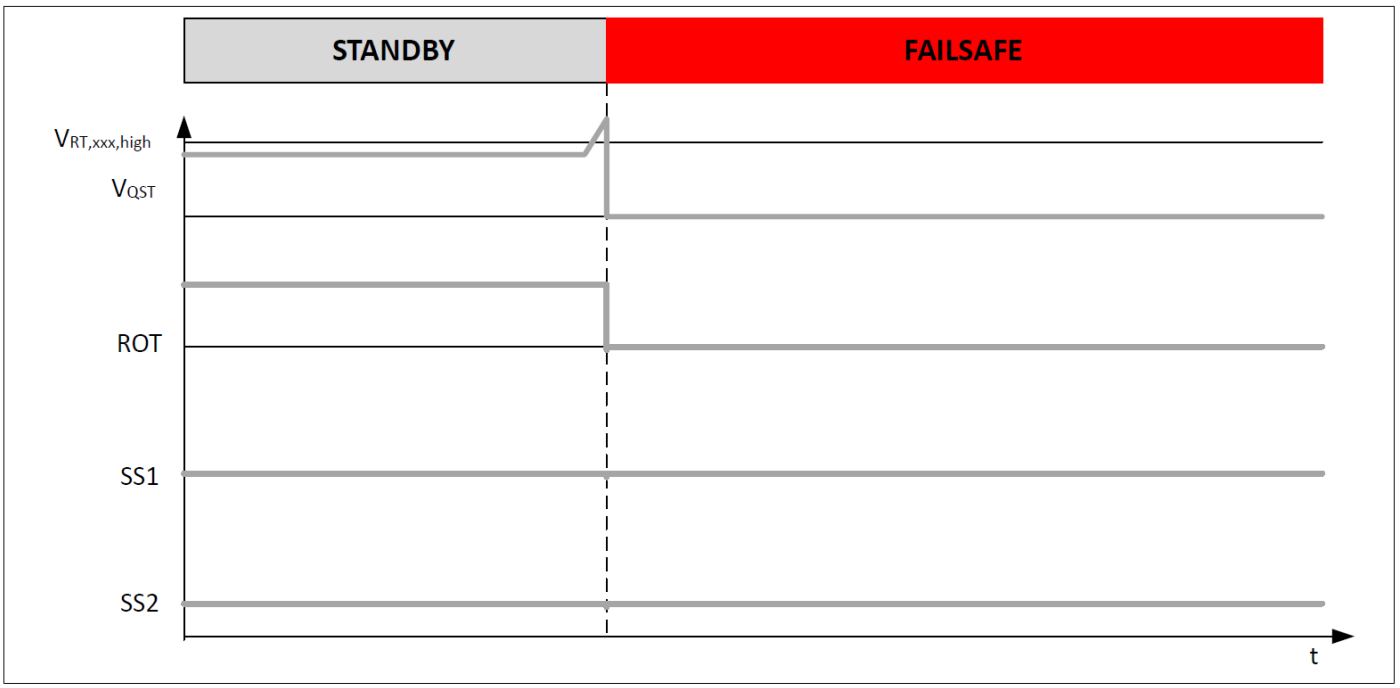


图 53 从 STANDBY 状态到 FAILSAFE 状态的转换

说明：

- 如图所示，检测到与 MCU 相关电压 V_{QST} 过压时，将触发从 STANDBY 状态到 FAILSAFE 状态的转换。
- ROT 引脚在 STANDBY 状态下为"低电平"，并在 FAILSAFE 状态下保持"低电平"。
- 安全状态信号 SS1 和 SS2 在 STANDBY 状态下为"低电平"，并在 FAILSAFE 状态下保持"低电平"。

10.4.3.5 SLEEP → FAILSAFE 状态（由于检测到故障）

时序图

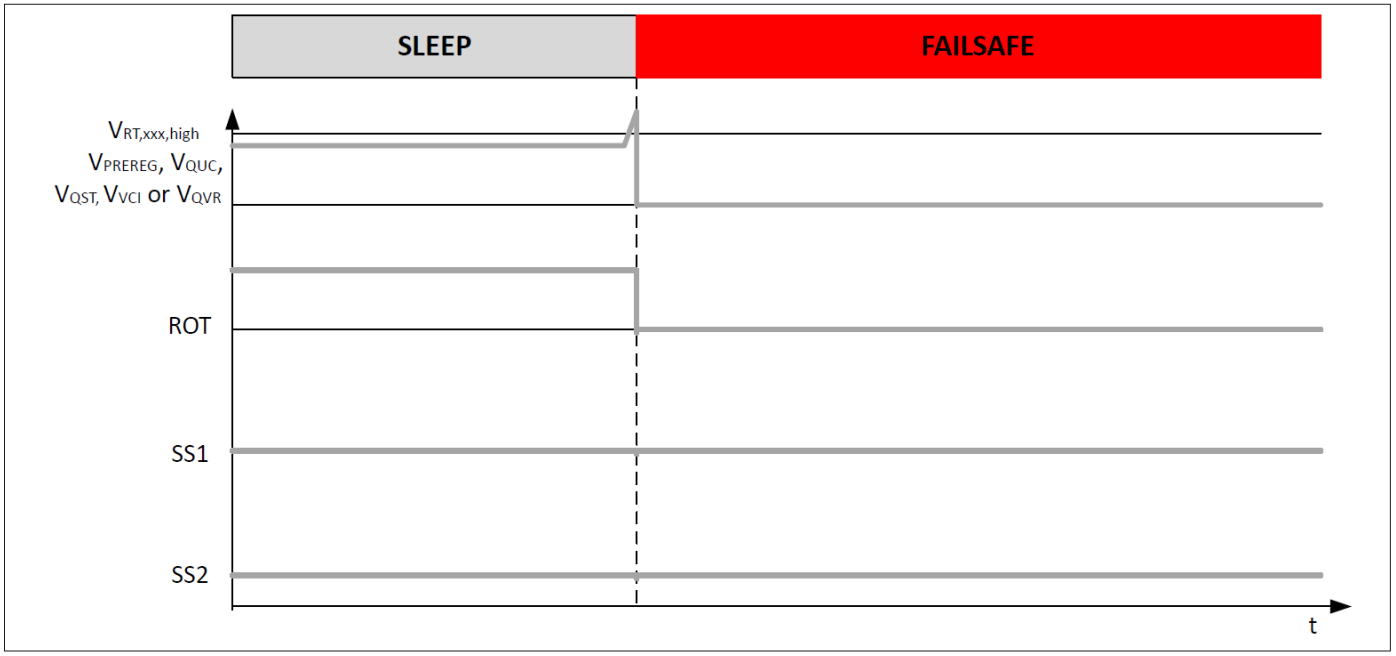


图 54 从 SLEEP 状态到 FAILSAFE 状态的转换

说明：

- 如图所示，检测到前级稳压器电压 V_{PREREG} 或 MCU 相关电压 V_{QUC}、V_{QST}、V_{VCI} 或 V_{QVR} 过压时，会触发从 SLEEP 状态到 FAILSAFE 状态的转换。
- 一旦在上述一个或多个稳压器上检测到过压事件，引脚 ROT 将立即被拉低。
- 如果器件从 SLEEP 状态转入 FAILSAFE 状态，则无论是否存在过压条件，所有稳压器都会被关闭。
- 安全状态信号保持为"低电平"，与 SLEEP 状态相同。
- 从 SLEEP 状态到 FAILSAFE 状态可由第 10.4.3 章 中提到的任何故障（外部或内部）触发。

10.4.3.6 WAKE → FAILSAFE 状态（由于检测到故障）

时序图

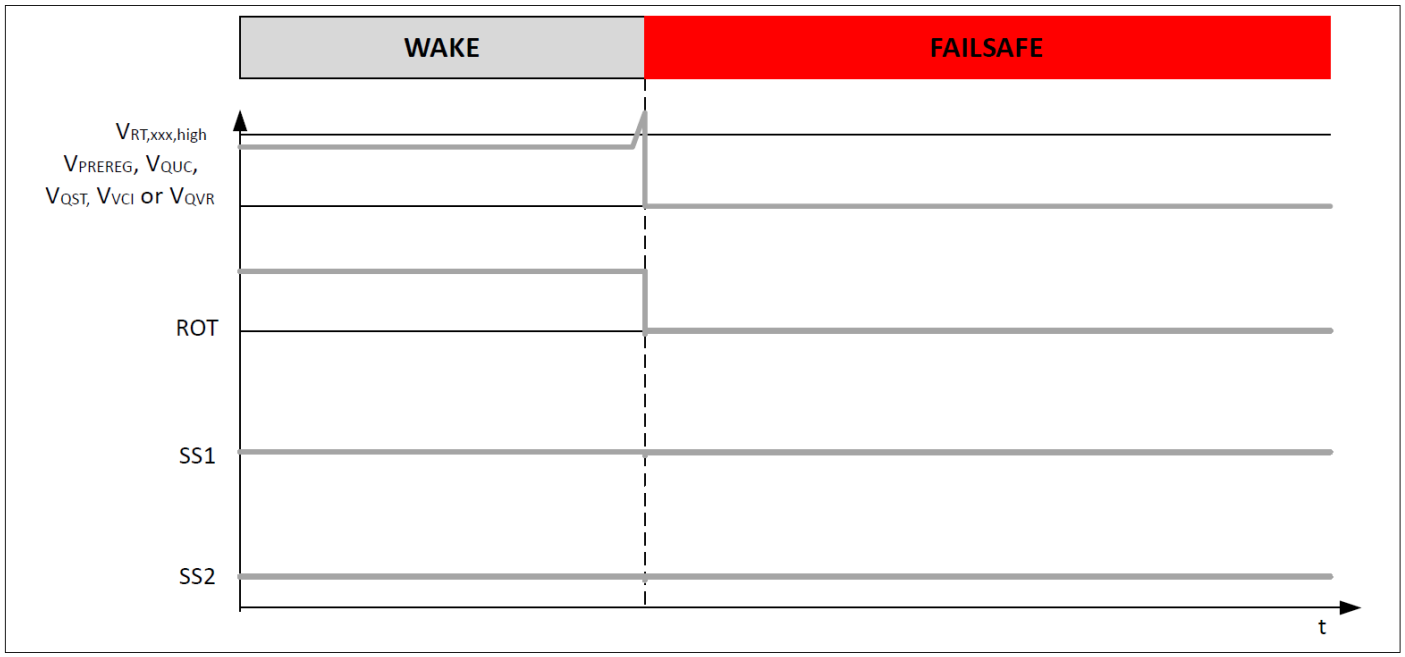


图 55 从 WAKE 状态到 FAILSAFE 状态的转换

说明：

- 如图所示， 检测到前级稳压器电压 V_{PREREG} 或 MCU 相关电压 V_{QUC} 、 V_{QST} 、 V_{VCI} 或 V_{QVR} 过压时，会触发从 WAKE 状态到 FAILSAFE 状态的转换。
- 一旦检测到过压事件（发生在上述一个或多个稳压器上），ROT 引脚就会立即被拉低。
- 如果器件从 WAKE 状态转入 FAILSAFE 状态，则无论是否存在过压条件，所有稳压器都会被关闭。
- 安全状态信号保持为"低电平"，与 WAKE 状态相同。
- 从 WAKE 状态向 FAILSAFE 状态的转换将由在第 10.4.3 章 中提到的任何故障（外部或内部）触发。

10.4.3.7 由于热关断而过渡到 FAILSAFE 状态

时序图

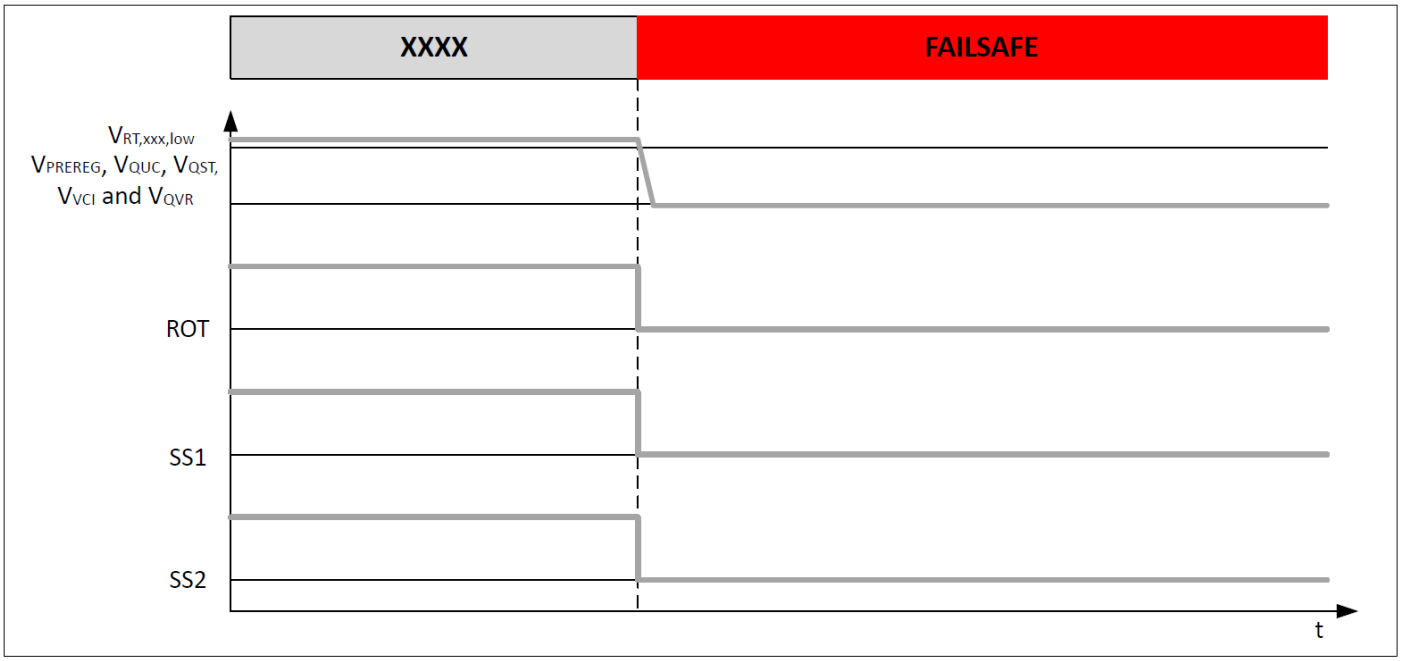


图 56 因热关断而转入 FAILSAFE 状态

说明：

- 从任意状态转入 FAILSAFE 状态都可由热关断（TSD）触发。
- 一旦检测到热关断，ROT 引脚就会立即被拉低。
- 如果器件从 XXXX 状态转入 FAILSAFE 状态，则无论是否存在过温条件，所有稳压器都会被关闭。
- 在退出 NORMAL 状态时，安全状态信号 SS1 和 SS2 会随着 ROT 引脚被拉低而立即拉为"低电平"，因为 QUC 已被关闭。在退出任何其他状态时，安全状态信号 SS1 和 SS2 为"低电平"，并保持为"低电平"。
- 热关断 (TSD) 发生后，器件将在 FAILSAFE 状态下，至少保持 $t_{FAILSAFE,min}$，即 1 秒。

10.4.4 过渡到 POWERDOWN 状态

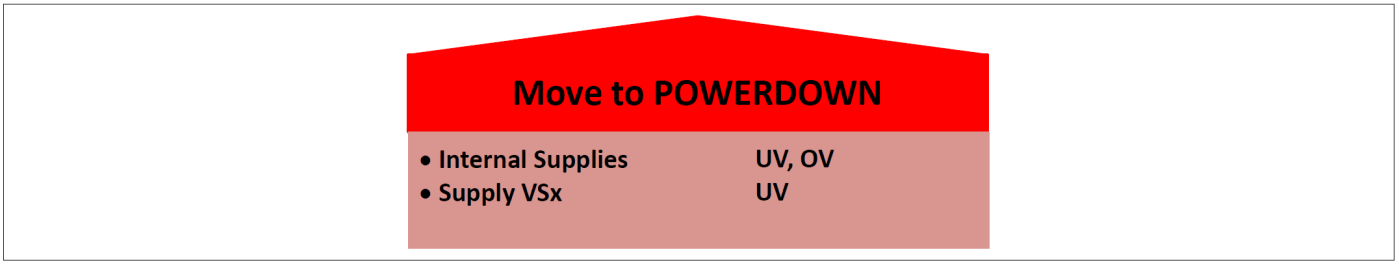


图 57 转入 POWERDOWN 状态

发生以下任一故障时，器件都会以最高优先级进入 POWERDOWN 状态：

- 当 V_{VS} 下降并低于 $V_{PD,lo,min}$ 时
- 检测到内部电源发生过压或欠压

10.5 状态机电气特性

表 25 状态机电气特性

V_{VS} = 6 V 至 40 V；T_j = -40°C 至 150°C，所有电压均以地为参考，正向电流表示流入该引脚（除非另有说明）

Parameter	Symbol	Values			Unit	Note or condition	Number
		Min.	Typ.	Max.			
INIT timer / Initialization time-out	t_{INIT}	550	600	650	ms	–	P_11.5.1
FAILSAFE time	$t_{FAILSAFE,min}$	18	20	22	ms	–	P_11.5.2
FAILSAFE time TSD	$t_{FAILSAFE,min}$	0.9	1	1.1	s	for thermal shutdown TSD	P_11.5.3
Transition delay timer accuracy	$\Delta t_{tr,del}$	-20	–	+20	%	[1] Configurable in DEVCFG0.TRDEL	P_11.5.4
QUC current monitoring for entering low power states	$\Delta I_{QUC,att}$	-40	–	+40	%	Configurable value DEVCFG2.CTHR ; I_{QUC} decreasing ; $V_{PREREG} > V_{QUC} + V_{dr,QUC}$	P_11.5.5
QUC current monitoring hysteresis for leaving low power states	$\Delta I_{QUC,att,hyst}$	+12	+33	+55	%	[2] Hysteresis is relative to the configurable value DEVCFG2.CTHR of $I_{QUC,att}$; I_{QUC} increasing ; $V_{PREREG} > V_{QUC} + V_{dr,QUC}$	P_11.5.9
State transition time	t_{tr}	–	–	100	µs	except transitions to SLEEP, to STANDBY [3] or from STANDBY	P_11.5.6
State transition time to INIT	$t_{tr,INIT}$	–	–	200	µs	valid for "Move to INIT" events excluding transitions from STANDBY, FAILSAFE and POWERDOWN	P_11.5.7
State transition time to INIT	$t_{tr,INIT}$	–	–	800	µs	valid for transitions from STANDBY, FAILSAFE and interrupted transition to STANDBY	P_11.5.8

1) 由于内部延迟，状态转换延迟时间最多可能增加 30 µs。

2) 由设计指定，无需进行生产测试。

3) 对于进入 SLEEP 或 STANDBY 的转换时间，请参见可配置的转换延时定时器数值 DEVCFG0.TRDEL 及其在表 25 中规定的精度。

10.6 内置自检 (BIST) 功能

微控制器可通过内建自测试功能对器件执行某些监测功能。

10.6.1 模拟内置自检 (ABIST)

该器件可选择测试与监控功能相关的比较器和评估逻辑，这些功能有助于激活次级安全关断路径并产生中断。

此外，还可以测试与安全状态控制本身相关的附加比较器和评估逻辑（SSC 过压监视器和翻转监测器）。这是通过内部 ABIST 控制器实现的。该控制器会对每个比较器执行测试，生成人工欠压和过压（或电流）条件，检查测试结果，并生成需要由 MCU 进行评估的信息，以判断 ABIST 操作是否成功。

系统会生成以下与 ABIST 操作相关的状态信息：

- 由 MCU 请求执行的 ABIST 操作会在 ABIST_CTRL0.STATUS 中给出结果状态。该状态需要由 MCU 进行评估。所提供的状态仅为 GO-NOGO 信息，也就是说，只会给出特定被测路径的信息。该测试验证的是比较器的基本功能，而不验证相应的阈值数值。

监测和安全相关输出功能的测试可在系统中的三个不同区域运行：

- 可通过“仅比较器”测试来验证比较器及其对应去毛刺逻辑的功能。该测试通过在短于去毛刺时间的持续时长内生成功能故障条件来执行，因此由注入故障不会触发次级安全关断路径，也不会触发中断。在该测试过程中，仅会测试所选的比较器。如果选择了多个比较器，则测试会按照固定的比较器测试顺序执行。测试完成会通过中断进行指示。
- 可以测试比较器的功能，包括其对应的去毛刺逻辑以及其对相关安全措施的作用。该安全措施可以是激活次级安全关断路径，也可以是产生一个中断。该测试在超过去毛刺时间的条件下执行。
- 虽然器件会为第一和第二类 ABIST 提供状态信息，但对于第三个区域，还需要微控制器进一步配合。MCU 需要检查次级安全关断路径是否成功激活（SS1/SS2 置为“低电平”），或者是否发生了中断事件。

注释： *在与 QST 和/或 QUC 相关的 ABIST 全路径序列中，第一次欠压（UV）比较器测试完成后，DISOFFSET 功能会在去毛刺时间结束后被禁用，并在 ABIST 序列结束前重新使能。*

10.6.1.1 如何运行 ABIST

在 ABIST 期间，必须由微控制器根据配置对看门狗和错误监测进行维护。否则，这些功能中的故障事件会触发中断、复位或安全状态输出，从而干扰 ABIST 结果。在 ABIST 运行期间，可选地通过受保护寄存器访问禁用看门狗功能和/或错误监测功能。在这种情况下，无需进行喂狗操作。

在包含去毛刺逻辑的 ABIST 过程中，状态标志寄存器（SYSFAIL、INITERR、IF）以及状态信息（MONSF1、MONSF2、MONSF3）会因 ABIST 功能导致的越限条件而被触发并更新，除 ABIST 相关寄存器（ABIST_CTRL0 至 ABIST_SELECT2）中提供的结果之外，还必须同时考虑这些信息。

在 ABIST 期间，由任何本应触发相应动作且属于受 ABIST 控制影响逻辑范围内的事件所引起的 ROT 置位都会被阻止。此外，状态机不会根据章节10.4 中所述的、针对检测到故障时的响应方式进行状态切换。如果启动了一个对次级安全关断路径有贡献的 ABIST，并且器件当前处于 NORMAL 状态，则状态机会从 NORMAL 状态切换到 WAKE 状态。无论 ABIST 自身导致何种超范围检测，所有电压都会保持使能状态。

单项功能的测试按照以下方式进行：

- 如果选择对所有比较器进行测试，则假定这些比较器均处于使能状态。因此，对于可配置电源，应在执行测试之前先将其使能。另一方面，对于系统未使用的比较器，则不需要执行 ABIST 测试。
- 待测比较器应通过设置相应寄存器中的各个位来选择，这些寄存器包括（ABIST_SELECT0、ABIST_SELECT1 以及 ABIST_SELECT2）。进行选择时，有必要根据其对不同安全措施的贡献进行区分，详情参见表 26。
- 微控制器应根据待测试的功能对寄存器 ABIST_CTRL0 进行配置，配置包括：待测试的安全措施（ABIST_CTRL0.INT）、ABIST 所覆盖的测试区域/范围（ABIST_CTRL0.PATH）以及测试配置，即选择测试单个比较器还是按顺序测试多个比较器（ABIST_CTRL0.SINGLE）。
- 微控制器应置位全局 ABIST 启动位（ABIST_CTRL0.START）以启动 ABIST。MCU 应读取该全局 ABIST 启动位；如果该位仍为置位状态，则表示 ABIST 正在进行中。所选 ABIST 操作完成后，该启动位将被清零，并产生一个中断事件。对于在 ABIST_SELECT0、ABIST_SELECT1 和 ABIST_SELECT2 中被置位、用于选择对特定比较器执行测试的每一位，在相应比较器成功完成一次 ABIST 操作后，该位将被清零。对于用于选择特定比较器测试而被置位的每一位，如果针对该比较器的 ABIST 操作未成功执行，则该位保持不变。

通过这种方式，在 ABIST 状态信息表明 ABIST 操作失败的情况下，MCU 可以确定是哪个比较器发生了故障。

表26 比较器对安全措施的贡献

Comparator	Secondary safety shutdown path	Interrupt	ABIST_Select register bit
QUC Overvoltage	X		ABIST_SELECT0.UCOV
Core_Sup Overvoltage	X		ABIST_SELECT0.VCOREOV
QST Overvoltage	X		ABIST_SELECT0.STBYOV
QVR Overvoltage	X		ABIST_SELECT0.VREFOV
PreReg Overvoltage	X		ABIST_SELECT0.PREGOV
QUC Undervoltage	X		ABIST_SELECT1.UCUV

（表格续下页……）

表26 （续）比较器对安全措施的贡献

Comparator	Secondary safety shutdown path	Interrupt	ABIST_Select register bit
Core_Sup Undervoltage	X		ABIST_SELECT1.VCOREUV
QST Undervoltage	X		ABIST_SELECT1.STBYUV
BIAS current low	X		ABIST_SELECT2.BIASLOW
BIAS current high	X		ABIST_SELECT2.BIASHI
Supply VS Overvoltage	X		ABIST_SELECT2.VBATOV
Tracker 1 Overvoltage		X	ABIST_SELECT0.TRK1OV
Tracker 2 Overvoltage		X	ABIST_SELECT0.TRK2OV
QCO Overvoltage		X	ABIST_SELECT0.COMOV
QVR Undervoltage		X	ABIST_SELECT1.VREFUV
Tracker 1 Undervoltage		X	ABIST_SELECT1.TRK1UV
Tracker 2 Undervoltage		X	ABIST_SELECT1.TRK2UV
QCO Undervoltage		X	ABIST_SELECT1.COMUV
Pre_Reg Undervoltage		X	ABIST_SELECT1.PREGUV
V_{BG1} - 4% ≤ V_{BG2}		X	ABIST_SELECT2.BG12UV
V_{BG1} + 4% ≥ V_{BG2}		X	ABIST_SELECT2.BG12OV

10.6.1.2 仅测试比较器逻辑

在 ABIST 操作期间，比较器由 ABIST 控制器触发，触发时间短于内部抗尖峰脉冲时间 t_{rr}（监测响应时间）。工作正常的比较器应在故障条件施加期间，于其输出端指示超范围状态。

应将每个比较器提供的信息与预期值进行比较。若比较器输出值与预期值一致，则 ABIST 控制器应将其判定为测试通过。若所提供的任一输出值与预期值不一致，则应将其判定为测试失败。ABIST 的总体结果由寄存器 ABIST_CTRL0 中的 STATUS 位给出。每个已选比较器的详细测试结果可通过寄存器 ABIST_SELECT0、ABIST_SELECT1 以及 ABIST_SELECT2 进行检查。若先前选中的位在测试完成后被复位，则可认为相应测试已通过。若某一位保持置位状态，则表示对应比较器测试失败，并导致整体 STATUS 为失败。

比较器测试的最大选择数量[3)]如下：

次级安全关断路径（SS1/2）相关项：

- ABIST_SELECT0: 00101111_B ($2F_H$)
- ABIST_SELECT1: 00001110_B ($0E_H$)
- ABIST_SELECT2: 11000001_B ($C1_H$)
- Start of the test by ABIST_CTRL0: 00000001_B (01_H)

中断 (INT) 相关：

- ABIST_SELECT0: 11010000_B ($D0_H$)
- ABIST_SELECT1: 11110001_B ($F1_H$)
- ABIST_SELECT2: 00110000_B (30_H)
- Start of the test by ABIST_CTRL0: 00001001_B (09_H)

这种类型的 ABIST 可以在以下状态下执行：INIT、NORMAL、WAKE。如果 ABIST 成功，则不会触发次级安全关断路径 SS1、SS2，只会因 ABIST 完成而产生中断（IF.ABIST 置位和 IF.MON 不置位；因为在 ABIST 之前已清除中断标志，并且在 ABIST 期间没有发生实际故障事件）。

3 请注意，在对某个比较器进行测试时，必须启用对应的输出。

10.6.1.3 测试比较器逻辑和相应的去毛刺逻辑

在 ABIST 运行期间，比较器会由 ABIST 控制器触发，触发时间长于内部去毛刺时间 t_{rr}（监测响应时间）。正常工作的比较器会在施加故障条件期间向其输出端发出超范围条件信号。去毛刺逻辑会在 t_{rr} 之后响应故障触发信号，并使器件对识别到的故障事件做出反应。该反应包括存储相应的监测故障标志，以及触发相应的输出功能，该输出功能可能是中断 INT，也可能是次级安全关断路径 SS1/2。仅当测试在 NORMAL 状态下启动时，才能观察到安全状态输出 SS1/2 的响应。

此外，系统会将每个去毛刺逻辑输出的提供信息与预期值进行比较。如果去毛刺逻辑输出值与预期值匹配，则 ABIST 控制器会将此测试视为通过。如果任何提供的输出值与预期值不匹配，则此测试会被视为失败。ABIST 的总体结果由寄存器 ABIST_CTRL0 中 STATUS 字段提供。每个选定比较器的详细结果可以通过寄存器 ABIST_SELECT0、ABIST_SELECT1 以及 ABIST_SELECT2 进行查看。如果在测试完成后先前选择的位被复位，则可以认为 ABIST 控制器已识别为通过。如果某个位仍然保持置位，则表示比较器出现故障，导致整体STATUS 为失败。

除了从 ABIST 控制器相关寄存器读取的结果外，微控制器还必须读取并根据预期结果检查故障/中断标志（SYSFAIL、INITERR 和 IF）以及监测状态标志（MONSF1、MONSF2 或MONSF3），并且要考虑在 ABIST 启动前所设定的配置。

比较器和抗尖峰脉冲逻辑测试的最大选择[4]如下：次级安全关断路径 (SS1/2) 相关：

- ABIST_SELECT0: 00101111_B ($2F_H$)
- ABIST_SELECT1: 00001110_B ($0E_H$)
- ABIST_SELECT2: 11000001_B ($C1_H$)
- Start of the test by ABIST_CTRL0: 00000011_B (03_H)

中断 (INT) 相关：

- ABIST_SELECT0: 11010000_B ($D0_H$)
- ABIST_SELECT1: 11110001_B ($F1_H$)
- ABIST_SELECT2: 00110000_B (30_H)
- Start of the test by ABIST_CTRL0: 00001011_B ($0B_H$)

4 请注意，在对某个比较器进行测试时，必须启用对应的输出。

基于可选最大范围的分析包括以下内容：

与次级安全关断路径（SS1/2）相关：

- IF: 01000000_B (40_H)
- INITERR: 00000100_B (04_H)
- SYSFAIL: 00000100_B (04_H)
- MONSF1: 00101111_B ($2F_H$)
- MONSF2: 00001110_B ($0E_H$)
- MONSF3: 11000001_B ($C1_H$)

中断（INT）相关：

- IF: 01001000_B (48_H)
- INITERR: 00000000_B (00_H)
- SYSFAIL: 00000000_B (00_H)
- MONSF1: 11010000_B ($D0_H$)
- MONSF2: 11110001_B ($F1_H$)
- MONSF3: 00110000_B (30_H)

这种类型的 ABIST 可以在状态机的以下状态下执行：INIT、WAKE、NORMAL。若该测试在 NORMAL 状态下对参与次级安全关断路径的比较器执行，器件会将安全状态输出 SS1、SS2 切换为“低”电平，且状态机进入 WAKE 状态，而不会触发 ROT。

需要注意的是，以这种方式测试到至相应的输出（SS1/2 或 INT）的完整监测链时，只能覆盖序列中的第一个比较器，因为正是该比较器触发了输出响应。更多详情，请参阅 第 10.6.1.4 章节 。

如果此测试在 INIT 或 WAKE 状态下运行，则无法测试对次级安全关断路径激活的贡献。系统已处于安全状态，次级安全关断路径已激活。

次级关断路径以及中断信号的正确行为需要由微控制器进行检查。

10.6.1.4 测试完整的监测链（比较器、去毛刺和输出）

从比较器到相应输出功能的整个监测链的测试必须分为器件中可用的两个功能。首先是次级安全关断路径SS1/2，用于严重的微控制器相关故障事件，其次是中断功能 INT，用于在电压和电流监测方面外设相关故障事件。

10.6.1.4.1 测试次级安全关断路径的激活

要测试次级安全关断路径的激活，器件必须处于 NORMAL 状态。MCU 应检查次级安全关断路径是否已成功解除激活（SS1/2 为高电平）。

一旦处于 NORMAL 状态，应选择一个参与次级安全关断路径的单个比较器。需要在寄存器 ABIST_SELECT0 ($00x0xxxx_B$)、ABIST_SELECT1($0000xxx0_B$) 或 ABIST_SELECT2（$xx00000x_B$）中，为对应比较器仅设置一个位（“x”）。由微控制器进行随机选择可确保对次级安全关断路径贡献项的最大覆盖率。随后，需要启动该单个比较器在次级安全关断路径全路径上的 ABIST 操作(寄存器 ABIST_CTRL0：00000111_B (07_H))。完成请求的 ABIST 操作后，器件进入 WAKE 状态并生成中断事件。中断事件表示 ABIST (IF.ABIST) 完成。此外，被选比较器对应的监测故障标志也会被置位（对于 图 42 故障为 INITERR.VMONF，对于图 49 故障为 SYSFAIL.VMONF，这些标志需要由微控制器检查并清除。

次级安全关断路径应被激活（SS1/2 为“低”电平）。检查次级安全关断路径是否激活是 MCU 的职责。若启用了 SS2 延时，则在执行 ABIST 操作时也会应用该延时，即对于不会导致 FAILSAFE 的故障情况，连接到 SS2 的关断路径激活将按编程值延后。MCU 需要读取并检查所请求 ABIST 操作的状态（ABIST_CTRL0.STATUS）以及相应的监测状态标志（MONSF1、MONSF2 或 MONSF3），以及应被清除的 ABIST_SELECT0、ABIST_SELECT1 和 ABIST_SELECT2 位。

此外，微控制器还需执行以下步骤，以检查安全状态控制和安全状态输出：

- 检查次级安全关断路径是否已成功激活（SS1/2 为“低”电平）。
- 使能安全状态控制的过压触发以及有效本地翻转信号的生成（置位 ABIST_CTRL1.OV_TRIG 和 ABIST_CTRL1.ABIST_CLK_EN）
- 等待 50 µs，并检查次级安全关断路径是否仍处于激活状态（SS1/2 为“低”电平）。
- 取消选择安全状态控制的本地翻转信号生成和过压触发（复位 ABIST_CTRL1.ABIST_CLK_EN 和 ABIST_CTRL1.OV_TRIG）
- 等待 50 µs，并检查次级安全关断路径是否仍处于激活状态（SS1/2 为“低”电平）。

随后，应按照章节 10.6.1.3规定配置并启动所有参与激活次级安全关断路径的比较器的测试。

10.6.1.4.2 测试中断事件生成

中断事件生成的测试可以在 INIT、NORMAL 和 WAKE 状态下进行。尽管建议将应用置于安全状态（INIT 或 WAKE-state）。

对于此测试，首先应选择参与中断功能的单个比较器。需要在寄存器 ABIST_SELECT0($xx0x0000_B$)、ABIST_SELECT1($xxxx000x_B$) 或 ABIST_SELECT2($00xx0000_B$) 中，为对应比较器仅设置一个位（“x”）。由微控制器进行随机选择可确保对中断功能贡献项的最大覆盖率。随后，需要启动该单个比较器在中断全路径上的 ABIST 操作（寄存器 ABIST_CTRL0：00001111_B ($0F_H$))。 ABIST 控制器触发的选定比较器上的人工故障会生成一个中断 (INT) 事件。MCU 负责检查触发故障时是否生成了此中断事件。由于这是基于故障事件生成中断的测试，因此不会通过中断功能给出专用的 ABIST 完成事件，仅会置位中断标志中的 ABIST 位。在与注入故障相关的中断产生后，应检查中断标志寄存器中的监测位（IF.MON）已置位，并且 ABIST 完成位（IF.ABIST）已置位。

MCU需要读取并检查所请求的 ABIST 操作的状态（ABIST_CTRL0.STATUS）、根据先前选择应被置位的相应监测状态标志（MONSF1、MONSF2 或 MONSF3），以及应被清除的 ABIST_SELECT0、ABIST_SELECT1 和 ABIST_SELECT2 位。

之后，应按照第 10.6.1.3 章的规定，配置并启动所有参与中断生成的比较器的测试。

10.6.1.5 ABIST 操作的中止条件

如果仅比较器 ABIST 操作进行期间（ABIST_CTRL0.PATH 未置位）在某个未选中的比较器[5)] 上检测到严重监测故障事件（会影响次级安全关断路径）或检测到与电压/偏置电流监测功能无关的严重故障事件，则器件就像在 ABIST 外部一样做出响应。相应地，监测、复位和安全状态控制会做出反应，将器件置于安全状态并触发状态机进入 FAILSAFE 状态或 INIT 状态。在这种情况下，ABIST 将被中止。

在对完整路径执行 ABIST 操作（ABIST_CTRL0.PATH 置位）时，在特定比较器上的 ABIST 操作期间，电压和偏置电流监测比较器不工作。因此建议在安全状态下进行测试，除非需要在 NORMAL 状态下开始测试（例如第 10.6.1.4.1 章 中描述的次级安全关断路径的激活测试）。与电压和电流偏置监测无关的严重故障事件会触发与 ABIST 外部相同的器件反应：器件进入安全状态并触发向 FAILSAFE 或 INIT 状态的转换。在这种情况下，ABIST 将中止。

设备会在寄存器 SYSFAIL.ABISTERR 中显示此次 ABIST 中止状态。在 ABIST 因检测到真实故障而被中止之前所产生的人工故障事件，也会被存储在监测寄存器中。在这种情况下，应重新执行 ABIST。

5) 请注意，在针对某个特定比较器执行 ABIST 操作期间，被选中的比较器将无法工作。因此，建议在安全状态下执行该测试，除非确有必要在 NORMAL 状态下启动测试（例如，第 10.6.1.4.1 章中描述的次级安全关断路径激活测试）。

10.6.2 逻辑监测自测

设备中不存在专用于数字监控功能的内建自测试。假定所有与数字监控功能相关的测试均由 MCU 以功能性方式执行。

MCU 可对数字监控功能内部的以下模块进行测试：

- *FWD*/*WWD*
- Error monitoring

为了验证这些模块的功能正确性，并检查它们对 ROT/INT 以及最终 SS1/SS2 的影响，MCU 应在相应模块上制造一个错误条件，并检测系统是否表现出预期的响应。

- 对于看门狗功能而言，这意味着要么停止触发看门狗，要么产生错误的触发事件。这将会触发中断，或甚至导致复位被拉高（触发复位）。最终，次级安全关断路径被激活（SS1/2 被拉低），MCU 被复位，设备进入 INIT 状态。为了验证次级关断路径的激活，此类测试应仅在设备进入 NORMAL 状态后执行。
- 对于错误监控模块，这意味着必须停止 ERR 引脚的翻转，以便观察系统所需的行为。由 MCU 决定是否使用错误恢复机制。

微控制器编程支持功能可对上述监控功能抑制复位（ROT）事件，同时保持其中断及安全状态相关输出不变。此机制可用于优化逻辑监控自检，使其重点关注与安全相关的输出功能（INT 和 SSx）。详情请参阅第 10.7 章。

10.7 支持微控制器编程

该器件提供了微控制器编程支持，可用于避免由于窗口看门狗的触发缺失和 INIT 定时器内的错误监测而导致的周期性复位触发。

微控制器编程支持功能的激活可通过以下方式实现（逻辑 OR 组合）：

- 将 MPS 引脚拉至电压 $V_{MPS,hio}$。该电压最早应在微控制器电源 QUC 使能时提供。因此，在微控制器编程或调试期间，可以选择将 MPS 引脚连接到 QVR 或 QUC 的输出端。
- 向 MCSMON. MPS 发送一条 *SPI* 指令

状态字段位 MCSMON.MPSPIN 表示由 MPS 引脚控制的实际激活状态。

激活微控制器编程支持（MPS）功能后，器件的正常运行将发生以下变化：

- 初始化计时器被停止。
- 窗口看门狗错误计数器溢出对复位 ROT 输出的贡献被屏蔽。
- 功能看门狗错误计数器溢出对复位输出 ROT 的贡献被屏蔽。
- 错误监控对复位输出 ROT 的贡献被屏蔽。

状态机、中断功能和安全状态控制（SSC）功能不受影响。无效的看门狗服务警告或 ERR 监测警告（如果配置了恢复延迟）仍会发出中断事件。看门狗错误计数器溢出以及检测到 ERR 监控故障时，会触发“转入 INIT”事件，并触发相应的 SSC 动作将 SS1/SS2 拉低，但不会对微控制器产生复位（ROT）。该功能可用于数字监控功能（*WWD*、*FWD*、ERR）的时间优化型故障注入测试，以及用于某些应用场景中，当发生看门狗或错误监控故障时，不希望复位微控制器，同时仍需保持安全相关的监控与输出功能处于激活状态。下述章节将描述 MPS 功能的例外情况及特殊处理方式。

例如，如果在 NORMAL 状态下 MPS 引脚为高电平，或状态位字段 MPSPIN 被置位，而此时发生看门狗错误计数器溢出，则器件将进入 INIT 状态，但不会在 ROT 引脚上产生复位，同时仍会将 SS1 和 SS2 拉低。

表 27　　电气特性：微控制器编程支持

V_{VS} = 6 V 至 40 V；T_j = -40°C 至 150°C，所有电压均以地为参考，正向电流表示流入该引脚（除非另有说明）

Parameter	Symbol	Values			Unit	Note or condition	Number
		Min.	Typ.	Max.			
MPS valid high level	$V_{MPS,hi}$	2.0	–	–	V	–	P_11.7.1
MPS valid low level	$V_{MPS,lo}$	–	–	0.8	V	–	P_11.7.2
MPS pin pull-down current	I_{MPS}	–	150	330	µA	–	P_11.7.4

11 安全状态控制功能

11.1 安全状态控制功能介绍

安全状态控制器监控与安全相关的信号，并控制安全状态信号 SS1 和 SS2。

以下说明总结了对安全状态控制功能的各个贡献项，以及可对其进行调整的方式。

运行原理

安全状态控制功能监测以下输入信号：

- 错误监测结果。ERR 引脚上的信号应为一个翻转信号。持续的低电平或高电平信号都会被检测为错误。
- 微控制器相关稳压器的过压和欠压（详细信息请参见监测功能章节）
- 窗口看门狗故障计数器阈值比较器的结果：用于指示 “无效窗口看门狗触发”的阈值 ΣWWO 是否已到达或被超过。
- 功能看门狗故障计数器阈值比较器的结果：用于指示 “无效功能看门狗触发”的阈值 ΣFWO 是否已到达或被超过。
- 热关断信号（TSD），用于在相关事件发生时将设备切换至 FAILSAFE 状态。
- 内部时钟
- *SPI* 状态转移请求。“Go to NORMAL”指令会在满足其他边界条件的情况下，将信号 SS1/2 切换为高电平。通过 SPI 指令将器件从NORMAL状态移出，会将信号 SS1 和 SS2（可选地延迟 Δt_{SS2})切换为低电平。

安全状态控制功能的以下参数可通过 SPI 进行编程。这些设置可在 INIT、NORMAL 和 WAKE 状态下进行，包括 *WWD* 和 *FWD* 的配置，以及错误引脚配置，包括通过受保护寄存器禁用单独的功能（状态描述请参见状态机章节）：

- 导致激活 SS1 和 SS2 的无效看门狗触发次数：系统包含两个看门狗触发错误计数器，一个为窗口看门狗，另一个为功能性看门狗。每个计数器在每次无效的看门狗触发时递增二，在每次有效的看门狗触发时递减一，请参阅功能看门狗章节。计数器的增加变化会触发一次中断，而减少变化不会触发中断。每个计数器的阈值可通过 SPI 命令单独编程配置。该功能可用于对看门狗功能进行测试。
- 与输入信号 ERR 相关的即时反应或恢复延时反应：该参数用于决定安全状态控制（SSC）在接收到 SMU 指示的错误时，是立即做出反应，还是在经过一定延时并确认错误指示仍然存在后再做出反应。在延时恢复响应模式下，安全状态控制会产生一次中断，并启动所编程的恢复延时时间。如果在此延时时间内错误消失（因为错误信号再次发生翻转），则安全状态控制（SSC）会保持安全状态输出 SS1/2 为高电平。如果在此延时时间内错误未消失，并持续保持错误指示（即在恢复延时结束之前错误信号未再次翻转），则在恢复延时时间结束后，安全状态控制（SSC）将激活安全状态输出信号 SS1 和 SS2。即时反应指的是在信号检测延时时间之后立即进行反应。
- 恢复延时时间 Δt_{REC}（仅与输入信号 ERR 相关）：只有持续时间超过该延时时间的错误（即 ERR 信号的有效性被破坏）才会激活安全状态输出 SS1 和 SS2。此延时时间仅在选择了恢复延时模式时才会生效。
- 安全状态信号 1 和安全状态信号 2 之间的延时时间 Δt_{SS2}

安全状态功能提供两个输出信号，这两个信号均作为输出级来驱动外部开关（需要额外的驱动级）：

- 安全状态信号 1（位于 SS1 引脚 ）
- 安全状态信号 2（位于SS2 引脚）相对于安全状态信号 1 可以设置一个可调的延迟时间Δt_{SS2}（通过 SPI）

微控制器安全管理单元 (SMU) 在 ERR 引脚上发出的错误信号

在微控制器由其 SMU 实现无故障运行的情况下，错误监控功能要求 ERR 引脚上提供具有规定时序的翻转信号。该翻转信号被视为“存活”指示。错误应通过持续的低电平信号来指示。持续的高电平信号也被视为故障指示，可能由短路引起。结果将反馈给安全状态控制。

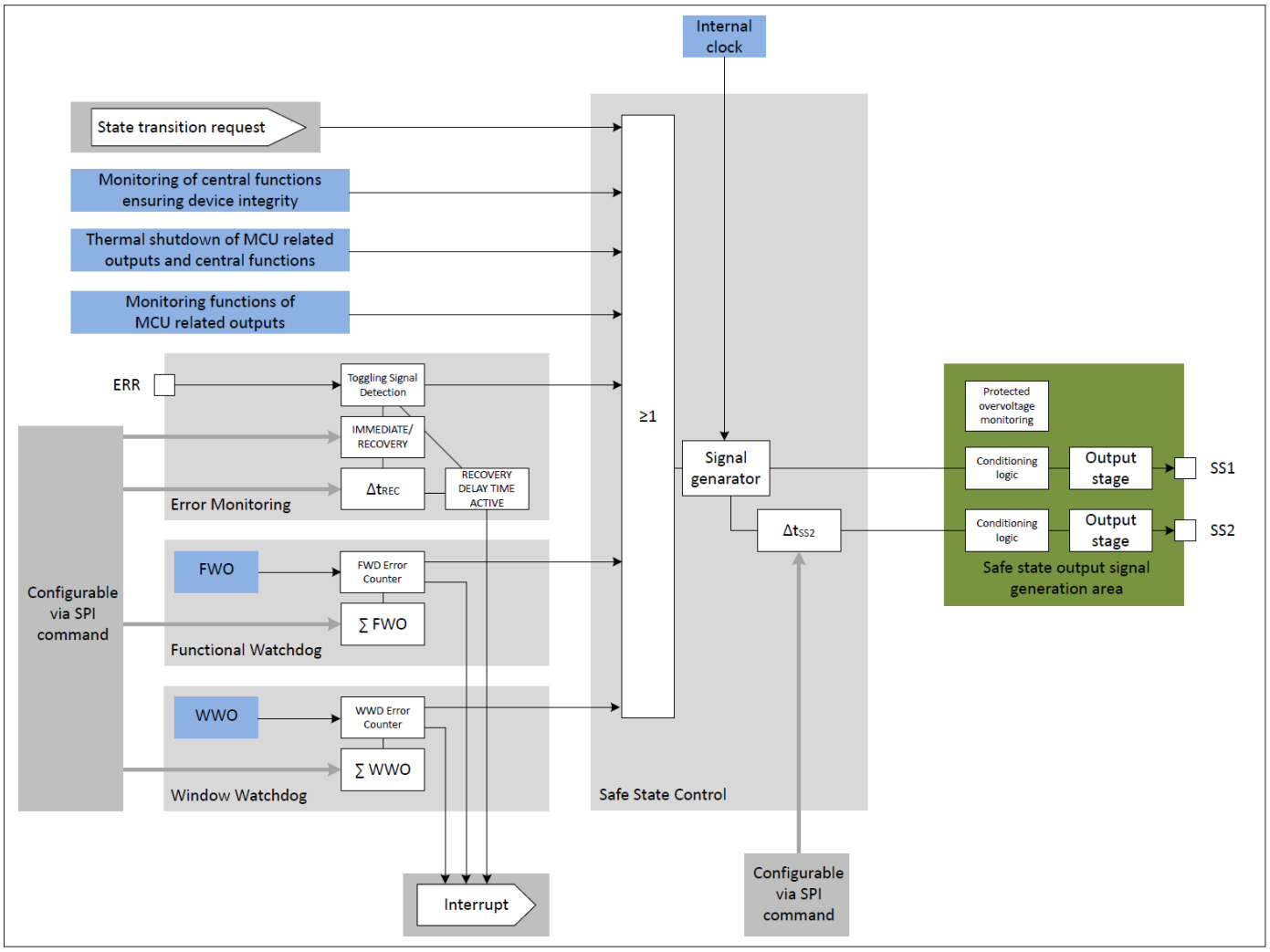


图 58　　安全状态控制功能原理

说明：

- 状态转移请求 = 微控制器可以通过 SPI 请求取消激活次级安全关断路径（SS1/2为高）。在 NORMAL 状态下，微控制器也可通过 SPI 将设备从 NORMAL 状态切出，从而激活次级安全关断路径（使 SS1/2 为低电平）。
- 对核心功能的监控，以确保器件完整性。
- TSD = 热关断
- 与 MCU 相关输出的监控功能。
- ERR 监控 = 错误引脚连接至微控制器的安全管理单元（SMU）
- ΣWWO = “无效 WWD 触发”的次数，在安全状态控制后应激活安全状态信号 SS1 和 SS2，位于窗口看门狗功能块
- ΣFWO = “无效FWD触发”的次数，在安全状态控制后应激活安全状态信号 SS1 和 SS2，位于功能看门狗功能块

- IMMEDIATE/RECOVERY = 区分对 SMU 信号的即时反应或恢复延时时间，位于错误监测功能块
- Δt_{REC} = 用于 ERR 引脚上 SMU 信号的恢复延时时间，位于错误监控模块中
- Δt_{SS2} = 安全状态信号 1 和安全状态信号 2 之间的延时时间
- SS1 = 安全状态信号 1
- SS2 = 安全状态信号 2

11.2 安全状态控制电气特性

表 28 安全状态控制电气特性

V_{VS} = 6 V 至 40 V；T_j = -40°C 至 150°C，所有电压均以地为参考，正向电流表示流入该引脚（除非另有说明）

Parameter	Symbol	Values			Unit	Note or condition	Number
		Min.	Typ.	Max.			
ERR pin							
ERR valid high level	$V_{ERR,hi}$	2.0	–	–	V	V_{ERR} increasing; V_{QUC} = 3.3 V	P_12.2.4
ERR valid low level	$V_{ERR,lo}$	–	–	0.8	V	V_{ERR} decreasing; V_{QUC} = 3.3 V	P_12.2.5
ERR hysteresis	$V_{ERR,hyst}$	100	300	600	mV	V_{QUC} = 3.3 V	P_12.2.6
ERR pull-down current	I_{ERR}	–	150	330	µA	V_{ERR} = V_{QUC}	P_12.2.7
ERR input capacitance	C_{ERR}	–	4	15	pF	1)	P_12.2.8
Valid ERR input signal frequency	$f_{ERR,valid}$	10	–	45	kHz	considering a duty cycle of 50 %	P_12.2.9
Invalid ERR input signal frequency (low frequency)	$f_{ERR,invalid,LF}$	0	–	5	kHz	considering a duty cycle of 50 %	P_12.2.10
Invalid ERR input signal frequency (high frequency)	$f_{ERR,invalid,HF}$	96.2	–	500	kHz	considering a duty cycle of 50 %	P_12.2.11
Invalid ERR input signal detection time (low frequency)	$\Delta t_{DET,LF}$	50.1	–	99.9	µs	derived from $f_{ERR,valid}$ and $f_{ERR,invalid,LF}$	P_12.2.12
Invalid ERR input signal detection time (high frequency)	$\Delta t_{DET,HF}$	5.2	–	11.1	µs	derived from $f_{ERR,valid}$ and $f_{ERR,invalid,HF}$	P_12.2.13
ERR reactivation time-out	$t_{ERR,TO}$	9	10	11	ms	after SLEEP	P_12.2.14
ERR reactivation time-out (first edge expected)	$t_{ERR,ren}$	50.1	–	110	µs	after re-enabling via *SPI* 2)	P_12.2.15
Safe state signal 1 pin SS1							
SS1 output, high level	$V_{SS1,hi}$	2.9	3.2	V_{QUC}	V	I_{SS1} ≥ -1 mA; V_{QUC} = 3.3 V	P_12.2.18
SS1 output, high level	$V_{SS1,hi}$	2.0	2.8	V_{QUC}	V	I_{SS1} ≥ -5 mA; V_{QUC} = 3.3 V	P_12.2.19
SS1 pull-down resistor	$R_{SS1,pd}$	70	100	130	kΩ	–	P_12.2.20

（表格续下页……）

表 28　　（续）安全状态控制电气特性

V_{VS} = 6 V 至 40 V；T_j = -40°C 至 150°C，所有电压均以地为参考，正向电流表示流入该引脚（除非另有说明）

Parameter	Symbol	Values			Unit	Note or condition	Number
		Min.	Typ.	Max.			
SS1 output, low level	$V_{SS1,lo}$	–	0	0.8	V	3) 4) $R_{SS1,pd,ext}$ ≤ 100 kΩ; $C_{SS1,ext}$ ≥ 50 pF; QUC active ; V_{QUC} ≥ 2 V	P_12.2.21
SS1 internal reaction time	$t_{SS1,act}$	–	12	30	µs	5)	P_12.2.22
Safe state signal 2 pin SS2							
SS2 output, high level	$V_{SS2,hi}$	2.9	3.2	V_{QUC}	V	I_{SS2} ≥ -1 mA; V_{QUC} = 3.3 V	P_12.2.25
SS2 output, high level	$V_{SS2,hi}$	2.0	2.8	V_{QUC}	V	I_{SS2} ≥ -5 mA; V_{QUC} = 3.3 V	P_12.2.26
SS2 pull-down resistor	$R_{SS2,pd}$	70	100	130	kΩ	–	P_12.2.27
SS2 output, low level	$V_{SS2,lo}$	–	0	0.8	V	3) 4) $R_{SS2,pd,ext}$ ≤ 100 kΩ; $C_{SS2,ext}$ ≥ 50 pF; QUC active ; V_{QUC} ≥ 2 V	P_12.2.28
SS2 internal reaction time	$t_{SS2,act}$	–	12	30	µs	5)	P_12.2.29
Adjustable parameters							
SSC time base accuracy	t_{SSC}	-10	–	10	%	timebase for Δt_{REC} and Δt_{SS2}	P_12.2.30
Adjustable recovery delay time	Δt_{REC}	0	–	10	ms	selectable 0, 1.0, 2.5, 5.0 and 10 ms; t_{SSC} to be considered	P_12.2.31
Adjustable delay time between SS1 and SS2	Δt_{SS2}	0	–	2500	ms	selectable 0, 10,50, 100, 250, 1250 and 2500 ms; t_{SSC} to be considered	P_12.2.32

1) 由设计指定，无需进行生产测试
2) 建议在通过 SPI 再次激活该功能之前，先向 ERR 引脚提供 ERR 信号。
3) 对于 QUC 关闭或不可用时的故障情况，必须考虑内部和外部下拉电阻。
4) 考虑模拟安全地（AGS1 和 AGS2）的丢失。
5) SSx 内部响应时间表示在请求或事件发生时关闭高电平驱动的时间。对于将 SSx 输出释放为高电平，需要将 SSx 内部响应时间计算两次（最大值为60 µs）。

11.3 对微控制器安全管理单元（SMU - 引脚 ERR）的响应：

11.3.1 对 ERR 监测故障的立即响应

当微控制器安全管理单元（SMU）通过停止 ERR 引脚的翻转信号来指示严重错误时，已设定对错误信号的立即响应：

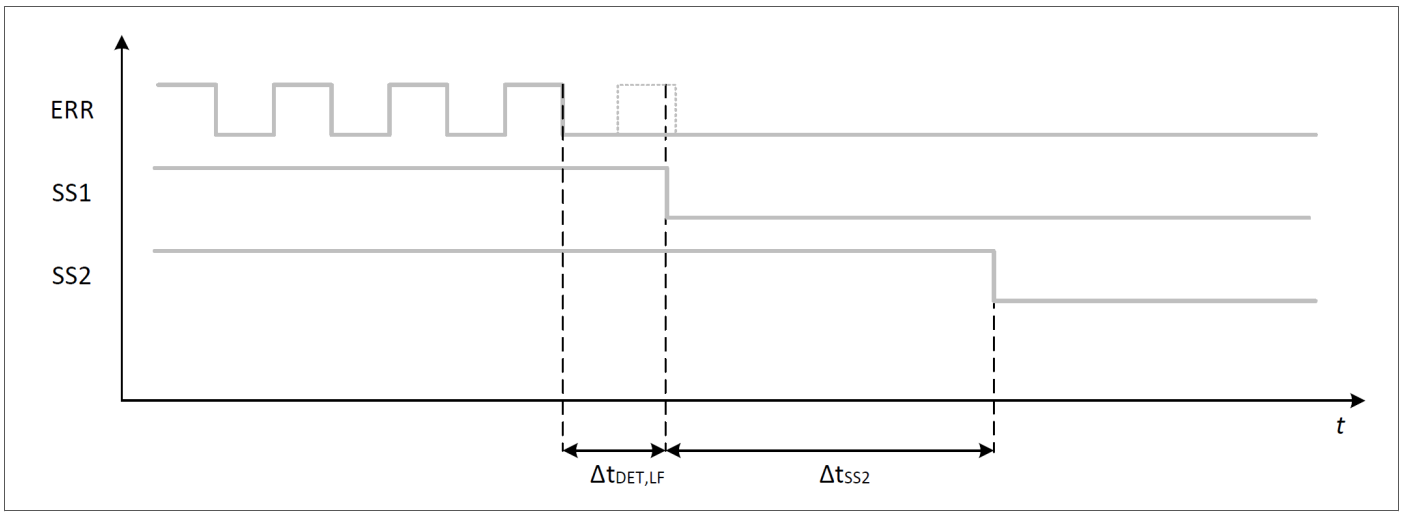


图 59 SMU 信号响应流程图（ERR 信号保持低电平）

说明：

- ERR 信号停止翻转并保持为低电平。
- 在检测时间 $\Delta t_{DET,LF}$ 到期后，此情况被检测为错误。
- $\Delta t_{DET,LF}$ 从最后一次识别到的下降沿开始计时。
- 安全状态信号 1（位于 SS1 引脚）被拉低。
- 安全状态信号 2（位于 SS2 引脚）在可选的延时时间 Δt_{SS2} 后被拉为低电平

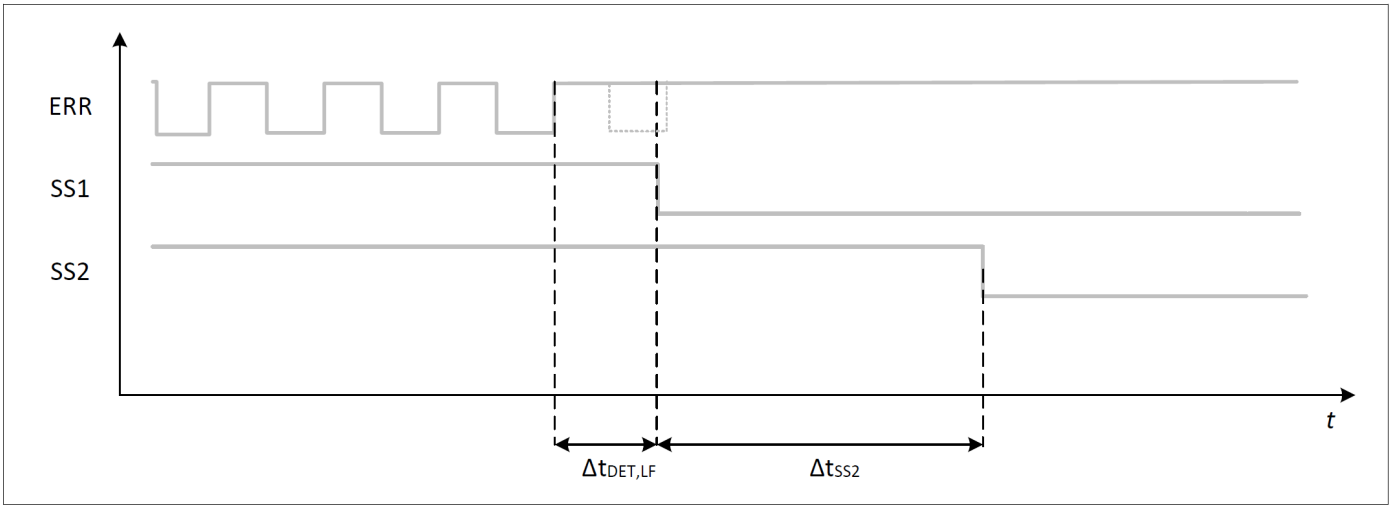


图 60 SMU 信号响应流程图（ERR 信号保持高电平）

说明：

- ERR 信号停止翻转并保持为高电平。
- 在检测时间 $\Delta t_{DET,LF}$ 到期后，此情况被检测为错误。
- $\Delta t_{DET,LF}$ 是从最后一个识别出的上升沿开始计时。

- 安全状态信号 1（位于 SS1 引脚）被拉低。
- 安全状态信号 2（位于 SS2 引脚）在可选的延时时间 Δt_{SS2} 后被拉为低电平

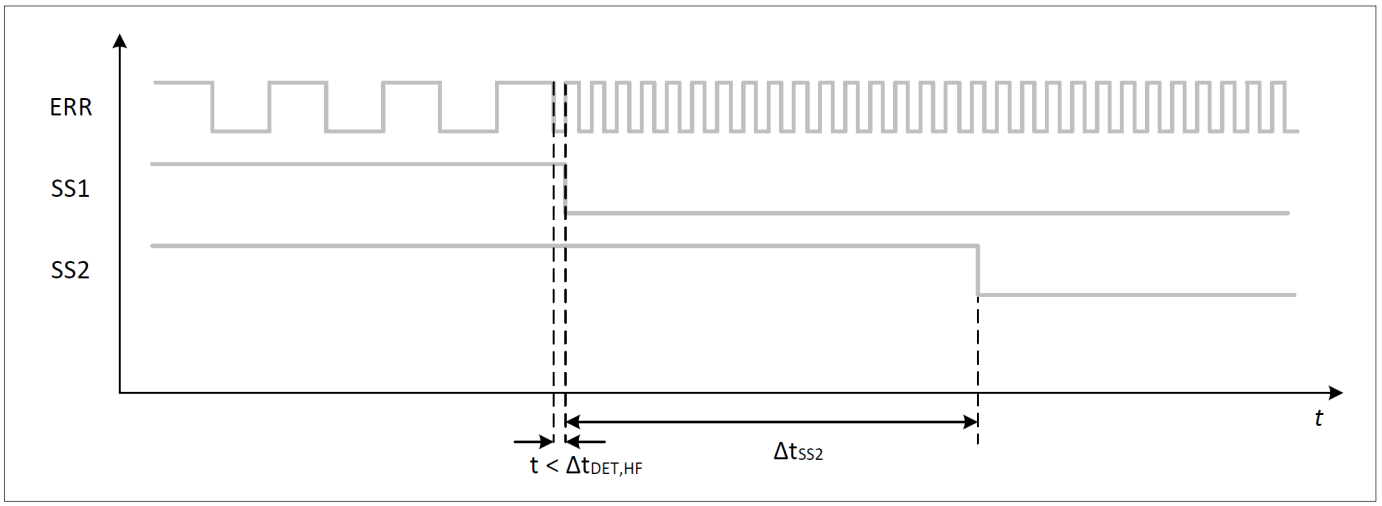


图 61　　SMU 信号响应流程图（ERR 信号频率过高）

说明：

- ERR 信号开始以频率 $f_{ERR,invalid,HF}$ 进行翻转。
- 只要沿到沿时间短于检测时间 $\Delta t_{DET,HF}$ 时，就会被检测为错误。
- 安全状态信号 1（位于 SS1 引脚）被拉为低电平。
- 安全状态信号 2（位于 SS2 引脚）在可选的延时时间 Δt_{SS2}后被拉为低电平。

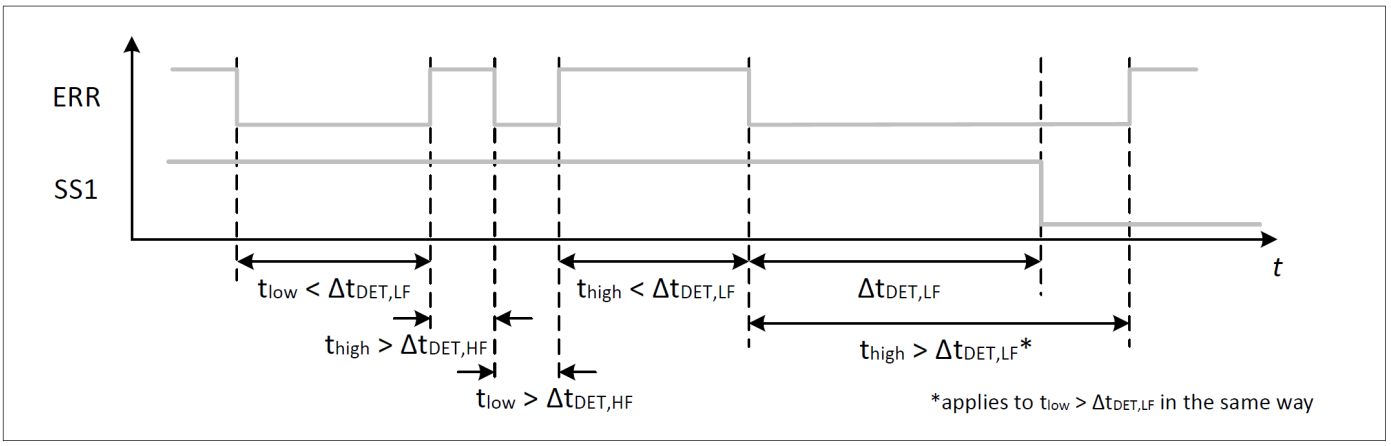


图 62　　SMU 信号响应流程图（占空比与 50% 不同，t_{low} 或 t_{high} 过长）

说明：

- ERR 信号会随着高低电平时间的变化而切换（占空比也可以变化），但 t_{low} 和 t_{high} 最初在 $t_{DET,HF}$ 和 $t_{DET,LF}$ 之间的有效范围内。
- 随后，图中所示的 ERR 低电平脉冲时间长于检测时间 $t_{DET,LF}$。
- 只要边沿到边沿时间长于检测时间 $\Delta t_{DET,LF}$，立即会被检测为错误。
- 安全状态信号 1（位于 SS1 引脚）被拉为低电平。
- 安全状态信号2（位于 SS2 引脚）在可选的延时时间 Δt_{SS2}后相应被拉为低电平。（图中未显示）
- 同样的条件也适用于高电平脉冲时间长于检测时间 $t_{DET,LF}$ 的情况。

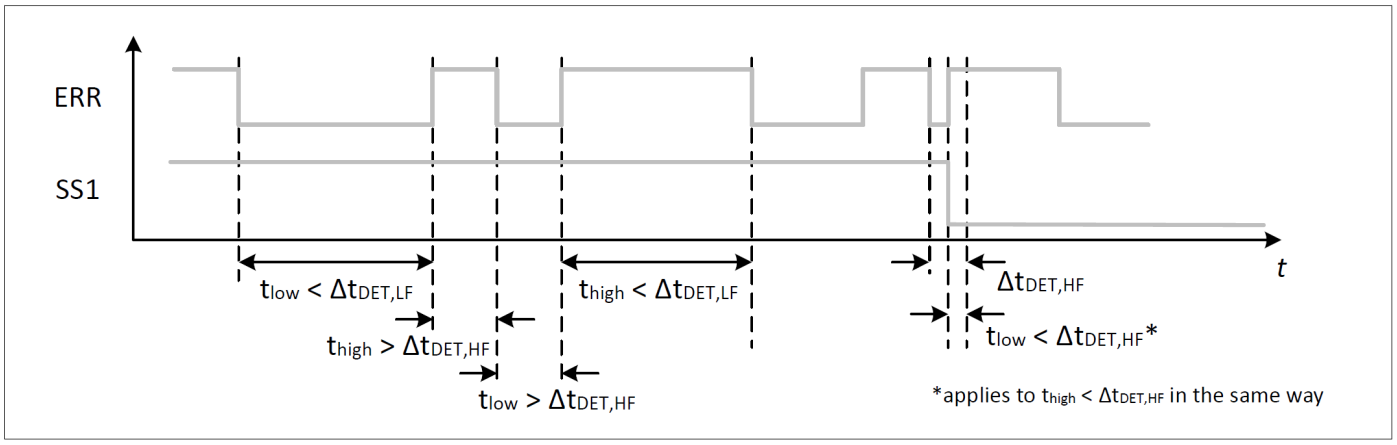


图 63　　SMU 信号响应流程图（占空比不同于 50%， t_{low} 或 t_{high} 过短）

说明：

- ERR 信号会随着高低电平时间的变化而切换（占空比也可以变化），但 t_{low} 和 t_{high} 最初在 $t_{DET,HF}$ 和 $t_{DET,LF}$ 之间的有效范围内。
- 随后，图中所示的 ERR 低电平脉冲时间短于检测时间 $t_{DET,HF}$。
- 只要沿到沿时间短于检测时间 $\Delta t_{DET,HF}$ 时，就会被检测为错误。
- 安全状态信号 1（位于 SS1 引脚）被拉为低电平。
- 安全状态信号2（位于 SS2 引脚）在可选的延时时间 Δt_{SS2}后相应被拉为低电平。（图中未显示）
- 同样地， 该条件也可以应用于高电平短脉冲时间短于检测时间 $t_{DET,HF}$ 的情况。

11.3.2　　ERR 监测失败导致的延时恢复响应

当微控制器安全管理单元（SMU）通过停止 ERR 引脚的翻转信号来指示严重错误时，已设定对错误信号的延时恢复响应 —— 给予 SMU 恢复的时间：

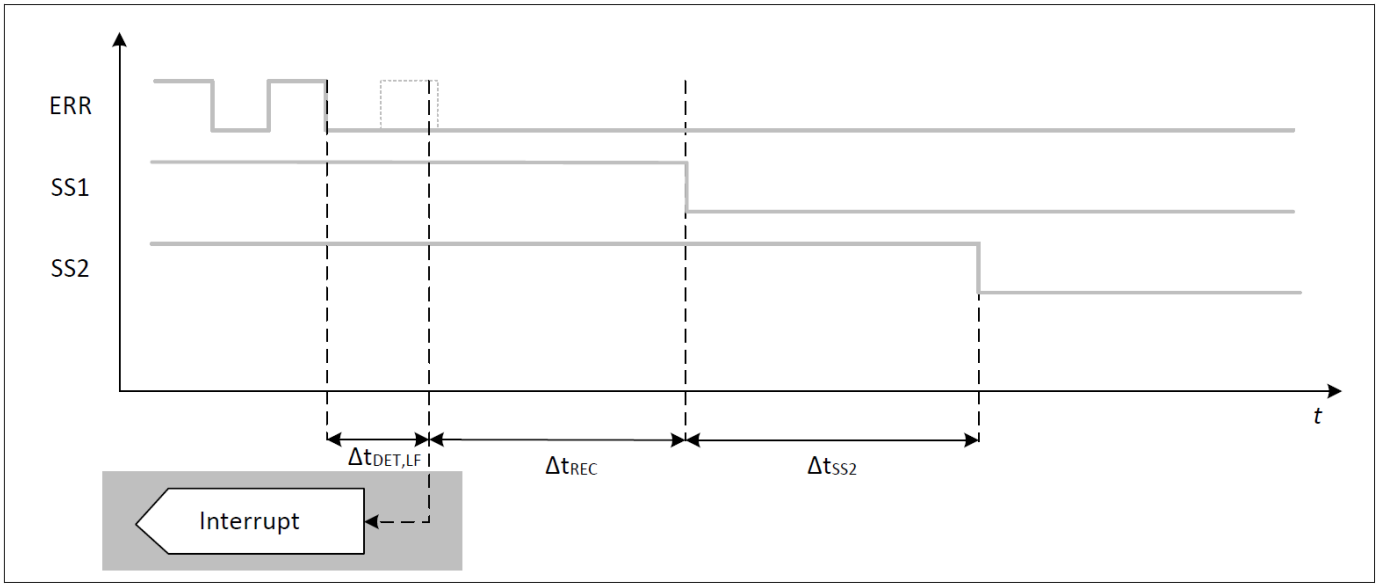


图 64　　对 SMU 信号响应的流程图，错误持续时间大于恢复延时时间

说明：

- ERR 信号停止翻转并保持为低电平（或高电平）。

- 在检测时间 $\Delta t_{DET,LF}$ 到期后，此情况被检测为错误。
- $\Delta t_{DET,LF}$ 从最后一次识别到的边沿开始计时。
- 检测到异常后会产生一个中断，指示恢复延时时间 Δt_{REC} 的开始
- 安全状态信号 1（位于 SS1 引脚）在 Δt_{REC} 超时后被拉低。
- 安全状态信号 2（位于 SS2 引脚）在可选的延时时间 Δt_{SS2} 后被拉为低电平

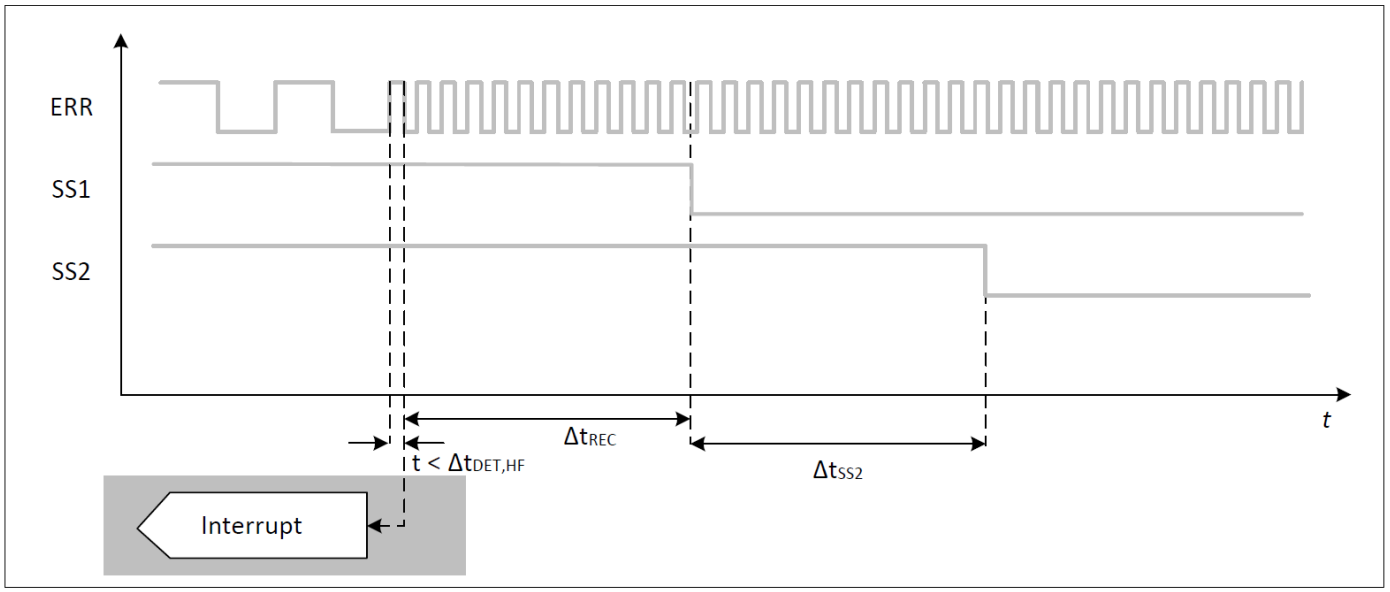


图 65　　对 SMU 信号响应的流程图，错误持续时间长于恢复延时时间（ERR 信号频率过高）

说明：

- ERR 信号开始以频率 $f_{ERR,invalid,HF}$ 进行翻转。
- 只要沿到沿时间短于检测时间 $\Delta t_{DET,HF}$ 时，就会被检测为错误。
- 检测到异常后会产生一个中断，指示恢复延时时间 Δt_{REC} 的开始
- 安全状态信号 1（位于 SS1 引脚）在 Δt_{REC} 超时后被拉低。
- 安全状态信号 2（位于 SS2 引脚）在可选的延时时间 Δt_{SS2} 后被拉为低电平

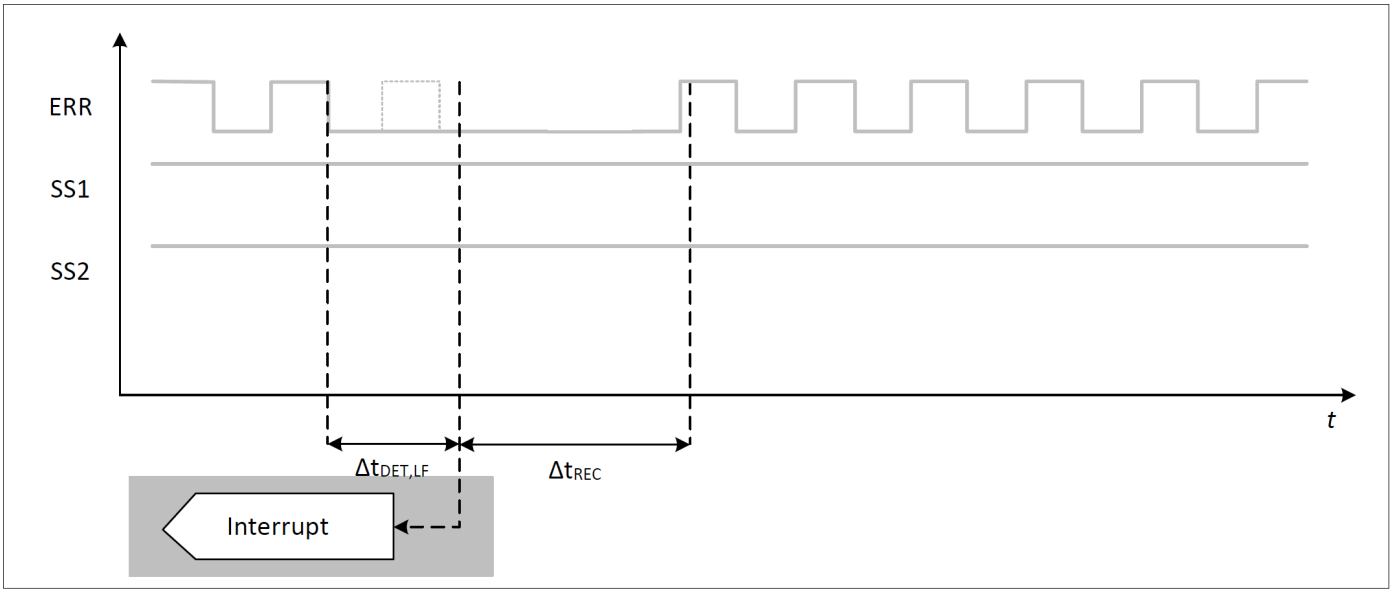


图 66　　对 SMU 信号响应的流程图，错误持续时间小于恢复延时时间

说明：

- ERR 信号停止翻转并保持为低电平（或高电平）。
- 在检测时间 $\Delta t_{DET,LF}$ 到期后，此情况被检测为错误。
- $\Delta t_{DET,LF}$ 从最后一次识别到的边沿开始计时。
- 检测到异常后会产生一个中断，指示恢复延时时间 Δt_{REC} 的开始
- ERR 信号在 Δt_{REC} 结束之前恢复切换。
- 安全状态信号 1（位于 SS1 引脚）和 2（位于 SS2 引脚）始终保持高电平。

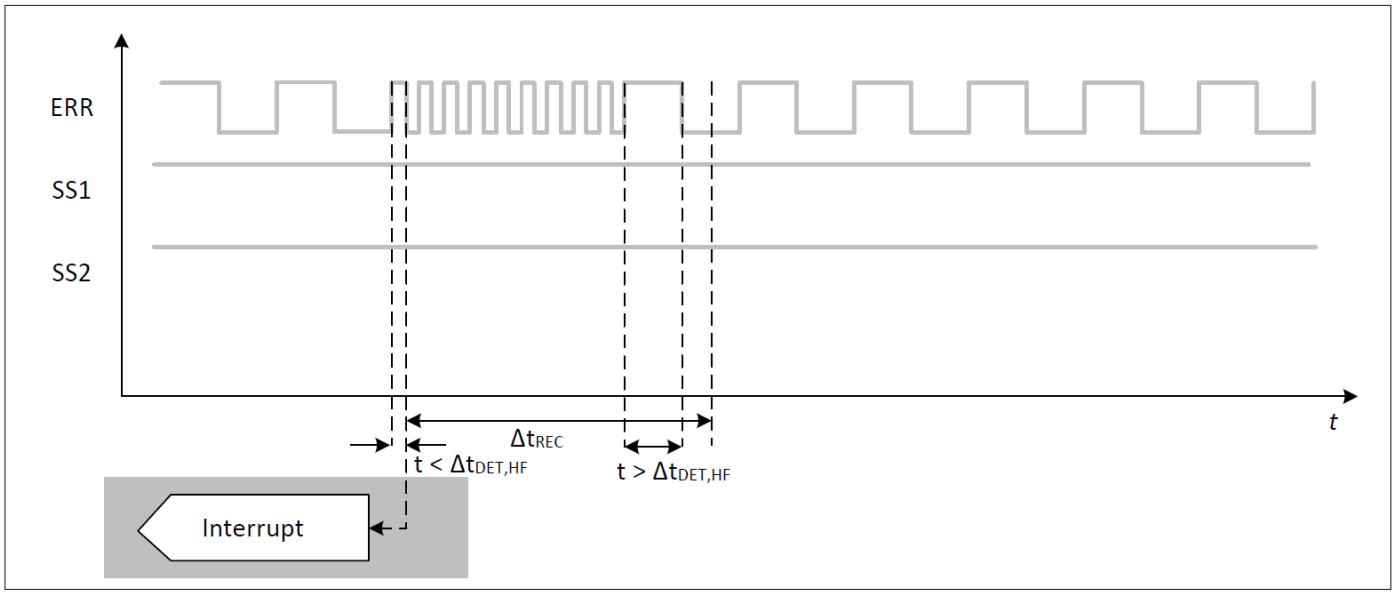


图 67　　对 SMU 信号响应的流程图，错误时间短于恢复延时时间（ERR 信号频率过高）

说明：

- ERR 信号开始以频率 $f_{ERR,invalid,HF}$ 进行翻转。
- 只要沿到沿时间短于检测时间 $\Delta t_{DET,HF}$ 时，就会被检测为错误。
- 检测到异常后会产生一个中断，指示恢复延时时间 Δt_{REC} 的开始
- 在 Δt_{REC} 到期之前， ERR 信号恢复以有效频率切换。
- 安全状态信号 1（位于 SS1 引脚）和 2（位于 SS2 引脚）始终保持为高电平。

11.4 对错误触发状态转换的响应

复位输出（ROT）指示微控制器相关稳压器的行为（详见"电压监测与复位功能"章节）。

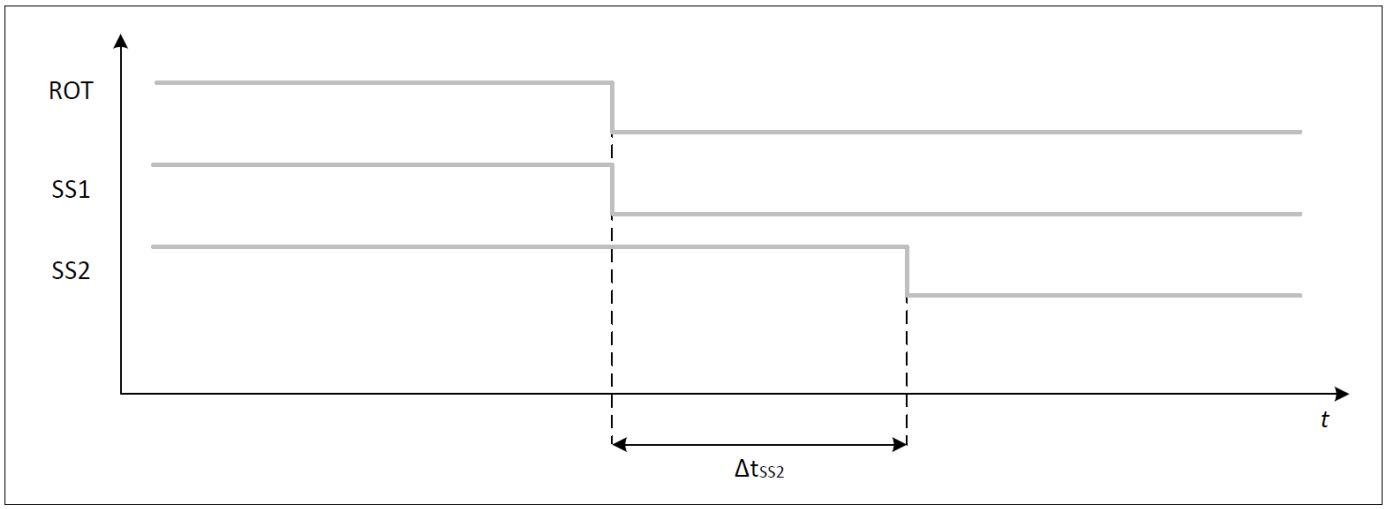


图 68 错误触发状态转换（软复位）的响应流程图

说明：

- ROT 信号下降沿表示发生错误
- 安全状态信号 1（位于SS1 引脚）在发生错误时立即拉为低电平。
- 安全状态信号 2（位于SS2 引脚）在通过 *SPI* 指令设置的延迟时间 Δt_{SS2} 之后变为“低电平”。
- 当 QUC 发生欠压事件时，由于 QUC 供电，延迟的 SS2 信号会跟随 V_{QUC}。

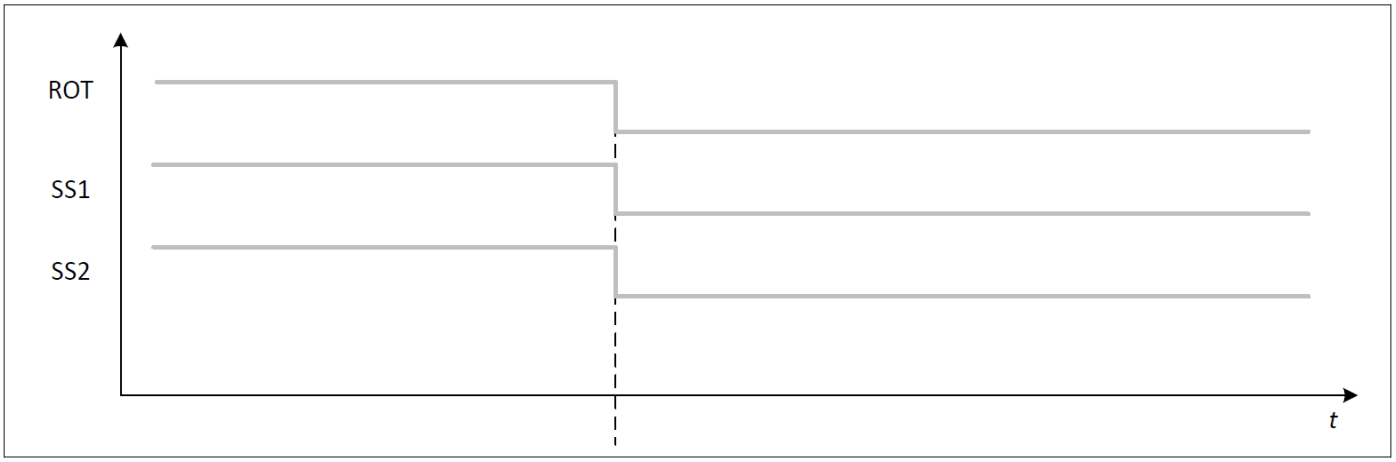


图 69 错误触发状态转换（硬复位）的响应流程图

说明：

- ROT 信号的下降沿表示发生了错误。
- 安全状态信号 1（位于 SS1 引脚）在错误发生时立即拉为低电平。
- 当 ROT 引脚拉低时，其供电的后级稳压器 QUC 被关闭，因此安全状态信号 2（位于 SS2 引脚）会与 SS1 同时拉为低电平。

11.5 窗口看门狗输出 (WWO) 的响应

器件的窗口看门狗错误计数器 (WWDSTAT.WWDECNT) 在每次无效的窗口看门狗触发时加二，每次有效的窗口看门狗触发时减一，详见窗口看门狗章节。

窗口看门狗错误计数器的增加会通过中断指示；其减少不会触发中断。窗口看门狗错误计数器的值会在最低值 0_D 处饱和。

激活安全状态信号 SS1 和 SS2 的阈值 ΣWWO 可以在 INIT、NORMAL 和 WAKE 状态下更改 (WDCFG0.WWDETHR)。

将错误计数器的内容与设定的阈值ΣWWO (RWDCFG0.WWDETHR) 进行比较。如果错误计数器的内容大于或等于 ΣWWO，则安全状态信号 SS1 和 SS2 会被激活（低电平）。

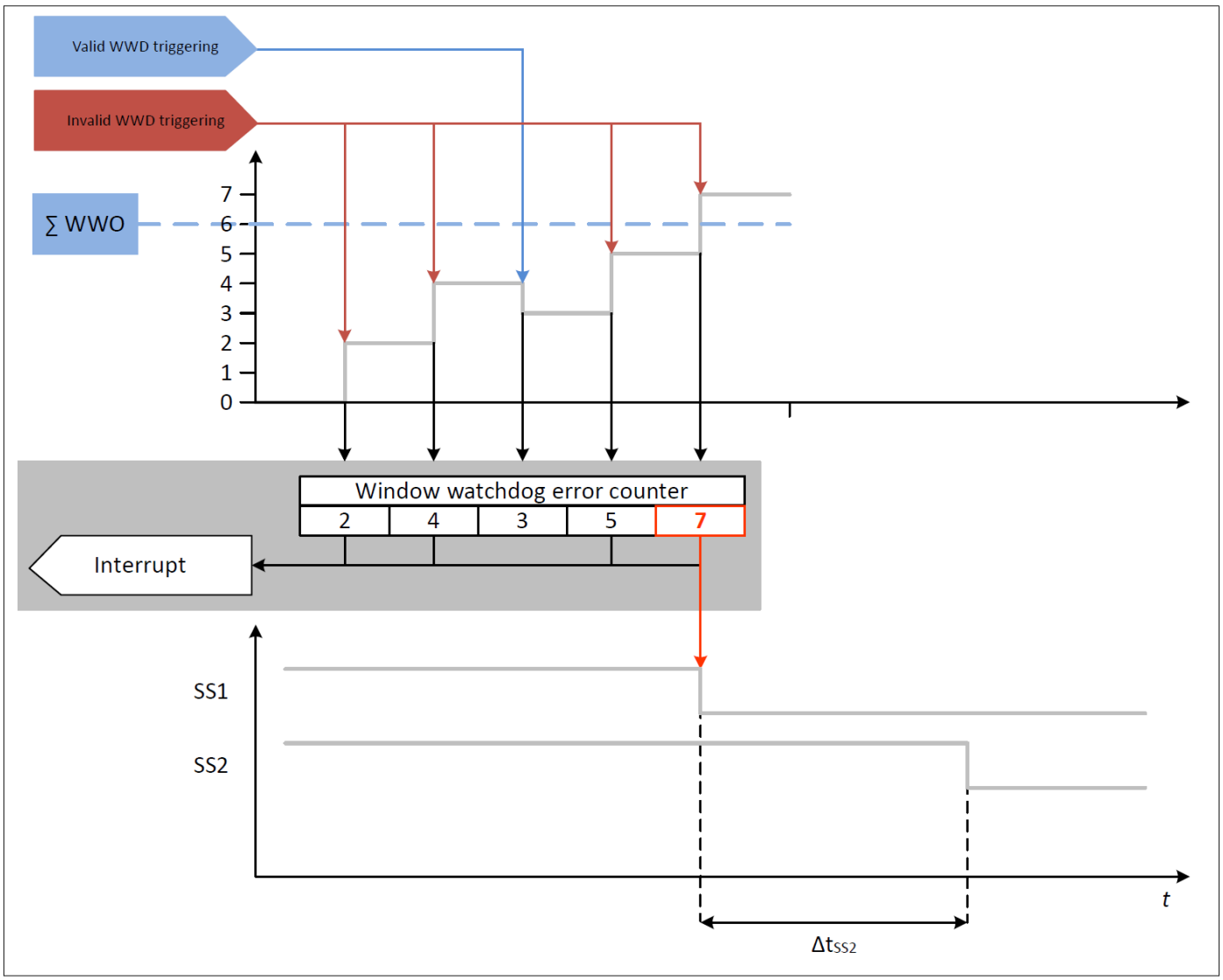


图 70 WWO 响应流程图

说明：

- 阈值 ΣWWO 置位为 6_D（示例）
- 一次无效的看门狗触发会使窗口看门狗错误计数器加二，并通过中断进行指示。

- 一次有效的看门狗触发会使窗口看门狗错误计数器减一，此操作不会触发中断。
- 错误计数器数值 7 会被识别为错误。
- 安全状态信号 1（位于 SS1 引脚）会在计数器状态变化时立即拉为“低电平”。
- 安全状态信号 2（位于 SS2 引脚）在通过 *SPI* 指令设置的延迟时间 Δt_{SS2} 之后拉为“低电平”。

11.6 对功能看门狗输出 (FWO) 的响应

器件的功能看门狗错误计数器 (FWDSTAT1.FWDECNT) 在每次无效的功能性看门狗触发时增加二，在每次有效的功能性看门狗触发时减少一，请参见功能性看门狗章节。

功能看门狗错误计数器的增加会通过中断指示；其减少不会触发中断。功能看门狗错误计数器的数值会在最低值 0_D 处饱和。

激活安全状态信号 SS1 和 SS2 的阈值 ΣFWO 可以在 INIT、NORMAL 和 WAKE 状态下更改（WDCFG1.FWDETHR）。

错误计数器的内容会与设定的阈值 ΣFWO (RWDCFG1.FWDETHR) 进行比较。如果错误计数器的内容大于或等于 ΣFWO，则安全状态信号 SS1 和 SS2 会被激活（低电平）。

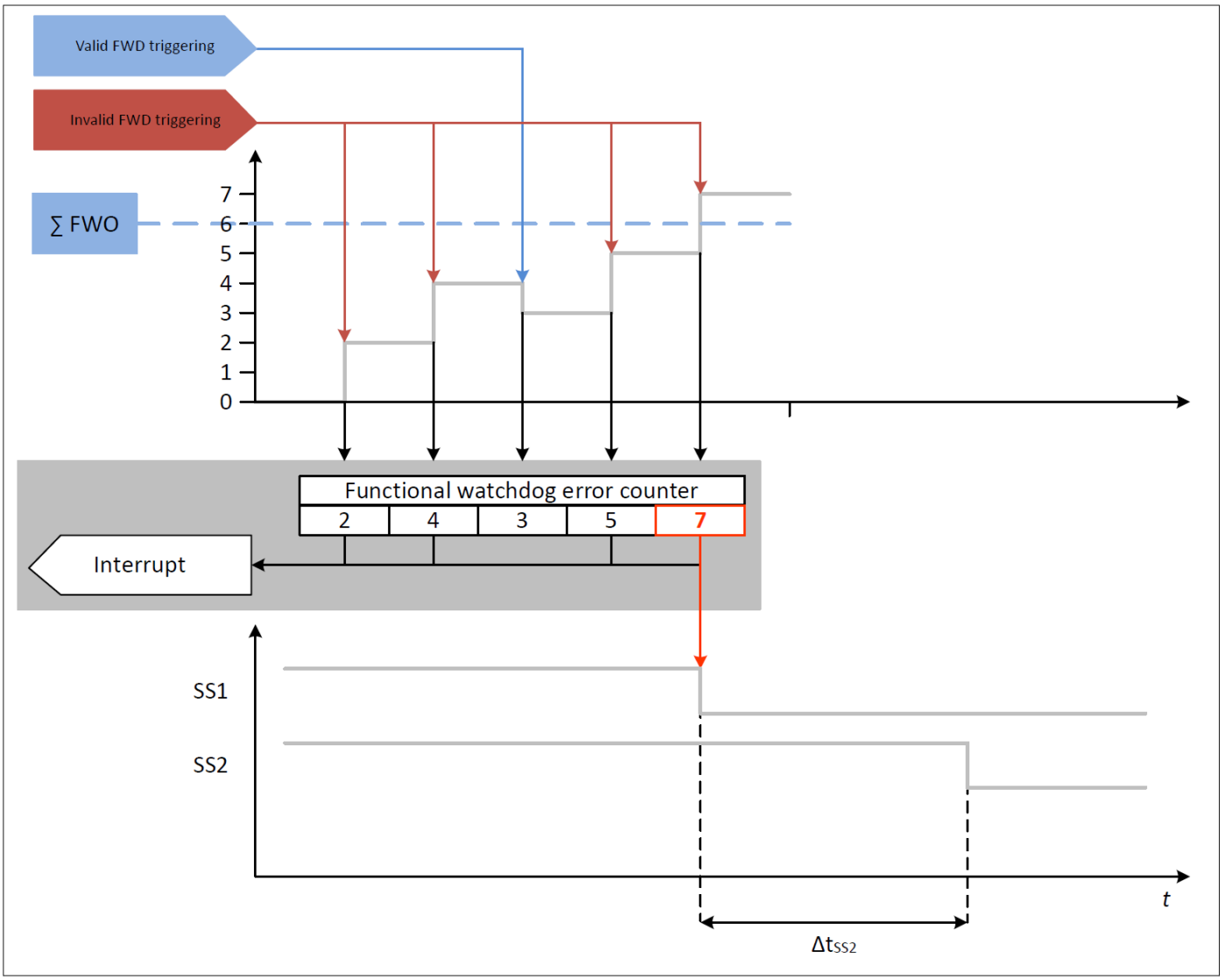


图 71　　FWO 响应流程图

说明：

- 阈值 ΣFWO 置位为 6_D（示例）。
- 一次无效的看门狗触发会使功能看门狗错误计数器加二，并通过中断进行指示。
- 一次有效的看门狗触发会使功能看门狗错误计数器减一，此操作不会触发中断。
- 错误计数器数值 7 会被识别为错误。
- 安全状态信号 1（位于 SS1 引脚）会在计数器状态变化时立即拉为“低电平”。
- 安全状态信号 2（位于 SS2 引脚）在通过 *SPI* 指令设置的延迟时间 Δt_{SS2} 之后拉为“低电平”。

11.7　　对热关断（TSD）的响应

热关断（TSD）用于指示芯片处于温度过载状态。因此，所有前级和后级稳压器都会立即关闭（QCO 的温度传感器除外）。

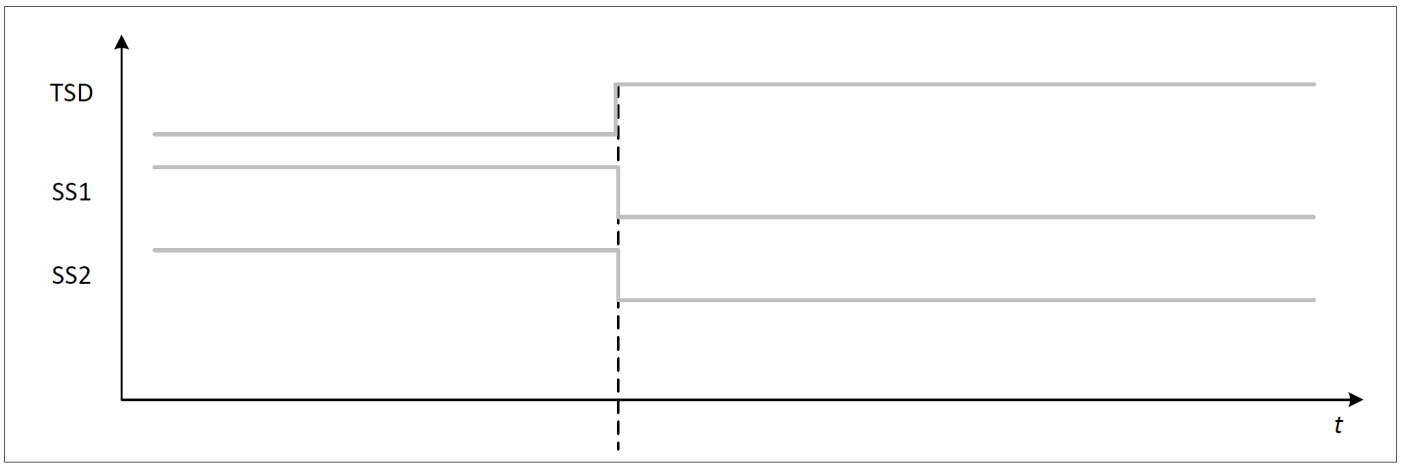


图 72　　TSD 响应流程图

说明：

- TSD 信号的上升沿（内部）被识别为错误。
- 安全状态信号 1（位于 SS1 引脚）在 TSD 的上升沿出现时立即拉为“低电平”。
- 当 ROT 引脚拉低时，其供电的后级稳压器 QUC 被关闭，因此安全状态信号 2（位于 SS2 引脚）会与 SS1 同时拉为“低电平”。

12 SPI - 串行外设接口

12.1 SPI 介绍

主要功能

串行外设接口总线是一种全双工同步串行数据链路。器件以从设备模式通信，由主机（MCU）启动数据帧。器件通过专用片选线进行寻址，这允许在同一 *SPI* 总线上连接其他从设备。

数据传输

在开始通信之前，MCU 必须首先配置时钟，其频率需小于或等于器件所支持的最大频率。MCU 将器件的片选信号拉低。

功能说明

SPI 基本访问：MOSI（引脚SDI）上的所有数据都是在 SPI 时钟信号（引脚SCL）的上升沿被采样，并在 SPI 时钟信号（引脚 SCL）的下降沿被移出。同样的方法也需要应用于 SPI MISO（SDO）主设备。读取操作必须从 CMD 位为 0_B 开始，写入操作必须从 CMD 位为 1_B 开始。

写入 SDI 的写命令会回传到 SDO。

对于读取指令，奇偶校验是根据输出数据流计算的。用于计算的数据由 1_B、status [5:0] 和 rd_data[7:0] 组成。如果输出数据流中 1_B 处的位数为奇数，则校验位置位于 1_B，即对输出的全部 15 位执行 XOR 运算。

写入数据将进行奇偶校验。奇偶校验基于输入比特流计算，覆盖 CMD 位、六个地址位以及八个数据位。

无论状态机处于 INIT 状态、NORMAL 状态、WAKE 状态或 SLEEP 状态，都可以随时 通过 SPI 进行配置。在 SLEEP 状态下，SPI 最大时钟频率降低，详情请参阅表 29。

SPI 访问时序在下图中定义：

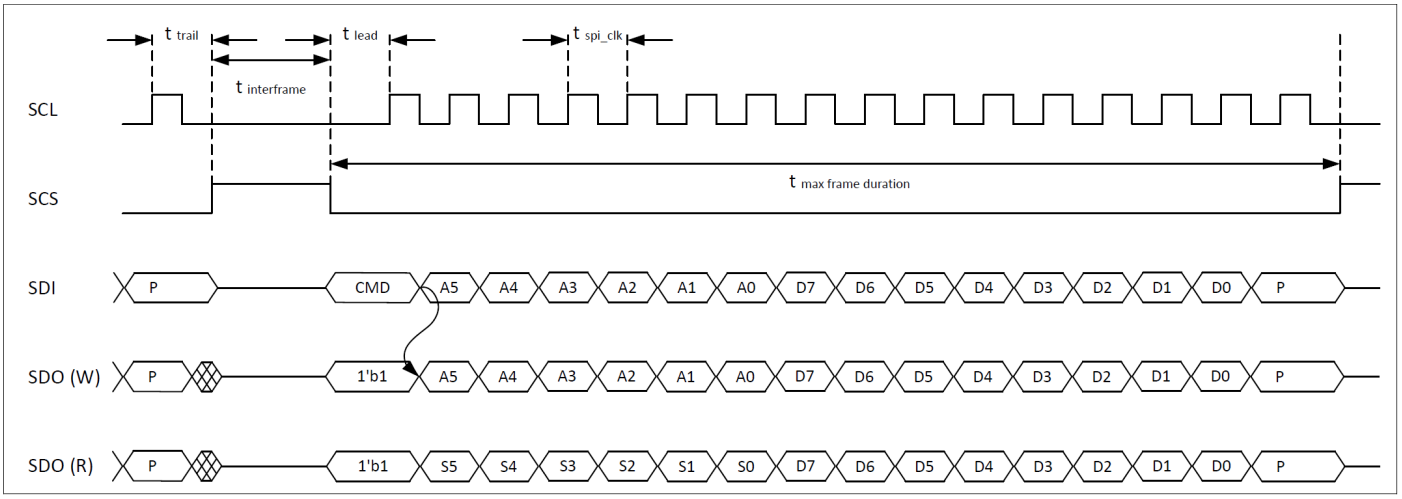


图 73 SPI - 正常模式下的帧

SPI MISO:

- 写入时，MOSI 的数据被直接回转；读取时，被访问寄存器的内容会在同一 SPI 帧中提供
- CMD 位始终置位为 1_B。所有其他状态位置位为 0_B。

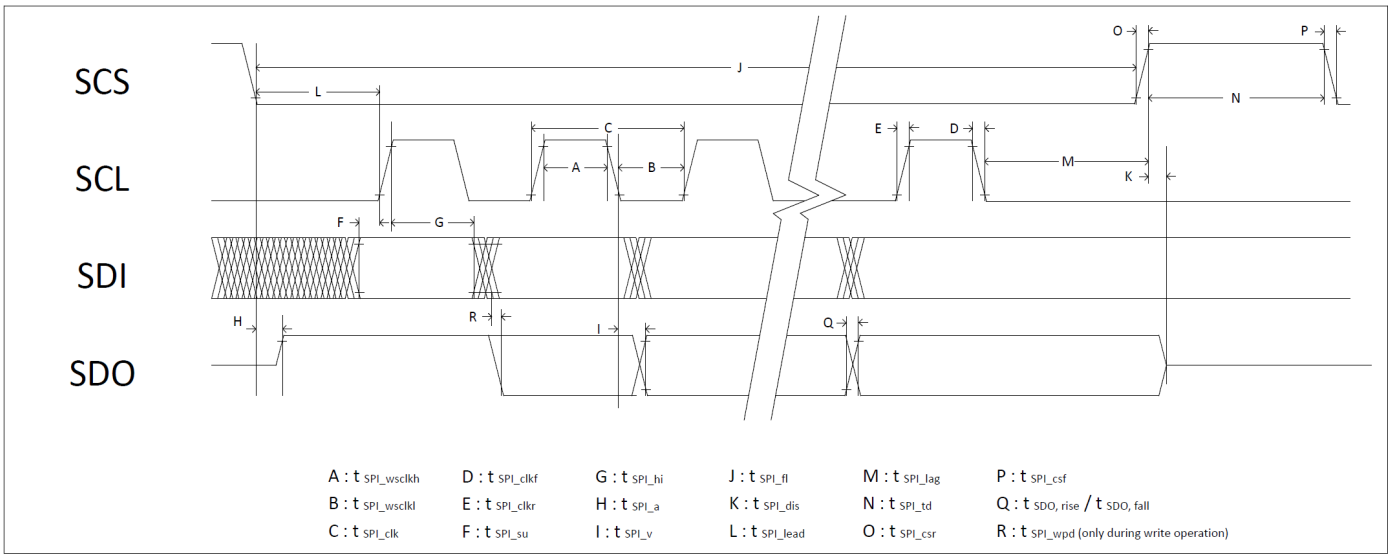


图 74　　SPI 时序

表 29　　SPI 时序电气特性

V_{VS} = 6 V 至 40 V；T_j = -40°C 至 150°C，所有电压均以地为参考，正向电流表示流入该引脚（除非另有说明）

Parameter	Symbol	Values			Unit	Note or condition	Number
		Min.	Typ.	Max.			
CLK_SPI Operating Frequency	f_{SPI_clk}	–	–	10	MHz	1)	P_13.1.1
CLK_SPI Operating Frequency	f_{SPI_clk}	–	–	1.5	MHz	SLEEP-state	P_13.1.2
CLK Signal duty cycle	D_{SCL}	45	50	55	%	–	P_13.1.3
CLK_SPI Operating Period	t_{SPI_clk}	100	–	–	ns	–	P_13.1.4
CLK_SPI high time	t_{SPI_wsclkh}	45	–	–	ns	–	P_13.1.5
CLK_SPI low time	t_{SPI_wsclkl}	45	–	–	ns	–	P_13.1.6
CLK_SPI fall time	t_{SPI_clkf}	–	–	0.1×t_{SPI_fact}	[ns]	2) $t_{SPI_fact} \le t_{SPI_clk}$; 100 ns ≤ t_{SPI_fact} ≤ 1 µs	P_13.1.7
CLK_SPI rise time	t_{SPI_clkr}	–	–	0.1×t_{SPI_fact}	[ns]	2) $t_{SPI_fact} \le t_{SPI_clk}$; 100 ns ≤ t_{SPI_fact} ≤ 1 µs	P_13.1.8
CLK_SPI lead time	t_{SPI_lead}	100	–	–	ns	for INIT, NORMAL, WAKE state	P_13.1.9
CLK_SPI lead time (SLEEP state)	t_{SPI_lead}	4	–	–	µs	for SLEEP state	P_13.1.10
CLK_SPI lag time	t_{SPI_lag}	50	–	–	ns	–	P_13.1.11

（表格续下页……）

表 29　　（续）SPI 时序电气特性

V_{VS} = 6 V 至 40 V；T_j = -40°C 至 150°C，所有电压均以地为参考，正向电流表示流入该引脚（除非另有说明）

Parameter	Symbol	Values			Unit	Note or condition	Number
		Min.	Typ.	Max.			
SPI Chip Select (SCS) rise time	t_{SPI_csr}	–	–	0.2×t_{SPI_fact}	[ns]	2) $t_{SPI_fact} \le t_{SPI_lag}$; 50 ns ≤ t_{SPI_fact} ≤ 500 ns	P_13.1.12
SPI Chip Select (SCS) fall time	t_{SPI_csf}	–	–	0.2×t_{SPI_fact}	[ns]	2) $t_{SPI_fact} \le t_{SPI_lead}$; 100 ns ≤ t_{SPI_fact} ≤ 1 µs	P_13.1.13
SPI Data Input (SDI) setup	t_{SPI_su}	10	–	–	ns	–	P_13.1.14
SPI Data Input (SDI) hold time	t_{SPI_hi}	10	–	–	ns	–	P_13.1.15
SPI Data Output (SDO) valid after CLK_SPI	t_{SPI_v}	–	–	(0.1×t_{SPI_fact})+36	[ns]	$C_{SDO,load}$= 50 pF; 2) $t_{SPI_fact} \ge t_{SPI_clkf}$; 10 ns ≤ t_{SPI_fact} ≤ 100 ns	P_13.1.16
SPI write propagation delay SDI to SDO	t_{SPI_wpd}	–	–	35	ns	–	P_13.1.17
SPI Data Output (SDO) access	t_{SPI_a}	–	–	50	ns	$C_{SDO,load}$ = 50 pF	P_13.1.18
SPI Data Output (SDO) disable time	t_{SPI_dis}		–	100	ns	$C_{SDO,load}$ = 50 pF	P_13.1.19
Sequential transfer delay	t_{SPI_td}	350	–	–	ns	–	P_13.1.20
Sequential transfer delay	t_{SPI_td}	2	–	–	µs	SLEEP-state	P_13.1.21
Frame duration (SCS low)	t_{SPI_fl}		–	1.85	ms	–	P_13.1.22

1) 要获得最大可实现的 CLK_SPI 工作频率，请考虑 CLK_SPI 的上升时间和下降时间（t_{SPI_clkr} 和 t_{SPI_clkf}）。

2) t_{SPI_fact} 在此规范行中用作辅助因子。仅在该行内有效，不适用于规范的其他行。

SPI 错误：

- 写入时奇偶校验位错误，写入数据将被忽略。
- 写入无效地址时，写入数据将被忽略。
- 当 SCS 为低电平时，SPI 时钟周期数量错误时，写入数据将被忽略，器件会在每个 SPI 时钟周期内提供。
- 从无效地址读取数据（读取数据时，MISO 返回所有数据位均为零）。在这种情况下，器件在完成计算后会对奇偶校验位进行反转/破坏。

- 帧持续时间无效时，写入数据会被忽略，并且在经过 t_{SPI_fl} 之后，器件内部会关闭 SDO 的输出驱动。只要 SCS 为低电平的时间小于t_{SPI_fl}，则读取数据会在每个 SPI 时钟周期提供。
- 如果 SPI 时钟周期不是 16，并且器件检测到无效帧持续时间错误，则会同时置位无效帧持续时间状态标志和错误的 SPI 时钟周期数状态标志。

如果是 SPI 发生错误时，会产生中断。

SPI 错误的中断只有在 SCS 变为“高电平”或帧超时后才会触发。

12.2 对受保护寄存器的 SPI 写访问

某些内部寄存器（SYSPCFG0、SYSPCFG1、WDCFG0、WDCFG1、FWDCFG、WWDCFG0、WWDCFG1）具有防止意外覆盖的保护机制。可以通过读取寄存器 PROTSTAT 中的 LOCK 来检查保护状态。

只有通过 *SPI* 在 INIT、NORMAL 或 WAKE 状态下执行 32 位解锁序列后，才能对受保护的寄存器进行写入访问。解锁序列由 4 个连续字节的 32 位列组成（1: AB_H; 2: EF_H; 3: 56_H; 4: 12_H）必须在发送过程中不能有其他 SPI 写入访问。可以通过读取寄存器 PROTSTAT 来检查每个写入字节的正确性。在序列中发送到 KEY1OK 的任意错误UNLOCK字节都可通过对应的 KEYxOK 位（例如 PROTSTAT.KEY1OK）识别。写入错误字节后，必须重复执行 UNLOCK 序列。

如果在 UNLOCK 序列过程中检测到对除 PROTCFG 之外任何寄存器进行写访问，则会产生一个中断（SPISF.LOCK），并且已成功检测到的 UNLOCK 字节会被清零。为了恢复序列，必须再次发送第一个 UNLOCK 字节，直到 PROTSTAT.KEY1OK 变为 1_B，表示新的 UNLOCK 序列已开始，并且已接收到第一个正确的字节。此外，如果在序列的第 1，2 或 3 个字节位置接收到错误的 UNLOCK 字节，则在接收到完整序列（第 4 个字节）后也会生成一个中断（SPISF.LOCK）。序列第 4个位置的错误字节不会生成中断，但可通过寄存器 PROTSTAT 中 KEY4OK 位为 0_B 且 LOCK 位仍处于 1_B（锁定）。

一旦成功执行 UNLOCK 序列，任何受保护的配置寄存器即可被写入。

为确保对受保护配置寄存器的写入正确，微控制器应读回寄存器值并通过校验数据来确认其正确性。写入到受保护配置寄存器的数据位在读操作时会以反相形式返回，这意味着微控制器可对读出的寄存器数据与期望值执行一次 XOR 运算。若寄存器数据正确，结果应为 FF_H。器件本身不会检查寄存器中数值的正确性。

所有受保护的配置请求寄存器值仅在成功执行 LOCK 序列[6)]后被各自功能采样。一个成功的 LOCK 序列由 4 个连续字节 32bit 组成（1: DF_H; 2: 34_H; 3: BE_H; 4: CA_H），期间不得插入任何其它 SPI 写访问。每个写入字节的正确性可以通过读取寄存器 PROTSTAT 来检查。任何发送到 KEY1OK 错误 LOCK 字节都可通过对应的 KEYxOK 位（例如PROTSTAT.KEY1OK）识别。写入错误字节后，必须重新执行 LOCK 序列。

如果在 LOCK 序列之间检测到对除 PROTCFG 以外的任何其他寄存器进行写访问，则生成一个中断(SPISF.LOCK)，并且成功检测到的 UNLOCK 序列字节数置零。为了恢复序列，必须再次发送第一个 LOCK 字节，直到 PROTSTAT.KEY1OK 变为 1_B，这表示新的 LOCK 序列已开始，并且已接收到第一个正确的字节。此外，如果在序列的第 1、2或 3个位置接收到错误的 LOCK 序列字节，则在接收到完整的序列（第 4 个字节），也会生成一个中断（SPISF.LOCK）。序列中的第 4个位置的错误字节不会生成中断，但可以通过寄存器 PROTSTAT 中的 KEY4OK 位为 0_B 且 LOCK 位仍处于 0_B（未锁定）来识别。

在成功检测到 LOCK 序列后，配置寄存器及所有内部功能都会使用受保护的配置请求寄存器中的数值进行更新。

微控制器必须确保所有寄存器均已正确配置，可以通过向特定寄存器写入新值，或读回应保持不变的寄存器进行校验。不支持受保护寄存器的部分重配置，即无法仅配置单个功能而保持其他功能不变；因为在成功完成 LOCK 序列后，所有受保护的配置请求寄存器都会同时被载入配置寄存器（RSYSPCFG0、RSYSPCFG1、RWDCFG0、RWDCFG1、RFWDCFG、RWWDCFG0、RWWDCFG1）。

在 LOCK 序列之后，最大内部配置时间必须考虑 60 µs，以确保新配置被接管。

受影响的功能：

- 所有用于 *WWD* 和 *FWD* 的看门狗配置寄存器，包括它们在 SLEEP 状态下的配置。

6 SYSPCFG1.SS2DEL 和 SYSPCFG0.DISOFFSET 存在例外情况，请参阅相应位字段描述。

- 所有错误监控配置寄存器，包括其在 SLEEP 状态下的配置。
- 用于启用或禁用待机电源并配置其工作模式的专用寄存器。
- SS2 延时时间的配置。

始终可以读取任何受保护的配置请求寄存器。

12.3 SPI 写发起的状态转换请求和稳压器配置

状态机转换可以通过启动 *SPI* 指令触发。如果某个可选后级稳压器在下一状态中预计会改变状态，则必须在同一寄存器中与指令一起发送此信息。如果仅需更改可选后级稳压器的配置而不改变当前状态，则 SPI 指令必须包含当前状态以及后级稳压器的新的配置设置。

为了请求状态转换和/或更改电源配置，必须先将请求数据写入寄存器 DEVCTRL，然后到紧接着写入 DEVCTRLN。写入 DEVCTRLN 的数据与写入 DEVCTRL 的数据逐位取反。请求会在第二条指令结束时 SCS 的上升沿被采纳。

如果请求无效（序列错误或 DEVCTRLN 未对 DEVCTRL 逐位取反），则请求会被拒绝，生成中断，并将相应的状态标志（NO_OP）置位。如果根据第 10 章状态机定义属于无效的状态转移请求，则该请求被忽略，且不会产生中断信号。

12.4 寄存器描述

表 30 缩写词

*R0)	Registers that are reset only in case of transition from STANDBY (with disabled QST and wake-up timer) and POWERDOWN state.
*R1)	Registers that are reset only in case of transition from STANDBY (with any configuration of QST and wake-up timer) and POWERDOWN state.
*R2)	Registers that are reset only in case of transition from FAILSAFE, STANDBY and POWERDOWN state.
*R3)	Registers that are reset in case of "Move to INIT" event and transition from FAILSAFE, STANDBY and POWERDOWN state.
r	Bits that are readable (read)
rw	Bits that are readable and writable (read-write)
rwp	Bits that are readable and writable, but protected by register PROTCFG (read-write-protected)
rw1c	Bits that are readable and which can be cleared by writing a 1 to it. (read-write-1-to-clear). Flag-bits are updated based on the occurred condition.
rwhc	Bits that are readable and writable, after writing the operation is triggered, once this is done successfully the bit is cleared by hardware. (read-write-hardware-cleared)
rwhu	Bits that are readable and writable, after the operation the bit is updated by hardware. (read-write-hardware-updated)

表 31 寄存器地址空间

Module	Base Address	End Address	Note
Bus Interface	0_H	$3F_H$	Slave interface

表 32 寄存器概览

Register Short Name	Register Long Name	Offset Address	Reset Value
DEVCFG0	Device configuration 0 *R2)	00_H	08_H
DEVCFG1	Device configuration 1 *R0)	01_H	06_H
DEVCFG2	Device configuration 2 *R2) [1)]	02_H	00_H
PROTCFG	Protection register *R2)	03_H	00_H
SYSPCFG0	Protected System configuration request 0 *R1)	04_H	01_H
SYSPCFG1	Protected System configuration request 1 *R2)	05_H	08_H
WDCFG0	Protected Watchdog configuration request 0 *R2)	06_H	$9B_H$
WDCFG1	Protected Watchdog configuration request 1 *R2)	07_H	09_H
FWDCFG	Protected Functional watchdog configuration request *R2)	08_H	$0B_H$
WWDCFG0	Protected Window watchdog configuration request 0 *R2)	09_H	06_H

（表格续下页……）

表 32 （续） 寄存器概览

Register Short Name	Register Long Name	Offset Address	Reset Value
WWDCFG1	Protected Window watchdog configuration request 1 *R2)	$0A_H$	$0B_H$
RSYSPCFG0	System configuration 0 status *R1)	$0B_H$	01_H
RSYSPCFG1	System configuration 1 status *R3) [1)]	$0C_H$	08_H
RWDCFG0	Watchdog configuration 0 status *R3)	$0D_H$	$9B_H$
RWDCFG1	Watchdog configuration 1 status *R3)	$0E_H$	09_H
RFWDCFG	Functional watchdog configuration status *R3)	$0F_H$	$0B_H$
RWWDCFG0	Window watchdog configuration 0 status *R3)	10_H	06_H
RWWDCFG1	Window watchdog configuration 1 status *R3)	11_H	09_H
WKTIMCFG0	Wake-up timer configuration 0 *R0)	12_H	00_H
WKTIMCFG1	Wake-up timer configuration 1 *R0)	13_H	00_H
WKTIMCFG2	Wake-up timer configuration 2 *R0)	14_H	00_H
DEVCTRL	Device control request *R2)	15_H	00_H
DEVCTRLN	Device control inverted request *R2)	16_H	00_H
WWDSCMD	Window watchdog service command *R2)	17_H	00_H
FWDRSP	Functional watchdog response command *R2)	18_H	00_H
FWDRSPSYNC	Functional watchdog response command with synchronization *R2)	19_H	00_H
SYSFAIL	FAILSAFE error status flags *R1)	$1A_H$	00_H
INITERR	INIT error status flags *R2)	$1B_H$	00_H
IF	Interrupt flags *R2)	$1C_H$	00_H
SYSSF	System status flags *R2)	$1D_H$	00_H
WKSF	Wake-up status flags *R2)	$1E_H$	00_H
SPISF	*SPI* status flags *R2)	$1F_H$	00_H
MONSF0	Monitor status flags 0 *R1)	20_H	00_H
MONSF1	Monitor status flags 1 *R1)	21_H	00_H
MONSF2	Monitor status flags 2 *R2)	22_H	00_H
MONSF3	Monitor status flags 3 *R1)	23_H	00_H
OTFAIL	Overtemperature failure status flags *R1)	24_H	00_H
OTWRNSF	Overtemperature warning status flags *R2)	25_H	00_H
VMONSTAT	Voltage monitor status	26_H	00_H
DEVSTAT	Device status	27_H	00_H
PROTSTAT	Protection status *R1)	28_H	01_H
WWDSTAT	Window watchdog status *R3)	29_H	00_H

（表格续下页……）

表 32 （续） 寄存器概览

Register Short Name	Register Long Name	Offset Address	Reset Value
FWDSTAT0	Functional watchdog status 0 *R3)	$2A_H$	30_H
FWDSTAT1	Functional watchdog status 1 *R3)	$2B_H$	00_H
ABIST_CTRL0	ABIST control 0 *R2) 1)	$2C_H$	00_H
ABIST_CTRL1	ABIST control 1 *R2)	$2D_H$	00_H
ABIST_SELECT0	ABIST select 0 *R2)	$2E_H$	00_H
ABIST_SELECT1	ABIST select 1 *R2)	$2F_H$	00_H
ABIST_SELECT2	ABIST select 2 *R2)	30_H	00_H
BCK_FREQ_CHANGE	Buck switching frequency change *R2)	31_H	00_H
BCK_FRE_SPREAD	Buck Frequency spread *R2)	32_H	00_H
CEFUMON	Central functions monitor status flags *R2)	$3B_H$	00_H
MCSMON	Microcontroller supervision monitor *R2)	$3C_H$	00_H
DEVINFO	Device info *R2)	$3D_H$	00_H
GTM	Global testmode *R1)	$3F_H$	02_H

1） 单比特复位类有所不同。详情请参见寄存器。

寄存器访问

寄存器以字为单位进行寻址

12.4.1 器件寄存器

12.4.1.1 器件配置 0 *R2)

DEVCFG0 Address: 00_H

Device configuration 0 *R2) Reset value: 08_H

7	6	5	4	3	2	1	0
WKTIMEN	**WKTIMCYC**	**WKTIM PRESC**	**nu**	**TRDEL**			
rw	rw	rw	none	rw			

Field	Bits	Type	Description
WKTIMEN	7	rw	**Wake timer enable** 0_D Wake timer disabled 1_D Wake timer enabled in SLEEP or STANDBY-state Reset: 0_H

（表格续下页……）

（续）

Field	Bits	Type	Description
WKTIMCYC	6	rw	**Wake timer cycle period** 0_D 10 us 1_D 10 ms Reset: 0_H
WKTIMPRESC	5	rw	**Wake timer cycle period pre-scaler** 0_D 1 1_D 100 Reset: 0_H
nu	4	none	Reset: 0_H
TRDEL	3:0	rw	**Transition delay into low power states** For STANDBY and SLEEP transition. Defined as a step of 100 us. 0_D 100 us 1_D 200 us 2_D 300 us ..$_D$ ... 15_D 1600 us Reset: 8_H

12.4.1.2 器件配置 1 *R0)

DEVCFG1 Address: 01_H

Device configuration 1 *R0) Reset value: 06_H

7	6	5	4	3	2	1	0
nu					**RESDEL**		
none					rw		

Field	Bits	Type	Description
nu	7:3	none	Reset: 00_H
RESDEL	2:0	rw	**Reset release delay time** 0_D 200 us 1_D 400 us 2_D 800 us 3_D 1ms 4_D 2 ms 5_D 4 ms 6_D 10 ms 7_D 15 ms Reset: 6_H

12.4.1.3 器件配置 2 *R2) [7)]

DEVCFG2
Device configuration 2 *R2)

Address: 02_H
Reset value: 00_H

7	6	5	4	3	2	1	0
EVCEN	**STU**	**FRE**	**CMONEN**	**CTHR**		**ESYNPHA**	**ESYNEN**
r	r	r	rw	rw		rw	rw

Field	Bits	Type	Description
EVCEN	7	r	**External core supply enable status** Bitfield does not follow the reset class as it indicates the status of a hardware configuration (pin SEC). 0_D External core supply disabled 1_D External core supply enabled Reset: 0_H
STU	6	r	**Step up pre-regulator enable status** Bitfield does not follow the reset class as it indicates the status of a hardware configuration (pin STU). 0_D Disabled 1_D Enabled Reset: 0_H
FRE	5	r	**Step down pre-regulator frequency selection status** Bitfield does not follow the reset class as it indicates the status of a hardware configuration (pin FRE). 0_D Step down pre-regulator runs on low frequency range 1_D Step down pre-regulator runs on high frequency range Reset: 0_H
CMONEN	4	rw	**QUC current monitor enable for transition to a low power state** For STANDBY and SLEEP transition. The setting is overwritten in SLEEP as current monitoring is always enabled. 0_D Disabled 1_D Enabled Reset: 0_H
CTHR	3:2	rw	**QUC current monitoring threshold value** 0_D 10 mA 1_D 30 mA 2_D 60 mA 3_D 100 mA Reset: 0_H

（表格续下页……）

7 单个位的复位类别可能不同，详见寄存器说明。

（续）

Field	Bits	Type	Description
ESYNPHA	1	rw	**External synchronization output phase** 0_D No phase shift 1_D 180 phase shift Reset: 0_H
ESYNEN	0	rw	**Synchronization output for external switchmode regulator enable** 0_D Disable 1_D Enable Reset: 0_H

12.4.1.4 保护寄存器 *R2)

PROTCFG Address: 03_H

Protection register *R2) Reset value: 00_H

7	6	5	4	3	2	1	0
KEY							
rw							

Field	Bits	Type	Description
KEY	7:0	rw	**Protection key** Protection key register to request write access to protected registers. Unlock: write 32-bit sequence of 4 consecutive bytes (1: AB_H; 2: EF_H; 3: 56_H; 4: 12_H) to unlock access to protected registers. Lock: write 32-bit sequence of 4 consecutive bytes (1: DF_H; 2: 34_H; 3: BE_H; 4: CA_H) to lock access to protected registers. All configured values are applied to SSC and WD module after the lock. AB_H Key 1 to unlock protected registers. EF_H Key 2 to unlock protected registers. 56_H Key 3 to unlock protected registers. 12_H Key 4 to unlock protected registers. DF_H Key 1 to lock protected registers. 34_H Key 2 to lock protected registers. BE_H Key 3 to lock protected registers. CA_H Key 4 to lock protected registers. Reset: 00_H

12.4.1.5 受保护系统配置请求 0 *R1)

SYSPCFG0 Address: 04_H

Protected System configuration request 0 *R1) Reset value: 01_H

7	6	5	4	3	2	1	0
DISOFFSET	**nu**						**STBYEN**
rwp	none						rwp

Field	Bits	Type	Description
DISOFFSET	7	rwp	**Request for disable of offset regulation of regulator QST related to QUC.** Valid for all device states except FAILSAFE and STANDBY. The configuration behind this bitfield is does not follow the LOCK mechanism and is applied directly when reconfiguring the bitfield, if write protection is unlocked. Data bits are sent inverted to SPI upon read access. 0_D Offset regulation enabled[1)] 1_D Offset regulation disabled Reset: 0_H
nu	6:1	none	**Not used bits shall be written as 0 and will always return 1 upon read** Reset: 00_H
STBYEN	0	rwp	**Request standby regulator QST enable** Valid for all device states except FAILSAFE. Data bits are sent inverted to SPI upon read access. 0_D Disabled 1_D Enabled Reset: 1_H

1) 对于复位后（ROT 置位并释放）在进入 STANDBY 的转换过程中被中断（可通过SYSSF.TRFAIL 识别) 且需要激活偏移调节的特定情况，必须先将位字段 SYSPCFG0.DISOGGSET 写为 1_B，然后再写回 0_B

12.4.1.6 受保护系统配置请求 1 *R2)

SYSPCFG1 Address: 05_H

Protected System configuration request 1 *R2) Reset value: 08_H

7	6	5	4	3	2	1	0
SS2DEL			**ERRSLPEN**	**ERREN**	**ERRRECEN**	**ERRREC**	
rwp			rwp	rwp	rwp	rwp	

Field	Bits	Type	Description
SS2DEL	7:5	rwp	**Request safe state 2 delay** Applied for transitions from NORMAL to INIT, WAKE and SLEEP-state. The configuration behind this bitfield is not following the LOCK mechanism and is applied directly when reconfiguring the bitfield, if write protection is unlocked. Data bits are sent inverted to SPI upon read access. 0_D no delay 1_D 10 ms 2_D 50 ms 3_D 100 ms 4_D 250 ms 5_D 1250 ms 6_D 2500 ms 7_D RESERVED Reset: 0_H
ERRSLPEN	4	rwp	**Request ERR pin monitor functionality enable while the system is in SLEEP** Data bits are sent inverted to SPI upon read access. 0_D ERR pin monitor is disabled in SLEEP 1_D ERR pin monitor can be active in SLEEP depending on ERREN bit value. Reset: 0_H
ERREN	3	rwp	**Request ERR pin monitor enable** Data bits are sent inverted to SPI upon read access. 0_D Disabled 1_D Enabled Reset: 1_H
ERRRECEN	2	rwp	**Request ERR pin monitor recovery enable** Data bits are sent inverted to SPI upon read access. 0_D Disabled 1_D Enabled Reset: 0_H

（表格续下页……）

（续）

Field	Bits	Type	Description
ERRREC	1:0	rwp	**Request ERR pin monitor recovery time** Data bits are sent inverted to SPI upon read access. 0_D 1 ms 1_D 2.5 ms 2_D 5 ms 3_D 10 ms Reset: 0_H

12.4.1.7 受保护看门狗配置请求 0 *R2)

WDCFG0 Address: 06_H

Protected Watchdog configuration request 0 *R2) Reset value: $9B_H$

7	6	5	4	3	2	1	0
WWDETHR				**WWDEN**	**FWDEN**	**WWDTSEL**	**WDCYC**
rwp				rwp	rwp	rwp	rwp

Field	Bits	Type	Description
WWDETHR	7:4	rwp	**Request window watchdog error threshold** WWD error threshold to generate reset and enter into INIT-state. Data bits are sent inverted to SPI upon read access. Reset: 9_H
WWDEN	3	rwp	**Request window watchdog enable** Data bits are sent inverted to SPI upon read access. 0_D Disabled 1_D Enabled Reset: 1_H
FWDEN	2	rwp	**Request functional watchdog enable** Data bits are sent inverted to SPI upon read access. 0_D Disabled 1_D Enabled Reset: 0_H
WWDTSEL	1	rwp	**Request window watchdog trigger selection** This is ignored when window watchdog is disabled. Data bits are sent inverted to SPI upon read access. 0_D External WDI input used as a WWD trigger [1)] 1_D WWD is triggered by SPI write to WWDSCMD register Reset: 1_H
WDCYC	0	rwp	**Request watchdog cycle time** Data bits are sent inverted to SPI upon read access. 0_D 0,1 ms tick period 1_D 1 ms tick period Reset: 1_H

1) 当使用引脚 WDI 作为窗口看门狗触发输入时，应避免将“开放窗口”和“关闭窗口”的任何时序配置设置得过于接近 t_{SAM} (例如 < 8* t_{SAM})，以便应用能够合理地发出服务信号，并确保可靠采样 WDI 输入。

12.4.1.8 受保护看门狗配置请求 1 *R2)

WDCFG1 Address: 07_H

Protected Watchdog configuration request 1 *R2) Reset value: 09_H

7	6	5	4	3	2	1	0
nu	**WDCYCDIV**	**nu**	**WDSLPEN**	**FWDETHR**			
none	rwp	none	rwp	rwp			

Field	Bits	Type	Description
nu	7	none	**not used bits shall be written as 0 and will always return 1 upon read** Reset: 0_H
WDCYCDIV	6	rwp	**Request enable of additional divider by 10 for watchdog cycle time (WDCYC) configuration** Data bits are sent inverted to SPI upon read access. 0_D Disabled 1_D Enabled, additional divider by 10 for watchdog cycle time (WDCYC) configuration is enabled Reset: 0_H
nu	5	none	**not used bits shall be written as 0 and will always return 1 upon read** Reset: 0_H
WDSLPEN	4	rwp	**Request watchdog functionality enable while the device is in SLEEP** Data bits are sent inverted to SPI upon read access. 0_D Disabled 1_D Enabled, the watchdogs work based on individual configuration (WWDEN and FWDEN) settings while the system is in SLEEP mode Reset: 0_H
FWDETHR	3:0	rwp	**Request functional watchdog error threshold** FWD error threshold to generate reset and enter into INIT-state. Data bits are sent inverted to SPI upon read access. Reset: 9_H

12.4.1.9 受保护功能性看门狗配置请求*R2)

FWDCFG

Address: 08_H

Protected Functional watchdog configuration request *R2)

Reset value: $0B_H$

7	6	5	4	3	2	1	0
nu			**WDHBTP**				
none			rwp				

Field	Bits	Type	Description
nu	7:5	none	**not used bits shall be written as 0 and will always return 1 upon read** Reset: 0_H
WDHBTP	4:0	rwp	**Request functional watchdog heartbeat timer period** Defined as a multiple of 50 watchdog cycles (RWDCFG0.WDCYC). Data bits are sent inverted to SPI upon read access. 0_D 50 wd cycles 1_D 100 wd cycles 2_D 150 wd cycles ..$_D$ ... 31_D 1600 wd cycles Reset: $0B_H$

12.4.1.10 受保护窗口看门狗配置请求 0 *R2)

WWDCFG0

Protected Window watchdog configuration request 0 *R2)

Address: 09_H

Reset value: 06_H

7	6	5	4	3	2	1	0
nu			**CW**				
none			rwp				

Field	Bits	Type	Description
nu	7:5	none	**not used bits shall be written as 0 and will always return 1 upon read** Reset: 0_H
CW	4:0	rwp	**Request window watchdog closed window time** Defined as a multiple of 50 watchdog cycles (RWDCFG0.WDCYC). Data bits are sent inverted to SPI upon read access. 0_D 50 wd cycles 1_D 100 wd cycles 2_D 150 wd cycles ..$_D$ ... 31_D 1600 wd cycles Reset: 06_H

12.4.1.11 受保护窗口看门狗配置请求 1 *R2)

WWDCFG1

Protected Window watchdog configuration request 1 *R2)

Address: $0A_H$

Reset value: $0B_H$

7	6	5	4	3	2	1	0
nu			**OW**				
none			rwp				

Field	Bits	Type	Description
nu	7:5	none	**not used bits shall be written as 0 and will always return 1 upon read** Reset: 0_H
OW	4:0	rwp	**Request window watchdog open window time** Defined as a multiple of 50 watchdog cycles (RWDCFG0.WDCYC). Data bits are sent inverted to SPI upon read access. 0_D 50 wd cycles 1_D 100 wd cycles 2_D 150 wd cycles ..$_D$ ... 31_D 1600 wd cycles Reset: $0B_H$

12.4.1.12 系统配置 0 状态 *R1)

RSYSPCFG0

Address: $0B_H$

System configuration 0 status *R1)

Reset value: 01_H

7	6	5	4	3	2	1	0
DISOFFSET	**nu**						**STBYEN**
r	none						r

Field	Bits	Type	Description
DISOFFSET	7	r	**Offset regulation of regulator QST related to QUC disable status.** *1) Valid for all device states except FAILSAFE and STANDBY. 0_D Offset regulation enabled 1_D Offset regulation disabled or QST disabled by STBYEN Reset: 0_H
nu	6:1	none	Reset: 00_H
STBYEN	0	r	**Standby regulator QST enable status** Current configuration of standby regulator QST enable. Valid for all device states except FAILSAFE. 0_D Disabled 1_D Enabled Reset: 1_H

1) 如果通过 SYSPCFG0.DISOFFSET 状态位域未变为0_B，则必须先将 SYSPCFG0.DISOFFSET 写为 1_B，然后再写回 0_B

12.4.1.13 系统配置 1 状态 *R3) [8)]

RSYSPCFG1

System configuration 1 status *R3)

Address: $0C_H$
Reset value: 08_H

7	6	5	4	3	2	1	0
SS2DEL			ERRSLPEN	ERREN	ERRRECEN	ERRREC	
r			r	r	r	r	

Field	Bits	Type	Description
SS2DEL	7:5	r	**Safe state 2 delay status** Current configuration of safe state 2 delay applied for transitions from NORMAL to INIT, WAKE and SLEEP-state. Bitfield has different reset class than whole register. The bitfield is reset according to *R1), but with the exception that it is still reset if a Move-to-FAILSAFE event occurs during the configured SS2DEL time after exiting NORMAL state. 0_D no delay 1_D 10 ms 2_D 50 ms 3_D 100 ms 4_D 250 ms 5_D 1250 ms 6_D 2500 ms 7_D RESERVED Reset: 0_H
ERRSLPEN	4	r	**ERR pin monitor functionality enable status while the device is in SLEEP** Current configuration of ERR pin monitor functionality enable for SLEEP. 0_D ERR pin monitor is disabled in SLEEP 1_D ERR pin monitor can be active in SLEEP depending on ERREN bit value. Reset: 0_H
ERREN	3	r	**ERR pin monitor enable status** Current configuration of ERR pin monitor enable. 0_D Disabled 1_D Enabled Reset: 1_H
ERRRECEN	2	r	**ERR pin monitor recovery enable status** Current configuration of ERR pin monitor recovery enable. 0_D Disabled 1_D Enabled Reset: 0_H

（表格续下页……）

8 单个位的复位类别可能不同，详见寄存器说明。

（续）

Field	Bits	Type	Description
ERRREC	1:0	r	**ERR pin monitor recovery time status** Current configuration of ERR pin monitor recovery time. 0_D 1 ms 1_D 2.5 ms 2_D 5 ms 3_D 10 ms Reset: 0_H

12.4.1.14 看门狗配置 0 状态 *R3)

RWDCFG0

Address: $0D_H$

Watchdog configuration 0 status *R3)

Reset value: $9B_H$

7	6	5	4	3	2	1	0
WWDETHR				**WWDEN**	**FWDEN**	**WWDTSEL**	**WDCYC**
r				r	r	r	r

Field	Bits	Type	Description
WWDETHR	7:4	r	**Window watchdog error threshold status** Current configuration of WWD error threshold to generate reset and enter into INIT-state. Reset: 9_H
WWDEN	3	r	**Window watchdog enable status** Current configuration of WWD enable. 0_D Disabled 1_D Enabled Reset: 1_H
FWDEN	2	r	**Functional watchdog enable status** Current configuration of FWD enable. 0_D Disabled 1_D Enabled Reset: 0_H
WWDTSEL	1	r	**Window watchdog trigger selection status** Current configuration of WWD trigger selection. This is ignored when window watchdog is disabled. 0_D External WDI input used as a WWD trigger [1)] 1_D WWD is triggered by SPI write to WWDSCMD register Reset: 1_H
WDCYC	0	r	**Watchdog cycle time status** Current configuration of watchdog cycle time. 0_D 0,1 ms tick period 1_D 1 ms tick period Reset: 1_H

1) 当使用引脚 WDI 作为窗口看门狗触发器时，应避免将“开窗口”和“关窗口”的时序配置设定得过于接近 t_{SAM}(例如 < 8 * t_{SAM})，以确保应用端能够提供足够裕量的服务信号，并保证对 WDI 输入的可靠采样。

12.4.1.15 看门狗配置 1 状态 *R3)

RWDCFG1

Address: $0E_H$

Watchdog configuration 1 status *R3)

Reset value: 09_H

7	6	5	4	3	2	1	0
nu	**WDCYCDIV**	**nu**	**WDSLPEN**	**FWDETHR**			
none	r	none	r	r			

Field	Bits	Type	Description
nu	7	none	Reset: 00_H
WDCYCDIV	6	r	**Additional divider by 10 for watchdog cycle time (WDCYC) configuration enable status** 0_D Disabled 1_D Enabled, additional divider by 10 for watchdog cycle time (WDCYC) configuration is enabled Reset: 0_H
nu	5	none	Reset: 00_H
WDSLPEN	4	r	**Watchdog functionality enable status while the device is in SLEEP** Current configuration of WD functionality enable for SLEEP. 0_D Disabled 1_D Enabled, the watchdogs work based on individual configuration (WWDEN and FWDEN) settings while the system is in SLEEP mode Reset: 0_H
FWDETHR	3:0	r	**Functional watchdog error threshold status** Current configuration of FWD error threshold to generate reset and enter into INIT-state. Reset: 9_H

12.4.1.16 功能看门狗配置状态 *R3)

RFWDCFG Address: $0F_H$

Functional watchdog configuration status *R3) Reset value: $0B_H$

7	6	5	4	3	2	1	0
nu			**WDHBTP**				
none			r				

Field	Bits	Type	Description
nu	7:5	none	Reset: 0_H
WDHBTP	4:0	r	**Functional watchdog heartbeat timer period status** Current configuration of FWD heartbeat timer period defined as a multiple of 50 watchdog cycles (RWDCFG0.WDCYC). 0_D 50 wd cycles 1_D 100 wd cycles 2_D 150 wd cycles ..$_D$ ... 31_D 1600 wd cycles Reset: $0B_H$

12.4.1.17 窗口看门狗配置 0 状态 *R3)

RWWDCFG0 Address: 10_H

Window watchdog configuration 0 status *R3) Reset value: 06_H

7	6	5	4	3	2	1	0
nu			**CW**				
none			r				

Field	Bits	Type	Description
nu	7:5	none	Reset: 0_H
CW	4:0	r	**Window watchdog closed window time status** Current configuration of WWD closed window time defined as a multiple of 50 watchdog cycles (RWDCFG0.WDCYC). 0_D 50 wd cycles 1_D 100 wd cycles 2_D 150 wd cycles ..$_D$ ... 31_D 1600 wd cycles Reset: 06_H

12.4.1.18 窗口看门狗配置 1 状态 *R3)

RWWDCFG1 Address: 11_H

Window watchdog configuration 1 status *R3) Reset value: $0B_H$

7	6	5	4	3	2	1	0
nu			**OW**				
none			r				

Field	Bits	Type	Description
nu	7:5	none	Reset: 0_H
OW	4:0	r	**Window watchdog open window time status** Current configuration of WWD open window time defined as a multiple of 50 watchdog cycles (RWDCFG0.WDCYC). 0_D 50 wd cycles 1_D 100 wd cycles 2_D 150 wd cycles ..$_D$ ... 31_D 1600 wd cycles Reset: $0B_H$

12.4.1.19 唤醒定时器配置 0 *R0)

WKTIMCFG0 Address: 12_H

Wake-up timer configuration 0 *R0) Reset value: 00_H

7	6	5	4	3	2	1	0
TIMVALL							
rw							

Field	Bits	Type	Description
TIMVALL	7:0	rw	**Wake-up timer value lower bits** Bits (7:0) of wake-up time defined as a multiple of wake-up timer cycles (DEVCFG0.WKTIMCYC). Do not configure the bits (7:0) to 01_H or 00_H for the desired wake-up time in case WKTIMCFG1 and WKTIMCFG2 as bits(23:8) of desired wake-up time are configured to 0000_H. (000001_H and 000000_H preload of 24 bit wake up timer register is to be reserved if WKTIMEN is enabled) Reset: 00_H The wake-up timer enables transition from the STANDBY state to the INIT state or from the SLEEP state to the WAKE state. However, this feature only works when the minimum timer setting is 30 µs or higher. If the timer setting is below this minimum value, then the wake-up timer does not operate as intended, thus the device remains in STANDBY state or SLEEP state.

12.4.1.20 唤醒定时器配置 1 *R0)

WKTIMCFG1 Address: 13_H

Wake-up timer configuration 1 *R0) Reset value: 00_H

7	6	5	4	3	2	1	0
TIMVALM							
rw							

Field	Bits	Type	Description
TIMVALM	7:0	rw	**Wake-up timer value middle bits** Bits (15:8) of wake time-up defined as a multiple of wake-up timer cycles (DEVCFG0.WKTIMCYC). Reset: 00_H

12.4.1.21 唤醒定时器配置 2 *R0)

WKTIMCFG2 Address: 14_H

Wake-up timer configuration 2 *R0) Reset value: 00_H

7	6	5	4	3	2	1	0
TIMVALH							
rw							

Field	Bits	Type	Description
TIMVALH	7:0	rw	**Wake-up timer value higher bits** Bits (23:16) of wake-up time defined as a multiple of wake-up timer cycles (DEVCFG0.WKTIMCYC). Reset: 00_H

12.4.1.22 器件控制请求*R2)

DEVCTRL Address: 15_H

Device control request *R2) Reset value: 00_H

7	6	5	4	3	2	1	0
TRK2EN	**TRK1EN**	**COMEN**	**nu**	**VREFEN**	**STATEREQ**		
rw	rw	rw	none	rw	rwhc		

Field	Bits	Type	Description
TRK2EN	7	rw	**Request tracker 2 QT2 enable** 0_D QT2 is disabled after valid request 1_D QT2 is enabled after valid request Reset: 0_H
TRK1EN	6	rw	**Request tracker 1 QT1 enable** 0_D QT1 is disabled after valid request 1_D QT1 is enabled after valid request Reset: 0_H
COMEN	5	rw	**Request communication supply QCO enable** 0_D QCO is disabled after valid request 1_D QCO is enabled after valid request Reset: 0_H
nu	4	none	Reset: 0_H
VREFEN	3	rw	**Request voltage reference supply QVR enable** 0_D QVR is disabled after valid request 1_D QVR is enabled after valid request Reset: 0_H
STATEREQ	2:0	rwhc	**Request for device state transition** Cleared to 000_B by the HW after the request is processed. After writing a new state value a user should not change the value before it's cleared by HW. 7_D RESERVED 6_D RESERVED 5_D WAKE 4_D STANDBY 3_D SLEEP 2_D NORMAL 1_D INIT 0_D NONE Reset: 0_H

12.4.1.23 器件控制反向请求 *R2)

DEVCTRLN Address: 16_H

Device control inverted request *R2) Reset value: 00_H

7	6	5	4	3	2	1	0
TRK2EN	**TRK1EN**	**COMEN**	**nu**	**VREFEN**	**STATEREQ**		
rw	rw	rw	none	rw	rwhc		

Field	Bits	Type	Description
TRK2EN	7	rw	**Request tracker 2 QT2 enable** 1_D QT2 is disabled after valid request 0_D QT2 is enabled after valid request Reset: 0_H
TRK1EN	6	rw	**Request tracker 1 QT1 enable** 1_D QT1 is disabled after valid request 0_D QT1 is enabled after valid request Reset: 0_H
COMEN	5	rw	**Request communication supply QCO enable** 1_D QCO is disabled after valid request 0_D QCO is enabled after valid request Reset: 0_H
nu	4	none	Reset: 0_H
VREFEN	3	rw	**Request voltage reference supply QVR enable** 1_D QVR is disabled after valid request 0_D QVR is enabled after valid request Reset: 0_H
STATEREQ	2:0	rwhc	**Request for device state transition** Cleared to 000_B by the HW after the request is processed. After writing a new state value a user should not change the value before it's cleared by HW. 7_D NONE 6_D INIT 5_D NORMAL 4_D SLEEP 3_D STANDBY 2_D WAKE 1_D RESERVED 0_D RESERVED Reset: 0_H

12.4.1.24 窗口看门狗服务指令 *R2)

WWDSCMD Address: 17_H

Window watchdog service command *R2) Reset value: 00_H

7	6	5	4	3	2	1	0
TRIG_STATUS	**nu**						**TRIG**
r	none						rw

Field	Bits	Type	Description
TRIG_STATUS	7	r	**Last SPI trigger received** Reset: 0_H
nu	6:1	none	Reset: 00_H
TRIG	0	rw	**Window watchdog SPI trigger command** Read TRIG_STATUS bit first and write inverted value to TRIG bit. Reset: 0_H

12.4.1.25 功能看门狗响应指令 *R2)

FWDRSP Address: 18_H

Functional watchdog response command *R2) Reset value: 00_H

7	6	5	4	3	2	1	0
FWDRSP							
rw							

Field	Bits	Type	Description
FWDRSP	7:0	rw	**Functional watchdog response** Write functional watchdog response bytes to this field. Reset: 00_H

12.4.1.26 功能看门狗响应指令和同步 *R2)

FWDRSPSYNC

Address: 19_H

Functional watchdog response command with synchronization *R2)

Reset value: 00_H

7	6	5	4	3	2	1	0
FWDRSPS							
rw							

Field	Bits	Type	Description
FWDRSPS	7:0	rw	**Functional watchdog heartbeat synchronization response** Write the last functional watchdog response byte to this field to synchronize/restart the heartbeat. Reset: 00_H

12.4.1.27 FAILSAFE 错误状态标志*R1)

SYSFAIL Address: $1A_H$

FAILSAFE error status flags *R1) Reset value: 00_H

7	6	5	4	3	2	1	0
INITF	**ABISTERR**	**nu**		**BUCKHS**	**VMONF**	**OTF**	**VOLTSELERR**
rw1c	rw1c	none		rw1c	rw1c	rw1c	rw1c

Field	Bits	Type	Description
INITF	7	rw1c	**3rd initialization timeout failure flag** 3rd initialization timeout failure due to the third consecutive initialization timeout failure. i.e. The device restarts INIT phase from FAILSAFE. 0_D No fault, write 0 - no action 1_D Fault occurred, write 1 to clear the flags Reset: 0_H
ABISTERR	6	rw1c	**ABIST operation interrupted flag** ABIST interrupted by any fault/event which is not part of ABIST. 0_D No fault, write 0 - no action 1_D Fault occurred, write 1 to clear the flags Reset: 0_H
nu	5:4	none	Reset: 0_H
BUCKHS	3	rw1c	**Buck converter monitor failure flag** Buck converter failure occurred which lead to FAILSAFE. 0_D No fault, write 0 - no action 1_D Fault occurred, write 1 to clear the flags Reset: 0_H
VMONF	2	rw1c	**Voltage monitor failure flag** Voltage monitor failure occurred which lead to FAILSAFE. 0_D No fault, write 0 - no action 1_D Fault occurred, write 1 to clear the flags, read MONSF0, MONSF1 and MONSF3 for details Reset: 0_H
OTF	1	rw1c	**Overtemperature failure flag** 0_D No fault, write 0 - no action 1_D Fault occurred, write 1 to clear the flags, read OTFAIL for details Reset: 0_H

（表格续下页……）

（续）

Field	Bits	Type	Description
VOLTSELERR	0	rw1c	**Double Bit error on voltage selection flag** Device entered FAILSAFE-state due to internal voltage selection failure. 0_D No fault, write 0 - no action 1_D Fault occurred, write 1 to clear the flags Reset: 0_H

12.4.1.28 INIT 错误状态标志 *R2)

INITERR

Address: $1B_H$

INIT error status flags *R2)

Reset value: 00_H

7	6	5	4	3	2	1	0
HARDRES	**SOFTRES**	**ERRF**	**FWDF**	**WWDF**	**VMONF**	**nu**	
rw1c	rw1c	rw1c	rw1c	rw1c	rw1c	none	

Field	Bits	Type	Description
HARDRES	7	rw1c	**Hard reset flag** Hard reset has been generated due to the second consecutive initialization timeout failure. i.e. The device restarts INIT phase for the third time. 0_D No fault, write 0 - no action 1_D Fault occurred, write 1 to clear the flags Reset: 0_H
SOFTRES	6	rw1c	**Soft reset flag** Soft reset has been generated due to the first initialization timeout failure. i.e. The device restarts INIT phase for the 2nd time. 0_D No fault, write 0 - no action 1_D Fault occurred, write 1 to clear the flags Reset: 0_H
ERRF	5	rw1c	**Error monitoring failure flag** 0_D No fault, write 0 - no action 1_D Fault occurred, write 1 to clear the flags Reset: 0_H
FWDF	4	rw1c	**Functional watchdog error counter overflow failure flag** Functional watchdog error counter reached the error threshold. 0_D No fault, write 0 - no action 1_D Fault occurred, write 1 to clear the flags Reset: 0_H
WWDF	3	rw1c	**Window watchdog error counter overflow failure flag** Window watchdog error counter reached the error threshold. 0_D No fault, write 0 - no action 1_D Fault occurred, write 1 to clear the flags Reset: 0_H
VMONF	2	rw1c	**Voltage monitor failure flag** Voltage monitor failure occurred which lead to INIT. 0_D No fault, write 0 - no action 1_D Fault occurred, write 1 to clear the flags, read MONSF2 for details Reset: 0_H
nu	1:0	none	Reset: 0_H

12.4.1.29 中断标志 *R2)

IF

Address: $1C_H$

Interrupt flags *R2)

Reset value: 00_H

7	6	5	4	3	2	1	0
INTMISS	**ABIST**	**OTF**	**OTW**	**MON**	**SPI**	**WK**	**SYS**
r	rw1c	rw1c	rw1c	rw1c	rw1c	rw1c	rw1c

Field	Bits	Type	Description
INTMISS	7	r	**Interrupt not serviced in time flag** Interrupt has not been serviced within $t_{INT,TO}$ time 0_D No interrupt timeout happened 1_D Interrupt timeout happened, cleared by hardware when all other flags in IF are cleared. Reset: 0_H
ABIST	6	rw1c	**Requested ABIST operation performed flag** 0_D No interrupt, write 0 - no action 1_D Interrupt flag active, write 1 to clear the flag Reset: 0_H
OTF	5	rw1c	**Overtemperature failure interrupt flag** 0_D No interrupt, write 0 - no action 1_D Interrupt flag active, write 1 to clear the flag, read OTFAIL for details Reset: 0_H
OTW	4	rw1c	**Overtemperature warning interrupt flag** 0_D No interrupt, write 0 - no action 1_D Interrupt flag active, write 1 to clear the flag, read OTWRNSF for details Reset: 0_H
MON	3	rw1c	**Monitor interrupt flag** 0_D No interrupt, write 0 - no action 1_D Interrupt flag active, write 1 to clear the flag, read MONSF0, MONSF1, MONSF2 and MONSF3 for details Reset: 0_H
SPI	2	rw1c	**SPI interrupt flag** 0_D No interrupt, write 0 - no action 1_D Interrupt flag active, write 1 to clear the flag, read SPISF for details Reset: 0_H

（表格续下页……）

（续）

Field	Bits	Type	Description
WK	1	rw1c	**Wake interrupt flag** Only set if device generates an interrupt when leaving SLEEP-state. 0_D No interrupt, write 0 - no action 1_D Interrupt flag active, write 1 to clear the flag, read WKSF for details Reset: 0_H
SYS	0	rw1c	**System interrupt flag** 0_D No interrupt, write 0 - no action 1_D Interrupt flag active, write 1 to clear the flag, read SYSSF for details Reset: 0_H

12.4.1.30 系统状态标志 *R2)

SYSSF

Address: $1D_H$

System status flags *R2)

Reset value: 00_H

7	6	5	4	3	2	1	0
nu		**NO_OP**	**TRFAIL**	**ERRMISS**	**FWDE**	**WWDE**	**CFGE**
none		rw1c	rw1c	rw1c	rw1c	rw1c	rw1c

Field	Bits	Type	Description
nu	7:6	none	Reset: 0_H
NO_OP	5	rw1c	**State transition request failure flag** Requested state transition via DEVCTRL and DEVCTRLN could not be performed because of wrong protocol (other write command in between DEVCTRL and DEVCTRLN). In case of this failure event during SLEEP state, only this flag wil be set, but there is not interrupt indicated at pin INT. 0_D Write 0 - no action 1_D Event detected, write 1 to clear the flag Reset: 0_H
TRFAIL	4	rw1c	**Transition to low power failed flag** Transition to low power failed either due to the QUC current monitor, WAK high level or a rising edge on ENA during TRDEL time. 0_D Write 0 - no action 1_D Event detected, write 1 to clear the flag Reset: 0_H
ERRMISS	3	rw1c	**MCU error miss status flag** Set only when RSYSPCFG1.ERRRECEN='1' 0_D Write 0 - no action 1_D Event detected, write 1 to clear the flag Reset: 0_H
FWDE	2	rw1c	**Functional watchdog error interrupt flag** 0_D Write 0 - no action 1_D Event detected, write 1 to clear the flag Reset: 0_H
WWDE	1	rw1c	**Window watchdog error interrupt flag** 0_D Write 0 - no action 1_D Event detected, write 1 to clear the flag Reset: 0_H

（表格续下页……）

（续）

Field	Bits	Type	Description
CFGE	0	rw1c	**Protected configuration double bit error flag** Double bit error occurred on protected configuration register. Status registers shall be read in order to determine which configuration has changed. 0_D Write 0 - no action 1_D Event detected, write 1 to clear the flag Reset: 0_H

12.4.1.31 唤醒状态标志 *R2)

WKSF

Address: $1E_H$

Wake-up status flags *R2)

Reset value: 00_H

7	6	5	4	3	2	1	0
WAKST	**ENAST**	**nu**	**WKSPI**	**WKTIM**	**CMON**	**ENA**	**WAK**
r	r	none	rw1c	rw1c	rw1c	rw1c	rw1c

Field	Bits	Type	Description
WAKST	7	r	**WAK input status** 0_D Voltage at pin WAK is in low level signal range 1_D Voltage at pin WAK is in high level signal range Reset: 0_H
ENAST	6	r	**ENA input status** 0_D Voltage at pin ENA is in low level signal range 1_D Voltage at pin ENA is in high level signal range Reset: 0_H
nu	5	none	Reset: 0_H
WKSPI	4	rw1c	**Wake-up from SLEEP by SPI flag ("Go to WAKE" command)** 0_D Write 0 - no action 1_D Event detected, write 1 to clear the flag Reset: 0_H
WKTIM	3	rw1c	**Wake-up by wake-up timer expiry flag** Bit is set as well if STANDBY-state left because of wake timer expired. 0_D Write 0 - no action 1_D Event detected, write 1 to clear the flag Reset: 0_H
CMON	2	rw1c	**QUC current monitor threshold wake-up flag** 0_D Write 0 - no action 1_D Event detected, write 1 to clear the flag Reset: 0_H CMON flagged in case of device is achieving a step down peak current of approx. 50% of buck peak overcurrent limitation ($I_{PREREG,max}$) with step up pre regulator not activated and synchronization output (pin SYN) disabled. Those conditions are achievable only in SLEEP state
ENA	1	rw1c	**Wake-up by ENA signal flag** Bit is set as well if FAILSAFE or STANDBY-state left because of ENA. 0_D Write 0 - no action 1_D Event detected, write 1 to clear the flag Reset: 0_H

（表格续下页……）

（续）

Field	Bits	Type	Description
WAK	0	rw1c	**Wake-up by WAK signal flag** Bit is set as well if FAILSAFE or STANDBY-state left because of WAK. 0_D Write 0 - no action 1_D Event detected, write 1 to clear the flag Reset: 0_H

12.4.1.32 SPI 状态标志 *R2)

SPISF

Address: $1F_H$

SPI status flags *R2)

Reset value: 00_H

7	6	5	4	3	2	1	0
nu			**LOCK**	**DURE**	**ADDRE**	**LENE**	**PARE**
none			rw1c	rw1c	rw1c	rw1c	rw1c

Field	Bits	Type	Description
nu	7:5	none	Reset: 0_H
LOCK	4	rw1c	**LOCK or UNLOCK procedure error flag** 0_D Write 0 - no action 1_D Event detected, write 1 to clear the flag Reset: 0_H
DURE	3	rw1c	**SPI frame duration error flag** SCS low for more than 2 ms. 0_D Write 0 - no action 1_D Event detected, write 1 to clear the flag Reset: 0_H
ADDRE	2	rw1c	**SPI address invalid flag** 0_D Write 0 - no action 1_D Event detected, write 1 to clear the flag Reset: 0_H
LENE	1	rw1c	**SPI frame length invalid flag** Number of detected SPI clock cycles different than 16. 0_D Write 0 - no action 1_D Event detected, write 1 to clear the flag Reset: 0_H
PARE	0	rw1c	**SPI frame parity error flag** 0_D Write 0 - no action 1_D Event detected, write 1 to clear the flag Reset: 0_H

12.4.1.33 监测状态标志 0 *R1)

MONSF0

Address: 20_H

Monitor status flags 0 *R1)

Reset value: 00_H

7	6	5	4	3	2	1	0
TRK2SG	**TRK1SG**	**VREFSG**	**COMSG**	**VCORESG**	**STBYSG**	**UCSG**	**PREGSG**
rw1c	rw1c	rw1c	rw1c	rw1c	rw1c	rw1c	rw1c

Field	Bits	Type	Description
TRK2SG	7	rw1c	**Tracker 2 (QT2) short to ground status flag** 0_D Write 0 - no action 1_D Event detected, write 1 to clear the flag Reset: 0_H
TRK1SG	6	rw1c	**Tracker 1 (QT1) short to ground status flag** 0_D Write 0 - no action 1_D Event detected, write 1 to clear the flag Reset: 0_H
VREFSG	5	rw1c	**Voltage reference supply (QVR) short to ground status flag** 0_D Write 0 - no action 1_D Event detected, write 1 to clear the flag Reset: 0_H
COMSG	4	rw1c	**Communication supply (QCO) short to ground status flag** 0_D Write 0 - no action 1_D Event detected, write 1 to clear the flag Reset: 0_H
VCORESG	3	rw1c	**Core voltage monitor (VCI) short to ground status flag** 0_D Write 0 - no action 1_D Event detected, write 1 to clear the flag Reset: 0_H
STBYSG	2	rw1c	**Standby supply (QST) short to ground status flag** 0_D Write 0 - no action 1_D Event detected, write 1 to clear the flag Reset: 0_H
UCSG	1	rw1c	**MCU supply (QUC) short to ground status flag** 0_D Write 0 - no action 1_D Event detected, write 1 to clear the flag Reset: 0_H
PREGSG	0	rw1c	**Pre-regulator (FB) short to ground status flag** 0_D Write 0 - no action 1_D Event detected, write 1 to clear the flag Reset: 0_H

12.4.1.34 监测状态标志 1 *R1)

MONSF1

Address: 21_H

Monitor status flags 1 *R1)

Reset value: 00_H

VR

7	6	5	4	3	2	1	0
TRK2OV	**TRK1OV**	**VREFOV**	**COMOV**	**VCOREOV**	**STBYOV**	**UCOV**	**PREGOV**
rw1c	rw1c	rw1c	rw1c	rw1c	rw1c	rw1c	rw1c

Field	Bits	Type	Description
TRK2OV	7	rw1c	**Tracker 2 (QT2) overvoltage status flag** 0_D Write 0 - no action 1_D Event detected, write 1 to clear the flag Reset: 0_H
TRK1OV	6	rw1c	**Tracker 1 (QT1) supply overvoltage status flag** 0_D Write 0 - no action 1_D Event detected, write 1 to clear the flag Reset: 0_H
VREFOV	5	rw1c	**Voltage reference supply (QVR) overvoltage status flag** 0_D Write 0 - no action 1_D Event detected, write 1 to clear the flag Reset: 0_H
COMOV	4	rw1c	**Communication supply (QCO) overvoltage status flag** 0_D Write 0 - no action 1_D Event detected, write 1 to clear the flag Reset: 0_H
VCOREOV	3	rw1c	**Core voltage monitor (VCI) overvoltage status flag** 0_D Write 0 - no action 1_D Event detected, write 1 to clear the flag Reset: 0_H
STBYOV	2	rw1c	**Standby supply (QST) overvoltage status flag** 0_D Write 0 - no action 1_D Event detected, write 1 to clear the flag Reset: 0_H
UCOV	1	rw1c	**MCU supply (QUC) overvoltage status flag** 0_D Write 0 - no action 1_D Event detected, write 1 to clear the flag Reset: 0_H
PREGOV	0	rw1c	**Pre-regulator (FB) overvoltage status flag** 0_D Write 0 - no action 1_D Event detected, write 1 to clear the flag Reset: 0_H

12.4.1.35 监测状态标志 2 *R2)

MONSF2

Address: 22_H

Monitor status flags 2 *R2)

Reset value: 00_H

7	6	5	4	3	2	1	0
TRK2UV	**TRK1UV**	**VREFUV**	**COMUV**	**VCOREUV**	**STBYUV**	**UCUV**	**PREGUV**
rw1c	rw1c	rw1c	rw1c	rw1c	rw1c	rw1c	rw1c

Field	Bits	Type	Description
TRK2UV	7	rw1c	**Tracker 2 (QT2) undervoltage status flag** 0_D Write 0 - no action 1_D Event detected, write 1 to clear the flag Reset: 0_H
TRK1UV	6	rw1c	**Tracker 1 (QT1) undervoltage status flag** 0_D Write 0 - no action 1_D Event detected, write 1 to clear the flag Reset: 0_H
VREFUV	5	rw1c	**Voltage reference supply (QVR) undervoltage status flag** 0_D Write 0 - no action 1_D Event detected, write 1 to clear the flag Reset: 0_H
COMUV	4	rw1c	**Communication supply (QCO) undervoltage status flag** 0_D Write 0 - no action 1_D Event detected, write 1 to clear the flag Reset: 0_H
VCOREUV	3	rw1c	**Core voltage monitor (VCI) undervoltage status flag** 0_D Write 0 - no action 1_D Event detected, write 1 to clear the flag Reset: 0_H
STBYUV	2	rw1c	**Standby supply (QST) undervoltage status flag** 0_D Write 0 - no action 1_D Event detected, write 1 to clear the flag Reset: 0_H
UCUV	1	rw1c	**MCU supply (QUC) undervoltage status flag** 0_D Write 0 - no action 1_D Event detected, write 1 to clear the flag Reset: 0_H
PREGUV	0	rw1c	**Pre-regulator (FB) undervoltage status flag** 0_D Write 0 - no action 1_D Event detected, write 1 to clear the flag Reset: 0_H

12.4.1.36 监测状态标志 3 *R1)

MONSF3 Address: 23_H

Monitor status flags 3 *R1) Reset value: 00_H

7	6	5	4	3	2	1	0
BIASHI	**BIASLOW**	**BG12OV**	**BG12UV**	**nu**		**STUSG**	**VBATOV**
rw1c	rw1c	rw1c	rw1c	none		rw1c	rw1c

Field	Bits	Type	Description
BIASHI	7	rw1c	**Bias current too high flag** 0_D Write 0 - no action 1_D Event detected, write 1 to clear the flag Reset: 0_H
BIASLOW	6	rw1c	**Bias current too low flag** 0_D Write 0 - no action 1_D Event detected, write 1 to clear the flag Reset: 0_H
BG12OV	5	rw1c	**Bandgap comparator overvoltage condition flag** (VBG1 ≥ VBG2 + 4%) This diagnostic will re-trigger an INT event raising the flag repetitively after t_{INTTO} as long as the out of range condition is present. 0_D Write 0 - no action 1_D Event detected, write 1 to clear the flag Reset: 0_H
BG12UV	4	rw1c	**Bandgap comparator undervoltage condition flag** (VBG1 ≤ VBG2 - 4%) There are exceptional conditions described in 1) and 2), that may trigger this flag during operation. For these conditions the flag is to be seen as an exaggerated reaction and is to be cleared without further action required. This diagnostic will re-trigger an INT event raising the flag repetitively after t_{INTTO} as long as the out of range condition is present. 0_D Write 0 - no action 1_D Event detected, write 1 to clear the flag Reset: 0_H
nu	3:2	none	Reset: 0_H
STUSG	1	rw1c	**Step up regulator short to ground status flag** 0_D Write 0 - no action 1_D Event detected, write 1 to clear the flag Reset: 0_H

（表格续下页……）

（续）

Field	Bits	Type	Description
VBATOV	0	rw1c	**Supply voltage VSx overvoltage flag** 0_D Write 0 - no action 1_D Event detected, write 1 to clear the flag Reset: 0_H

1) 在 QST 的启用偏移调节的特定情况下 (DISOFFSET 被置位到 0_B），并且发生“Move-to-INIT”（由于 QUC/QST UV）或“Move to FAILSAFE”事件，则此标志位可能被置位，并且在 ROT 释放后可读。由于此标志是中断贡献源，因此在 ROT 释放后可以忽略并清除。

2) 在通过 SYSPCFG0.STBYEN 禁用 QST 后又在 2 ms 内重新启用 QST（两次配置均包含 LOCK 序列）的特定情况下，该标志可能会被置位并触发一次中断事件。

12.4.1.37 过温失效状态标志 *R1)

OTFAIL Address: 24_H

Overtemperature failure status flags *R1) Reset value: 00_H

7	6	5	4	3	2	1	0
MON	**nu**		**COM**	**nu**		**UC**	**PREG**
rw1c	none		rw1c	none		rw1c	rw1c

Field	Bits	Type	Description
MON	7	rw1c	**Monitoring overtemperature flag** 0_D Write 0 - no action 1_D Event detected, write 1 to clear the flag Reset: 0_H
nu	6:5	none	Reset: 0_H
COM	4	rw1c	**Communication supply (QCO) overtemperature flag** 0_D Write 0 - no action 1_D Event detected, write 1 to clear the flag Reset: 0_H
nu	3:2	none	Reset: 0_H
UC	1	rw1c	**MCU supply (QUC) overtemperature flag** 0_D Write 0 - no action 1_D Event detected, write 1 to clear the flag Reset: 0_H
PREG	0	rw1c	**Pre-regulator overtemperature flag** 0_D Write 0 - no action 1_D Event detected, write 1 to clear the flag Reset: 0_H

12.4.1.38 过温警告状态标志 *R2)

OTWRNSF Address: 25_H

Overtemperature warning status flags *R2) Reset value: 00_H

7	6	5	4	3	2	1	0
nu		**VREF**	**COM**	**nu**		**UC**	**PREG**
none		rw1c	rw1c	none		rw1c	rw1c

Field	Bits	Type	Description
nu	7:6	none	Reset: 0_H
VREF	5	rw1c	**Voltage reference supply (QVR) overload flag** Flag is raised if output current is in overload condition (close to current limitation) for more than 1 ms. Please note that this flag may also be raised in case the regulator enters into dropout condition. 0_D Write 0 no action 1_D Event detected, write 1 to clear the flag Reset: 0_H
COM	4	rw1c	**Communication supply (QCO) overtemperature warning flag** 0_D Write 0 - no action 1_D Event detected, write 1 to clear the flag Reset: 0_H
nu	3:2	none	Reset: 0_H
UC	1	rw1c	**MCU supply (QUC) overtemperature warning flag** 0_D Write 0 - no action 1_D Event detected, write 1 to clear the flag Reset: 0_H
PREG	0	rw1c	**Pre-regulator overtemperature warning flag** 0_D Write 0 - no action 1_D Event detected, write 1 to clear the flag Reset: 0_H

12.4.1.39 电压监控状态

VMONSTAT Address: 26_H

Voltage monitor status Reset value: 00_H

7	6	5	4	3	2	1	0
TRK2ST	**TRK1ST**	**VREFST**	**COMST**	**VCOREST**	**STBYST**	**nu**	**PREGST**
r	r	r	r	r	r	none	r

Field	Bits	Type	Description
TRK2ST	7	r	**Tracker 2 (QT2) voltage status** 0_D Voltage is out of range or not enabled 1_D Voltage is OK Reset: 0_H
TRK1ST	6	r	**Tracker 1 (QT1) voltage status** 0_D Voltage is out of range or not enabled 1_D Voltage is OK Reset: 0_H
VREFST	5	r	**Voltage reference supply (QVR) voltage status** 0_D Voltage is out of range or not enabled 1_D Voltage is OK Reset: 0_H
COMST	4	r	**Communication supply (QCO) voltage status** 0_D Voltage is out of range or not enabled 1_D Voltage is OK Reset: 0_H
VCOREST	3	r	**Core voltage monitor (VCI) voltage status** 0_D Voltage is out of range or not enabled 1_D Voltage is OK Reset: 0_H
STBYST	2	r	**Standby supply (QST) voltage status** 0_D Voltage is out of range or not enabled 1_D Voltage is OK Reset: 0_H
nu	1	none	Reset: 0_H
PREGST	0	r	**Pre-regulator (FB) voltage status** 0_D Voltage is out of range or not enabled 1_D Voltage is OK Reset: 0_H

12.4.1.40 器件状态

DEVSTAT Address: 27_H

Device status Reset value: 00_H

7	6	5	4	3	2	1	0
TRK2EN	**TRK1EN**	**COMEN**	**STBYEN**	**VREFEN**	**STATE**		
r	r	r	r	r	r		

Field	Bits	Type	Description
TRK2EN	7	r	**Tracker 2 (QT2) enable status** 0_D Voltage is disabled 1_D Voltage is enabled Reset: 0_H
TRK1EN	6	r	**Tracker 1 (QT1) enable status** 0_D Voltage is disabled 1_D Voltage is enabled Reset: 0_H
COMEN	5	r	**Communication supply (QCO) enable status** 0_D Voltage is disabled 1_D Voltage is enabled Reset: 0_H
STBYEN	4	r	**Standby supply (QST) enable status** 0_D Voltage is disabled 1_D Voltage is enabled Reset: 0_H
VREFEN	3	r	**Reference voltage supply (QVR) enable status** 0_D Voltage is disabled 1_D Voltage is enabled Reset: 0_H
STATE	2:0	r	**Device state** 7_D RESERVED 6_D RESERVED 5_D WAKE 4_D STANDBY 3_D SLEEP 2_D NORMAL 1_D INIT 0_D RESERVED Reset: 0_H

12.4.1.41 保护状态 *R1)

PROTSTAT Address: 28_H

Protection status *R1) Reset value: 01_H

7	6	5	4	3	2	1	0
KEY4OK	**KEY3OK**	**KEY2OK**	**KEY1OK**	**nu**			**LOCK**
r	r	r	r	none			r

Field	Bits	Type	Description
KEY4OK	7	r	**Key4 ok status** Information about validity of the 4th received protection key byte 0_D Key not valid 1_D Key valid Reset: 0_H
KEY3OK	6	r	**Key3 ok status** Information about validity of the 3rd received protection key byte 0_D Key not valid 1_D Key valid Reset: 0_H
KEY2OK	5	r	**Key2 ok status** Information about validity of the 2nd received protection key byte 0_D Key not valid 1_D Key valid Reset: 0_H
KEY1OK	4	r	**Key1 ok status** Information about validity of the 1st received protection key byte 0_D Key not valid 1_D Key valid Reset: 0_H
nu	3:1	none	Reset: 0_H
LOCK	0	r	**Protected register lock status** 0_D Access is unlocked 1_D Access is locked Reset: 1_H

12.4.1.42 窗口看门狗状态 *R3)

WWDSTAT Address: 29_H

Window watchdog status *R3) Reset value: 00_H

7	6	5	4	3	2	1	0
nu				**WWDECNT**			
none				r			

Field	Bits	Type	Description
nu	7:4	none	Reset: 0_H
WWDECNT	3:0	r	**Window watchdog error counter status** Reset: 0_H

12.4.1.43 功能看门狗状态 0 *R3)

FWDSTAT0 Address: $2A_H$

Functional watchdog status 0*R3) Reset value: 30_H

7	6	5	4	3	2	1	0
nu	**FWDRSPOK**	**FWDRSPC**		**FWDQUEST**			
none	r	r		r			

Field	Bits	Type	Description
nu	7	none	Reset: 0_H
FWDRSPOK	6	r	**Functional watchdog response check error status** 0_D Response message is wrong 1_D All received bytes in response message are correct Reset: 0_H
FWDRSPC	5:4	r	**Functional watchdog response counter value** Reset: 3_H
FWDQUEST	3:0	r	**Functional watchdog question** Reset: 0_H

12.4.1.44 功能看门狗状态 1 *R3)

FWDSTAT1 Address: $2B_H$

Functional watchdog status 1*R3) Reset value: 00_H

7	6	5	4	3	2	1	0
nu				**FWDECNT**			
none				r			

Field	Bits	Type	Description
nu	7:4	none	Reset: 0_H
FWDECNT	3:0	r	**Functional watchdog error counter status** Reset: 0_H

12.4.1.45 ABIST 控制 0 *R2) [9)]

ABIST_CTRL0 Address: $2C_H$

ABIST control0 *R2) Reset value: 00_H

7	6	5	4	3	2	1	0
STATUS				**INT**	**SINGLE**	**PATH**	**START**
r				rw	rw	rw	rwhc

Field	Bits	Type	Description
STATUS	7:4	r	**ABIST global error status** ABIST status information after requested operation has been performed, information shall only be considered valid, once START bit is cleared. Bits have different reset class than whole register. Bitfield has different reset class than whole register. The bitfield is reset according to *R1). 5_D Selected ABIST operation performed with no errors 10_D Selected ABIST operation performed with errors, check respective SELECT registers Reset: 0_H
INT	3	rw	**Safety path selection** Select whether safe state or interrupt related comparator shall be tested. 0_D safe state related comparators shall be tested 1_D interrupt related comparators shall be tested Reset: 0_H
SINGLE	2	rw	**ABIST Sequence selection** Select whether a single comparator shall be tested or all comparators in predefined sequence 0_D Predefined sequence 1_D Single comparator test Reset: 0_H
PATH	1	rw	**Full path test selection** Select the path which should be covered by ABIST operation 0_D Comparator only 1_D Comparator and corresponding deglitching logic, shall be selected in case contribution to respective safety measure needs to be tested Reset: 0_H

（表格续下页……）

9 单比特复位类别有所不同。详情请参见寄存器说明。

（续）

Field	Bits	Type	Description
START	0	rwhc	**Start ABIST operation** The ABIST operation itself is started. This bit is cleared after ABIST operation has been performed 0_D Operation done 1_D Start operation Reset: 0_H

12.4.1.46 ABIST 控制 1 *R2)

ABIST_CTRL1

Address: $2D_H$

ABIST control1 *R2)

Reset value: 00_H

7	6	5	4	3	2	1	0
nu						**ABIST_CLK_EN**	**OV_TRIG**
none						rw	rw

Field	Bits	Type	Description
nu	7:2	none	Reset: 00_H
ABIST_CLK_EN	1	rw	**ABIST clock check enable** Select ABIST clock to check its functionality 0_D Disable 1_D Enable Reset: 0_H
OV_TRIG	0	rw	**Overvoltage trigger for secondary internal monitor enable** 0_D Disable 1_D Enable Reset: 0_H

12.4.1.47 ABIST 选择 0 *R2)

ABIST_SELECT0 Address: $2E_H$

ABIST select 0 *R2) Reset value: 00_H

7	6	5	4	3	2	1	0
TRK2OV	**TRK1OV**	**VREFOV**	**COMOV**	**VCOREOV**	**STBYOV**	**UCOV**	**PREGOV**
rwhu	rwhu	rwhu	rwhu	rwhu	rwhu	rwhu	rwhu

Field	Bits	Type	Description
TRK2OV	7	rwhu	**Select tracker 2 (QT2) OV comparator for ABIST operation** 0_D Not selected 1_D Selected, bit will be cleared upon successful ABIST operation on comparator, bit will be set in case of ABIST fail for this comparator Reset: 0_H
TRK1OV	6	rwhu	**Select tracker 1 (QT1) OV comparator for ABIST operation** 0_D Not selected 1_D Selected, bit will be cleared upon successful ABIST operation on comparator, bit will be set in case of ABIST fail for this comparator Reset: 0_H
VREFOV	5	rwhu	**Select voltage reference supply (QVR) OV comparator for ABIST operation** 0_D Not selected 1_D Selected, bit will be cleared upon successful ABIST operation on comparator, bit will be set in case of ABIST fail for this comparator Reset: 0_H
COMOV	4	rwhu	**Select communication supply (QCO) OV comparator for ABIST operation** 0_D Not selected 1_D Selected, bit will be cleared upon successful ABIST operation on comparator, bit will be set in case of ABIST fail for this comparator Reset: 0_H
VCOREOV	3	rwhu	**Select core voltage monitor (VCI) OV comparator for ABIST operation** 0_D Not selected 1_D Selected, bit will be cleared upon successful ABIST operation on comparator, bit will be set in case of ABIST fail for this comparator Reset: 0_H

（表格续下页……）

（续）

Field	Bits	Type	Description
STBYOV	2	rwhu	**Select standby supply (QST) OV comparator for ABIST operation** 0_D Not selected 1_D Selected, bit will be cleared upon successful ABIST operation on comparator, bit will be set in case of ABIST fail for this comparator Reset: 0_H
UCOV	1	rwhu	**Select MCU supply (QUC) OV comparator for ABIST operation** 0_D Not selected 1_D Selected, bit will be cleared upon successful ABIST operation on comparator, bit will be set in case of ABIST fail for this comparator Reset: 0_H
PREGOV	0	rwhu	**Select pre-regulator (FB) OV comparator for ABIST operation** 0_D Not selected 1_D Selected, bit will be cleared upon successful ABIST operation on comparator, bit will be set in case of ABIST fail for this comparator Reset: 0_H

12.4.1.48 ABIST 选择 1 *R2)

ABIST_SELECT1 Address: $2F_H$

ABIST select 1 *R2) Reset value: 00_H

7	6	5	4	3	2	1	0
TRK2UV	**TRK1UV**	**VREFUV**	**COMUV**	**VCOREUV**	**STBYUV**	**UCUV**	**PREGUV**
rwhu	rwhu	rwhu	rwhu	rwhu	rwhu	rwhu	rwhu

Field	Bits	Type	Description
TRK2UV	7	rwhu	**Select tracker 2 (QT2) UV comparator for ABIST operation** 0_D Not selected 1_D Selected, bit will be cleared upon successful ABIST operation on comparator, bit will be set in case of ABIST fail for this comparator Reset: 0_H
TRK1UV	6	rwhu	**Select tracker 1 (QT1) UV comparator for ABIST operation** 0_D Not selected 1_D Selected, bit will be cleared upon successful ABIST operation on comparator, bit will be set in case of ABIST fail for this voltage Reset: 0_H
VREFUV	5	rwhu	**Select voltage reference supply (QVR) UV comparator for ABIST operation** 0_D Not selected 1_D Selected, bit will be cleared upon successful ABIST operation on comparator, bit will be set in case of ABIST fail for this comparator Reset: 0_H
COMUV	4	rwhu	**Select communication supply (QCO) UV comparator for ABIST operation** 0_D Not selected 1_D Selected, bit will be cleared upon successful ABIST operation on comparator, bit will be set in case of ABIST fail for this comparator Reset: 0_H
VCOREUV	3	rwhu	**Select core voltage monitor (VCI) UV comparator for ABIST operation** 0_D Not selected 1_D selected, bit will be cleared upon successful ABIST operation on comparator, bit will be set in case of ABIST fail for this comparator Reset: 0_H

（表格续下页……）

（续）

Field	Bits	Type	Description
STBYUV	2	rwhu	**Select standby supply (QST) UV comparator for ABIST operation** 0_D Not selected 1_D selected, bit will be cleared upon successful ABIST operation on comparator, bit will be set in case of ABIST fail for this comparator Reset: 0_H
UCUV	1	rwhu	**Select MCU supply (QUC) UV comparator for ABIST operation** 0_D Not selected 1_D selected, bit will be cleared upon successful ABIST operation on comparator, bit will be set in case of ABIST fail for this comparator Reset: 0_H
PREGUV	0	rwhu	**Select pre-regulator (FB) UV comparator for ABIST operation** 0_D Not selected 1_D Selected, bit will be cleared upon successful ABIST operation on comparator, bit will be set in case of ABIST fail for this comparator Reset: 0_H

12.4.1.49 ABIST 选择 2 *R2)

ABIST_SELECT2

Address: 30_H

ABIST select 2 *R2)

Reset value: 00_H

7	6	5	4	3	2	1	0
BIASHI	**BIASLOW**	**BG12OV**	**BG12UV**	**nu**			**VBATOV**
rwhu	rwhu	rwhu	rwhu	none			rwhu

Field	Bits	Type	Description
BIASHI	7	rwhu	**Select bias current too high** 0_D Not selected 1_D Selected, bit will be cleared upon successful ABIST operation on comparator, bit will be set in case of ABIST fail for this comparator Reset: 0_H
BIASLOW	6	rwhu	**Select bias current too low** 0_D Not selected 1_D Selected, bit will be cleared upon successful ABIST operation on comparator, bit will be set in case of ABIST fail for this comparator Reset: 0_H
BG12OV	5	rwhu	**Select bandgap comparator OV condition** (VBG1 ≥ VBG2 + 4%) 0_D Not selected 1_D Selected, bit will be cleared upon successful ABIST operation on comparator, bit will be set in case of ABIST fail for this comparator Reset: 0_H
BG12UV	4	rwhu	**Select bandgap comparator UV condition** (VBG1 ≤ VBG2 - 4%) 0_D Not selected 1_D Selected, bit will be cleared upon successful ABIST operation on comparator, bit will be set in case of ABIST fail for this comparator Reset: 0_H
nu	3:1	none	Reset: 0_H
VBATOV	0	rwhu	**Select supply VSx overvoltage** 0_D Not selected 1_D Selected, bit will be cleared upon successful ABIST operation on comparator, bit will be set in case of ABIST fail for this comparator Reset: 0_H

12.4.1.50 Buck 开关频率改变 *R2)

BCK_FREQ_CHANGE Address: 31_H

Buck switching frequency change *R2) Reset value: 00_H

7	6	5	4	3	2	1	0
BCK_DRV_STGE	**nu**				**BCK_FREQ_SEL**		
rw	none				rw		

Field	Bits	Type	Description
BCK_DRV_STGE	7	rw	**BUCK driving stage selection** The switching speed of the step down regulator power stages can be adjusted in two configurations to optimize for efficiency or emissions. 1_D Weak driving stage for slower switching 0_D Strong driving stage for faster switching Reset: 0_H ***Note**: This bit will be ignored in SLEEP. In SLEEP state the driving stage is always set to work in "weak" mode. Any configuration will take effect when exiting from SLEEP state.*
nu	6:3	none	Reset: 00_H
BCK_FREQ_SEL	2:0	rw	**BUCK switching frequency change** For manual adjustment of buck frequency in fixed variations from the nominal frequency $f_{OSC,step-down}$ 7_D Change buck frequency by approx. -5.0% from $f_{OSC,step-down}$ 6_D Change buck frequency by approx. -3.3% from $f_{OSC,step-down}$ 5_D Change buck frequency by approx. -1.7% from $f_{OSC,step-down}$ 4_D No change 3_D Change buck frequency by approx. +5.0% from $f_{OSC,step-down}$ 2_D Change buck frequency by approx. +3.3% from $f_{OSC,step-down}$ 1_D Change buck frequency by approx. +1.7% from $f_{OSC,step-down}$ 0_D No Change Reset: 0_H

12.4.1.51 Buck 频率扩展 *R2)

BCK_FRE_SPREAD Address: 32_H

Buck Frequency spread *R2) Reset value: 00_H

7	6	5	4	3	2	1	0
FRE_SP_THR							
rw							

Field	Bits	Type	Description
FRE_SP_THR	7:0	rw	**Spread spectrum** Select the percentage of frequency spread(±). The mean frequency is reduced by the percentage as well keeping the maximum frequency at the nominal frequency selected by FRE. 00_H No spread 55_H +0% / -2.5% frequency spread 80_H +/-2.5% frequency spread AA_H +/-5.0% frequency spread $D5_H$ +/-7.5% frequency spread FF_H +7.5% / -10.0% frequency spread others not used Reset: 00_H

12.4.1.52 中央功能监控状态标志 *R2)

CEFUMON Address: $3B_H$

Central functions monitor status flags *R2) Reset value: 00_H

7	6	5	4	3	2	1	0
STUOC	**nu**			**CEFU3**	**CEFU2**	**CEFU1**	**CEFU0**
rw1c	none			rw1c	rw1c	rw1c	rw1c

Field	Bits	Type	Description
STUOC	7	rw1c	**Step up pre-regulator over-current pre-warning status flag** This diagnostic will re-trigger an INT event raising the flag repetitively every 500 µs as long as the over-current pre-warning condition is reached. 0_D Write 0 - no action 1_D Event detected, write 1 to clear the flag Reset: 0_H
nu	6:4	none	Reset: 0_H
CEFU3	3	rw1c	**Internal regulator backup for switchable power domain failure status flag** 0_D Write 0 - no action 1_D Event detected, write 1 to clear the flag Reset: 0_H
CEFU2	2	rw1c	**Internal regulator for switchable power domain failure status flag** 0_D Write 0 - no action 1_D Event detected, write 1 to clear the flag Reset: 0_H
CEFU1	1	rw1c	**Internal regulator backup for always on power domain failure status flag** 0_D Write 0 - no action 1_D Event detected, write 1 to clear the flag Reset: 0_H
CEFU0	0	rw1c	**Internal regulator for always on power domain failure status flag** 0_D Write 0 - no action 1_D Event detected, write 1 to clear the flag Reset: 0_H

12.4.1.53 微控制器监督监测 *R2)

MCSMON Address: $3C_H$

Microcontroller supervision monitor *R2) Reset value: 00_H

7	6	5	4	3	2	1	0
MPS	**MPSPIN**	**CYCMON**					
rw	r	r					

Field	Bits	Type	Description
MPS	7	rw	**Microcontroller programming support enable (OR combination with MPS pin)** 0_D Disabled via SPI (unless enabled by MPS pin high) 1_D Enabled via SPI (independent of MPS pin) Reset: 0_H
MPSPIN	6	r	**Microcontroller programming support enable (OR combination with MPS bitfield)** 0_D Disabled via pin MPS (unless enabled by MPS bitfield being set) 1_D Enabled via pin MPS (independent of MPS bitfield) Reset: 0_H
CYCMON	5:0	r	**Watchdog cycle timer monitor** 0_D 0 wd cycles passed 1_D 1 wd cycles passed 2_D 2 wd cycles passed 50_D 50 wd cycle passed 51_D not used 63_D not used Reset: 0_H

12.4.1.54 器件信息 *R2)

DEVINFO Address: $3D_H$

Device info *R2) Reset value: 00_H

7	6	5	4	3	2	1	0
nu	**CHIPSTEP**						
none	r						

Field	Bits	Type	Description
nu	7	none	Reset: 0_H
CHIPSTEP	6:0	r	**Chip design step identification** 00_H Blocked for predecessor device TLF35584 33_H TLF35585xxS01 (5V0) B21-Step $5A_H$ TLF35585xxS02 (3V3) B21-Step 19_H TLF35585xxS01 (5V0) B22-Step 70_H TLF35585xxS02 (3V3) B22-Step $0F_H$ TLF35585xxS01 (5V0) B23-Step 66_H TLF35585xxS02 (3V3) B23-Step 25_H TLF35585xxS02 (5V0) B30-Step $4C_H$ TLF35585xxS02 (3V3) B30-Step Reset: 0_H

12.4.1.55 全局测试模式 *R1)

GTM Address: $3F_H$

Global testmode *R1) Reset value: 02_H

7	6	5	4	3	2	1	0
nu						**NTM**	**TM**
none						r	r

Field	Bits	Type	Description
nu	7:2	none	Reset: 00_H
NTM	1	r	**Test mode inverted status** 0_D Device is in test mode 1_D Device is in normal mode Reset: 1_H
TM	0	r	**Test mode status** 0_D Device is in normal mode 1_D Device is in test mode Reset: 0_H

12.5 SPI 信号电气特性

表 33 SPI 信号电气特性

V_{VS} = 6 V 至 40 V；T_j = -40°C 至 150°C，所有电压均以地为参考，正向电流表示流入该引脚（除非另有说明）

Parameter	Symbol	Values			Unit	Note or condition	Number
		Min.	Typ.	Max.			
Pin SCS, Chip Select							
Chip select valid high level	$V_{SCS, hi}$	2.0	–	–	V	V_{SCS} increasing; V_{QUC} = 3.3 V	P_13.5.4
Chip select valid low level	$V_{SCS, lo}$	–	–	0.8	V	V_{SCS} decreasing; V_{QUC} = 3.3 V	P_13.5.5
Chip select hysteresis	$V_{SCS, hyst}$	100	300	600	mV	V_{QUC} = 3.3 V	P_13.5.6
Chip select pull-up current	I_{SCS}	-175	-120	–	µA	V_{SCS} = 0 V	P_13.5.7
Chip select input capacitance	C_{SCS}	–	4	15	pF	1)	P_13.5.8
Pin SCL, Clock							
Clock signal valid high level	$V_{SCL, hi}$	2.0	–	–	V	V_{SCL} increasing; V_{QUC} = 3.3 V	P_13.5.12
Clock signal valid low level	$V_{SCL, lo}$	–	–	0.8	V	V_{SCL} decreasing; V_{QUC} = 3.3 V	P_13.5.13
Clock hysteresis	$V_{SCL, hyst}$	100	300	600	mV	V_{QUC} = 3.3 V	P_13.5.14
Clock signal pull-down current	I_{SCL}	–	150	330	µA	V_{SCL} = V_{QUC}	P_13.5.15
Clock input capacitance	C_{SCL}	–	4	15	pF	1)	P_13.5.16
Pin SDI, data input, MOSI							
Data input valid high level	$V_{SDI, hi}$	2.0	–	–	V	V_{SDI} increasing; V_{QUC} = 3.3 V	P_13.5.20
Data input valid low level	$V_{SDI, lo}$	–	–	0.8	V	V_{SDI} decreasing; V_{QUC} = 3.3 V	P_13.5.21
Data input hysteresis	$V_{SDI, hyst}$	100	300	600	mV	V_{QUC} = 3.3 V	P_13.5.22
Data input signal pull-down current	I_{SDI}	–	150	330	µA	V_{SDI} = V_{QUC}	P_13.5.23
Data input capacitance	C_{SDI}	–	4	15	pF	1)	P_13.5.24
Pin SDO, data output, MISO							
Data output high level	$V_{SDO, hi}$	2.3	–	–	V	V_{QUC} = 3.3 V; I_{SDO} = -7 mA	P_13.5.27
Data output low level	$V_{SDO, lo}$	–	–	0.7	V	V_{QUC} = 3.3 V; I_{SDO} = 5.5 mA	P_13.5.28

（表格续下页……）

表 33 (续) SPI 信号电气特性

V_{VS} = 6 V 至 40 V；T_j = -40°C 至 150°C，所有电压均以地为参考，正向电流表示流入该引脚（除非另有说明）

Parameter	Symbol	Values			Unit	Note or condition	Number
		Min.	Typ.	Max.			
Data output rise time	$t_{SDO,\ rise}$	–	–	25	ns	1) $C_{SDO,load}$ = 50 pF	P_13.5.29
Data output fall time	$t_{SDO,\ fall}$	–	–	25	ns	1) $C_{SDO,load}$ = 50 pF	P_13.5.30
Data output tristate capacitance	$C_{SDO,\ tri}$	–	4	15	pF	1)	P_13.5.31
Data output tristate leakage	$I_{SDO,\ tri,\ leak}$	-10	–	10	µA	–	P_13.5.32

1) 由设计定义，不属于量产测试范围。

13 中断生成

中断生成模块处理以下来源的请求以产生中断：

- 状态机：
  - 请求的状态转换未成功执行，例如：无法进入 SLEEP 状态，因为 QUC 的电流消耗高于所选阈值。
  - 已成功执行从睡眠状态 (SLEEP) 到唤醒状态 (WAKE) 的请求状态转换，即器件已进入 WAKE 状态。MCU 只能在系统产生中断事件之后发送（额外的）*SPI* 指令。该中断事件的目的在于通知 MCU：器件已进入 WAKE 状态，并已能够以完整传输速率进行 SPI 通信。
- 看门狗：如果看门狗未被正确服务，且配置允许服务错误发生（即错误计数器阈值配置为大于 2），则会产生中断请求。在这种情况下，仅当由于该错误导致的错误计数器值尚未达到或超过阈值时，才会产生中断。
- 错误引脚监控：如果错误引脚监控模块检测到错误，并且配置允许该错误在一定时间内存在（启用了恢复延时机制），则会产生中断请求。在这种情况下，如果错误引脚监控检测到错误且恢复延时尚未结束，则会请求中断。
- 监测功能块：根据 章节 10.4 中所定义的系统反应产生中断请求。
- 通信电源（QCO）的过温警告和过温关断。
- SPI 模块因 SPI 错误而触发。
- ABIST 操作完成。
- 受保护配置中出现双比特错误。

会产生一个中断，以通知连接的 MCU 存在非严重的系统状态。这使 MCU 能够根据中断来源采取适当的措施。仅有一条中断线，默认保持高电平。所有内部中断源默认启用且不可禁用。

内部中断发生后，中断线会被拉低至少 $t_{INT,min}$（中断最小脉冲宽度），以此发出中断信号。当 IF 寄存器中的所有标志位通过 SPI 操作被清除后，则中断线会被拉高。时间最早不早于 $t_{INT,min}$，最迟不晚于 t_{INTTO}。

特殊情况：

- 如果通过将 INT 拉低来发出中断信号，并且 MCU 在 t_{INTTO} 内未清除所有中断状态标志，则 INT 将保持低电平直到 t_{INTTO} 到期，但不会生成额外的中断。关于待处理中断事件的信息可通过 INTMISS 状态标志获取。该状态标志在每次中断线被拉低时都会被清除。
- 如果通过将 INT 拉低来发出中断信号，而在 MCU 读取中断标志之后 IF 寄存器中又有新的中断位被置位，并且 MCU 使用已过期的信息来清除中断标志，则中断线将保持低电平直到 t_{INTTO} 到期，但不会产生额外的中断事件。关于待处理中断事件的信息可通过状态标志获取。
- 在中断线被释放为高电平后，中断线将保持高电平至少 t_{INTTO}，不受任何新增内部中断条件影响。如果在延迟超时 (t_{INTTO}) 期间发生新的中断事件，则会通过在延迟超时 t_{INTTO} 之后生成新的脉冲。

所有中断源只能通过 “write-1-to-clear” (w1c) SPI 操作来清除，即向中断寄存器中对应的位写入数值 1_B 即可清除该事件标志。

中断事件采用两级结构进行组织。第一级（中断标志）提供关于不同中断事件组的信息。第二级（状态标志）提供了产生该中断的具体事件的详细信息。要处理（服务）一个中断，必须写入中断标志位。

标志寄存器 (IF)。状态标志寄存器仅用于提供详细信息，但所有状态标志也都可以被清除。

推荐中断服务程序

MCU 检测到中断后，推荐的中断服务流程包括以下步骤：

1. 读取中断标志寄存器（IF）。
2. 根据中断标志寄存器的信息读取相应的状态标志寄存器。
3. 根据中断标志和状态标志采取相应的处理措施。
4. 将先前读出的状态标志值写回状态标志寄存器以清除对应标志。
5. 将先前读出的值写回中断标志寄存器 (IF) 以清除对应标志。
6. 再次读取中断标志寄存器（IF），以检查在处理中断期间是否出现新的中断事件。如有，则返回步骤 2。

当所有位被清除（满足中断时序要求）时，将中断寄存器（IF）写回既可释放中断线 INT。

仅在复位信号对 MCU 释放之后才会生成中断。当 MCU 的复位信号（ROT 引脚）仍处于有效状态时发生的中断事件不会通过中断线输出，但其对应的状态位会被置位。

下图展示了中断线的时序特性：

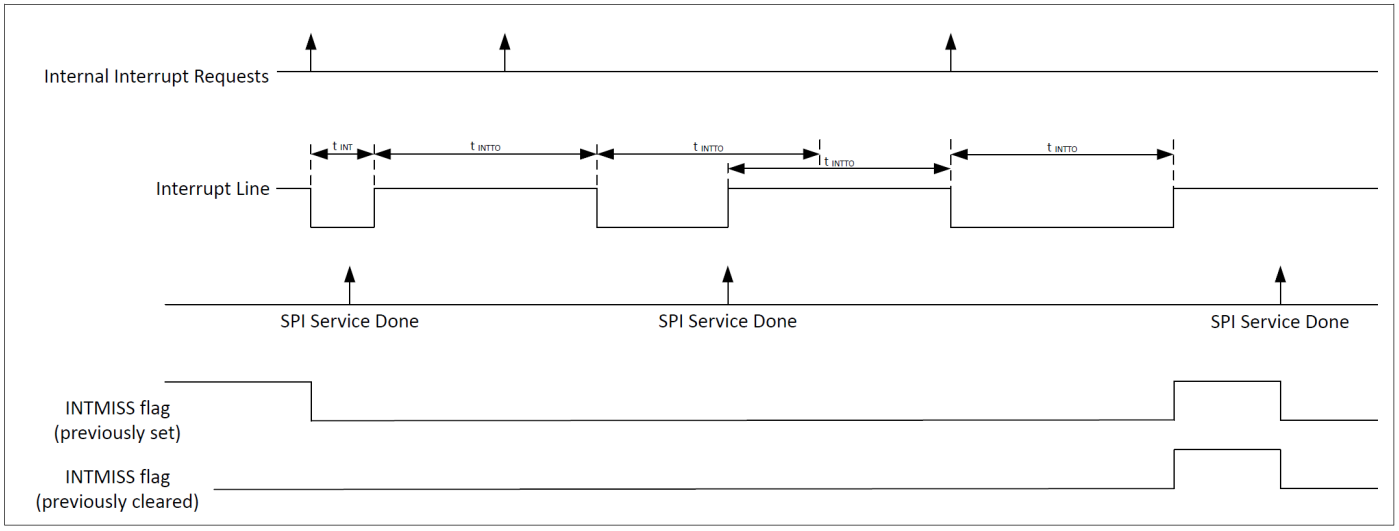


图 75　　中断时序

在未清除所有中断状态标志时系统行为的详细信息如下图所示：

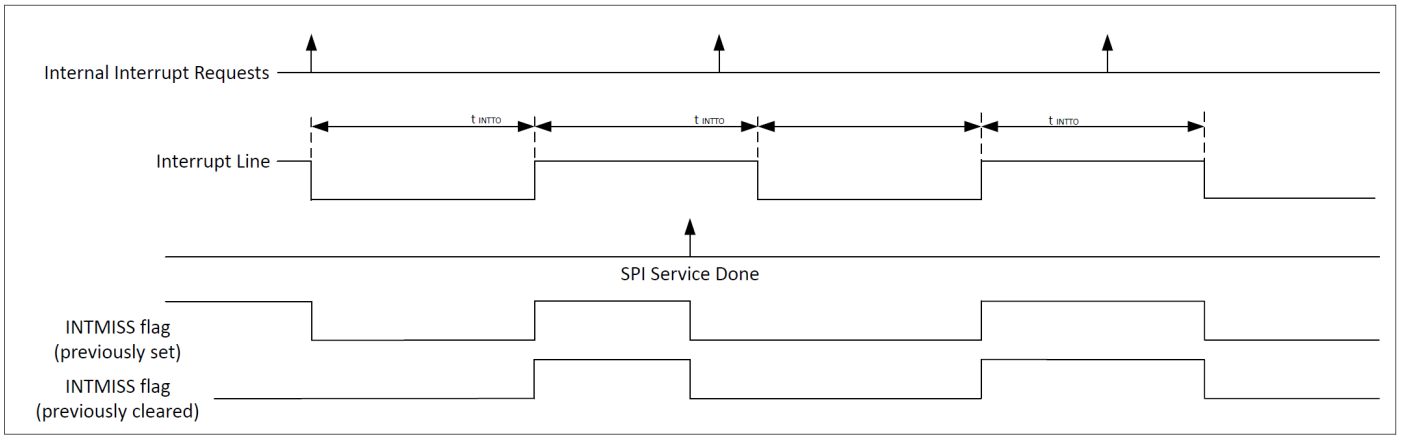


图 76　　中断时序（未及时处理的情况）

只要某个内部状态标志被置位，就始终会生成中断，而不取决于该状态标志当前是否已被置位。例如，若首次检测到 SPI 通信的奇偶校验错误，标志 SPISF.PARE 会被置位，并且会生成一次中断。该标志也会置位相应的 SPI 中断标志（IF.SPI）。如果标志 IF.SPI 未被清除，而又发生第二次 SPI 奇偶校验错误，生成新的中断。上述两个图中的时序要求均会满足以确保能够生成新的中断。

13.1　　中断产生电气特性

表 34　　中断时序电气特性

V_{VS} = 6 V 至 40 V；T_j = -40°C 至 150°C，所有电压均以地为参考，正向电流表示流入该引脚（除非另有说明）

Parameter	Symbol	Values			Unit	Note or condition	Number
		Min.	Typ.	Max.			
Minimum interrupt pulse width	$t_{INT,min}$	90	100	150	µs	–	P_14.1
Interrupt time out	t_{INTTO}	270	300	350	µs	–	P_14.2

14 看门狗监督

14.1 窗口看门狗和功能看门狗介绍

该器件中实现了两种独立的看门狗：

- 一个独立的 *WWD*，具有可编程的输入触发信号（可通过引脚 WDI 触发，或通过向 WWDSCMD 寄存器发送 *SPI* 指令触发）
- 一个基于独立问答机制的看门狗 *FWD*。

两个看门狗具有独立的定时器和错误计数器，因此可以并行运行。

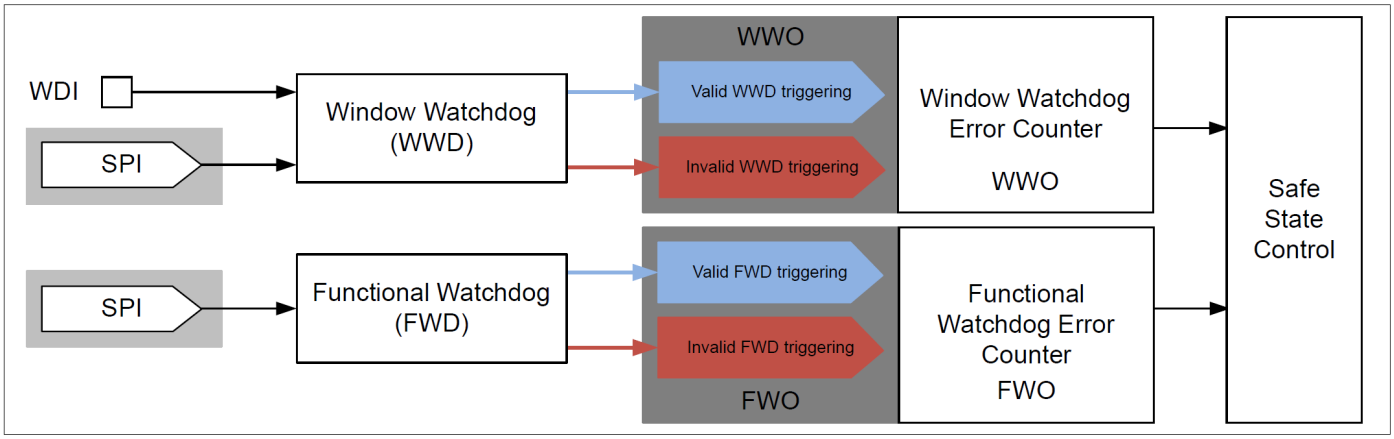


图 77 窗口看门狗和功能看门狗

说明：

- 功能看门狗与窗口看门狗不同步，两者是相互独立的。
- 功能看门狗和窗口看门狗可以独立启用和停用。
- 每个看门狗的结果（有效或无效触发）都会由相应的看门狗错误计数器独立监控。
- 内部窗口看门狗输出（WWO）提供窗口看门狗的状态：“有效 WWD 触发” 或 “无效WWD 触发”。
- 内部功能看门狗输出（FWO）提供功能看门狗的状态：“有效 FWD 触发” 或 “无效 FWD 触发”。
- 安全状态控制功能 章节描述了两个看门狗的设置对安全状态控制的影响。

14.2 窗口看门狗

运行原理

窗口看门狗的目的是监测微控制器。受监控的微控制器需要在 “开放窗口” 期间内提供周期性地触发。触发可以包括 WDI 引脚上的下降沿或在特定配置下通过 *SPI* 指令向寄存器 WWDSCMD 写入。该触发将终止“开放窗口”。看门狗输出会将有效或无效的 *WWD* 触发情况反馈给 WWD 错误计数器。如果触发有效，则会启动“关闭窗口”。如果在“开放窗口”期间没有触发，或者在“关闭窗口”期间触发，则看门狗输出会向 WWD 错误技术器指示 “无效 WWD 触发”，并重新启动一个新的“开放窗口”。

如果微控制器没有在正确的时序下触发窗口看门狗，则认为该微控制器工作异常，不符合预期。设备会通过中断功能通知微控制器；如果发生多次故障事件，则会通过复位进行通知。（假设窗口看门狗错误计数阈值配置为大于2的值）

配置

窗口看门狗的以下参数可以在 INIT、NORMAL 和 WAKE 状态下配置：

- 触发源可以设置为 WDI 引脚或通过寄存器 WWDSCMD 的 SPI 命令（默认：SPI）。
- 可根据应用需求通过 SPI 修改窗口的开启和关闭时间。（由周期时间 WDCYC、周期时间分频器 WDCYCDIV，以及开放窗口 OW 和关闭窗口 CW 的周期数的组合决定）
- 窗口看门狗故障计数器溢出的阈值可以通过 SPI 进行定义。

初始化

一旦复位输出引脚 ROT 从低电平变为高电平，窗口看门狗就会激活并进入 INIT 状态。激活后，看门狗会打开一个持续时间为 t_{LOW} 的所谓“长开窗”（LOW）。在 “长开窗” 期间，窗口看门狗期望一次有效触发，如果保留默认配置，则该触发必须通过 SPI 提供，因为此时对看门狗触发引脚 WDI 的任何信号都会被忽略。这样做是为了避免在启动和初始化过程中，由于微控制器输出端的毛刺而在 WDI 引脚上产生错误触发。

微控制器可以在“长开窗”期间更改窗口看门狗的配置，以改变触发源以及“开放窗口”和“关闭窗口”的持续时间。重新配置后，窗口看门狗将使用新配置重新启动。随后会启动一个 “开放窗口”，等待由所选触发源进行有效触发。

如果在 “长开窗” 期间没有发生有效的触发或看门狗配置，则窗口看门狗会识别出 “无效WWD 触发”。如果 INIT 计时器在无效 WWD 触发的情况下到期，则会发出 “软复位”。“软复位”后，窗口看门狗打开一个新的 “长开窗”。这一过程不会通过中断进行指示。“长开窗”的重复次数是有限的。如果窗口看门狗在第二个“长开窗”期间仍未被正确触发，则会发出“硬复位”：ROT 引脚变为低电平，后级稳压器输出电压被关闭。如果窗口看门狗连续第三次在“长开窗”期间仍未被正确触发，则设备进入 FAILSAFE 状态，参见状态机章节。

正常工作

在 “长开窗” 期间内接收到触发信号将终止“长开窗”并启动“关闭窗口”。“关闭窗口”具有固定的操作持续时间，在此期间不会发生无效触发。正常运行期间，“关闭窗口”期间内不允许接收到任何有效的触发信号。如果在 “关闭窗口” 期间内发生WWD触发，窗口看门狗会识别为 “无效 WWD 触发”）。该无效触发会结束 “关闭窗口”，并启动一个“开放窗口”。

一次 “无效 WWD 触发”会使窗口看门狗错误计数器增加二。该情况会通过中断进行指示。

在“关闭窗口”结束后，窗口看门狗会启动一个“开放窗口”。

在“开放窗口”内，会预期收到有效的触发信号。如果在“开放窗口” 内收到有效的触发信号，看门狗将终止“开放窗口” 并启动 “关闭窗口”。如果窗口看门狗错误计数器大于零，则“有效的 WWD 触发”会将其减一，但此操作不会通过中断指示。

如果在“开放窗口”期间未收到有效触发信号，窗口看门狗会识别为 “无效 WWD 触发”，并将窗口看门狗故障计数增加二，同时开始一个新的“开放窗口”。这由中断表示。

在正常运行过程中，只要持续接收到有效触发，看门狗就会继续在“开放窗口”和“关闭窗口”之间交替切换。

窗口看门狗输出 WWO

窗口看门狗输出 WWO 是一个内部信号：它连接到安全窗口看门狗故障计数器。WWO 的值为“有效 WWD 触发” 或 “无效 WWD 触发”。

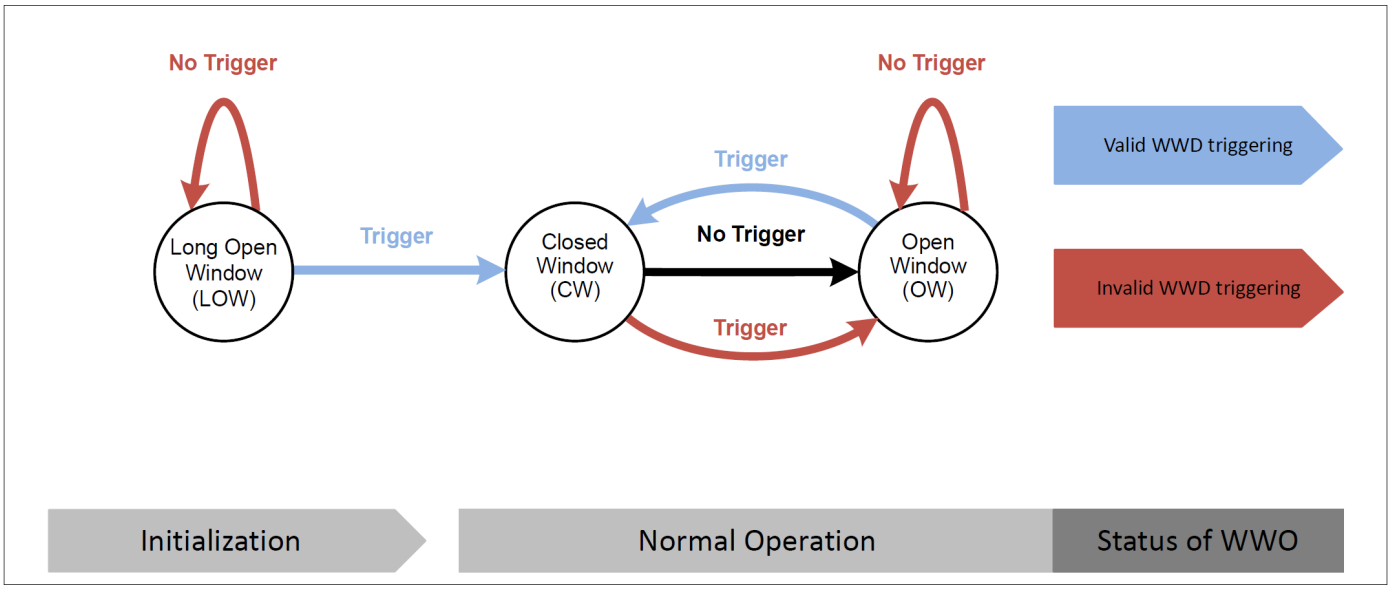


图 78　　看门狗状态图

说明：

- “触发器” 要么是 WWDSCMD 寄存器的 SPI 指令，作为 WWD 触发，要么是引脚 WDI 上的有效看门狗触发信号
- 如果“长开窗”中没有“触发”，则视为“无效 WWD 触发”，看门狗将再次打开一个新的“长开窗”
- 在“长开窗”内触发的“触发器”被视为“有效 WWD 触发”，看门狗会关闭“长开窗”并打开“关闭窗口”
- 在"关闭窗口"期间发生的“触发”被视为"无效 WWD 触发"
- 在“关闭窗口”期间如果“无触发”，看门狗会启动“开放窗口”。
- “开放窗口” 期间内的 “触发” 被视为“有效 WWD 触发”，看门狗会关闭“开放窗口”并打开“关闭窗口”
- "开放窗口” 期间内的 “无触发” 被视为 "无效 WWD 触发"。

窗口看门狗触发引脚 WDI

看门狗输入引脚 WDI 集成了一个下拉电流 I_{WDIo}。WDI 输入在“关闭窗口”期间或随后的“开放窗口”期间可以转换为高电平。

看门狗输入 WDI 以 t_{SAM} 的周期进行周期性采样。当使用引脚 WDI 作为窗口看门狗触发器时，“开放窗口”和“关闭窗口”的任何时序配置如果接近 t_{SAM}（例如 < 8* t_{SAM}），则需要特别注意。

应当避免这种配置，以便应用程序能够合理地产生服务信号，并确保对 WDI 输入进行可靠采样。

WDI 引脚上有效触发信号

有效的触发信号是从 $V_{WDI,high}$ 到 $V_{WDI,low}$ 的下降沿。为了提高对 WDI 输入端噪声或毛刺的抗扰能力，判定有效触发信号至少需要两个“高”采样后跟两个“低”采样。在连续第二次采样到“低”电平时，系统会识别为有效触发。例如，如果 WDI 引脚上的触发脉冲的前三次采样（两个高电平、一个低电平）都发生在“关闭窗口”内，而只有第四次采样（第二个低电平采样）发生在“开放窗口”内，那么看门狗输出 WWO 会指示“有效的 WWD 触发”。

WDI 引脚无效触发

在“开放窗口”期间未检测到触发信号，或者在“关闭窗口”期间检测到触发信号，都将被视为无效触发。如果在“开放窗口”期间没有检测到有效触发，或者在“关闭窗口”期间检测到触发信号，看门狗输出 WWO 会立即指示“无效触发”。

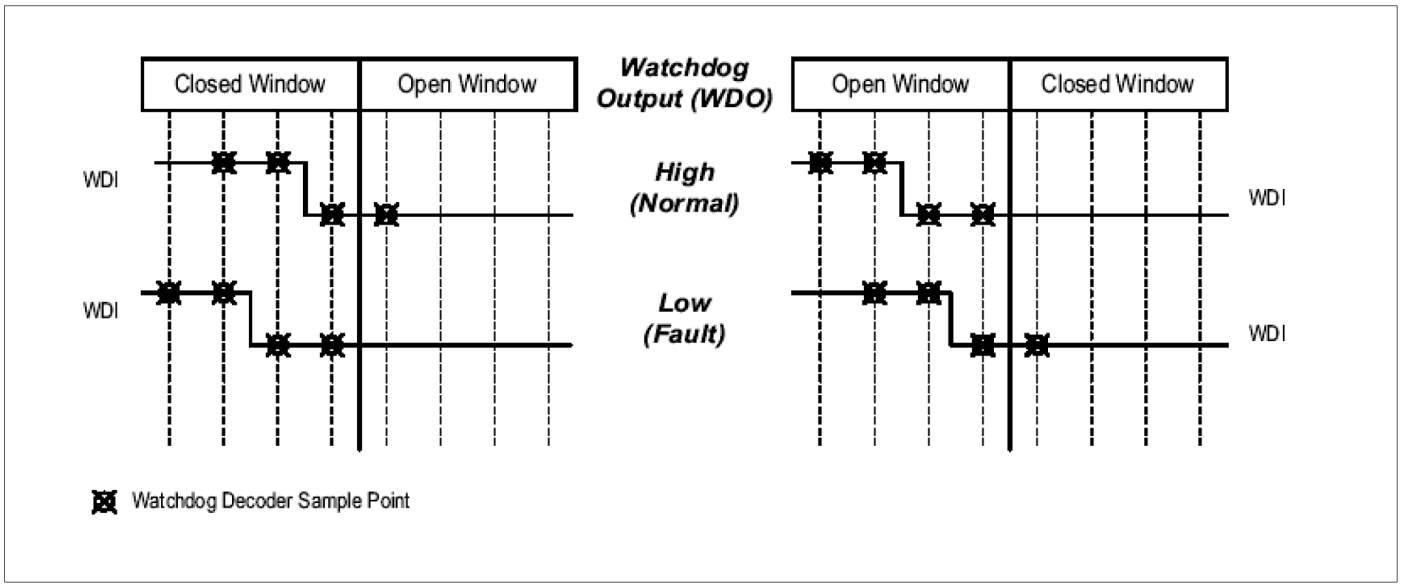


图 79　　引脚 WDI 处的有效和无效触发脉冲

14.2.1 窗口看门狗时序图

14.2.1.1 正常运行：正确触发

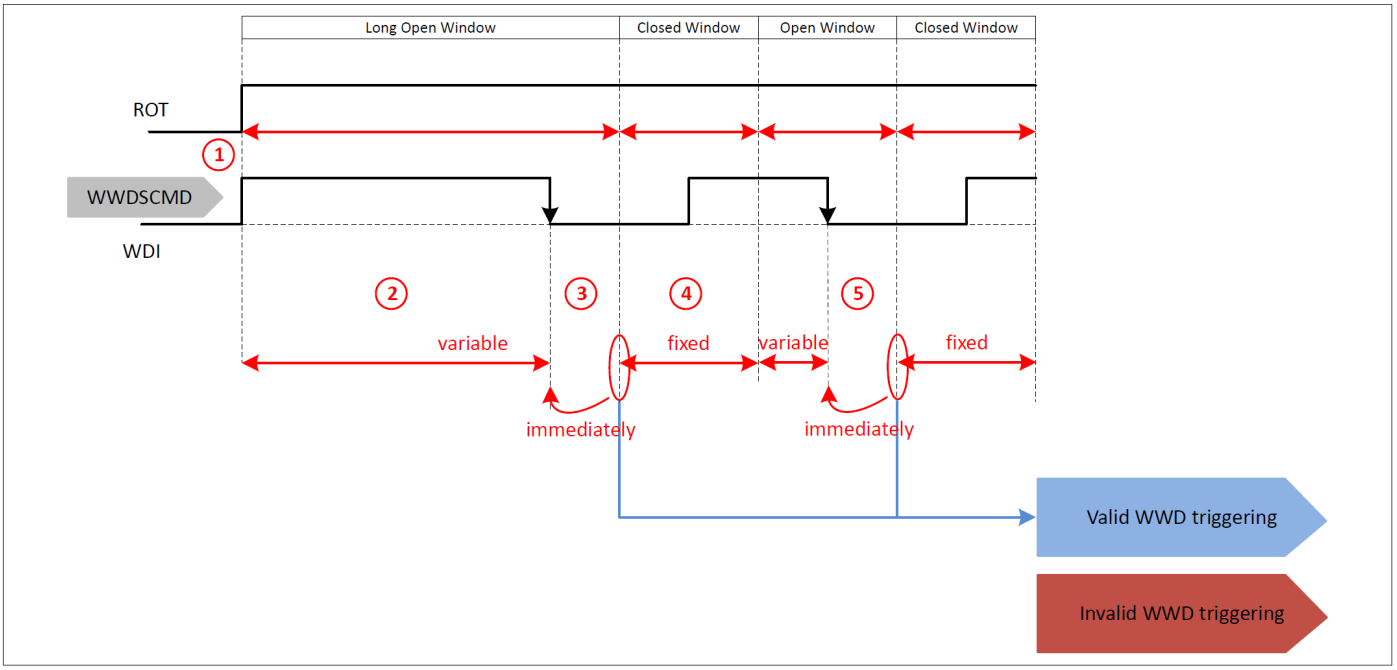


图 80 正常运行：正确触发

1. 如果复位输出 ROT（用于监控与微控制器相关的电压）变为高电平，“长开窗”会在 INIT 状态下启动。若窗口看门狗在 SLEEP 状态下被停用，则第一个开放窗口会在从 SLEEP 状态切换到 WAKE 状态时启动，该切换会通过中断指示。SLEEP 后第一个开放窗口的时间取决于所配置的周期时间和周期时间分频器，可为 600 ms（WDCYC = 1_B 和 WDCYCDIV = 0_B) 或 60 ms (WDCYC = 0_B 和 WDCYCDIV = 0_B) 或 6 ms (WDCYC = 0_B 和 WDCYCDIV = 1_B ）。
2. 在 "长开窗" 期间，期望根据配置的触发源对 *WWD* 进行有效触发。"长开窗" 的最长时间是固定的，但一旦识别到"有效 WWD 触发"，它就会立即结束。
3. 窗口看门狗进入“关闭窗口”。在接收到首次有效触发后，设备才允许从 INIT 状态切换到 NORMAL 状态，或从 WAKE 状态切换到 NORMAL 状态。
4. “关闭窗口”具有固定的持续时间 $t_{WD,CW}$（可通过 *SPI* 指令决定）。它会在有效触发信号结束“开放窗口”或“长开窗”后立即开始。在“关闭窗口”期间不应施加任何触发信号。WDI 引脚从低到高的转换不会被检测到，也不会导致触发事件。
5. 有效触发信号会立即结束“开放窗口”，因此“开放窗口”的持续时间是可变的，取决于微控制器安排触发的时间。这会被计为一次"有效 WWD 触发"。

14.2.1.2 故障操作：初始化后开放窗口中无触发信号

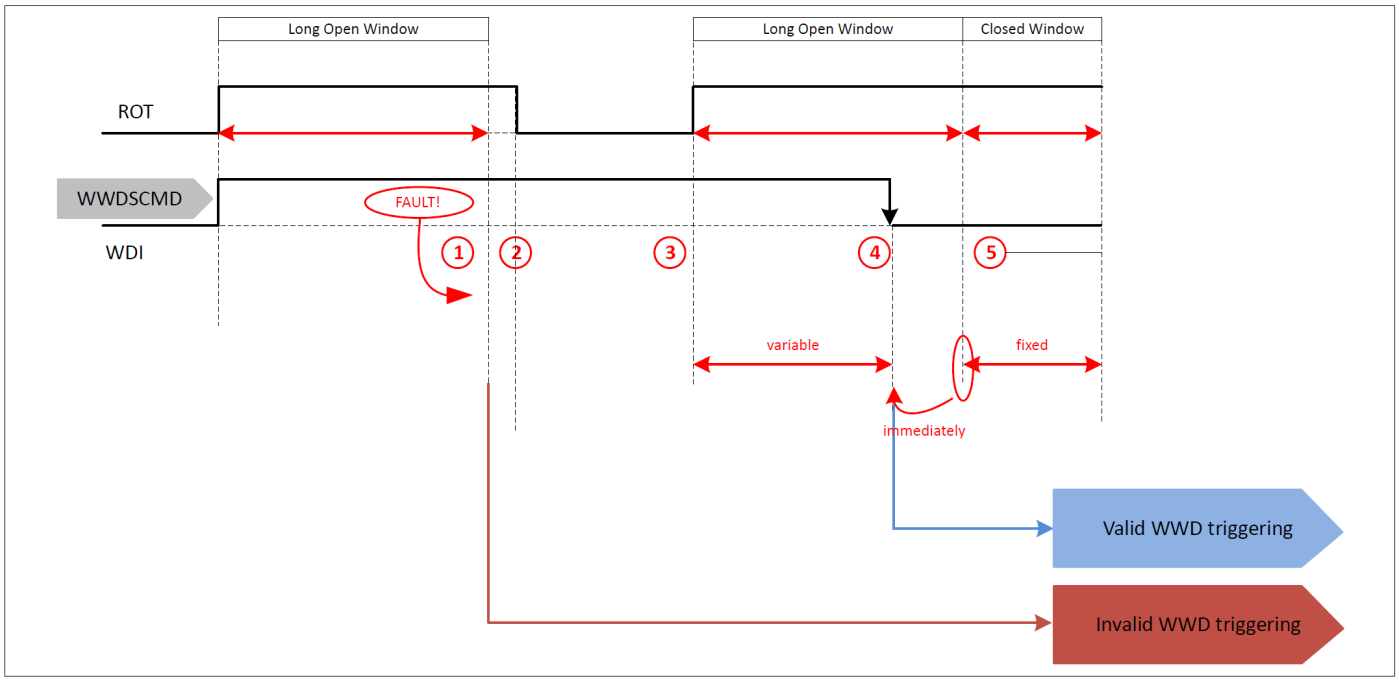


图 81 故障操作：初始化后开放窗口中无触发信号

1. 初始化超时和长开窗（LOW）的典型长度相同。通常这会导致初始化超时略早于或与 LOW 同时发生，从而跳过中断事件（1）。如果在“长开窗”期间没有出现“有效 *WWD* 触发”，则在 LOW 结束后可能会触发中断事件，并使窗口看门狗错误计数器增加二。
2. INIT状态定时器第一次到期。由于在 INIT 状态期间未接收到窗口看门狗的“有效 WWD 触发”，因此发出“软复位”：引脚 ROT 变为“低”。因此会发出“软复位”：ROT 引脚变为低电平。后级稳压器的输出电压保持不变。

   补充说明：如果窗口看门狗在随后 INIT 阶段的下一个“长开窗”内仍未被正确触发，则会发出“硬复位”，即 ROT 引脚拉至低电平，输出电压关闭。在 INIT 阶段第三次发生无效触发后，设备会进入 FAILSAFE 状态。
3. 在所谓的“软复位”之后，引脚 ROT 在上电复位延时时间 t_{rd} 后再次变高，并且看门狗打开一个“长开窗”，使微控制器有机会触发并同步到看门狗周期。
4. 有效触发会终止 "长开窗"，这使得 "长开窗" 的持续时间可变，并取决于触发。这被视为一次 "有效 WWD 触发" 并且启动"关闭窗口" 。窗口看门狗错误计数器减一，且不发出中断。
5. 随后 "关闭窗口" 的持续时间为 $t_{WD,CW}$。在此期间发生的触发会被视为 "无效 WWD 触发"。

14.2.1.3 故障操作：稳态下开放窗口无触发

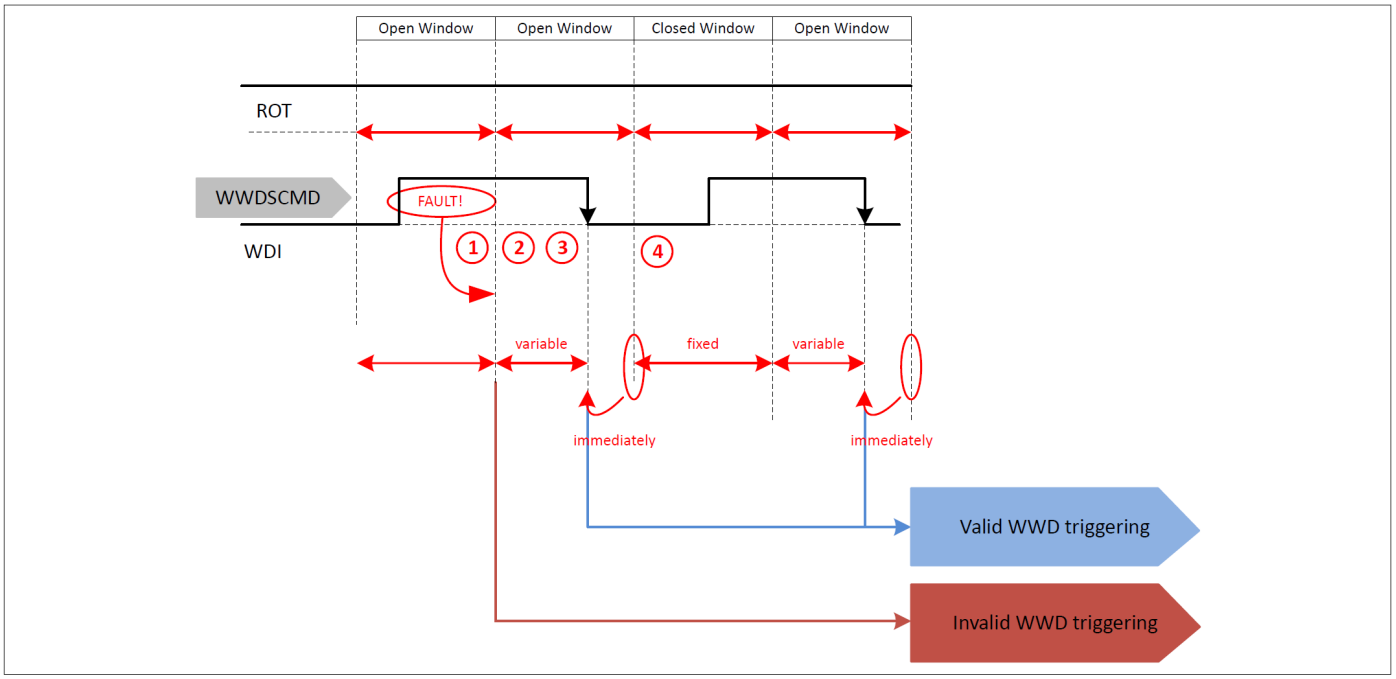


图 82 故障操作：稳态下开放窗口无触发

1. “开放窗口” 缺少 “有效 *WWD* ”会触发 “无效 WWD 触发”。该事件会通过中断进行指示，窗口看门狗错误计数器增加二。
2. 检测到 “无效 WWD 触发“ 后，看门狗将启动一个新的 “开放窗口”，持续时间为 $t_{WD,OW}$，让微控制器有机会触发并同步看门狗周期。
3. 一次有效的触发会终止“开放窗口”，因此 “开放窗口”的持续时间变化，并取决于触发。这被计为一次 “有效 WWD 触发”，并启动“关闭窗口”。窗口看门狗错误计数器减一，且不会产生中断。

   在“开放窗口”内反复发生“无效 WWD 触发”（即缺少触发）时，窗口看门狗错误计数器会在每次发生时增加二，直到达到所配置的阈值。在这种情况下，会发出复位。
4. 随后 "关闭窗口" 的持续时间为 $t_{WD,CW}$。在此期间发生的触发会被视为 "无效 WWD 触发"。

ROT 引脚的行为取决于 ΣWWO 的值。在上面的示例中，无效触发没有达到或超过所配置的 ΣWWO 阈值。

14.2.1.4 故障操作：初始化后在关闭窗口中的错误触发

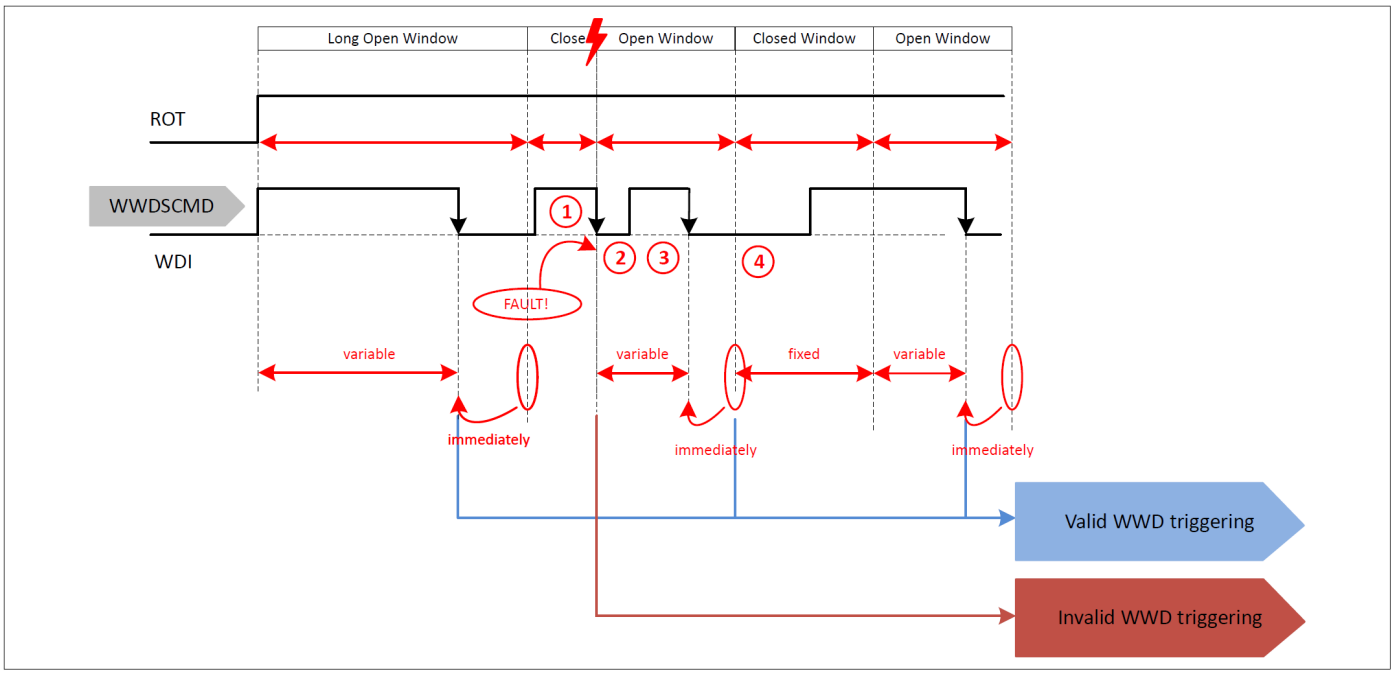


图 83 故障操作：初始化后关闭窗口中的错误触发

1. 在“关闭窗口”期间触发的事件会显示为“无效 *WWD* 触发”。该事件会通过中断进行指示，并且窗口看门狗错误计数器增加二。
2. “关闭窗口”会在 $t_{WD,CW}$ 到达之前因“无效 WWD 触发”而结束。错误触发终止了“关闭窗口”，并启动了一个“开放窗口”，以便微控制器有机会与窗口看门狗周期同步。
3. 在这个“开放窗口”内，期望发生有效触发。有效触发会结束“开放窗口”，因此“开放窗口”的持续时间是可变的，取决于触发时刻。这会被计为一次“有效 WWD 触发”，并启动一个“关闭窗口”。窗口看门狗故障计数器将减一，且不会产生中断。
4. 接下来 "关闭窗口" 持续时间为 $t_{WD,CW}$。在此时间内触发将被视为 "无效 WWD 触发"。

ROT 引脚的行为取决于 ΣWWO 的值。在上面的示例中，无效触发没有达到或超过所配置的 ΣWWO 阈值。

14.2.1.5 故障操作：稳态下关闭窗口中的错误触发

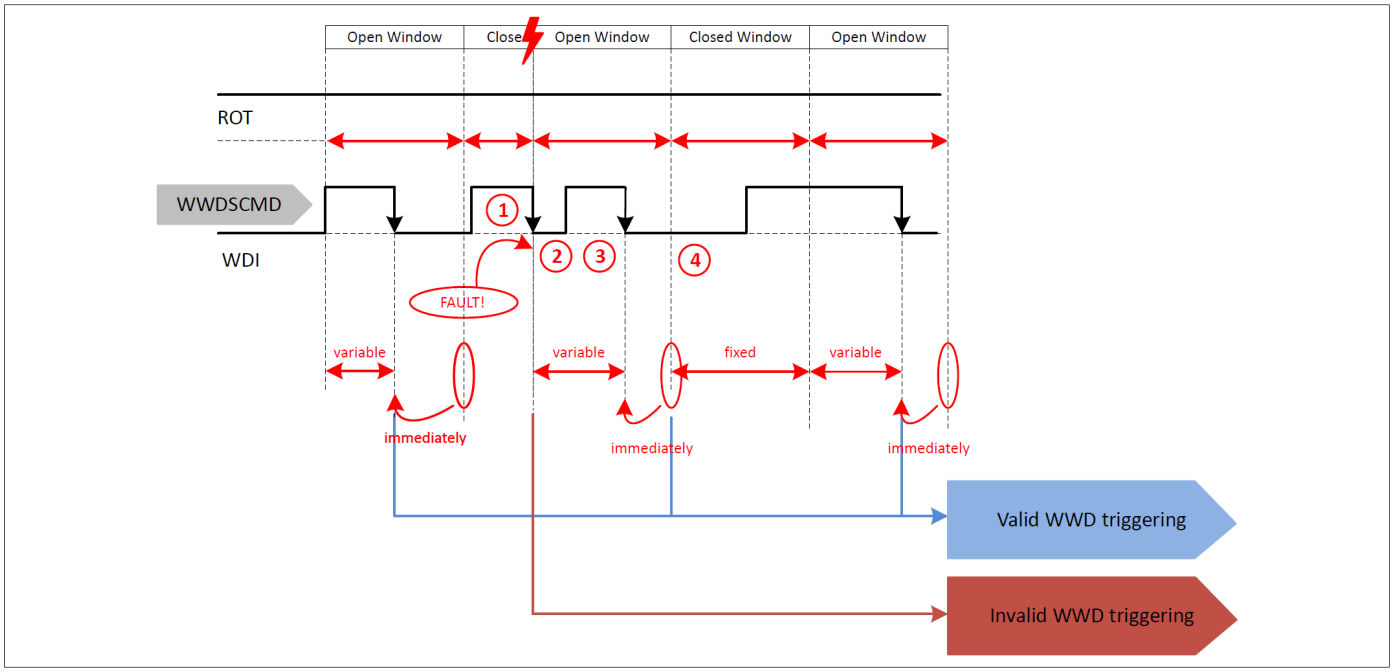


图 84 故障操作：关闭窗口中的错误触发

1. 在 “关闭窗口” 期间触发的事件会显示为 “无效 *WWD* 触发”。该事件会通过中断进行指示，并且窗口看门狗错误计数器增加二。
2. “关闭窗口” 会随着 “无效 WWD 触发” 而关闭。它原本会持续 $t_{WD,CW}$。错误触发会终止“关闭窗口”，并启动一个“开放窗口”，以便微控制器有机会与窗口看门狗周期同步。
3. 在这个“开放窗口”内，期望发生有效触发。有效触发会结束“开放窗口”，因此“开放窗口”的持续时间是可变的，取决于触发时刻。这会被计为一次 “有效 WWD 触发”，并启动一个“关闭窗口”。窗口看门狗故障计数器将减一，且不会产生中断。
4. 接下来 "关闭窗口" 持续时间为 $t_{WD,CW}$。在此时间内触发将被视为 "无效 WWD 触发"。

ROT 引脚的行为取决于 ΣWWO 的值。在上面的示例中，无效触发没有达到或超过所配置的 ΣWWO 阈值。

14.2.2 窗口看门狗电气特性

表 35 窗口看门狗（WWD）功能电气特性

V_{VS} = 6 V 至 40 V；T_j = -40°C 至 150°C，所有电压均以地为参考，正向电流表示流入该引脚（除非另有说明）

Parameter	Symbol	Values			Unit	Note or condition	Number
		Min.	Typ.	Max.			
General timing parameters *WWD* and *FWD*							
Watchdog cycle time	t_{CYCLE}	94	100	106.5	µs	1) selectable by SPI command	P_15.2.2.1
Watchdog cycle time, default setting	t_{CYCLE}	940	1000	1065	µs	1) selectable by SPI command	P_15.2.2.2
Long open window time	t_{LOW}	564	600	639	ms	–	P_15.2.2.3
Watchdog input WDI							
Watchdog sampling time	t_{SAM}	188	200	213	µs	–	P_15.2.2.4
WDI valid high level	$V_{WDI, high}$	2.0	–	–	V	V_{WDI} increasing; V_{QUC} = 3.3 V	P_15.2.2.8
WDI valid low level	$V_{WDI, low}$	–	–	0.8	V	V_{WDI} decreasing; V_{QUC} = 3.3 V	P_15.2.2.9
WDI hysteresis	$V_{WDI, hyst}$	100	200	600	mV	V_{QUC} = 3.3 V	P_15.2.2.10
WDI pull-down current	I_{WDI}	–	150	330	µA	$V_{WDI} = V_{QUC}$	P_15.2.2.11
WDI input capacitance	C_{WDI}	–	4	15	pF	2)	P_15.2.2.12

1) 由于看门狗服务在内部处理过程中，从触发信号被提供（通过 *SPI* 或 WDI 引脚）到相关功能实际接收到该触发之间，还需要考虑最多 55 µs 的额外传播时间不确定性。

2) 由设计指定，无需进行生产测试

14.3 功能看门狗

运行原理

功能看门狗（或问答式看门狗）的目的是监控微控制器。系统会根据下表生成一个问题，同时心跳计数器从 0 开始计数。心跳计数器会持续递增，直到心跳周期结束。心跳周期的默认持续时间可以通过 *SPI* 指令进行调整。该问题由 4 位组成，预期答案由 4 个响应组成，每个响应为 8 位。这四个响应必须在心跳周期结束前发送完成。最后一个响应应写入同步响应寄存器，以复位心跳计数器。

初始化

当器件第一次上电时，功能看门狗功能默认关闭。它可以通过SPI写入 WDCFG0.FWDEN 来使能。

配置

功能看门狗可在 INIT、NORMAL 和 WAKE 状态下按如下方式进行配置：

- 心跳周期的持续时间可以根据应用需求，通过 SPI 指令进行修改。（由周期时间 WDCYC 与周期时间分频器 WDCYCDIV 以及心跳周期数 WDHBTP 组合决定）
- 功能门狗故障计数器溢出的阈值可以通过 SPI 进行设定。心跳周期基于表 35 中规定的周期时间 t_{CYCLE}。

正常工作

问题基于表 36，每个问题的正确答案应列在同一行。必须保持正确的回答顺序，可从回答计数器 FWDSTAT0.FWDRSPC 在发送回复之前确定当前的顺序。

对问题的正确回答由随后的四个回答字节组成。对于 FWDSTAT0.FWDQUEST 中给定的问题，正确响应为:

- 将前三个响应写入 FWDRSP
- 最后一个响应应该写入 FWDRSPSYNC 以重置心跳计时器

四个响应都必须在心跳周期到期前完成写入。

如果完整的响应（32 位）正确，并且最后一个响应字节是同步发送的，则心跳计数器将重置并置位为零。如果完整的应答（所有四个响应 - 32 位）正确，则视为 “有效 *FWD* 触发”，功能看门狗错误计数器 ΣFWO 减 1。如果最后一次响应是同步响应，则心跳计数器会复位，但如果答案错误，则视为 “无效 FWD 触发“，功能看门狗错误计数器 ΣFWO 将增加 2 。

功能看门狗错误计数器 ΣFWO 溢出将触发 “转入 INIT”事件，重置心跳计数器并将功能看门狗错误计数器 ΣFWO 置为零。

表 36 功能看门狗响应定义

QUESTION	RESP3	RESP2	RESP1	RESP0
0	FF	0F	F0	00
1	B0	40	BF	4F
2	E9	19	E6	16
3	A6	56	A9	59
4	75	85	7A	8A
5	3A	CA	35	C5

（表格续下页.....）

表 36 （续）功能看门狗响应定义

QUESTION	RESP3	RESP2	RESP1	RESP0
6	63	93	6C	9C
7	2C	DC	23	D3
8	D2	22	DD	2D
9	9D	6D	92	62
A	C4	34	CB	3B
B	8B	7B	84	74
C	58	A8	57	A7
D	17	E7	18	E8
E	4E	BE	41	B1
F	01	F1	0E	FE

功能看门狗输出 FWO

功能看门狗输出 FWO 是一个内部信号：它连接到 FWD 故障计数器。功能看门狗输出 FWO 的值要么是 “有效 FWD 触发”，要么是 “无效 FWD 触发”。

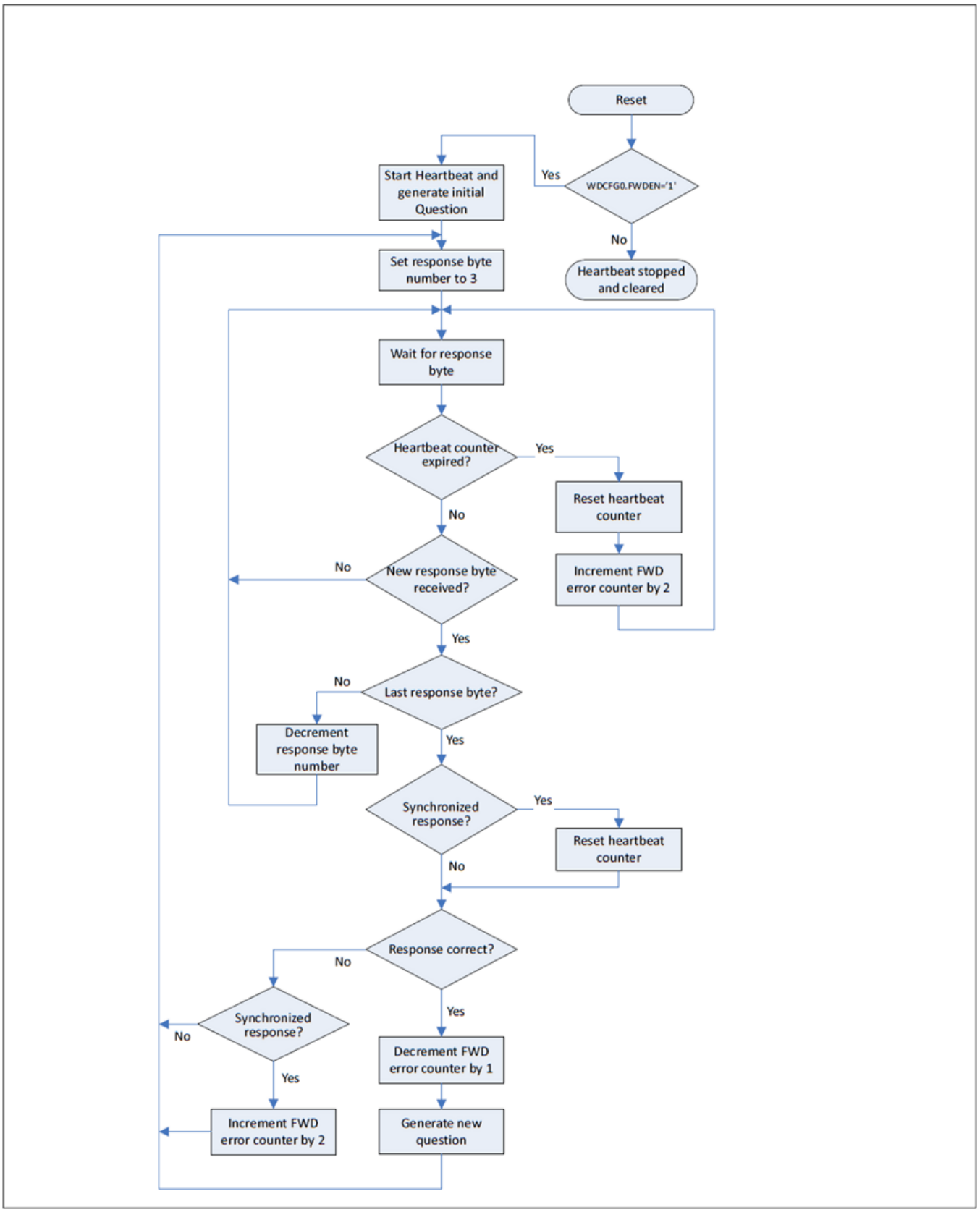


图 85　　功能看门狗流程图

14.3.1 功能看门狗时序图

14.3.1.1 正常运行：正确触发

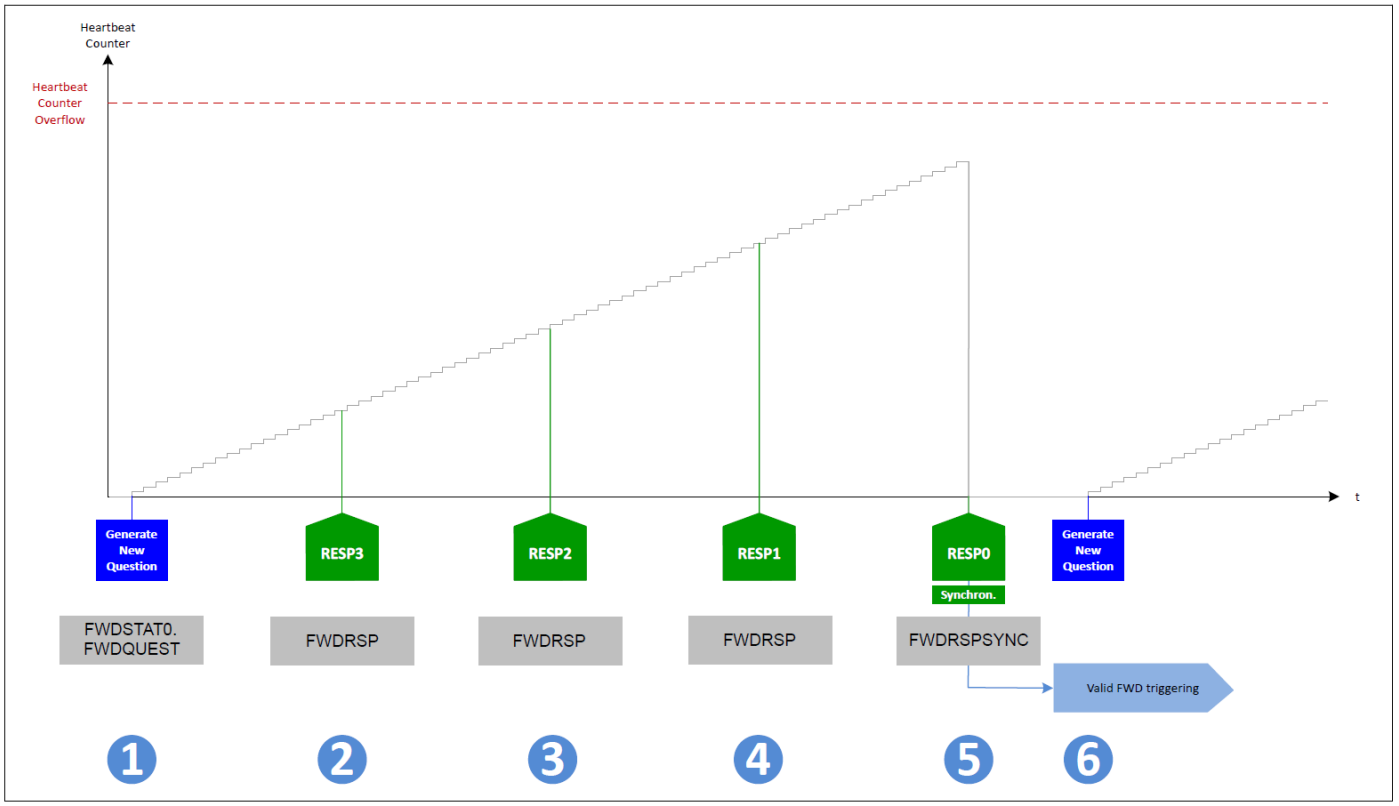


图 86 正常运行：正确触发

1. “有效 *FWD* 触发” 之后，生成一个新问题，同时心跳计数开始运行。
2. 收到正确响应（RESP3）。
3. 收到正确响应（RESP2）。
4. 收到正确响应（RESP1）。
5. 已收到正确的同步响应（RESP0）。所有响应均正确，响应顺序正确，并且最后一个同步响应在心跳计数器溢出之前到达。此时心跳计数器已重置（置位为零）。这被视为 “有效 FWD 触发”，功能性看门狗错误计数器 ΣFWO 减 1（前提是功能看门狗错误计数器的值大于零）。
6. 同时会生成一个新问题，心跳计数器也会开始计数。

14.3.1.2 故障操作：同步缺失

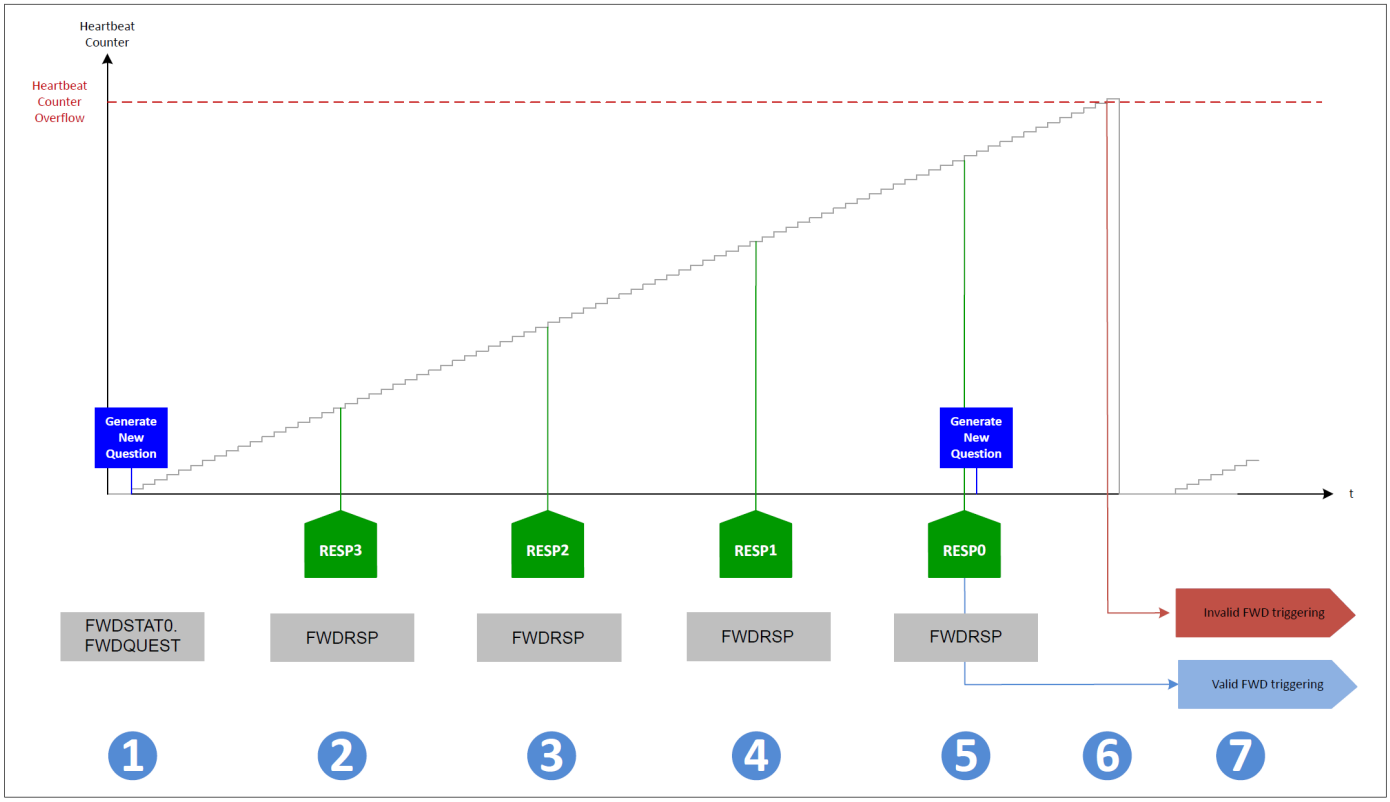


图 87 故障操作：同步缺失

1. 生成一个新问题，同时心跳计数器开始递增计数（假设之前已经发生过一次“有效的 *FWD* 触发”）。
2. 收到正确的响应（RESP3）
3. 收到正确的响应（RESP2）
4. 收到正确的响应（RESP1）
5. 已收到正确响应（RESP0），但未同步（写入错误的寄存器）。到目前为止，所有响应均正确，响应顺序正确，并且最后一个未同步的响应是在心跳寄存器溢出之前达到。心跳寄存器不会复位，并继续计数。这被视为“有效 FWD 触发”，功能性看门狗错误计数器 ΣFWO 减 1（如果功能性看门狗错误计数值大于零）。产生一个新的问题。
6. 心跳计数器仍在递增，等待新问题的应答。稍后，心跳计数器将溢出。这被视为“无效 FWD 触发”。功能看门狗错误计数器 ΣFWO 加 2。心跳计数器随后复位。
7. 心跳计数器开始计数。不产生新问题。

14.3.1.3 故障操作：应答错误

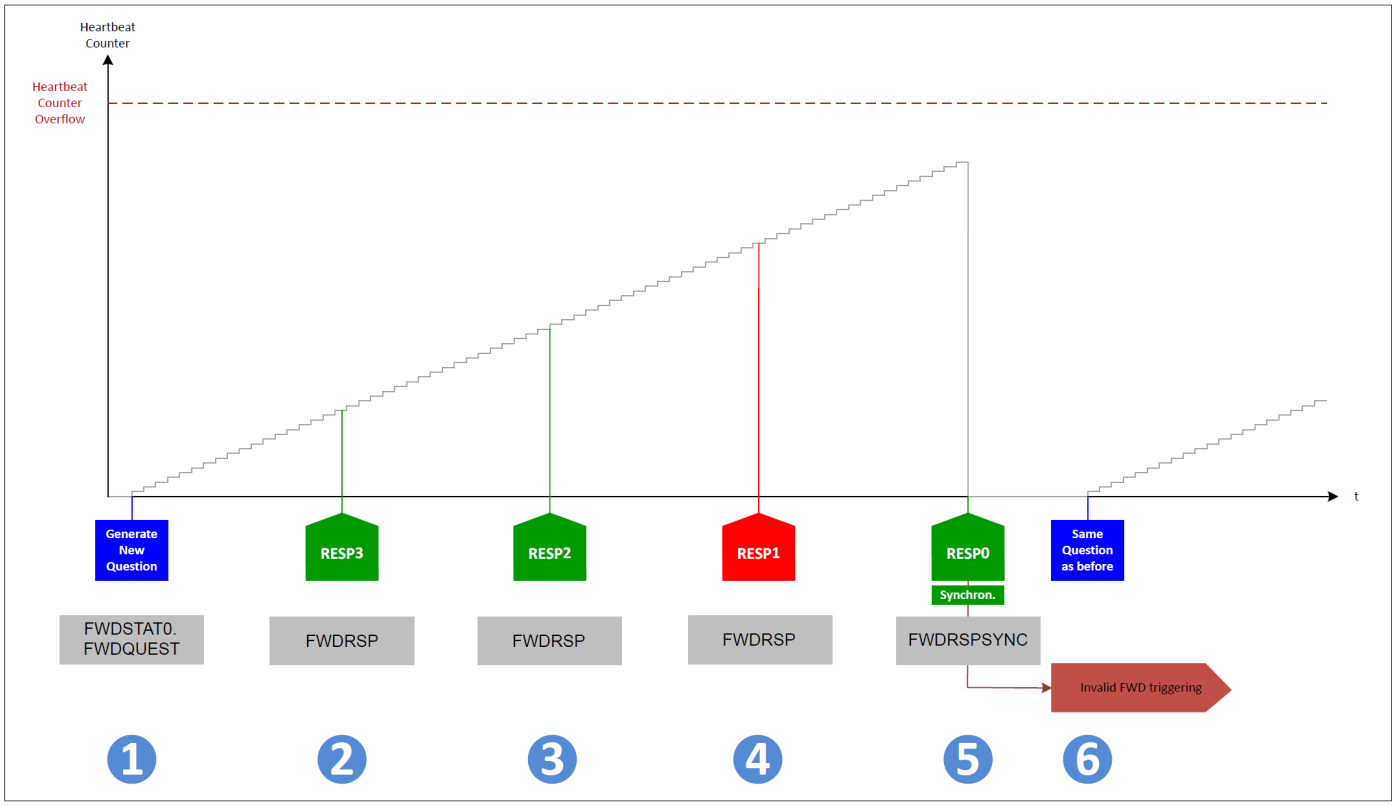


图 88 故障操作：应答错误

1. 生成一个新问题，心跳计数器开始递增计数（假设之前已经发生过一次 “有效的 *FWD* 触发”）
2. 收到正确的响应（RESP3）
3. 收到正确的响应（RESP2）
4. 收到错误的响应（RESP1）
5. 收到正确的响应 （RESP0）。心跳计数将重置（置位为零）。完整的应答不正确。这被视为 “无效 FWD 触发”。功能看门狗错误计数器 ΣFWO 加 2。心跳计数器复位。
6. 虽然没有生成新的问题，但心跳计数器开始计数。

注释： *如果 RESP2 和 RESP1 混淆了，则两个响应都是错误的——响应必须按正确的顺序发送。*

14.3.1.4 故障操作：响应缺失

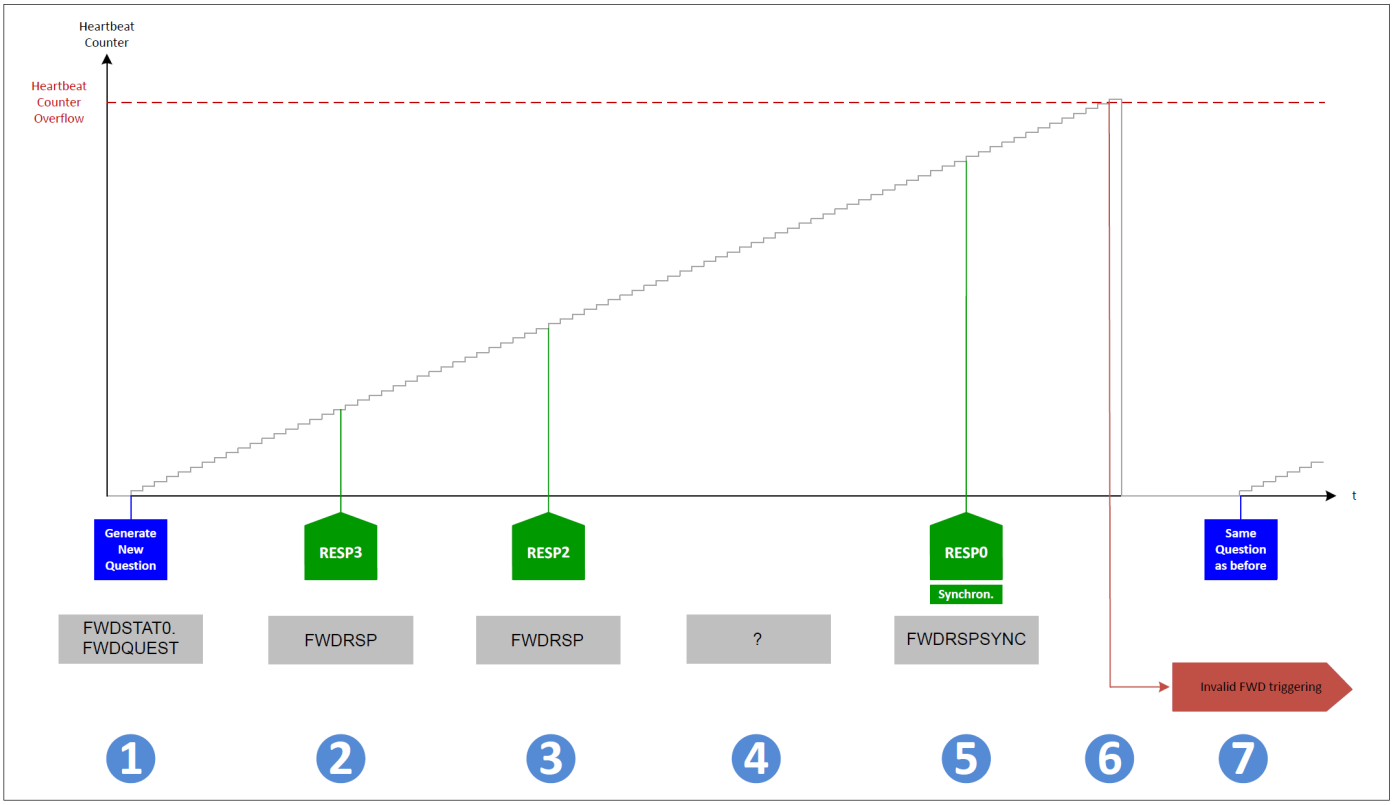


图 89 故障操作：响应缺失

1. 生成一个新问题，同时心跳计数器开始递增计数（假设之前已经发生过一次“有效的 *FWD* 触发”）。
2. 收到正确的响应（RESP3）
3. 收到正确的响应（RESP2）
4. 缺少响应（RESP1）
5. 收到正确响应（RESP0）。所以最后的响应不是真正的最后响应，而是由于缺少响应变成了倒数第二个响应（在本例中缺少RESP1）。功能齐全的看门狗等待着这四个响应写入，同时心跳计数器还在继续计数。这四个响应没有固定的时间限制，但必须在心跳计数器到期之前按正确的顺序发送。
6. 由于缺少响应 RESP1，完整的应答不正确。尽管最后一个响应已同步，但心跳计数器不会复位，并继续计数直至发生溢出。这被视为 “无效的 FWD 触发”。功能看门狗错误计数器 ΣFWO 递增加 2. 心跳计数复位。
7. 没有生成新的问题，心跳计数器开始计数。

15 应用信息

下图描述了该 *集成电路 (IC)* 在其应用环境中的使用方式。

注释: *本章节提供的信息仅作为器件实现的参考提示，不应被视为对器件某种特定功能、状态或质量的描述或保证。相关功能必须在实际应用中进行验证。关于外部器件的选型和参数设计，请参考其他技术文档，或联系我们的技术支持团队获取帮助。*

- 请联系我们以获取更多支持文件。
- 欲了解更多信息，您可以访问 http://www.infineon.cn/

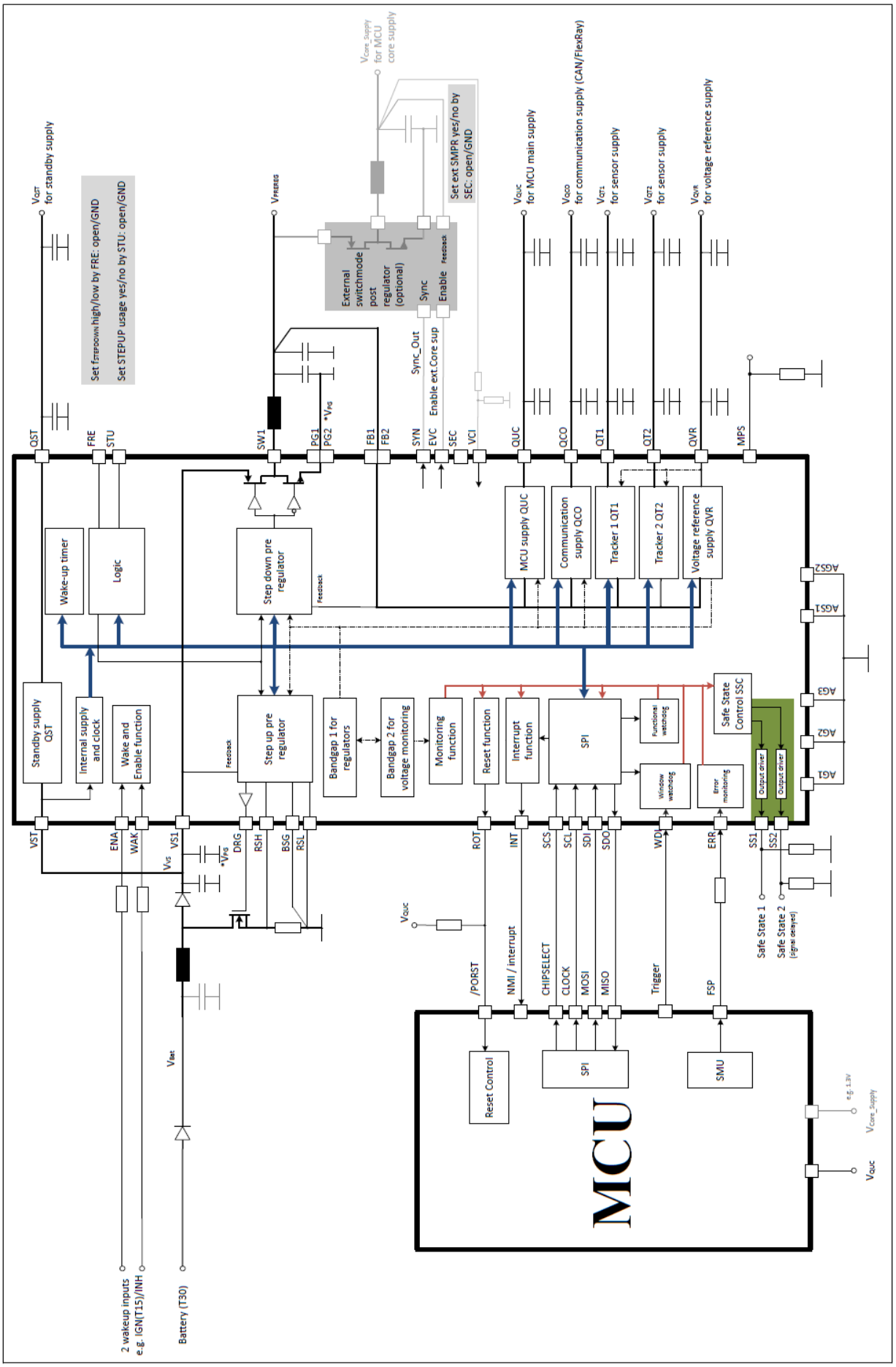
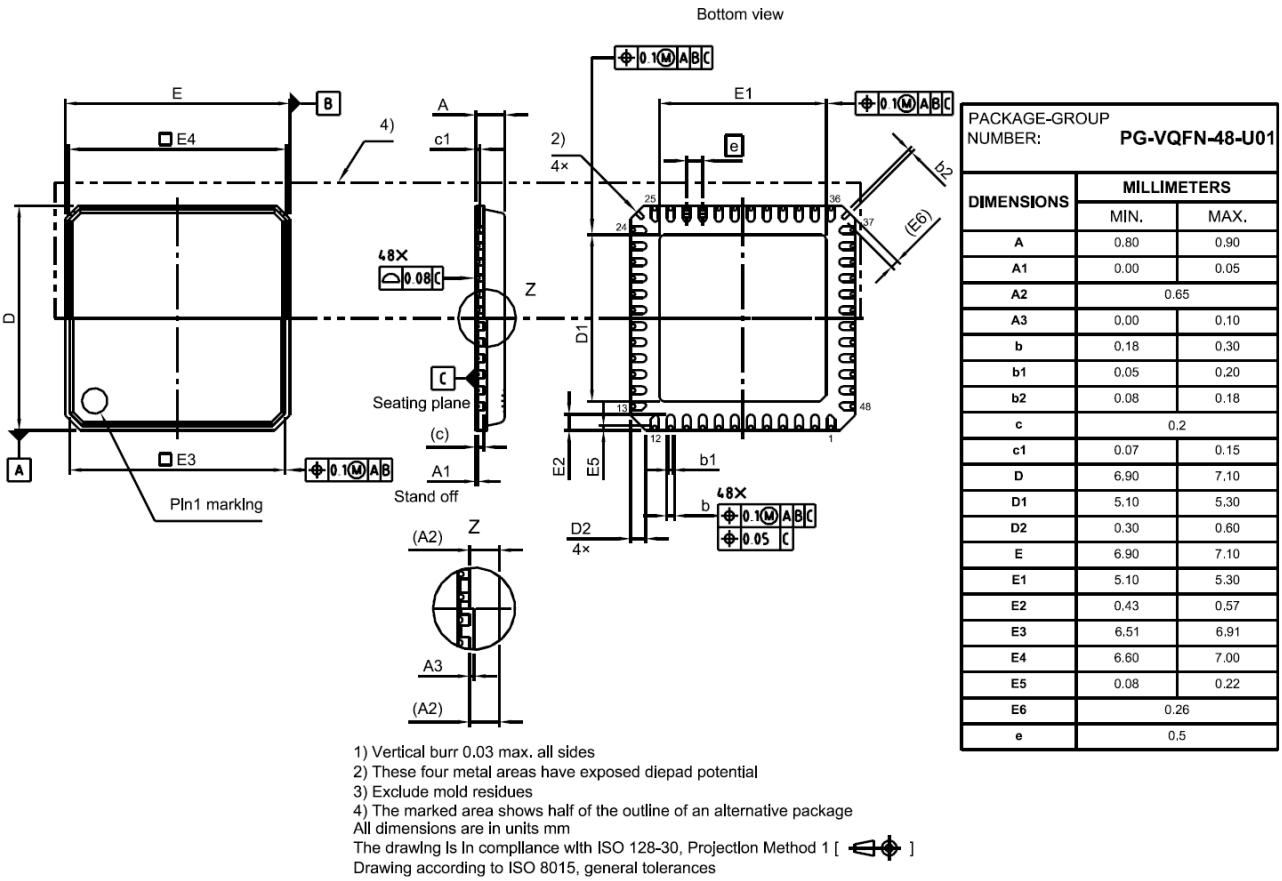


Figure 90 Application diagram

16 封装信息



PACKAGE-GROUP NUMBER:	PG-VQFN-48-U01	
DIMENSIONS	MILLIMETERS	
	MIN.	MAX.
A	0.80	0.90
A1	0.00	0.05
A2	0.65	
A3	0.00	0.10
b	0.18	0.30
b1	0.05	0.20
b2	0.08	0.18
c	0.2	
c1	0.07	0.15
D	6.90	7.10
D1	5.10	5.30
D2	0.30	0.60
E	6.90	7.10
E1	5.10	5.30
E2	0.43	0.57
E3	6.51	6.91
E4	6.60	7.00
E5	0.08	0.22
E6	0.26	
e	0.5	

图 91 PG-VQFN-48

绿色产品（符合 RoHS 标准）

为了满足全球客户对环保产品的要求，并符合政府规定，该器件可作为绿色产品提供。绿色产品符合RoHS标准（即，引线采用无铅涂层，并且符合IPC/JEDEC J-STD-020 标准，适用于无铅焊接）。

封装信息

有关封装的更多信息（例如组装建议），请参阅 www.infineon.com/packages。

词汇表

ADC
模数转换器(ADC)

ASIL
汽车安全完整性等级(ASIL)
四个等级之一，用于规定项目或元件所需满足的 ISO 26262 要求以及为避免不合理风险而应采取的安全措施，其中 D 表示要求最严格的等级，A 表示要求最宽松的等级。

CDM
带电器件模型(CDM)
表征电子器件易受静电放电（ESD）损坏程度的模型。

EMC
电磁兼容性（EMC）
电气设备和系统在其电磁环境中正常工作的能力，即通过限制非故意产生、传播和接收电磁能量，从而避免引起电磁干扰（EMI）等不良影响，甚至对运行中的设备造成物理损坏。

ESR
等效串联电阻（ESR）
代表由电阻器和理想的电容器或晶体管组成的简单电子电路中有用热量的损耗的值。

FWD
功能性看门狗(FWD)
看门狗的一个特殊子集，其回复取决于看门狗消息。

HBM
人体模型(HBM)
表征电子器件易受基于人体的静电放电（ESD）损坏程度的模型。

HW
硬件（HW）
计算机或任何其他电子系统的物理组件集合。

IC
集成电路（IC）
一种构建在半导体材料薄基板表面上的迷你型电子电路。

LDO
低压差调节器(LDO)
一种可以在输入和输出之间的电压差很小的情况下运行的稳压器。

MOSFET
金属氧化物半导体场效应晶体管(MOSFET)

NMI

不可屏蔽中断（NMI）

系统中标准中断屏蔽技术无法忽略的硬件中断。

OTP

一次性可编程存储器（OTP）

一种只能写入一次的存储器。写入后，数据会被永久保存，且不能再更改。

POR

上电复位（POR）

确保逻辑和存储器安全启动的功能。

PWM

脉宽调制器(PWM)

一种将模拟值编码为具有任意振幅的脉冲信号的占空比的技术。

SPI

串行外设接口(SPI)

一种用于芯片间通信的同步串行通信接口规范，主要用于嵌入式系统。

WWD

窗口看门狗(WWD)

看门狗定时器功能的特殊子集，仅允许在指定时间范围内回复。

修订记录

Revision	Date	Changes
1.00	2026-04-22	Datasheet created.

免责声明

请注意，本文件的原文使用英文撰写，为方便客户浏览英飞凌提供了中文译文。该中文译文仅供参考，并不可作为任何论点之依据。
由于翻译过程中可能使用了自动化程序，以及语言翻译和转换过程中的差异，最后的中文译文与最新的英文版本原文含义可能存在不尽相同之处。
因此，我们同时提供该中文译文版本的最新英文原文供您阅读，请参见 http://www.infineon.com
英文原文和中文译文版本之间若存有任何歧异，以最新的英文版本为准，并且仅认可英文版本为正式文件。
您如果使用本文件，即表示您同意并理解上述说明。英飞凌不对因翻译过程中可能存在的任何不完整或不准确信息而产生的任何直接或间接损失或损害负责。英飞凌不承担中文译文版本的完整性和准确性责任。如果您不同意上述说明，请不要使用本文件。

Trademarks
All referenced product or service names and trademarks are the property of their respective owners.

版本 **2026-04-22**

Infineon Technologies AG 出版，
德国 **Neubiberg 85579**

版权 © **2026 Infineon Technologies AG**
及其关联公司。
保留所有权利。

Do you have a question about this document?

Email:

erratum@infineon.com

重要通知

Infineon Technologies AG 及其关联公司（以下简称 "英飞凌"）销售或提供和交付的产品（可能也包括样品，且可能由硬件或软件或两者组成）（以下简称 "产品"），应遵守客户与英飞凌签订的框架供应合同或其他书面协议的条款和条件，如无上述合同或其他书面协议，则应遵守适用的英飞凌销售条件。只有在英飞凌明确书面同意的情况下，客户的一般条款和条件或对适用的英飞凌销售条件的偏离才对英飞凌具有约束力。

为避免疑义，英飞凌不承担不侵犯第三方权利的所有保证和默示保证，例如对特定用途/目的的适用性或适销性的保证。

英飞凌对与样品、应用或客户对任何产品的具体使用有关的任何信息或本文档中给出的任何示例或典型值概不负责。

本文件中包含的数据仅供具有技术资格和技能的客户代表使用。客户有责任评估产品对预期应用和客户特定用途的适用性，并在预期应用和客户特定用途中验证本文件中包含的所有相关技术数据。客户有责任正确设计、编程和测试预期应用的功能性和安全性，并遵守与其使用相关的法律要求。

除非英飞凌另行明确批准，否则产品不得用于任何因产品故障或使用产品的任何后果可合理预期会导致人身伤害的应用。但是，上述规定并不妨碍客户在英飞凌明确设计和销售的使用领域中使用任何产品，但是客户对应用负有全部责任。

英飞凌明确保留根据适用法律，如《德国版权法》（UrhG）第 44b 条，将其内容用于商业资料和数据探勘（TDM）的权利。

如果产品包含安全功能：
由于任何计算设备都不可能绝对安全，尽管产品采取了安全措施，但英飞凌不保证产品不会被入侵、数据不会被盗或遗失，或不会发生其他漏洞（以下简称"安全漏洞"），英飞凌对任何安全漏洞不承担任何责任。

如果本文档包含或引用软件：
根据美国、德国和世界其他国家的知识产权法律和条约，该软件归英飞凌所有。英飞凌保留所有权利。因此，您只能按照软件附带的软件授权协议的规定使用本软件。

如果没有适用的软件授权协议，英飞凌特此授予您个人的、非排他性的、不可转让的软件知识产权授权（无权转授权）：(a) 对于以源代码形式提供的软件，仅在贵组织内部修改和复制该软件用于英飞凌硬件产品；及 (b) 对于以二进制代码(binary code)形式对外向终端用户分发该软件，仅得用于英飞凌硬件产品。禁止对本软件进行任何其他使用、复制、修改、翻译或编译。有关产品、技术、交货条款和条件以及价格的详细信息，请联系离您最近的英飞凌办公室或访问 **https://www.infineon.com**。