AN96578

I²C F-RAM™によるデザイン

著者: Harsha Medu

関連製品ファミリ: FM24xxx、CY15BxxxJ

関連サンプル コード: 詳細は、こちらをクリックしてください。

関連アプリケーション ノート: 完全な一覧については、こちらをクリックしてください。

AN96578 は高性能の不揮発性シリアル インターフェース メモリである I²C F-RAM™デバイスで設計するのに有用な設計ガイドラインおよび例の回路を提供しています。

目次

1 はじめに 1
2 I²C F-RAM のコンフィギュレーション 2
2.1 I²C バス プロトコル機能の適用性 2
2.2 I²C F-RAM デバイスのオプション 2
3 I²C F-RAM システム – 標準コンフィギュレーション 3
4 I²C F-RAM の設計基準 4
4.1 電源電圧 (V_{DD}) 5
4.2 総バス容量 (C_B) 6
5 I²C F-RAM 動作 7
5.1 WP ピン 7
5.2 A0、A1、A2 ピン 7
5.3 スレーブ アドレス 7
5.4 アドレス バイト 7
5.5 書き込み動作 8
5.6 読み出し動作 9
5.7 スリープモードへの移行 10
5.8 デバイス ID 10
5.9 シリアル番号 10
6 I²C F-RAM のサンプル コード 10
7 まとめ 10
8 関連アプリケーション ノート 10
改訂履歴 11
ワールドワイドな販売と設計サポート 12
製品 12
PSoC®ソリューション 12
サイプレス開発者コミュニティ 12
テクニカル サポート 12

1 はじめに

強誘電体ランダム アクセス メモリ (F-RAM) は強誘電体技術を使ってデータを格納する不揮発性メモリです。シリアル F-RAM デバイスはその遅延がない (いわばゼロ遅延) 書き込みのため、他の不揮発性シリアルメモリに勝る利点を提供しています。F-RAM は数十マイクロ秒で数百バイトを書き込むことができます。それに対して、EEPROM とフラッシュ メモリは、数十ミリ秒で同じ量のデータを書き込みます。電源を失う前にデータをすぐに書き込む F-RAM の能力はパワーダウン イベントにマシン ステート情報、パラメーター設定、または他の重要なデータを保存する必要とするシステムに特に有用です。また、F-RAM は他の不揮発性のソリューションに比べてアクセス可能回数が非常に高いため、不揮発性のセルを破損せずに F-RAM へ多く書き込む／読み出すことができます。

F-RAM は RAM と不揮発性メモリの利点を合わせて持っているため、真の意味での不揮発性 RAM です。それは SPI、I²C、およびパラレルなどの異なるインターフェース オプションで利用できます。本アプリケーション ノートは F-RAM の I²C インターフェースについて説明します。本アプリケーション ノートは異なる I²C F-RAM のコンフィギュレーションについて説明し、一般的なシステムでの I²C F-RAM インターフェースを示し、システムでの使用方法およびアクセス用のデータ フォーマットについての設計ガイドラインを記述します。AC、DC、およびタイミング パラメーターなどの他の情報については、具体的な I²C F-RAM データシートを参照してください。

2 I²C F-RAM のコンフィギュレーション

I²C F-RAM は、I²C-バス仕様で定義されているように、最大 3.4Mbps のデータ転送速度とすべての低い周波数でのアクセスをサポートしています。

- スタンダード モード (Sm): ビット レートが最大 100Kbps
- ファースト モード (Fm): ビット レートが最大 400Kbps
- ファースト モード プラス (Fm+): ビット レートが最大 1Mbps
- ハイスピード モード (Hs): ビット レートが最大 3.4Mbps

Sm、Fm、および Fm+のバス モードはすべてのデバイス コンフィギュレーションで提供されています。Hs モードは FM24Vxx および CY15BxxxJ シリーズのデバイスのみで提供されています。

2.1 I²C バス プロトコル機能の適用性

表 1 は、標準的な I²C のスレーブバス仕様の必須の機能と任意選択の機能をまとめているものです。I²C F-RAM は、標準的な I²C のスレーブ デバイスのすべての必須機能に対応しています。

表 1. I²C プロトコルの適用性

特長	I²C 仕様規格	I²C F-RAM
START 状態	必須	提供
STOP 状態	必須	提供
アクノリッジ	必須	提供
7 ビットスレーブ アドレス	必須	提供
10 ビットスレーブ アドレス	任意	提供なし
クロック ストレッチ	任意	提供なし
一般的な呼び出しアドレス	任意	提供なし
デバイス ID	任意	提供 [1]
ソフトウェア リセット	任意	提供なし

1. デバイス ID 機能は FM24VXX および CY15BxxxJ デバイスのみで提供されています。

2.2 I²C F-RAM デバイスのオプション

表 2 に示すように、サイプレスは異なるコンフィギュレーションとパッケージで I²C F-RAM に対応しています。

表 2. I²C F-RAM のコンフィギュレーション

製品番号	ステータス	メモリ容量	動作電圧 (Typ)	パッケージ	WP ピン	A0 ピン	A1/ A2 ピン	I²C バスに対するデバイス数	デバイス ID	シリアル番号	スリープ モード	Hs モード (3.4MHz)
FM24C04B	量産中	4Kb	5.0V	8 ピン SOIC	有	無	有	4	無	無	無	無
FM24CL04B	量産中	4Kb	3.3V	8 ピン SOIC	有	無	有	4	無	無	無	無

製品番号	ステータス	メモリ容量	動作電圧 (Typ)	パッケージ	WP ピン	A0 ピン	A1/ A2 ピン	I²C バスに対するデバイス数	デバイス ID	シリアル番号	スリープモード	Hs モード (3.4MHz)
FM24C16B	量産中	16Kb	5.0V	8 ピン SOIC	有	無	無	1	無	無	無	無
FM24CL16B	量産中	16Kb	3.3V	8 ピン SOIC 8 DFN	有	無	無	1	無	無	無	無
FM24C64B	量産中	64Kb	5.0V	8 ピン SOIC	有	有	有	8	無	無	無	無
FM24CL64B	量産中	64Kb	3.3V	8 ピン SOIC 8 DFN	有	有	有	8	無	無	無	無
FM24V01	NRND[1]	128Kb	3.3V	8 ピン SOIC	有	有	有	8	有	無	有	有
FM24V01A	量産中	128Kb	3.3V	8 ピン SOIC	有	有	有	8	有	無	有	有
CY15B128J	量産中	128Kb	3.3V	8 ピン SOIC	有	有	有	8	有	無	有	有
FM24V02	NRND[1]	256Kb	3.3V	8 ピン SOIC	有	有	有	8	有	無	有	有
FM24V02A	量産中	256Kb	3.3V	8 ピン SOIC	有	有	有	8	有	無	有	有
CY15B256J	量産中	256Kb	3.3V	8 ピン SOIC	有	有	有	8	有	無	有	有
FM24W256	量産中	256Kb	3.3V	8 ピン SOIC	有	有	有	8	無	無	無	無
FM24V05	量産中	512KB	3.3V	8 ピン SOIC	有	有	有	8	有	無	有	有
FM24V10	量産中	1Mb	3.3V	8 ピン SOIC	有	無	有	4	有	無	有	有
FM24VN10	量産中	1Mb	3.3V	8 ピン SOIC	有	無	有	4	有	有	有	有

1. 新しいデザインへのご利用はお勧めできない

3 I²C F-RAM システム – 標準コンフィギュレーション

図 1 に標準的な I²C のシングル マスター マルチ スレーブのコンフィギュレーションを示します。I²C マスター デバイスは任意の I²C マスター プロトコルを生成できるマイクロコントローラまたはプログラム可能なデバイスです。スレーブ デバイスは任意の標準 I²C のスレーブ デバイスです。図 1 では、スレーブ デバイスは I²C F-RAM デバイス。512K ビット以下のメモリ容量の I²C F-RAM デバイスは、3 つのスレーブ アドレス指定ビット(A0、A1、および A2) をサポートしているため、1 つの I²C バスで最大 8 個のデバイスを接続できます。図 2 に標準 I²C F-RAM スレーブ デバイスを示されています。スレーブ選択アドレス ライン (A2、A1、A0) を設定することでユニークなスレーブ ID が各スレーブ デバイスに割り当てられます。4Kb または 1Mb I²C F-RAM 等の A0 というスレーブ選択アドレスがないパッケージでは、スレーブ選択アドレス ピン A2 と A1 を設定することで 1 つのバスを共有して最大 4 個のスレーブ デバイスのみ接続できます。16Kb F-RAM デバイスでは、デバイス選択アドレス ピン (A0、A1、および A2) は備えていないため、バスを介して接続できるのは 1 個のデバイスのみです。

図 1. シングル マスターのマルチ スレーブ I²C のコンフィギュレーション

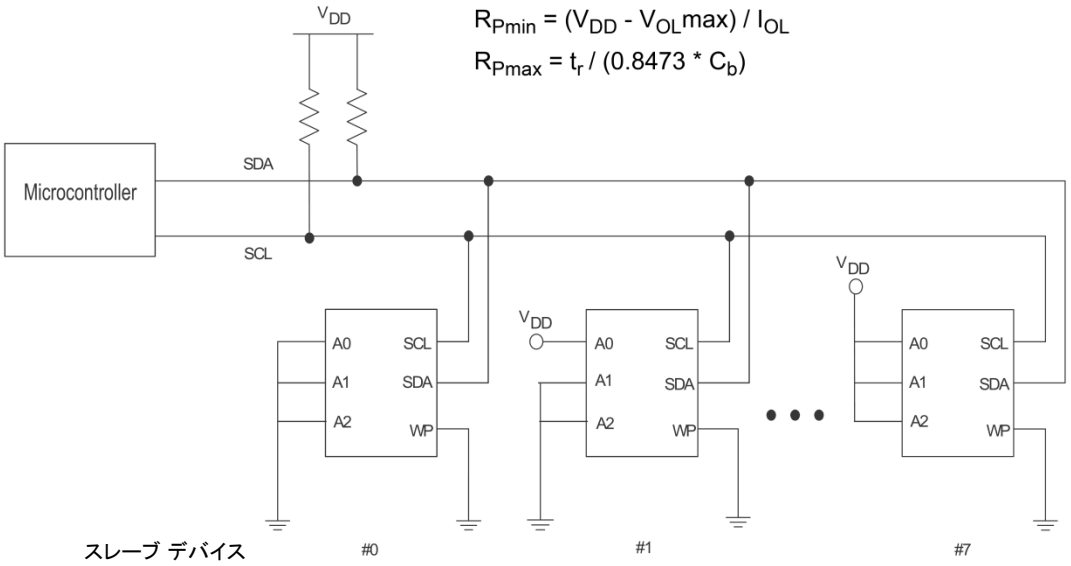
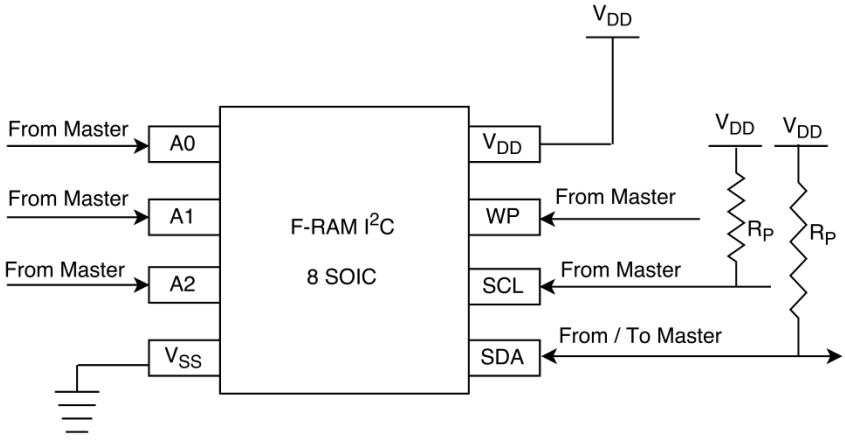


図 2. I²C F-RAM スレーブ デバイス



4 I²C F-RAM の設計基準

I²C はクロックを送信するために使用される SCL ラインとデータを送信するために使用される SDA ラインを有する 2 線式の同期バスです。I²C F-RAM デバイスでは、SCL ラインは入力であり、SDA ラインはオープン ドレイン出力です。オープン ドレインにより、1 本のデータ ラインとマルチマスターのサポートの双方向通信を実装するために、バスの制御に対する簡単なアービトレーションが可能になります。SCL ラインは、F-RAM で入力ですが、マスターでオープン ドレイン出力です。従って、SCL と SDA ラインの両方は、リリースされる際にラインをプルアップするための V_{DD} の外部抵抗を必要とします。

プルアップ抵抗値 (R_P)を決定する際に、以下の 2 要素に考慮する必要があります:

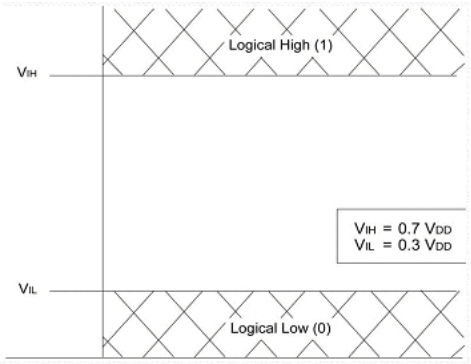
- 電源電圧 (V_{DD})
- 総バス容量 (C_B)

注: 次の節のプルアップ抵抗値の計算は I²C F-RAM SDA ラインのためのものです。マスターI²C デバイスに基づいて、SCL ラインのプルアップ抵抗値を決定するために以下に示されている計算を繰り返される必要があります。

4.1 電源電圧 (V_{DD})

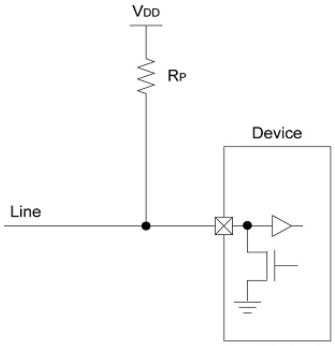
図 3 は I²C 論理レベルを示します。I²C 仕様では、論理レベル LOW は通常電源電圧の 30%に等しい V_{IL} より低い電圧レベルと定義されています。論理レベル HIGH は、通常電源電圧の 70%に等しい V_{IH} より高い電圧レベルと定義されています。これらの 2 レベルの間の電圧は未定義です。

図 3. I²C バス論理レベル



供給源電圧はプルアップ抵抗 (R_P) の最小値を制限します。図 4 に示すように、プルアップ抵抗はデバイス トランジスタの ON になっている抵抗と合わせて、分圧回路のネットワークを形成します。堅牢なプルアップ抵抗により、ラインが論理 LOW として検出されるまで LOW (V_{IL} 以下) にプルダウンされることを防ぐことができます。

図 4. I²C バス ライン



トランジスタの ON 抵抗は一般的に指定されていません。その代わりに、最大シンク電流 (I_{OL}) は指示され、よって、トランジスタでの電圧降下 は出力論理 LOW 電圧レベル (V_{OL}) より低くなければなりません。

$$V_{DD} - (I_{OL} \times R_P) \le V_{OL}、 \quad すなわち、 \quad R_P \ge \frac{V_{DD} - V_{OL}}{I_{OL}}$$

3.6V の最大 V_{DD} 電圧で動作する一般的な 3.0V I²C F-RAM 製品については、V_{OL} 仕様は 2mA の I_{OL} で最大 0.4V です。従って

$$R_P \ge \frac{3.6 - 0.4}{2 \times 10^{-3}}、 \quad すなわち、 \quad R_P \ge 1.6\ k\Omega$$

4.2 総バス容量 (C_B)

バス容量は、すべてのピン、接続部、プリント基板の配線およびワイヤーの合計である総静電容量です。 SDA と SCL ラインの長い配線またはケーブル接続に重要かもしれません。SDA と SCL ラインが リリースされている際に、外部抵抗 (R_P) でプルアップされます。プルアップ抵抗 (R_P) は、 バス容量 (C_B)、と組み合わせて、RC 回路を形成し、その結果、SDA と SCL ラインの立ち上がり時間を制限します。立ち上がり時間は、高速モードの動作において重要であり、抵抗値があまりに高いならば、ラインは時間内に論理 HIGH まで上がれないかもしれません。従って、バス容量は立ち上がり時間と次にプルアップ抵抗を制限します。

RC 回路の場合、

$$V(t) = V_{DD}\,(1 - e^{-t/RC}) \quad \text{、すなわち、} \quad t = -RC\,\ln\left(1 - \frac{V(t)}{V_{DD}}\right)$$

図 5 に示すように、I²C の場合、立ち上がり時間(t_r) は、SDA または SCL ラインが V_{IL} (0.3 × V_{DD}) から V_{IH} (0.7 × V_{DD}) まで上がるためにかかる時間とされます。

V_{IL} レベルに充電するためにかかる時間は

$$t_1 = -R_P C_B \ln\left(1 - \frac{0.3 \times V_{DD}}{V_{DD}}\right) = 0.356675 \times R_P C_B$$

V_{IH} レベルに充電するためにかかる時間は

$$t_2 = -R_P C_B \ln\left(1 - \frac{0.7 \times V_{DD}}{V_{DD}}\right) = 1.203973 \times R_P C_B$$

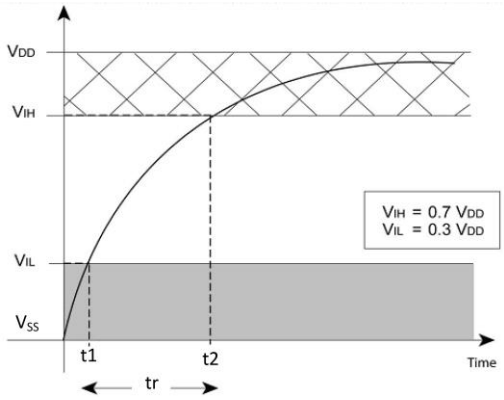
従って、立ち上がり時間は

$$t_r = t_2 - t_1 = (1.203973 \times R_P C_B) - (0.356675 \times R_P C_B) = 0.8473 \times R_P C_B$$

Fm モードの I²C F-RAM の場合、立ち上がり時間 t_r = 120ns です。従って、

$$120 \times 10^{-9} = 0.8473 \times R_P C_B$$

図 5. I²C ラインの立ち上がり時間



低消費電力の設計では、電流消費量を制限するために範囲の上半にあるプルアップ抵抗値 (R_P) を使用したほうが良いです。表 3 は、特定のバス負荷条件と動作電圧に応じた R_P (Min、Max) の値の一覧を記載します。網掛け領域は、特定の動作電圧の条件下でいくつかのバス負荷 (C_B) で R_P (Min) が R_P (Max) の値を超えていることを示します。R_P (Min) が R_P (Max) の値を超えてはいけないため、これらの場合 I²C バスに使用される最大の容量負荷 (C_B) の制限が発生します。例えば、3V の製品が最小 V_{DD} 電源 (V_{DD} = 2.7V) で動作するように構成された場合、システムは表 3 に示す SDA ラインの負荷 (pF 単位) を超えてはいけません。I²C マスターのために同様の計算を SCL ライン上で行うことができます。

表 3. 異なるバス負荷と動作電圧に応じた R_P (Min、Max)

V_{DD} = 3.6V、 R_P(min) = 1.6kΩ		
	R_P(Max) kΩ	
周波数	1MHz	3.4MHz
$t_R$ps	120000	80000
C_BpF		
10	14.16	9.44
20	7.08	4.72
30	4.72	3.15
40	3.54	2.36
50	2.83	1.89
60	2.36	1.57
70	2.02	1.35
80	1.77	1.18
90	1.57	1.05
100	1.42	0.94
125	1.13	0.76
150	0.94	0.63
175	0.81	0.54
200	0.71	0.47
250	0.57	0.38
300	0.47	0.31
350	0.40	0.27
400	0.35	0.24
450	0.31	0.21
500	0.28	0.19
550	0.26	0.17

V_{DD} = 3.0V、 R_P(min) = 1.3 kΩ		
	R_P(Max) kΩ	
周波数	1MHz	3.4MHz
$t_R$ps	120000	80000
C_BpF		
10	14.16	9.44
20	7.08	4.72
30	4.72	3.15
40	3.54	2.36
50	2.83	1.89
60	2.36	1.57
70	2.02	1.35
80	1.77	1.18
90	1.57	1.05
100	1.42	0.94
125	1.13	0.76
150	0.94	0.63
175	0.81	0.54
200	0.71	0.47
250	0.57	0.38
300	0.47	0.31
350	0.40	0.27
400	0.35	0.24
450	0.31	0.21
500	0.28	0.19
550	0.26	0.17

V_{DD} = 2.7V、 R_P(min) = 1.15kΩ		
	R_P(Max) kΩ	
周波数	1MHz	3.4MHz
$t_R$ps	120000	80000
C_BpF		
10	14.16	9.44
20	7.08	4.72
30	4.72	3.15
40	3.54	2.36
50	2.83	1.89
60	2.36	1.57
70	2.02	1.35
80	1.77	1.18
90	1.57	1.05
100	1.42	0.94
125	1.13	0.76
150	0.94	0.63
175	0.81	0.54
200	0.71	0.47
250	0.57	0.38
300	0.47	0.31
350	0.40	0.27
400	0.35	0.24
450	0.31	0.21
500	0.28	0.19
550	0.26	0.17

V_{DD} = 2.0V、 R_P(min) = 0.8kΩ		
	R_P(Max) kΩ	
周波数	1MHz	3.4MHz
$t_R$ps	120000	80000
C_BpF		
10	14.16	9.44
20	7.08	4.72
30	4.72	3.15
40	3.54	2.36
50	2.83	1.89
60	2.36	1.57
70	2.02	1.35
80	1.77	1.18
90	1.57	1.05
100	1.42	0.94
125	1.13	0.76
150	0.94	0.63
175	0.81	0.54
200	0.71	0.47
250	0.57	0.38
300	0.47	0.31
350	0.40	0.27
400	0.35	0.24
450	0.31	0.21
500	0.28	0.19
550	0.26	0.17

5 I²C F-RAM 動作

次の節は I²C F-RAM 動作を簡単に説明します。詳細説明についてはそれぞれのデータシートを参照してください。

5.1 WP ピン

WP (書き込み保護) ピンは、V_{DD} に引っ張られているメモリ全体を保護します。これは、GPIO を介してマイクロコントローラーによって制御されることができます。書き込み保護機能を使わないアプリケーションでは、このピンを開放のままにしても良いです。内部プルダウンはピンを LOW にします。

5.2 A0、A1、A2 ピン

A0、A1、A2 ピンは I²C F-RAM デバイスのためのデバイス アドレス選択を制限します。これらのピンは内部で LOW にプルダウンされるため、未接続 (開放) のままにされている場合デフォルト デバイス アドレスは 000 です。A0、A1、A2 の設定の異なる組み合わせで同じ I²C バスに最大 8 個の F-RAM デバイスが接続できます。ほとんどの I²C F-RAM デバイスには全 3 つのデバイス アドレス選択ピンがあります。例外は A0 ピンを持っていない 4Kb と 1Mb デバイス、およびアドレス選択ピンを持っていない 16Kb デバイスです。

5.3 スレーブ アドレス

I²C F-RAM スレーブ アドレスは固定 4 ビットのスレーブ ID 1010b およびユーザーがコンフィギュレーション可能な 3 ビット デバイス選択ビット (A0、A1、および A2 ピンによって決定) を含む 7 ビット ID です。

5.4 アドレス バイト

表 4 に示すように、メモリ容量に基づいて、I²C F-RAM 読み出し／書き込みは 1 または 2 バイト アドレスを持ちます。

表 4. I²C F-RAM の異なる容量のためのアドレス バイト

メモリ容量	スレーブ アドレス バイト								アドレス バイト 2 (MSB)								アドレス バイト 1 (LSB)							
	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0	ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
4Kb	スレーブ デバイス アドレス				A2	A1	A8[1]	R/$\overline{W}$	該当なし [2]								A7	A6	A5	A4	A3	A2	A1	A0
16Kb	スレーブ デバイス アドレス				A10[1]	A9[1]	A8[1]	R/$\overline{W}$	該当なし [2]								A7	A6	A5	A4	A3	A2	A1	A0
64Kb	スレーブ デバイス アドレス				A2	A1	A0	R/$\overline{W}$	X[3]	X[3]	X[3]	A12	A11	A10	A9	A8	A7	A6	A5	A4	A3	A2	A1	A0
128Kb	スレーブ デバイス アドレス				A2	A1	A0	R/$\overline{W}$	X[3]	X[3]	A13	A12	A11	A10	A9	A8	A7	A6	A5	A4	A3	A2	A1	A0
256Kb	スレーブ デバイス アドレス				A2	A1	A0	R/$\overline{W}$	X[3]	A14	A13	A12	A11	A10	A9	A8	A7	A6	A5	A4	A3	A2	A1	A0
512KB	スレーブ デバイス アドレス				A2	A1	A0	R/$\overline{W}$	A15	A14	A13	A12	A11	A10	A9	A8	A7	A6	A5	A4	A3	A2	A1	A0
1Mb	スレーブ デバイス アドレス				A2	A1	A16[1]	R/$\overline{W}$	A15	A14	A13	A12	A11	A10	A9	A8	A7	A6	A5	A4	A3	A2	A1	A0

1. これはページ選択アドレス ビットです。
2. 4Kb と 16Kb 容量 F-RAM には 1 バイト アドレスがあります。
3. 最上位アドレス バイトの未使用ビットは「ドントケア」ビットで、F-RAM はそれらを無視します。ただし、ファームウェア内で未使用のアドレス ビット位置を「0」にセットするのは良い方法です。このアプローチにより、将来のさらなる大容量オプションに移行する際に、ファームウェアを更新するのは容易になります。

5.5 書き込み動作

すべての書き込みは、マスターが I²C バスでの通信のためにデバイスを識別するスレーブ アドレスを送信することで始まります。 書き込み動作は「0」にスレーブ アドレス (R/$\overline{W}$ビット) の最下位ビットを設定することで示されます。表 4 に記載されているように、F-RAM デバイスの容量に基づいて、スレーブアドレスの後に 2 バイトまたは 1 バイト アドレスが続きます。4Kb、16Kb、および 1Mb I²C F-RAM デバイスの場合、スレーブ アドレスはメモリ アドレスのいくつかの最上位ビットを含みます。アドレスの後に書き込むデータが続きます。各バイトごとに、F-RAM スレーブは 1 つの ACK 信号を生成します。書き込み動作は STOP 条件で終了されます。

図 6 はシングルバイト書き込みを示し、図 7 はマルチバイト書き込みを示し、図 8 は高速な書き込みを示します。HS モードは書き込み動作が開始する前に Hs モード コマンド (0x08) を必要とします。

図 6. シングルバイト書き込み動作 (256Kb F-RAM)

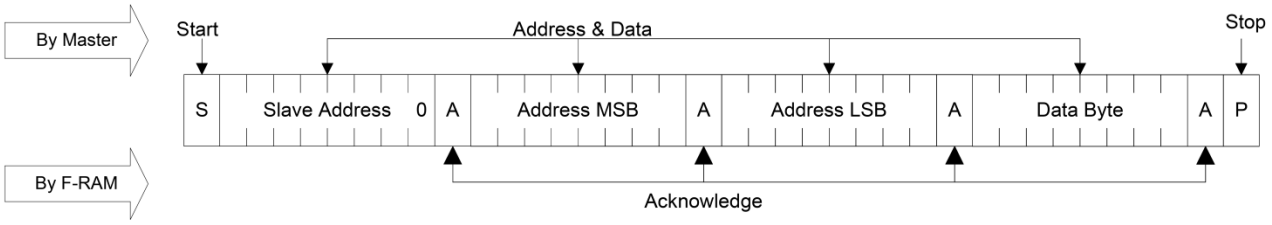


図 7. マルチバイト書き込み動作 (256Kb F-RAM)

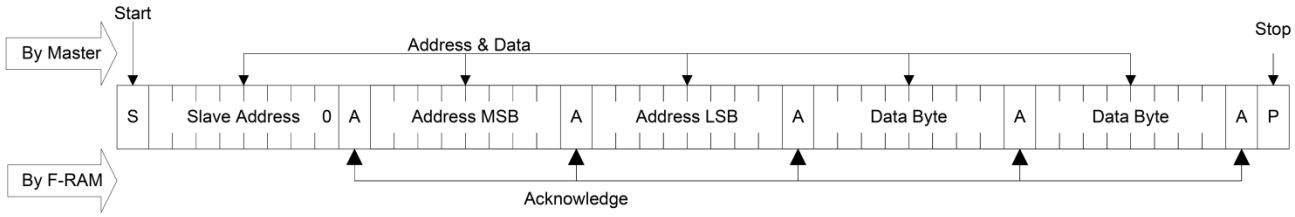
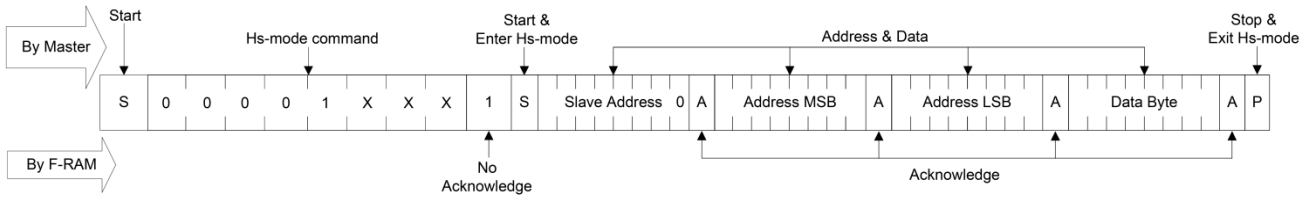


図 8. HS モード シングルバイト書き込み動作 (256Kb F-RAM)



5.6 読み出し動作

読み出し動作は、現在のアドレス読み出しと選択的な (ランダム) アドレス読み出しのいずれかに関わります。現在のアドレス読み出しでは、図 9、図 10、および図 11 に示すように、I²C F-RAM は最後の読み出し／書き込み動作で内部ラッチされたアドレスを使用します。選択的な (ランダム) アドレス 読み出しでは、図 12 に示すように、データ読み出し対象のアドレスが指定されます。

図 9. シングルバイトの現在アドレス読み出し動作 (256Kb F-RAM)

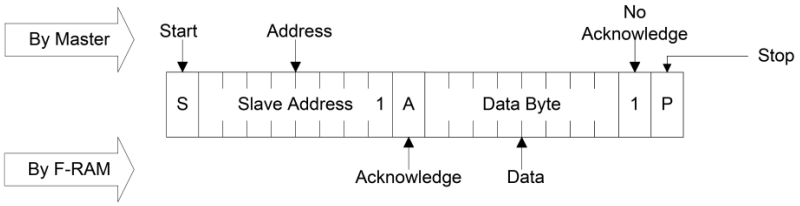


図 10. マルチバイト (連続) の現在アドレス読み出し動作 (256Kb F-RAM)

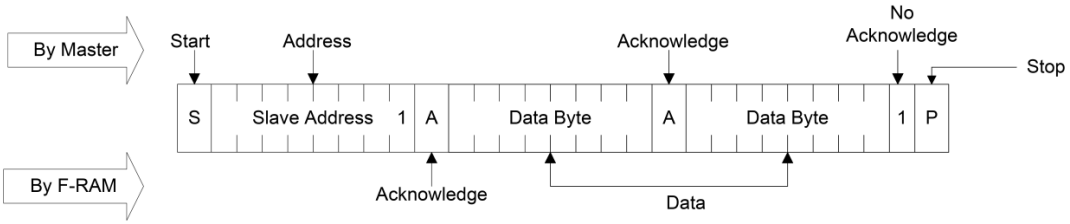


図 11. HS モードでのシングルバイト現在アドレス読み出し動作 (256Kb F-RAM)

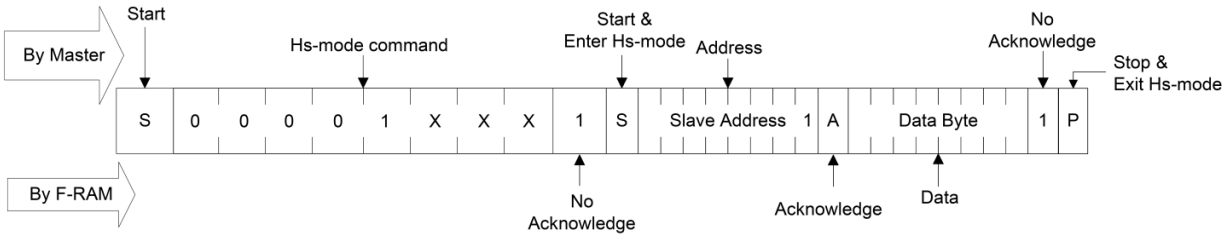
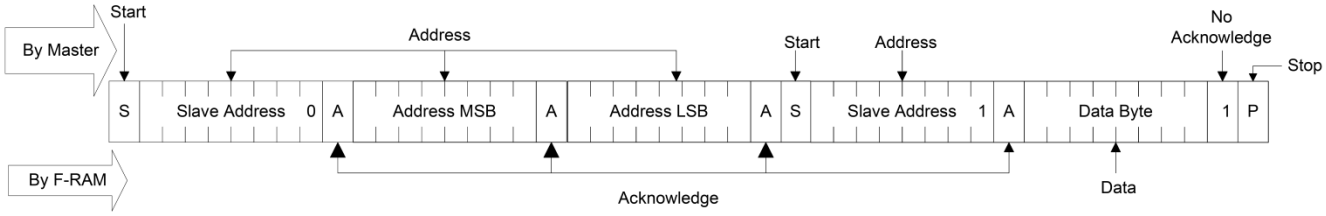


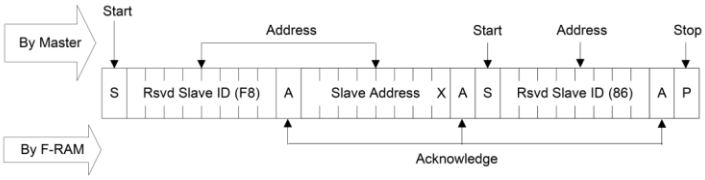
図 12. シングルバイトの現在アドレス読み出し動作 (256Kb F-RAM)



5.7 スリープモードへの移行

表 2 に記載するように、「スリープ モード」と呼ばれている低電力モードはいくつかの I²C F-RAM デバイスに実装されています。図 13 に示すように、F-RAM デバイスはコマンド 0x86 でスリープ モードに移行します。

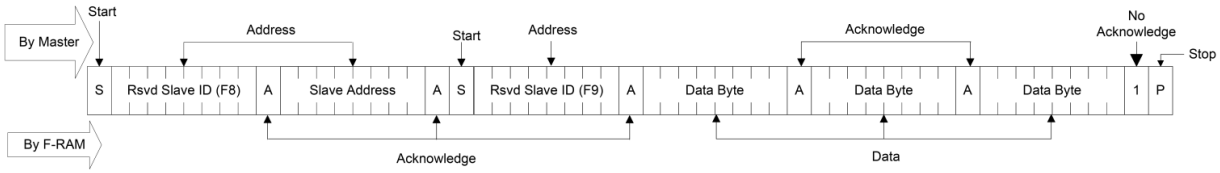
図 13. スリープ モードへの移行



5.8 デバイス ID

ほとんどの F-RAM 製品は、メーカーID と製品 ID を含む 3 バイトのデバイス ID を定義します。図 14 に示すように、このデバイス ID は 0xF9 コマンドを使用して読み出すことができます。

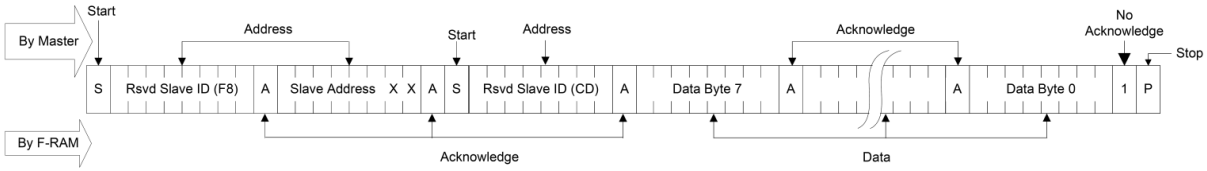
図 14. デバイス ID の読み出し



5.9 シリアル番号

FM24VN10 は、各デバイスおよび読み出しに固有のシリアル番号を定義します。このシリアル番号は、図 15 に示すように、8 バイトの番号で、0xCD コマンドを使用して読み出すことができます。

図 15. シリアル番号の読み出し



6 I²C F-RAM のサンプル コード

I²C F-RAM のサンプル コードについては、アプリケーション ノート「AN74875 - Designing with Serial I²C nvSRAM」を参照してください。AN74875 はサイプレスの不揮発性 RAM 製品 (nvSRAM と F-RAM) のための PSoC Creator コンポーネント (nvRAM) を有する 1 つの関連プロジェクトを提供しています。PSoC Creator コンポーネントはメモリの読み出しと書き込みをするための API を提供します。また、デバイス ID、シリアル番号、およびスリープ モードへの移行を実行する API を持ちます。

7 まとめ

本アプリケーション ノートはサイプレス I²C F-RAM によるアプリケーション設計のガイドラインを説明します。I²C F-RAM は、他の全ての不揮発性 I²C メモリ製品と同様に、標準的な I²C アクセス プロトコルをサポートしています。これにより、F-RAM と I²C マスター コントローラーとの互換性があり、システム開発サイクル時間を低減します。

8 関連アプリケーション ノート

AN407 - A Design Guide to I²C F-RAM Processor Companions

AN94901 - Migrating from FM24V02/FM24V01 to FM24V02A/FM24V01A

改訂履歴

文書名: AN96578 - I²C F-RAM™によるデザイン

文書番号: 001-98471

版	ECN	変更者	発行日	変更内容
**	4865407	HZEN	07/30/2015	これは英語版 001-96578 Rev. **を翻訳した日本語版 001-98471 Rev. **です。
*A	6276054	SSAS	08/08/2018	これは英語版 001-96578 Rev. *B を翻訳した日本語版です。

ワールドワイドな販売と設計サポート

サイプレスは、事業所、ソリューション センター、メーカー代理店、および販売代理店の世界的なネットワークを保持しています。お客様の最寄りのオフィスについては、サイプレスのロケーション ページをご覧ください。

製品

Arm® Cortex® Microcontrollers	cypress.com/arm
車載用	cypress.com/automotive
クロック&バッファ	cypress.com/clocks
インターフェース	cypress.com/interface
IoT (モノのインターネット)	cypress.com/iot
メモリ	cypress.com/memory
マイクロコントローラ	cypress.com/mcu
PSoC	cypress.com/psoc
電源用 IC	cypress.com/pmic
タッチ センシング	cypress.com/touch
USB コントローラー	cypress.com/usb
ワイヤレス	cypress.com/wireless

PSoC®ソリューション

PSoC 1 | PSoC 3 | PSoC 4 | PSoC 5LP | PSoC 6 MCU

サイプレス開発者コミュニティ

コミュニティ | Projects | ビデオ | ブログ | トレーニング | Components

テクニカル サポート

cypress.com/support

Cypress Semiconductor
198 Champion Court
San Jose, CA 95134-1709

© Cypress Semiconductor Corporation, 2015-2018. 本書面は, Cypress Semiconductor Corporation 及び Spansion LLC を含むその子会社 (以下「Cypress」という。) に帰属する財産である。本書面 (本書面に含まれ又は言及されているあらゆるソフトウェア若しくはファームウェア (以下「本ソフトウェア」という。) を含む) は, アメリカ合衆国及び世界のその他の国における知的財産法令及び条約に基づき Cypress が所有する。Cypress はこれらの法令及び条約に基づく全ての権利を留保し, 本段落で特に記載されているものを除き, その特許権, 著作権, 商標権又はその他の知的財産権のライセンスを一切許諾しない。本ソフトウェアにライセンス契約書が伴っておらず, かつ Cypress との間で別途本ソフトウェアの使用方法を定める書面による合意がない場合, Cypress は, (1) 本ソフトウェアの著作権に基づき, (a) ソースコード形式で提供されている本ソフトウェアについて, Cypress ハードウェア製品と共に用いるためにのみ, かつ組織内部でのみ, 本ソフトウェアの修正及び複製を行うこと, 並びに (b) Cypress のハードウェア製品ユニットに用いるためにのみ, (直接又は再販売者及び販売代理店を介して間接のいずれかで) 本ソフトウェアをバイナリーコード形式で外部エンドユーザーに配布すること, 並びに (2) 本ソフトウェア (Cypress により提供され, 修正がなされていないもの) が抵触する Cypress の特許権のクレームに基づき, Cypress ハードウェア製品と共に用いるためにのみ, 本ソフトウェアの作成, 利用, 配布及び輸入を行うことについての非独占的で譲渡不能な一身専属的ライセンス (サブライセンスの権利を除く) を付与する。本ソフトウェアのその他の使用, 複製, 修正, 変換又はコンパイルを禁止する。
適用される法律により許される範囲内で, Cypress は, 本書面又はいかなる本ソフトウェア若しくはこれに伴うハードウェアに関しても, 明示又は黙示をとわず, いかなる保証 (商品性及び特定の目的への適合性の黙示の保証を含むがこれらに限られない) も行わない。いかなるコンピューティングデバイスも絶対に安全ということはない。従って, Cypress のハードウェアまたはソフトウェア製品に講じられたセキュリティ対策にもかかわらず, Cypress は, Cypress 製品への権限のないアクセスまたは使用といったセキュリティ違反から生じる一切の責任を負わない。加えて, 本書面に記載された製品には, エラッタと呼ばれる設計上の欠陥またはエラーが含まれている可能性があり, 公表された仕様とは異なる動作をする場合がある。適用される法律により許される範囲内で, Cypress は, 別途通知することなく, 本書面を変更する権利を留保する。Cypress は, 本書面に記載のある, いかなる製品若しくは回路の適用又は使用から生じる一切の責任を負わない。本書面で提供されたあらゆる情報 (あらゆるサンプルデザイン情報又はプログラムコードを含む) は, 参照目的のためのみに提供されたものである。この情報で構成するあらゆるアプリケーション及びその結果としてのあらゆる製品の機能性及び安全性を適切に設計, プログラム, かつテストすることは, 本書面のユーザーの責任において行われるものとする。Cypress 製品は, 兵器, 兵器システム, 原子力施設, 生命維持装置若しくは生命維持システム, 蘇生用の設備及び外科的移植を含むその他の医療機器若しくは医療システム, 汚染管理若しくは有害物質管理の運用のために設計され若しくは意図されたシステムの重要な構成部分としての使用, 又は装置若しくはシステムの不具合が人身傷害, 死亡若しくは物的損害を生じさせるようなその他の使用 (以下「本目的外使用」という。) のためには設計, 意図又は承認されていない。重要な構成部分とは, それの不具合が装置若しくはシステムの不具合を生じさせるか又はその安全性若しくは実効性に影響すると合理的に予想できるような装置若しくはシステムのあらゆる構成部分をいう。Cypress 製品のあらゆる本目的外使用から生じ, 若しくは本目的外使用に関連するいかなる請求, 損害又はその他の責任についても, Cypress はその全部又は一部をとわず一切の責任を負わず, かつ Cypress はそれら一切から本書により免除される。Cypress は Cypress 製品の本目的外使用から生じ又は本目的外使用に関連するあらゆる請求, 費用, 損害及びその他の責任 (人身傷害又は死亡に基づく請求を含む) から免責補償される。
Cypress, Cypress のロゴ, Spansion, Spansion のロゴ及びこれらの組み合わせ, WICED, PSoC, CapsSense, EZ-USB, F-RAM, 及び Traveo は, 米国及びその他の国における Cypress の商標又は登録商標である。Cypress のより完全な商標のリストは, cypress.com を参照すること。その他の名称及びブランドは, それぞれの権利者の財産として権利主張がなされている可能性がある。