AN96578

使用 I²C F-RAM™进行设计

作者：Harsha Medu
相关器件系列：FM24xxx、CY15BxxxJ
相关代码示例：点击此处了解详细信息。
相关应用笔记：要想获取完整列表，请点击此处。

AN96578 提供了设计指南和示例电路，旨在帮助用户使用高性能非易失性串行接口存储器 I²C F-RAM™进行设计。

目录

1 简介 1
2 I²C F-RAM 配置 1
2.1 I²C 总线协议特性的可用性 2
2.2 I²C F-RAM 器件选项 2
3 I²C F-RAM 系统 — 典型配置 3
4 I²C F-RAM 的设计标准 4
4.1 电源电压（V_{DD}） 4
4.2 总线电容总值（C_B） 5
5 I²C F-RAM 操作 7
5.1 WP 引脚 7
5.2 A0、A1、A2 引脚 7
5.3 从设备地址 7
5.4 地址字节 7
5.5 写操作 8
5.6 读操作 8
5.7 进入睡眠模式 9
5.8 器件 ID 9
5.9 序列号 10
6 I²C F-RAM 代码示例 10
7 总结 10
8 相关应用笔记 10
文档修订记录 11
全球销售和设计支持 12

1 简介

铁电随机存取存储器（F-RAM）是一款使用铁电技术来存储数据的非易失性存储器。与其他非易失性串行存储器相比，串行 F-RAM 器件的优点在于它并不存在任何写延迟。F-RAM 可以在数十微妙内写入数百个字节数据。相比之下，EEPROM 和闪存存储器则需要数十毫秒的时间来写入同样大小的数据。对于需要在断电事件内保持机械状态信息、参数设置或其他重要数据的系统，F-RAM 在断开电源前能够快速写入数据的特性非常有用。 与其他非易失性解决方案相比，F-RAM 拥有更高的耐久性，因此可以对 F-RAM 进行大量的写/读操作而不会破坏它的非易失性单元。

F-RAM 结合了 RAM 和非易失性存储器的优点，因此它是真正的非易失性 RAM。它提供了不同的接口选项，如 SPI、I²C 和并行接口。本应用笔记介绍了 F-RAM 中的 I²C 接口。它说明了不同的 I²C F-RAM 配置，显示了典型系统中的 I²C F-RAM 接口，并提供了在系统中使用它的设计指南和访问它的数据格式。更多其他信息，如 AC、DC 和时序参数，请参考特殊 I²C F-RAM 数据手册。

2 I²C F-RAM 配置

I²C F-RAM 支持高达 3.4 Mbps 的数据传输频率以及低于该频率的所有其他访问，如 I²C 总线规范中所定义。

- 标准模式（Sm）：比特率可达 100 Kbps
- 快速模式（Fm）：比特率可达 400 Kbps
- 增强型快速模式（Fm+）：比特率可达 1 Mbps

- 高速模式（Hs）：比特率可达 3.4 Mbps

为所有器件配置提供了 Sm、Fm 和 Fm+总线模式。Hs 模式仅提供给 FM24Vxx 和 CY15BxxxJ 器件系列。

2.1 I²C 总线协议特性的可用性

表 1 总结了标准 I²C 从设备总线规范的必要和可选特性。I²C F-RAM 支持标准 I²C 从设备的所有必要特性。

表 1. I²C 协议的可用性

特性	I²C 规范标准	I²C F-RAM
启动条件	必要	提供
停止条件	必要	提供
应答	必要	提供
7 位从设备地址	必要	提供
10 位从设备地址	可选	不提供
时钟延展	可选	不提供
通用调用地址	可选	不提供
器件 ID	可选	提供 [1]
软件复位	可选	不提供

1. 器件 ID 特性仅在 FM24VXX 和 CY15BxxxJ 器件中提供

2.2 I²C F-RAM 器件选项

赛普拉斯支持各种不同的 I²C F-RAM 配置和封装，具体如表 2 所示。

表 2. I²C F-RAM 配置

器件型号	状态	容量	工作电压（典型值）	封装	WP 引脚	A0 引脚	A1/ A2 引脚	每个 I²C 总线上的器件数量	器件 ID	序列号	睡眠模式	Hs 模式（3.4 MHz）
FM24C04B	生产中	4 Kb	5.0 V	8 SOIC	有	无	有	4	无	无	无	无
FM24CL04B	生产中	4 Kb	3.3 V	8 SOIC	有	无	有	4	无	无	无	无
FM24C16B	生产中	16 Kb	5.0 V	8 SOIC	有	无	无	1	无	无	无	无
FM24CL16B	生产中	16 Kb	3.3 V	8 SOIC 8 DFN	有	无	无	1	无	无	无	无
FM24C64B	生产中	64 Kb	5.0 V	8 SOIC	有	有	有	8	无	无	无	无
FM24CL64B	生产中	64 Kb	3.3 V	8 SOIC 8 DFN	有	有	有	8	无	无	无	无
FM24V01	NRND[1]	128 Kb	3.3 V	8 SOIC	有	有	有	8	有	无	有	有

器件型号	状态	容量	工作电压（典型值）	封装	WP 引脚	A0 引脚	A1/ A2 引脚	每个 I²C 总线上的器件数量	器件 ID	序列号	睡眠模式	Hs 模式（3.4 MHz）
FM24V01A	生产中	128 Kb	3.3 V	8 SOIC	有	有	有	8	有	无	有	有
CY15B128J	生产中	128 Kb	3.3 V	8 SOIC	有	有	有	8	有	无	有	有
FM24V02	NRND[1]	256 Kb	3.3 V	8 SOIC	有	有	有	8	有	无	有	有
FM24V02A	生产中	256 Kb	3.3 V	8 SOIC	有	有	有	8	有	无	有	有
CY15B256J	生产中	256 Kb	3.3 V	8 SOIC	有	有	有	8	有	无	有	有
FM24W256	生产中	256 Kb	3.3 V	8 SOIC	有	有	有	8	无	无	无	无
FM24V05	生产中	512 Kb	3.3 V	8 SOIC	有	有	有	8	有	无	有	有
FM24V10	生产中	1 Mb	3.3 V	8 SOIC	有	无	有	4	有	无	有	有
FM24VN10	生产中	1 Mb	3.3 V	8 SOIC	有	无	有	4	有	有	有	有

1. 不建议使用于新设计

3 I²C F-RAM 系统 — 典型配置

图 1 显示的是 I²C 单主设备-多从设备的典型配置情况。I²C 主设备可以是任意能够生成 I²C 主设备协议的微控制器或可编程器件。从设备使用可以是任何标准的 I²C 从设备。图 1 中的从设备为 I²C F-RAM 器件。由于 512 Kb 和容量更低的 I²C F-RAM 支持三个从设备寻址位（A0、A1 和 A2），因此，可以在一个 I²C 总线上连接八个器件。图 2 显示的是典型的 I²C F-RAM 从设备。通过配置从设备选择地址行（A2、A1 和 A0）可以为每个从设备分配唯一的从设备 ID。在不使用从设备选择地址 A0 的封装中，如 4 Kb 和 1 Mb I²C F-RAM，通过配置从设备选择地址引脚 A2 和 A1，在同一个总线上最多只能连接四个从设备。在 16 Kb F-RAM 器件中，器件选择地址引脚（A0、A1 和 A2）不可用，因此在总线上只能连接一个器件。

图 1. 单主设备-多从设备 I²C 配置

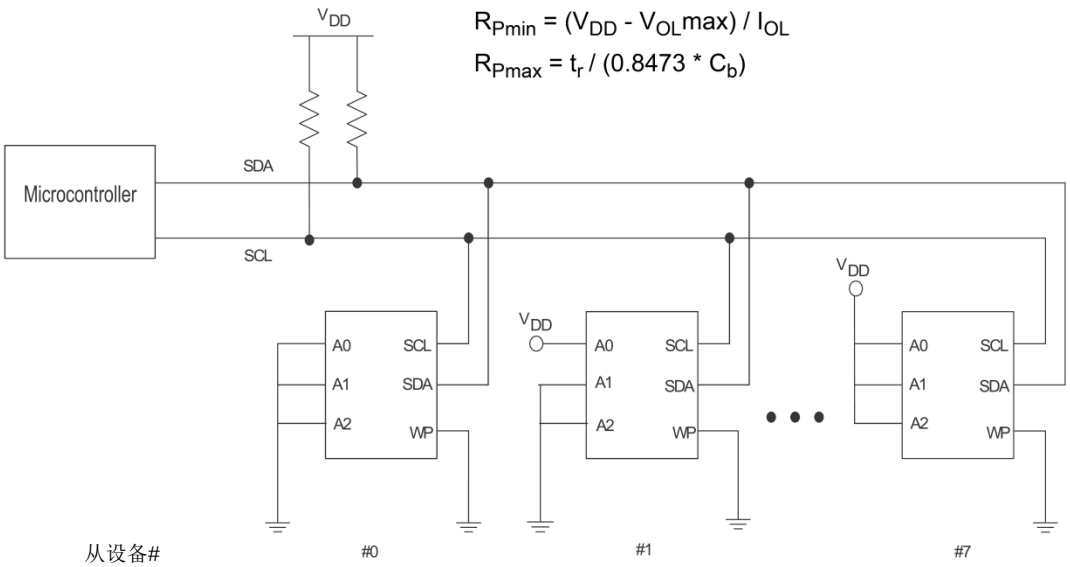
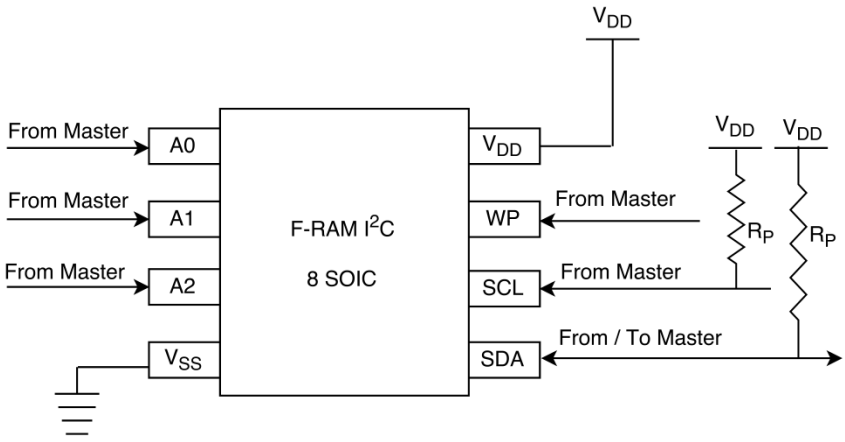


图 2. I²C F-RAM 从设备



4 I²C F-RAM 的设计标准

I²C 是双线同步总线，其中 SCL 线用于发送时钟、SDA 线用于发送数据。在 I²C F-RAM 器件上，SCL 线作为输入，SDA 线是开漏型输出。通过该开漏结构可以容易对总线控制进行仲裁，从而在单个数据线上实现双向通信和支持多个主设备。在 F-RAM 中，SCL 线作为输入，但在主设备中它作为开漏输出。因此，SCL 和 SDA 线都需要在 V_{DD} 上连接一个外部电阻，以便在释放时将这些线上电平上拉。

在确定上拉电阻值（R_P）时需要考虑两个注意事项：

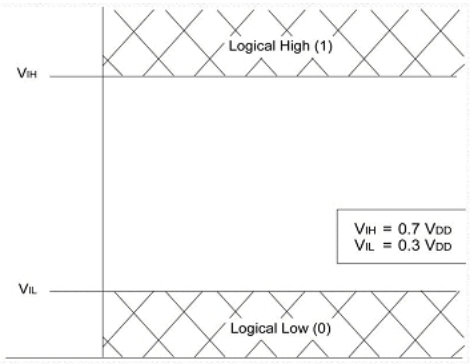
- 电源电压（V_{DD}）
- 总线电容总值（C_B）

注意：以下内容中的上拉电阻值计算是针对 I²C F-RAM SDA 线进行的。根据 I²C 主设备，应该重复下面显示的计算，以确定 SCL 线的上拉电阻值。

4.1 电源电压（V_{DD}）

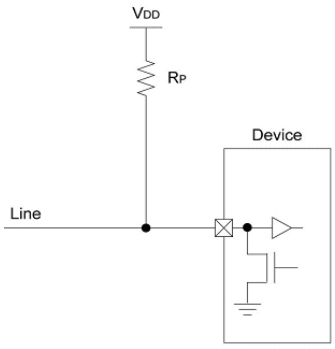
图 3 显示的是 I²C 逻辑电平。在 I²C 规范中，将低于 V_{IL} 的电压定义为逻辑低电平，它通常为电源电压的 30%。将高于 V_{IH} 的电压电平定义为逻辑高电平，该值通常为电源电压的 70%。未定义这两个电平之间的电压。

图 3. I²C 总线逻辑电平



电源电压限制了上拉电阻（R_P）的最小值。上拉电阻和器件晶体管的 ON 电阻构成了一个潜在的分频器网络，如图 4 所示。强大的上拉电阻可防止将该线置于低电平（低于 V_{IL}），以便检测到它是逻辑低电平。

图 4. I²C 总线



晶体管的 ON 电阻通常不被指定。但却指定了最大灌电流（I_{OL}），这样晶体管上的电压需要低于输出逻辑低电压（V_{OL}）。

$$V_{DD} - (I_{OL} \times R_P) \le V_{OL}, \quad \text{即} \quad R_P \ge \frac{V_{DD} - V_{OL}}{I_{OL}}$$

对于典型的 3.0 V I²C F-RAM 器件（以 3.6 V 的最大 V_{DD} 电压运行），V_{OL} 规范为最大值（0.4 V），这时 I_{OL} 为 2 mA。因此：

$$R_P \ge \frac{3.6 - 0.4}{2 \times 10^{-3}}, \quad \text{即} \quad R_P \ge 1.6\ \text{k}\Omega$$

4.2 总线电容总值（C_B）

总线电容是指所有引脚、连接、PCB 走线和线的总电容。对于 SDA 和 SCL 线的长走线和线缆，该值比较大。释放 SDA 和 SCL 线时，外部电阻（R_P）将上拉总线电容。上拉电阻（R_P）和总线电容（C_B）构成了一个 RC 电路，从而限制 SDA 和 SCL 线的上升时间。在高速工作模式下，上升时间非常重要。如果电阻值过高，该线电压不能及时上升到逻辑高电平。因此，总线电容总量将限制上升时间和上拉电阻的最大值。

对于 RC 电路，

$$V(t) = V_{DD}\,(1 - e^{-t/RC}) \quad \text{i.e.} \quad t = -RC\,\ln\left(1 - \frac{V(t)}{V_{DD}}\right)$$

对于 I²C，上升时间（t_r）被定义为 SDA 或 SCL 线从 V_{IL}（0.3 × V_{DD}）上升到 V_{IH}（0.7 × V_{DD}）所需的时间，如图 5 所示。

将电容充电到 V_{IL} 电平所需要的时间为

$$t_1 = -R_P C_B \ln\left(1 - \frac{0.3 \times V_{DD}}{V_{DD}}\right) = 0.356675 \times R_P C_B$$

将电容充电到 V_{IH} 电平所需要的时间为

$$t_2 = -R_P C_B \ln\left(1 - \frac{0.7 \times V_{DD}}{V_{DD}}\right) = 1.203973 \times R_P C_B$$

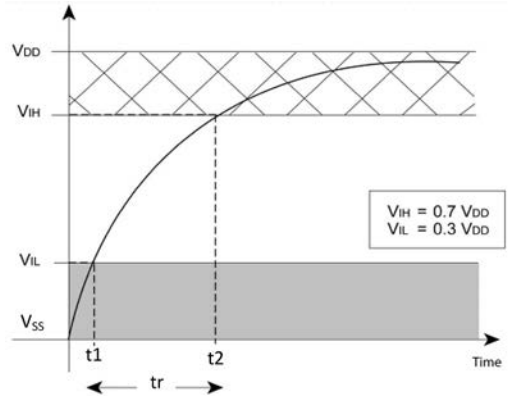
因此，上升时间

$$t_r = t_2 - t_1 = (1.203973 \times R_P C_B) - (0.356675 \times R_P C_B) = 0.8473 \times R_P C_B$$

对于 Fm 模式下的 I²C F-RAM，上升时间 t_r = 120 ns。因此，

$$120 \times 10^{-9} = 0.8473 \times R_P C_B$$

图 5. I²C 线的上升时间



低功耗设计应优先使用该范围内较高的上拉电阻（R_P）值，以限制电流消耗。表 3 显示的是在已给的总线负载条件下和工作电压范围内 R_P 的值（最小、最大值）。阴影区域表示在已给的工作电压条件下，对于某些总线负载（C_B），R_P（最小值）大于 R_P（最大值）。由于 R_P（最小值）不能超过 R_P（最大值），因此在 I²C 总线上所使用的最大电容负载（C_B）受到限制。例如，如果一个 3 V 的器件在最小的 V_{DD} 电源（V_{DD} = 2.7 V）电压下工作，那么系统不能超过表 3 所提供的 SDA 线负载（单位为皮法）。可以对 I²C 主设备的 SCL 线实现类似的计算。

表 3. 各种总线负载和工作电压条件下 R_P 的值（最小、最大值）

V_{DD} = 3.6 V、R_P(最小) = 1.6 kΩ		
	R_P(最大)k Ω	
频率	1 MHz	3.4 MHz
t_R(ps)	120000	80000
C_B(pF)		
10	14.16	9.44
20	7.08	4.72
30	4.72	3.15
40	3.54	2.36
50	2.83	1.89
60	2.36	1.57
70	2.02	1.35
80	1.77	1.18
90	1.57	1.05
100	1.42	0.94
125	1.13	0.76
150	0.94	0.63
175	0.81	0.54
200	0.71	0.47
250	0.57	0.38
300	0.47	0.31
350	0.40	0.27
400	0.35	0.24
450	0.31	0.21
500	0.28	0.19
550	0.26	0.17

V_{DD} = 3.0 V、R_P(最小) = 1.3 kΩ		
	R_P(最大)k Ω	
频率	1 MHz	3.4 MHz
t_R(ps)	120000	80000
C_B(pF)		
10	14.16	9.44
20	7.08	4.72
30	4.72	3.15
40	3.54	2.36
50	2.83	1.89
60	2.36	1.57
70	2.02	1.35
80	1.77	1.18
90	1.57	1.05
100	1.42	0.94
125	1.13	0.76
150	0.94	0.63
175	0.81	0.54
200	0.71	0.47
250	0.57	0.38
300	0.47	0.31
350	0.40	0.27
400	0.35	0.24
450	0.31	0.21
500	0.28	0.19
550	0.26	0.17

V_{DD} = 2.7 V、R_P(最小) = 1.15 kΩ		
	R_P(最大)k Ω	
频率	1 MHz	3.4 MHz
t_R(ps)	120000	80000
C_B(pF)		
10	14.16	9.44
20	7.08	4.72
30	4.72	3.15
40	3.54	2.36
50	2.83	1.89
60	2.36	1.57
70	2.02	1.35
80	1.77	1.18
90	1.57	1.05
100	1.42	0.94
125	1.13	0.76
150	0.94	0.63
175	0.81	0.54
200	0.71	0.47
250	0.57	0.38
300	0.47	0.31
350	0.40	0.27
400	0.35	0.24
450	0.31	0.21
500	0.28	0.19
550	0.26	0.17

V_{DD} = 2.0 V、R_P(最小) = 0.8 kΩ		
	R_P(最大)k Ω	
频率	1 MHz	3.4 MHz
t_R(ps)	120000	80000
C_B(pF)		
10	14.16	9.44
20	7.08	4.72
30	4.72	3.15
40	3.54	2.36
50	2.83	1.89
60	2.36	1.57
70	2.02	1.35
80	1.77	1.18
90	1.57	1.05
100	1.42	0.94
125	1.13	0.76
150	0.94	0.63
175	0.81	0.54
200	0.71	0.47
250	0.57	0.38
300	0.47	0.31
350	0.40	0.27
400	0.35	0.24
450	0.31	0.21
500	0.28	0.19
550	0.26	0.17

5 I²C F-RAM 操作

下面内容对 I²C F-RAM 操作进行了简要介绍。有关详细说明，请参考相应的数据手册。

5.1 WP 引脚

拉到 V_{DD} 时，WP（写保护）引脚将保护整个存储器。微控制器使用 GPIO 来控制它。对于某个不使用写保护特性的应用，该引脚将保持为悬空状态。内部下拉电阻会使该引脚处于低电平状态。

5.2 A0、A1、A2 引脚

A0、A1、A2 引脚控制着 I²C F-RAM 器件的器件地址选择。这些引脚被内置在低电平状态，因此如果未连接（悬空）这些引脚，则默认器件地址为 000。当使用 A0、A1 和 A2 不同组合的设置时，在同一个 I²C 总线上最多可以连接八个 F-RAM 器件。几乎所有 I²C F-RAM 器件都有全部三个器件地址选择引脚。只有这两种情况比较特殊：无 A0 引脚的 4 Kb 和 1 Mb 器件和无地址选择引脚的 16 Kb 器件。

5.3 从设备地址

I²C F-RAM 从设备地址是一个 7 位 ID，它包含了固定的 4 位从设备 id 1010b 和用户可配置的 3 位器件选择位（由 A0、A1 和 A2 引脚确定）。

5.4 地址字节

根据存储器容量，I²C F-RAM 将读/写 1 字节或 2 字节地址，如表 4 所示。

表 4. 不同容量的 I²C F-RAM 的地址位

容量	从设备地址字节								地址字节 2（MSB）								地址字节 1（LSB）							
	位 7	位 6	位 5	位 4	位 3	位 2	位 1	位 0	位 7	位 6	位 5	位 4	位 3	位 2	位 1	位 0	位 7	位 6	位 5	位 4	位 3	位 2	位 1	位 0
4 Kb	从设备地址				A2	A1	A8[1]	R/$\overline{W}$	N/A[2]								A7	A6	A5	A4	A3	A2	A1	A0
16 Kb	从设备地址				A10[1]	A9[1]	A8[1]	R/$\overline{W}$	N/A[2]								A7	A6	A5	A4	A3	A2	A1	A0
64 Kb	从设备地址				A2	A1	A0	R/$\overline{W}$	X[3]	X[3]	X[3]	A12	A11	A10	A9	A8	A7	A6	A5	A4	A3	A2	A1	A0
128 Kb	从设备地址				A2	A1	A0	R/$\overline{W}$	X[3]	X[3]	A13	A12	A11	A10	A9	A8	A7	A6	A5	A4	A3	A2	A1	A0
256 Kb	从设备地址				A2	A1	A0	R/$\overline{W}$	X[3]	A14	A13	A12	A11	A10	A9	A8	A7	A6	A5	A4	A3	A2	A1	A0
512 Kb	从设备地址				A2	A1	A0	R/$\overline{W}$	A15	A14	A13	A12	A11	A10	A9	A8	A7	A6	A5	A4	A3	A2	A1	A0
1 Mb	从设备地址				A2	A1	A16[1]	R/$\overline{W}$	A15	A14	A13	A12	A11	A10	A9	A8	A7	A6	A5	A4	A3	A2	A1	A0

1. 这是页选择地址位。
2. 容量为 4 Kb 和 16 Kb 的 F-RAM 具有一个 1 字节的地址。
3. 无需关注最高有效地址字节中未使用的位，并且 F-RAM 会忽略这些位。然而，在固件中，最好将未使用的地址位位置设置为‘0’。这样，在移动到更高容量的选项时，可以轻松地更新固件。

5.5 写操作

所有写操作都是自主设备发送从设备地址（该地址用于为 I²C 通信确定从设备）开始的。通过将从设备地址的最低有效位（R/$\overline{W}$）设置为数字‘0’来表示一个写操作。根据 F-RAM 器件容量大小，从设备地址后面将为 2 字节或 1 字节地址，如表 4 所示。对于 4 Kb、16 Kb 和 1 Mb I²C F-RAM 器件，从设备地址包含存储器地址的一些最高有效位。该地址后面即为要写入的数据。F-RAM 从设备为每个字节生成一个应答信号。写操作以停止条件终止。

图 6 显示的是单字节写操作，图 7 显示的是多字节写操作，图 8 显示的是高速写操作。在开始进行写操作前，Hs 模式要求使用 Hs 模式指令（0x08）。

图 6. 单字节写操作（256 Kb F-RAM）

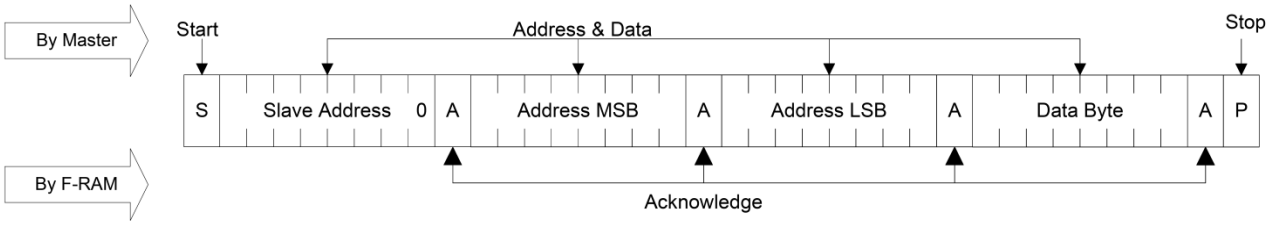


图 7. 多字节写操作（256 Kb F-RAM）

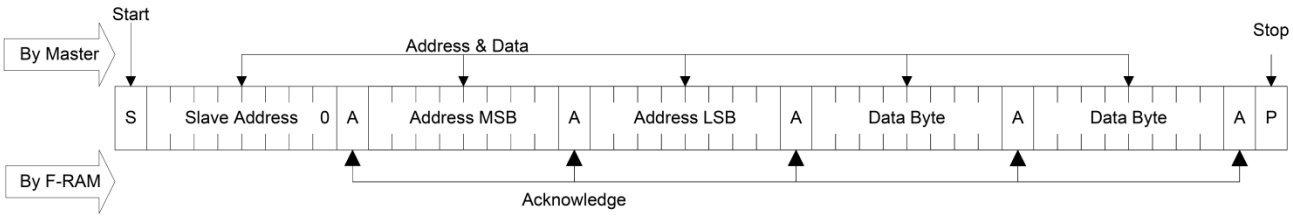
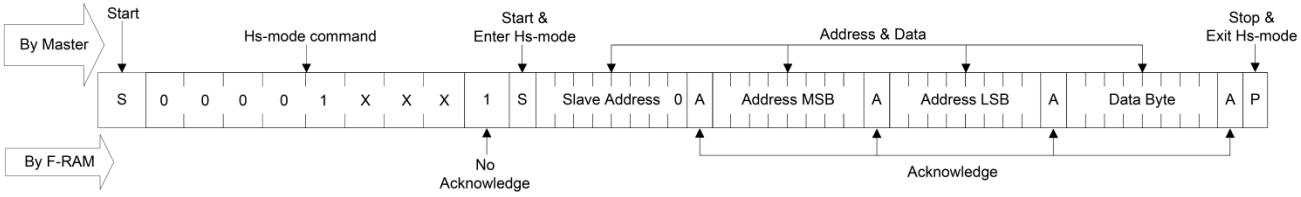


图 8. HS 模式的单字节写操作（256 Kb F-RAM）



5.6 读操作

读操作包括当前地址或者选择性（随机）地址读取。对于当前地址读取（如图 9、图 10 和图 11 所示），I²C F-RAM 使用内部锁存在最后读/写操作中的地址。对于选择性（随机）地址读取（如图 12 所示），将指定需要读取的地址（将从该地址读取数据）。

图 9. 单字节当前地址的读操作（256 Kb F-RAM）

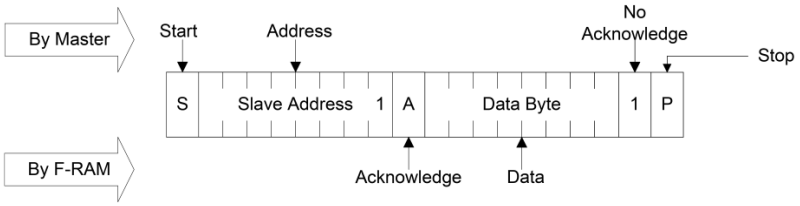


图 10. 多字节（连续）当前地址的读操作（256 Kb F-RAM）

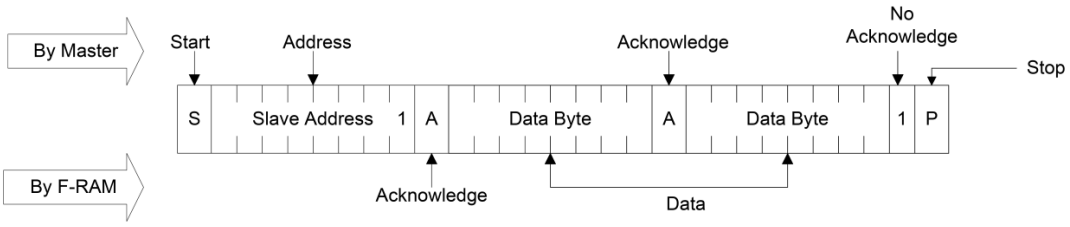


图 11. HS 模式下单字节当前地址读操作（256 Kb F-RAM）

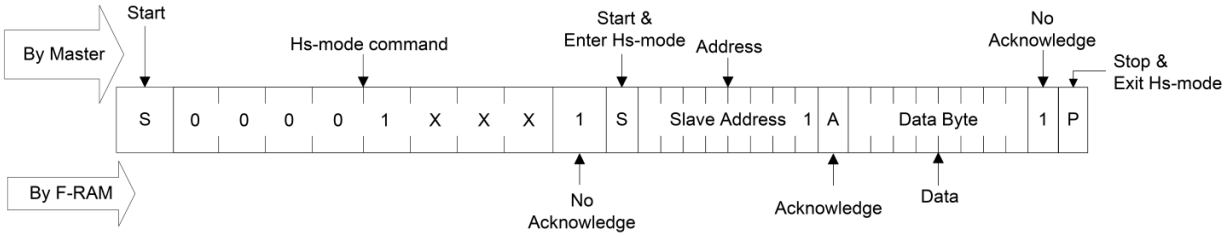
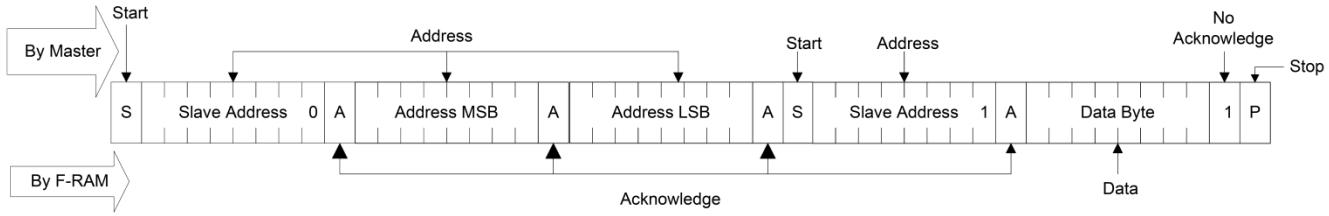


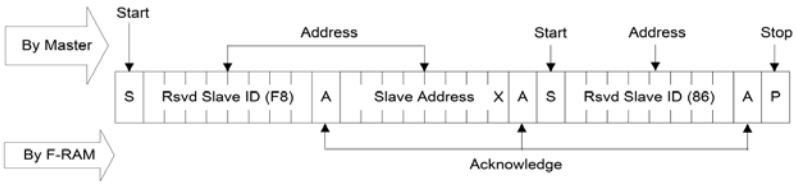
图 12. 单字节选择性（随机）地址读操作（256 Kb F-RAM）



5.7 进入睡眠模式

低功耗模式（称为“睡眠模式”）在某些 I²C F-RAM 器件中实现，如表 2 所示。F-RAM 器件通过使用指令 0x86 进入睡眠模式，如图 13 所示。

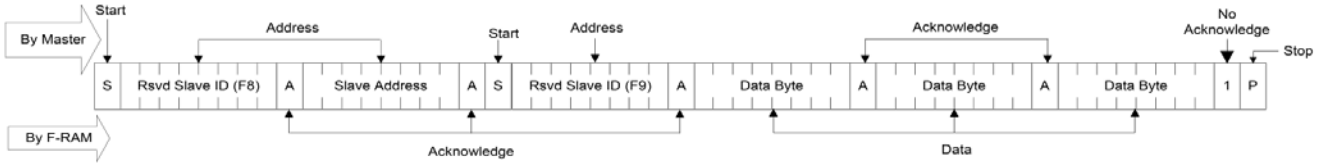
图 13. 进入睡眠模式



5.8 器件 ID

大多数 F-RAM 产品都定义了一个 3 字节的器件 ID，它包含制造商 ID 和产品 ID。通过使用指令 0xF9 可以读取该编号，如图 14 所示。

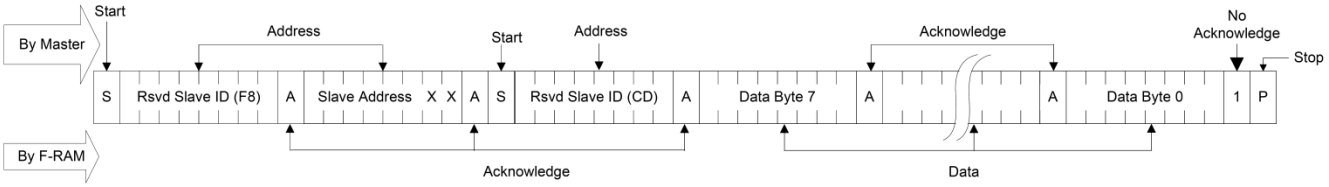
图 14. 读取器件 ID



5.9 序列号

FM24VN10 定义了一个特定于每个器件的只读序列号。它是一个 8 字节的编号，通过使用指令 0xCD 可以读取该编号，如图 15 所示。

图 15. 读取序列号



6 I²C F-RAM 代码示例

可以在应用笔记“AN74875 — 使用串行 I²C nvSRAM 进行设计”中找到 I²C F-RAM 代码示例。AN74875 提供了一个相关项目，该项目含有赛普拉斯非易失性 RAM 产品（nvSRAM 和 F-RAM）的 PSoC Creator 组件（nvRAM）。PSoC Creator 组件提供的各个 API 用于对存储器进行读写操作。它们也带有用于执行器件 ID、序列号和进入睡眠模式的 API。

7 总结

本应用笔记提供了使用赛普拉斯 I²C F-RAM 来设计各种应用的指南。与其他所有非易失性 I²C 存储器产品相同，I²C F-RAM 也支持标准的 I²C 访问协议。这样能使 F-RAM 与所有 I²C 主控制器相兼容，并缩短系统开发的时间。

8 相关应用笔记

AN407 — I²C F-RAM 协处理器的设计指南

AN94901 — 从 FM24V02/FM24V01 替换为 FM24V02A/FM24V01A

文档修订记录

文档标题：AN96578 — 使用 I²C F-RAM™进行设计

文档编号：001-98470

版本	ECN	变更者	提交日期	变更说明
**	4867278	RZZH	07/31/2015	本文档版本号为 Rev**，译自英文版 001-96578 Rev**。

全球销售和设计支持

赛普拉斯公司拥有一个由办事处、解决方案中心、厂商代表和经销商组成的全球性网络。要想查找离您最近的办事处，请访问赛普拉斯所在地。

产品

汽车级产品	cypress.com/go/automotive
时钟与缓冲器	cypress.com/go/clocks
接口	cypress.com/go/interface
照明与电源控制	cypress.com/go/powerpsoc
存储器	cypress.com/go/memory
PSoC	cypress.com/go/psoc
触摸感应	cypress.com/go/touch
USB 控制器	cypress.com/go/usb
无线/射频	cypress.com/go/wireless

PSoC® 解决方案

psoc.cypress.com/solutions

PSoC 1 | PSoC 3 | PSoC 4 | PSoC 5LP

赛普拉斯开发者社区

社区 | 论坛 | 博客 | 视频 | 培训

技术支持

cypress.com/go/support

PSoC 是赛普拉斯半导体公司的注册商标，且 F-RAM 是赛普拉斯半导体公司的商标。此处引用的所有其他商标或注册商标归其各自所有者所有。

赛普拉斯半导体公司
198 Champion Court
San Jose, CA 95134-1709

电话 ：408-943-2600
传真 ：408-943-4730
网址 ：www.cypress.com

©赛普拉斯半导体公司，2015。此处所包含的信息可能会随时更改，恕不另行通知。除赛普拉斯产品内嵌的电路外，赛普拉斯半导体公司不对任何其他电路的使用承担任何责任。也不根据专利或其他权利以明示或暗示的方式授予任何许可。除非与赛普拉斯签订明确的书面协议，否则赛普拉斯不保证产品能够用于或适用于医疗、生命支持、救生、关键控制或安全应用领域。此外，对于可能发生运转异常和故障并对用户造成严重伤害的生命支持系统，赛普拉斯不授权将其产品用作此类系统的关键组件。若将赛普拉斯产品用于生命支持系统中，则表示制造商将承担因此类使用而招致的所有风险，并确保赛普拉斯免于因此而受到任何指控。
该源代码（软件和/或固件）均归赛普拉斯半导体公司（赛普拉斯）所有，并受全球专利法规（美国和美国以外的专利法规）、美国版权法以及国际条约规定的保护和约束。赛普拉斯据此向获许可者授予适用于个人的、非独占性、不可转让的许可，用以复制、使用、修改、创建赛普拉斯源代码的派生作品、编译赛普拉斯源代码和派生作品，并且其目的只能是创建自定义软件和/或固件，以支持获许可者仅将其获得的产品依照适用协议规定的方式与赛普拉斯集成电路配合使用。除上述指定的用途外，未经赛普拉斯明确的书面许可，不得对此类源代码进行任何复制、修改、转换、编译或演示。
免责声明：赛普拉斯不针对此材料提供任何类型的明示或暗示保证，包括（但不限于）针对特定用途的适销性和适用性的暗示保证。赛普拉斯保留在不做出通知的情况下对此处所述材料进行更改的权利。赛普拉斯不对此处所述之任何产品或电路的应用或使用承担任何责任。对于合理预计可能发生运转异常和故障，并对用户造成严重伤害的生命支持系统，赛普拉斯不授权将其产品用作此类系统的关键组件。若将赛普拉斯产品用于生命支持系统，则表示制造商将承担因此类使用而招致的所有风险，并确保赛普拉斯免于因此而受到任何指控。
产品使用可能受限于赛普拉斯软件许可协议。