F-RAM 向けの SPI ガイド

本書について

適用範囲と目的

このアプリケーションノートでは、SPI F-RAM の機能の説明, タイミング, およびサンプル コードについて説明します。

対象者

本書は、SPI F-RAM を使用するユーザーを対象とします。

目次

本書について 1
目次 2
1 はじめに 3
2 SPI の用途 4
3 速度の利点 5
4 SPI バス 6
5 システムの接続 8
6 単独型の SPI F-RAM 製品 9
7 読み出し/書き込みトランザクション 11
7.1 メモリ読み出し 11
7.2 メモリ書き込み 11
7.3 ステータスレジスタ書き込み 12
7.4 ステータスレジスタ読み出し 13
8 SPI F-RAM アドレス指定 14
9 高容量 F-RAM デバイスを低容量ソケットに配置 15
10 クロック モード 16
11 半二重動作 17
12 書き込み保護 18
13 パワーサイクル 19
14 まとめ 20
15 付録 A: 疑似サンプル コード (1 バイトアドレス, 4K ビット デバイス) 21
16 付録 B: 疑似サンプル コード (2 バイトアドレス, 16K ビット～512K ビット デバイス) 23
17 付録 C: 疑似サンプル コード (3 バイトアドレス, 1M ビット～4M ビット デバイス) 25
関連資料 27
改訂履歴 28
免責事項 29

1 はじめに

FM25xxx F-RAM 製品ファミリは、業界標準の 4 線式 SPI インターフェースを備えています。これらは、高速 (最大 40MHz), 低消費電力, 不揮発性メモリデバイスです。SPI F-RAM の容量は 4K ビット～4M ビットです。本アプリケーションノートは、これらデバイスの機能とタイミングについて説明します。

2 SPI の用途

シリアル ペリフェラル インターフェース (SPI) は、Motorola 社 (現、Freescale 社) によって開発されたシリアル バスであり、それら会社およびインフィニオン, TI, Atmel, Microchip, Analog Devices などその他の半導体サプライヤの MCU 上の専用インターフェースとして備えられています。SPI ポートは、DSP, ネットワーク プロセッサー, FPGA などでも備えられています。SPI は、高いシリアルデータレートを必要とする、マイクロコントローラーベースのシステムには最適です。シリアルデータ スループットはシリアル クロック速度 (Figure 1 の SCK 信号) との相互関係があります。インフィニオンのすべてのシリアル FRAM は 40MHz までクロック可能です。SPI ポートを備えていないいくつかのマイクロコントローラーは、ビット バンギングを使用して GPIO ピンを SPI 動作用に使用できます。この方法には、I/O ポートを制御または「バンギング」を行うソフトウェアが必要です。Figure 1 に、基本的な SPI インターフェースを示します。

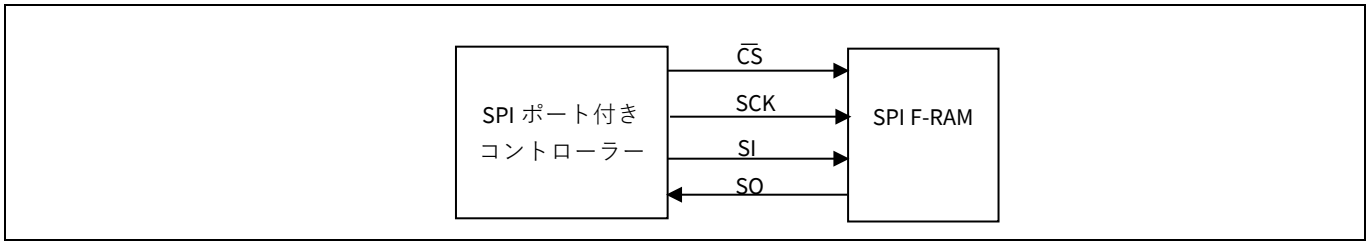

Figure 1　基本的な SPI インターフェース

3 速度の利点

F-RAM メモリ技術により、等価の EEPROM やフラッシュよりはるかに大きなデータブロックを速く書き込むことができます。EEPROM やフラッシュとは違って、F-RAM デバイスはページバッファを使用しません。F-RAM は、受信した各バイトの 8 番ビットの直後に各データバイトを書き込みます。書き込み遅延なしと高いクロック速度の組み合わせにより、F-RAM は多くのデータ量を速く書き込む必要のあるアプリケーションに説得力のある選択になります。設計者は、SPI F-RAM に書き込むバイト数を自由に決定することができます。F-RAM 内のランダムな位置に 1 個か 2 個のバイトを書き込む際、書き込みサイクルは約 1 µs である一方、EEPROM またはフラッシュの書き込みサイクルは 5 ms～10 ms もかかります。また、システムが次世代メモリの容量の変化を必要としてもページバッファ サイズの変化について心配することはありません。

Figure 2 は、F-RAM と EEPROM に対応する 256K ビット アレイへ書き込むのに必要な時間の比較を示すグラフです。同じクロックレートでは、F-RAM デバイスは、64 バイト ページ バッファを備えた EEPROM よりも桁違いに速いです。これは、システム設定をプログラムする時間が限られている生産ラインには特に重要です。

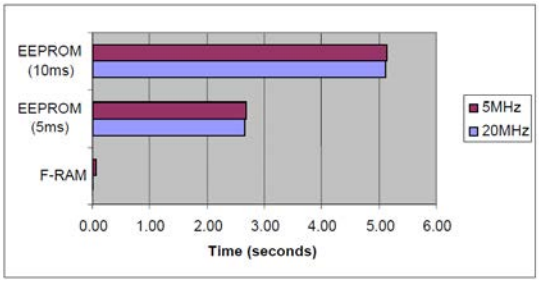

Figure 2 256K ビット SPI メモリ アレイへの書き込みに必要な時間

256K ビット EEPROM メモリへの書き込みに必要な時間は、クロック周波数を 5 MHz から 20 MHz に増加することで大幅に改善されないことに注意してください。これは、各ページ書き込みに必要な長い書き込み遅延が支配的だからです。20 MHz F-RAM メモリでは、32K バイト アレイ全体はわずか 13 ms で書き込まれます。この時間は小さい値であり、Figure 2 のグラフに表示されません。

4 SPI バス

Figure 1 に示すように、SPI インターフェースは 4 本のピンを持ちます。すべてのトランザクションは $\overline{CS}$ が LOW になっている間に実行され、アドレス, 制御, およびデータはデバイスにバイトサイズブロック単位でシリアル入力されます。アドレス, 制御, および入力データは SI ピンを介して入力され、出力データは SO ピンを介して出力されます。

オペコードは、デバイスに対する制御を提供します。読み出しと書き込みトランザクションは、オペコード-アドレス-データというシーケンスに従います。データ転送の必要ない他のトランザクションは、ステータスレジスタの書き込みイネーブルラッチ (WEL) ビットをセット/クリアするために使用されます。ステータスレジスタは Table 4 に示され、本書の後半で記載されます。EEPROM およびフラッシュベースの SPI メモリでは、ステータスレジスタは $\overline{RDY}$ という重要なビットも含みます。これは、書き込みサイクルが完了したかどうかを SPI コントローラーに通知するレディーフラグです。EEPROM およびフラッシュメモリは通常、書き込み後にデバイスにアクセスする前に 5 ms～10 ms の遅延を必要とします。F-RAM では、遅延がなく、内部書き込みが完了するのを待機する必要がありません。そのため、$\overline{RDY}$ ビットは常に論理「0」です (F-RAM ステータスレジスタは、遅い EEPROM およびフラッシュメモリと動作するファームウェアを備えたコントローラーが速い F-RAM 製品に素早く対応できるようこの $\overline{RDY}$ = 0 ビットを含みます)。すなわち、コントローラーは F-RAM メモリの読み出し/書き込みを RAM の実行速度で実行できます。

SPI F-RAM デバイスを制御するのは 6 つのオペコードです。いくつかの SPI F-RAM デバイスでは高速読み出し, スリープ遷移, デバイス ID およびシリアル番号読み出し機能用のオペコードが追加されます。各オペコードは、メモリまたはステータスレジスタに何らかの動作の実行を指示する 8 ビットコマンドです。アクティブな $\overline{CS}$ サイクルごとに 1 つのオペコードのみが発行されます。
Table 1 で、すべてのオペコードを説明します。

Table 1 オペコードの説明

名称	オペコード	アドレス	ダミーバイト	データ	動作
WREN	0000_0110b	-	-	-	WEL をセット
WRITE	0000_0010b[2]	3 バイト[1]	-	メモリの入力データ	WEL=1 の場合、F-RAM アレイにデータを書き込む $\overline{CS}$ が HIGH になると WEL がクリア
READ	0000_0011b[2]	3 バイト[1]	-	メモリの出力データ	F-RAM アレイからデータを読み出す
WRDI	0000_0100b	-	-	-	WEL をクリア
RDSR	0000_0101b	-	-	ステータスレジスタの出力データ	WPEN, BP(1,0), WEL ビットを読み出す
WRSR	0000_0001b	-	-	ステータスレジスタの入力データ	WPEN および BP(1:0) ビットを書き込む
SLEEP[3]	1011_1001b	-	-	-	スリープモードに移行
FSTRD[3]	0000_1011b	3 バイト[1]	1 バイト	メモリの出力データ	40 MHz で F-RAM アレイからデータを読み出す

1. 容量に応じて、1 バイトまたは 2 バイトのアドレス指定を使用する SPI デバイスもあります。Table 2 を参照してください。
2. 4K ビット デバイスには、書き込みと読み出しオペコードのビット 3 は上位アドレス ビット (A8) に対応します。
3. すべての SPI デバイスはこのコマンドをサポートしない場合があります。

名称	オペコード	アドレス	ダミーバイト	データ	動作
RDID	1001_1111b	-	-	9 バイトデバイス ID 出力	9 バイト デバイス ID を読み出す
SNR[3]	1100_0011b	-	-	8 バイトの連番データ出力	8 バイトシリアル番号を読み出す

5 システムの接続

コントローラーがチップ セレクトをそれぞれの F-RAM デバイスに駆動するための追加のピンを持っている限り、複数のデバイスを使用できます。Figure 3 に、マイクロコントローラーの標準 SPI ポートと連結する 2 つの F-RAM デバイスのシステム構成を示します。

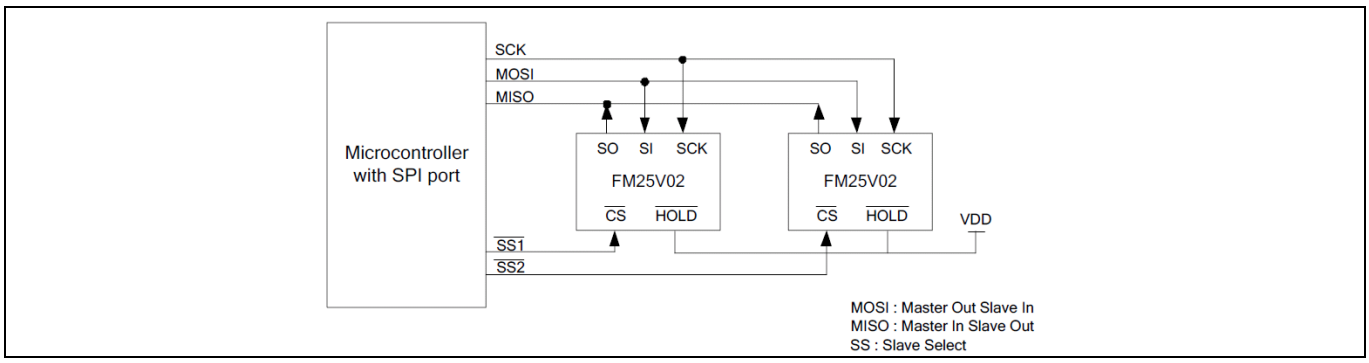

Figure 3 2 つの F-RAM デバイスのシステム構成

専用 SPI バスを持たないマイクロコントローラーでは、汎用ポートが Figure 4 のように使用されることもあります。ビットバンギングコードはこのインターフェースを駆動します。

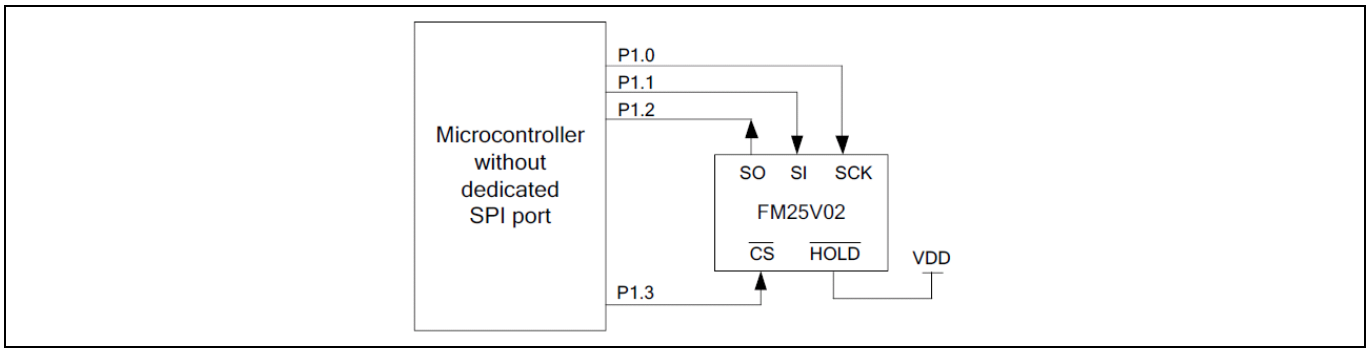

Figure 4 GPIO を使用したマイクロコントローラーと単一 F-RAM のシステム構成

6 単独型の SPI F-RAM 製品

下表に、単独型の SPI F-RAM 製品の基本特性をまとめます。

Table 2 SPI F-RAM 製品ラインアップ

		3 V									5 V			
	FM25L04B	**FM25L16B**	**FM25CL64B**	**FM25V01**	**FM25V02**	**FM25V05**	**FM25V10**	**FM25V20 FM25V20A**	**FM25H20**	**FM25V40**	**FM25040B**	**FM25C160B**	**FM25640B**	**FM25W256**
容量	4 K ビット	16 K ビット	64 K ビット	128 K ビット	256 K ビット	512 K ビット	1 M ビット	2 M ビット	2 M ビット	4 M ビット	4 K ビット	16 K ビット	64 K ビット	256 K ビット
内部構成	512 x 8	2K x 8	8K x 8	16K x 8	32K x 8	64K x 8	128K x 8	256K x 8	256K x 8	512K x 8	512 x 8	2K x 8	8K x 8	32K x 8
アドレスビット数	9	11	13	14	15	16	17	18	18	19	9	11	13	15
アドレスバイト数	1	2	2	2	2	2	3	3	3	3	1	2	2	2
動作電圧	2.7 V～3.6 V	2.7 V～3.6 V	2.7 V～3.65 V	2.0 V～3.6 V	2.0 V～3.6 V	2.0 V～3.6 V	2.0 V～3.6 V	2.0 V～3.6 V	2.7 V～3.6 V	2.0 V～3.6 V	4.5 V～5.5 V	4.5 V～5.5 V	4.5 V～5.5 V	2.7 V～5.5 V
最大クロック周波数	20 MHz	20 MHz	20 MHz	40 MHz	40 MHz	40 MHz	40 MHz	40 MHz	40 MHz	40 MHz	20 MHz	20 MHz	20 MHz	20 MHz
対応するクロックモード	0, 3	0, 3	0, 3	0, 3	0, 3	0, 3	0, 3	0, 3	0, 3	0, 3	0, 3	0, 3	0, 3	0, 3
スリープモード				✓	✓	✓	✓	✓	✓	✓				
ユニークな S/N							✓							
デバイス ID				✓	✓	✓	✓	✓		✓				

		3 V									5 V			
	FM25L04B	**FM25L16B**	**FM25CL64B**	**FM25V01**	**FM25V02**	**FM25V05**	**FM25V10**	**FM25V20 FM25V20A**	**FM25H20**	**FM25V40**	**FM25040B**	**FM25C160B**	**FM25640B**	**FM25W256**
パッケージ	SOIC8 DFN8 (4x4.5)	SOIC8 DFN8 (4x4.5)	SOIC8 DFN8 (4x4.5)	SOIC8	SOIC8 DFN8 (4x4.5)	SOIC8	SOIC8	Wide SOIC8 DFN8[1] (5x6)	Wide SOIC8 DFN8[1] (5x6)	Wide SOIC8 DFN8[1] (5x6)	SOIC8	SOIC8	SOIC8	SOIC8

Note:

1. 5 x 6mm DFN8 は SOIC8 フットプリントに準拠しています。

7 読み出し/書き込みトランザクション

SPI インターフェースは、コントローラーが駆動するクロックに同期しています。すべての F-RAM SPI デバイスは、SCK の立ち上りエッジで入力データを登録し、SCK の立ち下りエッジでデータをコントローラーに返します。このタイミングに従うために、コントローラーは通常、SCK の立ち下りエッジで信号をメモリに駆動します。これは、信号が伝播する時間があり、メモリデバイスのセットアップタイミング仕様を満たせます。

7.1 メモリ読み出し

```
Format: READ op-code, MSB Address, LSB Address, Data-out, (Data-out, Data-out ...)
```

読み出しサイクル中に、コントローラーは READ オペコードとアドレスを発行します。データは SO ピンを介して出力されます (例えば、data-out(0), data-out(1), data-out(2) など)。$\overline{CS}$ ピンは、サイクル全体にわたって LOW のままでなければいけません。$\overline{CS}$ が HIGH にデアサートされると、データ出力が停止し、SO は HI-Z 状態になります。クロック入力されたアドレスは、最初のデータバイトの開始アドレスです。後続のデータバイトには、単にデータバイトを連続的にクロック出力しながら $\overline{CS}$ を LOW に維持することでアクセスできます。各バイトは、SPI F-RAM デバイスによって増分されるアドレスから読み出されます。

Figure 5 に、16K ビット～512K ビット容量用に使用される 2 バイトアドレスを示します。

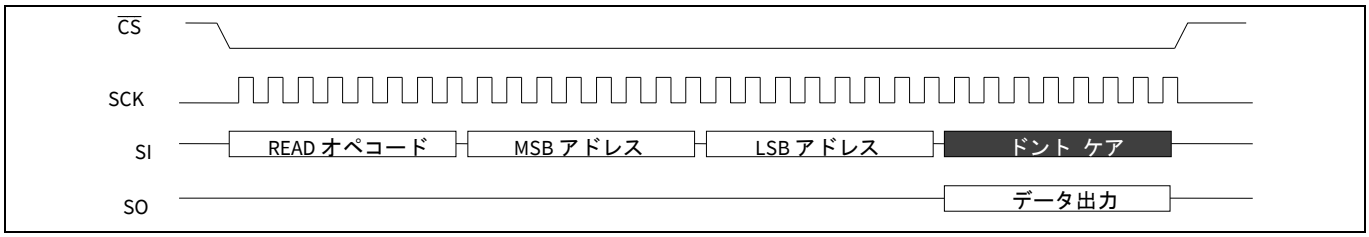

Figure 5 SPI の読み出しタイミング

7.2 メモリ書き込み

```
Format: WREN op-code, WRITE op-code, MSB Address, LSB Address, Data-in, (Data-in,
Data-in, ...)
```

書き込みサイクルでは、コントローラーは、次のシーケンスに従って 2 つのオペコード (WREN と WRITE) を発行します。各オペコードは $\overline{CS}$ が LOW の間以内です。WREN オペコードに続いて WRITE オペコード, アドレス, およびデータを発行します (例えば、data-in(0), data-in(1), data-in(2) など)。クロック入力されたアドレスは、最初のデータバイトの開始アドレスです。後続のデータバイトには、単にデータバイトを連続的にクロック入力しながら $\overline{CS}$ を LOW に維持することで書き込むことができます。各バイトは、SPI F-RAM デバイスによって増分されるアドレスに書き込まれます。各データバイトは、そのバイトの 8 番目のクロックエッジで F-RAM アレイに書き込まれます。ページバッファも書き込み遅延もありません。

ステータスレジスタの WEL ビットは、内部で SPI F-RAM デバイスによってセットされ、クリアされます。これは、WREN オペコードをクロック入力した後にセットされ、書き込み動作の終了時に $\overline{CS}$ の立ち下りエッジでクリアされます。WREN と WRITE オペコードの間にステータスレジスタを読み出し (RDSR オペコード) ても WEL ビットはクリアされません。WEL ビットがセットされたかをチェックするために、WREN の直後にステータスレジスタを読み出すユーザーもいます。しかし、WEL ビットの読み出しは、書き込み動作を完了するのに必要ありません。

Figure 6 に 1 バイトの完全な書き込みトランザクションを示します。これは、16K ビット～512K ビット容量用に使用される 2 バイトアドレスを示します。

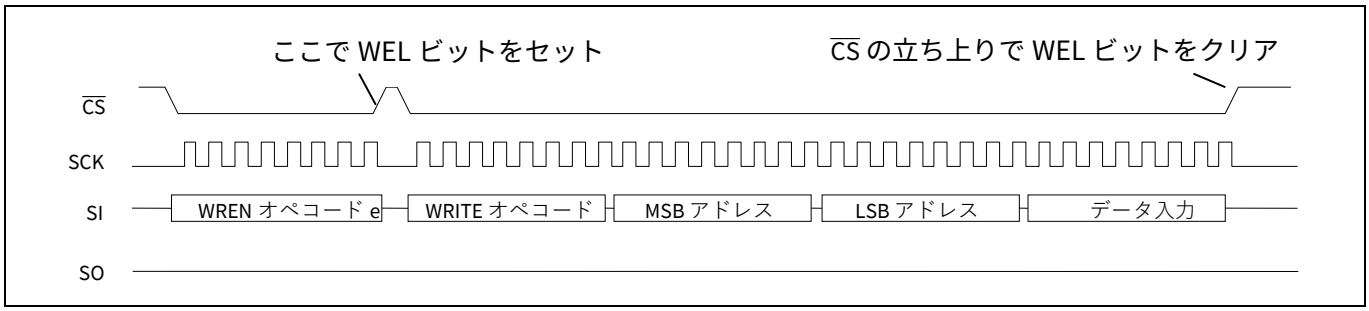

Figure 6　SPI の書き込みタイミング

7.3　ステータスレジスタ書き込み

`Format: WREN op-code, WRSR op-code, Data-in`

以下に示すように、ステータスレジスタは WP イネーブル (WPEN) ビットおよびブロック保護 (BP1, BP0) ビットを含みます。

Status Register							
7	6	5	4	3	2	1	0
WPEN	0	0	0	BP1	BP0	WEL	0

ステータスレジスタに書き込むことで、メモリブロックを書き込みから保護し、WP ピンを有効にできます。BP1 および BP0 という 2 つのブロック保護ビットがあります。これらにより、上位 1/4, 上位 1/2, または全体のアレイを書き込みから保護できます。BP0, BP1, および WPEN ビットは黄色で示されます。これらのビットは不揮発性であり、書き込まれた値が電源切断後に再投入しても保持されます。WPEN は、外部 WP ピンを有効か無効にします。システムの不正使用の時に WP ピンをオーバーライドするために、ソフトウェアを使用できます。WEL は、書き込みイネーブルラッチがセットされたかを単にユーザーに通知する読み出し専用ビットであり、ステータスレジスタまたはメモリへの書き込みを可能にします。

Figure 7 に、ステータスレジスタの完全な書き込みトランザクションを示します。

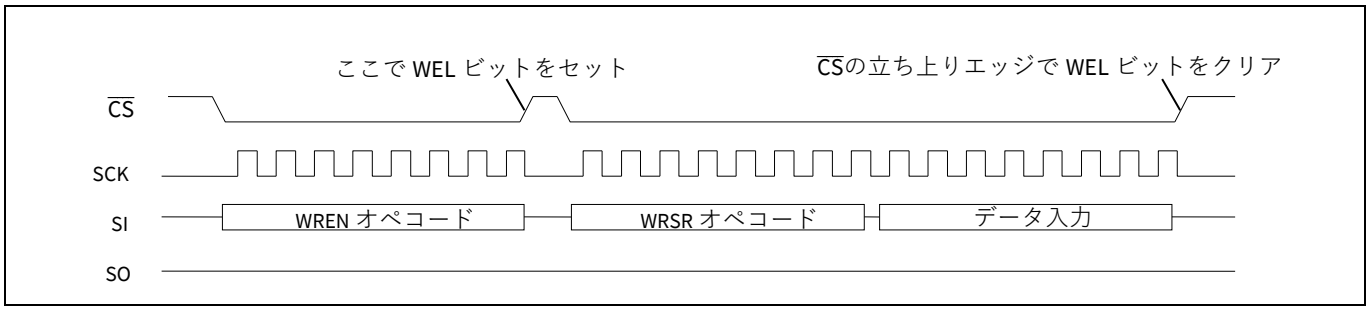

Figure 7　ステータスレジスタの書き込みタイミング

7.4 ステータスレジスタ読み出し

Format: RDSR op-code, Data-out

ステータスレジスタを読み出すことで、WPEN ビット, BP (1:0) 書き込み保護ビット, WEL ビットの状態をチェックできます。Figure 8 に、ステータスレジスタの完全な読み出しトランザクションを示します。

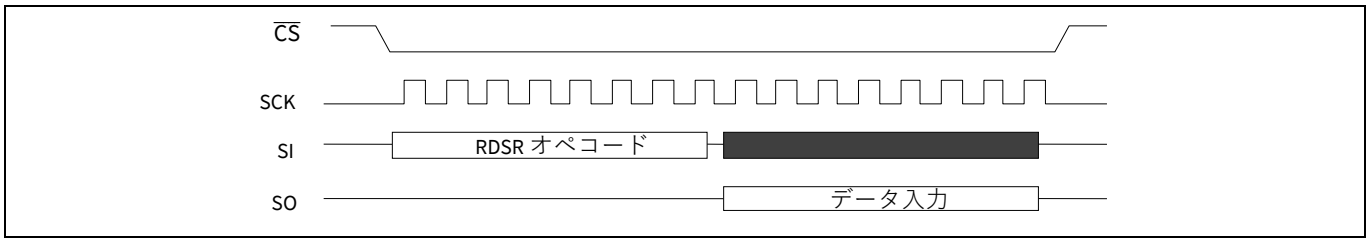

Figure 8 ステータスレジスタの読み出しタイミング

8 SPI F-RAM アドレス指定

単独型の SPI F-RAM デバイスは、容量に応じて 1 バイト, 2 バイト, または 3 バイトアドレスを必要とします。オペコードに続いて、開始アドレスは MSB ファーストでシフトインされます。最下位アドレスバイト (LSB) の直後に、書き込みの場合は期待されるデータがマスタから入力され、読み出しの場合はデータがメモリから出力されます。SCK が引き続きトグルする限り、内部アドレスは自動的に増分され、データ入力/出力は $\overline{CS}$ がデアサートされるまで継続します。

Note: 4K ビットデバイスは、1 バイトのアドレスのみ必要とします。

Figure 9 には、SPI F-RAM デバイスの異なる容量に対応するアドレス指定を示します。

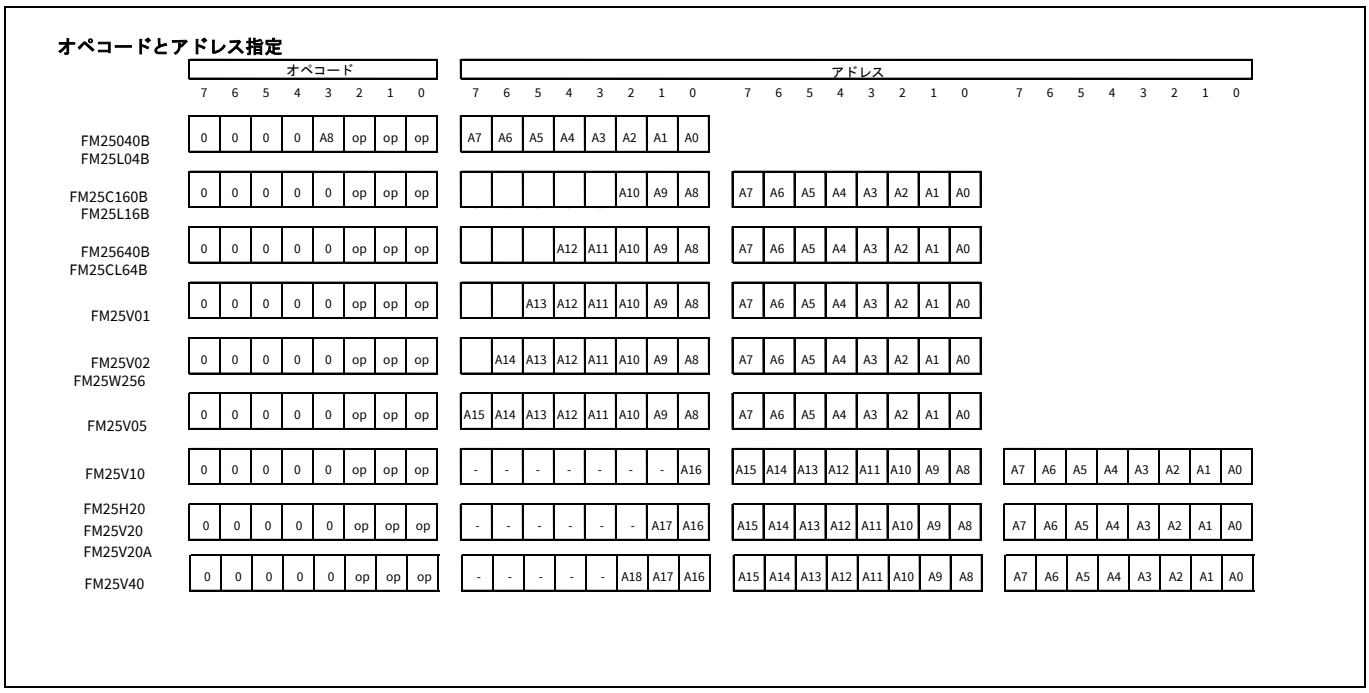

Figure 9 異なる容量間のアドレス指定の違い

9 高容量 F-RAM デバイスを低容量ソケットに配置

特定のデバイスがなく、基板またはシステムが低い容量の F-RAM デバイス向けに設計された場合、より高い容量のデバイスと置き換えることができます。例えば、16K ビット デバイスを使用するよう設計されたシステムは、64K ビット, 128K ビット, 256K ビット, または 512K ビット デバイスも使用できます。Figure 9 に、これらデバイスは共通の 2 バイト アドレスを読み出しと書き込み動作に使用することを示します。指定された動作電圧とタイミング要件が満たされることを前提にすると、これら容量の範囲内のデバイスはピン配置、パッケージ (SOIC), 読み出し/書き込み機能において同じです。2 つの潜在的な問題があります: システムがデバイス内でアドレスラップ機能を使用する場合、またはシステムがブロック保護機能を使用する場合。16K ビット デバイスの終端アドレスは 0x800、64K ビット デバイスの終端アドレスは 0x2000、128K ビット デバイスの終端アドレスは 0x4000 などです。容量が 2 倍違うデバイスを比較する時、ブロック保護境界はアドレスの 2 倍の間隔で開けられます。

例えば、Figure 10 および Figure 11 に、16K ビットと 128K ビット デバイスのシリアルアドレスストリーム間の違いを示します。

Figure 9 に示された 16K ビットと 128K ビット デバイスのアドレス要件を比較すると、3 つの追加のアドレスビット位置 (Figure 11 に示す、赤枠で囲んだ A13, A12, A11) が 128K ビット デバイスにおいて使用されることが明らかになります。コントローラーがこれら 3 つのアドレスビットを読み出しと書き込み用に一貫して駆動する限り、高い容量デバイスは、低い容量の製品に設計されたシステムで動作できます。1M ビット容量 (またはそれ以上) デバイスは 3 バイト アドレスを使用し、より低い容量に設計されたシステムで置き換え製品として使用できません。例えば、2 バイト アドレスを発行するシステムは、3 バイト メモリが使用されている場合は正常に動作しません。容量に応じたアドレス バイト数については、Table 2 を参照してください。

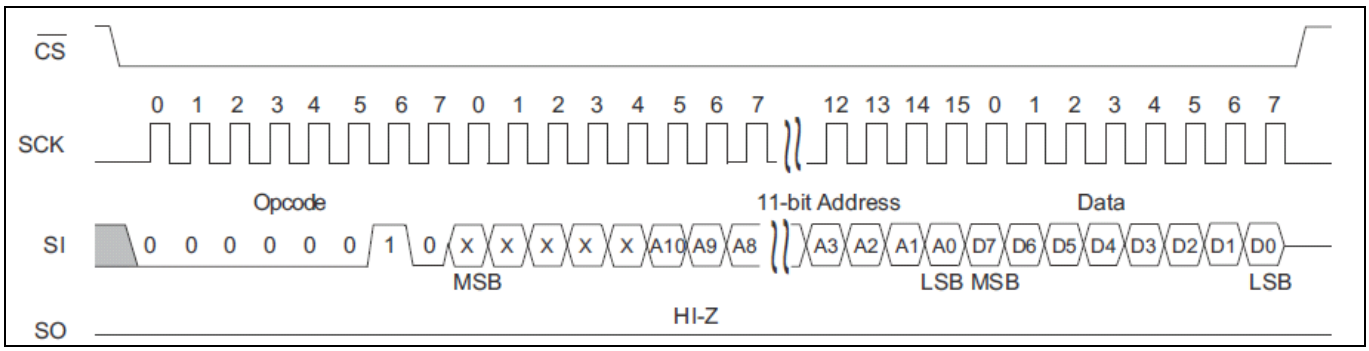

Figure 10 FM25L16B 書き込みサイクル (WREN が示されない)

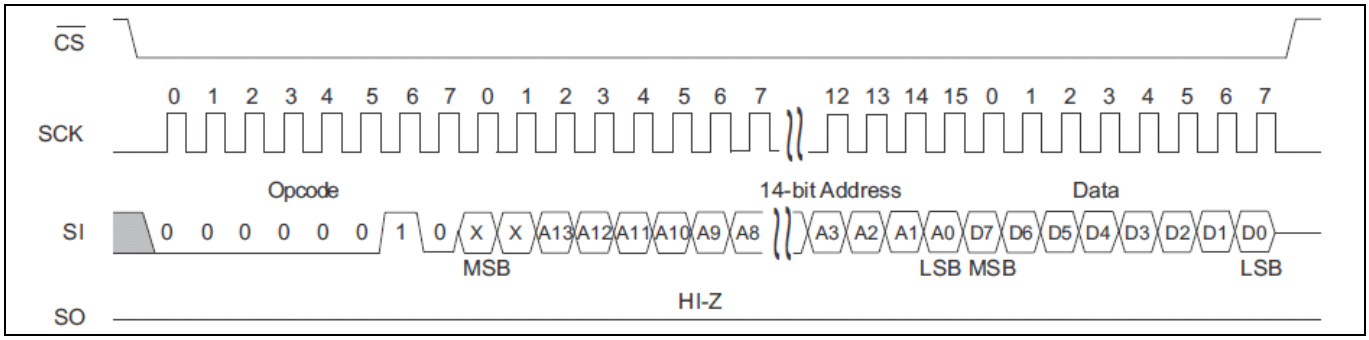

Figure 11 FM25V01 書き込みサイクル (WREN が示されない)

10 クロック モード

FM25xxx デバイス ファミリは、4 つの SPI 標準クロックモードの中で、モード 0 とモード 3 をサポートします。すべての F-RAM 製品は、モードに関係なく、SCK エッジの立ち上りエッジでデータをデバイスにクロック入力し、SCK の立ち下りエッジでデータをクロック出力することに注意してください。モード 0 とモード 3 の相違点は、$\overline{CS}$ が LOW にアサートされる時に SCK が LOW か HIGH で始まるかだけです。異なる SPI モードを、Table 3 に示します。

Table 3 SPI モード

	モード 0	モード 1	モード 2	モード 3
SCK が開始した時の状態	LOW	LOW	HIGH	HIGH
SI でのデータ入力がラッチされるエッジ	↑	↓	↓	↑
SO でのデータ出力が駆動されるエッジ	↓	↑	↑	↓

11 半二重動作

SPI インターフェースのピン数を減らすために、データラインを互いに結んで共通データ I/O ラインを作ることができます。Figure 12 に示されるように、この 3 線式インターフェースは SPI の最小ピン数の構成です。ここで、コントローラーは、SIO ラインが読み出しサイクル中に HI-Z であること保証する必要があります。そうしないと、バスの競合が発生します。2 番目の問題は、データ バスが半二重になったため、データ帯域幅が減少する可能性があります。

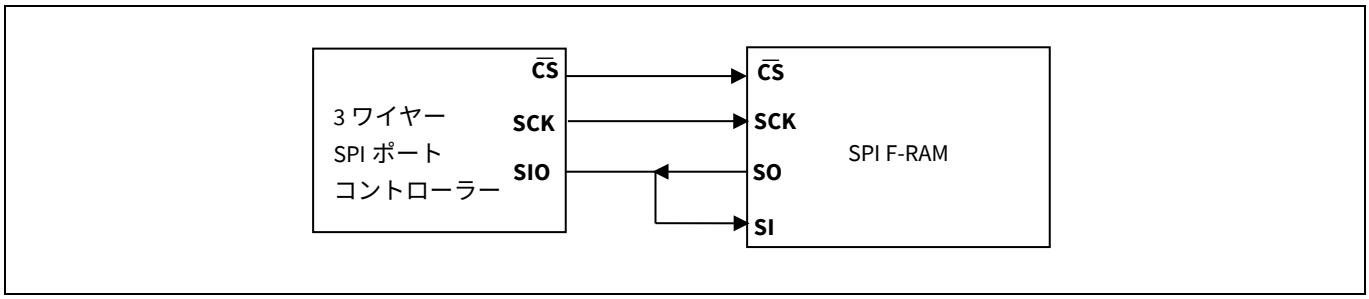

Figure 12 本当の 3 線式 SPI インターフェース

タイミングモード (0 か 3) にかかわらず、すべての SPI F-RAM は、SCK の立ち上りエッジで入力データをラッチし、SCK の立ち下りエッジで出力データを駆動します。SPI 読み出しトランザクションを、Figure 13 に示します。

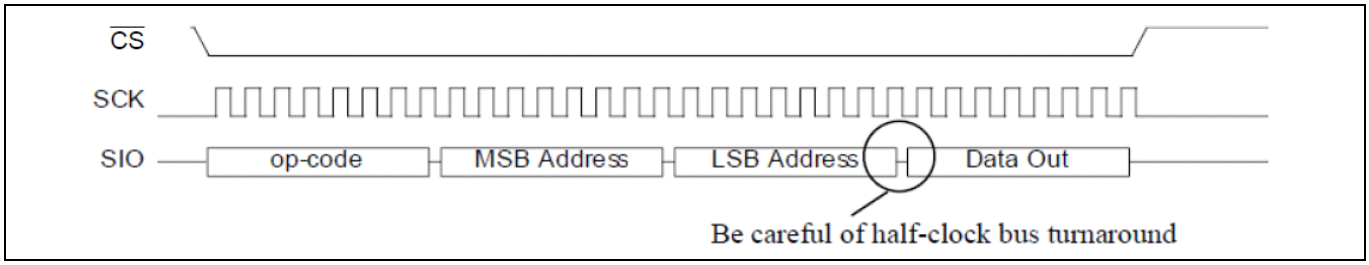

Figure 13 共通データ I/O ラインとバス ターンアラウンド

12 書き込み保護

SPI F-RAM デバイスは、$\overline{WP}$ ハードウェア ピンを使用するか、またはステータスレジスタのビットをプログラムすることで書き込みから保護できます。F-RAM メモリアレイに加えて、ステータスレジスタそれ自身も保護されます。ステータスレジスタは、メモリアレイの領域への書き込みを無効にするための不揮発性ブロック保護ビット BP (1:0) を含みます。BP0, BP1, および WPEN は不揮発性であり、電源切断後に再投入しても保持されますが、Table 5 に黄色で示されます。WPEN は $\overline{WP}$ ハードウェアピンを有効にします。ビット位置 0 は、EEPROM とシリアルフラッシュ用の $\overline{RDY}$ ビットとして予約されています。このビットはそれらデバイスで使用され、ユーザーはステータスレジスタを読み出すことで、メモリが他のコマンドの受信の準備が完了したかどうかを判断できます。書き込みサイクル後にチップが常に準備ができる (ゼロ遅延) ため、$\overline{RDY}$ ビットはすべての SPI F-RAM デバイスの内部で LOW に接続されています。

Table 4 ステータスレジスタおよびブロック保護の設定

ステータスレジスタ							
7	6	5	4	3	2	1	0
WPEN	0	0	0	BP1	BP0	WEL	0

Table 5 は、ステータス レジスタおよび F-RAM アレイの書き込み保護に関するすべてのケースを含む書き込み保護の表を示します。WEL = 0 の場合、F-RAM アレイおよびステータス レジスタへの書き込みはすべてブロックされます。

Table 5 書き込み保護

WEL	WPEN	$\overline{WP}$	保護ブロック	非保護ブロック	ステータスレジスタ
0	X	X	保護される	保護される	保護される
1	0	X	保護される	保護されない	保護されない
1	1	0	保護される	保護されない	保護される
1	1	1	保護される	保護されない	保護されない

- WPEN=0、$\overline{WP}$ ピン=1 でも、F-RAM アレイは、BP ビットが HIGH になることで保護される
- WPEN=1、$\overline{WP}$ ピン=0 でも、F-RAM アレイは、BP ビットが LOW になることで保護されない
- WPEN=1、$\overline{WP}$ ピン=0 の場合にのみ、ステータスレジスタは保護される

Note: FM25040B および FM25L04B は WPEN ビットがありません。$\overline{WP}$ ピン = 0 の時、すべての書き込み (メモリアレイおよびステータスレジスタ) はブロックされます。

13 パワーサイクル

F-RAM デバイスは高速の不揮発性メモリですが、読み出しまたは書き込みシーケンスで発生する電源グリッチは誤ってアレイデータをオーバーライト (破損) する可能性があります。例えば、チップセレクトがアクティブ (LOW) の時に、デバイスが中レベル電源電圧で不注意にデータを書き込む可能性があります。SPI F-RAM データシートは、チップセレクトが非アクティブ (HIGH) になっている時にデバイスの電源を切断することを指定 (推奨) しています。

SPI F-RAM デバイスは、簡単な内部パワーオンリセット回路以外に他の電源管理回路を備えていません。誤った動作を防ぐために V_{DD} がデータシートに記載された許容誤差以内であることを保証してください。V_{DD} 電源電圧を、しっかりと制御して立ち上げおよび立ち下げすることが推奨されます。スイッチング電源は、投入時と切断時に出力が制御されないという不利な点を持っています。

システム設計者は、パワー サイクル中のチップ イネーブルと V_{DD} の状態を理解する必要があります。

14 まとめ

本アプリケーションノートは、異なる F-RAM SPI 製品の機能の詳細, タイミング, およびサンプルコードについて説明します。

15 付録 A: 疑似サンプル コード (1 バイトアドレス, 4K ビット デバイス)

サンプルコードプロジェクトについては、CE204087 - Interfacing SPI nvRAM with PSOC™ 3/5 を参照してください。

Code Listing 1

```
#define WREN  0x06
#define WRITE 0x02 // Write opcode to access lower half of memory
#define WRITE 0x0A // Write opcode to access upper half of memory
#define READ  0x03  // Read opcode to access lower half of memory
#define READ  0x0B  // Read opcode to access upper half of memory
#define RDSR  0x05
#define WRSR  0x01
#define WRDI  0x04

以下の各事例では、左括弧はCSピンが LOW になること、右括弧はこのピンが HIGH になることを示します。

/****** Memory Write (single byte to location 0130h) *******/
WREN (0x06)         // Sets WEL bit. WREN must precede WRITE opcode.
WRITE (0x0A,        // 0x02 is WRITE opcode and A8 bit set
0x30,               // starting address
0x55)               // 0x55 is data written to location 0130h

/****** Memory Write (multiple bytes to starting location 01FCh) *******/
WREN (0x06)         // Sets WEL bit. WREN must precede WRITE opcode.
WRITE (0x0A,        // 0x02 is WRITE opcode and A8 bit set
0xFC,               // starting address
0x55,               // 0x55 is data written to location 01FCh
0xAA,               // 0xAA is data written to location 01FDh
0x55,               // 0x55 is data written to location 01FEh
0xAA)               // 0xAA is data written to location 01FFh

/****** Memory Read (single byte from location 01D3h) *******/
READ (0x0B,         // 0x03 is READ opcode
0xD3,               // starting address
0xAA)               // 0xAA is data read from location 01D3h

/****** Memory Read (multiple bytes from starting location 01FCh) *******/
READ (0x0B,         // 0x03 is READ opcode
0xFC,               // starting address
0x55,               // 0x55 is data read from location 01FCh
0xAA,               // 0xAA is data read from location 01FDh
0x55,               // 0x55 is data read from location 01FEh
0xAA)               // 0xAA is data read from location 01FFh

/****** Write Status Register (write protect upper half of memory) *******/
WREN (0x06)         // Sets WEL bit. WREN must precede WRSR opcode.
WRSR (0x01,         // 0x01 is WRSR opcode
```

15 付録 A: 疑似サンプル コード (1 バイトアドレス, 4K ビット デバイス)

```
0xF8)              // 0xF8 sets the BP1 bit which protects the upper
                   // half of the memory array. The upper nibble
                   // set to “F” attempts to write the upper bits
                   // to 1.

/****** Read Status Register *******/
RDSR (0x05,        // 0x05 is RDSR opcode
0x08)              // 0x08 tells us that the BP1 bit is set and that
                   // the upper half of the memory array is protected.
                   // The upper nibble returns “0” since they are
                   // hardwired low.
```

Note: *青色のテキストは、データがコントローラーによって送信されていることを示します。赤色のテキストは、データがコントローラーによって受信されていることを示します。*

16 付録 B: 疑似サンプル コード (2 バイトアドレス, 16K ビット～512K ビット デバイス)

サンプルコードプロジェクトについては、CE204087 - Interfacing SPI nvRAM with PSOC™ 3/5 を参照してください。

Code Listing 2

```
#define WREN 0x06
#define WRITE 0x02
#define READ 0x03
#define RDSR 0x05
#define WRSR 0x01
#define WRDI 0x04
以下のどの場合でも、左括弧はCS ピンがLOWになること、右括弧はこのピンがHIGHになることを示します。

/****** Memory Write (single byte to location 0F30h) *******/
WREN (0x06)  // Sets WEL bit. WREN must precede WRITE opcode.
WRITE (0x02, // 0x02 is WRITE opcode
0x0F,        // starting address MSB
0x30,        // starting address LSB
0x55)        // 0x55 is data written to location 0F30h

/****** Memory Write (multiple bytes to starting location 07FC) *******/
WREN (0x06)  // Sets WEL bit. WREN must precede WRITE opcode.
WRITE (0x02, // 0x02 is WRITE opcode
0x07,        // starting address MSB
0xFC,        // starting address LSB
0x55,        // 0x55 is data written to location 07FCh
0xAA,        // 0xAA is data written to location 07FDh
0x55,        // 0x55 is data written to location 07FEh
0xAA)        // 0xAA is data written to location 07FFh

/****** Memory Read (single byte from location 0F31h) *******/
READ (0x03,  // 0x03 is READ opcode
0x0F,        // starting address MSB
0x31,        // starting address LSB
0xAA)        // 0xAA is data read from location 0F31h

/****** Memory Read (multiple bytes from starting location 07FCh) *******/
READ (0x03,  // 0x03 is READ opcode
0x07,        // starting address MSB
0xFC,        // starting address LSB
0x55,        // 0x55 is data read from location 07FCh
0xAA,        // 0xAA is data read from location 07FDh
0x55,        // 0x55 is data read from location 07FEh
0xAA)        // 0xAA is data read from location 07FFh

/****** Write Status Register (write protect upper half of memory) *******/
WREN (0x06) // Sets WEL bit. WREN must precede WRSR opcode.
```

16 付録 B: 疑似サンプル コード (2 バイトアドレス, 16K ビット～512K ビット デバイス)

```
WRSR (0x01, // 0x01 is WRSR opcode
0x08)       // 0x08 sets the BP1 bit which protects the upper
            // half of the memory array.
/****** Read Status Register *******/
RDSR (0x05, // 0x05 is RDSR opcode
0x88)       // 0x88 tells us that the BP1 bit is set and that
            // the upper half of the memory array is protected.
            // The WPEN bit is also set which works with
            // the WP pin to protect the Status Register.
```

Note: *青色のテキストは、データがコントローラーによって送信されていることを示します。赤色のテキストは、データがコントローラーによって受信されていることを示します。*

17 付録 C: 疑似サンプル コード (3 バイトアドレス, 1M ビット～4M ビット デバイス)

サンプルコードプロジェクトについては、CE204087 - Interfacing SPI nvRAM with PSOC™ 3/5 を参照してください。

Code Listing 3

```
#define WREN 0x06
#define WRITE 0x02
#define READ 0x03
#define RDSR 0x05
#define WRSR 0x01
#define WRDI 0x04
以下のどの場合でも、左括弧はCSピンがLOWになること、右括弧はこのピンがHIGHになることを示します。
/****** Memory Write (single byte to location 1BF30h) *******/
WREN (0x06)  // Sets WEL bit. WREN must precede WRITE opcode.
WRITE (0x02, // 0x02 is WRITE opcode
0x01,        // starting address MSB
0xBF,        // starting address 2nd byte
0x30,        // starting address LSB
0x55)        // 0x55 is data written to location 1BF30h

/****** Memory Write (multiple bytes to starting location 1B7FC) *******/
WREN (0x06)  // Sets WEL bit. WREN must precede WRITE opcode.
WRITE (0x02, // 0x02 is WRITE opcode
0x01,        // starting address MSB
0xB7,        // starting address 2nd byte
0xFC,        // starting address LSB
0x55,        // 0x55 is data written to location 1B7FCh
0xAA,        // 0xAA is data written to location 1B7FDh
0x55,        // 0x55 is data written to location 1B7FEh
0xAA)        // 0xAA is data written to location 1B7FFh

/****** Memory Read (single byte from location 1BF31h) *******/
READ (0x03,  // 0x03 is READ opcode
0x01,        // starting address MSB
0xBF,        // starting address 2nd byte
0x31,        // starting address LSB
0xAA)        // 0xAA is data read from location 1BF31h

/****** Memory Read (multiple bytes from starting location 1B7FCh) *******/
READ (0x03,  // 0x03 is READ opcode
0x01,        // starting address MSB
0xB7,        // starting address 2nd byte
0xFC,        // starting address LSB
0x55,        // 0x55 is data read from location 1B7FCh
0xAA,        // 0xAA is data read from location 1B7FDh
0x55,        // 0x55 is data read from location 1B7FEh
0xAA)        // 0xAA is data read from location 1B7FFh
```

17 付録 C: 疑似サンプル コード (3 バイトアドレス, 1M ビット～4M ビット デバイス)

```
/****** Write Status Register (write protect upper half of memory) *******/
WREN (0x06)  // Sets WEL bit. WREN must precede WRSR opcode.
WRSR (0x01,  // 0x01 is WRSR opcode
0x08)        // 0x08 sets the BP1 bit which protects the upper
             // half of the memory array.

/****** Read Status Register *******/
RDSR (0x05,  // 0x05 is RDSR opcode
0x88)        // 0x88 tells us that the BP1 bit is set and that
             // the upper half of the memory array is protected.
             // The WPEN bit is also set which works with
             // the WP pin to protect the Status Register.
```

Note: *青色のテキストは、データがコントローラーによって送信されていることを示します。赤色のテキストは、データがコントローラーによって受信されていることを示します。*

関連資料

アプリケーションノート

[1] AN400 - Generating a power-fail interrupt using the F-RAM processor companion

[2] AN401 - Charging methods for the F-RAM RTC backup capacitor

[3] AN402 - F-RAM RTC oscillator design guide

[4] AN404 - F-RAM RTC backup supply (VBAK pin) and UL compliance

[5] AN407 - A design guide to I2C F-RAM processor companions - FM3164, FM31256, FM31276, FM31278, FM31L276, and FM31L278

[6] AN408 - A design guide to SPI F-RAM processor companion - FM33256B

サンプルコード

[7] CE204087 - Interfacing SPI nvRAM with PSOC™ 3/5

改訂履歴

版数	発行日	変更内容
**	2014-04-15	これは英語版 001-87196 Rev. **を翻訳した日本語版 001-92166 Rev. **です。
*A	2015-04-27	これは英語版 001-87196 Rev. *C を翻訳した日本語版 001-92166 Rev. *A です。
*B	2017-04-26	CE204087 へのリンクを追加。 これは英語版 001-87196 Rev. *D を翻訳した日本語版です。
*C	2025-07-01	これは英語版 001-87196 Rev. *F を翻訳した日本語版 001-92166 Rev. *C です。

Trademarks
All referenced product or service names and trademarks are the property of their respective owners.

Edition 2025-07-01
Published by
Infineon Technologies AG
81726 Munich, Germany

© 2025 Infineon Technologies AG. All Rights Reserved.

Do you have a question about this document?

Email: erratum@infineon.com

Document reference
001-92166 Rev. *C

重要事項
本手引書に記載された本製品の使用に関する手引きとして提供されるものであり、いかなる場合も、本製品における特定の機能性能や品質について保証するものではありません。本製品の使用の前に、当該手引書の受領者は実際の使用環境の下であらゆる本製品の機能及びその他本手引書に記された一切の技術的情報について確認する義務が有ります。インフィニオンテクノロジーズはここに当該手引書内で記される情報につき、第三者の知的所有権の不侵害の保証を含むがこれに限らず、あらゆる種類の一切の保証および責任を否定いたします。

本文書に含まれるデータは、技術的訓練を受けた従業員のみを対象としています。本製品の対象用途への適合性、およびこれら用途に関連して本文書に記載された製品情報の完全性についての評価は、お客様の技術部門の責任にて実施してください。

警告事項
技術的要件に伴い、製品には危険物質が含まれる可能性があります。当該種別の詳細については、インフィニオンの最寄りの営業所までお問い合わせください。
インフィニオンの正式代表者が署名した書面を通じ、インフィニオンによる明示の承認が存在する場合を除き、インフィニオンの製品は、当該製品の障害またはその使用に関する一切の結果が、合理的に人的傷害を招く恐れのある一切の用途に使用することはできないこと予めご了承ください。