TRAVEO™ T2G ファミリの I2S の使用方法

本書について

適用範囲と目的

このアプリケーションノートでは、TRAVEO™ T2G ファミリ MCU の I^2S の設定および使用方法を説明します。このアプリケーションノートは、ポート, クロック, および割込みなど I^2S に必要な設定例も説明します。このドキュメントは、I^2S の機能説明のため TLV320AIC26 (オーディオコーデック) を例として使用します。

対象者

本書は、インフィニオン TRAVEO™ T2G MCU を使用して I^2S を設定するすべてのユーザーを対象とします。

関連製品ファミリ

TRAVEO™ T2G ファミリ CYT3B シリーズ
TRAVEO™ T2G ファミリ CYT4B シリーズ
TRAVEO™ T2G ファミリ CYT6B シリーズ
TRAVEO™ T2G ファミリ CYT2C シリーズ
TRAVEO™ T2G ファミリ CYT3D シリーズ
TRAVEO™ T2G ファミリ CYT4D シリーズ
TRAVEO™ T2G ファミリ CYT4E シリーズ

目次

本書について 1
目次 2
1 はじめに 3
1.1 I²S の構成 3
1.1.1 内部クロックと外部クロック 5
1.1.2 MCLK 出力機能 5
1.2 デジタルオーディオインタフェースフォーマット 6
2 操作概要 7
2.1 I²S ブロックの信号 8
3 設定手順 9
3.1 HF_Clock 設定 9
3.2 ポート設定 10
3.3 割込み設定 10
3.4 SPI 設定 10
3.5 I²S 設定 10
3.6 オーディオコーデック設定 12
3.6.1 PLL 設定 13
3.7 割込みルーチン 14
用語集 15
関連ドキュメント 16
改訂履歴 17
免責事項 18

1 はじめに

Inter-IC Sound バス (I²S) は、デジタルオーディオデバイスを相互接続するために使用するシリアルバスインタフェース規格です。仕様は、Philips セミコンダクター製です (I²S バス仕様; 1986 年 2 月、1996 年 6 月 5 日改訂)。I²S フォーマット規格に加えて、I²S ブロックは左詰フォーマット (LJ) と時分割多重 (TDM) フォーマットもサポートします。

このアプリケーションノートでは、TRAVEO™ T2G ファミリの CYT4B シリーズ MCU の I²S の使用方法について説明します。さらに、このアプリケーションノートでは、録音およびヘッドフォンで再生するための I²S インタフェースの接続例として TLV320AIC26 を使用します。

このアプリケーションノートで説明されている機能と使用されている用語については、architecture reference manual の Audio Subsystem 章を参照してください。

1.1 I²S の構成

図 1, 図 2, および図 3 に I²S の構成および外部と内部クロックでの 3 つの使用例を示します。

I²S ブロックの構成, 制御, ステータスレジスタ, および FIFO データバッファは AHB バスを経由してアクセスできます。CPU や DMA などの AHB バスマスタは、AHB インタフェースを経由し I²S のレジスタにアクセスできます。I²S ブロック信号のポートピンおよび AC/DC の電気的仕様は、デバイスデータシートを参照してください。

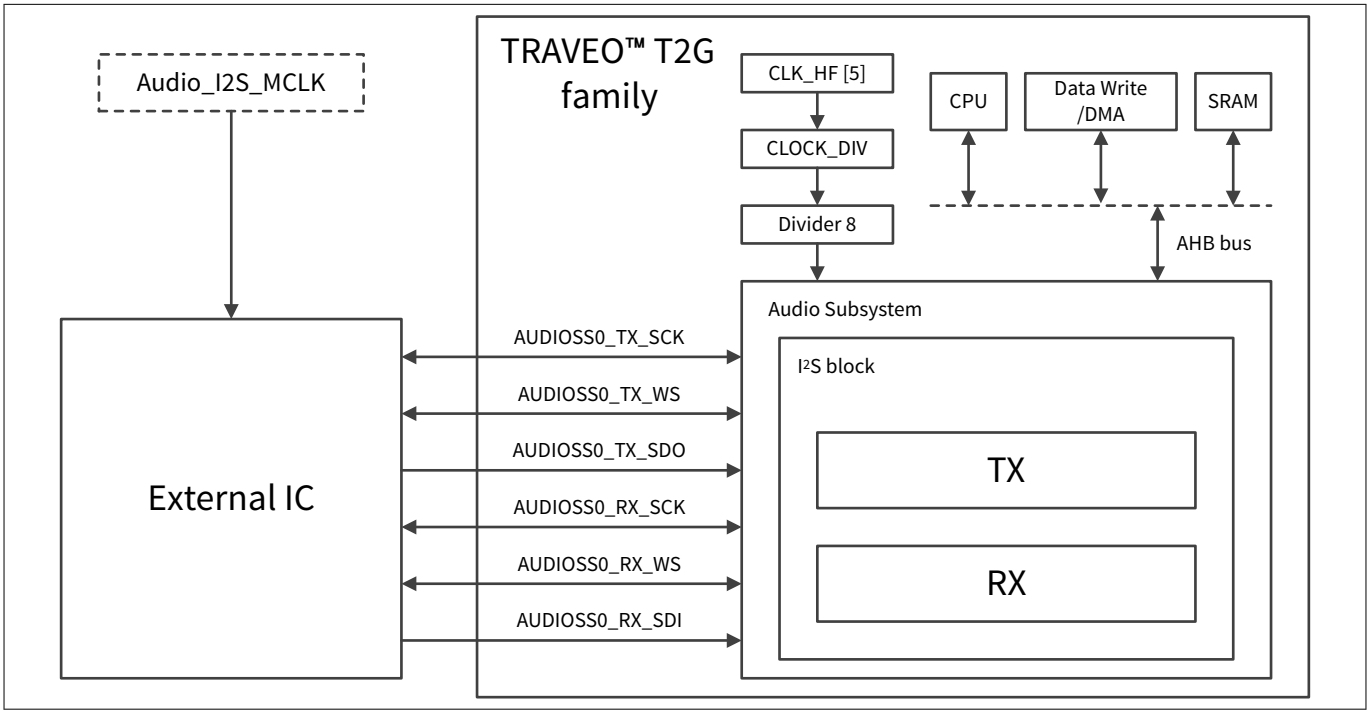

図 1 I²S ブロックダイヤグラム:内部クロック

1 はじめに

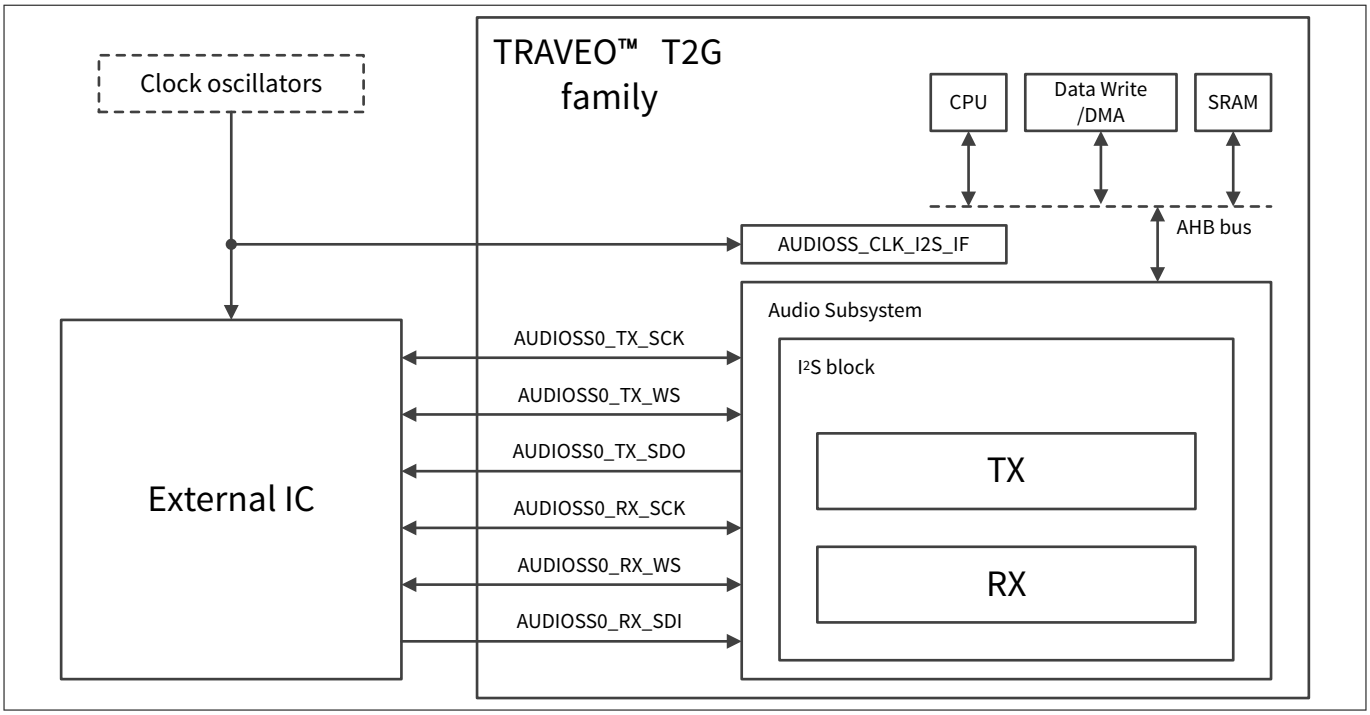

図 2　　I²S ブロックダイヤグラム:外部クロック

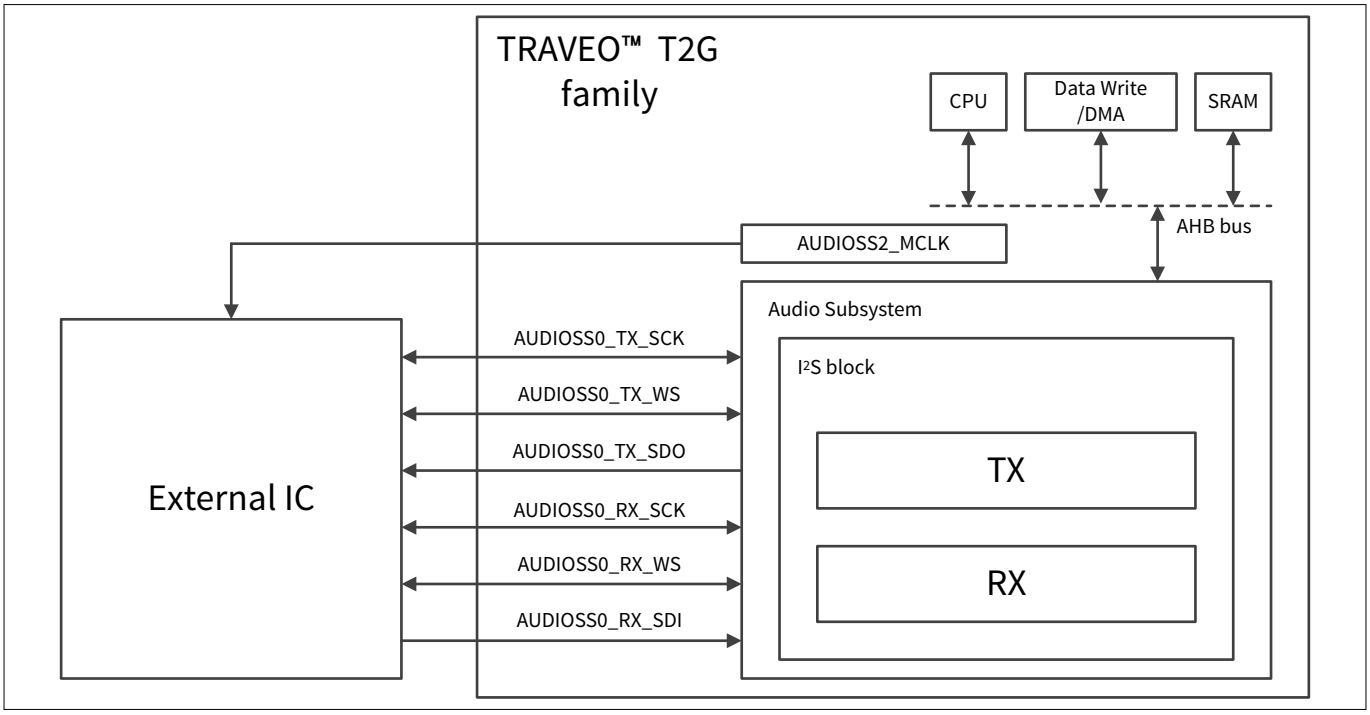

図 3　　I²S ブロックダイヤグラム:MCLK 出力

図 1, 図 2, および 図 3 に TRAVEO™ T2G MCU の I²S のブロックダイヤグラムを示します。これは、2 つのサブブロック I²S トランスミッタ (TX) と I²S レシーバ (RX)で構成されています。デジタルオーディオインタフェースとマスタ/スレーブの設定は TX ブロックと RX ブロックに対し個別にできます。マスタモードでは、ワードセレクト (WS) とシリアルデータクロック (SCK) は TRAVEO™ T2G の I²S ブロックによって生成します。スレーブモードでは、WS 信号および SCK 信号は I²S ブロックへの入力信号で外部マスタデバイスによって生成されます。

1.1.1 内部クロックと外部クロック

図 1 は I²S 内部クロックの基本的な使用例を説明しています。この場合、外部デバイスは Audio_I2S_MCLK をクロックとして使用し、T2G の I²S ブロックは HF_CLK[5] をクロックとして使用します。外部デバイスと T2G の I²S ブロックは異なるクロックを使用しているため同期していません。よって、FIFO がアンダフローまたはオーバフローする可能性があります。図 2 はそれぞれ外部クロックの接続の使用例を示します。この使用例では、クロックは同期しています。したがって、非同期によるアンダフローまたはオーバフローはありません。

以下に内部クロックの設定を示します。

- CTL.TX_ENABLE と RX_ENABLE = 1 (I²S は有効)
- CLOCK_CTL.CLOCK_SEL = 0 (I²S クロックは内部クロック CLK_HF[5]を使用)
- CLOCK_CTL.CLOCK_DIV = 0, 1, 2… 63 (分周比: 1, 2, 3…64)

以下に外部クロックの設定を示します。

- CTL.TX_ENABLE と RX_ENABLE = 1 (I²S は有効)
- CLOCK_CTL.CLOCK_SEL = 1 (I²S クロックは外部クロック AUDIO_CLK_I2S_IF を使用)
- CLOCK_CTL.CLOCK_DIV = 0, 1, 2… 63 (分周比: 1, 2, 3…64)

このアプリケーションノートで説明されている機能と使用されている用語については、architecture reference manual の Audio Subsystem 章を参照してください。

1.1.2 MCLK 出力機能

ここでは、I²S ユニットが外部オーディオ DAC 用の MCLK 出力信号を生成する 3 番目の使用例 (図 3 を参照) を説明します。

図 3 では、AUDIOSS2_MCLK は外部オーディオ DAC 用の出力信号として使用します。この場合、MCLK の出力ピンは I²S オーディオがスタートする前に、アクティブにします (外部 IC の PLL の起動時間)。

MCLK の信号を出力するために、以下の条件を満たしてください。

CTL.TX_ENABLE と CTL.RX_ENABLE = 1 (I²S は有効)

- CLOCK_CTL.CLOCK_SEL = 0 (I²S クロックは内部クロック CLK_HF[5]を使用)
- CLOCK_CTL.MCLK_DIV = 0, 1, 2, および 3 (分周比: 1, 2, 4, および 8)
- CLOCK_CTL.MCLK_EN = 1 (MCLK 出力は有効)

図 4 に MCLK 出力機能を示します。

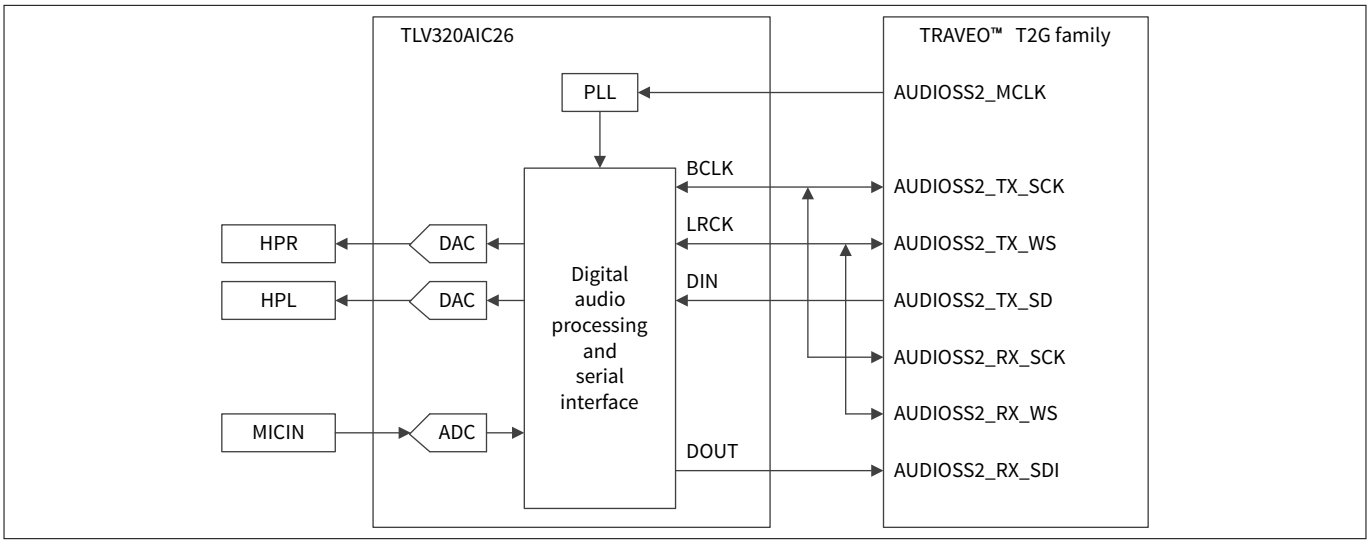

図 4 MCLK 出力機能

インタフェース形成の詳細については、architecture reference manual の Audio Subsystem 章を参照してください。

1.2 デジタルオーディオインタフェースフォーマット

T2G I^2S ブロックは以下のデジタルオーディオインタフェースフォーマットに対応します。

- 標準 I^2S
- LJ
- TDM

インタフェースフォーマットの詳細については、architecture reference manual の Audio Subsystem 章を参照してください。

2 操作概要

外部デバイス TLV320AIC26 を使用例として、TRAVEO™ T2G の I²S ブロックの機能を説明します。TLV320AIC26 の特長としてステレオ Audio DAC とモノラル Audio ADC を含みます。詳細については、TLV320AIC26 データシートを参照してください。

TLV320AIC26 は、アナログ信号 (例えば,マイクからの信号) をデジタル信号に変換し TRAVEO™ T2G MCU に送信します。TRAVEO™ T2G はデジタル信号を再び TLV320AIC26 に送信し、デジタル信号からアナログ信号への変換を行い、変換したアナログ信号をスピーカで再生します。したがって、マイクを使用し話している間、ヘッドセットから自分の声を聞けます。

図 5 は、外部デバイスのオーディオコーデック TLV320AIC26 が DOUT を経由し、MICIN から RX_FIFO へのアナログデータを変換する例を示します。次に、I²S はデータを TX_FIFO に書き込み、DIN を経由し TLV320AIC26 に送信します。TLV320AIC26 は I2S からのデジタルデータを DAC によりアナログデータに変換します。最後に、TLV320AIC26 は HPR/HPL を介してアナログデータを再生します。

I²S ブロックは 標準の I²S フォーマットを使用します。TX がマスタモードの場合、TX は WS 信号および SCK 信号を出力します。RX がスレーブモードの場合、RX は TX からの WS 信号と SCK 信号を使用します。そして、I²S データ転送のサンプリングレートは 48 kHz を設定します。クロックは CLK_HF[5]から供給する内部クロックを使います。データ転送のワード長とチャネル長は 16 ビットです。

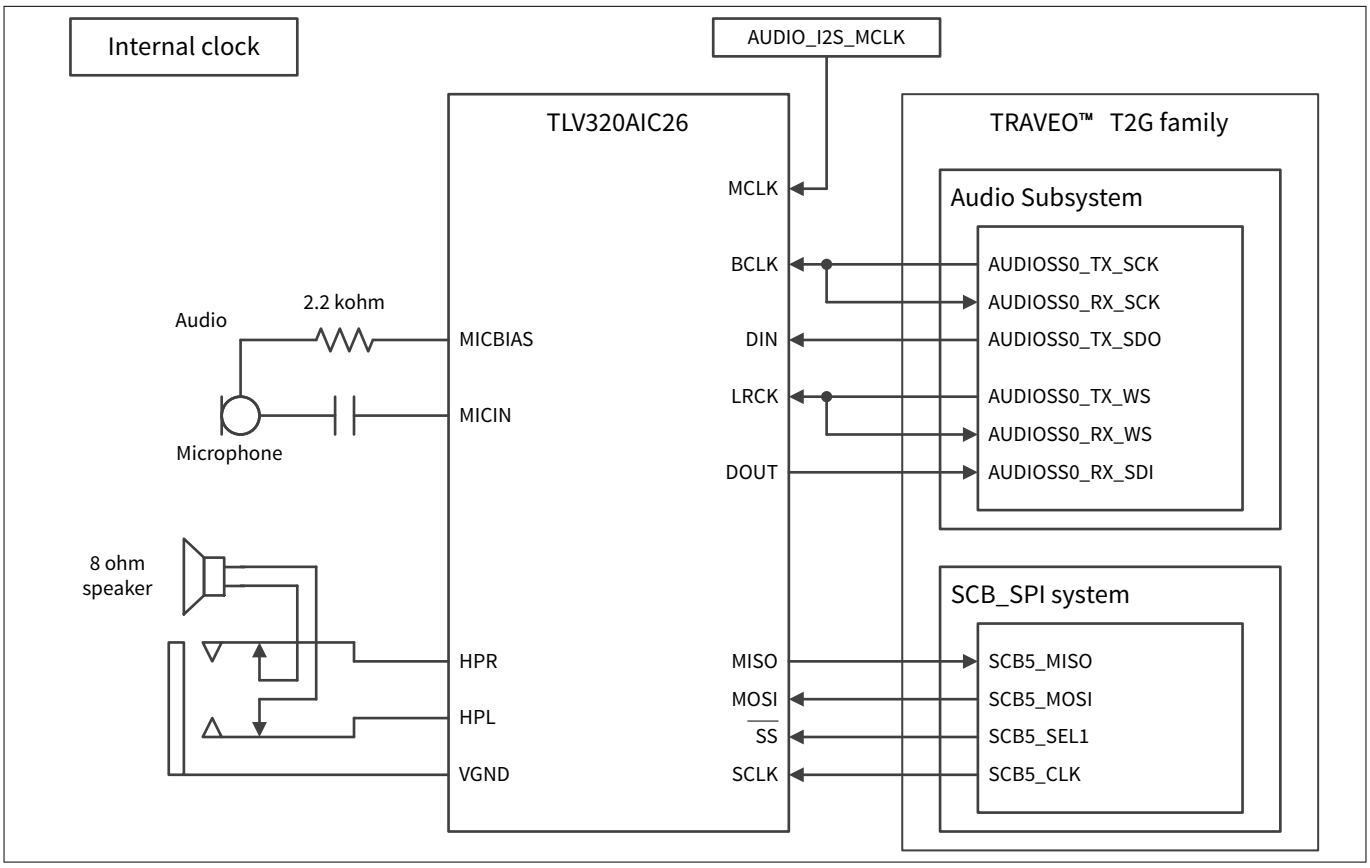

図 5 使用例

TLV320AIC26 の制御はレジスタ書込みによって行います。単純なコマンドプロトコルを使用し 16 ビットレジスタアドレスを指定します。レジスタは AD コンバータとオーディオコーデックの動作を制御します。制御機能は SPI インタフェースを介してアクセスされます (この例では SCB5_SPI を使用します)。

SCB5_SPI はオーディオコーデックの設定 (レジスタ書込み) にのみ使用します。オーディオコーデックと I2S は各自の内部クロック AUDIO_I2S_MCLK と CLK_HF[5]を使用します。AUDIO_I2S_MCLK は外部発振器で生成します。

図 6 に外部水晶発振器の実装例を示します。

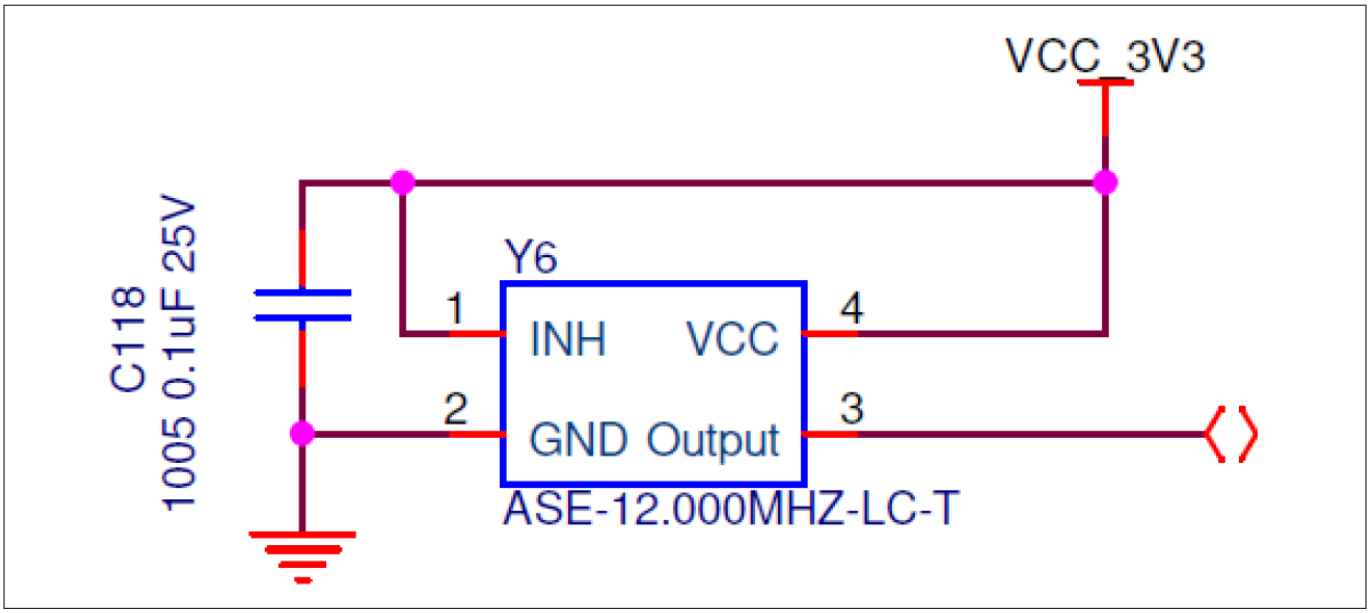

図 6　　外部水晶発振器の実装例

TLV320AIC26 と ASE シリーズ水晶発振器の詳細は TLV320AIC26 データシートと ASE シリーズ データシートを参照してください。

2.1　　I²S ブロックの信号

ここでは、信号の方向について説明します。

図 7 では、TRAVEO™ T2G I²S の TX ブロックはマスタモードとして、TRAVEO™ T2G I²S の RX ブロックはスレーブモードとして動作します。I²S の TX ブロックはマスタモードのため、AUDIOSS_TX_SCK, AUDIOSS_TX_WS, AUDIOSS_RX_SCK, および AUDIOSS_RX_WS は同じクロックを使用します。

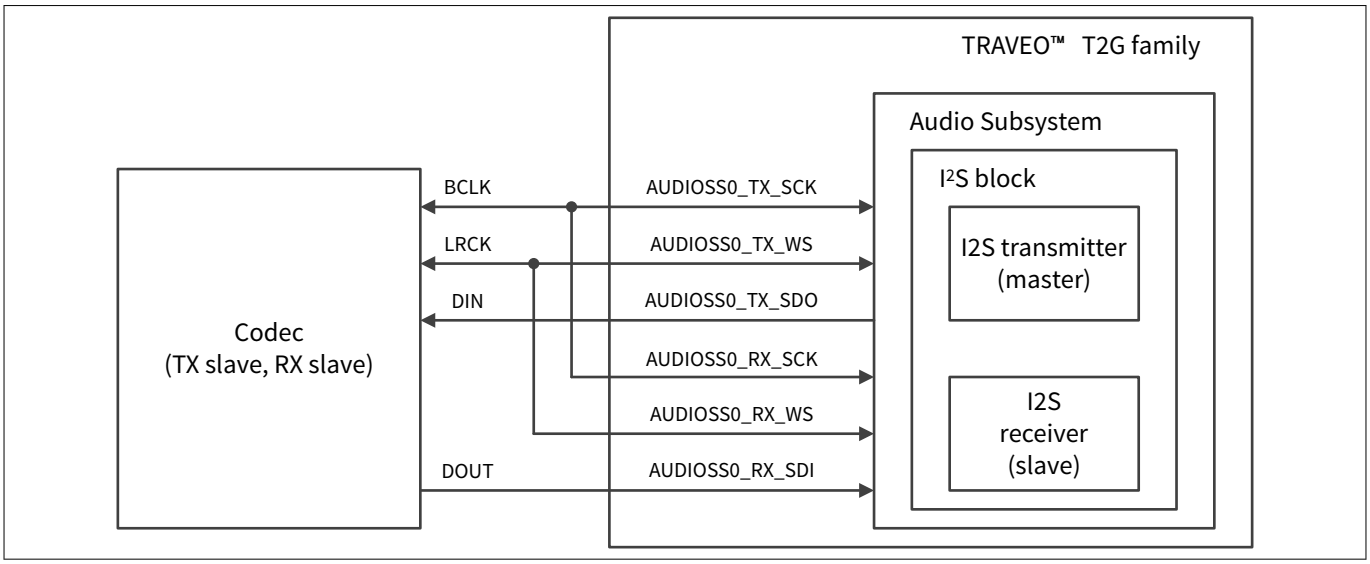

図 7　　RX と TX の共通 WS 信号および SCK 信号とコーデックの間の接続

3 設定手順

図 8 に HF_CLK, ポート, 割込み, I²S, SPI, およびオーディオコーデックに必要な設定、そして使用例でのデータ書込み手順を示します。この例では、意図しない割込みが発生した場合、ステータスは False にセットされます。ステータスが False の場合、プログラムは適切なエラー処理を実行できます。

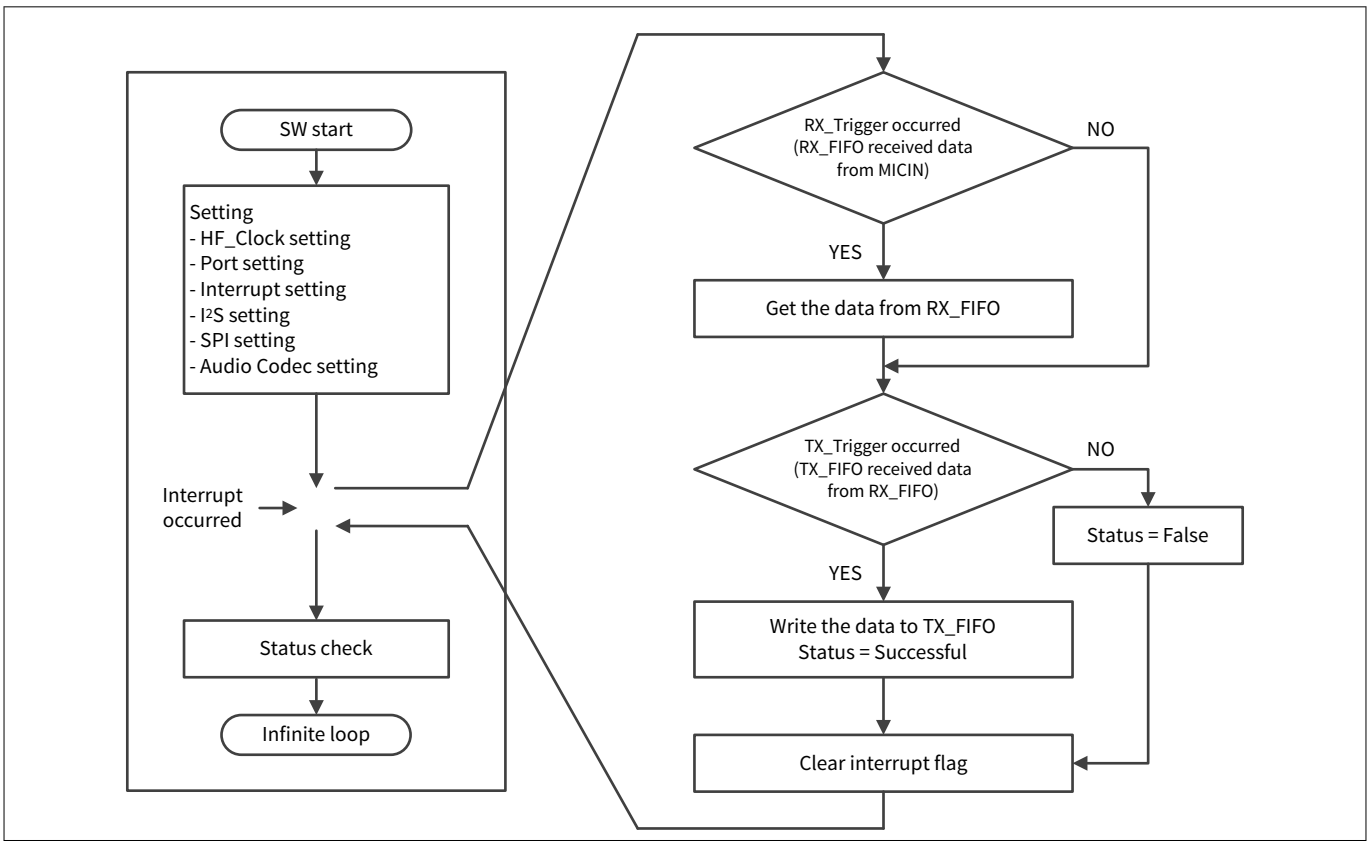

図 8 TX_FIFO へのデータ書込み

3.1 HF_Clock 設定

ここでは、使用可能なクロックについて説明します。

TRAVEO™ T2G ファミリは様々な高周波ルートクロック (CLK_HF) があります。各 CLK_HF にはデバイス上の宛先があります。この使用例では、I²S ブロックは 24.576 MHz に設定された CLK_HF[5] を使用し、48 kHz のサンプリングレート (詳細は 3.5 I²S 設定を参照) を生成します。

以下は、HF_Clock 設定に必要な設定手順です。

- I²S は HF_CLK5 を使用します。
  (HF_CLK5 = 24.576 MHz)
- SCB5_SPI1 は HF_CLK2 を使用します。
  1. HF_CLK2 を有効にします。
  2. SCB5_SPI のクロック分周を設定します。
     - 選択した IP ブロックにプログラマブル分周器を割り当てます。
     - 周波数と分周数を設定します。(周波数が定義されていることを確認)
     - 選択された分周器を有効にします。

詳細については、architecture reference manual の Clock Subsystem 章を参照してください。

3.2 ポート設定

SCB5_SPI を使用した TLV320AIC26 のレジスタをアドレス指定して、次の手順に従って SPI および I²S ポート設定を構成します。

- SPI インタフェースポートの構成
  - SCB5_SPI_MISO
  - SCB5_SPI_MOSI
  - SCB5_SPI_CLK
  - SCB5_SPI_SELECT1
- I²S TX インタフェースポートの構成
  - AUDIOSS0_TX_SCK
  - AUDIOSS0_TX_WS
  - AUDIOSS0_TX_SDO
- I²S RX インタフェースポートの構成
  - AUDIOSS0_RX_SCK
  - AUDIOSS0_RX_WS
  - AUDIOSS0_RX_SDI

ポートのドライブモード, 割込みマスク, およびポート設定でのエッジ検出については、architecture reference manual の IO Subsystem 章を参照してください。

3.3 割込み設定

ここでは、必要な割込みについて説明します。

- SCB5_SPI 割込み
- I²S 割込み

I²S 割込みのベクタ番号, 優先順位, ベクタアドレス, および割込みの有効/無効の設定については、architecture reference manual の Interrupt 章を参照してください。

3.4 SPI 設定

外部デバイス TLV320AIC26 は SCB5_SPI を経由し MCU と通信します。MCU は SPI マスタモードとして動作します。

すべての TLV320AIC26 の制御レジスタは標準の SCB5_SPI を経由しプログラムされ、ビットレートは 125000 Hz に設定されています。

SCB5_SPI の設定については architecture reference manual の Serial Communications Interface 章を参照してください。

3.5 I²S 設定

I²S ブロックは標準の I²S フォーマット, LJ フォーマット, および TDM フォーマットをサポートします。この使用例では、I²S は標準の I²S フォーマットを使用します。また、I²S 経由の受送信データバイト数は各反復で 96 です。

図 9 に I²S の設定方法を示します。

3 設定手順

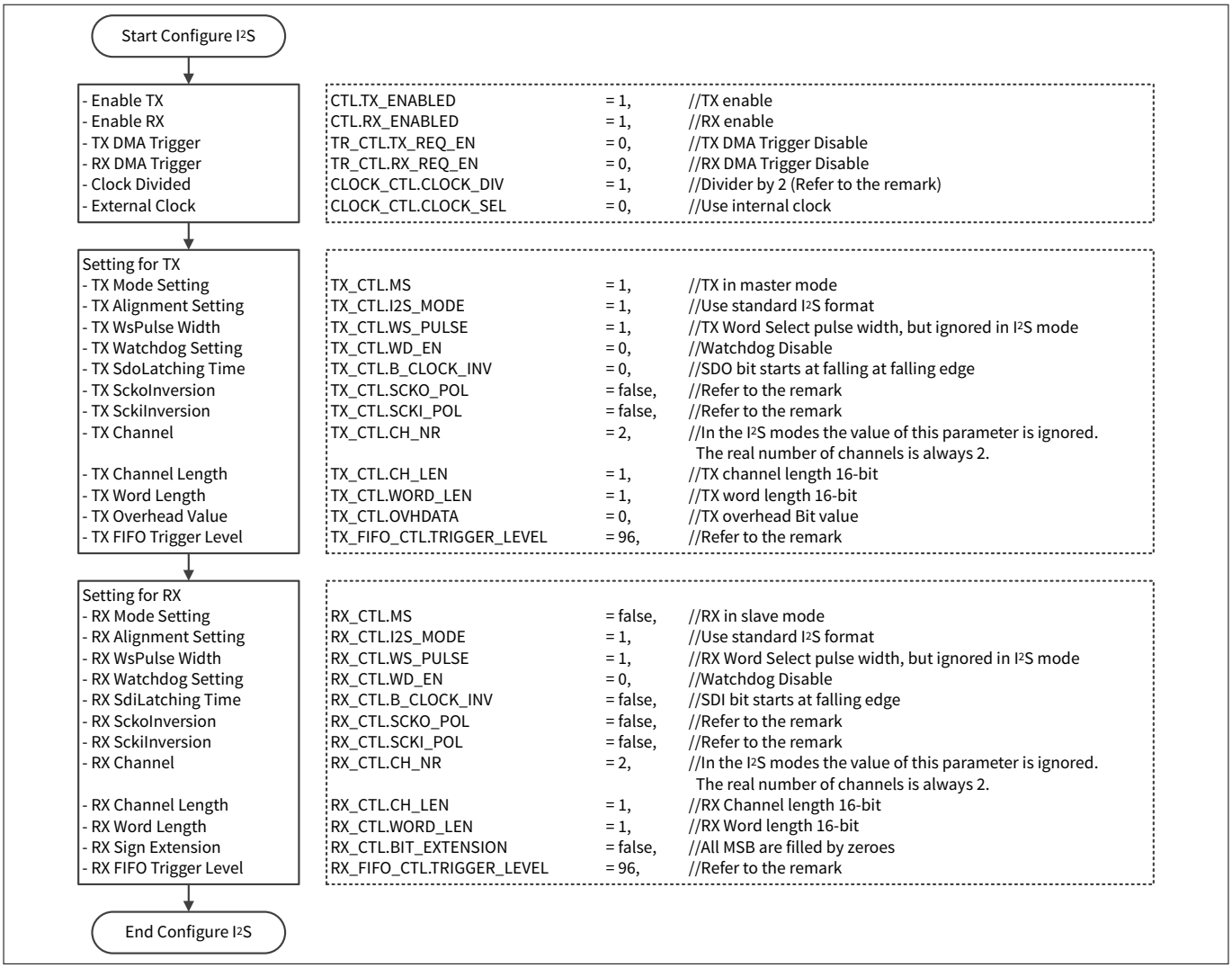

図 9　　I²S の設定例

- CLOCK_CTL.CLOCK_DIV = 1
  このクロック分周器は内部 I²S マスタクロック (MCLK_SOC) の生成に使用します。
  I²S デバイスは 24.576 MHz の HF_CLK[5] を使用し、サンプリングレートは 48 kHz に設定します。
  式は以下のとおりです。

$$\frac{\text{Input Clock}}{8 \times CLOCK_{DIV} \times Bitsize} = Sampling\ Rate$$

  ここで、
  8 はセカンドステージ分周器で定数です。
  値を代入すると、

$$\frac{24.576\text{MHz}}{8 \times CLOCK_{DIV} \times 32} = 48 \quad kHz$$

  したがって、$CLOCK_{DIV}$ の値は 2 が導かれます。
  詳細については、architecture reference manual の Clock System 章を参照してください。
- TX_CTL.SCKO_POL = false

TX_CTL.SCKO_POL はトランスミッタコントロールの TX マスタビットクロックの極性を示します。

- 'false': トランスミッタがマスタモードの時、シリアルデータを立下りビットクロックエッジから送信
- 'true': トランスミッタがマスタモードの時、シリアルデータを立上りビットクロックエッジから送信

- TX_CTL.SCKI_POL = false

  TX_CTL.SCKI_POL はトランスミッタコントロールの TX スレーブビットクロックの極性を示します。

  - 'false': トランスミッタがスレーブモードの時、シリアルデータを立下りビットのクロックエッジで転送 (I^2S 規格に準拠)
  - 'true': トランスミッタがスレーブモードの時、シリアルデータを立上りビットクロックエッジで送信
- RX_CTL.SCKO_POL = false

  RX_CTL.SCKO_POL はレシーバコントロールの RX SCKO の極性を示します。

  - 'false': レシーバがマスタモードの時、シリアルデータを立上りビットクロックエッジでキャプチャ (I^2S 規格に準拠)
  - 'true': レシーバがマスタモードの時、シリアルデータを立下りビットクロックエッジでキャプチャ
- RX_CTL.SCKI_POL = false

  RX_CTL.SCKI_POL レシーバコントロールのスレーブビットクロックの極性を示します。

  - 'false': レシーバがスレーブモードの時、シリアルデータを立上りビットクロックエッジでサンプリング
  - 'true': レシーバがスレーブモードの時、シリアルデータを立下りビットクロックエッジでサンプリング
- TRIGGER_LEVEL = 96

  TRIGGER_LEVEL はトリガイベント条件の設定値です。
- TX_FIFO_TRIGGER_LEVEL ＝ 96

  TX FIFO にスタックされるデータ数が 1 から 96 の間にある場合、イベントトリガが生成されます。
- RX_FIFO_CTL.TRIGGER_LEVEL ＝ 96

  RX FIFO にスタックされるデータ数が 96 以上の場合、イベントトリガが生成されます。

インタフェースフォーマットの詳細については、architecture reference manual の Audio Subsystem 章を参照してください。

3.6 オーディオコーデック設定

ここでは、オーディオコーデックの設定方法について説明します。

図 10 にオーディオコーデックの ADC と DAC の設定例を示します。

3 設定手順

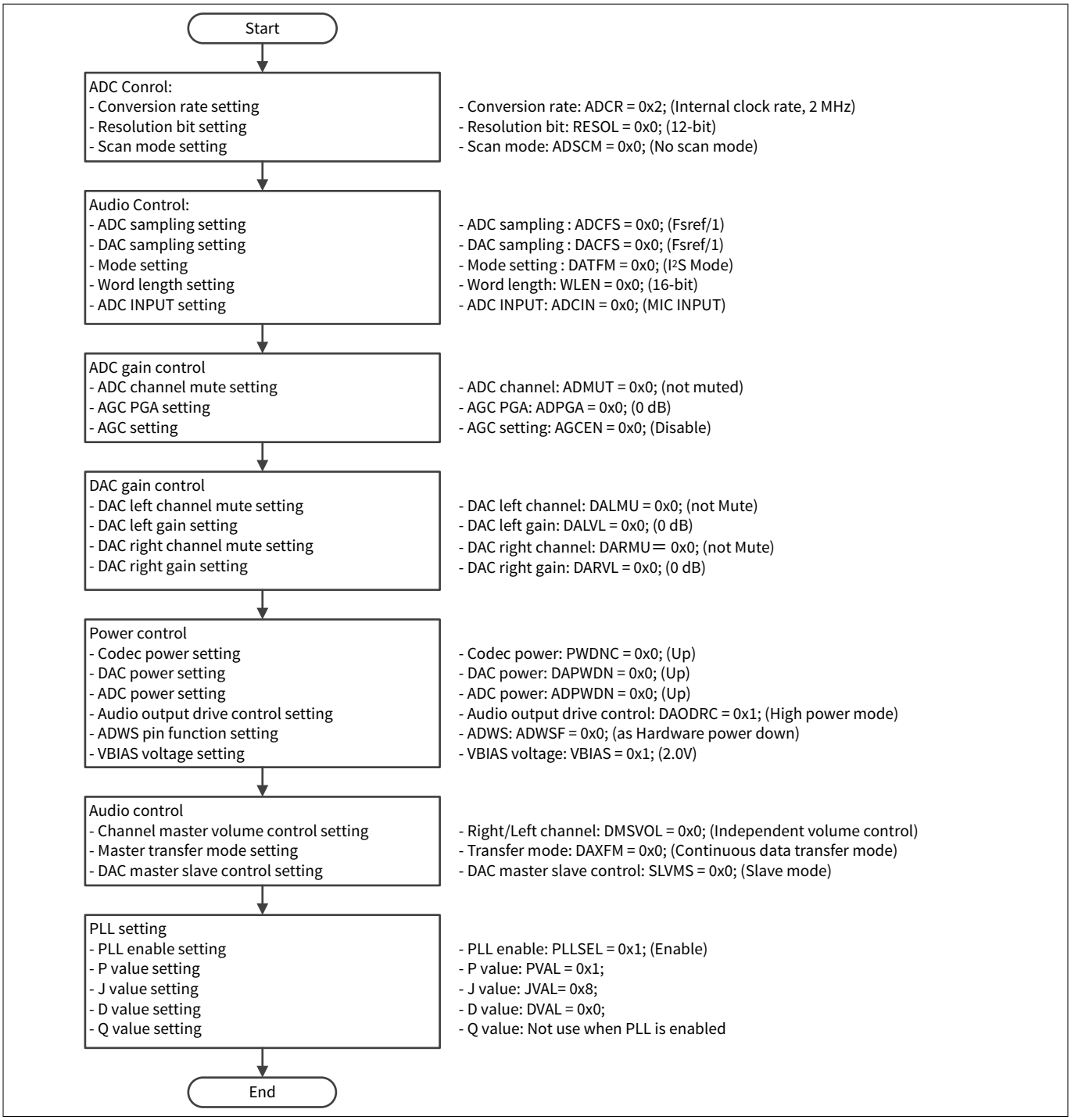

図 10　　ADC と DAC の設定例

オーディオコーデック設定の詳細については関連ドキュメントを参考してください。

3.6.1　　PLL 設定

PLL には参考サンプリングレート (Fsref) が必要で、39 kHz ~ 53 kHz の間に設定する必要があります。Fsref は REG-06H/Page2 コントロールレジスタにより設定できます。サンプリング レートの詳細については TLV320AIC26 データシートを参照してください。PLL が有効の場合、以下の公式を使用し、P, K, J, および D の値を計算します。

$$\text{Fsref} = \frac{MCLK \times K}{2048 \times P}$$

ここで、

P = 1, 2, 3 …, 8

K = J.D

J = 1, 2, 3, …, 64

D = 0, 1, 2, …, 9999

P, J, および D はレジスタにより設定可能です。J は、小数点の前の K の整数部分です。D は、小数点以下の K の 4 桁の小数部です (遅れゼロを含みます)。P, J, D は PLL に必要な値です。

図 10 では、MCLK は 12 MHz です。Fsref は 48 kHz で、PLL は有効です。したがって、値は次のように設定されます。

$$\text{Fsref} = \frac{MCLK \times K}{2048 \times P} = \frac{12000000 \times J.D}{2048 \times P} = 48000 \quad Hz$$

ここで、

P = 1

J = 8

D = 1920

K = 8.192

P, J, および D の値の妥当性は、以下で確認できます。

PLL が有効で D≠0 のとき、P は以下の条件が満たす必要があります。

$$10\ \text{MHz} \le \frac{MCLK}{P} \le 20\ MHz$$

式に値を追加後、条件は以下のようになります。

$$10\ \text{MHz} \le \frac{12MHz}{1} \le 20\ MHz$$

したがって、P = 1 は条件を満たしています。

以下は、K (= J.D)を設定するための条件です。

$$80\ \text{MHz} \le \frac{MCLK \times K}{P} \le 110\ MHz$$

式に値を追加した後、条件は次のようになります。

$$80\ \text{MHz} \le \frac{12MHz \times 8.192}{1} \le 110\ MHz$$

したがって、J = 8 および D = 192 は条件を満たしています。

3.7 割込みルーチン

図 8 は I²S の割込みルーチンを示します。

以下のレジスタを使用し、割込みの有無を確認します。

- レジスタ名: INTR_MASKED.RX_TRIGGER

割込みマスクレジスタです。レジスタ値が 1 の場合、RX トリガ割込みが発生したことを示します。

- レジスタ名: INTR_MASKED.TX_TRIGGER

割込みマスクレジスタです。レジスタ値が 1 の場合、TX トリガ割込みが発生したことを示します。

この使用例では、レジスタ INTR_MASKED.RX_TRIGGER の値が 1 の時、I²S は RX_FIFO からデータを読み出します。

レジスタ INTR_MASKED.TX_TRIGGER の値が 1、そしてステータスが Successful を示す時、I²S は TX_FIFO にデータを書き込みます。

意図しない割込みが発生した場合、ステータスは False を示します。
その後、割込みフラグをクリアして次の割込みを待ちます。

用語集

用語	説明
BCLK	オーディオビットクロック
DIN	オーディオデータ入力
DOUT	オーディオデータ出力
HPL	左チャネル音声出力
HPR	右チャネル音声出力
LRCK	オーディオ DAC ワードクロック
MCLK	マスタクロック
MICBIAS	マイクバイアス電圧
MICIN	マイク入力
MISO	SPI シリアルデータ出力 (マスタの時入力、スレーブの時出力)
MOSI	SPI シリアルデータ入力 (マスタの時出力、スレーブの時入力)
RX FIFO	受信側の FIFO
RX_SCK	I^2S 受信側シリアルクロック
RX_SDI	I^2S 受信側シリアルデータ入力
RX_WS	I^2S 受信側ワードセレクト
SCLK	SPI シリアルクロック入力
SS	SPI スレーブセレクト入力
TX FIFO	送信側の FIFO.
TX_SCK	I^2S 送信側シリアルクロック
TX_SDO	I^2S 送信側シリアルデータ出力
TX_WS	I^2S 送信側ワードセレクト
VGND	音声出力用のバーチャルグランド

関連ドキュメント

以下は、TRAVEO™ T2G ファミリのデータシートとテクニカルリファレンスマニュアルです。

1. **デバイス データシート**
   - CYT3BB/4BB datasheet 32-bit Arm® Cortex®-M7 microcontroller TRAVEO™ T2G family
   - CYT4BF datasheet 32-bit Arm® Cortex®-M7 microcontroller TRAVEO™ T2G family
   - CYT6BJ datasheet 32-bit Arm® Cortex®-M7 microcontroller TRAVEO™ T2G family (Doc No. 002-33466)
   - CYT3DL datasheet 32-bit Arm® Cortex®-M7 microcontroller TRAVEO™ T2G family
   - CYT4DN datasheet 32-bit Arm® Cortex®-M7 microcontroller TRAVEO™ T2G family
   - CYT4EN datasheet 32-bit Arm® Cortex®-M7 microcontroller TRAVEO™ T2G family (Doc No. 002-30842)
   - CYT2CL datasheet 32-bit Arm® Cortex®-M4F microcontroller TRAVEO™ T2G family
2. **Body controller high ファミリ**
   - TRAVEO™ T2G automotive body controller high family architecture reference manual
   - TRAVEO™ T2G automotive body controller high registers reference manual for CYT3BB/4BB
   - TRAVEO™ T2G automotive body controller high registers reference manual for CYT4BF
   - TRAVEO™ T2G automotive body controller high registers reference manual for CYT6BJ (Doc No. 002-36068)
3. **Cluster Entry ファミリ**
   - TRAVEO™ T2G automotive cluster 2D architecture reference manual
   - TRAVEO™ T2G automotive cluster entry registers reference manual for CYT2CL
4. **Cluster 2D ファミリ**
   - TRAVEO™ T2G automotive cluster 2D architecture reference manual
   - TRAVEO™ T2G automotive cluster entry registers reference manual for CYT3DL
   - TRAVEO™ T2G automotive cluster entry registers reference manual for CYT4DN
   - TRAVEO™ T2G automotive cluster 2D registers reference manual for CYT4EN (Doc No. 002-35181)
5. **サンプルソフトウェア**
   - テクニカルサポートにお問合せください。

以下は TLV320AIC26 のデータシートです。

1. TLV320AIC26: Low power stereo audio CODEC w/headphone/speaker amp and 12-Bit battery/ temperature/auxiliary ADC

以下は ASE シリーズのデータシートです。

1. ASE-12MHz-LC-T: Crystal Oscillator datasheet

改訂履歴

版数	発行日	変更内容
**	2019-09-27	これは英語版 002-24413 Rev.**を翻訳した日本語版 002-27780 Rev.**です。
*A	2021-10-14	テンプレートの変更を実施。これは英語版 002-24413 Rev.*A を翻訳した日本語版 Rev. *A です。
*B	2024-06-24	これは英語版 002-24413 Rev. *B を翻訳した日本語版 Rev. *B です。英語版の改訂内容:Template update; no content update.
*C	2026-03-10	これは英語版 002-24413 Rev. *C を翻訳した日本語版 Rev. *C です。英語版の改訂内容: Updated and fixed related to CYT6BJ.

Trademarks

All referenced product or service names and trademarks are the property of their respective owners.

Edition 2026-03-10

Published by

Infineon Technologies AG

81726 Munich, Germany

© 2026 Infineon Technologies AG

All Rights Reserved.

Do you have a question about any aspect of this document?

Email: erratum@infineon.com

Document reference
IFX-xti1685526708984

重要事項

本手引書に記載された情報は、本製品の使用に関する手引きとして提供されるものであり、いかなる場合も、本製品における特定の機能性能や品質について保証するものではありません。本製品の使用の前に、当該手引書の受領者は実際の使用環境の下であらゆる本製品の機能及びその他本手引書に記された一切の技術的情報について確認する義務が有ります。インフィニオンテクノロジーズはここに当該手引書内で記される情報につき、第三者の知的所有権の不侵害の保証を含むがこれに限らず、あらゆる種類の一切の保証および責任を否定いたします。

本文書に含まれるデータは、技術的訓練を受けた従業員のみを対象としています。本製品の対象用途への適合性、およびこれら用途に関連して本文書に記載された製品情報の完全性についての評価は、お客様の技術部門の責任にて実施してください。

警告事項

技術的要件に伴い、製品には危険物質が含まれる可能性があります。当該種別の詳細については、インフィニオンの最寄りの営業所までお問い合わせください。

インフィニオンの正式代表者が署名した書面を通じ、インフィニオンによる明示の承認が存在する場合を除き、インフィニオンの製品は、当該製品の障害またはその使用に関する一切の結果が、合理的に人的傷害を招く恐れのある一切の用途に使用することはできないこと予めご了承ください。