TRAVEO™ T2G ファミリマイコンのハードウェアデザインガイド

本書について

適用範囲と目的

本アプリケーションノートは、TRAVEO™ T2G MCU ファミリのハードウェア環境のセットアップ方法について説明します。

対象者

本アプリケーションノートは、ハードウェア設計者を対象とします。

関連製品ファミリ

TRAVEO™ T2G オートモーティブマイクロコントローラ

目次

本書について 1
目次 2
1 はじめに 6
2 パッケージ選択 7
2.1 QFN および LQFP 7
2.2 BGA および PBGA 7
3 電源供給 8
3.1 電源ドメイン 8
3.2 アナログ/デジタルコンバータ (ADC) 供給端子 8
3.3 異種電源供給 8
3.3.1 ADC 8
3.3.2 デバッガ接続 8
3.4 電源ドメインの電源 ON/OFF シーケンス 9
3.4.1 一般 9
3.4.2 外部コア電源 9
3.4.3 ADC 9
3.5 電源供給回路 10
3.6 外部コア電源制御 10
3.7 未使用の電源ドメイン 11
4 クロックシステム 12
4.1 クロックソース 12
5 PLL 13
5.1.1 例 13
6 リセット回路 14
6.1 リセット端子 (XRES) 14
6.2 電源供給監視 14
6.2.1 パワーオンリセット (POR) 14
6.2.2 ブラウンアウト検出 (BOD) 14
6.2.3 低電圧検出 (LVD) と高電圧検出 (HVD) 15
6.2.4 過電圧検出 (OVD) 15
6.2.5 過電流検出 (OCD) 15
6.2.6 ADC による電源ドメイン電圧の監視 15
6.3 ウォッチドッグリセット 15
7 ポートと電源以外の端子 16
7.1 ポート入力/未使用端子: 一般的な注意事項 16
7.1.1 解放端子接続 16
7.1.2 GND または電源への直接接続 16
7.1.3 内部プルアップ/ダウン抵抗による終端 16
7.1.4 外部プルアップ/ダウン抵抗による終端 16
7.2 専用ポート端子 17
7.3 AUTOSAR MCAL のポートピン設定 17
7.4 低電力モード時の端子 18
7.5 ラッチアップの考慮事項 (スイッチ) 18
7.5.1 解決策 A 21
7.5.2 解決策 B (推奨) 21
7.6 5 V トレラント入力端子 22
7.7 I/O ポート端子のリセット動作 22

目次

7.8 グリッジフィルタ処理 22
7.8.1 アナログフィルタ 22
7.8.2 デジタルフィルタ 22
7.9 モード端子 23
7.10 外部割込み入力端子 23
7.11 アナログ機能を共有する I/O ピンのクランプ構造 24
7.12 コア電圧用の外部電源 25
7.12.1 要件 25
7.12.2 “Enable” 制御ピンの駆動出力電流 25
8 フラッシュプログラミング接続 26
9 デバッグインタフェース 27
9.1 従来の 20 ピン IDC JTAG コネクタ 27
9.2 10 ピン Cortex®デバッグコネクタ 28
9.3 20 ピン Cortex® Debug + ETM コネクタ 28
9.4 終端抵抗 28
9.5 トレース幅 30
10 クロック出力機能 31
10.1 EXT_CLK ポート端子の使用 31
10.2 代替機能端子の使用 31
11 レイアウトおよび EMC (電磁場適合性) 32
11.1 概要 32
11.2 電源端子 32
11.3 グランドと電源 32
11.4 電源デカップリング 33
11.4.1 配置 33
11.4.2 I/O ドメイン 35
11.5 水晶振動子の配置と信号配線 35
11.5.1 セットアップ 35
11.5.2 PCB 設計 38
11.5.3 水晶マッチング試験 39
11.6 部品配置 39
11.7 信号配線 39
12 温度に関する考慮事項 40
13 ADC 42
13.1 アナログ入力のフィルタ設計に関する考慮事項 42
13.1.1 取得の原則 42
13.1.2 サンプル時の精度 42
13.1.3 サンプル時間の充電プロセス 43
13.1.4 C_{EXT} と C_{VIN} 間のチャージバランス 45
13.1.5 アナログソース V_0 によるアナログ入力の充電 46
13.1.6 フィルタケース: $C_{EXT} > 2^r * C_{VIN}$ 46
13.1.7 ディスクリート RC フィルタ 48
14 アセンブリおよびパッケージ関連の PCB 設計 49
15 ビデオインタフェース 50
15.1 FPD-Link 50
15.1.1 信号ピンの設定 50
15.1.2 パワードメイン VDD_PLL 50
15.1.3 未使用のポートピンの扱い 50

目次

15.1.4 未使用の電源ドメインの扱い....50
15.2 PLL 電源 RGB インタフェース....50
15.2.1 信号ピンの構成....50
15.3 MIPI....51
15.3.1 信号ピンの設定....51
15.3.2 未使用のポートピンの扱い....51
15.3.3 未使用の電源ドメインの扱い....51
16 オーディオ DAC....52
16.1.1 実装と機能....52
16.1.2 電源ドメインフィルタ....53
16.1.2.1 ローパスフィルタの計算....54
16.1.3 未使用のオーディオ-DAC....56
16.1.4 スピーカー出力でのポップノイズの回避....56
17 まとめ....58
18 略語....59
19 Appendix A - 電源コンセプト....61
19.1 はじめに....61
19.2 用語定義....61
19.3 CYT2B シリーズ (QFN および LQFP パッケージ)....62
19.4 CYT3B/4B/6B シリーズ (TEQFP パッケージ)....65
19.5 CYT3B/4B/6B シリーズ (BGA パッケージ)....69
19.6 CYT3D シリーズ (TEQFP パッケージ)....72
19.7 CYT4D シリーズ (BGA パッケージ)....76
19.8 CYT4E シリーズ (BGA パッケージ)....80
19.9 CYT2C シリーズ (LQFP パッケージ)....85
20 Appendix B - アナログ電源....87
21 Appendix C - 発振器のレイアウト....88
21.1 QFP パッケージ....88
21.2 BGA パッケージ....89
22 Appendix D – アクティブレギュレータの突入電流....90
23 Appendix E - 未使用の電源ドメイン処理....92
23.1 はじめに....92
23.2 CYT2B シリーズ....93
23.3 CYT3B/4B/6B シリーズ....94
23.4 CYT3D シリーズ....96
23.5 CYT4D シリーズ....98
23.6 CYT4E シリーズ....100
23.7 CYT2C シリーズ....102
24 Appendix F – 電源フィルタの特性....104
25 Appendix G – アナログ機能を共有する I/O ピンのクランプ構造....105
25.1 はじめに....105
25.2 CYT2B および CYT3B/4B/6B シリーズ....106
25.3 CYT3D シリーズ....107
25.4 CYT4D シリーズ....108
25.5 CYT4E シリーズ....109
25.6 CYT2C シリーズ....110
26 関連ドキュメント....111

目次

改訂履歴 113
免責事項 114

1 はじめに

本書は TRAVEO™ T2G MCU ファミリのハードウェア環境のセットアップ方法について記述します。

MCU の信号配線と電源システムに関する設計上の制約と推奨条件が考慮されています。デバイス機能と関連する設定の詳細は、関連ドキュメントセクションにある TRAVEO™ T2G architecture technical reference manual (TRM) および専用のデータシート を参照してください。

このアプリケーションノートは FAQ も記載していますが、設計者の責任を置き換えるものではありません。

2 パッケージ選択

はじめに、設計に使用するパッケージを決定します。以下の事項を考慮し決定します。

- 必要な I/O 端子数
- PCB と製品サイズ
- PCB 設計ルール
- 熱や機械ストレス等

このデバイスファミリは、効率的で費用対効果の高いソリューションにより、さまざまなニーズに対応する非常に多くのデバイスがあります。パッケージングソリューションは、超小型ウェハスケールパッケージから多ピンのボールグリッドアレイ (BGA) パッケージまで多岐にわたります。Leaded quad flat pack (LQFP) は低層数で低コストの PCB 上でのレイアウトを容易にします。例えば、LQFP パッケージオプションは、48 ピン デバイスから 176 ピン デバイスまで用意されています。

以下にいくつかのパッケージの選択基準を示します。

2.1 QFN および LQFP

- 部品下のオープンエリアと大きいピッチのため信号配線が容易です。
- 機械的な剛性が低く、振動や機械的ストレスに対して保護が強化されています。
- デメリット: 大きいパッケージサイズと低い熱伝導 (θJA) です。

2.2 BGA および PBGA

- 多ピンで大きいリードピッチを提供する小型パッケージは、高密度 I/O デバイスの製造の複雑さを大幅に軽減します。BGA パッケージは以下の要求があるアプリケーションで使用されます。
  - 終端が短く、低インダクタンスと低抵抗による高速な回路動作
  - 高い放熱性
- ステンシル印刷や部品実装など従来の表面実装 (SMT) の製造技術を使用できます。
- ピッチ (1.27 mm, 0.050", Typ), リード剛性, およびセルフアライメント特性によって堅牢なリフロー処理が可能です。リフロー中のセルフアライメントは有益で、大幅にプロセスウィンドウを拡大します。
- デメリット: 半田接合部検査のために X 線が必要です。

3 電源供給

3.1 電源ドメイン

MCU 電源システムは、アナログ電源とデジタル電源に分離されています。単一の電源システムの場合、すべての電源を 3.3 V から 5 V の電圧に接続してください。アナログ電源に 5 V (すなわち $V_{DDA} = V_{REFH}$)、MCU ポートピン V_{DDIO} に 3.3 V など、異なる電源電圧が必要な場合、専用のデバイスデータシート [18]の動作条件を参照してください。

消費電力の大きいアプリケーション向けに設計されたデバイスは、MCU の専用ピンによって制御する外部コア電源が必要です。Appendix A - 電源コンセプトも参照してください。

3.2 アナログ/デジタルコンバータ (ADC) 供給端子

リーク電流低減のため、ADC を使用しない場合でも、ADC 電源供給端子 (VDDA, VSSA, VREFH, およびオプションで VREFL) を接続してください。

3.3 異種電源供給

異なる電源が MCU に供給できますが、互いの依存関係を考慮する必要があります。電源ドメインはそれぞれ独立しています。

3.3.1 ADC

有効化されたアナログ入力は専用の I/O ドメインに属しています。アナログセンサの電圧レベルは、I/O ドメインの電源レベルと保護ダイオード構造によって制限されます。つまり、選択したアナログ入力のアナログ電源と I/O ドメインは、同じ電源電圧レベルである必要があります。Appendix G – アナログ機能を共有する I/O ピンのクランプ構造を参照してください。

3.3.2 デバッガ接続

デバッガツールと MCU の両方が通信可能な電源を選択してください。ハードウェア接続の詳細は、デバッグインタフェースを参照してください。

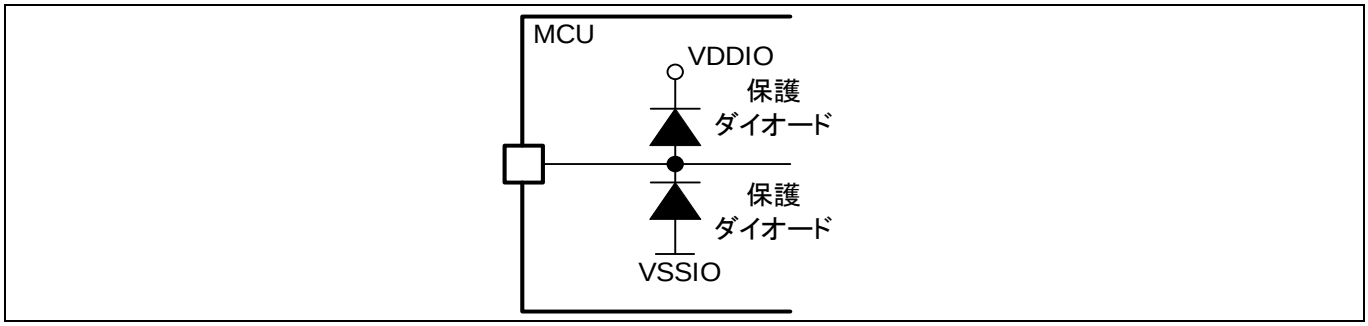


Figure 1 全 I/O 端子の保護ダイオード構造

3.4 電源ドメインの電源 ON/OFF シーケンス

MCU の電源レールに異なる電圧レベルを供給できます。したがって、多くのデバイスの電源では電源の ON/OFF シーケンスは不要です。V_{DDD} の電圧供給なしにアナログ電源 V_{DDA} が供給される場合、MCU 内部のリーク電流が発生する可能性があります。ただしポート出力は駆動されません。デバイスに電源シーケンスが必要な場合は、関連ドキュメントセクションにあるデバイスのデータシートを参照してください。

3.4.1 一般

- 関連する電源ドメインを無効にする前に、監視機能 (例えば LVD, BOD, ADC を介した内部電源監視) を無効にしてください。そうしないと、意図しないリセットまたは障害が発生する可能性があります。
- 電源ドメインを無効にする前に、低出力ピンに接続するか無効にしてください。
- 電源ドメインを無効にする前に入力バッファを無効にしてください。
- 電力シーケンス要件と電源ドメインの依存関係は、電力モード間で異なる場合があります。したがって、省電力モードでリーク電流を減らすためにドメインをオフにする必要がある場合は、省電力モードに遷移および復帰ための移行フェーズを慎重に検討してください。
- ECU 周辺機器は、電力モードの移行中に適切な状態にある必要があります。

3.4.2 外部コア電源

- MCU は内部電源モードで起動し、アプリケーションで外部コア電源を有効にする必要があります。したがって、外部コア電源で動作するデバイスの電源 ON/OFF シーケンスは同じです。電源 OFF 遷移では、外部コア電源は MCU によって無効化されます。

3.4.3 ADC

- アクティブモードでは、リーク電流は、(LP) アクティブおよびスリープ電力モードで VCCD> VDDA_ADC の場合にのみ発生します。
- ADC がこれらのドメインのサンプリング動作を開始しない場合、共有アナログ/デジタル入力を備えた多くの I/O ドメインは VDDA_ADC の後にランプアップできます。
- I/O ドメインがデジタル信号専用に展開されている場合、多くの I/O ドメインの電圧動作範囲も ADC の動作範囲とは異なる可能性があります。Appendix G – アナログ機能を共有する I/O ピンのクランプ構造を参照してください。
- アナログ多重化バス (AMUXBUS) を電力が供給されていないドメインにアドレス指定しないでください。

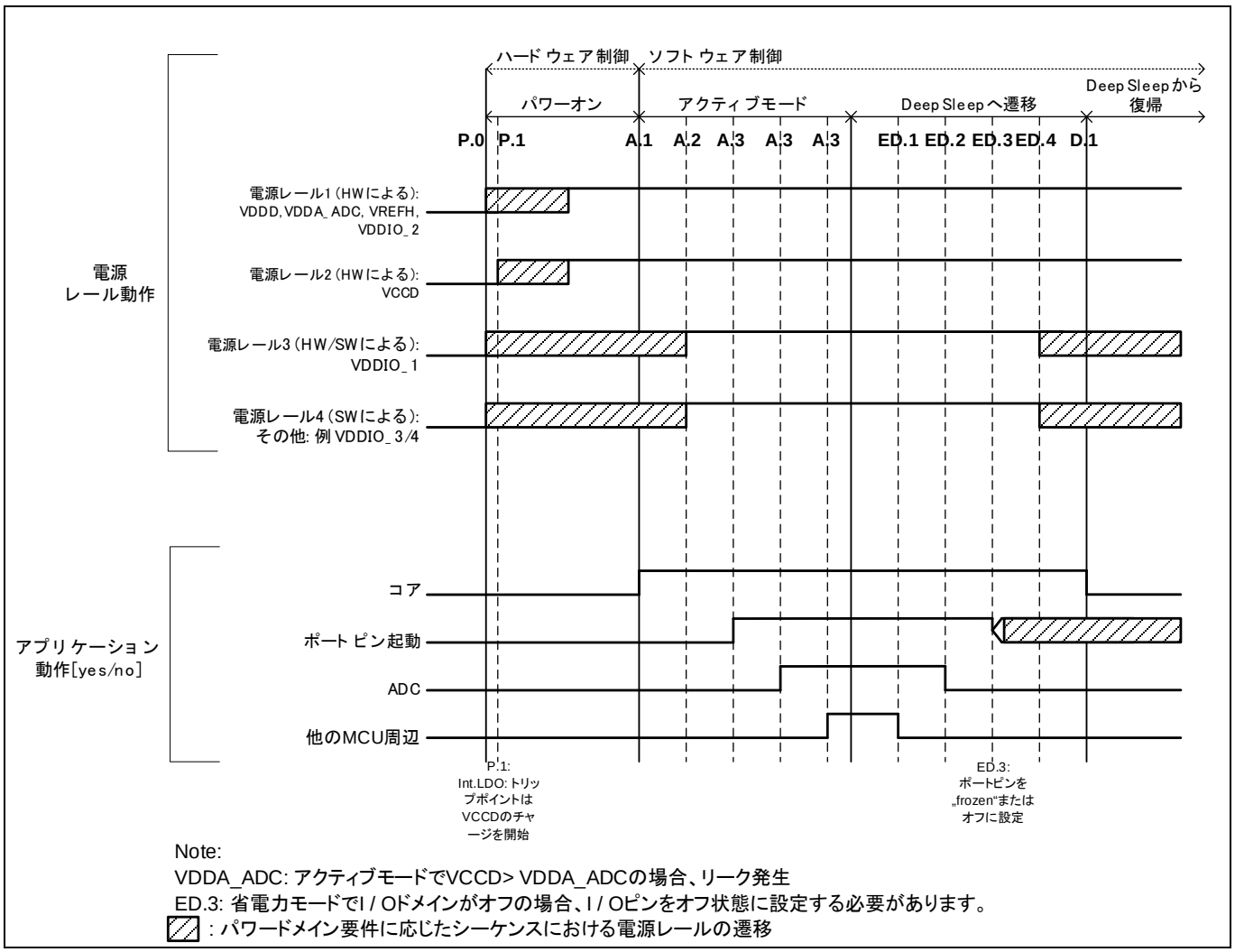


Figure 2 CYT4B シリーズ電源シーケンスの例

3.5 電源供給回路

ターゲットボードの EMC 必要条件を満たすために、ノイズ効率のよい電源バッファリングコンセプトが必要です。したがって、電源供給をフィルタリングする必要があります。アナログ電源のノイズを最小限に抑えるため、アナログとデジタル電源を分離することを推奨します。

別デバイスの電源コンセプトについては Appendix A - 電源コンセプトを参照してください。

3.6 外部コア電源制御

外部コア電源制御はこのドキュメントには含まれません。関連ドキュメントセクションでお使いのデバイスに関するアプリケーションノートを参照してください。

3.7 未使用の電源ドメイン

未使用の電源ドメインは通常、アプリケーションのライフサイクル全体で電源ドメインに関連する永続的なオフ状態と見なされます。ただし、一部の常時オンではない電源ドメインが省電力モードのままである場合は、未使用ドメインの一時的な状態も発生する可能性があります。専用ドメインの I/O ポートピンの処理方法の詳細については、ポート入力/未使用端子: 一般的な注意事項を参照してください。

一般に、未使用ドメインの主な分類は次のとおりです。

- **永続的な未使用ドメイン**: アプリケーションでは必要ありません
- **一時的な未使用ドメイン**: 省電力モードでは無効

さまざまなデバイスの詳細については、Appendix E - 未使用の電源ドメイン処理を参照してください。

Note: 原則として、接地できない未使用の電源ドメインでは、大きなバイパスコンデンサを取り外し、小さなデカップリングコンデンサ(decaps) を残せます。ただし、パワーコンセプトでの他の共有する電源ドメインにもバイパスコンデンサが使用されているかを確認する必要があります。

デバイスのデータシートに未使用の電源ドメインに関する情報が見つからない場合は、インフィニオンサポートに連絡してください。

4 クロックシステム

MCU はシステム必要条件に従い、いくつかのクロックソースを提供します。Table 1 に MCU システムで使用可能なクロックソースと MCU 内部クロックシステムへの接続事例を示します。

4.1 クロックソース

Table 1 クロックソース

クロックソース	発振器	内部/外部	ポート端子名(外部のみ)	周波数	トリミング可否	使用事例
Internal main oscillator (IMO)	あり	内部	-	8 MHz	あり	LIN Responder [1]
Internal low-speed oscillator (ILO)	あり	内部	-	32 kHz	あり	-
External crystal oscillator (ECO)	あり	外部	ECO_IN ECO_OUT	4 MHz から 33.33 MHz	あり	CAN 通信
Watch crystal oscillator (WCO)	あり	外部	WCO_IN WCO_OUT	32.768 kHz	なし	Watch
Low power external crystal oscillator (LPECO) [2]	あり	外部	LPECO_IN LPECO_OUT	4 MHz から 8 MHz	なし	Watch
EXT_CLK pin [3]	なし	外部	オプションで複数ピンに割当て	Note [4]	-	試験
Ethernet PHY および MAC の基準クロック	あり	外部	ETHn_REF_CLK	50 MHz	-	Ethernet: RMII
				125 MHz	-	Ethernet: GMII, RGMII

[1] デバイスデータシートの仕様に従い、IMO クロックは、同期の有無にかかわらず、LIN Responder に使用できます。

[2] LPECO は CYT4D シリーズでのみ使用可能です。

[3] このポート端子は双方向で外部クロックソースまたは内部クロックのモニタとしても使用できます。

[4] データシートの外部クロック入力仕様を参照してください。

5 PLL

PLL によって、入力基準クロック (F_{ref}) に基づいたより高い周波数を出力できます。PLL の主な構成を Figure 3 に示します。公称ターゲット周波数とジッタなどアプリケーション要件に応じて PLL は、さまざまなモード[5]があります。

- 整数
- 分数
- スペクトラム拡散クロック生成 (SSCG)

選択したモードに応じて、位相検出器の周波数 (F_{pfd}) には許容周波数範囲があります。これは、外部クロックソース (例えば、水晶発振器など) の公称周波数の選択にも影響します。

5.1.1 例

複数の PLL は、共通のクロックソースとして外部水晶発振器を共有し、以下のモードが適用されます。

PLL#A: 整数モード: F_{pfd} = 4〜20 MHz

PLL#B: 分数モード: F_{pfd} = 8〜20 MHz

結果: 水晶発振器は最小 8 MHz でなければいけません。

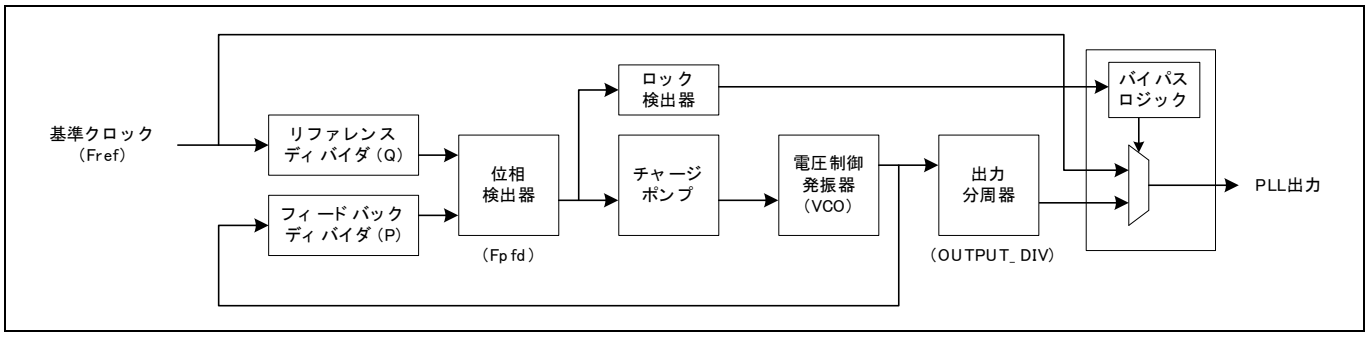


Figure 3 PLL の主な構成ブロック図

[5] 各設定の詳細については、対応する architecture TRM を参照してください。

6 リセット回路

仕様範囲内での MCU 動作のため、リセット入力端子(XRES 端子)を経由した外部リセット信号または内部リセット信号を生成できます。内部リセット回路の実装は、ハードウェア設計に比べいくつかの利点があります。

- 外部モニタ IC 削除による BOM コストの削減
- 外部から監視できない MCU 内部の仕様範囲外動作の検出 (例えば MCU 内部の電圧降下)

アプリケーションの要件によって、外部監視またはリセット IC が必要な場合があることに注意してください。

6.1 リセット端子 (XRES)

スイッチはリセット入力端子を VSSIO (グランド) に接続します。BOM コストを下げるために、内部プルアップ抵抗および最小 100 ns の内部ノイズフィルタを使用できます。フィルタリングに外部コンデンサを追加する場合、EMC 条件を満たすことを確認してください。満たさない場合、ESD 試験パルスによって MCU 内の ESD 保護構造が破壊される可能性があります。

リセット端子の詳細は、データシートを参照してください。

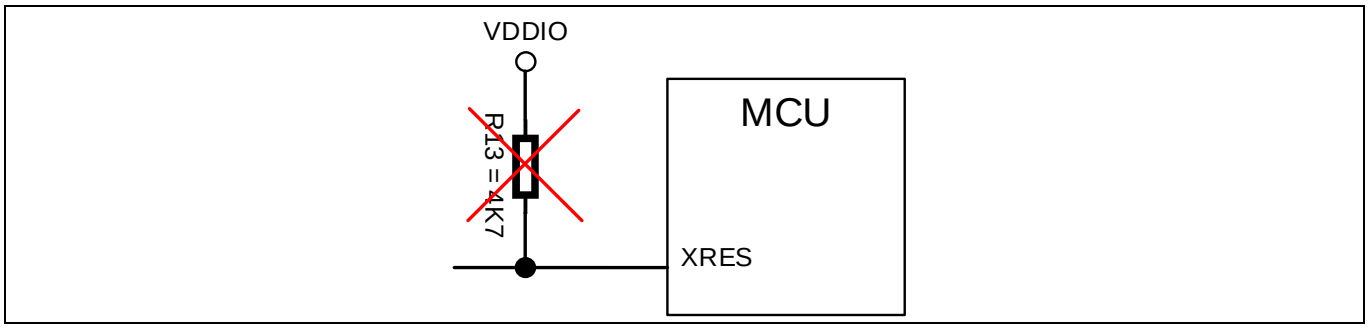


Figure 4 外部リセット入力 (XRES)

6.2 電源供給監視

MCU が動作範囲を逸脱しないために、MCU は広範囲の電源モニタ回路を提供します。詳細については、関連ドキュメントセクションにあるデバイスの architecture TRM とデータシートを参照してください。

6.2.1 パワーオンリセット (POR)

パワーオンリセット (POR) 回路は、最初の電源立上げ時に、リセットパルスを生成します。V_{DDD} 電源のみ監視します。

6.2.2 ブラウンアウト検出 (BOD)

ブラウンアウト検出 (BOD) 回路は、デバイスリセットを発行し、動作または保持回路を安全でない電源状態から保護します。V_{DDD}, V_{DDA}, および V_{CCD} 電源に BOD 回路は提供されます。モニタする電源の 1 つが低電圧を検出するとリセットが発生します。この回路は、バッテリ電源の不意の電圧降下を検出するために必要です。

6.2.3 低電圧検出 (LVD) と高電圧検出 (HVD)

BOD 回路がリセットを生成する前に、低電圧検出 (LVD) と高電圧検出 (HVD) によって警告を生成できます。トリップポイント (検出レベル) の設定によって、安全対策のために割込みを生成できます。この回路は早い変化を監視できます。

6.2.4 過電圧検出 (OVD)

過電圧検出(OVD)回路は、V_{CCD}, V_{DDD}, または V_{DDA} が許容最大電圧を超えた場合にデバイスリセットを発生します。このコンセプトは BOD 回路の逆です。

6.2.5 過電流検出 (OCD)

過電流検出回路は V_{CCD} 電源の電流をモニタし、レギュレータの負荷電流が期待値より大きいことを検出します。電流がレギュレータ制限を超えた場合、OCD 回路はデバイスを保護するためリセットを生成します。

6.2.6 ADC による電源ドメイン電圧の監視

ADC は、複数の電源とグランドをモニタできます。リセットに代わり対応する ADC は、割込みのみを生成します。CPU 負荷軽減のため、レンジ検出機能を有効にしてクリティカル範囲に入ったときに割込みのみを生成できます。パッドは、Figure 5 に示すように、複雑なマルチプレクサ構造によって選択できます。この機能の詳細については、関連ドキュメントセクションにある architecture TRM の *Analog Subsystem > SAR ADC > Reference buffer*、および *Resources subsystem (SRSS) > Voltage monitoring > Voltage monitoring by ADC* を参照してください。

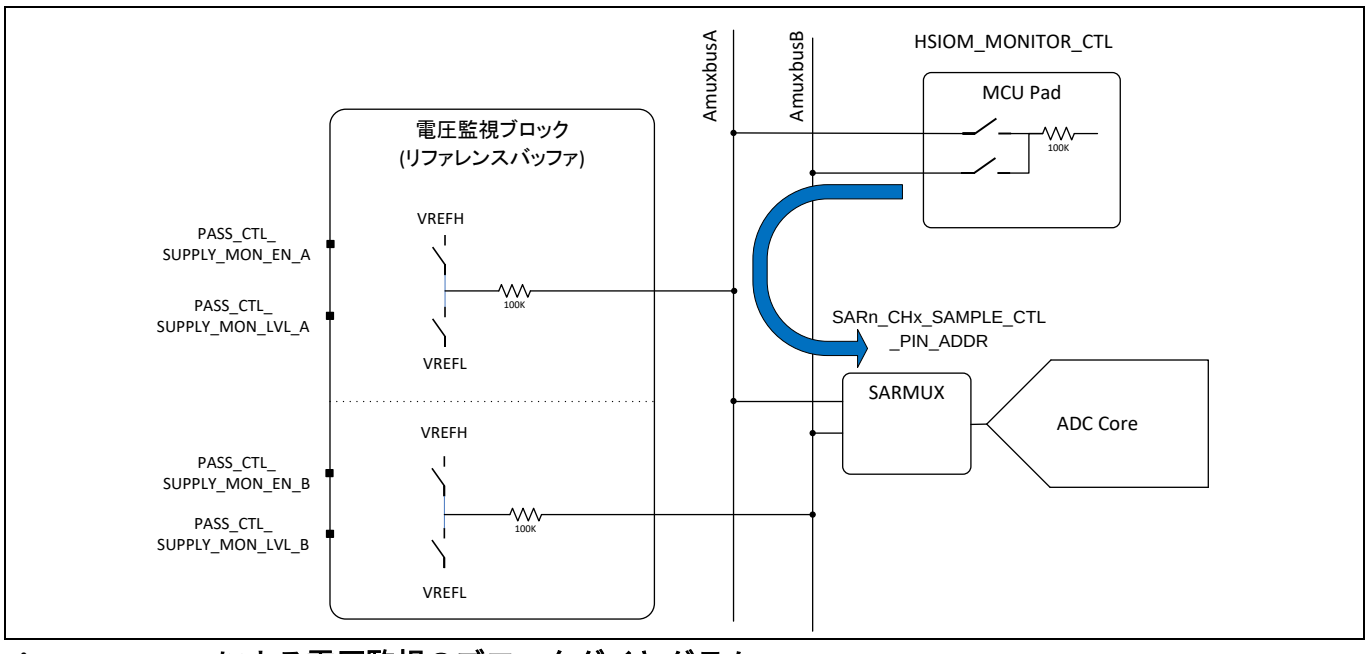


Figure 5 ADC による電圧監視のブロックダイヤグラム

6.3 ウォッチドッグリセット

MCU の内部ウォッチドッグタイマ (WDT) は幅広い機能をサポートします。WDT 回路は、ハイバネート電源モードでも動作可能です (関連ドキュメントセクションにある architecture TRM の「Device power modes」を参照してください)。

7 ポートと電源以外の端子

7.1 ポート入力/未使用端子: 一般的な注意事項

ここでは、未使用端子のさまざまな取扱いと MCU 動作での利点と欠点について説明します。一般に、未使用端子は入力フローティングによる端子構造のラッチアップ原因となる可能性があります。

7.1.1 解放端子接続

POR 中および POR 後のデフォルト状態では、I/O 端子は入力バッファをディセーブルしハイインピーダンス (high-Z) アナログ状態になります。この利点は終端抵抗を使用した場合と比べて MCU の消費電力を低くかつ BOM コストを削減できます。欠点として、アセンブリオプションの間、端子配線が長くなり、その信号配線はアンテナとしてノイズを取り込んでラッチアップの原因になる場合があります。

7.1.2 GND または電源への直接接続

電源トレースがピンへのアンテナとして作用し、取り込まれたノイズがラッチアップ効果を引き起こす可能性があるため、I/O 端子を GND または電源に直接接続しないでください。

7.1.3 内部プルアップ/ダウン抵抗による終端

未使用端子がボード設計 (追加機能の長い配線) によってラッチアップの危険がある場合、内部プルアップ/ダウン抵抗を使用して入力端子を終端してください。

利点は、外部終端抵抗を設けるよりも低消費電流で BOM コストを削減できます。欠点として、リセット後にポート端子状態を設定する必要があります。したがって、外乱 (電源供給, クロック問題等) に起因するリセットの場合、内部の終端は無効となり、システムは再度ラッチアップの危険にさらされます。

長い配線でない未使用端子の場合、この方法を選択できます。一般に、低電力モードに入る時、端子状態 (イネーブルされたプルアップまたはプルダウン抵抗) は変更しないことを考慮する必要があります。外部抵抗のために、内部終端は常に有効でなければなりません。

7.1.4 外部プルアップ/ダウン抵抗による終端

内部抵抗による終端の代わりに外部終端抵抗を未使用 I/O 端子に配置できます。端子に配線される解放信号の場合、ノイズに対してデバイスリセットの間でも安全に終端できます。2.2 kΩ から 10 kΩ の抵抗値を使用できます。ただし、複数の未使用端子を 1 つの終端抵抗に接続しないでください。未使用 I/O 端子が意図せず異なる出力レベルを駆動すると、I/O 端子は永久故障する場合があります。

7.2 専用ポート端子

専用 MCU ペリフェラルの場合、未使用の I/O 処理が明示的に考慮されます。これらのほとんどの場合、ラッチアップ (LU) の危険を回避するために、電源ドメインピンを含む MCU ペリフェラル全体を考慮する必要があります。電源ドメインピンの詳細については、未使用の電源ドメインを参照してください。

Table 2 未使用の専用 I/O ピンの取扱い

MCU ペリフェラル	電源ドメイン	I/O ピン	I/O 機能 [IN/OUT]	ピンの I/O 取扱い (接続先)
MIPI	VDDA_MIPI	MIPI_DPx x: 0/1/2/3	IN	ピン接続オープン
	VDDA_MIPI	MIPI_DNx x: 0/1/2/3	IN	ピン接続オープン
	VDDA_MIPI	REXT	IN	ピン接続オープン (外部 15 kΩ 削除)
FPD	VDDA_FPD	FPD_TxP x: A/B/C/D	OUT	ピン接続オープン
	VDDA_FPD	FPD_TxN x: A/B/C/D	OUT	ピン接続オープン
オーディオ DAC	VDDA_DAC	C_L, C_R	IN	GND (モノラル音の場合: 未使用部分のピン接続オープン)
		DAC_L, DAC_R	OUT	
REGHE/PMC コントローラー	VDDD (常時 ON)	DRV_OUT	OUT	ピン接続オープン

7.3 AUTOSAR MCAL のポートピン設定

AUTOSAR の Microcontroller abstraction layer (MCAL) は、自動車アプリケーション向けに開発されたソフトウェアで使用されるマイクロコントローラのローレベルドライバーです。したがって、PORT モジュールを使用したポートピン構成は MCAL の一部です。

MCU へのポートピン設定が間違っている場合、考えられるリスクは次のとおりです。

- I/O 構造が破壊される
- 省電力モードでの追加の漏れ電流
- ラッチアップ

したがって、特にラッチアップのリスクに関しては、ソフトウェアポートピンの構成を、未使用の I/O ピン (ポート入力/未使用端子: 一般的な注意事項を参照) および未使用の I/O 電源ドメイン (未使用の電源ドメインを参照) をハードウェア要件に常に準拠させてください。これは、電力が供給されない I/O ドメインを未使用の電源ドメインと見なす必要があるソフトウェア制御の電力シーケンス手順にも関連します。

MCAL PORT モジュールでは、対応するアプリケーションサイクル内のさまざまなユースケースに応じて、PortContainer で毎回ポートピンを設定できます。専用の PortContainer によって明示的に設定されないすべてのポートピンは、PortDefaultContainer に従って暗黙的に設定されます。`Port_Init()`API は、PortContainer の明示的な設定 (ピンが設定される場合) または PortDefaultContainer の暗黙的な設定 (ピンが PortContainer で設定されない場合) のいずれかに従い、派生デバイスのすべてのピンを設定します。

PortPinDirection=PORT_PIN_IN 設定は、ピンを入力として設定し、入力バッファを有効にします。ピンが不要な場合 (つまり、出力も入力も不要)、ピンは PortPinDirection=PORT_PIN_OUT, PortPinOutputDrive=PORT_PIN_OUT_MODE_HIGHZ, および PortPinOutputInBufEnable=FALSE に設定する必要があります。これは PortDefaultContainer の推奨設定の 1 つですが、重要なのは I/O ピンのラッチアップハードウェア要件に準拠することです。

7.4 低電力モード時の端子

低電力モードで可能な限り低消費電流を実現する場合、I/O ピンの電流消費を考慮する必要があります。低電力モード応じて、設定状態と最後の出力状態が固定されます。入力ピンの場合、MCU の休止電流が大幅に増加するため、入力レベルのフローティングにすることは禁止されます。入力ピンをウェイクアップピンとして使用する場合、ピンが内部や外部のプルアップまたはプルダウン抵抗によって終端されている仮定の元で構成を変更しないでください。低電力モードで入力ピンが不要な場合、入力バッファをディセーブルしハイインピーダンス入力に設定できます。さまざまな低電力モードの詳細は、関連ドキュメントにリストされる architecture TRM と対応するアプリケーションノートを参照してください。

7.5 ラッチアップの考慮事項 (スイッチ)

一般に、スイッチを押すと信号が振動し、MCU ポート端子を破壊する可能性があります。対策として、デバウンスコンデンサを設けます。ポート端子に接続したデバウンスコンデンサと共に外部スイッチを V_{CC} または GND に接続してください。

Figure 6 に一般的な構成を示します。

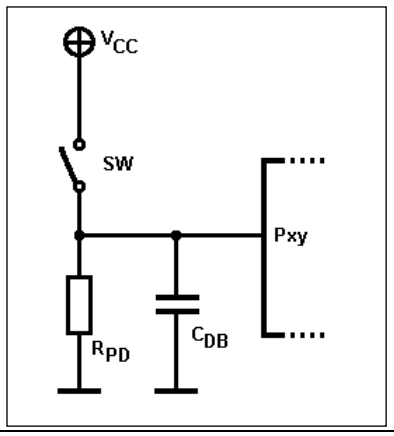


Figure 6 スイッチ回路原理

R_{PD} はプルダウン抵抗、C_{DB} はデバウンスコンデンサです。スイッチ (SW) がオープンの時、ポート端子 Pxy には”0” が読み出せます。スイッチが閉じた場合は ”1” が読み出せます。

ケーブル, ワイヤ, または回路パスによってスイッチが MCU から物理的に離れた場所に配置される場合は考慮が必要です。回路パスが長いほどインダクタンス LX (およびキャパシタンス CX) は高くなります。

Figure 7 に等価回路を示します。

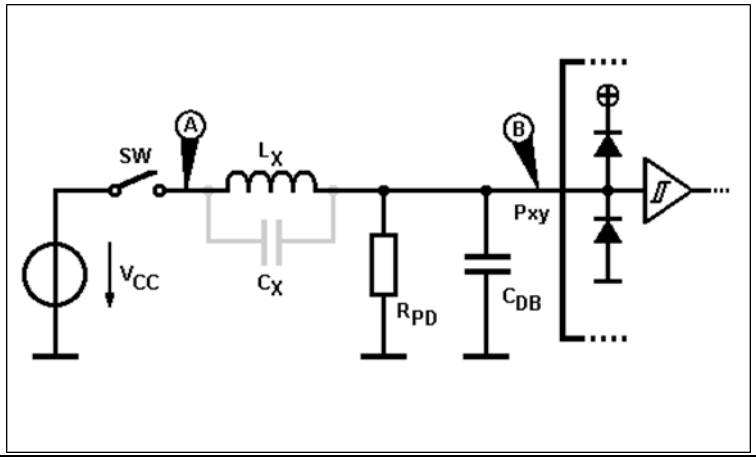


Figure 7　スイッチ回路原理の等価回路

時間 t_0 でスイッチを閉じることによって、ポイント(A)の電圧は Figure 8 に示すように観測されます。

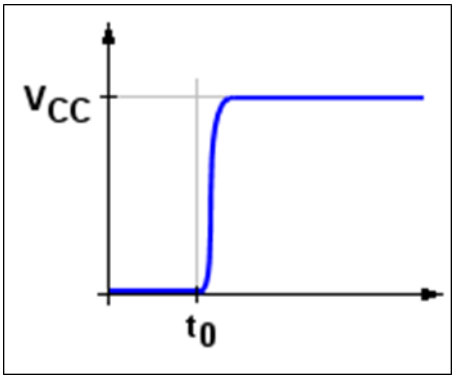


Figure 8　ポイント(A)でのスイッチを閉じてからの信号立ち上り

しかし、ポイント(B)のポート端子 Pxy では、Figure 9 に示すような、電圧が観測されます。

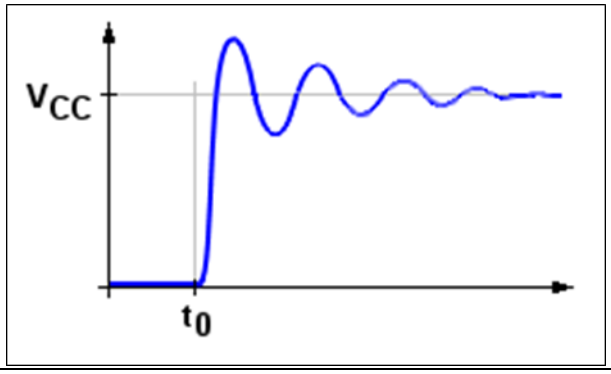


Figure 9　ポイント(B)でのスイッチを閉じてからの信号立ち上り

スイッチを閉じると、回路は配線インダクタンス L_x, デバウンスコンデンサ C_x, プルダウン抵抗のダンピング R_{PD} を持つ並列発振器になります (内部抵抗のない理想的な電源と仮定します)。

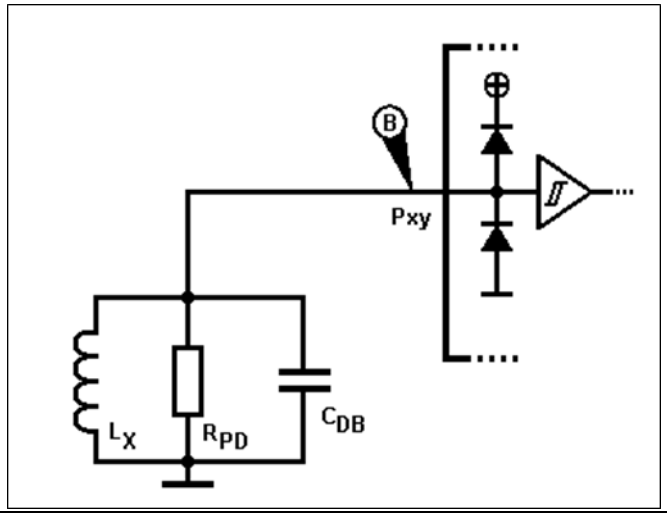


Figure 10　スイッチを閉じている時の等価回路

R_{PD} は、高い値 (> 50 kΩ) を選択されることが多く、その減衰効果は弱くなります。

この弱く減衰した振動は、Figure 11 の赤色部分に示すようにポート端子 (観測ポイント B) でオーバシュートを引き起こします。

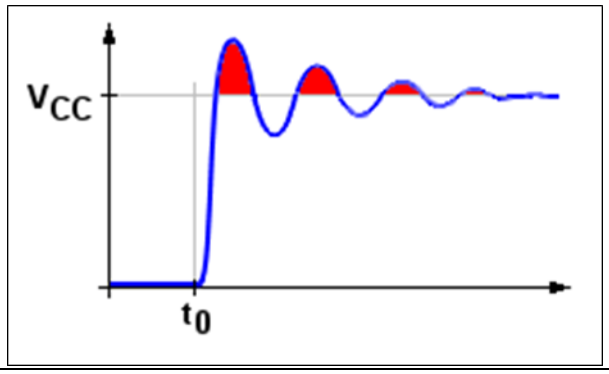


Figure 11　スイッチを閉じた後のポート端子の信号オーバシュート

このオーバシュートによって内部電源に接続された内部のクランプダイオードが導通状態となり、ポート端子に内部ラッチアップを引き起こす場合があります。スイッチがオープンとなった場合も同様です。この場合、ポート端子上にアンダシュートが発生します。

振動の周波数は、以下で計算できます。

$$f_{OSC} = \frac{1}{2\pi\sqrt{L_X C_{DB}}}$$

Equation 1

インダクタンス L_X は、PCB 上の配線ルートと配線長に依存します。

ラッチアップを防止するために 2 つの解決策があります。

7.5.1 解決策 A

デバウンスコンデンサの容量を小さくします。発振周波数を高くすることでオーバシュートの全体的なエネルギーが小さくなります。

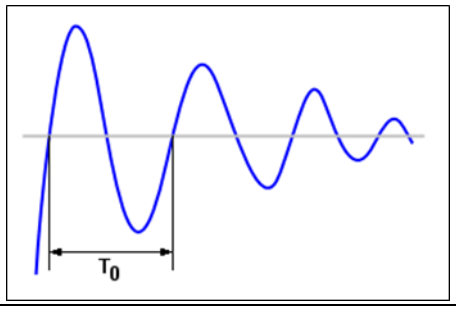


Figure 12 大容量時の端子上のバウンス信号

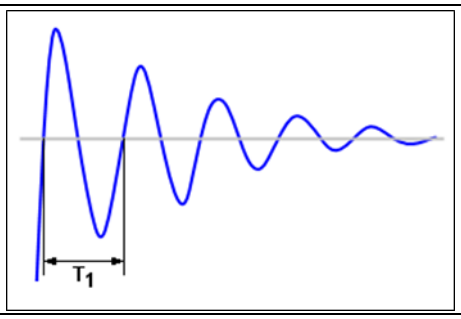


Figure 13 小容量時の端子上のバウンス信号

この解決策には 2 つの欠点があります。デバウンス効果の低下およびラッチアップが解消されない場合があります。

7.5.2 解決策 B (推奨)

Figure 14 で示すようにポート端子にシリーズ抵抗 (R_S) を使用します。

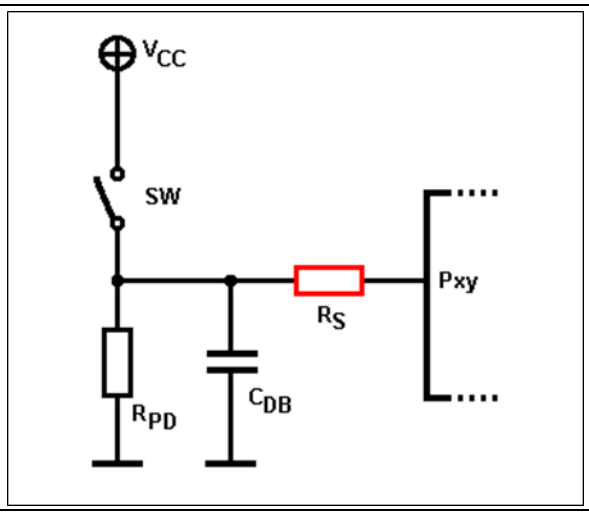


Figure 14 シリーズ抵抗による推奨スイッチ回路

シリーズ抵抗 R_s は、振幅とはじめの電圧オフセットを低減します。大き過ぎる抵抗値を選択しないでください。抵抗値が大きい場合、ポート端子入力電圧 (V_P) は、専用ポート端子 (例えば CMOS/TTL/Automotive レベル) の High 入力レベル閾値を下回る場合があります。

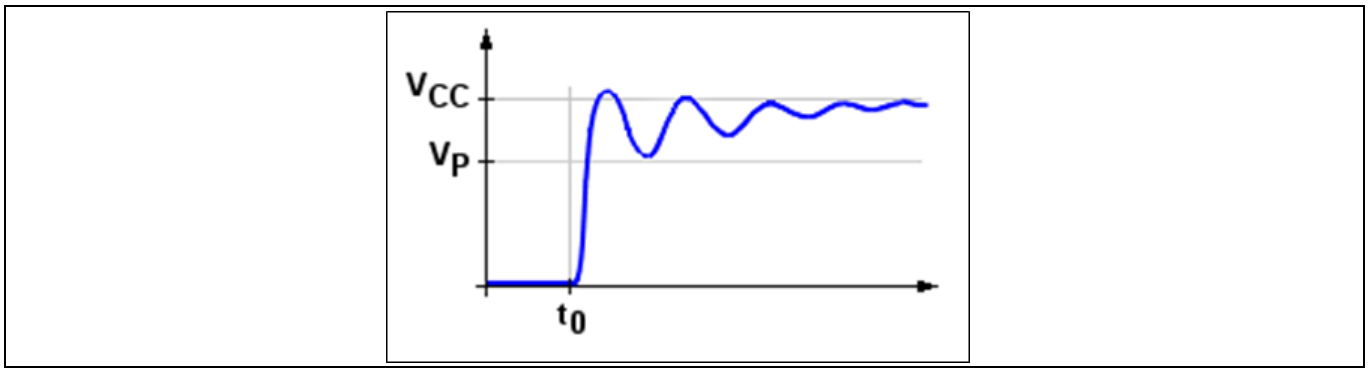


Figure 15　シリーズ抵抗による信号バウンスの低減

7.6　5 V トレラント入力端子

対応する I/O ドメインの電圧供給が小さい場合 (例えば 3.3 V)、MCU には 5V トレラント入力ピンはありません。5 V の I^2C バスシステムを展開し、V_{DDIO} に 3.3 V が供給される場合は、MCU ピンのラッチアップ効果を避けるために外部レベルシフタの追加が必要です。

7.7　I/O ポート端子のリセット動作

POR 中および POR 後に、すべての GPIO はハイインピーダンスアナログ状態になり、入力バッファはディセーブルされます。実行中に、GPIO は関連レジスタへの書込みによって設定できます。デバッグアクセスポート (DAP) 接続は、コード実行開始後のみディセーブルまたは汎用使用のために設定変更できます。

7.8　グリッジフィルタ処理

MCU には内部グリッジフィルタオプションがあります。グリッジフィルタはすべてのポート端子で使用できないため、ウェイクアップ端子の割当てには注意が必要です。ウェイクアップ端子を割り当てる前に、データシートで使用可能なグリッジフィルタ数を確認してください。

7.8.1　アナログフィルタ

すべてのポートグループには DeepSleep モードで動作可能な 1 つのアナログフィルタがあります。AC 特性の詳細は、データシートを参照してください。

7.8.2　デジタルフィルタ

I/O システムのスマート I/O モジュールは専用ポートに 1 つのデジタルフィルタを実装できます。DeepSleep モードでは、内部低速発振器 (ILO) と外部水晶発振器 (ECO) のいずれかをクロックソースとして選択できます (クロックシステム参照)。これは最小フィルタ期間が 30 µs 以下であることを意味します。さらにクロックが動作するため消費電流も増加します。詳細な情報は、関連ドキュメントセクションにある architecture TRM の「smart I/O, I/O system」を参照してください。

外部フィルタに関するラッチアップ考慮についてはラッチアップの考慮事項 (スイッチ)を参照してください。

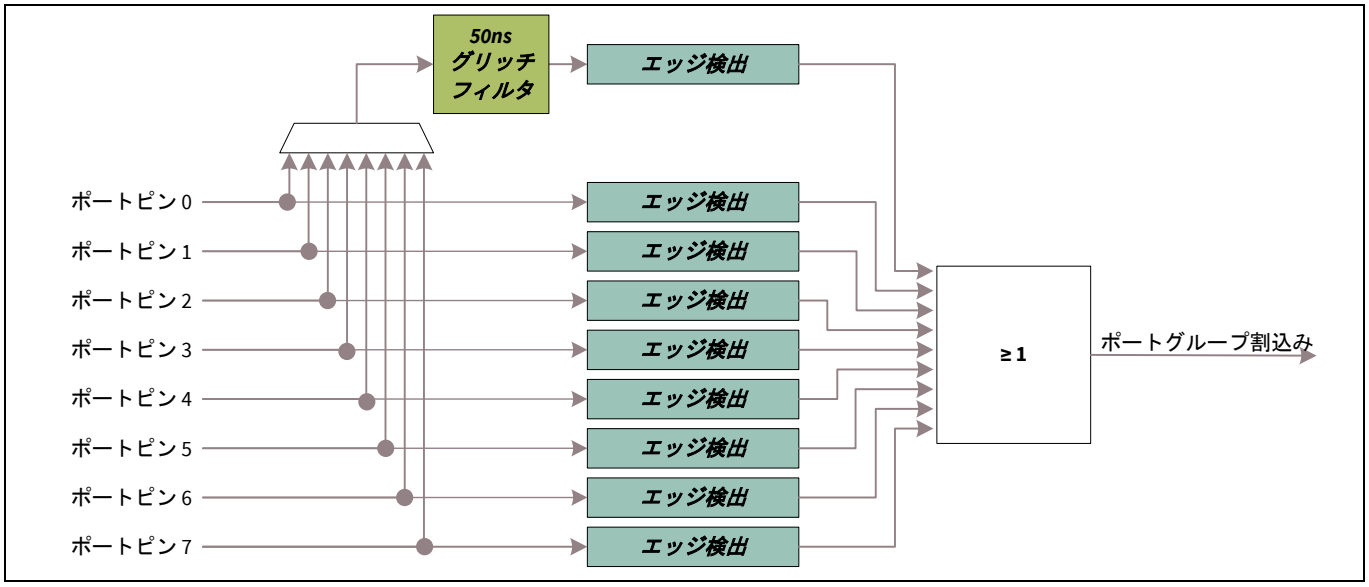


Figure 16　ポートグリッジフィルタと割込み構造

7.9　モード端子

MCU をプログラミングまたは通常動作モードに変更する専用のモードピンはありません。

7.10　外部割込み入力端子

一般に外部割込みは、すべての汎用 I/O (GPIO) ポート端子のエッジ検出によって使用可能です。グリッジフィルタリングの使い方についてはグリッジフィルタ処理を参照してください。

Table 3 は、さまざまな電力モードでのウェイクアップソースを示します。電力モードの詳細は、対応する TRM の「System resources subsystem (SRSS)」、および「Device power modes」を参照してください。

Table 3　各電力モードでの外部割込み/ウェイクアップサポート

ボード端子機能	各電力モードでの外部割込み/ウェイクアップ			
	アクティブ	スリープ	Deepsleep	ハイバネート
GPIO	Yes	Yes	Yes	-
専用周辺 [6]	Yes	Yes	Yes	Yes
WAKEUP [7]	-	-	-	Yes

[6] 関連ドキュメントの architecture TRM およびデータシートを参照してください。

[7] WAKEUP 機能は一部の端子のみサポートされています。

7.11 アナログ機能を共有する I/O ピンのクランプ構造

各アプリケーションで共通の供給レベルを持つ必要がある電源ドメインを特定することが重要です。Figure 17 と Appendix G – アナログ機能を共有する I/O ピンのクランプ構造に、クランプ構造の概要と、専用電源ドメインでアナログ入力機能を使用した場合の影響を示します。専用電源ドメイン (PD) のポートピンがアナログ入力として適用される場合、ドメインの電圧レベルはアナログ電源 (VDDA_ADC) と同じか、それ以下である必要があります。Appendix G – アナログ機能を共有する I/O ピンのクランプ構造は、特別な使用例を示します。

ADC ユニットが使用されるとすぐに、展開された SARMUX に電力供給もされる必要があります。例えば、SARMUX[1]のアナログ入力 AN[1]_x が ADC[0]ユニットによって使用される場合、SARMUX[0]の I/O 電力ドメインは関係ありません。SARMUX は、外部 (例えば、AN [x]) ピンと内部アナログセンシング (例えば、VCCD) パスを提供することに注意してください。結果として、対応する I/O 電源ドメインは VDDA_ADC と同じ電圧レベルを持つ必要があります。

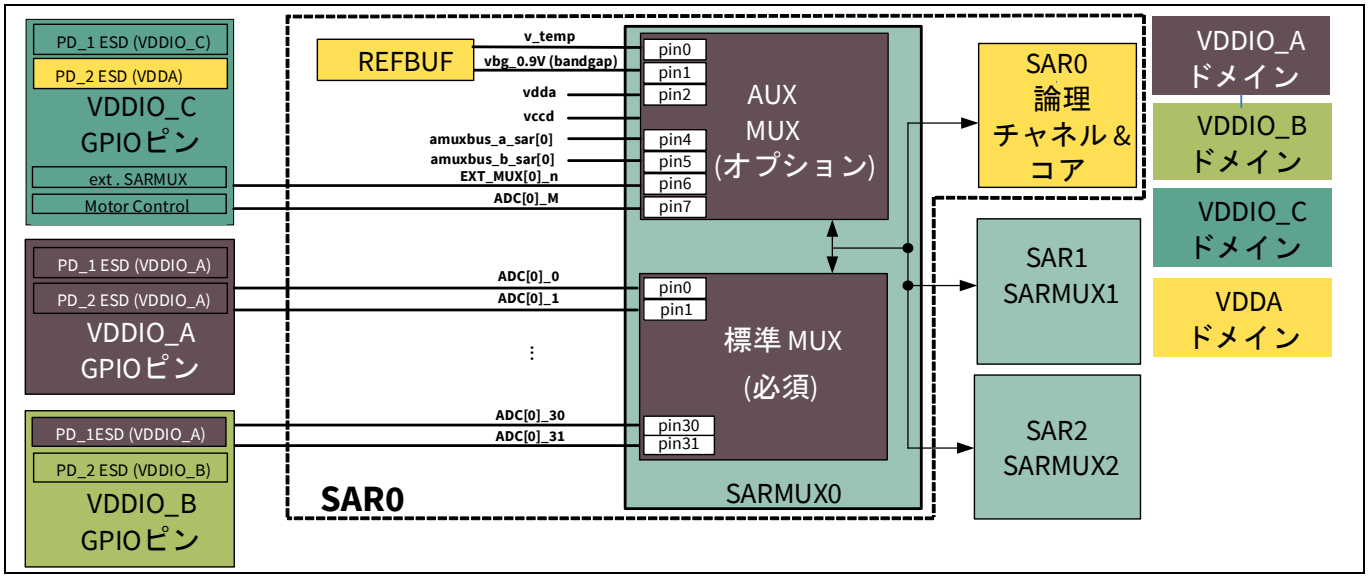


Figure 17 電源ドメイン

一般

- 通常、展開される I/O ドメイン PD_1 も PD_2 と同じですが、場合によって PD_2 に例外があります。
- PD_1 が PD_2 と比較して異なる電源ドメインである場合、電源ドメインの依存関係 PD_1≤PD_2 は特に関係があります。
- VDDA_ADC が PD_3 のみにあり、ピン入力がアナログ入力として動作を開始していない限り、PD_1 と PD_2 は VDDA_ADC より大きくなる可能性があります。電源ドメインの電源 ON/OFF シーケンスも参照してください。

Note: 専用 I/O ドメインと ADC 電源の電源レール電圧レベルの実装は、デバイスのデータシートに記載される他の電源シーケンス要件に準拠している必要があります。
また、アナログ機能を使用する場合は、各 SARMUX の I/O 電源ドメインに注意する必要があります。デバイスのデータシートには、SARMUX にどの電源ドメインが供給されているかが説明されています。「絶対最大定格」、「デバイス レベルの仕様」、または「アナログペリフェラル」のセクションを参照してください。通常は、次のように指定されます。「ADC[0]が有効な場合、VDDIO_1 は 0.8 × VDDA より大きくなければいけません」。つまり、VDDD は SARMUX0 I/O 電源ドメインです。「SARMUX0 が有効な場合、VDDIO_GPIO>=0.8 × VDDA です。」

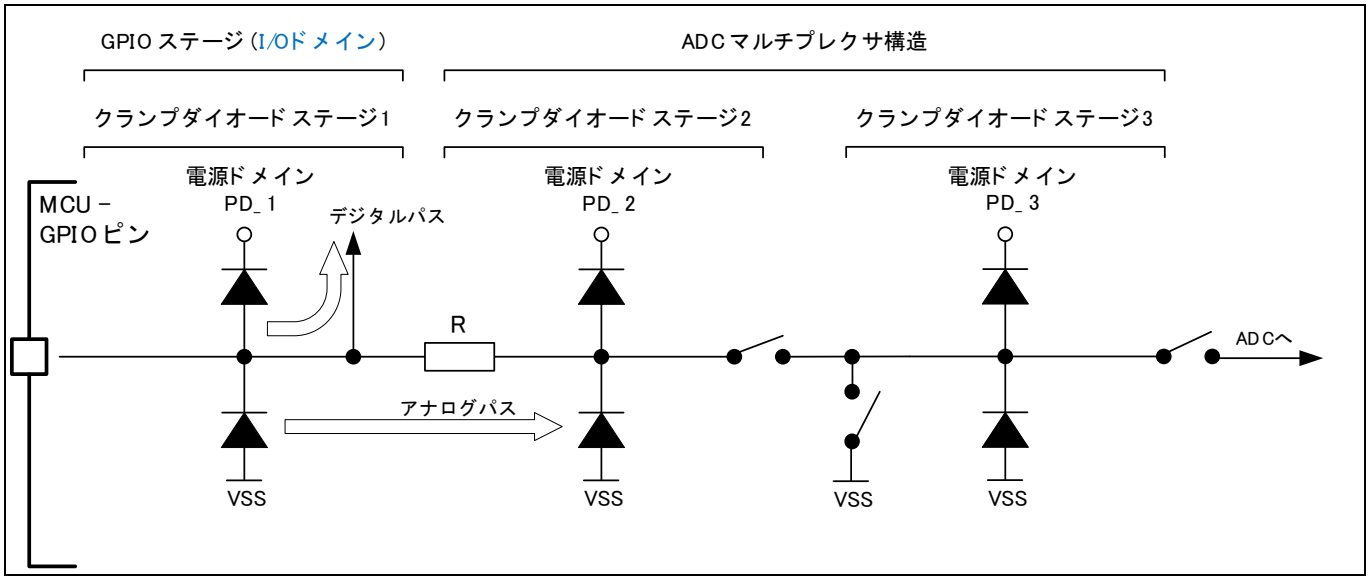


Figure 18　アナログ機能を共有する I/O ピンのクランプ構造

デバイス固有の情報については、Appendix G – アナログ機能を共有する I/O ピンのクランプ構造を参照してください。

7.12　コア電圧用の外部電源

7.12.1　要件

- コア消費電流が 300mA 未満のアプリケーションは、MCU 内部 LDO で実行できます。
- コア消費電流が 300mA を超えるアプリケーションには、コア電圧用の外部電源が必要です。

DC/DC コンバータの技術的要件とその使用方法の詳細については、関連ドキュメントに記載されている AN226698 を参照してください。

Note: AN226698 では、DC/DC コンバータは PMIC と呼ばれますが、コア電圧レギュレーションの処理のみが考慮されます。

7.12.2　“Enable” 制御ピンの駆動出力電流

外部 DC/DC コンバータの Enable (EN) 入力ピンを制御するために、MCU の専用出力制御ピンを使用できます。標準の GPIO ピンと比較して、絶対最大駆動電流は非常に制限されます。したがって、電流制限のために、直列抵抗が必要です。直列抵抗がない場合、この MCU 制御ピンが恒久的に損傷する可能性があります。電気的仕様については、関連ドキュメントにあるデバイスデータシートを参照してください。

8 フラッシュプログラミング接続

フラッシュプログラミングは JTAG/SWD 接続により可能です。このため、パワーオンリセット後にデバイスをプログラミングモードに変更するためのモードピンはありません。デバッグ接続の情報はデバッグインタフェースを参照してください。フラッシュブートローダーの統合された製品として、量産プログラミング用に専用の LIN と CAN チャネルを使用するオプションもあります。詳細については、関連ドキュメントにある AN227076 を参照してください。

9 デバッグインタフェース

デバッグシステムを MCU に接続する方法として、デバッグ要件とツールチェーンサポートによって、いくつかのオプションがあります。以下はデバッグコネクタです。

- 従来の 20 ピン IDC JTAG コネクタ
- 10 ピン Cortex®デバッグコネクタ
- 20 ピン Cortex®デバッグ + ETM コネクタ

これらすべてのコネクタにおいて、JTAG と SWD 信号は共有されます。両者の違いとして、serial wire debug (SWD) プロトコル信号を青字で示しています。インタフェース信号の詳細は、CoreSight Components Technical Reference Manual の 11 章を参照してください。概要を Table 4 に示します。

Note: 各製品の Debug/Boundary Scan ピンが属する電源ドメインについては、以下の Appendix ページを参照してください。
CYT2B シリーズのデバッグ/バウンダリスキャンピンが属する電源ドメイン
CYT3B/4B/6B シリーズのデバッグ/バウンダリスキャンピンが属する電源ドメイン
CYT3D シリーズのデバッグ/バウンダリスキャンピンが属する電源ドメイン
CYT4E シリーズのデバッグ/バウンダリスキャンピンが属する電源ドメイン
CYT4D シリーズのデバッグ/バウンダリスキャンピンが属する電源ドメイン
CYT2C シリーズのデバッグ/バウンダリスキャンピンが属する電源ドメイン

Table 4 SWD および JTAG インタフェースの概要

項目	JTAG	SWD
ピン数	4	2
機能	プログラミング デバッグ バウンダリスキャン	プログラミング デバッグ
トポロジ	デイジーチェーン型	スター型
追加機能	該当なし	デバッグ情報の出力

9.1 従来の 20 ピン IDC JTAG コネクタ

従来の JTAG インタフェースはフラッシュプログラムとデバッグに使用されます。JTAG 信号 RTCK は MCU では使用できません。加えて、SWD 信号が共有できます。

Note: JTAG インタフェースとして 20 ピン 2.54 mm ピッチ IDC コネクタで終端します。(例: Hirose HIF3FC-20PA-2.54DSA)

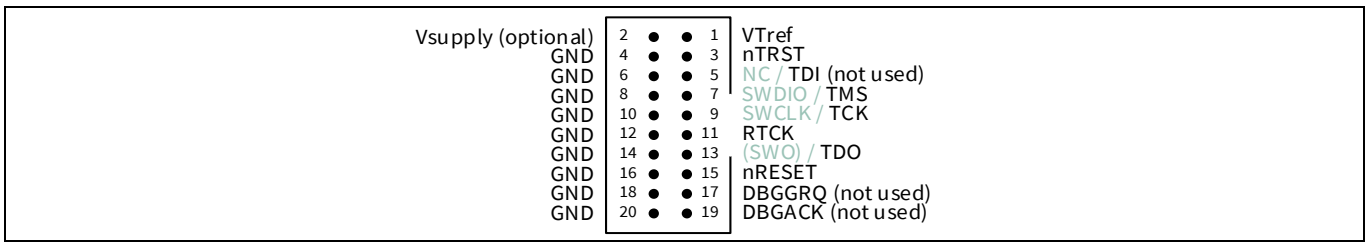


Figure 19 従来の 20 ピン IDC JTAG コネクタ

9.2 10 ピン Cortex®デバッグコネクタ

SWD デバッグインタフェースを使用するために、デバッグのため必要最小限の信号で 10 ピン MIPI コネクタを定義します。JTAG インタフェース信号は、双方向データ信号 (SWDIO) とクロック信号 (SWCLK) に置き換えられます。解放された TDO 信号は、システムトレースデータ出力シリアルワイヤ出力 (SWO) として再利用可能です。

Note:

1. *SWD デバッグのために 10 ピン 1.27 mm ピッチのコネクタが使用されます。 (例: Samtech FTSH-105-01-L-DV-K)*
2. *コネクタを正しく接続するため、7 ピンはなくキー (KEY) としてのみ使用します。*

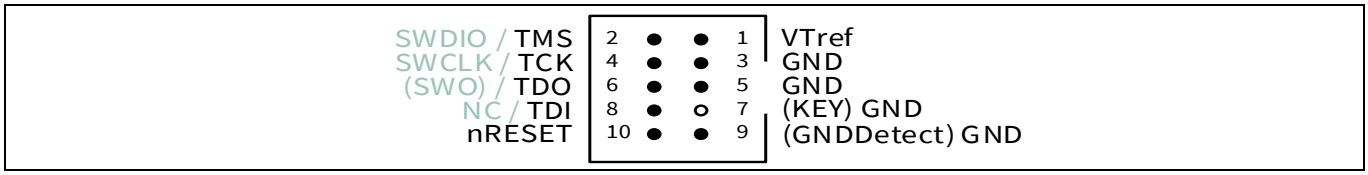


Figure 20 10 ピン Cortex®デバッグコネクタ

9.3 20 ピン Cortex® Debug + ETM コネクタ

JTAG デバッグと SWD デバッグの他に、このコネクタは embedded trace macrocell (ETM) 命令トレース操作用の信号トレースプローブを接続するために使用されます。

Note:

1. *コネクタとして、20 ピン 1.27 mm ピッチの IDC コネクタが使用されます。(例: Samtech FTSH-110-01-L-DV-K)*
2. *コネクタを正しく接続するため、7 ピンはなくキー (KEY) としてのみ使用します。*

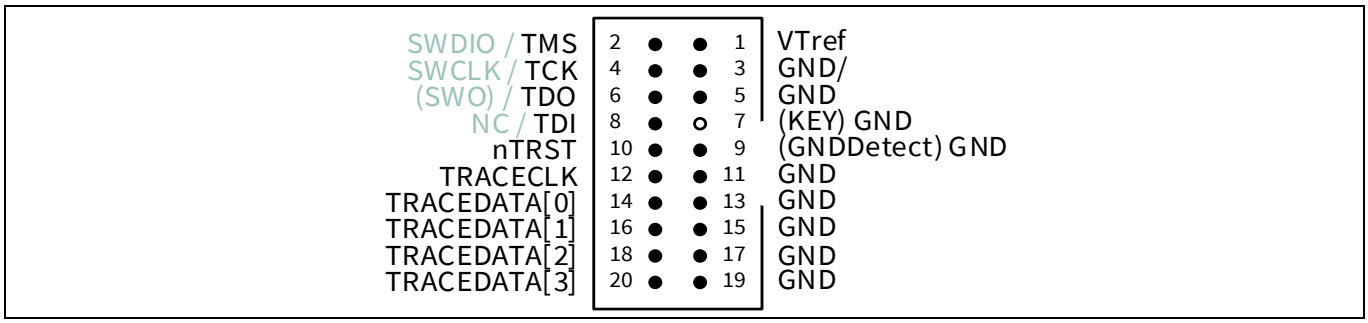


Figure 21 20 ピン Cortex®デバッグ + ETM コネクタ

9.4 終端抵抗

一般的にデバッグ接続では適切な通信のため終端抵抗が必要です。POR 後、デフォルトでブート ROM により JTAG インタフェースがイネーブルされるため、この MCU は外部終端抵抗を必要としません。外部終端をボード上に実装する場合、それぞれの外部信号の終端は、デバイス実装で行われているのと同じ方向でなければいけません。JTAG インタフェースはリセット後にイネーブルされますが、SWD 接続を確立することで SWD モードを後でイネーブルできます。

Table 5　デバッグ IF のための終端抵抗

JTAG モード	SWD モード	信号	必要な終端抵抗 (MCU 内でアサインしない場合)	MCU 実装
TCK	SWCLK	デバッグコア内クロック	GND に 10 k～100 kΩ のプルダウン抵抗	プルダウン抵抗
TDI	-	JTAG テストデータ入力	VDDIO に 10 k～100 kΩ のプルアップ抵抗	プルアップ抵抗
TDO	SWO (オプション)	JTAG テストデータ出力, SWV トレースデータ出力	VDDIO に 10 k～100 kΩ のプルアップ抵抗	なし。終端, プッシュプル駆動実装
TMS	SWDIO	JTAG テストモード選択, SWD データ入出力	VDDIO に 10 k～100 kΩ のプルアップ抵抗	プルアップ抵抗
nTRST	-	JTAG TAP リセット (LOW アクティブ)	VDDIO に 10 k～100 kΩ のプルアップ抵抗	プルアップ抵抗
GND	GND	システムグランドに接続	-	-

Figure 22 と Figure 23 は、デバッグコネクタを MCU に接続する方法を示します。一般に、デバッグクロック信号の反射およびリンギング回避のために、シリーズ抵抗 (R16) はコネクタの近くに配置することを推奨します。そうでない場合、レベルが確定するまでの間の強い発振により、デバッグインタフェースは、間違ったデータを受信する場合があります。内部終端抵抗によって、デバッグクロック信号に電圧分圧器が構成される可能性を考慮する必要があります。

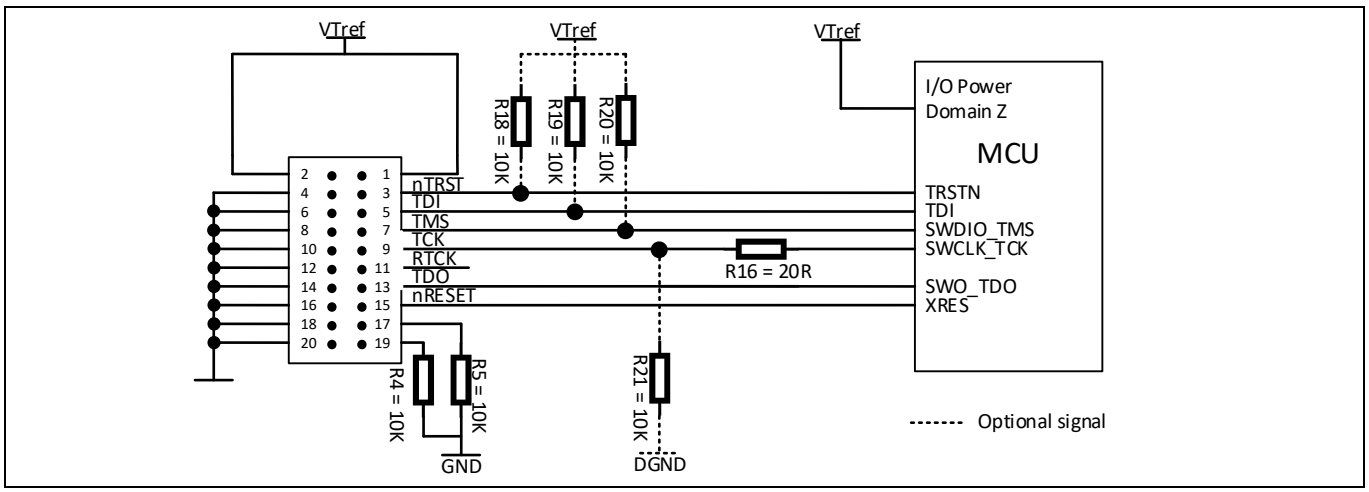


Figure 22　20 ピン IDC コネクタによる MCU への JTAG デバッグ接続

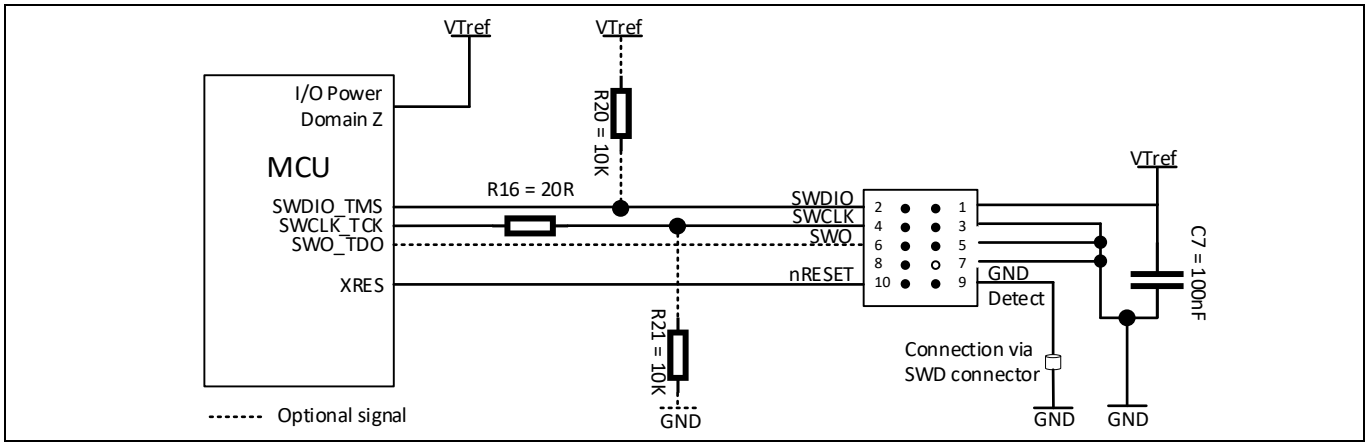


Figure 23　10 ピン MIPI SWD デバッグコネクタによる MCU への SWD デバッグ接続

Note:

1. *JTAG の代わりにデバッグインタフェースとして SWD を使用する場合、リセット後、ブート ROM とユーザピンコンフィグレーションの間に、未使用の JTAG ピンが JTAG 通信に従って設定されるタイムスロットがあります。これら未使用の JTAG ピンをアプリケーションで使用する場合、ECU 内の周辺機器が影響を受けないことを確認してください。*
2. *フラッシュ プログラミングとデバッグ用にベンダがサポートしているデバッグ接続を確認します。これは Flash プログラミングとデバッグのためにベンダによってサポートされます。また、ベンダのハードウェアのターゲットボードの電源とサポートされる電源レベルを確認してください。電源が不一致な場合は、アダプタが必要です。*
3. *バウンダリスキャンは、SWD ではなく JTAG インタフェースでのみサポートされます。*

9.5　トレース幅

トレース信号は、関数名 TRACE_DATA_x(0) および TRACE_DATA_x(1) で識別されます。カッコ内の数値は再配置セットを示します。それ以外は、機能的に同じです。ただし、同じ再配置セットの信号のみ、つまり (0) 信号のみ、または (1) 信号のみを使用する必要があります。

すべてのトレース信号を使用しない場合は、番号の大きいものを省略できます。デバッガツールでは、実際のトレースポート幅を選択できるようになっているはずです。

可能なトレース幅の組み合わせ

トレース信号	8 ビット幅	4 ビット幅	2 ビット幅
Variant A	TRACE_CLOCK (0) TRACE_DATA_0-7 (0)	TRACE_CLOCK (0) TRACE_DATA_0-3 (0)	TRACE_CLOCK (0) TRACE_DATA_0-1 (0)
Variant B	TRACE_CLOCK (1) TRACE_DATA_0-7 (1)	TRACE_CLOCK (1) TRACE_DATA_0-3 (1)	TRACE_CLOCK (1) TRACE_DATA_0-1 (1)

10 クロック出力機能

評価の目的で MCU の内部クロック信号をクロスチェックする必要がある場合があります。以下のオプションでクロスチェックできます。

- EXT_CLK ポート端子
- 代替出力機能端子

10.1 EXT_CLK ポート端子の使用

内部クロックは、クロック出力機能として代替機能ポート端子の EXT_CLK に分周器を経由して出力できます。イベントジェネレータ (EVTGEN) と EXT_CLK は、同じ内部クロック信号 (CLK_HF1) によって駆動されることを考慮する必要があります。したがって、分周された ECO 信号を EXT_CLK ピンで観測する場合、EVTGEN マクロも ECO クロックに応じて駆動されるため、アプリケーションに影響を与える可能性があります。これはアプリケーションに影響を与える可能性があります。EXT_CLK ピンは双方向ピンであり、外部クロックソースとしても使用できます。このピンの詳細はクロックシステムを参照してください。

MCU クロック出力機能は高速デジタル信号を駆動するため、この信号はアナログ入力およびアナログ電圧リファレンス信号から離して配線する必要があります。

10.2 代替機能端子の使用

システムクロックは、例えば TCPWM 出力チャネルからの PWM 信号を用いて間接的に観測できます。各 TCPWM チャネル入力クロックは、周辺クロックの専用クロック分周器によって生成されることを考慮する必要があります。クロックツリーの詳細は TRM の「Clocking system」章を参照してください。

11 レイアウトおよび EMC (電磁場適合性)

11.1 概要

ESD 問題とシステムのノイズ放出を避けるため、レイアウト設計に対するいくつかの規則を考慮してください。

最も重要な点は MCU コア用の内部電源への接続である VCCD 端子です。デカップリングコンデンサ (decaps) は、この端子のできるだけ近くに配置する必要があります。通常、コンデンサに再充電されるまでの期間をバイパスするため、µF 単位の大きなバッファまたはバイパスコンデンサを電源ドメインに追加します。これらがない場合、decaps および最終的にシステム電源が動作範囲を下回る場合があります。

MCU が異なるデジタル電源を持つ場合、電源は慎重に配線します。電源配線は、スター形にするか、内層のデジタルプレーンとして配線します。デジタルグランドプレーンは、内層または、MCU 直下に設けることを推奨します。デカップリングコンデンサは、関連する端子のできるだけ近くに配置します。これらのコンデンサが遠く配置された場合、それらは機能低下します。

できるかぎりすべてのデカップリングコンデンサは、MCU と同じ実装面に配置してください。または、decaps を電源端子ペア (例えば VDD/VSS ペア) の下の最下層にも配置できます。

アナログ電源はデジタル電源から分離されなければなりません。そして、共通グランドのスターポイントはできるだけ MCU から離れて配置される必要があります。ハードウェア設計において、デジタルとアナログ電源の間、または、アナログとデジタルグランドの間にラッチアップの影響がないことを確認してください。したがって、異なる VSS 端子間、アナロググランドとアナログリファレンス入力間のインピーダンスはできる限り低くする必要があります。

11.2 電源端子

MCU が正しく動作するため、電源端子に decaps とバイパスコンデンサが必要です。decaps の配置についての推奨事項については概要を参照してください。

11.3 グランドと電源

多層 PCB の場合、電源レールとグランドは PCB の内層の平面として配線する必要があります。複数の電源プレーンを備えた層構成を考慮すると、ノイズ結合を回避するために、これらのプレーンはオーバーラップしないようにする必要があります。

EMC の動作を改善するための推奨事項は次のとおりです。

- 多層 PCB を使用してください。
- PCB 層スタックの内層で電源プレーン (アースと電源) を使用してください。
- 放射の可能性を減らすために、対応する各電源ピンペアの近くに 1 つまたは 2 つのデカップリングコンデンサを配置してください。
- コンデンサグループを使用して、電源デカップリングの周波数動作を一致させます。デカップリングコンデンサの値は、1nF～10µF です。
- アナログとデジタルのグランドプレーンを相互に接続する共通のスターポイントが 1 つだけであることを確認してください。アナログ部分のノイズを少なくするには、スターポイントを MCU から遠く、電子制御ユニット (ECU) コネクタに対し電圧レギュレータコンデンサの近くに配置します。
- デジタルプレーンとアナログプレーンが重なって干渉しないことを確認してください。さらに、これらのプレーン間に信号プレーンがあってはいけません。
- アナログ入力信号は、可能な限りアナロググランドでシールドしてください。

- グランドループは避けてください。
- レイヤー切り替えのある供給トレースに少なくとも 2 つのビアがあることを確認してください。

Figure 24 に、異なる電源プレーン間でクロストークが発生する可能性がある不良な PCB 層構成の例を示します。ただし、Figure 25 は、アナログとデジタルの供給面が共通の層で分離される、適切に設計された PCB 層スタックの例です。したがって、ボードの EMC 動作はすでに改善されています。

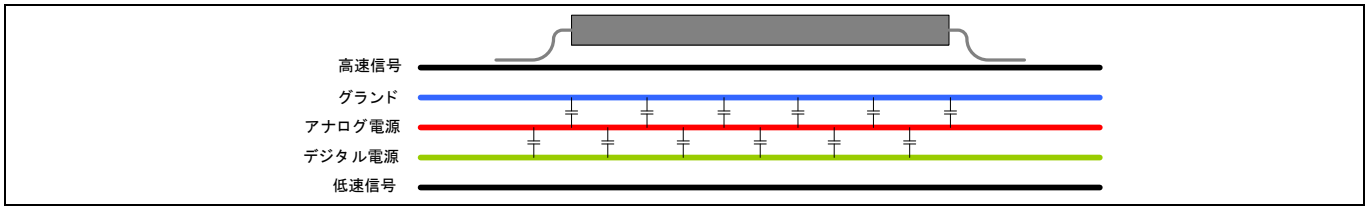


Figure 24　悪い PCB 層構成の例

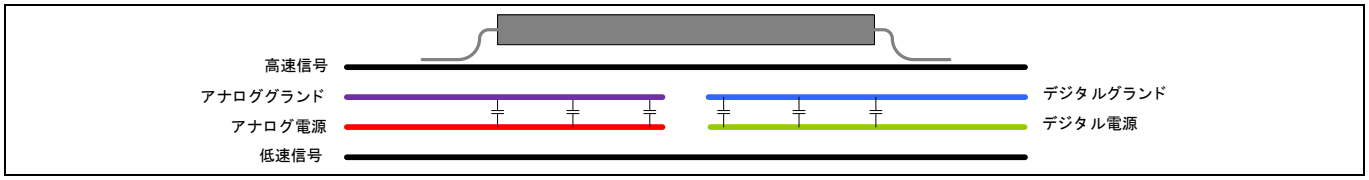


Figure 25　良い PCB 層構成の例

11.4　電源デカップリング

11.4.1　配置

一般に、decaps はできるかぎり MCU の近くに配置しなければいけません。デカップリングのため小さいセラミックコンデンサを大きな電解コンデンサと共に使用する場合、セラミックコンデンサは電解コンデンサより MCU 電源の近くに配置してください。

電源の decaps は電流の経路中に配置する必要があります。電流の経路中に配置されない場合は、Figure 26 に示すように機能の効率が低下し、メリットはありません。一般的に有効な配置例を Figure 26 ～ Figure 28 に示します。VCC は電源端子、VSS はグランド端子を示します。

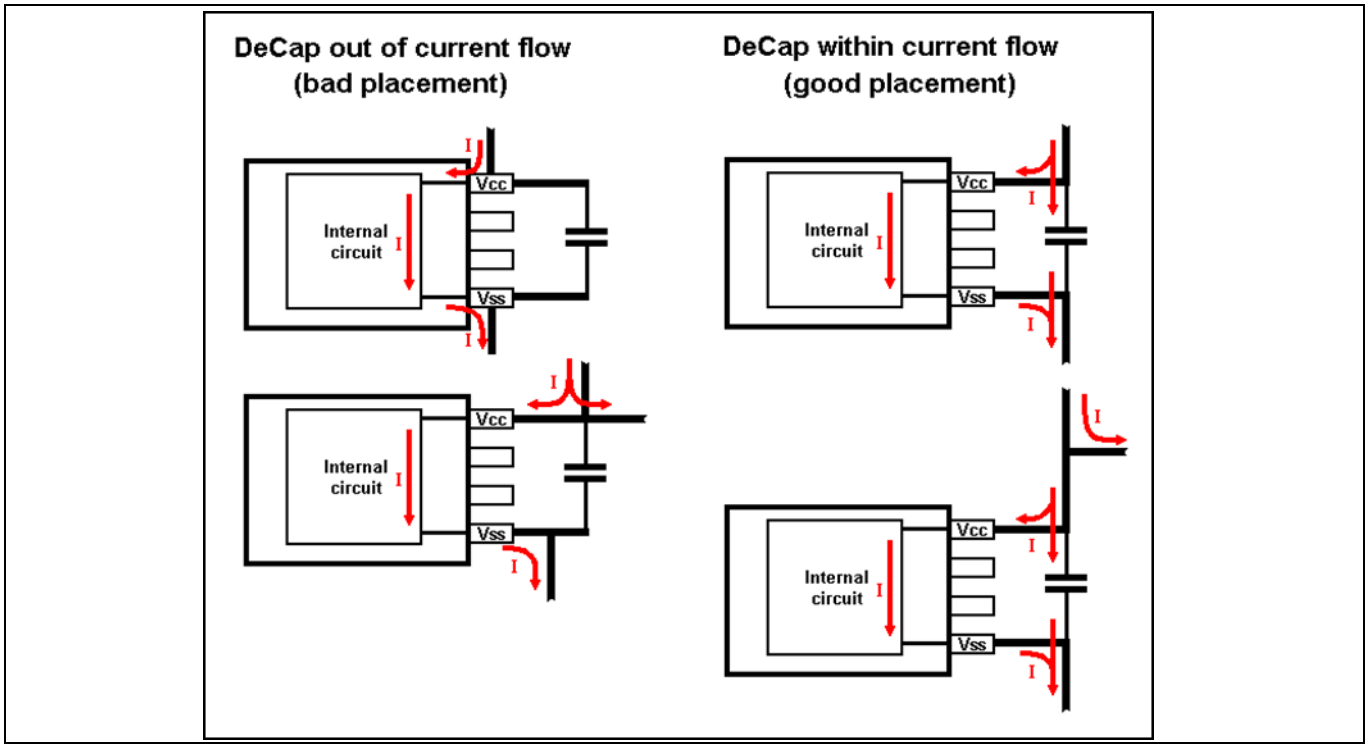


Figure 26　電源デカップリングコンデンサ配置

通常、ノイズ電流はデカップリングコンデンサ CB のはんだ付けパッドを流れると考えられます。Figure 27 にボード上の推奨配線と配置を示します。

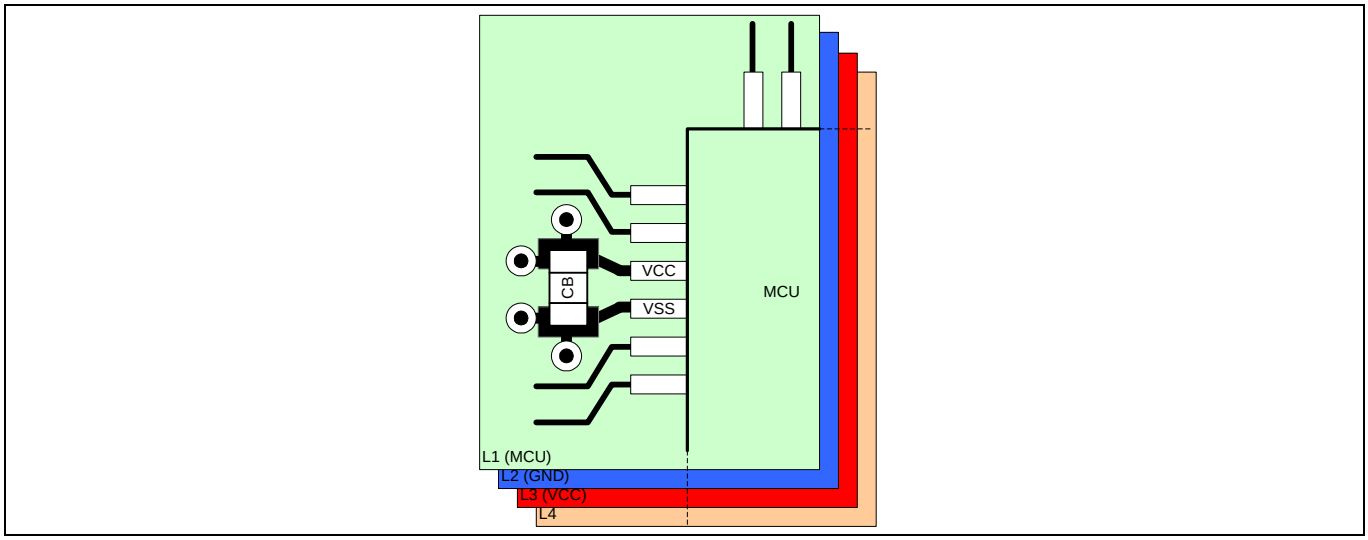


Figure 27　ボード上の推奨電源デカップリング

Figure 28 に代替案を示します。ただし、推奨する配線および配置ではありません。コンデンサは MCU とは逆の PCB 面に配置されることに注意してください。この方法は高密度ボードアセンブリに最適です。

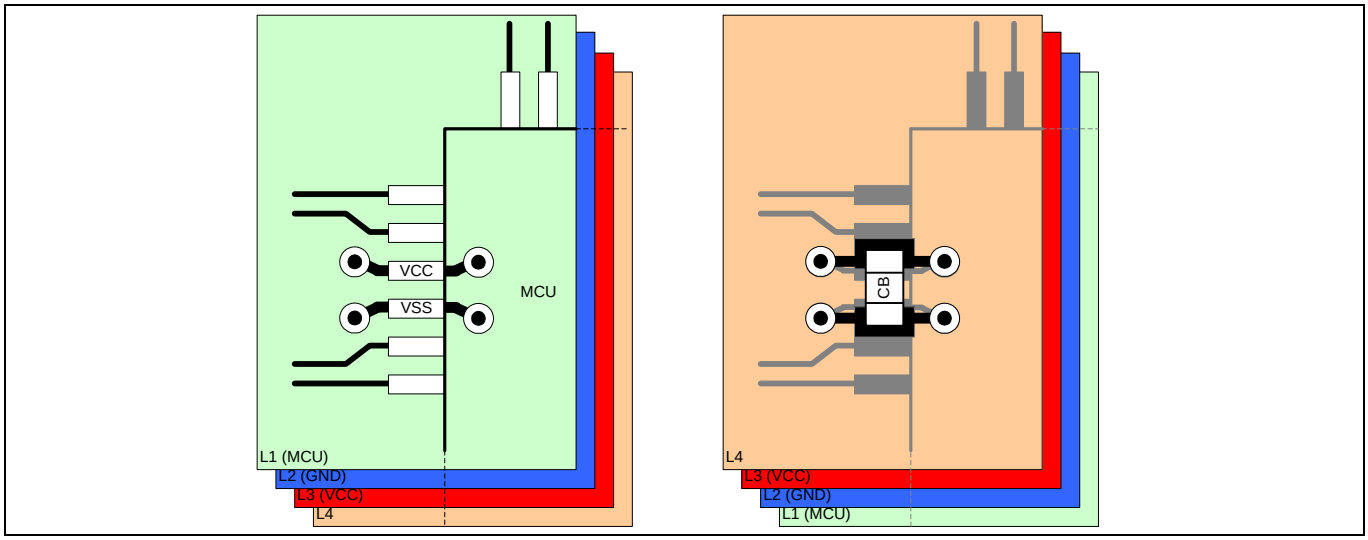


Figure 28　ボード上の代替電源デカップリング

11.4.2　I/O ドメイン

I/O ドメインの decaps コンデンサとバイパスコンデンサのサイズはアプリケーション固有です。サイズ決定において考慮するべきポイントを以下に示します。

- 出力時のスイッチング動作 (周期的またはランダム)、および遷移要件はどのようになっているか?
- 実行中、ウェイクアップ後、またはリセット後に同時に遷移する出力ピン数はいくつか?
- 出力 1 ピンあたりの負荷容量はどのくらいか?
- どのドライバ強度設定が選択されているか?
- 大きなバイパスコンデンサによってバッファされる可能性のある抵抗起因による DC 電流はあるか?

対応するモデル (IBIS またはランプモデル) を使用して電源分配ネットワーク (PDN) 解析を実施するか PCB でテストすることを強く推奨します。デカップリングに関する簡単な考慮事項は、SRAM board design guidelines を参照してください。

11.5　水晶振動子の配置と信号配線

MCU は、ECO と外部 watch oscillator (WCO) のために組込み形フィードバック抵抗 (Rf) を持つ 2 つの発振器を実装します。ユーザーはソフトウェアにより両発振器を有効にできます。つまり、MCU は内部クロックソースによってブートプロセスを開始します。

Note: Figure 30 ～Figure 32 は、MCU ファミリの発振器実装を示します。このアプリケーションノートで説明されるトリミング機能は、専用デバイスの architecture TRM (関連ドキュメントを参照) とは異なる場合があります。さまざまなトリミング機能により、ECU 設計での外部 BOM コストが削減できます。

11.5.1　セットアップ

Figure 29 に外部発振器回路の原理を示します。インバータがアンプとして機能するためには、フィードバック抵抗 (Rf) が機能する必要があります。任意で、ダンピング抵抗 (Rd) が駆動レベル (DL)低減のために必要です。DL が強すぎる場合、水晶は寿命を超えて損傷する可能性があります。負荷コンデンサ C_L は終端静電容量で水晶に接続されます。そのため、C_L には外部コンデンサ C1 と C2 および浮遊容量 C_S が含まれます。C_S は PCB レイアウト, 製造誤差, および発振器の MCU 端子によって生じます。通常、浮遊容

量は信号線ごとに～4 pF です。両方の負荷コンデンサ (C1 および C2) の値は、水晶マッチングテストによって決定する必要があります。発振器回路に影響を及ぼすターゲットボードの変更がある場合、水晶メーカーによって水晶マッチングテストを実施する必要があります。発振回路に影響を与えるターゲットボードに変更があった場合、水晶マッチングテストは常に水晶メーカーが行う必要があります。

負荷コンデンサ (C_L)

$$C_L = \frac{C1 \times C2}{C1 + C2} + C_S$$

Equation 2

Note:

1. *発振器ピンは標準の GPIO ピンと共有されているため、発振器回路に負荷容量が自動的に追加されます。これは、外部負荷コンデンサに関して考慮する必要があります。*
2. *水晶のトリミングの詳細については、AN230194 を参照してください。*

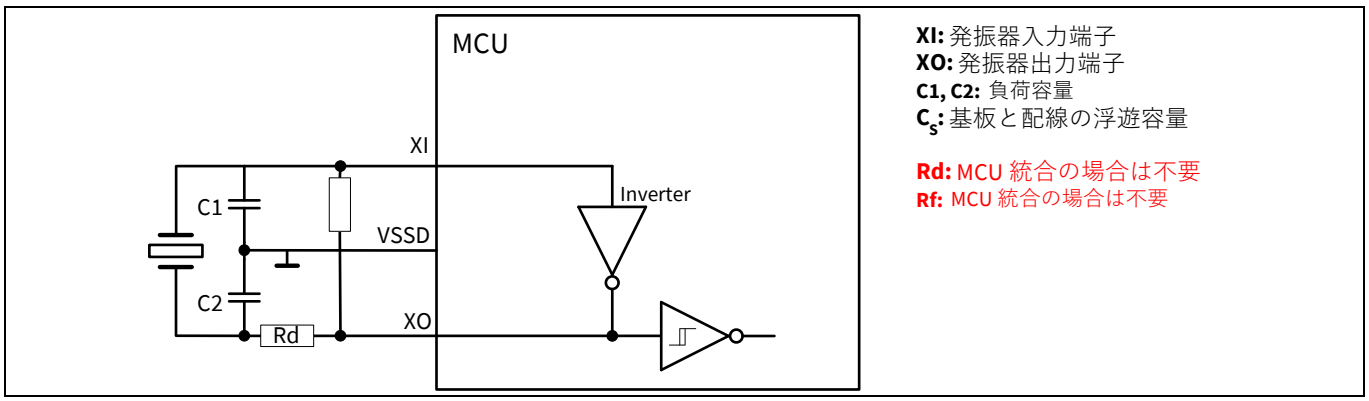


Figure 29　外部発振器回路の標準設定 (TRAVEO™実装とは異なります)

ECO 設計は、BOM コスト削減のために最適化されます (Figure 30 参照)。これは拡張性のある DL と組込み形 Rf 実装によって実現されます。トリミング機能によって、幅広い発振器の周波数レンジをサポートします。詳細については、関連ドキュメントにある architecture TRM の「Clock sources」を参照してください。

11 レイアウトおよび EMC (電磁場適合性)

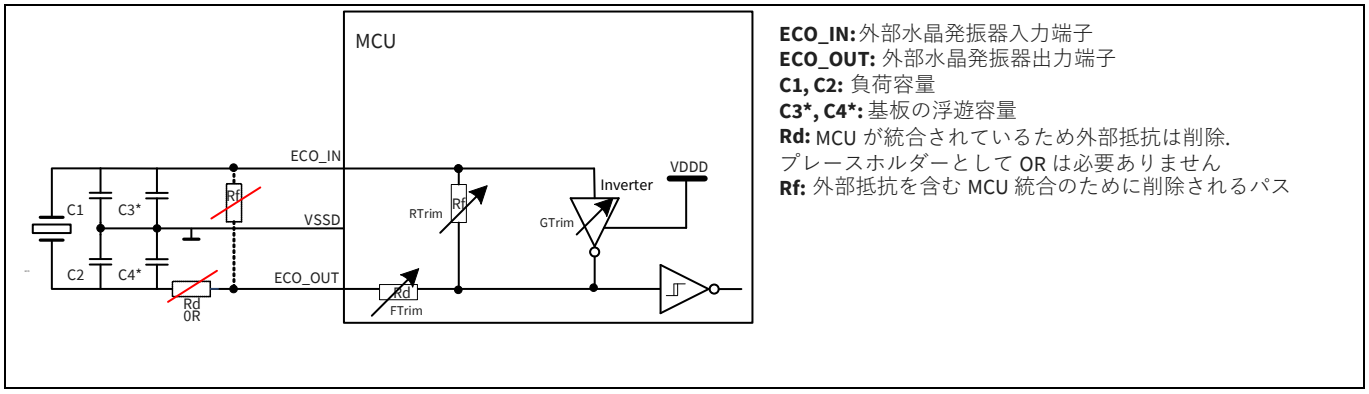


Figure 30 ECO 回路構成[8] (メイン水晶発振器)

WCO の実施例を Figure 31 に示します。外部 BOM コストを削減するため、ECO と同様に Rf が内蔵されます。外部発振器の損傷防止のため、外部 Rd が必要な場合があります。

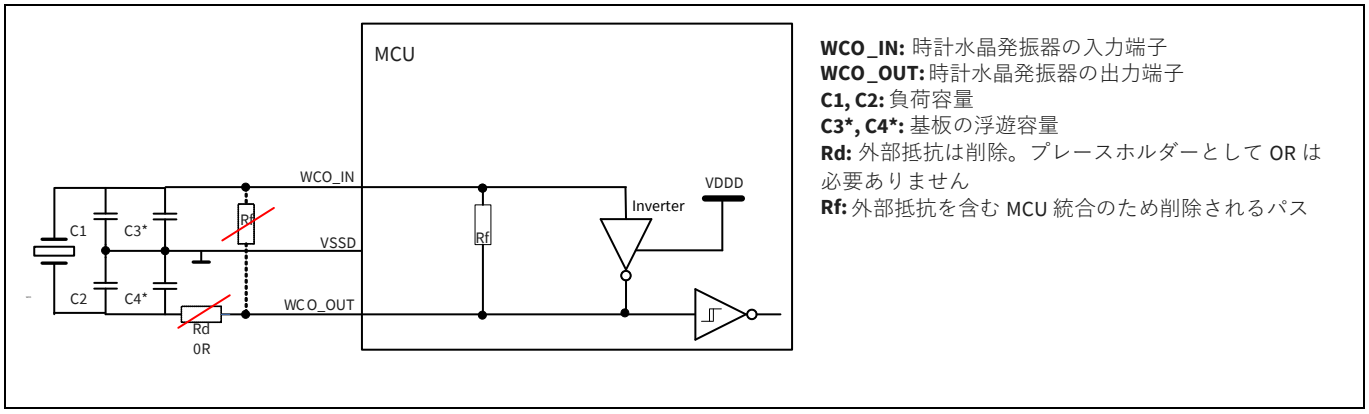


Figure 31 WCO 回路構成[8] (時計水晶発振器)

LPECO 設計は、BOM コスト削減のために最適化されます (Figure 32 参照)。これは拡張性のある DL と組込み形 Rf 実装によって実現されます。

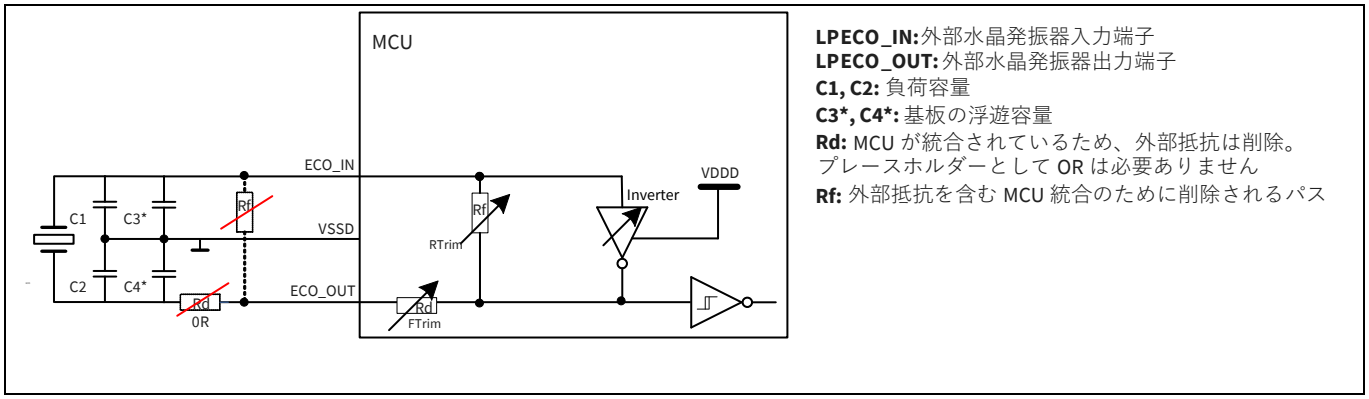


Figure 32 LPECO 回路構成[8] (低電力メイン水晶発振器)

Table 6 に、各発振器実装の機能セットに基づいて結果として得られる外部 BOM を示します。

[8] 図は専用の architecture TRM と異なる場合があります。トリミング機能が 100%カバーされてはいません。

Table 6　水晶発振器実装の BOM 概要

外部部品	ECO (メイン発振器)	LPECO[9] (低電力メイン発振器)	WCO (時計水晶発振器器)
XTAL	必須	必須	必須
C1, C2	必須	必須	必須
Rd[10]	除外	除外	除外
Rf	除外	除外	除外

11.5.2　PCB 設計

EMI の影響を低減するため、外部発振器部品の配置と信号配線には注意が必要です。以下は、PCB レイアウト時に考慮する必要があります。設計上の制約により、アイテム間のトレードオフが必要な場合があります。

- 安定した周波数
  - 外部発振器部品は MCU 層に配置してください。
  - 外部発振器部品は MCU と可能な限り近くに配置してください。
  - 負荷容量 C1 と C2 の発振器グランドへの接続が共通のスターポイントであることを確認してください。
  - 両方のコンデンサのグランド接続に間に信号配線がないようにしてください。
  - グランド信号配線にビアを使用しないでください。
- ノイズ注入
  - MCU 直下はグランド層にしてください。
  - MCU 層はグランドシールドを使用し、グランド層として隣接層を使用してください。
  - 発振器ボンディングワイヤの領域をシールドしてください。
  - 発振器のグランド信号としてグランドシールドを使用しないでください。
  - グランドループを避けてください。発振器グランド信号は、システムグランドに接続される前に、まず VSSD に接続されなければいけません。
  - VSSD への発振器グランドの配線は、できるかぎり短くしてください。
  - 強いパルス信号を発振器の近くに配線しないでください。これは隣接層にも有効です。

安定した電流リターンパスを確保するために、サイレント VSSD MCU ピンを通過した後、発振器のサイレントグランドをシステムグランドに接続します。したがって、システムグランドへのビアは通常、MCU パッケージの下にあり、発振器とサイレント MCU VSSD ピンの間ではありません。例として Figure 60 を参照してください。

- ノイズ放射
  - 影響を受けやすい信号を発信器信号の近くに配線しないでください (例: アナログセンサ信号)。

[9] 各デバイスでは使用できません。利用可能な場合、同じピンが WCO と共有される場合があります。

[10] 低電力発振器の実装のため、Rd は必要ありません。

11.5.3 水晶マッチング試験

各デバイスパッケージと ECU 変数について、水晶ベンダが水晶マッチング試験を実行する必要があります。 発振器 MCU モジュールは、発振器回路に従って設定する必要があります。ECO モジュールの設定方法については、AN230194 を参照してください。

顧客と水晶ベンダ間のマッチング活動の反復を減らすために、水晶マッチング試験ソフトウェアがオンデマンドで提供されます。ベンダは、最適化のために顧客から事前設定された水晶設定を変更するために直接使用できます。デフォルトでは、PC 端末との UART インタフェースが使用されます。ソースコードが利用できるため、別の UART チャネルまたはインタフェースも使用できます。

11.6 部品配置

- アナログ部品は、グランド接続が共通の分割領域上に配置します。デジタル部品も同様です。アナログ電圧リファレンスレギュレータをアナログプレーン上に配置して、デジタル電圧レギュレータをデジタルプレーン上に配置します。
- 共通電源を使用する部品はお互いにできるだけ中央に配置しなければいけません。
- アナログ パーティションとデジタル パーティション間のブリッジとして、MCU およびその他の混合信号部品を、PCB 上に配置します。

11.7 信号配線

- デジタル電源および信号配線をデジタルグランドプレーン上に配線し、アナログ電源および信号配線をアナロググランドプレーン上に配線します。
- アナログ信号配線を分離するためには、アナロググランドプレーンに接続されている配線の周囲の領域を銅で埋めます。同様にデジタル信号配線の領域にも同じ推奨事項が適用されます。
- 影響を受けやすい配線に近接してまたは平行に配線しないでください。
- 可能な限り短い配線長を保ってください。

さらに、アプリケーションを設計する際には、EMC 性能を向上させるために以下の領域を検討してください。

- ノイズの多い信号 (例えば高速なエッジ時間の信号)
- 影響を受けやすい、かつインピーダンスの高い信号
- キャプチャイベント信号 (割込みやストローブ信号など)

12 温度に関する考慮事項

MCU 総電力要件の指標によって、システム設計によりこの電力を大気中に十分効率的にまたは適切に放熱可能かどうかを理解することが非常に重要です。これにより、さらなるアクションまたは大幅なヒートシンクおよび PCB 設計の選択が必要かどうかが決まります。

MCU は、非常に低電力なデバイスから、より高い電力を必要とする非常に高速で複雑なロジックを備えた MCU まで広範囲にわたる製品をカバーします。特定の状況下では、MCU はコア, 周辺機器および I/O 電流を含め 1 ワット以上の電力を必要する可能性があります。多くの電力を必要とする場合、放熱を考慮する必要があります。

設計が完了する前に、完全な熱的レビューを行う必要があります。近くの熱源、PCB 構造、およびシステムの風量などの項目を確認する必要があります。以下に示す例は先行設計の目標が指標を満足するかを決定するための第一歩です。

ジャンクション温度の計算

$$T_J = T_A + \Theta_{JA} \times P_D$$

Equation 3

T_J: ジャンクション温度

T_A: 周囲温度

Θ_{JA}: 接合部から周囲への熱抵抗

P_D: 消費電力

一次近似として、最初にターゲットデバイスパッケージの接合部から周囲までの熱抵抗 (θ_{JA}) をデータシートで確認してください。θ_{JA} は、°C/watt で表されます。これらの値は、JESD51-9 に従って 2s2p PCB で推定されます。

例えば、LQFP 120 ピンの θ_{JA} は、38°C/watt です。底面に放熱パッドが正しく取り付けられた同デバイスの LQFP 120 ピンパッケージの場合、θ_{JA} は 18°C/watt となりデバイスの総電力使用量または周囲動作温度を大幅に高められます。

デバイス接合部と周囲環境の間の最大温度差は θ_{JA} に最大電力を掛けた値です。または先の場合のように、38°C /watt×1.0 ワット= 38°C です。規定されたデバイスの最大動作ジャンクション温度が 125°C であるため、最大許容周囲温度は 125 - 38 = 87°C です。18°C /watt の低い熱抵抗 θ_{JA} の放熱パッドのパッケージを使用し、パッド設計が適切な PCB に実装される場合、最大許容周囲温度は、125°C - 18°C = 107°C です。これはデバイスの I/O またはコアがより多くの電力を駆動できる可能性がある、または周囲の動作温度の 20°C 上昇することを許容します。

デバイスの各データシートには、パッケージ熱抵抗と最大許容電力を示す表があります。これにより、特定のパッケージデバイスによって実際に消費できる電力量を容易に確認できます。データシートでは最小 PCB 構成が推奨されます。例えば、4 層 PCB は内層によって熱を放熱するため 2 層 PCB より許容電力特性が優れます。パッケージの露出パッドと PCB 上の銅パッドとのリード間の良好な接触を確保すると、パッケージから PCB への熱放散が改善され、接合部温度が改善されます。

エアフローおよびその他の冷却ソリューションを使用する必要性は、お客様独自のシミュレーションを使用して、それぞれの場合に判断する必要があります。

12 温度に関する考慮事項

Note: データシートのθ_{JA} は標準値です。周囲温度は製品設計の許容最大値よりも非常に低い必要があります。

Note: 上記の計算ではθ_{JA} または消費電力が高い場合、論理的に最大許容周囲温度は接合部温度限界の 125°C に近づく可能性があります。ただし、商業用周囲温度限界の 85°C または工業用周囲温度限界の 105°C が適用されます。上記の最初の例では、商業用グレード (85°C) デバイスを動かすためには受け入れられません。2 番目の例では、最終製品の動作条件の選択に応じて商業用グレードまたは工業用グレードのデバイスが適します。

BGA または QFN パッケージで提供される MCU は、小さいパッケージサイズのために、熱伝導のため利用できる表面積が小さいです。これらのパッケージは電力を必要とするアプリケーションでは十分にチェックする必要があります。

詳細な情報は関連ドキュメントにあるアプリケーションノート AN72845, AN202751, および AN79938 で提供されます。

13 ADC

ここでは、アナログセンサレベルの高精度サンプリングおよびその他の潜在的な問題について、ADC とそのアナログ入力 (AN) 回路について検討します。

13.1 アナログ入力のフィルタ設計に関する考慮事項

13.1.1 取得の原則

アナログ値をサンプリングしてからデジタル値に変換する全期間を、取得時間 (t_{ACQ}) と呼びます。アナログ入力の電圧レベルは、設定可能なサンプル時間 (t_S) 内に内部サンプリングコンデンサ (C_{VIN}) によってサンプリングされ、変換時間 (t_{CNV}) は ADC クロック入力によって暗黙的に設定可能です。

Figure 33 に、センサ, アナログソース V_0, およびアナログ入力間の主回路を示します。

$$t_{ACQ} = t_S + t_{CNV}$$

Equation 4

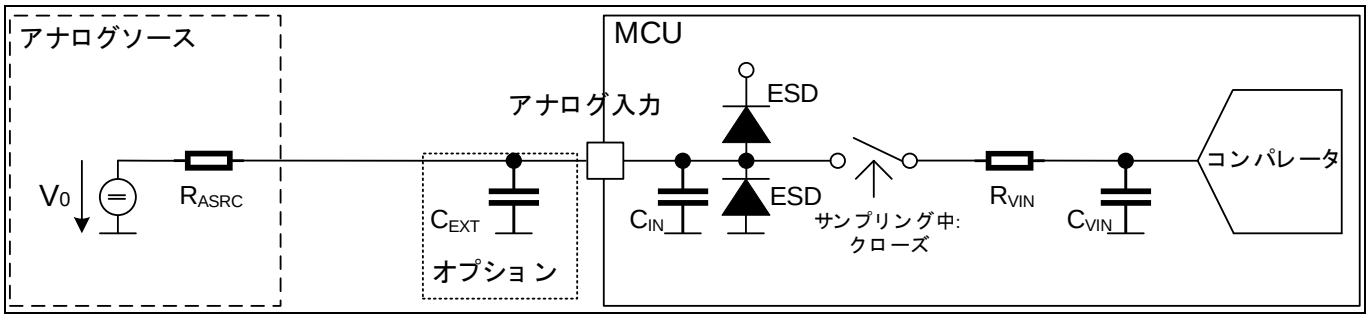


Figure 33 オプションの外部バッファコンデンサを備えたアナログ入力

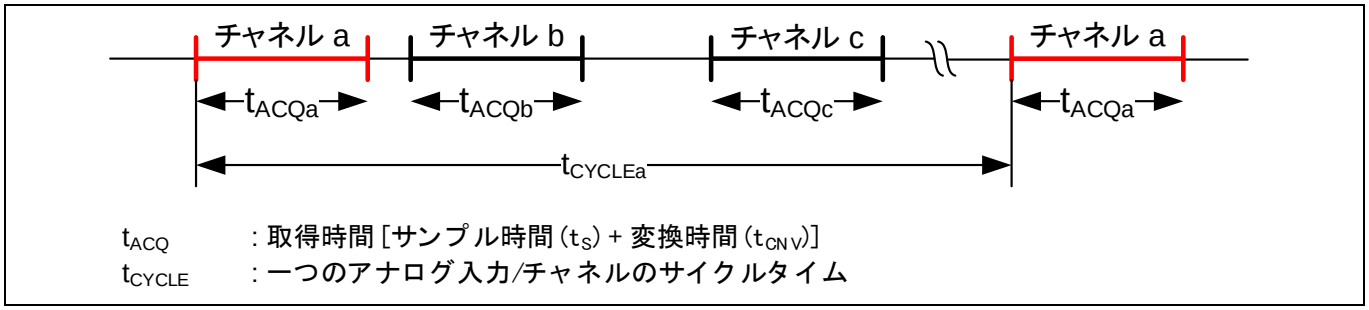


Figure 34 アナログチャネルのサイクルタイム

13.1.2 サンプル時の精度

サンプル時間 (t_S) は、アナログソースと同じレベルで C_{VIN} を充電するのに十分な長さである必要があります。つまり、アナログソース (R_{ASRC}) の内部抵抗は十分に小さい必要があります。R_{ASRC} が高すぎる場合、すべてのチャネルの合計サンプルレートに影響を与えるサンプル時間を長くするか、チャネルの 2 つの取得間の期間であるサイクルタイム (t_{CYCLE}) をそれに応じて長くする必要があります (Figure 33 を参照)。サイクルタイム後、次の取得の前に、アナログソース V_0 とアナログ入力 (AN) の間に電圧差がない

か無視できるはずです。チャネルが連続して 2 回以上直接サンプリングされる場合、次の式が満たされる必要があります: $t_{CYCLE} \leq t_{ACQ}$。

サイクルタイム t_{CYCLE} を計算する場合に考慮すべき前提条件は次のとおりです。

- アナログ入力は、必要な分解能 2^r に応じて、残りの電圧差 V_R を使用して新しいソースレベル V_0 にリロードする必要があります。V_R は、サンプリングされたエラーよりも小さくする必要があります。
- サンプル時間中に外部コンデンサ C_{EXT} から内部サンプルコンデンサ C_{VIN} にリロードすると、サイクルタイムが長くなります。

$$t_{CYCLE} = t_S + k \times \tau = t_S + \ln\left(\frac{2^r}{V_{R,LSB}}\right) \times \left(R_{ASRC} \times (C_{EXT} + C_{IN})\right)$$

Equation 5

例:

解像度: 12 ビット

$V_{R,LSB}$: 0.25 LSB = 0.25 x ($1/2^{12}$)

$$t_{CYCLE} = t_S + k \times \tau = t_S + \ln\left(\frac{2^{12}}{0.25}\right) \times \left(R_{ASRC} \times (C_{EXT} + C_{IN})\right) = t_S + 9.7 \times \tau$$

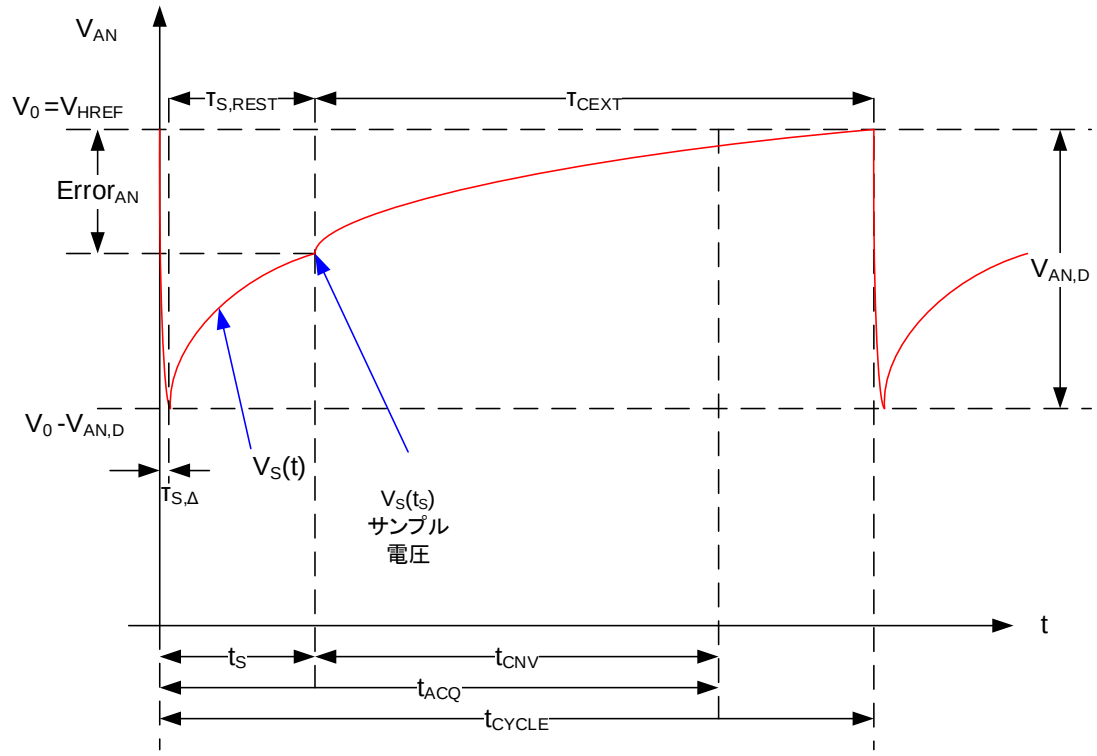
Equation 6

13.1.3 サンプル時間の充電プロセス

サンプルフェーズ中、サンプルコンデンサ C_{VIN} は、両方が共通の電圧に達するまで外部コンデンサ C_{EXT} によって充電されます (電荷平衡化)。その後、両方のコンデンサがソース抵抗を介してアナログソースレベル V_0 に充電されます。

したがって、さまざまな時定数を考慮する必要があります。

- $T_{S,\Delta}$: C_{EXT} と C_{VIN} の間の電荷平衡化のためのサンプル時間の開始時の時定数。
- $T_{S,REST}$: 電荷平衡化後のサンプル時間中の時定数で、許容可能な誤差範囲で V_0 に充電します。
- T_{CEXT}: 変換時間から始まり、アナログ入力の次のサンプルフェーズで終わる時定数。



t_S : サンプル時間（t_S）
t_{ACQ} : 取得時間
t_{CYCLE} : 一つのアナログ入力/チャネルのサイクルタイム
$T_{S,D}$: サンプル時間中に電圧降下を引き起こすC_{EXT}とC_{VIN}間の電荷平衡化の時定数
$T_{S,REST}$: 残りのサンプル時間でアナログソースV_0によってC_{EXT}とC_{VIN}を充電するための時定数
T_{CEXT} : サンプル時間後のみのC_{EXT}の時定数
V_0 : アナログソース電圧
$V_S(t)$: サンプル時間中のアナログ入力電圧レベル
t_{CNV} : 変換時間
$V_{AN,D}$: サンプル時間中の電荷平衡化によりアナログ入力で発生する電圧降下
$Error_{AN}$: サンプル電圧とアナログソース電圧レベル間の電圧の誤差

Figure 35　取得時間中のアナログ入力の充電曲線

13.1.4 C_{EXT} と C_{VIN} 間のチャージバランス

ADC マクロの実装によっては、サンプルフェーズを開始する前に、サンプルコンデンサをターゲットレベル ($C_{VIN,PRE}$) にプリチャージできます。この機能が実装されない場合、C_{VIN} は前回の取得の電圧レベルになります。つまり、最悪の場合、C_{VIN} と外部コンデンサ C_{EXT} の間の最大電圧差 ($\Delta V_{CVIN,PRE}$) はアナログ基準電圧 V_{REFH} に対応します。サンプルスイッチが閉じると、外部コンデンサ C_{EXT} とサンプルコンデンサ C_{VIN} の間の電荷平衡により、アナログ入力 $V_{AN,D}$ で電圧降下が発生します。

$$V_{AN,D} = \frac{Q_{VIN}}{(C_{IN}+C_{EXT})+C_{VIN}} = \frac{C_{VIN}\times(V_0 - V_{VIN,PRE})}{(C_{IN}+C_{EXT})+C_{VIN}} = \frac{C_{VIN}\times\Delta V_{VIN,PRE}}{(C_{IN}+C_{EXT})+C_{VIN}}$$

Equation 7

単純化した考察では、アナログ入力とアナログソースは同じ電圧レベル $V_{AN} = V_0$ になり、結果は次のようになります。

$$V_{AN,D} = \frac{Q_{VIN}}{(C_{IN}+C_{EXT})+C_{VIN}} = \frac{C_{VIN}\times(V_0 - V_{VIN,PRE})}{(C_{IN}+C_{EXT})+C_{VIN}}$$

Equation 8

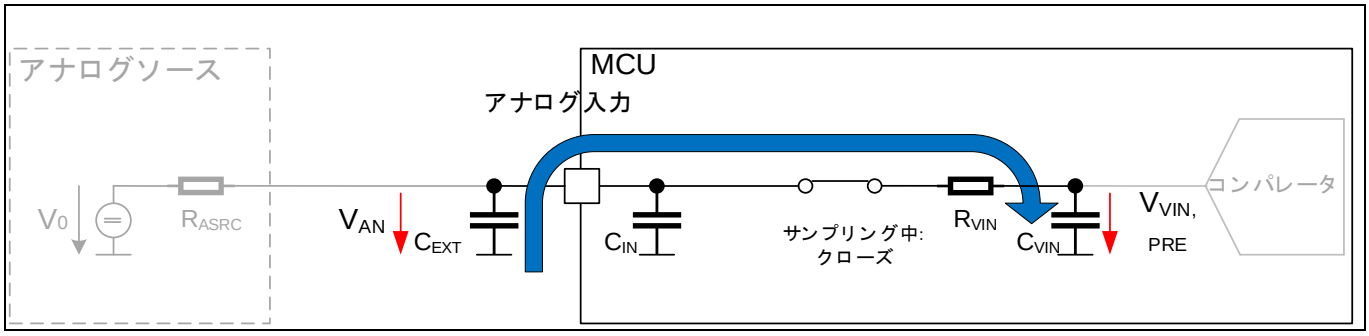


Figure 36 ADC サンプル時間中の電荷平衡

この電荷平衡が発生している間、$R_{ASRC} >> R_{VIN}$ であると想定されるため、R_{ASRC} はそのフェーズでは影響を与えません。これにより、コンデンサを充電するための次の時定数 $\tau_{S,\Delta}$が得られます。

$$\tau_{S,D} = R_{VIN}\times C_{SUM} = R_{VIN}\times\left(\frac{1}{1/(C_{EXT}+C_{IN})+1/C_{VIN}}\right)$$

Equation 9

したがって、$9.7*\tau_{S,D}$ 後のアナログ入力とサンプルコンデンサ間の最大電圧差に関する最悪のシナリオでは、アナログ入力の電圧誤差は 0.25 LSB_{12} 未満です。

13.1.5 アナログソース V_0 によるアナログ入力の充電

外部コンデンサ C_{EXT} の寸法によっては、C_{EXT} と C_{VIN} の間の電荷平衡により、アナログソース V_0 に対してアナログ入力に大きな電圧差が生じ、アナログ入力は V_0 自体によって直接充電される必要があります。この場合、アナログソース抵抗 R_{ASRC} は充電曲線に関連する影響を及ぼします。

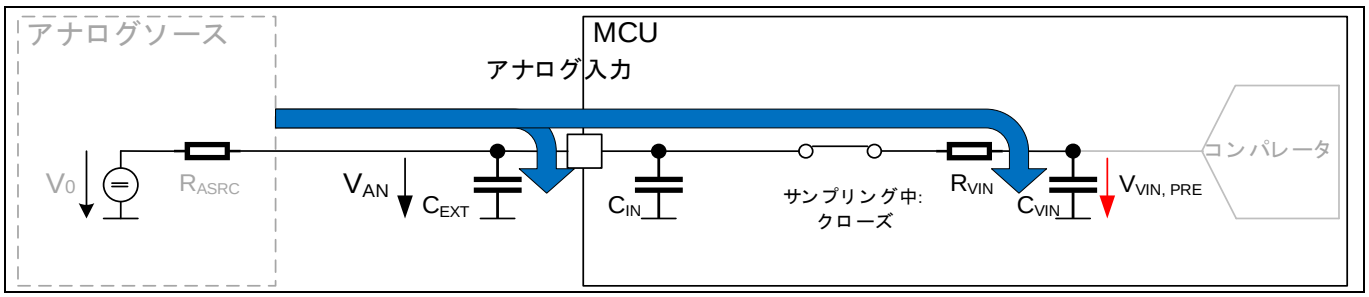


Figure 37 アナログソース V_0 によるサンプル時間中のアナログ入力の充電

したがって、残りのサンプル時間では、時定数 $\tau_{S,REST}$ は次のように計算されます。

$$\tau_{S,REST} = \left(R_{VIN} + R_{ARSC}\right) \times C_{VIN} + R_{ARSC} \times \left(C_{EXT} + C_{IN}\right)$$

Equation 10

13.1.6 フィルタケース: $C_{EXT} > 2^r * C_{VIN}$

アナログソースのインピーダンスが高すぎる場合、特にすべてのアナログ入力を共通の高いサンプルレート (例えば、1 MS/s) でサンプリングする必要がある場合、アナログ電圧のサンプリング周期が不十分になる可能性があります。専用アナログ入力のサンプリング周期であるサイクルタイム (t_{CYCLE}) をはるかに長くできる場合は、大きな外部バッファコンデンサ C_{EXT} を配置できます。寸法設計では、サンプリングされたアナログ入力 $Error_{AN}$ での最大ターゲットエラーが考慮されます。

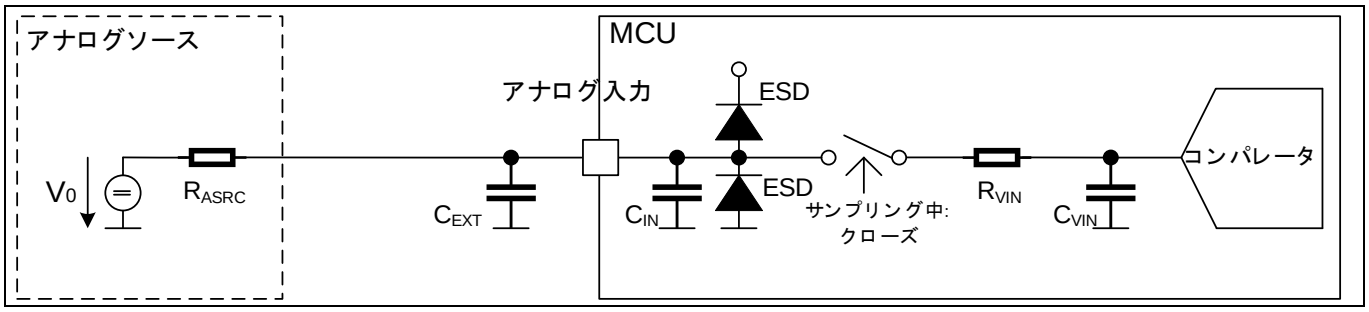
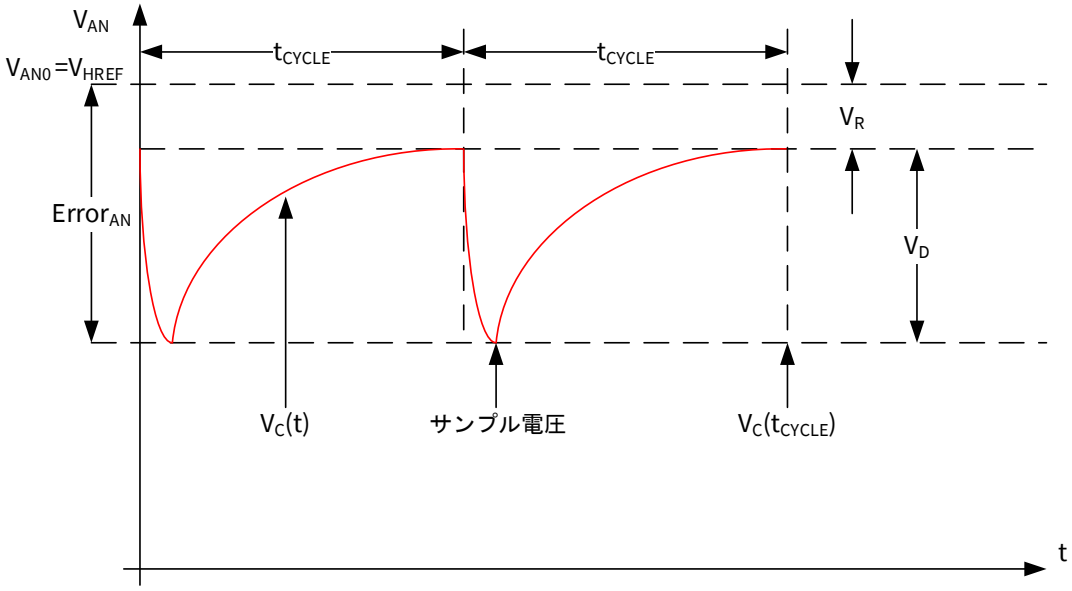


Figure 38 内部スイッチングノイズに対するデカップリングコンデンサを備えたアナログ入力



tCYCLE : 1つのアナログ入力/チャネルのサイクルタイム
V0 : アナログソース電圧
VR : tCYCLE終了時の残留電圧
VC(t) : CEXTの充電曲線
VD : CEXTからサンプルコンデンサCVINへの充電によるサンプルフェーズ開始時の電圧降下
ErrorAN : サンプル電圧とアナログソース電圧レベル間の電圧の誤差

Figure 39　ユースケース $C_{EXT} > 2^r * C_{VIN}$ の C_{EXT} の簡略化された周期的充電曲線

最初に、最大許容誤差 $Error_{AN}$ を以下に示すように定義する必要があります。

$$Error_{AN} = 1/2^E \times LSB_r$$

Equation 11

ここで、

r = 12: 12 ビットの分解能 E = 0; $Error_{AN}$ = 1 LSBr/4/2

r = 12: 12 ビットの分解能 E = 1; $Error_{AN}$ = LSBr/2

r = 12: 12 ビットの分解能 E = 2; $Error_{AN}$ = LSBr/4

$$C_{EXT} = 2^{r+E} \times C_{VIN}$$

Equation 12

12 ビット分解能 (r=12) で 0.25 LSB (E=2) 未満のサンプリングエラーを達成するために、最小外部フィルタコンデンサ C_{EXT} は次のようになります。

$$C_{EXT,0.25LSB} \geq 2^{r+E} \times C_{VIN} = 2^{12+2} \times C_{VIN}$$

Equation 13

$C_{EXT} > 2r * C_{VIN}$ を選択するため、サンプル時間 t_S はアナログソース R_{ASRC} とは独立して選択できます。その場合でも、R_{ASRC} はサイクルタイム t_{CYCLE} に直接影響を及ぼします。

13.1.7 ディスクリート RC フィルタ

延長されたサンプル時間がアナログ信号入力のノイズをフィルタリングするには不十分な場合は、外部ローパスフィルタ (RC フィルタ) をアナログ入力ピンに使用できます (Figure 40 を参照)。可能なサンプル周期を RC フィルタのカットオフ周波数とクロスチェックし、アナログ入力の完全なリーク電流による R_{EXT} での電圧降下は、測定されたアナログ信号の必要な精度を超えてはいけません。

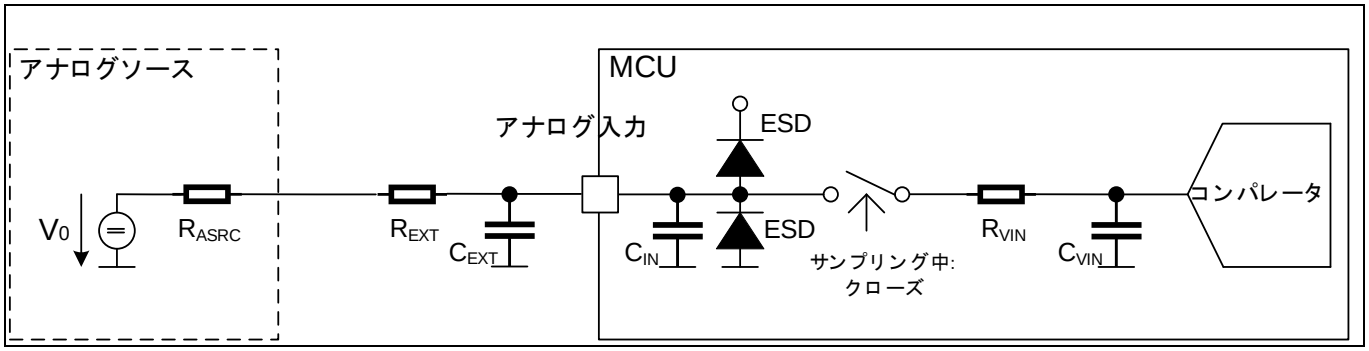


Figure 40 ローパスフィルタ付きアナログ入力

14 アセンブリおよびパッケージ関連の PCB 設計

アプリケーションノート AN202751 および AN79938 は、さまざまな BGA パッケージの表面実装アセンブリ, 関連する PCB 設計, 表面実装プロセスフロー, および最終的な接合検査方法に関するガイドラインを提供します。

15 ビデオインタフェース

15.1 FPD-Link

15.1.1 信号ピンの設定

FPD 差動データ出力信号ペア FPDx_TyP/N は自由に設定できます。これは、ディスプレイコネクタへの信号ルーティング用の PCB 層を変更することにより、信号ペアの交差を回避するという利点を提供します。ただし、FPD クロック信号ペアは固定ピン上にあります。

15.1.2 パワードメイン VDD_PLL

FPD-Link リンクの PLL パワードメイン VDD_PLL は非常にノイズに敏感であり、ジッタが原因で誤った FPD-Link 通信が発生する可能性があります。したがって、サイレント電源入力を満たすには、次の対策が必要です。

- 外部フィルタ
- クロストークを引き起こさない近くの信号 (例えば、I/O 信号)

Note: CYT3DL 216-TEQFP パッケージでは、並列の場合、FPD-Link とポートピン P.16.5 および P16.6 が使用されます。両方のピンは、ノイズのない I/O 機能 (例えば、ドライバ強度の低い制御信号) 専用である必要があります。

15.1.3 未使用のポートピンの扱い

専用ポート端子を参照してください。

15.1.4 未使用の電源ドメインの扱い

一般的な情報については未使用の電源ドメインを参照してから、Appendix のデバイス固有の情報を参照してください。

15.2 PLL 電源 RGB インタフェース

15.2.1 信号ピンの構成

RGB インタフェースのピン名は、機能割り当てについて完全に明確ではないため、Figure 41 にバイパスモードである”スタンダード”GPU 表示モードの柔軟性を示します。以下では、信号グループのルーティングについて説明します。

ピクセルクロック: ピクセルクロックでは、TTL_DSPx_CLOCK ピンに直接ルーティングされます。

フレームタイミング信号 (HSYNC, VSYNC, DE): 各信号は、GPU の信号発生器を介し、いくつかの TTL_DISPx_CONTROL[y]ピンに配線されます。これは、柔軟性を向上し、機能ピン割当てアプローチに推奨されます。

24 ビット RGB の代わりに、18 ビット RGB のみを使用する場合、マップビット(MB) MUXer を介し、制御信号を TTL_DISPx_DATA0/1[y]ピンの 1 つにマッピングもできます。MB MUXer は、本章にない FPD-Link のすべての RGB 信号のビットマッピングを担当するため、このオプションのみを使用できます。

RGB カラー信号: カラー信号は、TTL_DISPx_DATA0/1[y]に自由に配線できます。この柔軟なピン割当てにより、PCB 上でディスプレイコネクタへの信号交差を回避できる場合があります。

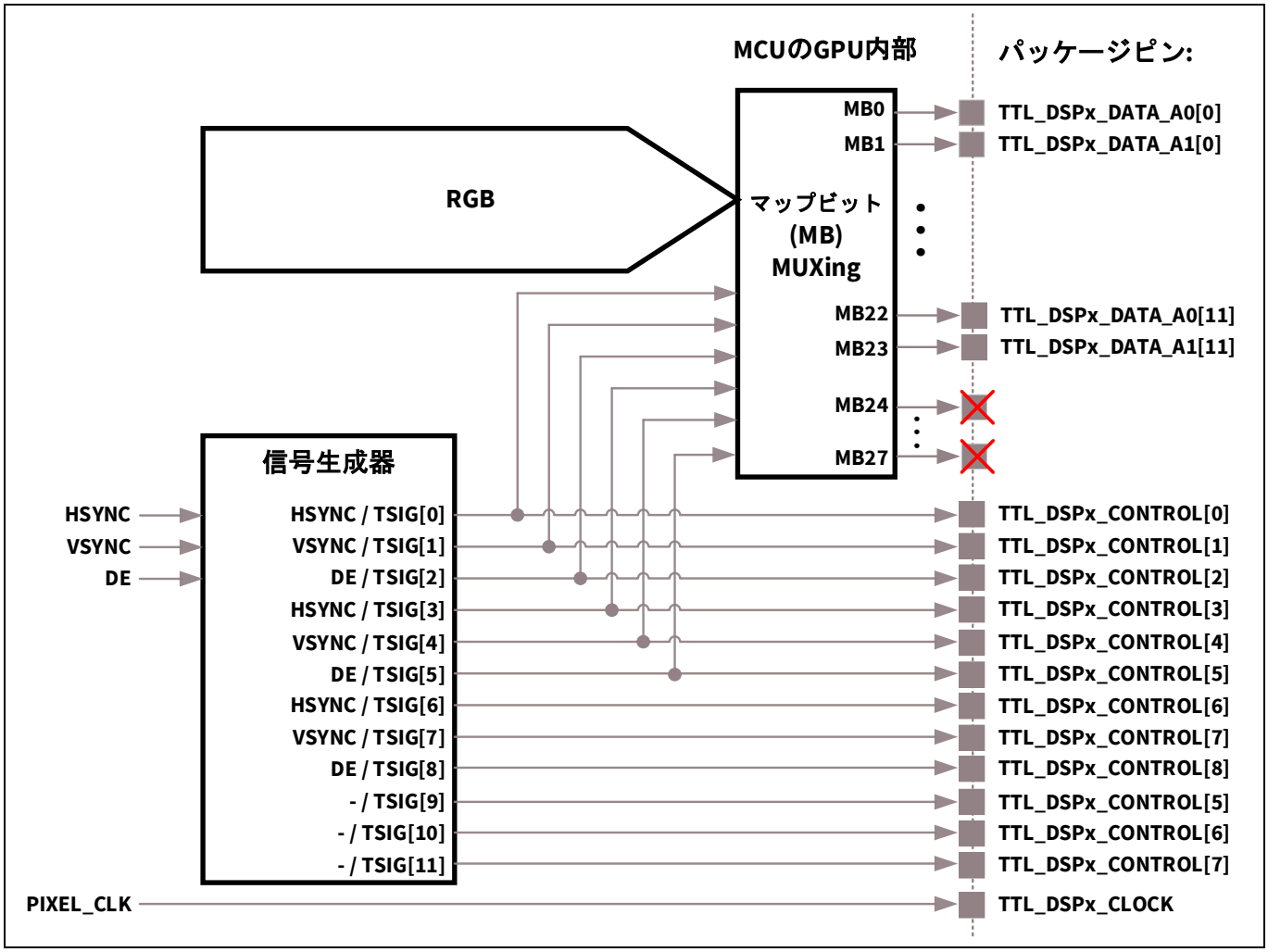


Figure 41　GPU からパッケージピンへの内部 RGB 信号配線

15.3　MIPI

15.3.1　信号ピンの設定

MIPI ピンの機能は、標準の GPIO ピンのように明示的に設定する必要はありません。これらのピンは MIPI 専用であるためです。したがって、これは MIPI 自体によって暗黙的に行われます。

MIPI_REXT: 外部の 15kΩ 1%プルダウン抵抗を MIPI_REXT ピンに接続してください。

終端: 内部の 100Ω -20/+25%終端抵抗を使用してから、キャリブレーション機能を使用してください。

15.3.2　未使用のポートピンの扱い

専用ポート端子を参照してください。

15.3.3　未使用の電源ドメインの扱い

一般的な情報については未使用の電源ドメインを参照してから、Appendix のデバイス固有の情報を参照してください。

16 オーディオ DAC

16.1.1 実装と機能

オーディオデジタル-アナログコンバータ (DAC) は、MCU 内のアナログオーディオブロックであり、内部 CIC フィルタ, FIR フィルタ, 補間フィルタ, および 10 ビット解像度のデルタシグマ変調器をサポートします。両 OUT 信号 (DAC_L と DAC_R) は、外部出力負荷抵抗が 20 kΩを超え、負荷容量が 100pF 未満の外部オーディオアンプに接続することを目的としています。

DAC ブロックはいくつかの内部電源ドメインで構成されます。3 次ローパスフィルタのカットオフ周波数は 90kHz です。DAC のノイズクリティカルな回路はアナログ部 VDDA です。DC バイアスの出力電圧は、以下に示すように、内部分圧器 131.6k/131.6k と COM ピンの外部平滑コンデンサ (C_{COM}) によって決まります。

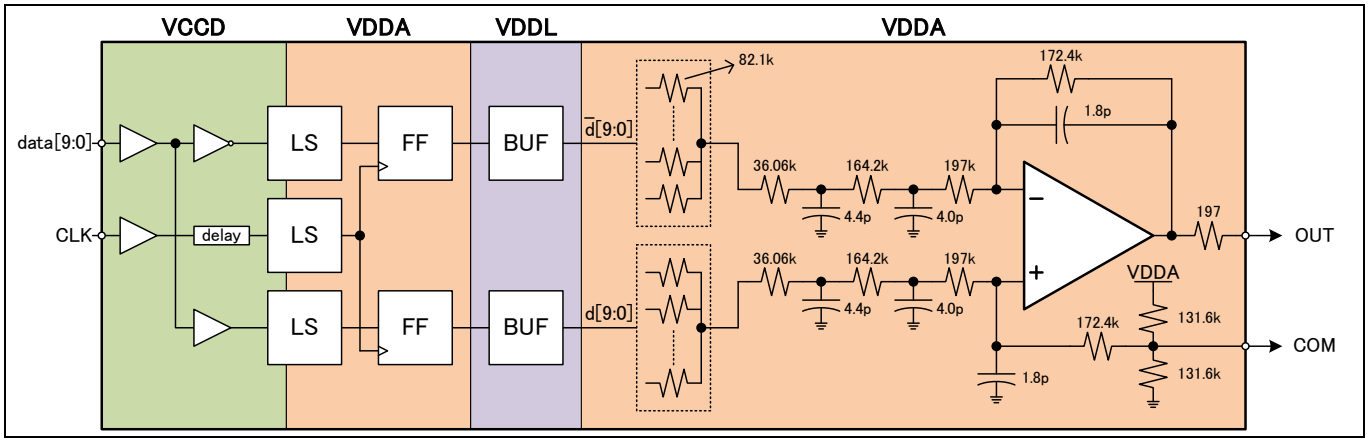


Figure 42 オーディオ DAC 出力のブロックダイヤグラム

Figure 43 に示すように、起動時間は選択した平滑コンデンサ (C_{COM}) 値によって異なり、2.2µF (低 ESR) で 70ms までの統合高速起動タイマを使用して設定する必要があります。2.2 µF より大きいコンデンサが必要な場合は、データシートのこの参照値に基づいて、*FastRampCount* 期間と *CompRampCount* 期間のタイマ設定を調整してください。

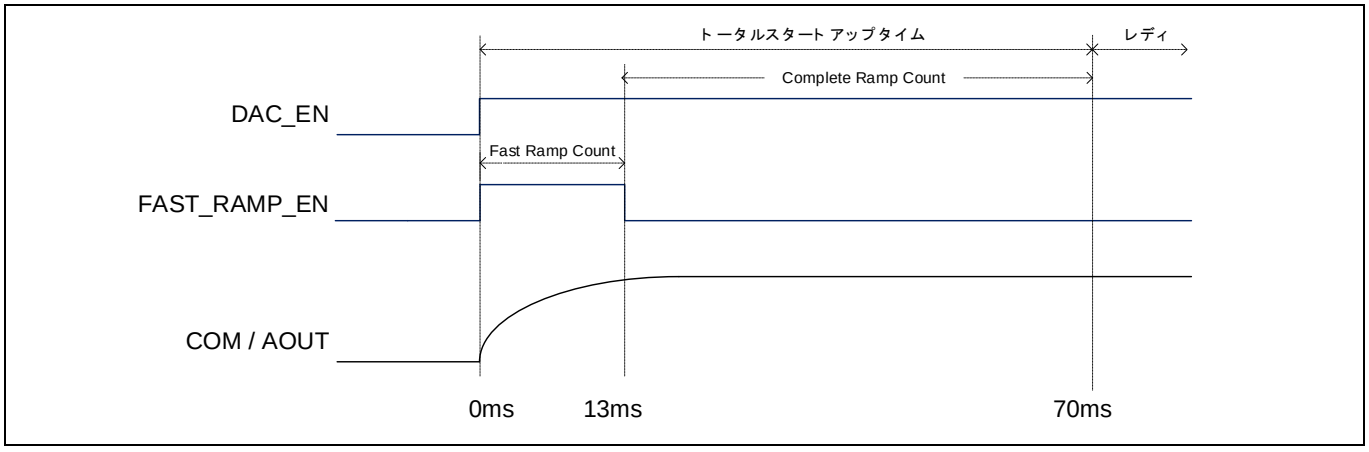


Figure 43 オーディオ-DAC 起動時間

オーディオ DAC の起動時に、外部アンプの電源を切るか、ミュートモード (ミュートモードが使用可能な場合) にする必要があります。一般的な COM コンデンサの値は 2.2 µF です。通常、オーディオ DAC が

70ms で準備ができることを確認するために、高速起動タイマを 13 ms に設定する必要があります。サポートされる最大 COM コンデンサは 10 µF です。この場合、高速起動タイマを 60 ms に設定する必要があります。Figure 43 に、DAC_EN、FAST_RAMP_EN の関係と、起動時の COM 出力の動作を示します。

16.1.2 電源ドメインフィルタ

Figure 42 の内部 VDDA ブロックに対応するオーディオ DAC のアナログブロックは、ノイズに非常に敏感です。電源の各ノイズは、オーディオ出力で直接聞けます。したがって、VDDA_DAC / VSSA_DAC 電源ドメインピンにサイレント電源を作成するために、以下のいずれかを推奨します。

- LDO リニアレギュレータ
- 3.3V 電源用のローパスフィルタ (LPF)

アプリケーションのデジタルおよびアナログ部分に共通の 3.3 V 電源を使用する場合は、Table 7 にリストされている潜在的なノイズ源を考慮する必要があります。この場合、Figure 44 の電源フィルタが 3V3 オーディオ電源ドメインに推奨されます。

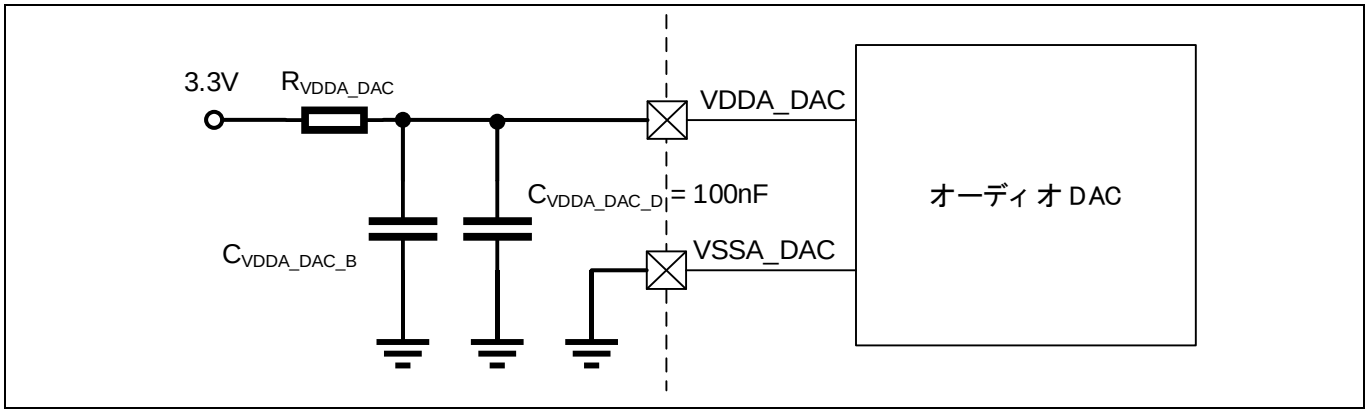


Figure 44 オーディオ DAC 用電源フィルタ (LPF)

Table 7 3V3 オーディオ電源ドメインの潜在的なノイズ源

ドメイン	周波数範囲	コメント
Audio	100Hz ～ 20kHz	オーディオ
DC-DC Converter (スイッチングレギュレータ)	300kHz ～ 2.2MHz	スイッチング周波数
	< 100kHz	反応時間
FPD-Link (IO ドメイン)	32 MHz ～ 110MHz	バス速度; 遷移の等価周波数範囲は考慮されません。
Memory Interface	50 MHz ～ 133MHz	
Ethernet	50 MHz ～ 125MHz	
Communication Interface	1 MHz ～ 10MHz	

16.1.2.1 ローパスフィルタの計算

以下の図に、ユーザーの責任で使用可能なオーディオ DAC の電源用の単純な RC LPF を示します。

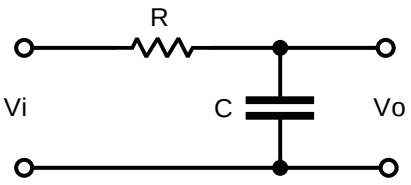


Figure 45 RC ローパスフィルタ (RC LPF)

フィルタのカットオフ周波数は、以下の式で計算できます。

$$a = \frac{Vi}{Vo} = \frac{1}{\sqrt{1+(2\pi fRC)^2}}$$

$$fc = \frac{1}{2\pi RC}$$

Equation 14

Note: RC フィルタオクターブあたり-6dB は、ディケードあたり 20dB に対応します。

以下の式に、RC ローパスフィルタの計算例を示します。

$$fc(-3dB) = \frac{1}{2\pi * 10\Omega * 10uF} = 1.592\text{kHz}$$

Equation 15

以下の表に、LPF の計算されたカットオフ周波数を示します。デフォルト値: C = 2.2µF および R = 10Ω。

Table 8 LPF カットオフ周波数

R[Ω]	**10**	**1**	**0.3**
C[uF]	**f3dB[kHz]**	**f3dB[kHz]**	**f3dB[kHz]**
10	1.59	15.9	53.1
4.7	3.39	33.9	112.9
2.2	7.2	72.3	241.1
1	15.92	159.2	530.5
0.47	33.96	338.6	1128.8
0.22	72.34	723.4	2411.4
0.1	159.15	1591.5	5305.2

次の表に示すように、直列抵抗 (Rfilter) が原因で、電源ドメインピン VDDA DC に推定 IR ドロップがあります。LPF の直列抵抗 (Rfilter) の減少は、カットオフ周波数に影響を与えます。抵抗の代替として、Rdc ≤ 300 mΩ のフェライトビーズを推奨します。Table 34 の例を参照してください。

Table 9　　LPF DC 電源パワードロップの推定

IDD [mA] (SID1318)	R [Ω]	Vdc [mV]
3.2	10	32
	4.7	15.04
	2.2	7.04
	1	3.2
	0.8	2.56
	0.5	1.6
	0.3	0.96
	0.1	0.32

Note: このアプリケーションでは、スピーカーに接続するために、Figure 47 に示すように、出力ピン DAC_L/R に小さな直列コンデンサが追加されます。このハードウェア設定は、SID1300 のパラメータ RL および CL と矛盾しません (以下の表を参照)。これらのパラメータは、Figure 46 に示すようにテスト回路に属します。

Note: 正しい値については、デバイスのデータシートを参照してください。

Table 10　　オーディオ DAC 出力負荷と C_{COM} 仕様

SID1300	**f_{CLKDA0}**	**システムクロック周波数**	**2.048**	**–**	**18.432**	**MHz**	**特に断りがない限り、すべてのパラメータは f_S = 44.1 kHz, システムクロック 256 x f_S および 16 ビットデータ, R_L = 20 kΩ, C_L = 100 pF, と設定されています。**
SID1301	f_S	サンプリングクロック	8	–	48	kHz	–
SID1302	R_L	アナログ出力負荷抵抗	20	–	–	kΩ	DAC_L, DAC_R
SID1303	C_L	アナログ出力負荷静電容量	–	–	100	pF	DAC_L, DAC_R
SID1304	C_{COM}	Com 静電容量	2.2	–	10	µF	C_L, C_R
SID1305	V_{OUT_MAX}	アナログ出力シングルエンド出力範囲 (±フルスケール)	0.655 x V_{DDA_DAC}	0.673 x V_{DDA_DAC}	0.690 x V_{DDA_DAC}	V_{P-P}	DAC_L, DAC_R, RL = 20 kΩ, CL = 100 pF
SID1306	V_{OUT_ZERO}	アナログ出力電圧 (ゼロ)	0.49 x V_{DDA_DAC}	0.5 x V_{DDA_DAC}	0.51 x V_{DDA_DAC}	V	DAC_L, DAC_R

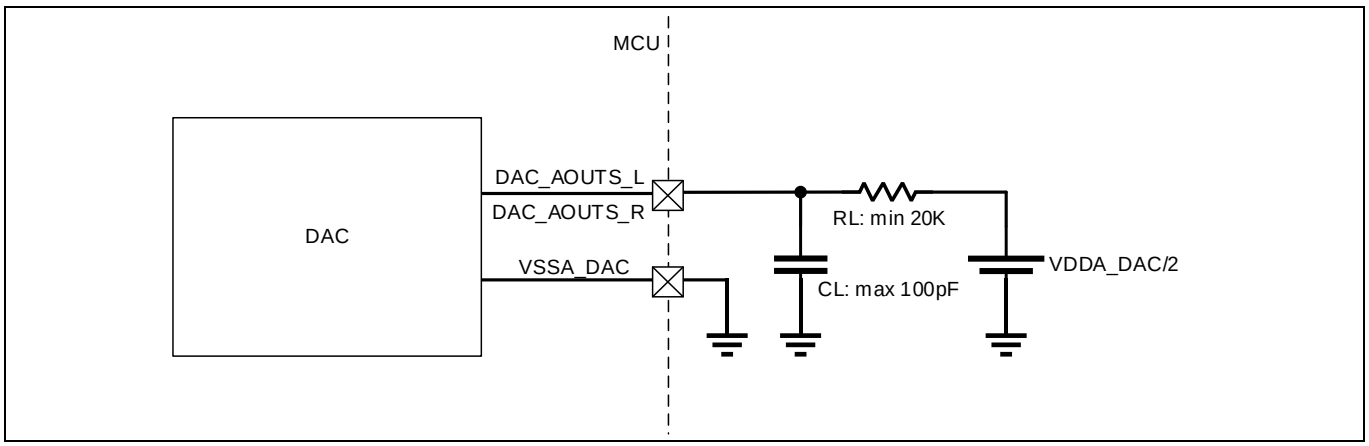


Figure 46　VDDA_DAC/2 に接続された DC カップリング (テスト回路)

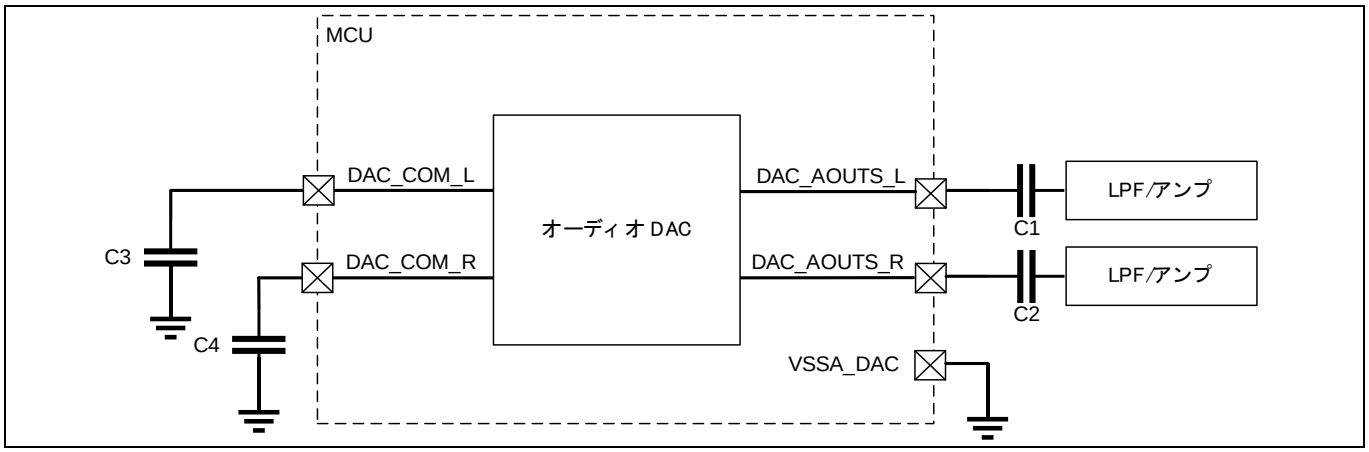


Figure 47　LPF とアンプに接続された AC カップリング (アプリケーション例)

コンデンサ:

- **C1, C2**: 10 nF-10 µF AC カップリングコンデンサ
- **C3, C3**: 2.2 µF-10 µF 低 ESR コンデンサ

16.1.3　未使用のオーディオ-DAC

オーディオ DAC がターゲットシステムで使用されない場合、またはモノラルサウンド出力としてのみ使用される場合、関連するオーディオ DAC ピンは、未使用の電源ドメインおよび専用ポート端子で説明されるように処理されます。

16.1.4　スピーカー出力でのポップノイズの回避

オーディオ DAC と外部アンプは、パワーアップまたはパワーダウン中に DAC0_IF_CTL レジスタの DAC_EN ビットでハイからローまたはローからハイへの遷移が発生すると、ポップノイズを生成します。

必要に応じて、このようなポップノイズを抑制するために、以下の図に示すように外部回路を推奨します。オーディオ DAC の起動中は、外部アンプの電源を切るか、ミュートモード (ミュートモードが使用可能な場合) にする必要があります。これらの図に、オーディオ DAC のユースケースの例を示します。

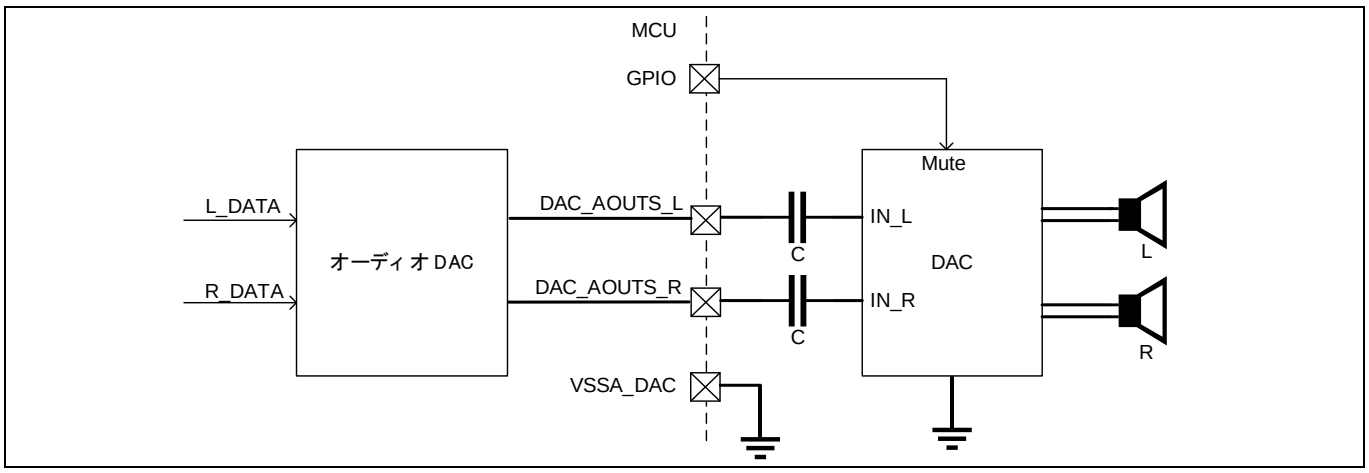


Figure 48　シングルエンド モノラル/ステレオ出力を備えたオーディオ DAC

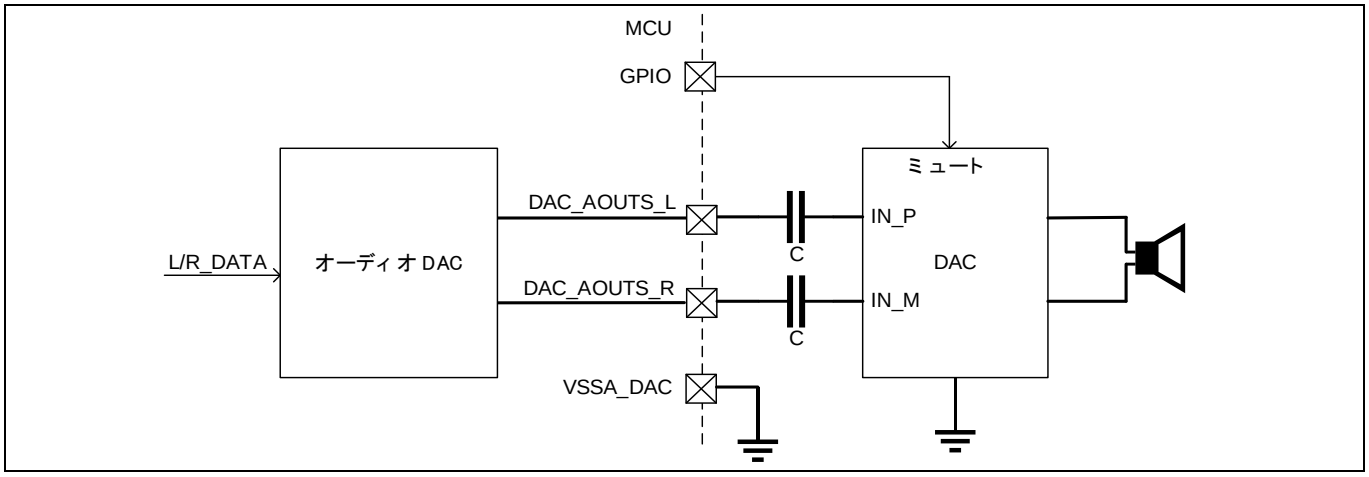


Figure 49　差動エンド モノラル出力を備えたオーディオ DAC

17 まとめ

このアプリケーションノートでは、最小の MCU システムをセットアップする方法を記述しました。また、MCU ピンの異なるケースの取扱方法と適切な PCB レイアウトの設計方法についてのヒントも提供しました。

18 略語

略語	説明
ADC	アナログデジタルコンバータ (A/D converter)
ALT	Alternate
AN	アナログ入力
BOD	ブラウンアウト検出 (brown-out detection)
BOM	bill of material
Cap	コンデンサ (capacitor)
DAP	デバッグアクセスポート
decap	デカップリングコンデンサ
DDR	ダブルデータレート。クロックサイクル内で 2 回データがサンプリングされる。fDATA = fCLK
DE	ディスプレイイネーブル
DS	データシート
DUT	被試験デバイス
ECU	電子制御ユニット
ETM	組込みトレースマクロ
Ext	外部の (External)
GND	電気的グランド
GPIO	汎用インプット/アウトプット
HVD	高電圧検出
HSYNC	水平同期信号
IC	集積回路
IF	インタフェース
Int	内部の (Internal)
IO	入出力
JTAG	Joint Test Action Group は IEEE 1149.1 の一般名称です。 標準テストアクセスポート、バウンダリスキャンアーキテクチャ、そして MCU 内のオンチップデバッグ用デバッグツールインタフェース
LDO	低ドロップアウトリニアレギュレータ
LPF	ローパスフィルタ
LVD	低電圧検出
LU	ラッチアップ
MAC	メディアアクセスコントロール。通信媒体から独立した部品
MB	マップビット
MCU	マイクロコントローラまたはマイクロコントローラユニット
PDN	電源分配ネットワーク
PHY	物理相. デジタルチャネルと変調チャネル間のデータコーディングおよびエンコーディング用の電気部品
PMIC	パワーマネージメント IC

18 略語

略語	説明
SDR	シングルデータレート。クロックサイクル内で 2 回データがサンプリングされる。fDATA = ½ x fCLK
S/s	サンプル/秒
NC	未接続 (not connected)
OCD	過電流検出
OVD	過電圧検出
PCB	プリント回路基板
POR	パワーオンリセット
Rd	ダンピング抵抗
Rf	フィードバック抵抗
STP	シールド付きツイストペア
SWD	シリアルワイヤデバッグ
TRM	テクニカルリファレンスマニュアル
VCC	電源端子の一般命名則
Voltage droop	過渡的な電圧降下
VSS	グランド端子の一般命名則
VSYNC	垂直同期信号
WDT	ウォッチドッグタイマ

19 Appendix A - 電源コンセプト

19.1 はじめに

ここでは、MCU 電源のデカップリングコンデンサを含む MCU 固有の電源コンセプトを示します。

Note: デカップリングコンデンサとバイパスコンデンサの配置はアプリケーションに依存し、設計者の責任です。通常、バイパスコンデンサは、PMIC の負荷応答に対し十分ではありません。これは特に I/O 電源に有効です。詳細については、I/O ドメインを参照してください。

Note: デフォルトでは、X7R 温度特性のコンデンサを使用する必要があります。

19.2 用語定義

- f_{CLK}: クロック信号周波数
- f_{DATA}: データ信号周波数
- SDR: シングルデータレート。クロックサイクル内で 1 回だけサンプリングされたデータ。$f_{DATA} = ½ x f_{CLK}$
- DDR: ダブルデータレート。クロックサイクル内で 2 回サンプリングされたデータ。$f_{DATA} = f_{CLK}$
- ‘Pin’: 元のピン名の同義語
- ドメイン: 電源ドメイン。1 つの電源ドメインに 1 つ以上の電源ピンを含みます。(例えば、VDDD には複数のピンがあります)
- 電圧降下: 過渡電圧降下

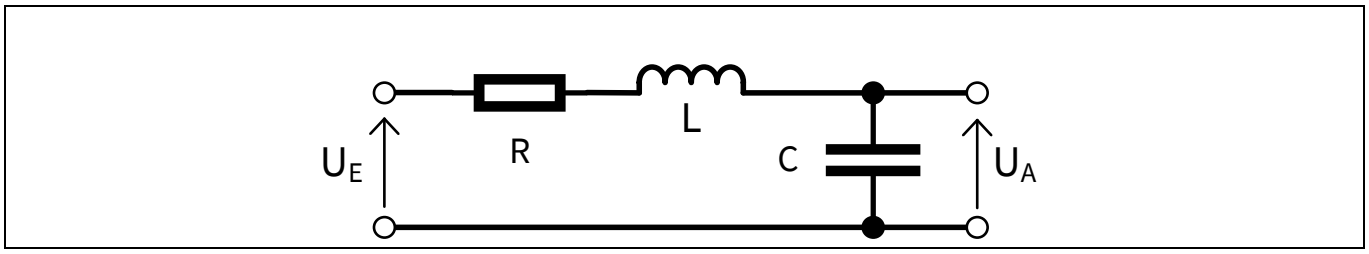


Figure 50 RLC ローパスフィルタの等価回路

19.3 CYT2B シリーズ (QFN および LQFP パッケージ)

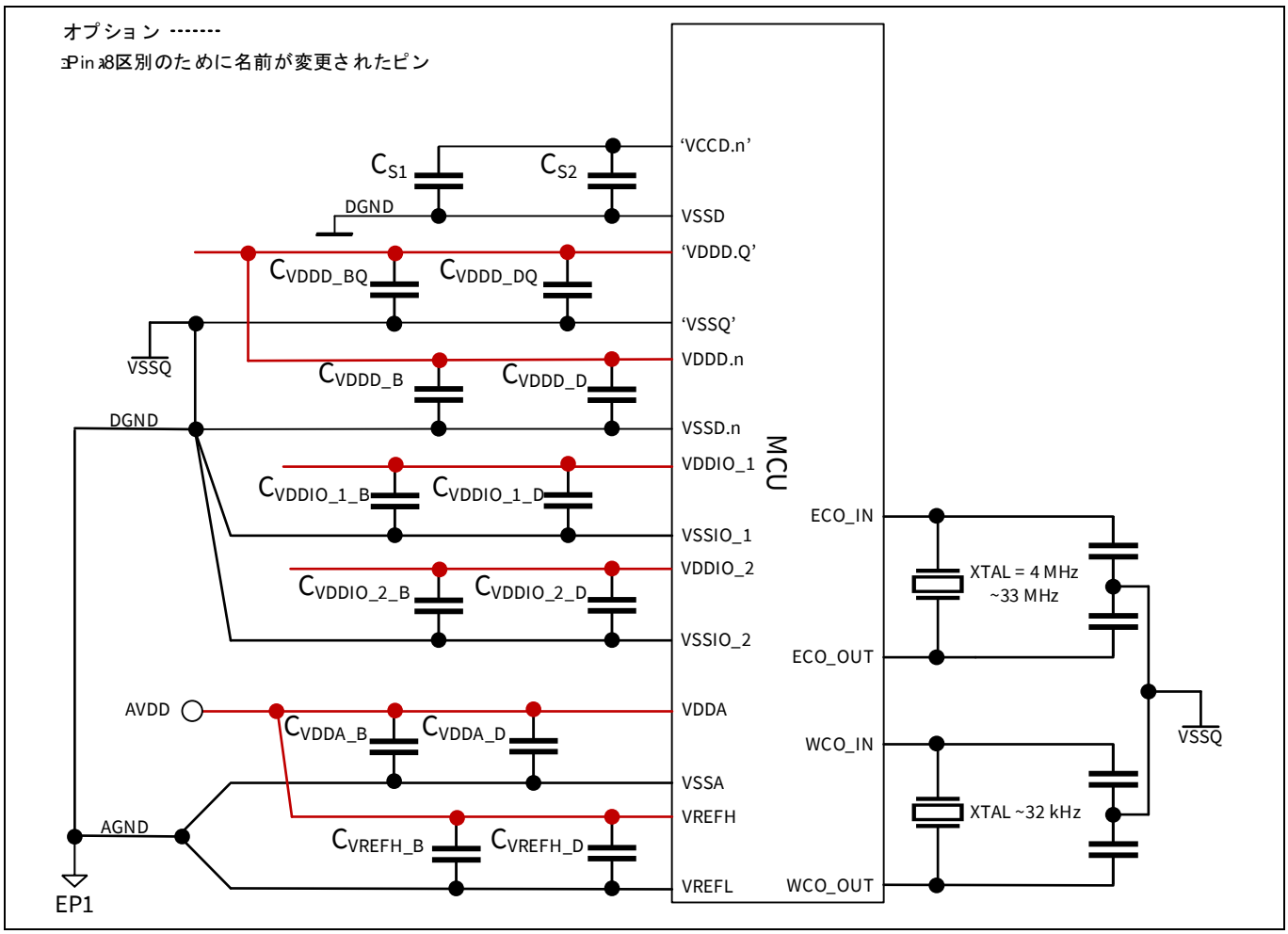


Figure 51 CYT2B シリーズの電源コンセプト例

Table 11 CYT2B シリーズの外部コンポーネント統合の例

記号	パラメータ	パッケージ	
		値	説明
C_{S1}	コア電源用 VCCD ドメインのバイパス/平滑コンデンサ	X7R タイプ	データシートの値。 'VCCD.CS1'に対応するデバイス DS 仕様に従ってピンペアに近接配置。 ドメインごとに 1 つのコンデンサ。 ESR ≤ 100 mΩ, コンデンサあたり合計 ESL ≤ 4 nH, アクティブレギュレータによる I_{DD}[11] ≤ 150mA のピン 'VCCD.CS1'を優先するすべての VCCD ピンへのボードトラックを含む。 低インピーダンスを推奨します。

[11] I_{DD}: CYT2B データシートの VDDD の入力電流定義

19 Appendix A - 電源コンセプト

記号	パラメータ	パッケージ	
		値	説明
C_{S2}	コア電源用 VCCD ドメインのデカップリングコンデンサ	100nF X7R ALT: 47nF X7R	オプション: C_{S1} と電源ドメインピン間の PCB 寄生容量による EMC 問題のリスクの影響を受ける電源ドメインピンに 1 つのコンデンサ。
C_{VDDD_BQ}	IP 用 VDDD ドメインのバイパスコンデンサ	4.7µF X7R	低周波デカップリングおよび MCU 突入電流にも使用されます。 PCB 固有のコンデンサの寸法については、データシートの仕様 ID SID603 のアクティブレギュレータからの突入電流、および Appendix D – アクティブレギュレータの突入電流を考慮してください。 ボードトラックを含む ESR ≤ 100 mΩ, ESL ≤ 4 nH
C_{VDDD_DQ}	IP 用 VDDD ドメインのデカップリングコンデンサ	100nF X7R	内部 LDO の安定性を維持し、トリップポイントによるリセットのために、300 mV を超える電圧降下を避ける必要があります。 'VDDD.Q' (Quiet Supply) ピンは、I/O ドメインとは共有されませんが、主に発振器と共有されます。
C_{VDDD_B}	IP および I/O 用 VDDD ドメインのバイパスコンデンサ	-	C_{VDDD_BQ} によって電源ラインへの供給バイパスが十分でない場合のみ必要です。
C_{VDDD_D}[12],[13]	Logic および I/O 用 VDDD ドメインのデカップリングコンデンサ	100nF X7R	ドメインピンごとに 1 つのコンデンサ。デカップリング条件はピンごとに有効です。すべてのトグルグループは互いに非同期にトグルする必要があります。
$C_{VDDIO_1_B}$[14]	IO 用 VDDIO_1 ドメインのバイパスコンデンサ	1µF X7R	オプション。電源のインダクタンスに依存します。
$C_{VDDIO_1_D}$[15],[16]	IO 用 VDDIO_1 ドメインのデカップリングコンデンサ	100nF X7R	ドメインピンごとに 1 つのコンデンサ。デカップリング条件は、ドメイン全体に有効です。
$C_{VDDIO_2_B}$	IO 用 VDDIO_2 ドメインのバイパスコンデンサ	-	-

[12] VDD: 5 V, 4%の電圧降下, f_{DATA}: 2MHz, 4x パラレル転送: 20 ns, C_L/ピン: 47 pF, デバイスの内部インピーダンス考慮なし。

[13] VDDD: 5 V, 4%の電圧降下, f_{DATA}: 0.1 MHz, 4x パラレル転送: 20 ns, C_L /ピン: 47 pF, デバイスの内部インピーダンス考慮なし。

[14] VDDIO_1: PMIC 負荷応答 > 300 kHz

[15] VDDIO_1: 5 V, 4%の電圧降下, f_{DATA}: 2MHz, 5x パラレル転送: 20 ns, C_L/ピン: 47 pF, デバイスの内部インピーダンス考慮なし。

[16] VDDIO_1: 5 V, 4%の電圧降下, f_{DATA}: 0.1 MHz, 5x パラレル転送: 100 ns, C_L /ピン: 47 pF, 脚注 15 と非同期, デバイスの内部インピーダンス考慮なし。

19 Appendix A - 電源コンセプト

記号	パラメータ	パッケージ	
		値	説明
$C_{VDDIO_2_D}$[17]	IO 用 VDDIO_2 ドメインのデカップリングコンデンサ	100nF X7R	ドメインピンごとに 1 つのコンデンサ。デカップリング条件はドメイン全体に有効です。 *Note: VDDIO_2 の電圧降下は VDDA −0.3 V ≤ VDDIO_2 ≤ VDDA を満たす必要があります。*
C_{VDDA_B}[18]	ADC 用 VDDA のバイパスコンデンサ	2.2µF X7R	-
C_{VDDA_D}	ADC 用 VDDA のデカップリングコンデンサ	100nF X7R	ドメインピンごとに 1 つのコンデンサ。
C_{VREFH_B}	ADC 用 VREFH のバイパスコンデンサ	2.2µF X7R	オプション。個別のアナログ基準電源を使用する場合のみ必要です。 サイレントな供給が必要です。供給が不十分な場合は、LPF が必要です。
C_{VREFH_D}	ADC 用 VREFH のデカップリングコンデンサ	100nF X7R	

Table 12　CYT2B シリーズ用の特別な電源ドメイン端子

名前	パッケージ端子数 (実際の端子名)						コメント
	48-QFN	**64-LQFP**	**80-LQFP**	**100-LQFP**	**144-LQFP**	**176-LQFP**	
VDDD.Q	41 (VDDD)	55 (VDDD)	69 (VDDD)	86 (VDDD)	124 (VDDD)	153 (VDDD)	Quiet Supply。 I/O ドメインとは共有されません。
VSSQ	42 (VSSD)	56 (VSSD)	70 (VSSD)	87 (VSSD)	125 (VSSD)	154 (VSSD)	発振器用 Quiet グランド
VCCD.CS1	44 (VCCD)	58 (VCCD)	72 (VCCD)	89 (VCCD)	127 (VCCD)	156 (VCCD)	-

[17] VDDIO_2: 5 V, 4%の電圧降下, f_{CLK}: 2MHz, SDR, 10x パラレル転送: 20 ns, C_L/ピン: 47 pF, デバイスの内部インピーダンス考慮なし。

[18] ノイズ低減のため C_{VDDA_B} を両方の ADC DeCaps に接続します。3 つの ADC ユニットは非同期ではなく同時に実行しますが前提条件機能は使用されません。アナログの電源とグランドは Figure 59 に従って次の値を超えないようにしてください。$R_{AVDD} \leq$ 100 mΩ, $L_{AVDD} \leq$ 15 nH, $R_{AGND} \leq$ 100 mΩ, $L_{AGND} \leq$ 15 nH, L1 ≤ 1 nH, L2 ≤ 1nH

19.4 CYT3B/4B/6B シリーズ (TEQFP パッケージ)

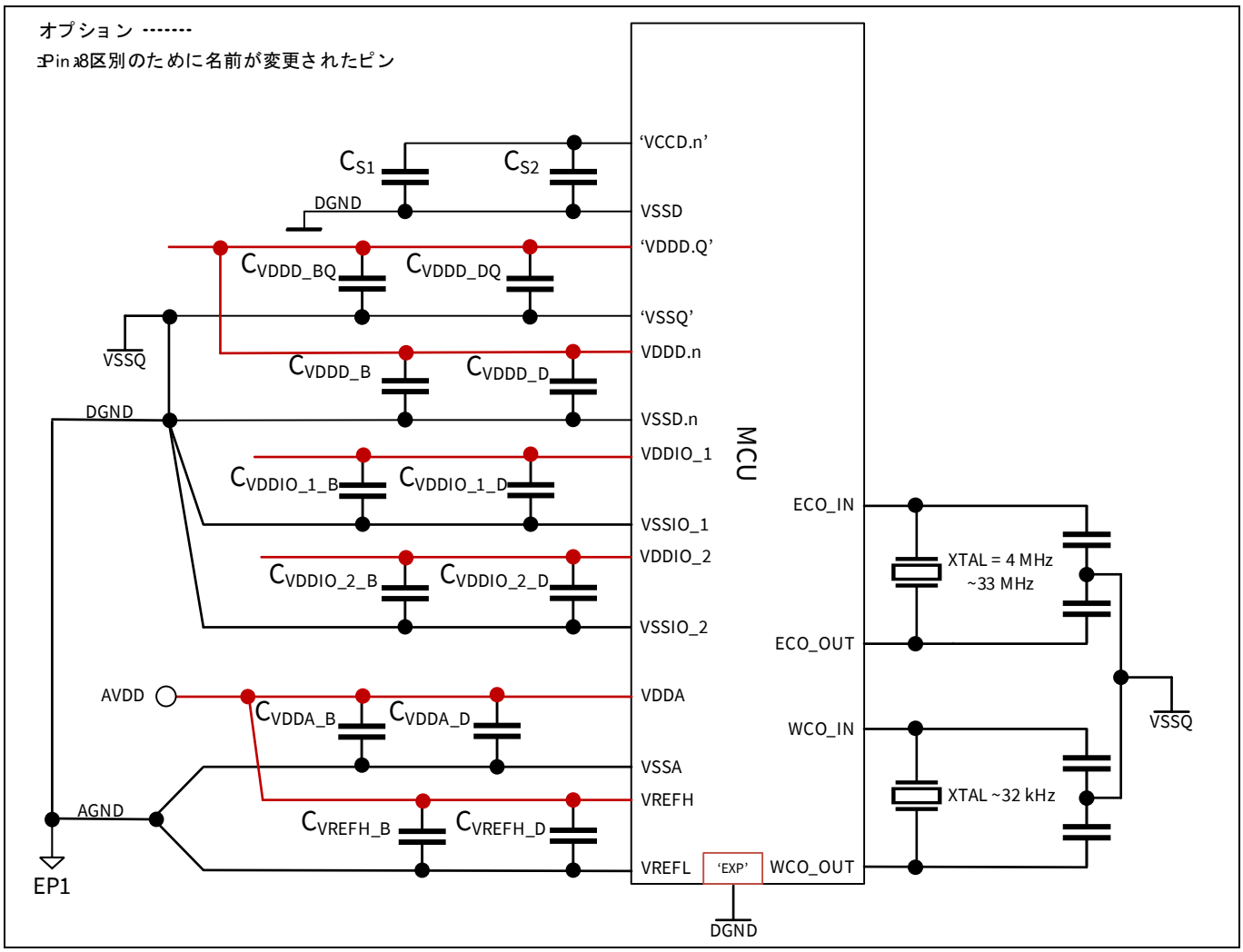


Figure 52 CYT3B/4B/6B シリーズ (TEQFP パッケージ) の電源コンセプト例

19 Appendix A - 電源コンセプト

Table 13 CYT3B/4B/6B シリーズ (TEQFP パッケージ) の外部コンポーネント統合の例

記号	パラメータ	パッケージ	
		値	説明
C_{S1}	コア電源用 VCCD ドメインのバイパス/平滑コンデンサ	X7R タイプ	データシートの値。 'VCCD.CS1'に対応するデバイス DS 仕様に従ってピンペアに近接配置。 電源ドメインごとに 2 つのコンデンサ。 アクティブレギュレータによる I_{DD_VDDD}[19] ≤ 300mA のピン 'VCCD.CS1'を優先するすべての VCCD ピンへのボードトラックを含む、コンデンサあたりの ESR ≤ 100mΩ, ESL ≤ 4nH。 値は、外部 PMIC からの永続的な供給時の DeepSleep からのウェイクアップのような高負荷遷移のケースをカバーしていません。
C_{S2}	コア電源用 VCCD ドメインのデカップリングコンデンサ	100 nF X7R ALT: 47 nF X7R	ドメインピングループごとに 1 つのコンデンサ。VCCD ピングループの定義については Table 14 を参照してください。
C_{VDDD_BQ}	IP 用 VDDD ドメインのバイパスコンデンサ	> 22 µF X7R	低周波デカップリングおよび MCU 突入電流にも使用されます。PCB 固有のコンデンサの寸法については、データシートの仕様 ID SID603 に記載されるアクティブレギュレータからの突入電流および Appendix D – アクティブレギュレータの突入電流を考慮してください。 ボードトラックを含むコンデンサあたりの合計で ESR ≤ 50mΩ, ESL ≤ 2nH。 インピーダンスを考慮し、2 つのコンデンサを推奨します。
C_{VDDD_DQ}	IP 用 VDDD ドメインのデカップリングコンデンサ	100 nF X7R	内部 LDO の安定性を維持し、トリップポイントによるリセットのために、300mV を超える電圧降下を避ける必要があります。 'VDDD.Q' (Quiet Supply) ピン は I/O ドメインと共有されませんが、主に発振器と共有されます。
C_{VDDD_B}	IP および I/O 用 VDDD ドメインのバイパスコンデンサ	-	C_{VDDD_BQ} によって電源ラインへの供給バイパスが十分でない場合のみ必要です。

[19] I_{DD_VDDD}: CYT3B/4B/6B データシートの内部電源モードでの VDDD の入力電流定義

19 Appendix A - 電源コンセプト

記号	パラメータ	パッケージ	
		値	説明
C_{VDDD_D}[20],[21]	Logic および I/O 用 VDDD ドメインのデカップリングコンデンサ	100 nF X7R	ドメインピンごとに 1 つのコンデンサ。デカップリング条件はピンごとに有効です。すべてのトグルグループは互いに非同期にトグルする必要があります。
$C_{VDDIO_1_B}$[22]	IO 用 VDDIO_1 ドメインのバイパスコンデンサ	1 µF X7R	オプション。電源のインダクタンスに依存します。
$C_{VDDIO_1_D}$[23],[24]	IO 用 VDDIO_1 ドメインのデカップリングコンデンサ	100 nF X7R	ドメインピンごとに 1 つのコンデンサ。デカップリング条件はドメイン全体に有効です。
$C_{VDDIO_2_B}$	IO 用 VDDIO_2 ドメインのバイパスコンデンサ	-	-
$C_{VDDIO_2_D}$[25]	IO 用 VDDIO_2 ドメインのデカップリングコンデンサ	100 nF X7R	ドメインピンごとに 1 つのコンデンサ。デカップリング条件はドメイン全体に有効です。 *Note: VDDIO_2 の電圧降下は VDDA – 0.3 V ≤ VDDIO_2 ≤ VDDA を満たす必要があります。*
C_{VDDA_B}[26]	ADC 用 VDDA のバイパスコンデンサ	2.2 µF X7R	-
C_{VDDA_D}	ADC 用 VDDA のデカップリングコンデンサ	100 nF X7R	ドメインピンごとに 1 つのコンデンサ
C_{VREFH_B}	ADC 用 VREFH のバイパスコンデンサ	2.2 µF X7R	オプション。個別のアナログ基準電源を使用する場合のみ必要です。 サイレントな供給が必要です。供給が不十分な場合は、LPF が必要です。
C_{VREFH_D}	ADC 用 VREFH のデカップリングコンデンサ	100 nF X7R	-

[20] VDD: 5 V, 4%の電圧降下, f_{DATA}: 2MHz, 4x パラレル転送: 20 ns, C_L/ピン: 47 pF, デバイスの内部インピーダンス考慮なし。

[21] VDDD: 5 V, 4%の電圧降下, f_{DATA}: 0.1 MHz, 4x パラレル転送: 20 ns, C_L /ピン: 47 pF, デバイスの内部インピーダンス考慮なし。

[22] VDDIO_1: PMIC 負荷応答 > 300 kHz

[23] VDDIO_1: 5 V, 4%の電圧降下, f_{DATA}: 2MHz, 5x パラレル転送: 20 ns, C_L/ピン: 47 pF, デバイスの内部インピーダンス考慮なし。

[24] VDDIO_1: 5 V, 4%の電圧降下, f_{DATA}: 0.1 MHz, 5x パラレル転送: 100 ns, C_L /ピン: 47 pF, 脚注 23 と非同期, デバイスの内部インピーダンス考慮なし。

[25] VDDIO_2: 5 V, 4%の電圧降下, f_{CLK}: 2MHz, SDR, 10x パラレル転送: 20 ns, C_L/ピン: 47 pF, デバイスの内部インピーダンス考慮なし。

[26] ノイズ低減のため C_{VDDA_B} を両方の ADC DeCaps に接続します。3 つの ADC ユニットは非同期ではなく同時に実行しますが前提条件機能は使用されません。アナログの電源とグランドは Figure 59 に従って次の値を超えないようにしてください。R_{AVDD} ≤ 100 mΩ, L_{AVDD} ≤ 15 nH, R_{AGND} ≤ 100 mΩ, L_{AGND} ≤ 15 nH, L1 ≤ 1 nH, L2 ≤ 1nH

19 Appendix A - 電源コンセプト

Table 14 CYT3B/4B/6B シリーズ (QFP パッケージ) 用の特別な電源ドメイン端子

名前	パッケージ端子数 (実際の端子名)					コメント
	64-TEQFP	**80-TEQFP**	**100-TEQFP**	**144-TEQFP**	**176-TEQFP**	
VDDD.Q	利用できません。		86 (VDDD)	124 (VDDD)	153 (VDDD)	Quiet Supply。I/O ドメインとは共有されません。
VSSQ			87 (VSSD)	125 (VSSD)	154 (VSSD)	発振器用 Quiet グランド
VCCD.CS2.A			27 (VCCD) 28 (VCCD)	38 (VCCD) 39 (VCCD)	46 (VCCD) 47 (VCCD)	ピングループに 1 つのデカップリングコンデンサ C_{S2}
						ピングループが 3 ピンの場合、2 つのデカップリングコンデンサ
VCCD.CS2.B			64 (VCCD) 65 (VCCD)	92 (VCCD) 93 (VCCD)	111 (VCCD) 112 (VCCD) 113 (VCCD)	ピングループに 1 つのデカップリングコンデンサ C_{S2}
						ピングループが 3 ピンの場合、2 つのデカップリングコンデンサ
VCCD.CS2.C			89 (VCCD)	127 (VCCD)	156 (VCCD)	ピングループに 1 つのデカップリングコンデンサ C_{S2}
						ピングループが 3 ピンの場合、2 つのデカップリングコンデンサ
VCCD.CS2.D * (* CYT6B シリーズのみ)			-	-	61 (VCCD) 62 (VCCD)	ピングループに 1 つのデカップリングコンデンサ C_{S2}
						ピングループが 3 ピンの場合、2 つのデカップリングコンデンサ
EXP	該当なし	該当なし	あり	あり	あり	露出パッド

19.5 CYT3B/4B/6B シリーズ (BGA パッケージ)

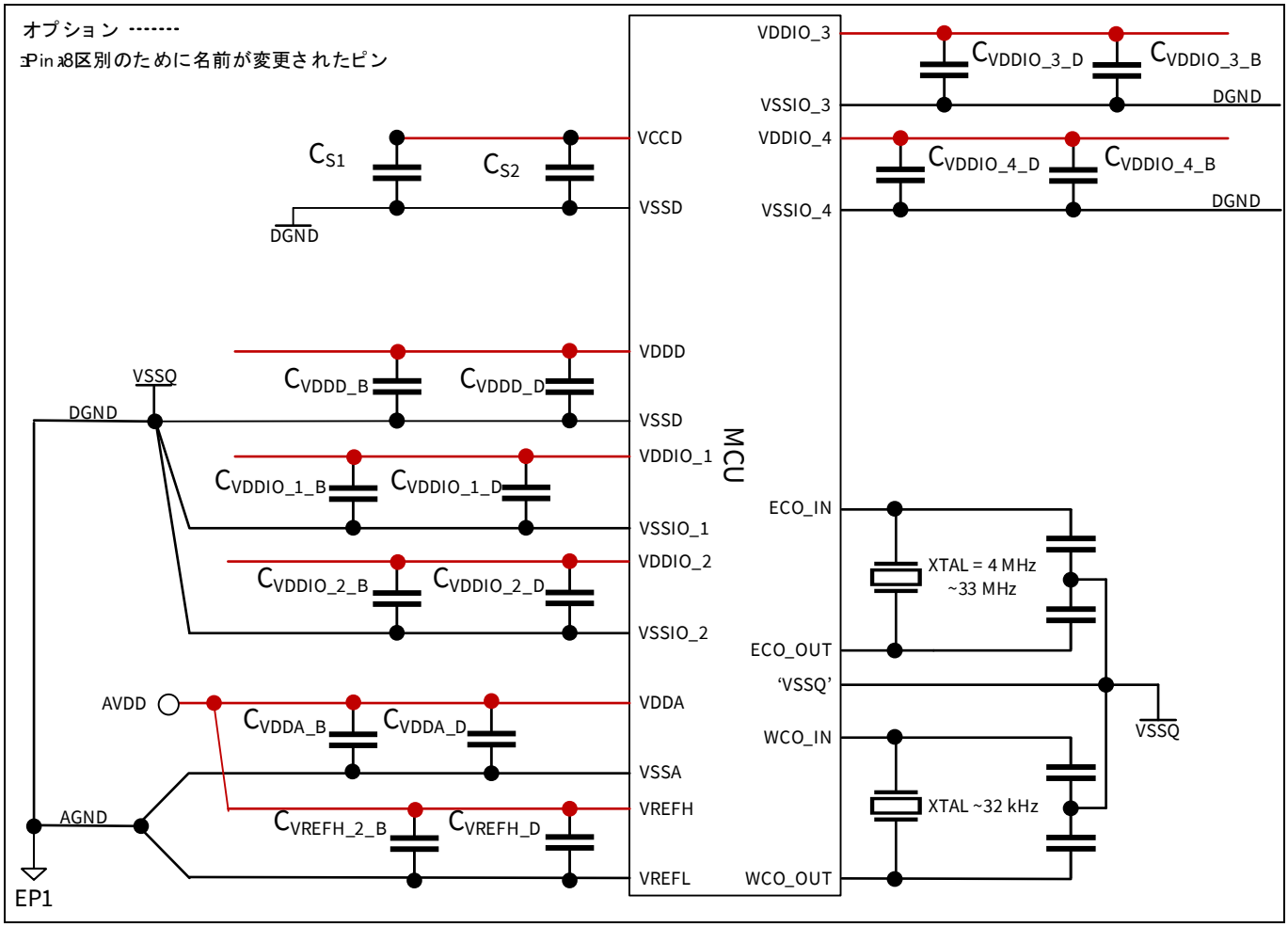


Figure 53 CYT3B/4B/6B シリーズ (BGA パッケージ) の MCU 電源コンセプト例

Table 15 CYT3B/4B/6B シリーズ (BGA パッケージ) の外部コンポーネント統合の例

記号	パラメータ	パッケージ	
		値	説明
C_{S1}	コア電源用 VCCD ドメインのバイパス/平滑コンデンサ	X7R タイプ	データシートの値。 「VCCD.CS1」に関するデバイスデータシート仕様に基づくピンペアに近い。 パワードメインごとに 2 つのコンデンサ。 アクティブレギュレータによる I_{DD_VDDD}[27]≤ 300 mA の「VCCD.CS1」ピンを優先して、すべての VCCD ピンへのボード トラックを含むコンデンサあたり合計 ESR ≤ 100 mΩ、ESL ≤ 4 nH。 この値は、外部 PMIC からの永続的な供給による DeepSleep からのウェイクアッ

[27] I_{DD_VDDD}: CYT3B/4B/6B データシート (関連ドキュメントを参照) の内部電源モードでの VDDD の入力電流定義。

19 Appendix A - 電源コンセプト

記号	パラメータ	パッケージ	
		値	説明
			プなど、より高い負荷遷移のケースはカバーしていません。
C_{S2}	コア電源用 VCCD ドメインのデカップリングコンデンサ	100nF X7R ALT: 47nF X7R	ドメインピンごとに 1 つのコンデンサ
C_{VDDD_B}	IP および I/O 用 VDDD ドメインのバイパスコンデンサ	> 22µF X7R	内部 LDO 用に必要です。PCB 固有のコンデンサの寸法については、データシートの仕様 ID SID603 に記載されるアクティブレギュレータからの突入電流および Appendix D – アクティブレギュレータの突入電流を考慮してください。 ボードトラックを含むコンデンサあたりの合計で ESR ≤ 50mΩ, ESL ≤ 2nH。 インピーダンスを考慮し、2 つのコンデンサを推奨します。
C_{VDDD_D}	Logic および I/O 用 VDDD ドメインのデカップリングコンデンサ	100nF X7R	ドメインピンごとに 1 つのコンデンサ。 内部 LDO およびトリップポイントによるリセットのために、300mV を超える電圧降下を避ける必要があります。 並列転送はできるだけ削減する必要があります。
$C_{VDDIO_1_B}$[28]	I/O 用 VDDIO_1 ドメインのバイパスコンデンサ	1µF X7R	ドメインピンごとに 1 つのコンデンサ
$C_{VDDIO_1_D}$[25]	I/O 用 VDDIO_1 ドメインのデカップリングコンデンサ	100nF X7R	ドメインピンごとに 1 つのコンデンサ。 最低 2 個必要です。
$C_{VDDIO_2_B}$	I/O 用 VDDIO_2 ドメインのバイパスコンデンサ	-	-
$C_{VDDIO_2_D}$[29]	I/O 用 VDDIO_2 ドメインのデカップリングコンデンサ	100nF X7R	ドメインピンごとに 1 つのコンデンサ。 *Note: VDDIO_2 の電圧降下は VDDA – 0.3 V ≤ VDDIO_2 ≤ VDDA を満たす必要があります。*
$C_{VDDIO_3_B}$	I/O 用 VDDIO_3 ドメインのバイパスコンデンサ	1µF X7R	ドメインピンごとに 1 つのコンデンサ。 電源の等価インダクタンス: 20 nH

[28] VDDIO_1: 3.3 V, コンデンサにより 5%の電圧降下, f_{CLK}: 25MHz, DDR, 9x パラレル転送: 3 ns, C_L/ピン: 20 pF, デバイスの内部インピーダンス考慮なし。

[29] VDDIO_2: 5 V, コンデンサにより 4%の電圧降下, f_{DATA}: 2MHz, 10x パラレル転送: 20 ns, C_L/ピン: 47 pF, デバイスの内部インピーダンス考慮なし。

19 Appendix A - 電源コンセプト

記号	パラメータ	パッケージ	
		値	説明
$C_{VDDIO_3_D}$[30]	I/O 用 VDDIO_3 ドメインのデカップリングコンデンサ	100nF X7R 10nF X7R	ドメインピンごとに 1 つのコンデンサ。 ドメインピンごとに 1 つのコンデンサ。
$C_{VDDIO_4_B}$	I/O 用 VDDIO_4 ドメインのバイパスコンデンサ	1µF X7R	ドメインピンごとに 1 つのコンデンサ。 電源の等価インダクタンス: 20 nH
$C_{VDDIO_4_D}$[31]	I/O 用 VDDIO_4 ドメインのデカップリングコンデンサ	100nF X7R 10nF X7R	ドメインピンごとに 1 つのコンデンサ。 ドメインピンごとに 1 つのコンデンサ。
C_{VDDA_B}[32]	ADC 用 VDDA のバイパスコンデンサ	2.2µF X7R	-
C_{VDDA_D}	ADC 用 VDDA のデカップリングコンデンサ	100nF X7R	ドメインピンごとに 1 つのコンデンサ。
$C_{VREFH_2_B}$	ADC 用 VREFH のバイパスコンデンサ	2.2µF X7R	オプション。 個別のアナログ基準電源を使用する場合のみ必要です
C_{VREFH_D}	ADC 用 VREFH のデカップリングコンデンサ	100nF X7R	-

Table 16　CYT3B/4B シリーズ (BGA パッケージ) 用の特別な電源ドメイン端子

名前	パッケージ端子数 (実際の端子名)		コメント
	272-BGA	**320-BGA**	
VSSQ	L11 (VSSD_1)	N13 (VSSD_1)	発振器用 Quiet グランド

条件:

[30] VDDIO_3: 3.3 V, コンデンサにより 7%の電圧降下, f_{CLK}: 100MHz, DDR, 9x パラレル転送: 1.5 ns, C_L/ピン: 15 pF, デバイスの内部インピーダンス考慮なし。

[31] VDDIO_4: 3.3 V, コンデンサにより 7%の電圧降下, f_{CLK}: 125MHz, SDR, 9x パラレル転送: 0.75 ns, C_L/ピン: 10 pF, デバイスの内部インピーダンス考慮なし。

[32] ノイズ低減のため C_{VDDA_B} を両方の ADC DeCaps に接続します。3 つの ADC ユニットは非同期ではなく同時に実行しますが前提条件機能は使用されません。アナログの電源とグランドは Figure 59 に従って次の値を超えないようにしてください。$R_{AVDD} \leq$ 100 mΩ, $L_{AVDD} \leq$ 15 nH, $R_{AGND} \leq$ 100 mΩ, $L_{AGND} \leq$ 15 nH, L1 ≤ 1 nH, L2 ≤ 1nH

19.6 CYT3D シリーズ (TEQFP パッケージ)

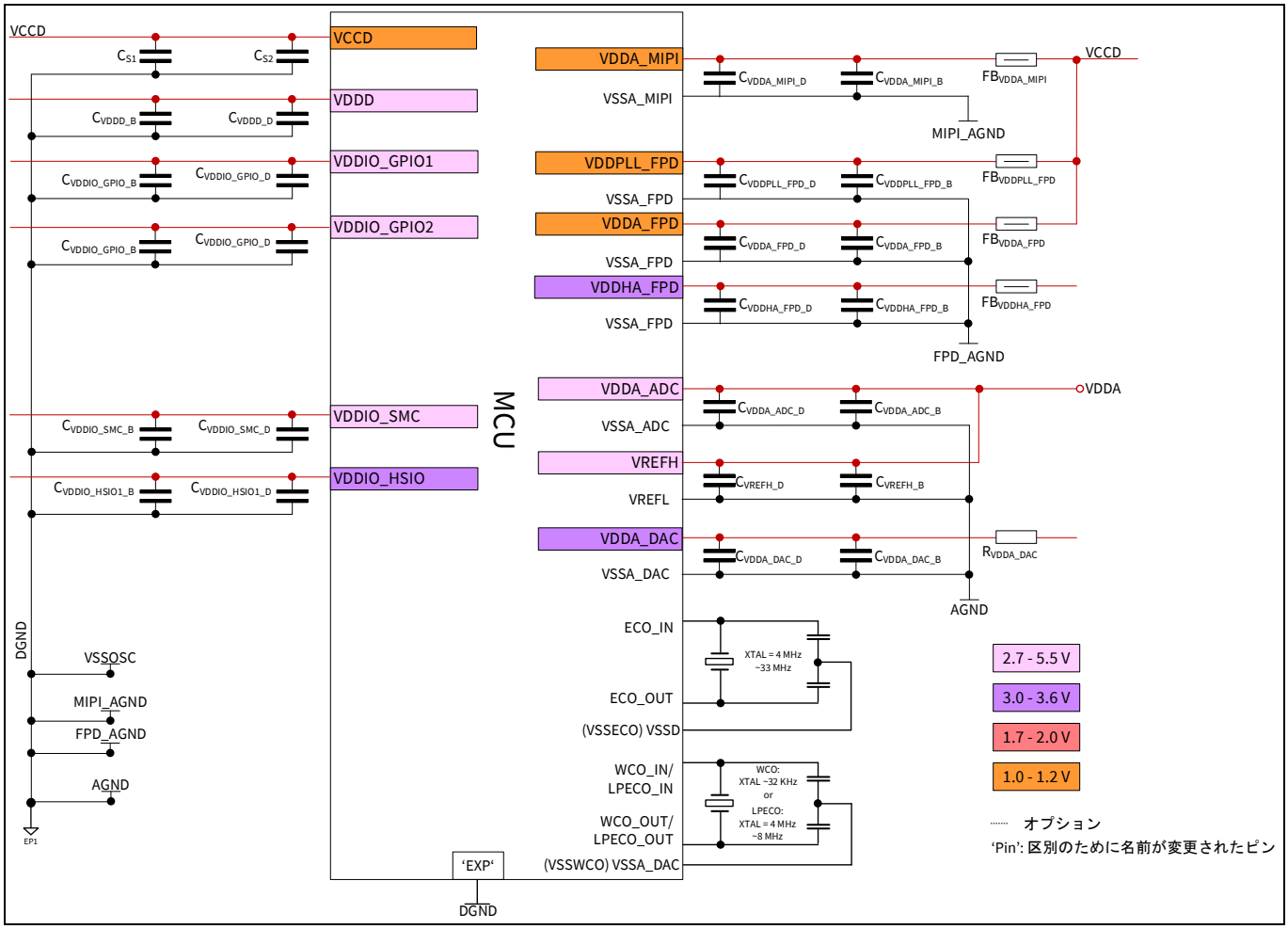


Figure 54 CYT3D シリーズ (TEQFP パッケージ) の MCU 電源コンセプト例

Table 17 CYT3D シリーズ (TEQFP パッケージ) の外部コンポーネント統合の例 [33],[34]

記号	パラメータ	パッケージ	
		値	説明
C_{S1}	コア電源用 VCCD ドメインのバイパス/平滑コンデンサ	X7R タイプ	データシートの値。 ドメインの 2 つのコンデンサ。デバイスデータシートの仕様に従って、ピンペアに近接配置。 コア VCCD 電源コンセプトに応じて、MCU と PMIC 間のコンデンサ値と配置要件を確認してください[35]。
C_{S2}	コア電源用 VCCD ドメインのデカップリングコンデンサ	100nF X7R	ドメインピンごとに 1 つのコンデンサ

[33] デバイス内部インピーダンスと共振周波数は考慮されていません。

[34] バイパスコンデンサ寸法は、特に高速ドメインの場合、kHz 範囲での PMIC の遅い応答時間を考慮していません。

[35] MIPI および FPD リンクフィルタコンデンサを全 C_{S1} 範囲で考慮する必要があるかどうか明確化する必要があります。

19 Appendix A - 電源コンセプト

記号	パラメータ	パッケージ	
		値	説明
C_{VDDD_B}	IP および I/O 用 VDDD ドメインのバイパスコンデンサ	> 22µF X7R	内部 LDO 要件。 PCB 固有のコンデンサの寸法については、データシートの仕様 ID SID603 に記載されるアクティブレギュレータからの突入電流、Appendix D – アクティブレギュレータの突入電流およびすべてのコア電源用バイパスコンデンサを考慮してください。 ボードトラックを含むコンデンサあたりの合計で ESR ≤ 50mΩ, ESL ≤ 2nH。インピーダンスを考慮し、2 つのコンデンサを推奨します。
C_{VDDD_D}	Logic および I/O 用 VDDD ドメインのデカップリングコンデンサ	100nF X7R	ドメインピンごとに 1 つのコンデンサ。 内部 LDO およびトリップポイントによるリセットのために、300mV を超える電圧降下を避ける必要があります。並列転送はできるだけ削減する必要があります。
$C_{VDDIO_GPIO1_B}$	GPIO 用 I/O ドメインのバイパスコンデンサ	1µF X7R	ドメインの 1 つのコンデンサ
$C_{VDDIO_GPIO1_D}$	GPIO 用 I/O ドメインのデカップリングコンデンサ	100nF X7R	ドメインピンごとに 1 つのコンデンサ
$C_{VDDIO_GPIO2_B}$	GPIO 用 I/O ドメインのバイパスコンデンサ	1µF X7R	ドメインの 1 つのコンデンサ
$C_{VDDIO_GPIO2_D}$	GPIO 用 I/O ドメインのデカップリングコンデンサ	100nF X7R	ドメインピンごとに 1 つのコンデンサ
$C_{VDDIO_SMC_B}$	SMC 用 I/O ドメインのバイパスコンデンサ	2.2µF X7R	ドメインごとに 1 つのコンデンサ SMC 制御が使用されている場合のみ必要
$C_{VDDIO_SMC_D}$	SMC 用 I/O ドメインのデカップリングコンデンサ	100nF X7R	2 つのドメインピンごとに 1 つのコンデンサ
$C_{VDDIO_HSIO1_B1}$	HSIO1 用 I/O ドメインのバイパスコンデンサ	1µF X7R	SMIF ch.ごとに 1 つのコンデンサ
$C_{VDDIO_HSIO1_B2}$	HSIO1 用 I/O ドメインのバイパスコンデンサ	470nF X7R	ETH ch.ごとに 1 つのコンデンサ
$C_{VDDIO_HSIO1_D}$	HSIO1 用 I/O ドメインのデカップリングコンデンサ	100nF X7R	2 つのドメインピンごとに 1 つのコンデンサ
$C_{VDDA_ADC_B}$	ADC 用 VDDA のバイパスコンデンサ	4.7µF X7R	ドメインごとに 1 つのコンデンサ
$C_{VDDA_ADC_D}$	ADC 用 VDDA のデカップリングコンデンサ	100nF X7R	ドメインピンごとに 1 つのコンデンサ
C_{VREFH_B}	ADC 用 VREFH のバイパスコンデンサ	2.2µF X7R	ドメインごとに 1 つのコンデンサ。オプション。 個別のアナログ基準電源を使用する場合

19 Appendix A - 電源コンセプト

記号	パラメータ	パッケージ	
		値	説明
			にのみ必要です。 サイレントな供給が必要です。供給が不十分な場合は、ローパスフィルタ (LPF) が必要です。
C_{VREFH_D}	ADC 用 VREFH のデカップリングコンデンサ	100nF X7R	2 つのドメインピンごとに 1 つのコンデンサ
$C_{VDDA_DAC_B}$	DAC 用 VDDA のバイパスコンデンサ	2.2µF X7R	ドメインごとに 1 つのコンデンサ
$C_{VDDA_DAC_D}$	DAC 用 VDDA のデカップリングコンデンサ	100nF X7R	ドメインごとに 1 つのコンデンサ
$C_{VDDPLL_FPD_B}$	FPD 用 VDDPLL のバイパスコンデンサ	10µF X7R	ドメインごとに 1 つのコンデンサ
$C_{VDDPLL_FPD_D}$	FPD 用 VDDPLL のデカップリングコンデンサ	1.5nF X7R	2 つのドメインピンごとに 1 つのコンデンサ
$F_{BVDDPLL_FPD}$	FPD 用 VDDPLL のフェライトビーズ	MPZ1608B471ATA00	ドメインごとに 1 つのフェライトビーズ。サイレントな供給を確保する必要があります。 PMIC からの共振周波数 < 100 kHz に対し、合計、RLC フィルタ[36],[37]として直列に 2 Ω。
$C_{VDDA_FPD_B}$	FPD 用 VDDA のバイパスコンデンサ	10µF X7R	ドメインごとに 1 つのコンデンサ
$C_{VDDA_FPD_D}$	FPD 用 VDDA のデカップリングコンデンサ	1.5nF X7R	ドメインごとに 4 つのコンデンサ
F_{VDDA_FPD}	FPD 用 VDDA のフェライトビーズ	MPZ1608B471ATA00	ドメインごとに 1 つのフェライトビーズ。サイレントな供給を確保する必要があります。 PMIC からの共振周波数 < 100 kHz に対し、合計、RLC フィルタ[34],[35]として直列に 2 Ω。
$C_{VDDA_MIPI_B}$	MIPI 用 VDDA のバイパスコンデンサ	10µF X7R	ドメインの 1 つのコンデンサ
$C_{VDDA_MIPI_D}$	MIPI 用 VDDA のデカップリングコンデンサ	100nF X7R, 1nF X7R	ドメインごとに 1 つのコンデンサ, ドメインごとに 1 つのコンデンサ
F_{VDDA_MIPI}	MIPI 用 VDDA のフェライトビーズ	MPZ1608B471ATA00	ドメインごとに 1 つのフェライトビーズ。サイレントな供給を確保する必要があります。 オプション: PMIC からの共振周波数 <

[36] Figure 50 に示す同等の RLC フィルタタイプ。

[37] フェライト フィルタのオプションの直列抵抗の IR ドロップは、専用電源ドメインの最小動作仕様に違反する可能性があります。抵抗は、共振周波数範囲に対する対策として機能します。このフィルタの組み合わせは、フィルタの前に次の DC レベルを適用して特性評価されました (LV ドメイン: 1.09V、HV ドメイン: 3.0V)。

19 Appendix A - 電源コンセプト

記号	パラメータ	パッケージ	
		値	説明
			100 kHz に対し、合計、RLC フィルタ[36],[37]として直列に 2 Ω。
$C_{VDDHA_FPD_B}$	FPD 用 VDDHA のバイパスコンデンサ	10µF X7R	ドメインごとに 1 つのコンデンサ
$C_{VDDHA_FPD_D}$	FPD 用 VDDHA のデカップリングコンデンサ	100nF X7R, 10nF X7R, 1.5nF X7R	ドメインごとに 1 つのコンデンサ, ドメインごとに 1 つのコンデンサ, ドメインごとに 1 つのコンデンサ
F_{VDDHA_FPD}	FPD 用 VDDHA のフェライトビーズ	MPZ1608B471ATA00	ドメインごとに 1 つのフェライトビーズ。サイレントな供給を確保する必要があります。 オプション: PMIC からの共振周波数 < 100 kHz に対し、合計、RLC フィルタ[36],[37]として直列に 2 Ω。

Table 18　CYT3D シリーズ (TEQFP パッケージ) 用の特別な電源ドメイン端子

名称	パッケージ端子数 (実際の端子名)		コメント
	208-TEQFP	**216-TEQFP**	
(VSSECO) VSSD	138 (VSSD)	142 (VSSD)	他の SRSS IP と共有される ECO 発振器シールド用 Quiet グランド
(VSSWCO) VSSA_DAC	131 (VSSD_DAC)	135 (VSSD_DAC)	アナログ IP と共有される WCO/LPECO 発振器シールド用 Quiet グランド
'EXP'	該当なし	該当なし	露出パッド

19.7 CYT4D シリーズ (BGA パッケージ)

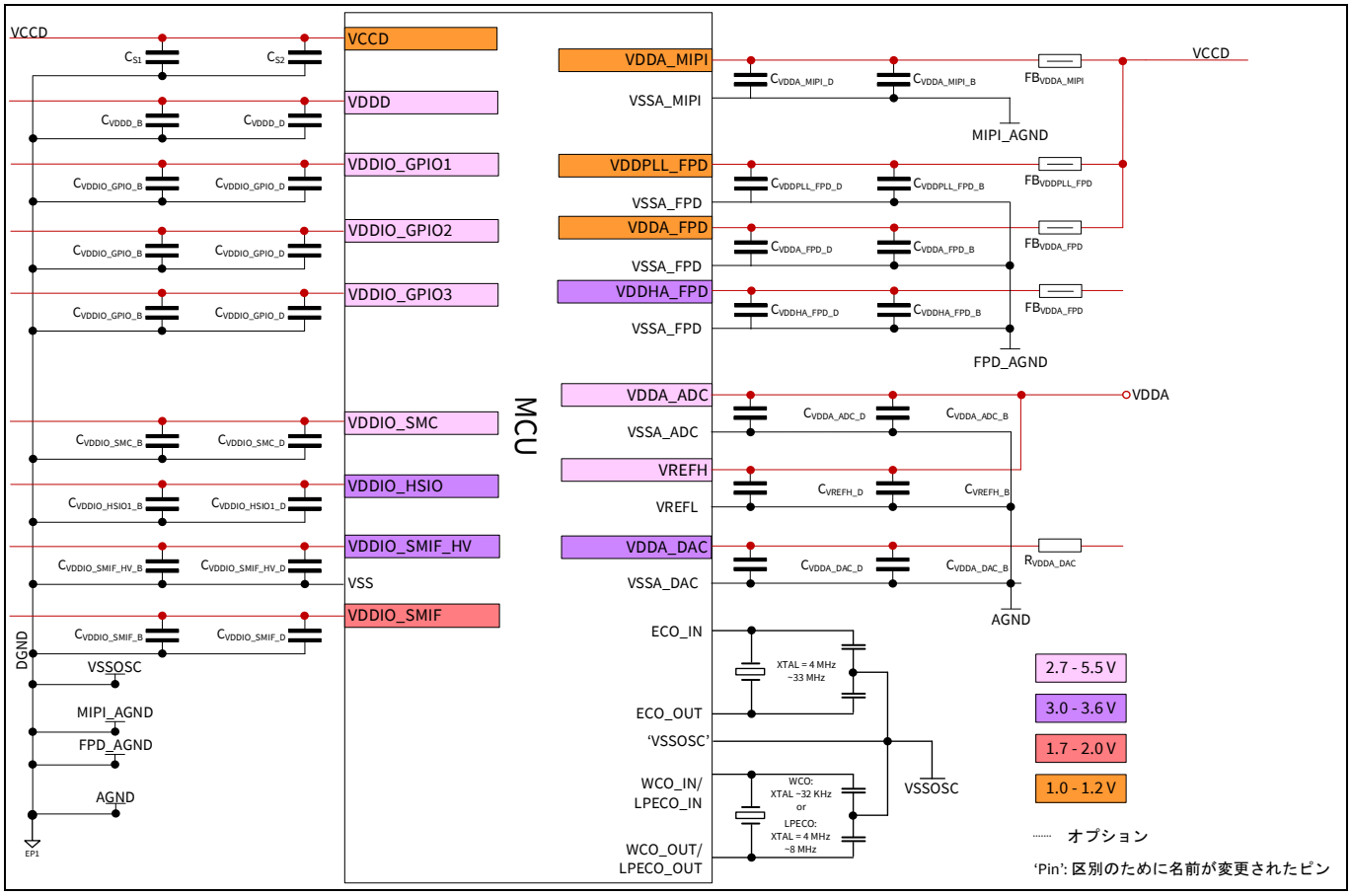


Figure 55 CYT4D シリーズ (BGA パッケージ) の MCU 電源コンセプト例

Table 19 CYT4D シリーズ (BGA パッケージ) の外部コンポーネント統合の例[38],[39]

記号	パラメータ	パッケージ	
		値	説明
C_{S1}	コア電源用 VCCD ドメインのバイパス/平滑コンデンサ	X7R タイプ	データシートの値。 ドメイン用の 2 つのコンデンサ。デバイスデータシートの仕様に従って、ピンペアに近接配置。 コア VCCD 電源コンセプトに応じて、MCU と PMIC 間のコンデンサ値と配置要件を確認してください[40]。
C_{S2}	コア電源用 VCCD ドメインのデカップリングコンデンサ	100nF X7R	ドメインピンごとに 1 つのコンデンサ
C_{VDDD_B}	IP および I/O 用 VDDD ドメインのバイパスコンデンサ	> 22µF X7R	内部 LDO 要件。 PCB 固有のコンデンサの寸法については、データシートの仕様 ID SID603 に記

[38] デバイス内部インピーダンスと共振周波数は考慮されていません。

[39] バイパスコンデンサ寸法は、特に高速信号ドメインの場合、kHz 範囲での PMIC の遅い応答時間を考慮していません。

[40] MIPI および FPD リンクフィルタコンデンサを C_{S1} 全範囲で考慮する必要があるかどうか明確化する必要があります。

19 Appendix A - 電源コンセプト

記号	パラメータ	パッケージ	
		値	説明
			載されるアクティブレギュレータからの突入電流、Appendix D – アクティブレギュレータの突入電流に記載されているアクティブレギュレータからの突入電流およびすべてのコア電源用バイパスコンデンサを考慮してください。 ボードトラックを含むコンデンサあたりの合計で ESR ≤ 50mΩ, ESL ≤ 2nH。インピーダンスを考慮し、2 つのコンデンサを推奨します。
C_{VDDD_D}	Logic および I/O 用 VDDD ドメインのデカップリングコンデンサ	100nF X7R	ドメインピンごとに 1 つのコンデンサ。内部 LDO の 300mV を超える電圧降下を回避する必要があります。並列転送はできるだけ削減する必要があります。
$C_{VDDIO_GPIO1_B}$	GPIO 用 I/O ドメインのバイパスコンデンサ	1µF X7R	ドメインごとに 1 つのコンデンサ
$C_{VDDIO_GPIO1_D}$	GPIO 用 I/O ドメインのデカップリングコンデンサ	100nF X7R	ドメインピンごとに 1 つのコンデンサ
$C_{VDDIO_GPIO2_B}$	GPIO 用 I/O ドメインのバイパスコンデンサ	1µF X7R	ドメインごとに 1 つのコンデンサ
$C_{VDDIO_GPIO2_D}$	GPIO 用 I/O ドメインのデカップリングコンデンサ	100nF X7R	ドメインピンごとに 1 つのコンデンサ
$C_{VDDIO_GPIO3_B}$	GPIO 用 I/O ドメインのバイパスコンデンサ	1µF X7R	ドメインごとに 1 つのコンデンサ
$C_{VDDIO_GPIO3_D}$	IO 用 GPIO ドメインのデカップリングコンデンサ	100nF X7R	ドメインピンごとに 1 つのコンデンサ
$C_{VDDIO_SMC_B}$	SMC 用 I/O ドメインのバイパスコンデンサ	2.2µF X7R	ドメインごとに 1 つのコンデンサ
$C_{VDDIO_SMC_D}$	SMC 用 I/O ドメインのデカップリングコンデンサ	100nF X7R	2 つのドメインピンごとに 1 つのコンデンサ
$C_{VDDIO_HSIO1_B}$	HSIO1 用 I/O ドメインのバイパスコンデンサ	2.2µF X7R	ドメインごとに 1 つのコンデンサ
$C_{VFDIO_HSIO1_D}$	HSIO1 用 I/O ドメインのデカップリングコンデンサ	100nF X7R	2 つのドメインピンごとに 1 つのコンデンサ
$C_{VDDIO_SMIF_B}$	SMIF 用 I/O ドメインのバイパスコンデンサ	2.2µF X7R	ドメインごとに 1 つのコンデンサ
$C_{VDDIO_SMIF_D}$	SMIF 用 I/O ドメインのデカップリングコンデンサ	100nF + 2.2nF または 2x 100nF	2 つのドメインピンごとに 1 つのコンデンサ
$C_{VDDIO_SMIF_HV_B}$	SMIF_HV 用 I/O ドメインのバイパスコンデンサ	2.2µF X7R	ドメインごとのコンデンサ不要
$C_{VDDIO_SMIF_HV_D}$	SMIF_HV 用 I/O ドメインのデカップリングコンデンサ	100nF	ドメインピンごとに 1 つのコンデンサ

19 Appendix A - 電源コンセプト

記号	パラメータ	パッケージ	
		値	説明
$C_{VDDA_ADC_B}$	ADC VDDA のバイパスコンデンサ	4.7µF X7R	ドメインごとに 1 つのコンデンサ
$C_{VDDA_ADC_D}$	ADC VDDA のデカップリングコンデンサ	100nF X7R	ドメインピンごとに 1 つのコンデンサ
$C_{VDDA_DAC_B}$	DAC VDDA のバイパスコンデンサ	2.2µF X7R	ドメインごとに 1 つのコンデンサ
$C_{VDDA_DAC_D}$	DAC VDDA のデカップリングコンデンサ	100nF X7R	ドメインごとに 1 つのコンデンサ
C_{VREFH_B}	ADC VREFH のバイパスコンデンサ	2.2µF X7R	ドメインごとに 1 つのコンデンサ。オプション。 個別のアナログ基準電源を使用する場合にのみ必要です。
C_{VREFH_D}	ADC VREFH のデカップリングコンデンサ	100nF X7R	2 つのドメインピンごとに 1 つのコンデンサ
$C_{VDDPLL_FPD_B}$	FPD VDDPLL のバイパスコンデンサ	10µF X7R	ドメインごとに 1 つのコンデンサ
$C_{VDDPLL_FPD_D}$	FPD VDDPLL のデカップリングコンデンサ	1.5nF X7R	ドメインごとに 1 つのコンデンサ
F_{VDDPLL_FPD}	FPD VDDPLL 用フェライトビーズ	MPZ1608B 471ATA00	ドメインごとに 1 つのフェライトビーズ。サイレントな供給を確保する必要があります。 PMIC からの共振周波数 < 100 kHz に対し、合計で、RLC フィルタ[41],[42]として直列に 2 Ω。
$C_{VDDA_FPD_B}$	FPD VDDA のバイパスコンデンサ	10µF X7R	ドメインごとに 1 つのコンデンサ
$C_{VDDA_FPD_D}$	FPD VDDA のデカップリングコンデンサ	1.5nF X7R	ドメインごとに 1 つのコンデンサ
F_{VDDA_FPD}	FPD VDDA 用フェライトビーズ	MPZ1608B 471ATA00	ドメインごとに 1 つのフェライトビーズ。サイレントな供給を確保する必要があります。 オプション: PMIC からの共振周波数 < 100 kHz に対し、合計で、RLC フィルタ[41],[42]として直列に 2 Ω。
$C_{VDDA_MIPI_B}$	MIPI VDDA のバイパスコンデンサ	10µF X7R	ドメインごとに 1 つのコンデンサ
$C_{VDDA_MIPI_D}$	MIPI VDDA のデカップリングコンデンサ	100nF X7R, 1nF X7R	ドメインごとに 1 つのコンデンサ, ドメインごとに 1 つのコンデンサ

[41] Figure 50 に示す同等の RLC フィルタタイプ。

[42] フェライト フィルタのオプションの直列抵抗の IR ドロップは、専用電源ドメインの最小動作仕様に違反する可能性があります。抵抗は、共振周波数範囲に対する対策として機能します。このフィルタの組み合わせは、フィルタの前に次の DC レベルを適用して特性評価されました (LV ドメイン: 1.09V、HV ドメイン: 3.0V)。

19 Appendix A - 電源コンセプト

記号	パラメータ	パッケージ	
		値	説明
F_{VDDA_MIPI}	MIPI VDDA 用フェライトビーズ	MPZ1608B 471ATA00	ドメインごとに 1 つのフェライトビーズ。サイレントな供給を確保する必要があります。 PMIC からの共振周波数 < 100 kHz に対し、合計、RLC フィルタ[41],[42]として直列に 2 Ω。
$C_{VDDHA_FPD_B}$	FPD VDDHA のバイパスコンデンサ	10µF X7R	ドメインごとに 1 つのコンデンサ
$C_{VDDHA_FPD_D}$	FPD VDDHA のデカップリングコンデンサ	100nF X7R, 10nF X7R, 1.5nF X7R	ドメインごとに 1 つのコンデンサ, ドメインごとに 1 つのコンデンサ, ドメインごとに 1 つのコンデンサ
F_{VDDHA_FPD}	FPD VDDA 用フェライトビーズ	MPZ1608B 471ATA00	ドメインごとに 1 つのフェライトビーズ。サイレントな供給を確保する必要があります。 PMIC からの共振周波数 < 100 kHz に対し、合計、RLC フィルタ[41],[42]として直列に 2 Ω。

Table 20　CYT4D シリーズ (BGA パッケージ) 用の特別な電源ドメイン端子

名前	パッケージ端子数 (実際の端子名)		コメント
	327-BGA rev. A0	**500-BGA rev. A0**	
VSSOSC	E20, F19, G20	H25, H26, K25, K26 (VSS)	発振器シールド用 Quiet グランド

19.8 CYT4E シリーズ (BGA パッケージ)

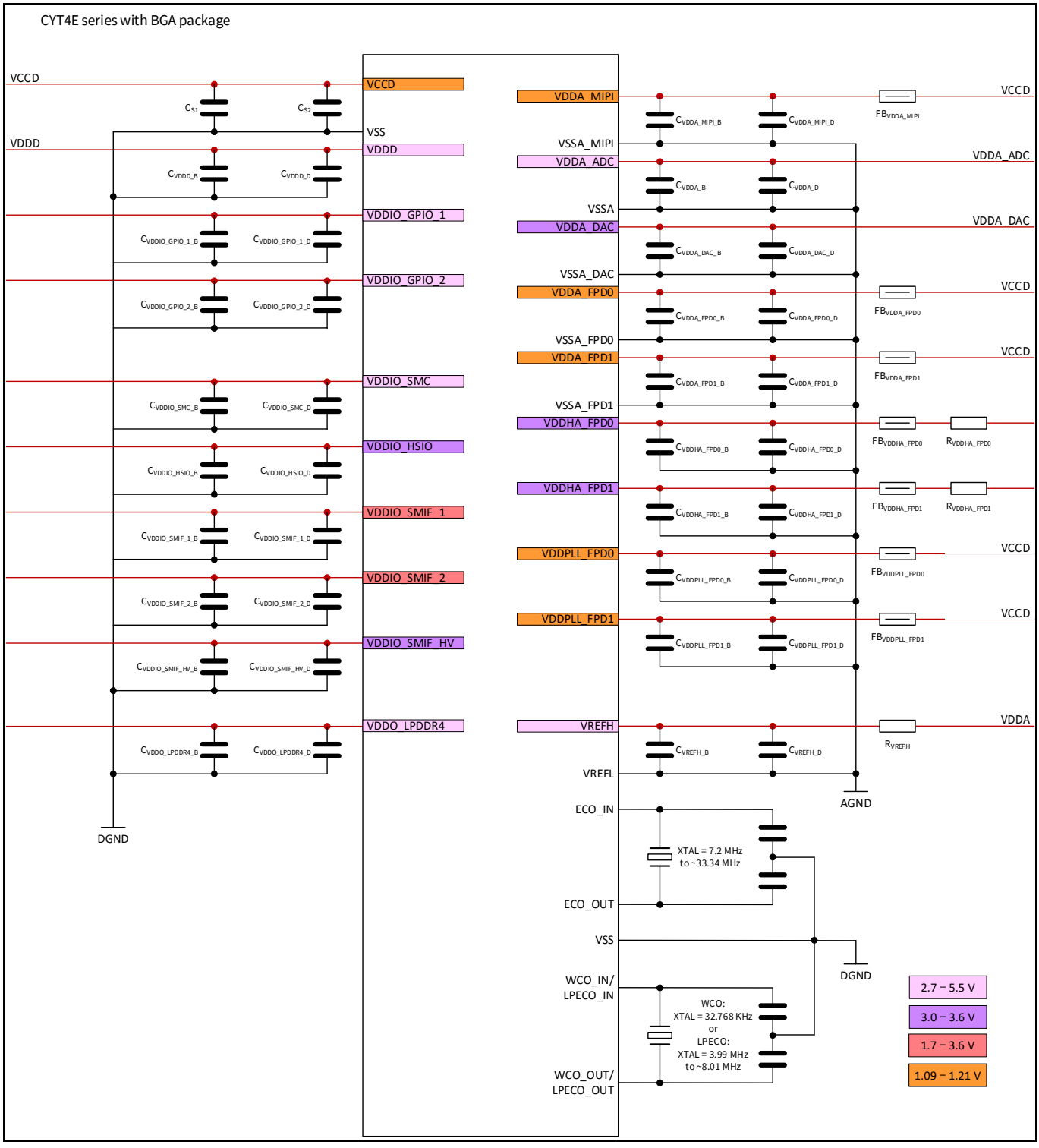


Figure 56 CYT4E シリーズ (BGA パッケージ) の MCU 電源コンセプト例

19 Appendix A - 電源コンセプト

Table 21 CYT4E シリーズ (BGA パッケージ)の外部コンポーネント統合の例[43], [44]

記号	パラメータ	パッケージ	
		値	説明
C_{S1}	コア電源用 VCCD ドメインのバイパス/平滑コンデンサ	X7R タイプ	データシートの値。 ドメイン用の 2 つのコンデンサ。デバイスデータシートの仕様に従って、ピンペアに近接配置。 コア VCCD 電源コンセプトに応じて、MCU と PMIC 間のコンデンサ値と配置要件を確認してください[45]。
C_{S2}	コア電源用 VCCD ドメインのデカップリングコンデンサ	100nF X7R	ドメインピンごとに 1 つのコンデンサ
C_{VDDD_B}	IP および I/O 用 VDDD ドメインのバイパスコンデンサ	> 22µF X7R	内部 LDO 要件。 PCB 固有のコンデンサの寸法については、データシートの仕様 ID SID603 に記載のアクティブレギュレータからの突入電流、Appendix D – アクティブレギュレータの突入電流に記載されているアクティブレギュレータからの突入電流およびすべてのコア電源用バイパスコンデンサを考慮してください。 ボードトラックを含むコンデンサあたりの合計で ESR ≤ 50 mΩ, ESL ≤ 2 nH。 インピーダンスを考慮し、2 つのコンデンサを推奨します。
C_{VDDD_D}	Logic および I/O 用 VDDD ドメインのデカップリングコンデンサ	100nF X7R	ドメインピンごとに 1 つのコンデンサ。 内部 LDO の 300mV を超える電圧降下を回避する必要があります。並列転送はできるだけ削減する必要があります。
$C_{VDDIO_GPIO1_B}$	GPIO 用 I/O ドメインのバイパスコンデンサ	1µF X7R	ドメイン用の 1 つのコンデンサ
$C_{VDDIO_GPIO1_D}$	GPIO 用 I/O ドメインのデカップリングコンデンサ	100nF X7R	ドメインごとに 1 つのコンデンサ
$C_{VDDIO_GPIO2_B}$	GPIO 用 I/O ドメインのバイパスコンデンサ	1µF X7R	ドメイン用の 1 つのコンデンサ
$C_{VDDIO_GPIO2_D}$	GPIO 用 I/O ドメインのデカップリングコンデンサ	100nF X7R	ドメインピンごとに 1 つのコンデンサ
$C_{VDDIO_SMC_B}$	SMC 用 I/O ドメインのバイパスコンデンサ	2.2µF X7R	ドメインごとに 1 つのコンデンサ

[43] デバイス内部インピーダンスと共振周波数は考慮されていません。

[44] バイパスコンデンサ寸法は、特に高速ドメインの場合、kHz 範囲での PMIC の遅い応答時間を考慮していません。

[45] MIPI および FPD リンクフィルタコンデンサを全 C_{S1} 範囲で考慮する必要があるかどうか明確化する必要があります。

19 Appendix A - 電源コンセプト

記号	パラメータ	パッケージ	
		値	説明
$C_{VDDIO_SMC_D}$	SMC 用 I/O ドメインのデカップリングコンデンサ	100nF X7R	2 つのドメインピンごとに 1 つのコンデンサ
$C_{VDDIO_HSIO_B}$	HSIO 用 I/O ドメインのバイパスコンデンサ	2.2µF X7R	ドメインごとに 1 つのコンデンサ
$C_{VDDIO_HSIO_D}$	HSIO 用 I/O ドメインのデカップリングコンデンサ	100nF X7R	2 つのドメインピンごとに 1 つのコンデンサ
$C_{VDDIO_SMIF_0_B}$	SMIF 用 I/O ドメインのバイパスコンデンサ	2.2µF X7R	ドメインごとに 1 つのコンデンサ
$C_{VDDIO_SMIF_0_D}$	SMIF 用 I/O ドメインのデカップリングコンデンサ	100nF + 2.2nF または 2x 100nF	2 つのドメインピンごとに 1 つのコンデンサ
$C_{VDDIO_SMIF_1_B}$	SMIF 用 I/O ドメインのバイパスコンデンサ	2.2µF X7R	ドメインごとに 1 つのコンデンサ
$C_{VDDIO_SMIF_1_D}$	SMIF 用 I/O ドメインのデカップリングコンデンサ	100nF + 2.2nF または 2x 100nF	2 つのドメインピンごとに 1 つのコンデンサ
$C_{VDDIO_SMIF_HV_B}$	SMIF_HV 用 I/O ドメインのバイパスコンデンサ	2.2µF X7R	ドメインごとのコンデンサ不要
$C_{VDDIO_SMIF_HV_D}$	SMIF_HV 用 I/O ドメインのデカップリングコンデンサ	100nF	ドメインごとに 1 つのコンデンサ
$C_{VDDA\ B}$	VDDA のバイパスコンデンサ	4.7µF X7R	ドメインごとに 1 つのコンデンサ
$C_{VDDA\ D}$	VDDA のデカップリングコンデンサ	100nF X7R	ドメインピンごとに 1 つのコンデンサ
$C_{VDDA_DAC_B}$	DAC VDDA のバイパスコンデンサ	2.2µF X7R	ドメインごとに 1 つのコンデンサ
$C_{VDDA_DAC_D}$	DAC VDDA のデカップリングコンデンサ	100nF X7R	ドメインごとに 1 つのコンデンサ
C_{VREFH_B}	ADC VREFH のバイパスコンデンサ	2.2µF X7R	ドメインごとに 1 つのコンデンサ。オプション。個別のアナログ基準電源を使用する場合にのみ必要です。
C_{VREFH_D}	ADC VREFH のデカップリングコンデンサ	100nF X7R	2 つのドメインピンごとに 1 つのコンデンサ
$C_{VDDA_FPD_0_B}$	FPD_0 用 VDDA のバイパスコンデンサ	10µF X7R	ドメインごとに 1 つのコンデンサ
$C_{VDDA_FPD_0_D}$	FPD_0 用 VDDA のデカップリングコンデンサ	1.5nF X7R	ドメインごとに 1 つのコンデンサ
$F_{VDDA_FPD_0}$	FPD_0 用 VDDA のフェライトビーズ	MPZ1608B471ATA00	ドメインごとに 1 つのフェライトビーズ。サイレント供給を確保する必要があります。 オプション: PMIC からの共振周波数 < 100 kHz に対し、合計、RLC フィルタ[41], [42]として直列に 2 Ω。

19 Appendix A - 電源コンセプト

記号	パラメータ	パッケージ	
		値	説明
$C_{VDDA_FPD_1_B}$	FPD_1 用 VDDA のバイパスコンデンサ	10µF X7R	ドメインごとに 1 つのコンデンサ
$C_{VDDA_FPD_1_D}$	FPD_1 用 VDDA のデカップリングコンデンサ	1.5nF X7R	ドメインごとに 1 つのコンデンサ
$F_{VDDPLL_FPD_1}$	FPD_1 用 VDDA のフェライトビーズ	MPZ1608B471ATA00	ドメインごとに 1 つのフェライトビーズ。サイレントな供給を確保する必要があります。 オプション: PMIC からの共振周波数 < 100 kHz に対し、合計、RLC フィルタ[41], [42]として直列に 2 Ω。
$C_{VDDA_MIPI_B}$	MIPI 用 VDDA のバイパスコンデンサ	10µF X7R	ドメイン用の 1 つのコンデンサ
$C_{VDDA_MIPI_D}$	MIPI 用 VDDA のデカップリングコンデンサ	100nF X7R, 1nF X7R	ドメインごとに 1 つのコンデンサ, ドメインごとに 1 つのコンデンサ
F_{VDDA_MIPI}	MIPI 用 VDDA のフェライトビーズ	MPZ1608B471ATA00	ドメインごとに 1 つのフェライトビーズ。サイレントな供給を確保する必要があります。 PMIC からの共振周波数 < 100 kHz に対し、合計、RLC フィルタ[41], [42]として直列に 2 Ω。
$C_{VDDHA_FPD_0_B}$	FPD_0 用 VDDHA のバイパスコンデンサ	10µF X7R	ドメインごとに 1 つのコンデンサ
$C_{VDDHA_FPD_0_D}$	FPD_0 用 VDDHA のデカップリングコンデンサ	100nF X7R, 10nF X7R, 1.5nF X7R	ドメインごとに 1 つのコンデンサ, ドメインごとに 1 つのコンデンサ, ドメインごとに 1 つのコンデンサ
$F_{VDDHA_FPD_0}$	FPD_0 用 VDDHA のフェライトビーズ	MPZ1608B471ATA00	ドメインごとに 1 つのフェライトビーズ。サイレント供給を確保する必要があります。 PMIC からの共振周波数 < 100 kHz に対し、合計、RLC フィルタ[41], [42]として直列に 2 Ω。
$C_{VDDHA_FPD_1_B}$	FPD_1 用 VDDHA のバイパスコンデンサ	10µF X7R	ドメインごとに 1 つのコンデンサ
$C_{VDDHA_FPD_1_D}$	FPD_1 用 VDDHA のデカップリングコンデンサ	100nF X7R, 10nF X7R, 1.5nF X7R	ドメインごとに 1 つのコンデンサ, ドメインごとに 1 つのコンデンサ, ドメインごとに 1 つのコンデンサ
$F_{VDDHA_FPD_1}$	FPD_1 用 VDDHA のフェライトビーズ	MPZ1608B471ATA00	ドメインごとに 1 つのフェライトビーズ。サイレント供給を確保する必要があります。 PMIC からの共振周波数 < 100 kHz に対し、合計、RLC フィルタ[41], [42]として直列に 2 Ω。

19 Appendix A - 電源コンセプト

記号	パラメータ	パッケージ	
		値	説明
$C_{VDDO_LPDDR4_B}$	VDDO_LPDDR4 のバイパスコンデンサ	[46]	-
$C_{VDDO_LPDDR4_B}$	VDDO_LPDDR4 のデカップリングコンデンサ	[47]	-

[46] AN236076- LPDDR4 design guidelines for TRAVEO™ T2G Automotive Cluster 2D family MCUs (Doc.No.002-36076) を参照してください。

[47] AN236076- LPDDR4 design guidelines for TRAVEO™ T2G Automotive Cluster 2D family MCUs (Doc.No.002-36076) を参照してください。

19.9 CYT2C シリーズ (LQFP パッケージ)

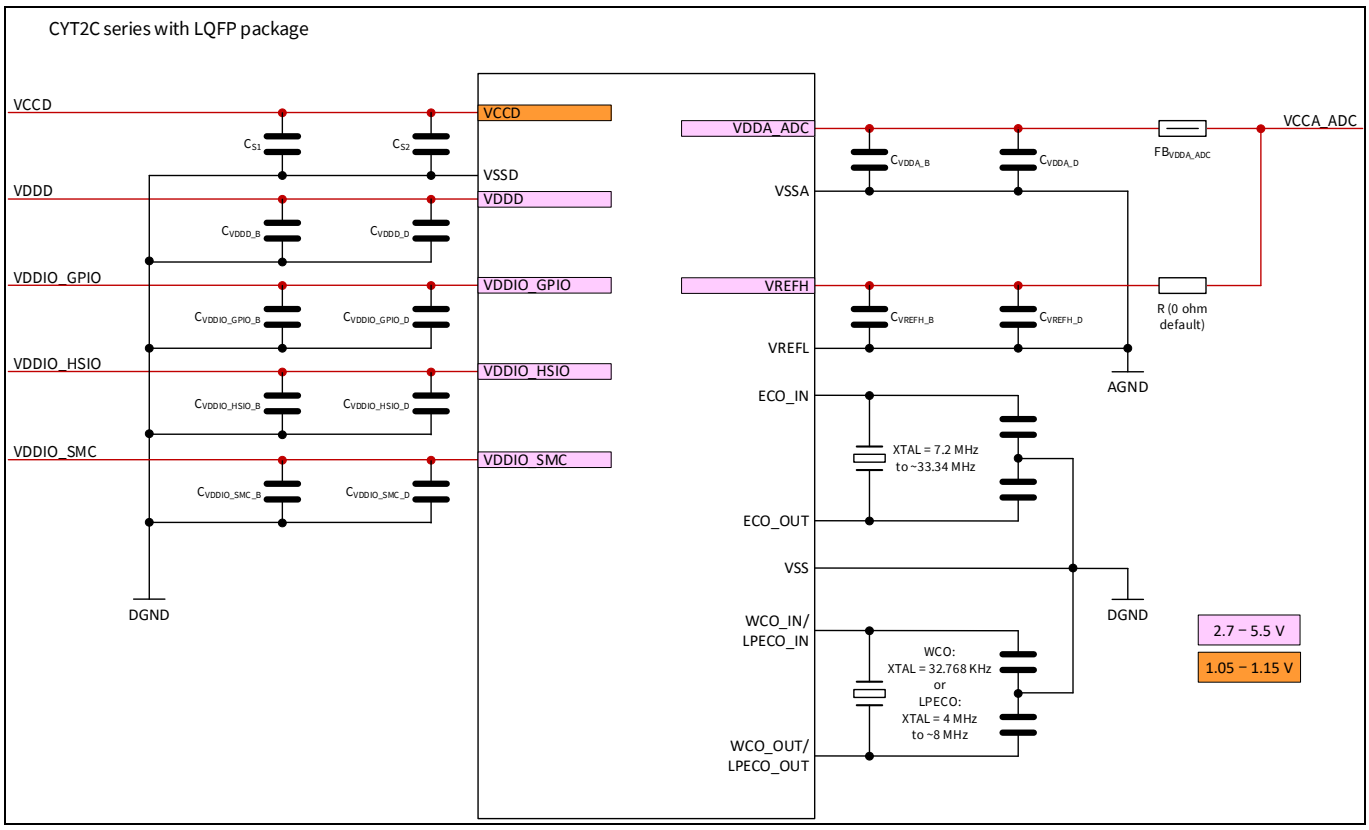


Figure 57 CYT2C シリーズ (LQFP パッケージ) の MCU 電源コンセプト例

Table 22 CYT2C シリーズ (LQFP パッケージ) の外部コンポーネント統合の例

記号	パラメータ	パッケージ	
		値	説明
C_{S1}	コア電源用 VCCD ドメインのバイパス/平滑コンデンサ	X7R タイプ	データシートの値。 ドメインの 2 つのコンデンサ。デバイスデータシートの仕様に従って、ピンペアに近接配置。 コア VCCD 電源コンセプトに応じて、MCU と PMIC 間のコンデンサ値と配置要件を確認してください。
C_{S2}	コア電源用 VCCD ドメインのデカップリングコンデンサ	100 nF X7R	ドメインピンごとに 1 つのコンデンサ
C_{VDDD_B}	IP および I/O 用 VDDD ドメインのバイパスコンデンサ	> 22 µF X7R	内部 LDO 要件。PCB 固有のコンデンサの寸法については、データシートの仕様 ID SID603 に記載されるアクティブレギュレータからの突入電流、Appendix D – アクティブレギュレータの突入電流、およびすべてのコア電源用バイパスコンデンサを考慮してください。

19 Appendix A - 電源コンセプト

記号	パラメータ	パッケージ	
		値	説明
			ボードトラックを含むコンデンサあたりの合計で ESR ≤ 50 mΩ, ESL ≤ 2 nH。インピーダンスを考慮し、2 つのコンデンサを推奨します。
C_{VDDD_D}	Logic および I/O 用 VDDD ドメインのデカップリングコンデンサ	100 nF X7R	ドメイン ピンごとに 1 つのコンデンサ。 内部 LDO により、300 mV を超える電圧降下は避ける必要があります。 並列転送はできるかぎり削減する必要があります。.
$C_{VDDIO_GPIO_B}$	GPIO 用 I/O ドメインのバイパスコンデンサ	1 µF X7R	ドメインの 1 つのコンデンサ
$C_{VDDIO_GPIO_D}$	GPIO 用 I/O ドメインのデカップリングコンデンサ	100 nF X7R	ドメインピンごとに 1 つのコンデンサ
$C_{VDDIO_SMC_B}$	SMC 用 I/O ドメインのバイパスコンデンサ	2.2 µF X7R	ドメインごとに 1 つのコンデンサ
$C_{VDDIO_SMC_D}$	SMC 用 I/O ドメインのデカップリングコンデンサ	100 nF X7R	2 つのドメインピンごとに 1 つのコンデンサ
$C_{VDDIO_HSIO_B}$	HSIO 用 I/O ドメインのバイパスコンデンサ	2.2 µF X7R	ドメインごとに 1 つのコンデンサ
$C_{VDDIO_HSIO_D}$	HSIO 用 I/O ドメインのデカップリングコンデンサ	100 nF X7R	2 つのドメインピンごとに 1 つのコンデンサ
$C_{VDDA\ B}$	VDDA のバイパスコンデンサ	4.7 µF X7R	ドメインごとに 1 つのコンデンサ
$C_{VDDA\ D}$	VDDA のデカップリングコンデンサ	100 nF X7R	ドメインピンごとに 1 つのコンデンサ
C_{VREFH_B}	ADC 用 VREFH のバイパスコンデンサ	2.2 µF X7R	ドメインごとに 1 つのコンデンサ。オプション。 個別のアナログ基準電源を使用する場合にのみ必要です。
C_{VREFH_D}	ADC 用 VREFH のデカップリングコンデンサ	100 nF X7R	2 つのドメインピンごとに 1 つのコンデンサ
F_{VDDA_ADC}	FPD 用 VDDA のフェライトビーズ	742792645	1 つの EMI 抑制フェライトビーズ。 オプション: 合計、直列に 470Ω。

20 Appendix B - アナログ電源

Figure 58 と Figure 59 に、寄生要素のない理想的なアナログ電源と電源ラインとフィルタコンデンサに寄生要素のある実際のアナログ電源の違いを示します。

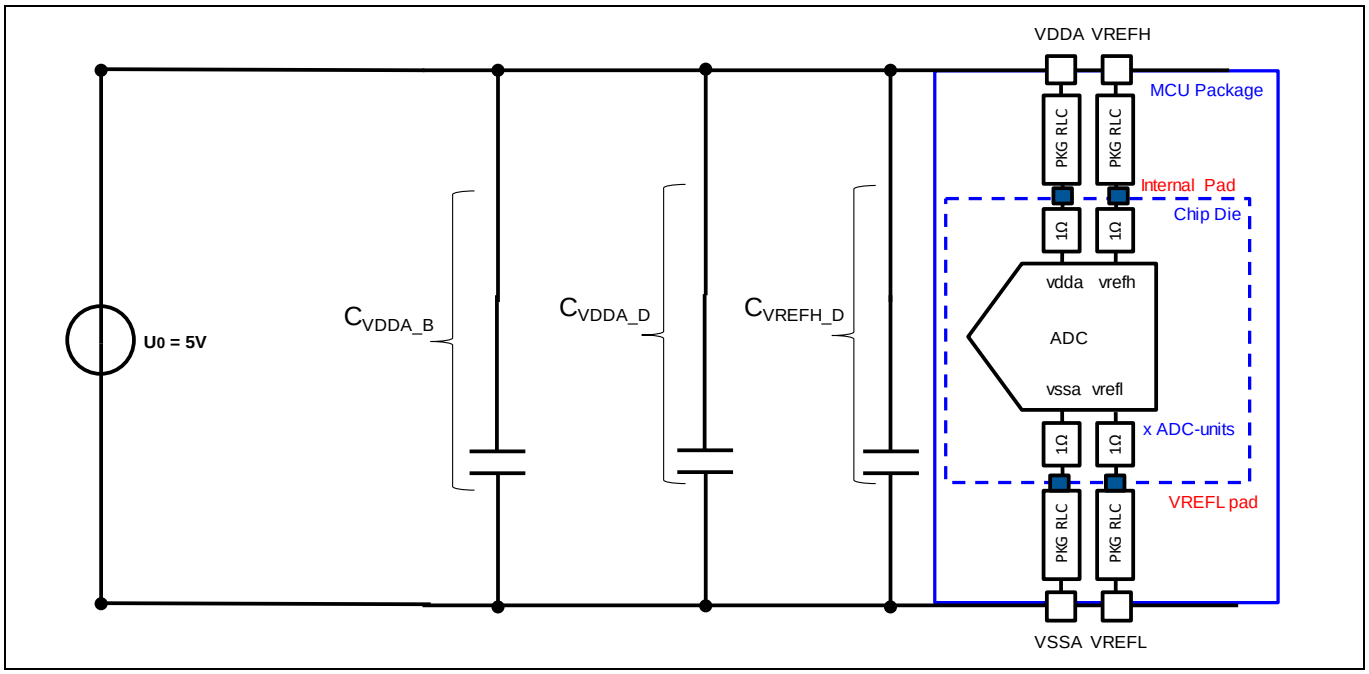


Figure 58 理想的なアナログ電源

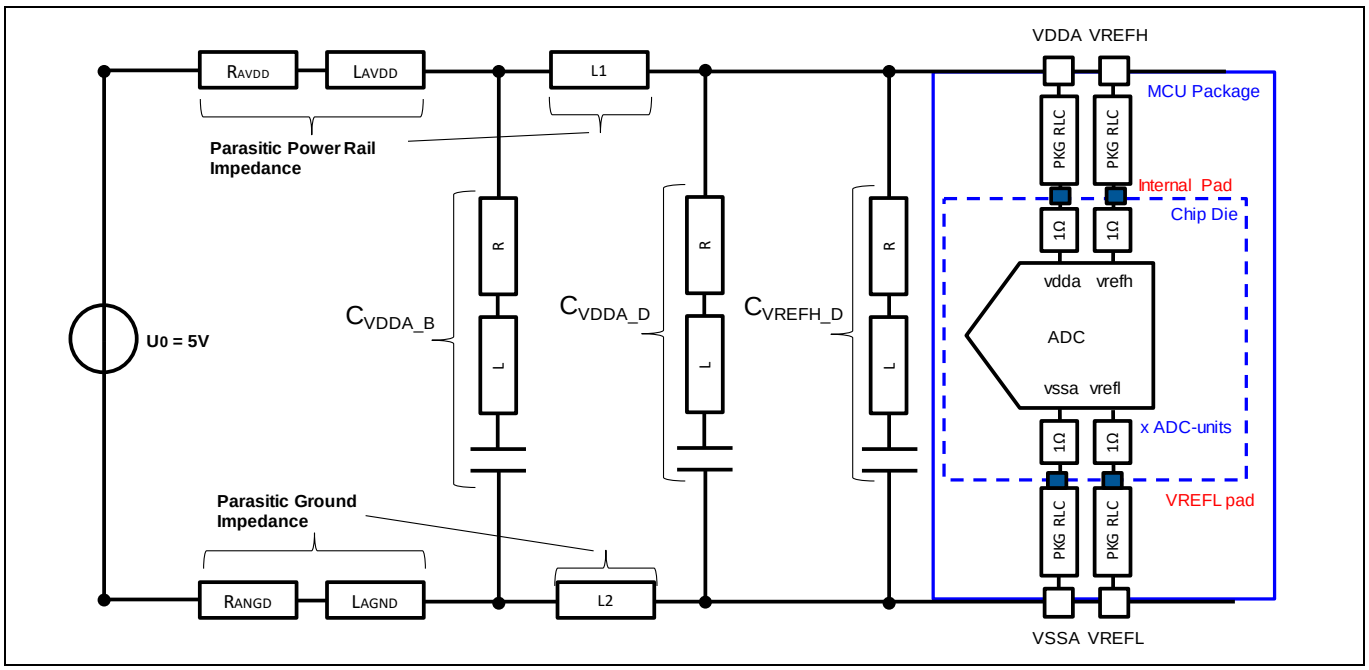


Figure 59 実際のアナログ電源

21 Appendix C - 発振器のレイアウト

いくつかのパッケージにおける、一般的な発振器のレイアウト例を示します。

Note: このレイアウト設計については、正しいコンポーネントサイズを保証するものでも、あらゆる PCB 設計ルールに従うものでもありません。異なるパッケージ間で変更が必要になる場合があります。

21.1 QFP パッケージ

Figure 60 に QFP パッケージを使用した一般的な発振器のレイアウトを示します。

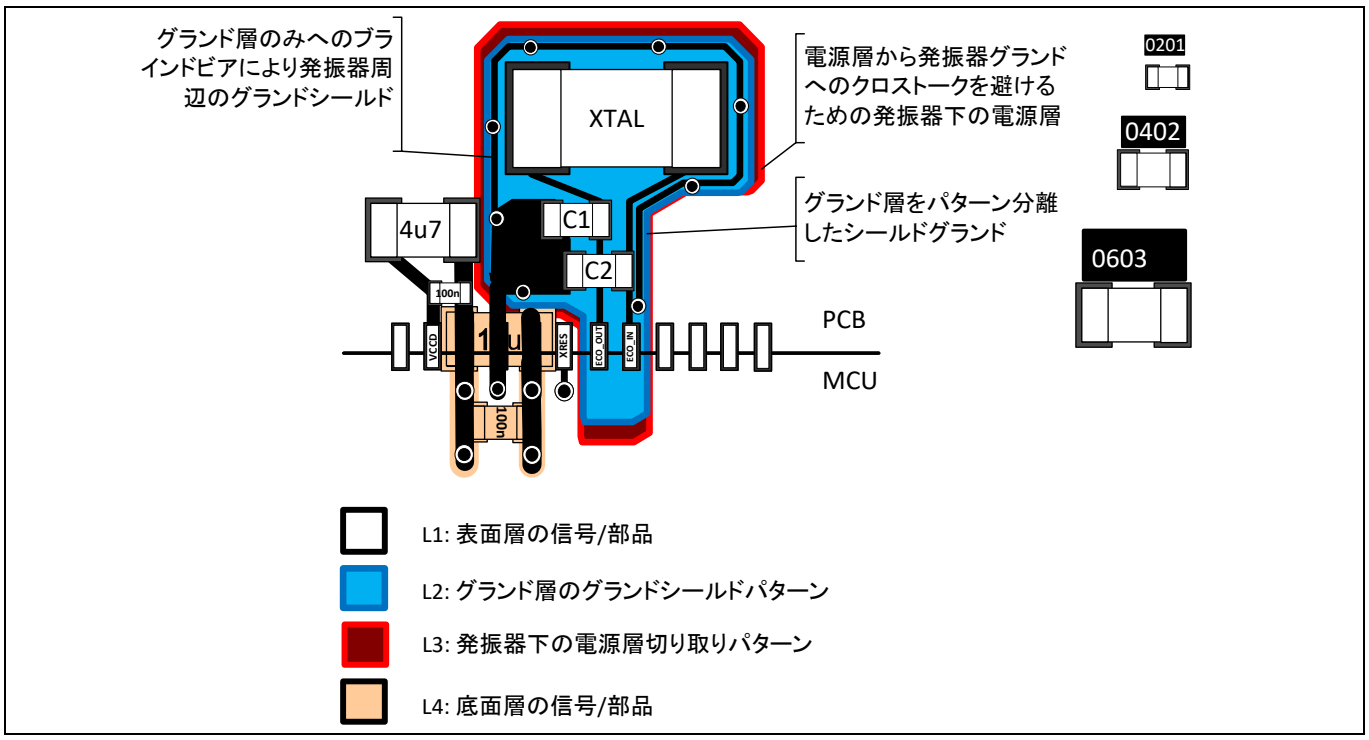


Figure 60 CYT2B, CYT3B, および CYT4B シリーズ QFP パッケージの発振器レイアウト例

21.2 BGA パッケージ

Figure 61 に BGA パッケージを使用した発振器の推奨するレイアウトを示します。

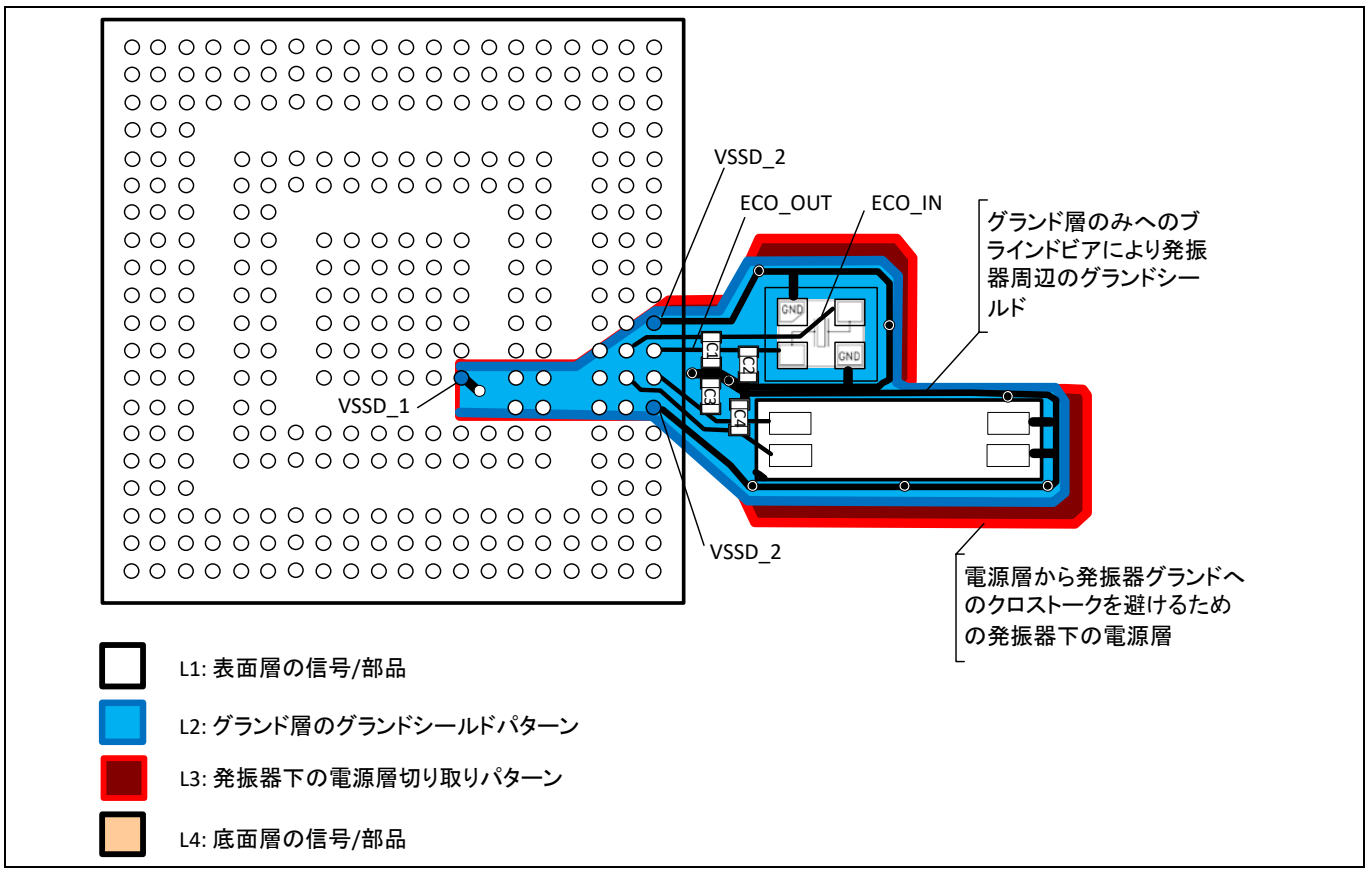


Figure 61 BGA パッケージ (CYT4B シリーズ 320-BGA パッケージの場合) の発振器レイアウト例

22 Appendix D – アクティブレギュレータの突入電流

VDDD ドメインでのバイパスコンデンサの寸法の一部として、外部電圧レギュレータ、その電源レールの PCB 寄生容量 (ESR および ESL)、およびアクティブレギュレータ (内部 LDO) の最大消費電流を考慮する必要があります。アクティブレギュレータへのトランジェントの最速の突入電流は、次の場合に示されます。

- 最大 150mA の内部 LDO 動作電流 (CYT2) を備えた MCU
- 最大 300mA の内部 LDO 動作電流 (CYT3/CYT4/CYT6) を備えた MCU

Note: 最大の場合。DC 電流が小さすぎます。最大値を確認してください。過電流制限およびバイパスコンデンサで残りをカバーします。

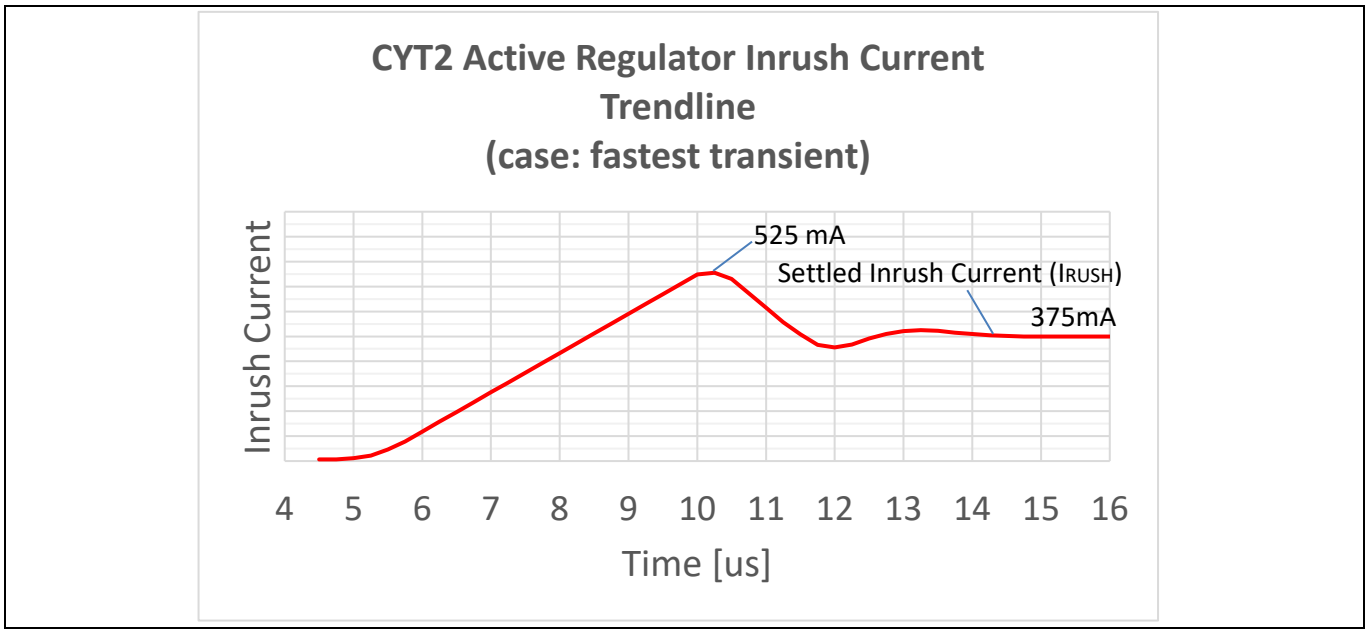


Figure 62　最悪のシナリオでの CYT2 アクティブレギュレータの突入電流

22 Appendix D – アクティブレギュレータの突入電流

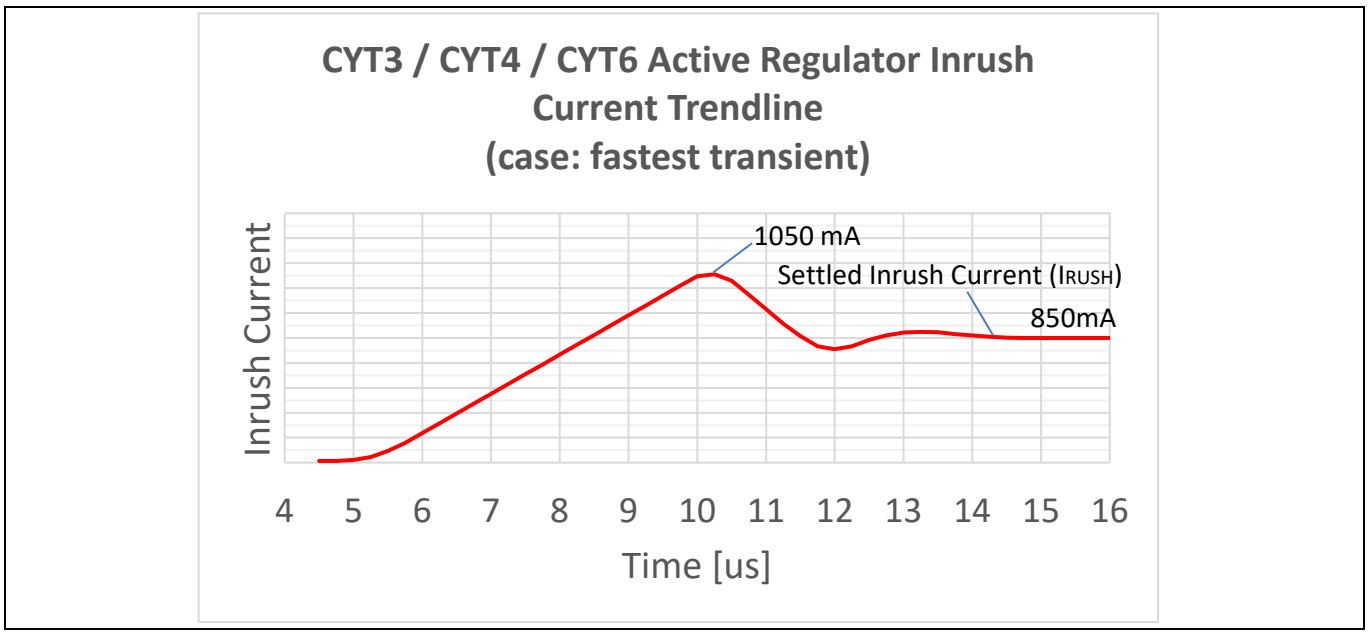


Figure 63　最悪のシナリオでの CYT3/CYT4/CYT6 アクティブレギュレータの突入電流

23 Appendix E - 未使用の電源ドメイン処理

23.1 はじめに

ここでは、未使用の電源ドメインとその I/O ポートピンの処理方法について説明します。さまざまな電源モードの遷移要件、つまり電源のオン/オフの順序付けは考慮されません。I/O ポートのピン処理に関しては、電源モードの移行中に ECU 周辺機器が適切な状態にあることを確認してください。接地できない永続的に未使用の電源ドメインを処理する方法については、未使用の電源ドメインを参照してください。I/O ピンの処理方法については、ポート入力/未使用端子: 一般的な注意事項を参照してください。

23.2 CYT2B シリーズ

Table 23 CYT2B シリーズの未使用ドメイン処理

電源ドメイン	動作電圧範囲	永続的な未使用ドメイン (Active モード)				DeepSleep モード			Hibernate		
		スイッチオフ可? [Yes/No]	電源ピン処理[48]	I/O ピン処理 [48]	備考	スイッチオフ可? [Yes/No]	I/O ピン処理[48]	備考	スイッチオフ可? [Yes/No]	I/O ピン処理[48]	備考
VDDD (常時 on)	2.7～5.5 V	No	-	-	-	No	-	-	No	-	-
VCCD	1.09～1.21 V	No	-	-	-	No	-	-	-	-	-
VDDA_ADC	2.7～5.5 V	No	-	-	-	Yes	-	DeepSleep の前に BOD リセット無効	Yes	-	-
VDDA_VREFH	2.7～5.5 V	Yes	グランドに接続	-	-	Yes	-	-	Yes	-	-
VDDIO_1	2.7～5.5 V	No	-	-	-	No	-	-	No	無効	-
VDDIO_2	2.7～5.5 V	No	-	-	-	Yes	無効	-	Yes	無効	-

[48] ピン処理の説明 (未使用 I/O ピンの詳細については、ポート入力/未使用端子: 一般的な注意事項を参照してください。)

- グランドに接続: グランドに直接接続します。ラッチアップ (LU) のリスクがあるため、フローティングレベルを回避する必要があります。
- オープンピン: ピンはオープンで接続はありません。省電力モードは例外です。
- プルダウン: 外部抵抗によりグランドにプルダウン
- 無効: 入力バッファおよび出力を無効にします。
- “-”: 該当なし

Table 24　CYT2B シリーズのデバッグ/バウンダリスキャンピンが属する電源ドメイン

デバッグピン名	64-LQFP	80-LQFP	100-LQFP	144-LQFP	176-LQFP
SWJ_TRSTN	VDDD	VDDD	VDDD	VDDD	VDDD
SWJ_SWO_TDO	VDDD	VDDD	VDDD	VDDD	VDDD
SWJ_SWCLK_TCLK	VDDD	VDDD	VDDD	VDDD	VDDD
SWJ_SWDIO_TMS	VDDD	VDDD	VDDD	VDDD	VDDD
SWJ_SWDOE_TDI	VDDD	VDDD	VDDD	VDDD	VDDD

23.3　CYT3B/4B/6B シリーズ

Table 25　CYT3B/4B/6B シリーズの未使用ドメイン処理

電源ドメイン	動作電圧範囲	永続的な未使用ドメイン (Active モード)				DeepSleep モード			Hibernate		
		スイッチオフ可? [Yes/No]	電源ピン処理[49]	I/O ピン処理[49]	備考	スイッチオフ可? [Yes/No]	I/O ピン処理[49]	備考	スイッチオフ可? [Yes/No]	I/O ピン処理[49]	備考
VDDD (常時 on)	2.7～5.5 V	No	-	-	-	No	-	-	No	-	-
VCCD	1.09～1.21 V	No	-	-	-	No	-	-	-	-	-
VDDA_ADC	2.7～5.5 V	No	-	-	-	Yes	-	DeepSleep の前に BOD リセット無効	Yes	-	-
VDDA_VREFH	2.7～5.5 V	Yes	グランドに接続	-	-	Yes	-	-	Yes	-	-

[49] ピン処理の説明 (未使用 I/O ピンの詳細については、ポート入力/未使用端子: 一般的な注意事項を参照してください。)

- グランドに接続: グランドに直接接続します。ラッチアップ (LU) のリスクがあるため、フローティングレベルを回避する必要があります。
- オープンピン: ピンはオープンで接続はありません。省電力モードは例外です。
- プルダウン: 外部抵抗によりグランドにプルダウン
- 無効: 入力バッファおよび出力を無効にします。
- “-”: 該当なし

電源ドメイン	動作電圧範囲	永続的な未使用ドメイン (Active モード)				DeepSleep モード			Hibernate		
		スイッチオフ可? [Yes/No]	電源ピン処理[49]	I/O ピン処理 [49]	備考	スイッチオフ可? [Yes/No]	I/O ピン処理 [49]	備考	スイッチオフ可? [Yes/No]	I/O ピン処理 [49]	備考
VDDIO_1	2.7～5.5 V	Yes	グランドに接続	グランドに接続, オープンピン	-	Yes	無効	-	Yes	無効	-
VDDIO_2	2.7～5.5 V	No	-	-	-	Yes	無効	-	Yes	無効	-
VDDIO_3	2.7～3.6 V	Yes	グランドに接続	グランドに接続, オープンピン	-	Yes	無効	-	Yes	無効	-
VDDIO_4	2.7～3.6 V	Yes	グランドに接続	グランドに接続, オープンピン	一部のパッケージにはありません。	Yes	無効	-	Yes	無効	-

Table 26　CYT3B/4B/6B シリーズのデバッグ/バウンダリスキャンピンが属する電源ドメイン

デバッグピン名	100-TEQFP	144-TEQFP	176-TEQFP	272-BGA	320-BGA
SWJ_TRSTN	VDDD	VDDD	VDDD	VDDD	VDDD
SWJ_SWO_TDO	VDDD	VDDD	VDDD	VDDD	VDDD
SWJ_SWCLK_TCLK	VDDD	VDDD	VDDD	VDDD	VDDD
SWJ_SWDIO_TMS	VDDD	VDDD	VDDD	VDDD	VDDD
SWJ_SWDOE_TDI	VDDD	VDDD	VDDD	VDDD	VDDD

23.4 CYT3D シリーズ

Table 27 CYT3D シリーズの未使用ドメイン処理

電源ドメイン	動作電圧範囲	永続的な未使用ドメイン (Active モード)				DeepSleep モード			Hibernate		
		スイッチオフ可? [Yes/No]	電源ピン処理[50]	I/O ピン処理 [50]	備考	スイッチオフ可? [Yes/No]	I/O ピン処理[50]	備考	スイッチオフ可? [Yes/No]	I/O ピン処理[50]	備考
VDDD (常時 on)	2.7～5.5 V	No	-	-	-	No	-	-	No	-	-
VCCD	1.09～1.21 V	No	-	-	-	No	-	-	-	-	-
VDDA_FPD	1.09～1.21 V	No	-	専用ポート端子	-	No	IP 無効	-	-	IP 無効	-
VDDPLL_FPD	1.09～1.21 V	No	-	専用ポート端子	-	No	IP 無効	-	-	IP 無効	-
VDDA_MIPI	1.09～1.21 V	Yes	グランドに接続	専用ポート端子	-	Yes	IP 無効	-	Yes	IP 無効	-
VDDHA_FPD	3.0～3.6 V	No	-	-	-	Yes	IP 無効	-	Yes	IP 無効	-
VDDIO_HSIO	3.0～3.6 V	Yes	グランドに接続	グランドに接続, オープンピン, プルダウン	-	Yes	無効	-	Yes	無効	-
VDDA_DAC	3.0～3.6 V	Yes	グランドに接続	専用ポート端子	-	Yes	IP 無効	-	Yes	IP 無効	-

[50] ピン処理の説明 (未使用 I/O ピンの詳細については、ポート入力/未使用端子: 一般的な注意事項を参照してください。)

- グランドに接続: グランドに直接接続します。ラッチアップ (LU) のリスクがあるため、フローティングレベルを回避する必要があります。
- オープンピン: ピンはオープンで接続はありません。省電力モードは例外です。
- プルダウン: 外部抵抗によりグランドにプルダウン
- 無効: 入力バッファおよび出力を無効にします。
- “-”: 該当なし

電源ドメイン	動作電圧範囲	永続的な未使用ドメイン (Active モード)				DeepSleep モード			Hibernate		
		スイッチオフ可? [Yes/No]	電源ピン処理[50]	I/O ピン処理 [50]	備考	スイッチオフ可? [Yes/No]	I/O ピン処理[50]	備考	スイッチオフ可? [Yes/No]	I/O ピン処理[50]	備考
VDDA_ADC	2.7～5.5 V	No	-	-	-	Yes	-	DeepSleep の前に BOD リセット無効	Yes	-	-
VDDA_VREFH	2.7～5.5 V	Yes	-	-	-	Yes	-	-	Yes	-	-
VDDIO_GPIO1	2.7～5.5 V	Yes	グランドに接続	グランドに接続, オープンピン, プルダウン	-	Yes	無効	-	Yes	無効	-
VDDIO_GPIO2	2.7～5.5 V	Yes	グランドに接続	グランドに接続, オープンピン, プルダウン	-	Yes	無効	-	Yes	無効	-
VDDIO_SMC	2.7～5.5 V	Yes	グランドに接続	グランドに接続, オープンピン, プルダウン	-	Yes	無効	-	Yes	無効	-

Table 28　CYT3D シリーズのデバッグ/バウンダリスキャンピンが属する電源ドメイン

デバッグピン名	216-TEQFP	272-BGA
SWJ_TRSTN	VDDIO_GPIO_1	VDDIO_GPIO_1
SWJ_SWO_TDO	VDDIO_GPIO_1	VDDIO_GPIO_1
SWJ_SWCLK_TCLK	VDDIO_GPIO_1	VDDIO_GPIO_1
SWJ_SWDIO_TMS	VDDIO_GPIO_1	VDDIO_GPIO_1
SWJ_SWDOE_TDI	VDDIO_GPIO_1	VDDIO_GPIO_1

23.5 CYT4D シリーズ

Table 29 CYT4D シリーズの未使用ドメイン処理

電源ドメイン	動作電圧範囲	永続的な未使用ドメイン (Active モード)				DeepSleep モード			Hibernate		
		スイッチオフ可? [Yes/No]	電源ピン処理[51]	I/O ピン処理 [51]	備考	スイッチオフ可? [Yes/No]	I/O ピン処理[51]	備考	スイッチオフ可? [Yes/No]	I/O ピン処理[51]	備考
VDDD (常時 on)	2.7～5.5 V	No	–	–	–	No	–	–	No	–	–
VCCD	1.09～1.21 V	No	–	–	–	No	–	–	–	–	–
VDDA_FPD	1.09～1.21 V	No	–	専用ポート端子	–	No	IP 無効	–	–	IP 無効	–
VDDPLL_FPD	1.09～1.21 V	No	–	専用ポート端子	–	No	IP 無効	–	–	IP 無効	–
VDDA_MIPI	1.09～1.21 V	Yes	グランドに接続	専用ポート端子	–	Yes	IP 無効	–	Yes	IP 無効	–
VDDHA_FPD	3.0～3.6 V	No	–	–	–	Yes	IP 無効	–	Yes	IP 無効	–
VDDIO_HSIO	3.0～3.6 V	Yes	グランドに接続	グランドに接続, オープンピン, プルダウン	–	Yes	無効	–	Yes	無効	–
VDDA_DAC	3.0～3.6 V	Yes	グランドに接続	専用ポート端子	–	Yes	IP 無効	–	Yes	IP 無効	–
VDDA_ADC	2.7～5.5 V	No	–	–	–	Yes	–	DeepSleep の前に BOD リセット無効	Yes	–	–
VDDA_VREFH	2.7～5.5 V	Yes	–	–	–	Yes	–	–	Yes	–	–

[51] ピン処理の説明 (未使用 I/O ピンの詳細については、ポート入力/未使用端子: 一般的な注意事項を参照してください。)

- グランドに接続: グランドに直接接続します。ラッチアップ (LU) のリスクがあるため、フローティングレベルを回避する必要があります。
- オープンピン: ピンはオープンで接続はありません。省電力モードは例外です。
- プルダウン: 外部抵抗によりグランドにプルダウン
- 無効: 入力バッファおよび出力を無効にします。
- “-”: 該当なし

電源ドメイン	動作電圧範囲	永続的な未使用ドメイン (Active モード)				DeepSleep モード			Hibernate		
		スイッチオフ可? [Yes/No]	電源ピン処理[51]	I/O ピン処理 [51]	備考	スイッチオフ可? [Yes/No]	I/O ピン処理[51]	備考	スイッチオフ可? [Yes/No]	I/O ピン処理[51]	備考
VDDIO_GPIO1	2.7～5.5 V	Yes	グランドに接続	グランドに接続, オープンピン, プルダウン	–	Yes	無効	–	Yes	無効	–
VDDIO_GPIO2	2.7～5.5 V	Yes	グランドに接続	グランドに接続, オープンピン, プルダウン	–	Yes	無効	–	Yes	無効	–
VDDIO_SMC	2.7～5.5 V	Yes	グランドに接続	グランドに接続, オープンピン, プルダウン	–	Yes	無効	–	Yes	無効	–
VDDIO_SMIF_HV	3.0～3.6 V	Yes	グランドに接続	-	-	Yes	-	DS > SID40D/DA を参照	Yes	-	DS > SID40D/DA を参照
VDDIO_SMIF	1.7～2.0V	Yes	グランドに接続	グランドに接続, オープンピン, プルダウン	-	Yes	無効		Yes	無効	

Table 30　CYT4D シリーズのデバッグ/バウンダリスキャンピンが属する電源ドメイン

デバッグピン名	327-BGA
SWJ_TRSTN	VDDIO_GPIO_1
SWJ_SWO_TDO	VDDIO_GPIO_1
SWJ_SWCLK_TCLK	VDDIO_GPIO_1
SWJ_SWDIO_TMS	VDDIO_GPIO_1
SWJ_SWDOE_TDI	VDDIO_GPIO_1

23.6 CYT4E シリーズ

Table 31 CYT4E シリーズの未使用ドメイン処理

電源ドメイン	動作電圧範囲	永続的な未使用ドメイン (Active モード)				DeepSleep モード			Hibernate		
		スイッチオフ可? [Yes/No]	電源ピン処理[51]	I/O ピン処理[52]	備考	スイッチオフ可? [Yes/No]	I/O ピン処理[51]	備考	スイッチオフ可? [Yes/No]	I/O ピン処理[51]	備考
VDDD (常時 on)	2.7～5.5 V	No	–	–	–	No	–	–	No	–	–
VCCD	1.09～1.21 V	No	–	–	–	No	–	–	–	–	–
VDDA_FPD0	1.09～1.21 V	No	–	専用ポート端子	–	No	IP 無効	–	–	IP 無効	–
VDDA_FPD1	1.09～1.21 V	No	–	専用ポート端子	–	No	IP 無効	–	–	IP 無効	–
VDDPLL_FPD0	1.09～1.21 V	No	–	専用ポート端子	–	No	IP 無効	–	–	IP 無効	–
VDDPLL_FPD1	1.09～1.21 V	No	–	専用ポート端子	–	No	IP 無効	–	–	IP 無効	–
VDDA_MIPI	1.09～1.21 V	Yes	グランドに接続	専用ポート端子	–	Yes	IP 無効	–	Yes	IP 無効	–
VDDHA_FPD0	3.0～3.6 V	No	–	–	–	Yes	IP 無効	–	Yes	IP 無効	–
VDDHA_FPD1	3.0～3.6 V	No	–	–	–	Yes	IP 無効	–	Yes	IP 無効	–

[52] ピン処理の説明 (未使用 I/O ピンの詳細については、ポート入力/未使用端子: 一般的な注意事項を参照してください。)

- グランドに接続: グランドに直接接続します。ラッチアップ (LU) のリスクがあるため、フローティングレベルを回避する必要があります。
- オープンピン: ピンはオープンで接続はありません。省電力モードは例外です。
- プルダウン: 外部抵抗によりグランドにプルダウン
- 無効: 入力バッファおよび出力を無効にします。
- “-”: 該当なし

電源ドメイン	動作電圧範囲	永続的な未使用ドメイン (Active モード)				DeepSleep モード			Hibernate		
		スイッチオフ可? [Yes/No]	電源ピン処理[51]	I/O ピン処理[52]	備考	スイッチオフ可? [Yes/No]	I/O ピン処理[51]	備考	スイッチオフ可? [Yes/No]	I/O ピン処理[51]	備考
VDDIO_HSIO	3.0～3.6 V	Yes	グランドに接続	グランドに接続, オープンピン, プルダウン	–	Yes	無効	–	Yes	無効	–
VDDA_DAC	3.0～3.6 V	Yes	グランドに接続	専用ポート端子	–	Yes	IP 無効	–	Yes	IP 無効	–
VDDA	2.7～5.5 V	No	–	–	–	Yes	–	DeepSleep の前に BOD リセット無効	Yes	–	–
VREFH	2.7～5.5 V	Yes	–	–	–	Yes	–	–	Yes	–	–
VDDIO_GPIO1	2.7～5.5 V	Yes	グランドに接続	グランドに接続, オープンピン, プルダウン	–	Yes	無効	–	Yes	無効	–
VDDIO_GPIO2	2.7～5.5 V	Yes	グランドに接続	グランドに接続, オープンピン, プルダウン	–	Yes	無効	–	Yes	無効	–
VDDIO_SMC	2.7～5.5 V	Yes	グランドに接続	グランドに接続, オープンピン, プルダウン	–	Yes	無効	–	Yes	無効	–
VDDIO_SMIF_HV	3.0～3.6 V	Yes	グランドに接続	-	-	Yes	-	DS > SID40D/DA を参照	Yes	-	DS > SID40D/DA を参照
VDDIO_SMIF_1	1.7～1.95 V, 3.0～3.6 V	Yes	グランドに接続	グランドに接続, オープンピン, プルダウン	-	Yes	無効		Yes	無効	
VDDIO_SMIF_2	1.7～1.95 V, 3.0～3.6 V	Yes	グランドに接続	グランドに接続, オープンピン, プルダウン	-	Yes	無効		Yes	無効	
VDDO_LPDDR4	1.06～1.17 V (標準 1.1 V)	No	–	-	–	No	–	–	No	–	–

Table 32　CYT4E シリーズのデバッグ/バウンダリスキャンピンが属する電源ドメイン

デバッグピン名	500-BGA
SWJ_TRSTN	VDDIO_GPIO_2
SWJ_SWO_TDO	VDDIO_GPIO_2
SWJ_SWCLK_TCLK	VDDIO_GPIO_2
SWJ_SWDIO_TMS	VDDIO_GPIO_2
SWJ_SWDOE_TDI	VDDIO_GPIO_2

23.7　CYT2C シリーズ

Table 33　CYT2C シリーズの未使用ドメイン処理

電源ドメイン	動作電圧範囲	永続的な未使用ドメイン (Active モード)				DeepSleep モード			Hibernate		
		スイッチオフ可? [Yes/No]	電源ピン処理[51]	I/O ピン処理[53]	備考	スイッチオフ? [Yes/No]	I/O ピン処理[51]	備考	スイッチオフ? [Yes/No]	I/O ピン処理[51]	備考
VDDD (常時 on)	2.7 - 5.5 V	No	–	–	–	No	–	–	No	–	–
VCCD	1.05 - 1.15 V	No	–	–	–	No	–	–	–	–	–
VDDIO_HSIO	3.0 – 3.6 V	Yes	グランドに接続	グランドに接続, オープンピン, プルダウン	–	Yes	無効	–	Yes	無効	–

[53] ピン処理の説明 (未使用 I/O ピンの詳細については、ポート入力/未使用端子: 一般的な注意事項を参照してください。)

- グランドに接続: グランドに直接接続します。ラッチアップ (LU) のリスクがあるため、フローティングレベルを回避する必要があります。
- オープンピン: ピンはオープンで接続はありません。省電力モードは例外です。
- プルダウン: 外部抵抗によりグランドにプルダウン
- 無効: 入力バッファおよび出力を無効にします。
- “-“: 該当なし

電源ドメイン	動作電圧範囲	永続的な未使用ドメイン (Active モード)				DeepSleep モード			Hibernate		
		スイッチオフ可? [Yes/No]	電源ピン処理[51]	I/O ピン処理[53]	備考	スイッチオフ? [Yes/No]	I/O ピン処理[51]	備考	スイッチオフ? [Yes/No]	I/O ピン処理[51]	備考
VDDA_ADC	2.7 - 5.5 V	No	–	–	–	Yes	–	DeepSleep の前に BOD リセット無効	Yes	–	–
VDDA_VREFH	2.7 - 5.5 V	Yes	–	–	–	Yes	–	–	Yes	–	–
VDDIO_GPIO	2.7 - 5.5 V	Yes	グランドに接続	グランドに接続, オープンピン, プルダウン	–	Yes	無効	–	Yes	無効	–
VDDIO_SMC	2.7 - 5.5 V	Yes	グランドに接続	グランドに接続, オープンピン, プルダウン	–	Yes	無効	–	Yes	無効	–

Table 34　CYT2C シリーズのデバッグ/バウンダリスキャンピンが属する電源ドメイン

デバッグピン名	144-LQFP	176-LQFP
SWJ_TRSTN	VDDIO_GPIO	VDDIO_GPIO
SWJ_SWO_TDO	VDDIO_GPIO	VDDIO_GPIO
SWJ_SWCLK_TCLK	VDDIO_GPIO	VDDIO_GPIO
SWJ_SWDIO_TMS	VDDIO_GPIO	VDDIO_GPIO
SWJ_SWDOE_TDI	VDDIO_GPIO	VDDIO_GPIO

24 Appendix F – 電源フィルタの特性

2 次 LPF の一部として、インダクタの代わりにフェライトビーズが配置されます。ここでは、フェライトビーズの仕様例を示します。

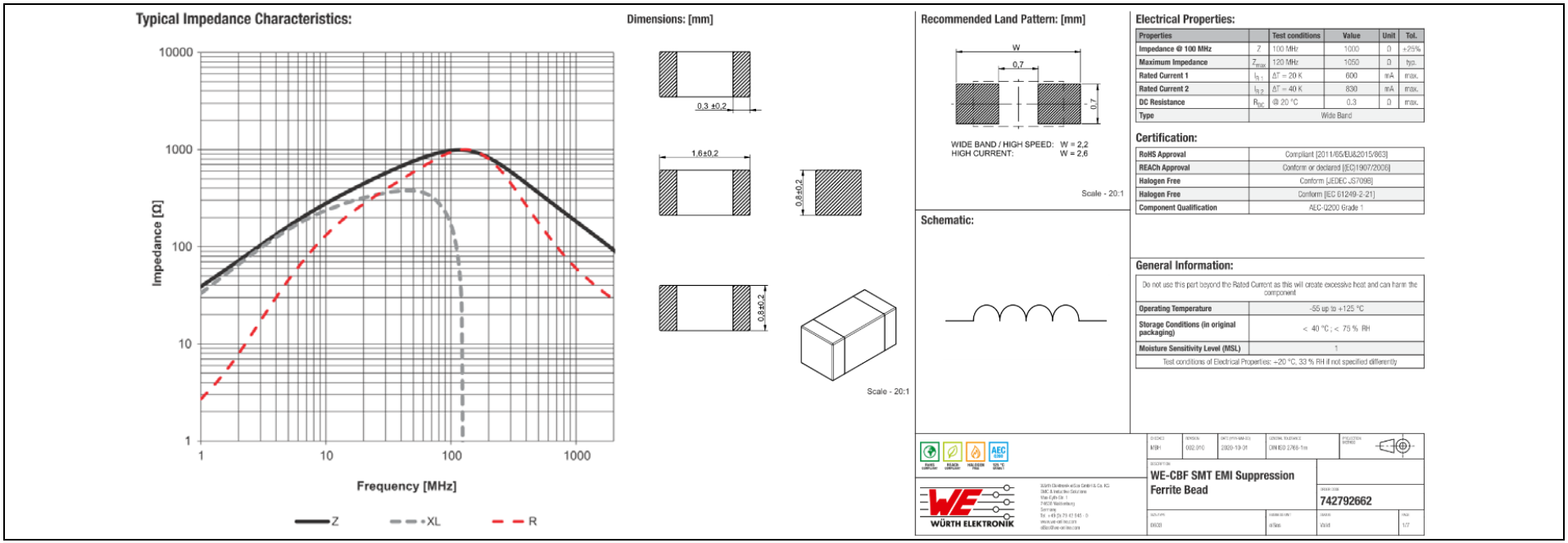


Figure 64 フェライトビーズの仕様例

25 Appendix G – アナログ機能を共有する I/O ピンのクランプ構造

アナログ機能を共有する I/O ピンのクランプ構造で説明したように、アナログ機能を共有する I/O ドメインごとにクランプ構造は異なります。ここでは、電源の依存性と電源シーケンスは考慮されません。

25.1 はじめに

以下の表は、次のことを考慮しています。

- ADC ユニットの SARMUX[x]の I/O ドメイン電源要件
- アナログ機能を共有する I/O ドメインポートピンのクランプ構造

SARMUX の数は、ADC ユニットに依存しません。したがって、原則として、同じ ADC ユニット内の SARMUX を介してではなく、他の SARMUX を介してアナログソースを検出できます。SARMUX[x] I/O ドメインは、ケースバリアントの 1 つ (one-of-x) が満たされるとすぐに、ADC と同じ電圧レベルで電力を供給される必要があります。I/O ピン電源 PD_1 および PD_2 についても、同じ考慮事項 (one-of-x) を実行する必要があります。これにより、ケースバリアントが SARMUX[x]にソートされるため、それに応じてテーブルのソートを利用すると便利です。

25.2 CYT2B および CYT3B/4B/6B シリーズ

Table 35 CYT2B および CYT3B/4B/6B 内のアナログ機能を共有する I/O ピンのクランプ構造[54]

ケース	SARMUX[x]:		使用されるアナログセンシングパス: (入力範囲: 0V～VDDA)	電源ドメインのクランプダイオードステージ:			電源ピンの要件 VDDA_ADC と同様[55]:	
	例	IO ドメイン		PD_1 (GPIO ステージ)	PD_2 (ADC MUX ステージ)	PD_3 (SAR MUX ステージ)	PD_1, PD_2 ドメイン	SARMUX[x] IO ドメイン
1.1.A	0	VDDIO_1	ポートピン無し (デジタルのみ)	VDDIO_1	-	VDDA	No	No
1.1.B	0	VDDIO_1	ADC[0] ピン	VDDIO_1	-	VDDA	Yes	Yes
1.1.C	0	VDDIO_1	AUXMUX を介した ADC[0]_M ピン (P11)	VDDIO_2	VDDA	VDDA	Yes	Yes
1.2	0	VDDIO_1	AUXMUX を介した内部 (ADC[x]_M を除く)	-	-	VDDA	-	Yes
2.1.A	1	VDDIO_2	P11 を除く PD_1 I/O ピン: ポートピン無し (デジタルのみ) (P11: 未使用ピン -> オープン)	VDDIO_2	-	VDDA	No	No
2.1.B	1	VDDIO_2	P11 を除く PD_1 I/O ピン: ADC[1]_M (P11: 未使用ピン -> オープン)	VDDIO_2	-	VDDA	Yes	Yes
2.1.B	1	VDDIO_2	P11 (ADC[x]_M): ポートピン無し (デジタルのみ)	VDDIO_2	VDDA	VDDA	No	No
2.1.C	1	VDDIO_2	AUXMUX を介した ADC[1]_M (P11)	VDDIO_2	VDDA	VDDA	Yes	Yes
2.2	2	VDDIO_2	AUXMUX を介した内部 (ADC[x]_M を除く)	-	-	VDDA	-	Yes
3.1.A	2	VDDD	ポートピン無し (デジタルのみ)	VDDD	-	VDDA	No	No
3.1.B	2	VDDD	ADC[2]_M ピン	VDDD	-	VDDA	Yes	Yes
3.1.C	2	VDDD	ADC[2]_M ピン (P11)	VDDIO_2	VDDA	VDDA	Yes	Yes
3.2	2	VDDD	AUXMUX を介した内部 (ADC[x]_M を除く)	-	-	VDDA	-	Yes

[54] VDDIO_1 ドメインの I/O は、64-LQFP パッケージの VDDD ドメインと呼ばれます。

[55] 専用 I/O ドメインおよび ADC 電源の電源レール電圧レベルの実装は、デバイスデータシートに記載されている他の電源シーケンス要件に準拠している必要があります。

25.3 CYT3D シリーズ

Table 36 CYT3D 内のアナログ機能を共有する I/O ピンのクランプ構造

ケース	SARMUX[x]:		使用されるアナログセンシングパス: (入力範囲: 0V～VDDA)	電源ドメインのクランプダイオードステージ:			電源ピンの要件 VDDA_ADC と同様[56]:	
	例	IO ドメイン		PD_1 (GPIO ステージ)	PD_2 (ADC MUX ステージ)	PD_3 (SAR MUX ステージ)	PD_1, PD_2 ドメイン	SARMUX[x] IO ドメイン
1.1.A	0	VDDIO_GPIO1	ポートピン無し (デジタルのみ)	VDDIO_GPIO1	-	VDDA	No	No
1.1.B	0	VDDIO_GPIO1	ADC[0]_M ピン	VDDIO_GPIO1	-	VDDA	Yes	Yes
1.2.A	0	VDDIO_GPIO1	ポートピン無し (デジタルのみ)	VDDIO_GPIO2	VDDIO_GPIO1	VDDA	No	No
1.2.B	0	VDDIO_GPIO1	ADC[0]_M ピン	VDDIO_GPIO2	VDDIO_GPIO1	VDDA	Yes	Yes
1.3	0	VDDIO_GPIO1	AUXMUX を介した内部	-	-	VDDA	-	Yes
2.1.A	1	VDDIO_SMC	ポートピン無し (デジタルのみ)	VDDIO_SMC	-	VDDA	No	No
2.2.B	1	VDDIO_SMC	ADC[1]_M ピン	VDDIO_SMC	-	VDDA	Yes	Yes

[56] 専用 I/O ドメインおよび ADC 電源の電源レール電圧レベルの実装は、デバイスデータシートに記載されている他の電源シーケンス要件に準拠している必要があります。

25.4 CYT4D シリーズ

Table 37 CYT4D 内のアナログ機能を共有する I/O ピンのクランプ構造

ケース	SARMUX[x]:		使用されるアナログセンシングパス: (入力範囲: 0V～VDDA)	電源ドメインのクランプダイオードステージ:			電源ピンの要件 VDDA_ADC と同様[57]:	
	例	IO ドメイン		PD_1 (GPIO ステージ)	PD_2 (ADC MUX ステージ)	PD_3 (SAR MUX ステージ)	PD_1, PD_2 ドメイン	SARMUX[x] IO ドメイン
1.1.A	0	VDDIO_GPIO2	ポートピン無し (デジタルのみ)	VDDIO_GPIO2	-	VDDA	No	No
1.1.B	0	VDDIO_GPIO2	ADC[0]_M ピン	VDDIO_GPIO2	-	VDDA	Yes	Yes
1.2.A	0	VDDIO_GPIO2	ポートピン無し (デジタルのみ)	VDDIO_GPIO1	VDDIO_GPIO2	VDDA	No	No
1.2.B	0	VDDIO_GPIO2	ADC[0]_M ピン	VDDIO_GPIO1	VDDIO_GPIO2	VDDA	Yes	Yes
1.3	0	VDDIO_GPIO2	AUXMUX を介した内部	-	-	VDDA	Yes	Yes
1.3.A	1	VDDIO_SMC	ポートピン無し (デジタルのみ)	VDDIO_SMC	-	VDDA	No	No
1.3.B	1	VDDIO_SMC	ADC[1]_M ピン	VDDIO_SMC	-	VDDA	Yes	Yes

[57] 専用 I/O ドメインおよび ADC 電源の電源レール電圧レベルの実装は、デバイスデータシートに記載されている他の電源シーケンス要件に準拠している必要があります。

25.5 CYT4E シリーズ

Table 38 CYT4E 内のアナログ機能を共有する I/O ピンのクランプ構造

ケース	SARMUX[x]:		使用されるアナログセンシングパス: (入力範囲: 0V～VDDA)	電源ドメインのクランプダイオードステージ:			電源ピンの要件 VDDA_ADC と同様[58]:	
	例	IO ドメイン		PD_1 (GPIO ステージ)	PD_2 (ADC MUX ステージ)	PD_3 (SAR MUX ステージ)	PD_1, PD_2 ドメイン	SARMUX[x] IO ドメイン
1.1.A	0	VDDIO_GPIO2	ポートピン無し (デジタルのみ)	VDDIO_GPIO2	-	VDDA	No	No
1.1.B	0	VDDIO_GPIO2	ADC[0]_M ピン	VDDIO_GPIO2	-	VDDA	Yes	Yes
1.2.A	0	VDDIO_GPIO2	ポートピン無し (only digital)	VDDIO_GPIO1	VDDIO_GPIO2	VDDA	No	No
1.2.B	0	VDDIO_GPIO2	ADC[0]_M ピン	VDDIO_GPIO1	VDDIO_GPIO2	VDDA	Yes	Yes
1.3	0	VDDIO_GPIO2	AUXMUX を介した内部	-	-	VDDA	Yes	Yes
1.3.A	1	VDDIO_SMC	ポートピン無し (デジタルのみ)	VDDIO_SMC	-	VDDA	No	No
1.3.B	1	VDDIO_SMC	ADC[1]_M ピン	VDDIO_SMC	-	VDDA	Yes	Yes

[58] 専用 I/O ドメインおよび ADC 電源の電源レール電圧レベルの実装は、デバイスデータシートに記載されている他の電源シーケンス要件に準拠している必要があります。

25.6 CYT2C シリーズ

Table 39 CYT2C 内のアナログ機能を共有する I/O ピンのクランプ構造

ケース	SARMUX[x]:		使用されるアナログセンシングパス: (入力範囲: 0V～VDDA)	電源ドメインのクランプダイオードステージ:			電源ピンの要件 VDDA_ADC と同様[59]:	
	例	I/O ドメイン		PD_1 (GPIO ステージ)	PD_2 (ADC MUX ステージ)	PD_3 (SAR MUX ステージ)	PD_1, PD_2 ドメイン	SARMUX[x] IO ドメイン
1.1.A	0	VDDIO_GPIO	ポートピン無し (デジタルのみ)	VDDIO_GPIO	–	VDDA	No	No
1.1.B	0	VDDIO_GPIO	ADC[0]_M ピン	VDDIO_GPIO	–	VDDA	Yes	Yes
1.2	0	VDDIO_GPIO	AUXMUX を介した内部	–	–	VDDA	–	Yes
2.1.A	1	VDDIO_SMC	ポートピン無し (デジタルのみ)	VDDIO_SMC	–	VDDA	No	No
2.1.B	1	VDDIO_SMC	ADC[1]_M ピン	VDDIO_SMC	–	VDDA	Yes	Yes

[59] 専用 I/O ドメインおよび ADC 電源の電源レール電圧レベルの実装は、デバイスデータシートに記載されている他の電源シーケンス要件に準拠している必要があります。

26 関連ドキュメント

- AN227076 - TRAVEO™ T2G ブートローダ
- AN234261 – Ethernet design guide for TRAVEO™ T2G family
- AN230194 – Setting ECO parameters
- AN224153 – Design and layout guide for SEMPER™ NOR flash memory
- AN233447 – Power filter options for FPD-Link interfaces for the TRAVEO™ T2G family
- AN79938 – Design guidelines for Infineon ball grid array (BGA) packaged devices
- AN202751 – Surface mount assembly recommendations for Infineon FBGA packages
- AN213250 – Power filter options for FPD-Link interfaces
- AN226698 – TRAVEO™ T2G ファミリ: 外部電源設計ガイド
- AN220118 – TRAVEO™ T2G ファミリ MCU スタートアップガイド
- AN72845 – Design guidelines for QFN packaged devices
- AN89611 – PSOC™ 3 and PSOC™ 5LP getting started with chip scale packages
- AN80994 – 電気的高速過渡現象 (EFT) 耐性についての設計の注意事項
- AN57821 – PSOC™ 3, PSOC™ 4, および PSOC™ 5LP のアナログ/デジタル混在回路基板レイアウトの注意事項
- AN220222 – TRAVEO™ T2G ファミリ低消費電力モードの使用方法
- ARM_Link_01 – CoreSight components technical reference manual (Cortex® debug connector detailed specification in Appendix C)
- ARM_Link_02 – Cortex®-M debug connectors
- SRAM board design guidelines
- デバイスデータシート
  - CYT2B6 datasheet 32-bit Arm® Cortex®-M4F microcontroller TRAVEO™ T2G family
  - CYT2B7 datasheet 32-bit Arm® Cortex®-M4F microcontroller TRAVEO™ T2G family
  - CYT2B9 datasheet 32-bit Arm® Cortex®-M4F microcontroller TRAVEO™ T2G family
  - CYT2BL datasheet 32-bit Arm® Cortex®-M4F microcontroller TRAVEO™ T2G family
  - CYT2CL datasheet 32-bit Arm® Cortex®-M4F microcontroller TRAVEO™ T2G family
  - CYT3BB/4BB datasheet 32-bit Arm® Cortex®-M4F microcontroller TRAVEO™ T2G family
  - CYT3DL datasheet 32-bit Arm® Cortex®-M4F microcontroller TRAVEO™ T2G family
  - CYT4BF datasheet 32-bit Arm® Cortex®-M7 microcontroller TRAVEO™ T2G family
  - CYT4DN datasheet 32-bit Arm® Cortex®-M7 microcontroller TRAVEO™ T2G family
  - CYT4EN datasheet 32-bit Arm® Cortex®-M7 microcontroller TRAVEO™ T2G family
  - CYT6BJ datasheet 32-bit Arm® Cortex®-M7 microcontroller TRAVEO™ T2G family
- Technical reference manual for body controller entry family
  - TRAVEO™ T2G automotive body controller entry family architecture technical reference manual (TRM)
  - TRAVEO™ T2G automotive body controller entry registers technical reference manual (TRM) for CYT2B7
  - TRAVEO™ T2G automotive body controller entry registers technical reference manual (TRM) for CYT2B9
- Technical reference manual for body controller high family
  - TRAVEO™ T2G automotive body controller high family architecture technical reference manual (TRM)
  - TRAVEO™ T2G automotive body controller high registers technical reference manual (TRM) for CYT3BB/4BB

26 関連ドキュメント

  - TRAVEO™ T2G automotive body controller high registers technical reference manual (TRM) for CYT4BF
- Technical reference manual for cluster 2D family
  - TRAVEO™ T2G automotive cluster 2D family architecture technical reference manual (TRM)
  - TRAVEO™ T2G automotive cluster 2D registers technical reference manual (TRM) for CYT3DL
  - TRAVEO™ T2G automotive cluster 2D registers technical reference manual (TRM) for CYT4DN
  - TRAVEO™ T2G automotive cluster 2D registers technical reference manual (TRM) for CYT4EN (Doc. No. 002-32087)
- Technical reference manual for cluster entry family
  - TRAVEO™ T2G automotive cluster entry family architecture technical reference manual (TRM)
  - TRAVEO™ T2G automotive cluster entry registers technical reference manual (TRM) for CYT2CL

TRAVEO™ T2G ファミリのデータシートおよびテクニカルリファレンスマニュアルを入手については、テクニカルサポートに連絡してください。

改訂履歴

版数	発行日	変更内容
**	2018-06-29	これは英語版 002-20270 Rev.**を翻訳した日本語版 002-22807 Rev.**です。
*A	2019-09-03	これは英語版 002-20270 Rev.*A を翻訳した日本語版 002-22807 Rev.*A です。
*B	2021-07-14	これは英語版 002-20270 Rev.*E を翻訳した日本語版 002-22807 Rev.*B です。
*C	2022-01-27	これは英語版 002-20270 Rev.*F を翻訳した日本語版 002-22807 Rev.*C です。
*D	2022-06-20	これは英語版 002-20270 Rev.*G を翻訳した日本語版 002-22807 Rev.*D です。
*E	2023-07-18	これは英語版 002-20270 Rev.*I を翻訳した日本語版 002-22807 Rev.*E です。
*F	2024-03-15	これは英語版 002-20270 Rev.*J を翻訳した日本語版 002-22807 Rev.*F です。
*G	2024-11-01	これは英語版 002-20270 Rev.*L を翻訳した日本語版 002-22807 Rev.*G です。
*H	2026-06-16	これは英語版 002-20270 Rev.*N を翻訳した日本語版 002-22807 Rev.*H です。

Trademarks

All referenced product or service names and trademarks are the property of their respective owners.
PSOC™, formerly known as PSoC™, is a trademark of Infineon Technologies. Any references to PSoC™ in this document or others shall be deemed to refer to PSOC™.

Edition 2026-06-16

Published by

Infineon Technologies AG

81726 Munich, Germany

© 2026 Infineon Technologies AG. All Rights Reserved.

Do you have a question about this document?

Email: erratum@infineon.com

Document reference

002-22807 Rev. *H

重要: 注意事項

本文書の全ての日本語情報は、英文で提供されている情報の参考訳です。英文版と和文版に齟齬がある場合は常に英文版の内容が優先します。

製品 (サンプルも含みます。また、ハードウェア、ソフトウェアまたはその両方で構成される製品も含みます。以下同じです。) の販売、提供または引渡しは、インフィニオンテクノロジーズ AG およびその関連会社（以下まとめて「インフィニオン」といいます）、お客様とインフィニオンによって締結された基本契約その他の書面により合意された条件、そのようなの条件がない場合はインフィニオンの適用ある販売条件に従います。お客様の一般的な取引条件またはインフィニオンの販売条件と乖離した条件は、インフィニオンが書面で明示的に同意した場合に限り、インフィニオンを拘束するものとします。

疑義を避けるため、インフィニオンは、第三者の権利を侵害していないことの保証、および特定の使用/ 目的に対する適合性または商品性の保証などの黙示的保証を負いません。

インフィニオンは、サンプル、アプリケーション、もしくはお客様による製品の具体的な使 用方法、または本書面に記載された例や標準値に関するいかなる情報についても責任いません。

本書面に記載されているデータは、技術的資格を有する熟練したお客様のご担当者をのみを対象としています。お客様は、意図された用途およびお客様の特定用途に対する製品の適合性を評価し、意図された用途および顧客の特定用途において本書面に含まれるすべての関連技術データを検証する責任を負います。お客様は、意図されたアプリケーションの機能性および安全性を適切に設計、プログラミング、テストし、その使用に関連する法令を遵守してください。

インフィニオンの明示的な承認がない限り、製品は、製品の故障またはその使用による結果が人身傷害につながると合理的に予想されるいかなる用途にも使用しないでください。ただし、上記は、インフィニオンが明示的に設計し、販売した使用分野でお客様が製品を使用することを妨げるものではありません。

インフィニオンは、適用される法律、例えばドイツ著作権法 (UrhG) 第 44b 条に従って、そのコンテンツを商業的なテキストおよびデータのマイニング (TDM) のために使用する権利を明示的に留保します。

製品にセキュリティ機能が含まれている場合：

いかなるコンピューティング・デバイスも絶対的に安全であることはあり得ないため、製品にセキュリティ対策が施されているにもかかわらず、インフィニオンは、製品に侵入、データの盗難もしくは損失、またはその他の侵害 (「セキュリティ侵害」といいます) がないことを保証せず、インフィニオンは、セキュリティ侵害に起因するいかなる責任も負わないものとします。

本書面がソフトウェアを含んでいるまたはソフトウェアに言及している場合：

ソフトウェアは、米国、ドイツ、および世界各国の知的財産権法および条約に基づきインフィニオンが所有しています。インフィニオンはすべての権利を留保し、無断複写、複製および転写を禁じます。お客様はソフトウェアに同梱されたソフトウェア使用許諾契約に従ってのみソフトウェアを使用できます。

ソフトウェア使用許諾契約が適用されない場合、インフィニオンはここに、ソフトウェアの知的所有権に基づき、(a) ソースコード形式で提供されたソフトウェアについて、インフィニオンのハードウェア製品と共に使用する目的のためにのみソフトウェアを修正および複製するための、そして(b)インフィニオンのハードウェア製品上での使用目的に限り、ソフトウェアをバイナリコード形式でエンドユーザーに外部配布するための、個人的、非排他的、譲渡不能なライセンス (サブライセンス不可) をお客様に付与します。それ以外のソフトウェアの使用、複製、変更、翻訳またはコンパイルは禁止されています。製品、技術、納品条件、および価格に関する詳細については、最寄りのインフィニオンオフィスに連絡するか、https://www.infineon.com にアクセスしてください。