共通の物理レイアウトで HYPERBUS™ および Octal SPI をサポート

本書について

適用範囲と目的

このアプリケーションノートでは、インフィニオン HYPERBUS™ NOR フラッシュおよび 24 ボール FBGA でパッケージされる代替ソース Octal SPI NOR フラッシュ デバイスのピン配置と電気的特性の主要な違いについて説明します。アプリケーションを設計する時、同じ物理的フットプリントで Octal SPI を HYPERBUS™デバイスにドロップインで (ボール ツー ボール) 交換することを可能にするには、これらの相違点に注意してください。

対象者

本書は、インフィニオンのシリアル インターフェースメモリを使用するすべての技術者を対象とします。

目次

目次

本書について **1**
目次 **2**
1 はじめに **3**
2 共通の物理レイアウトで HYPERBUS™および Octal をサポート **5**
2.1 24 ボール FBGA パッケージ 5
2.2 パッケージの互換性 6
2.3 ピン配置の互換性 6
2.4 物理レイアウト ガイドライン 9
3 まとめ **10**
改訂履歴 **11**
免責事項 **12**

1 はじめに

HYPERBUS™と Octal SPI のどちらも 1 つのホスト システム マスターを 1 つ以上のスレーブ デバイスに接続するために使用される高性能 8 ビット幅のシリアル インターフェースです。両方のインターフェースは 8 ビット データ バスを介してダブル データ レート (DDR) 方式でデータおよびコマンド/アドレスの情報を転送します。クロック入力信号はコマンド/アドレス/データの情報を受信する際のデバイスによる信号キャプチャのために使用されます。データ ストローブ (RWDS/DQS/DS) は両方のインターフェースでの出力であり、データがデバイスからホストに転送されている時点を示します。RWDS/DQS/DS は読み出し動作のデータ転送中に、クロックの立ち上りと立ち下りエッジを基準にしています。コマンド/アドレス/書き込みデータの値はクロック エッジの中央に揃えますが、読み出しデータの値は RWDS/DQS/DS 遷移のエッジに揃えます。

シリアル インターフェース メモリの最大の利点はメモリ接続に必要な信号の数を減らすことです。これによりホスト システム接続は解放され、その結果、パッケージと多層 PCB の費用を削減できます。しかし、シリアル メモリは従来、データ スループットが少なく、ランダム アクセス時間が長いです。これは、ソース同期データがクロック周波数の 2 倍のレートでキャプチャされる高性能マルチ I/O DDR アーキテクチャを備える HYPERBUS™および Octal で改善されます。このため、200 MHz のクロック周波数で動作する HYPERBUS™または Octal デバイスは、0.4 GB/s のピーク データ転送速度を持ちます。内部データ バスが外部データ バス幅の 2 倍になり、データ キャプチャがクロック サイクルごとに 2 回行われる設計が必要とされます。このような高速データ スループットで信号の完全性を保証するために、双方向データ ストローブが提供されます。

Figure 1 に異なるインターフェースでのデータ スループットの比較を示します。

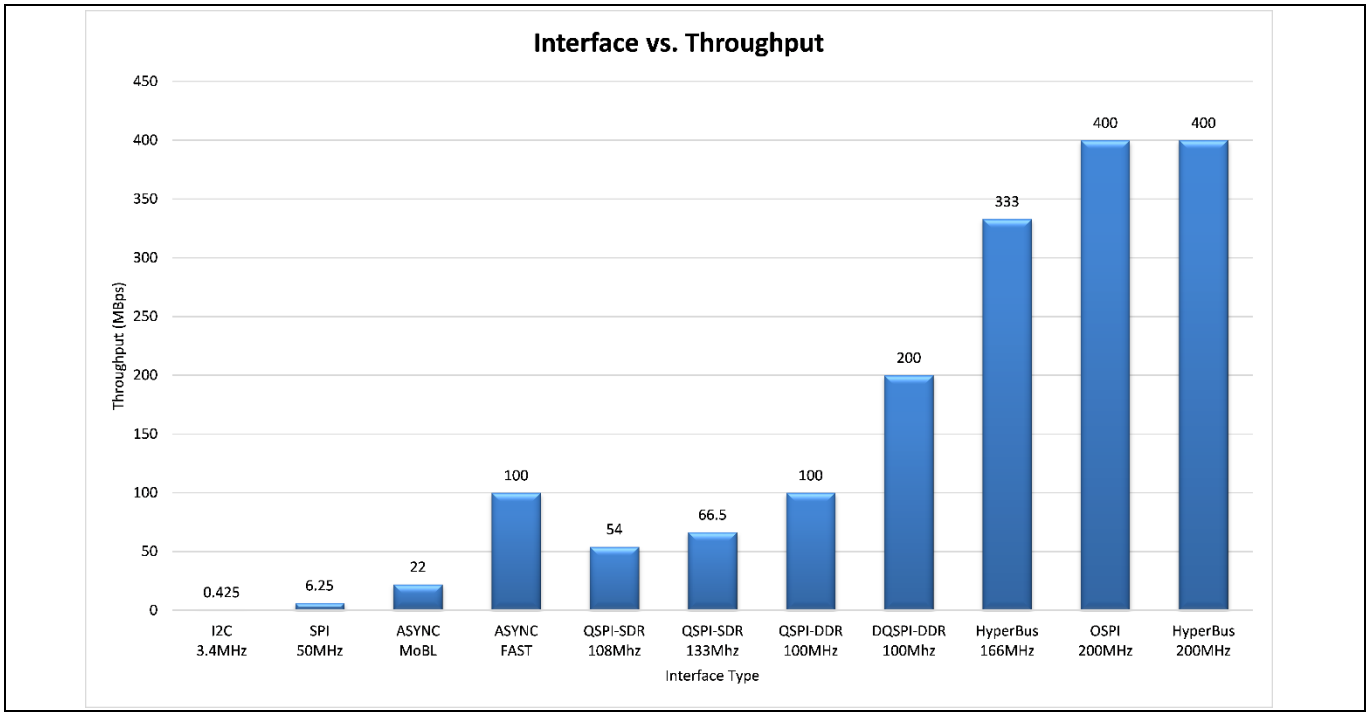


Figure 1 インターフェース データ スループット

すべての HYPERBUS™と Octal の入力/出力は LVCMOS 準拠であり、1.8 V または 3.0 V (定格) のいずれかの電源をサポートします。制御信号はマスター クロックを除き、すべてシングル エンドです。Octal のマスター クロックはシングルエンドである一方で、HYPERBUS™は 1.8 V アーキテクチャのみに差動のマスター クロックを必要とします。

1 はじめに

HYPERBUS™と Octal の命令プロトコルは従来の業界標準のシリアル ペリフェラル インターフェース (SPI) に従います。各トランザクションはチップ セレクト (CS#) のアサートで始まります。それから、CS#がデアサートされるまで、アクセス レイテンシを持つコマンド バイトとアドレス バイトの転送および読み出し/書き込みのデータ転送が続きます。

2 共通の物理レイアウトで HYPERBUS™および Octal をサポート

ここでは、インフィニオンの HYPERBUS™, Octal インターフェース, および代替ソース Octal 製品 (Micron Xccela, Macronix OctaFlash) のパッケージピン配置, 信号, および電気的仕様について説明します。置換に関する物理デザイン レイアウトの注意項目についても説明します。

2.1 24 ボール FBGA パッケージ

24 ボール FBGA パッケージを Figure 2 に示します。

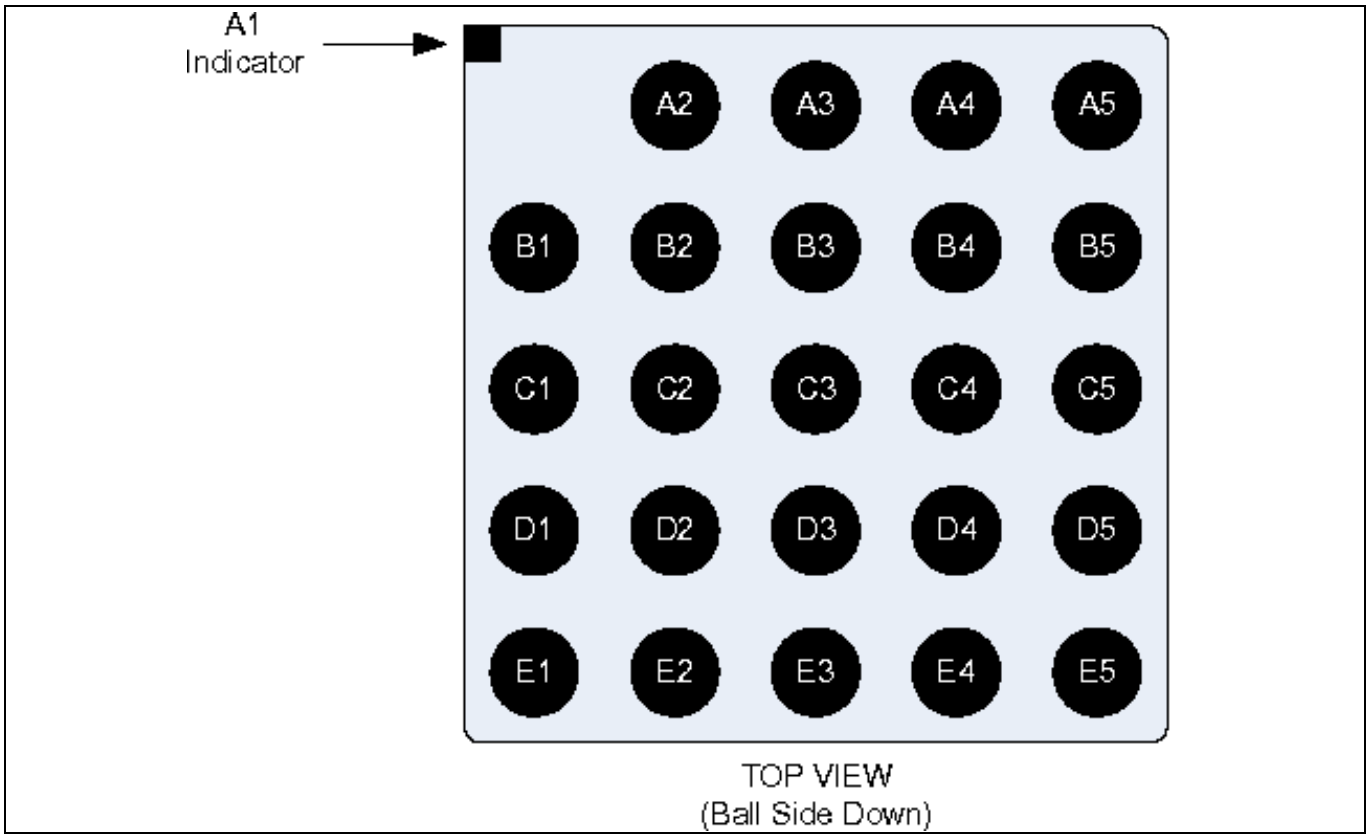


Figure 2 24 ボール FBGA パッケージ

2.2 パッケージの互換性

インフィニオン HYPERBUS™製品, Octal, および代替ソースの Octal 製品は、24 ボール FBGA パッケージで提供されます。Table 1 に示すように、パッケージ寸法は同様で、ソケット互換です。

Table 1 24 ボール FBGA パッケージの比較

パッケージの寸法	インフィニオン HYPERBUS™, Octal				Micron Xccela Octal		Macronix OctaFlash	
	6 mm × 8 mm パッケージ (mm)		8 mm × 8 mm [1] パッケージ (mm)		6 mm × 8 mm パッケージ (mm)		6 mm × 8 mm パッケージ (mm)	
	最小	最大	最小	最大	最小	最大	最小	最大
高さ (本体)	–	1.00	–	1.00	1.00	1.20	–	1.20
長さ (本体)	–	8.00	–	8.00	7.99	8.01	7.90	8.10
幅 (本体)	–	6.00	–	8.00	5.99	6.01	5.90	6.10
長さ (最大のフットプリント)	–	4.00	–	4.00	–	4.00	–	4.00
幅 (最大のフットプリント)	–	4.00	–	4.00	–	4.00	–	4.00
ボール数	–	24	–	24	–	24	–	24
ボールピッチ	–	1.00	–	1.00	–	1.00	–	1.00
ボール高さ	0.20	–	0.20	–	0.25	0.35	0.25	0.35

2.3 ピン配置の互換性

インフィニオン HYPERBUS™, Octal, および代替ソース Octal の必須な信号と任意の信号を、それぞれ Table 2 および Table 3 に示します。アクティブ LOW 信号名の末尾には、ハッシュ記号 (#) が付いています。

Table 2 必須 I/O のまとめ

ピン名	タイプ	説明
CS# S#	入力	チップセレクト。バストランザクションは HIGH から LOW への遷移で開始され、LOW から HIGH への遷移で終了される
C CK	入力	クロック。コマンド, アドレス, およびデータ情報は CK の交差に対する入力または出力。クロックがフリーランニングである必要はない。
CK# (HYPERBUS™)	入力	クロック#。コマンド, アドレス, およびデータ情報は CK#の交差に対する入力または出力。クロックがフリーランニングである必要はない。

[1] BGA パッケージ 6 mm × 8 mm と 8 mm × 8 mm のフットプリントはまったく同じです。

2 共通の物理レイアウトで HYPERBUS™および Octal をサポート

ピン名	タイプ	説明
DQ[7:0] SIO[7:0]	入力/出力	データ入力/出力。コマンド, アドレス, およびデータ情報は読み出しと書き込みトランザクション中にこれらの信号上に転送される
RWDS DQS DQ DS	入力/出力	読み出しデータ ストローブ。読み出しトランザクション中の出力データは RWDS/DQS/DS とエッジ揃えになる
RESET#	入力	ハードウェア リセット。LOW の時、デバイスは自己初期化し、アレイ読み出し状態に戻る。RESET#が LOW の時、RWDS/QDS と DQ[7:0]は HI-Z 状態に移る。RESET#は弱いプルアップを含み、RESET#が未接続の場合に HIGH 状態にプルアップされる
VCC	電源	コア電源
VCCQ	電源	入力/出力の電源
GND VSS	電源	コア グランド
VSSQ	電源	入力/出力グランド

Table 3　オプション I/O のまとめ

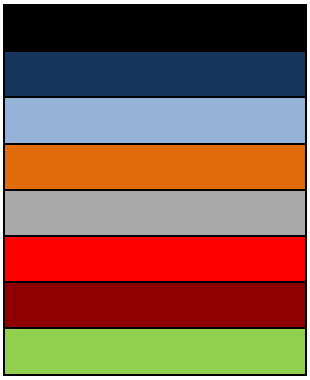
ピン名	タイプ	説明
RSTO# (インフィニオン HYPERBUS™)	出力 (オープンドレイン)	RSTO#出力。RSTO#はデバイス内で POR が発生していることを示すために使用されるオープンドレイン出力であり、システム レベルのリセット信号として使用できる。内部 POR の完了後ただちに、ユーザにより定義されたタイムアウト期間が経過した後、RSTO#信号は低インピーダンスから高インピーダンスに遷移する。高インピーダンス状態に遷移した後、外部プルアップ抵抗により RSTO#信号は HIGH レベルに引っ張られて、デバイスは瞬時にアイドル状態になる
INT# (インフィニオン HYPERBUS™, Octal)	出力 (オープンドレイン)	INT 出力。LOW の時、デバイスは内部イベントが発生したことを示す。この信号はデバイスでチップ内イベントが発生したことを示すために、システム レベルの割込みとして使用されることを意図している。INT#はオープン ドレイン出力
V_{PP} (Xccela)	電源	プログラミング電圧 (Micron Xccela)

2 共通の物理レイアウトで HYPERBUS™および Octal をサポート

24 ボール FBGA パッケージのピン配置の互換性を Table 4 に示します。

Table 4　24 ボール FBGA パッケージのピン配置の適合性

ピン番号	インフィニオン HYPERBUS™	インフィニオン Octal	Micron Xccela Octal	Macronix OctaFlash
A1	N/A	N/A	N/A	N/A
A2	RSTO#	RFU	RFU	NC
A3	RFU	RFU	RFU	NC
A4	RESET#	RESET#	RESET#	RESET#
A5	INT#	INT#	DNU	DNU
B1	CK#	RFU	RFU	NC
B2	CK	CK	C	SCLK
B3	VSS	VSS	VSS	VSS
B4	VCC	VCC	VCC	VCC
B5	RFU	RFU	DNU	NC
C1	VSSQ	VSSQ	VSS	VSSQ
C2	CS#	CS#	S#	CS#
C3	RWDS	DS	DQS	DQS
C4	DQ2	DQ2	DQ2/W#	SIO2
C5	RFU	RFU	VPP	NC
D1	VCCQ	VCCQ	VCC	VCCQ
D2	DQ1	DQ1	DQ1	SIO1
D3	DQ0	DQ0	DQ0	SIO0
D4	DQ3	DQ3	DQ3	SIO3
D5	DQ4	DQ4	DQ4	SIO4
E1	DQ7	DQ7	DQ7	SIO7
E2	DQ6	DQ6	DQ6	SIO6
E3	DQ5	DQ5	DQ5	SIO5
E4	VCCQ	VCCQ	VCC	VCCQ
E5	VSSQ	VSSQ	VSS	VSSQ



使用不可
将来に使用するために予約済み/未使用/未接続
制御ピン
任意の機能ピン(プログラマブル)
データ ピン
電力
高電圧電源
グランド

2.4 物理レイアウト ガイドライン

置換を最適化するために、インフィニオンは基板レイアウトの接続を Figure 3 のように構築することを推奨します。

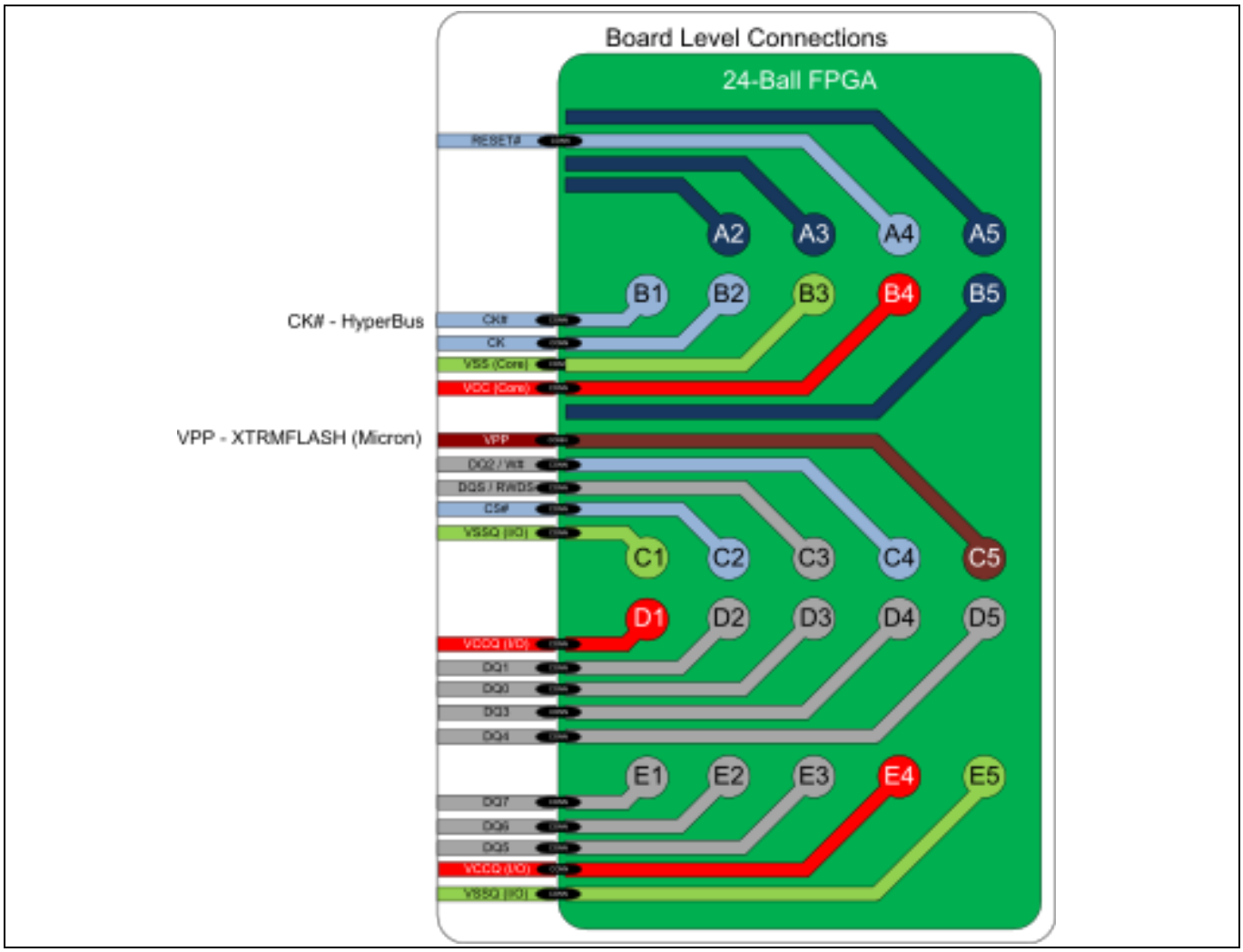


Figure 3 24 ボール FBGA 物理基板レイアウト

HYPERBUS™の任意のピンは衝突をもたらす可能性があります。INT#および RSTO#が Micron Xccela の「未使用ピン」(DNU) および「将来に使用するために予約済み」(RFU) ピンのため、インフィニオンはこれらの使用を推奨しません。

3 まとめ

PCB レイアウトと RSTO#および INT#の任意ピンの回避を前もって考慮すると、インフィニオンの HYPERBUS™製品は Octal SPI 製品とピン互換です。このアプリケーション ノートの手順どおりに実施すれば、HYPERBUS™製品は Octal SPI 製品のボール ツー ボール置き換えができます。

改訂履歴

版数	発行日	変更内容
**	2016-05-25	これは英語版 002-11489 Rev. **を翻訳した日本語版 002-12554 Rev. **です。
*A	2022-12-01	これは英語版 002-11489 Rev. *A を翻訳した日本語版 002-12554 Rev. *A です。
*B	2025-10-08	これは英語版 002-11489 Rev. *B を翻訳した日本語版 002-12554 Rev. *B です。

Trademarks
All referenced product or service names and trademarks are the property of their respective owners.

Edition 2025-10-08

Published by

Infineon Technologies AG

81726 Munich, Germany

© 2025 Infineon Technologies AG. All Rights Reserved.

Do you have a question about this document?

Email: erratum@infineon.com

Document reference

002-12554 Rev. *B

重要: 注意事項

本文書の全ての日本語情報は、英文で提供されている情報の参考訳です。英文版と和文版に齟齬がある場合は常に英文版の内容が優先します。

製品 (サンプルも含みます。また、ハードウェア、ソフトウェアまたはその両方で構成される製品も含みます。以下同じです。) の販売、提供または引渡しは、インフィニオンテクノロジーズAGおよびその関連会社 (以下まとめて「インフィニオン」といいます)、お客様とインフィニオンによって締結された基本契約その他の書面により合意された条件、そのようなの条件がない場合はインフィニオンの適用ある販売条件に従います。お客様の一般的な取引条件またはインフィニオンの販売条件と乖離した条件は、インフィニオンが書面で明示的に同意した場合に限り、インフィニオンを拘束するものとします。
疑義を避けるため、インフィニオンは、第三者の権利を侵害していないことの保証、および特定の使用/目的に対する適合性または商品性の保証などの黙示的保証を負いません。
インフィニオンは、サンプル、アプリケーション、もしくはお客様による製品の具体的な使 用方法、または本書面に記載された例や標準値に関するいかなる情報についても責任いません。
本書面に記載されているデータは、技術的資格を有する熟練したお客様のご担当者をのみを対象としています。お客様は、意図された用途およびお客様の特定用途に対する製品の適合性を評価し、意図された用途および顧客の特定用途において本書面に含まれるすべての関連技術データを検証する責任を負います。お客様は、意図されたアプリケーションの機能性および安全性を適切に設計、プログラミング、テストし、その使用に関連する法令を遵守してください。
インフィニオンの明示的な承認がない限り、製品は、製品の故障またはその使用による結果が人身傷害につながると合理的に予想されるいかなる用途にも使用しないでください。ただし、上記は、インフィニオンが明示的に設計し、販売した使用分野でお客様が製品を使用することを妨げるものではありません。
インフィニオンは、適用される法律、例えばドイツ著作権法 (UrhG) 第44b条に従って、そのコンテンツを商業的なテキストおよびデータのマイニング (TDM) のために使用する権利を明示的に留保します。
製品にセキュリティ機能が含まれている場合:
いかなるコンピューティング・デバイスも絶対的に安全であることはあり得ないため、製品にセキュリティ対策が施されているにもかかわらず、インフィニオンは、製品に侵入、データの盗難もしくは損失、またはその他の侵害 (「セキュリティ侵害」といいます) がないことを保証せず、インフィニオンは、セキュリティ侵害に起因するいかなる責任も負わないものとします。
本書面がソフトウェアを含んでいるまたはソフトウェアに言及している場合：
ソフトウェアは、米国、ドイツ、および世界各国の知的財産権法および条約に基づきインフィニオンが所有しています。インフィニオンはすべての権利を留保し、無断複写、複製および転写を禁じます。お客様はソフトウェアに同梱されたソフトウェア使用許諾契約に従ってのみソフトウェアを使用できます。
ソフトウェア使用許諾契約が適用されない場合、インフィニオンはここに、ソフトウェアの知的所有権に基づき、(a) ソースコード形式で提供されたソフトウェアについて、インフィニオンのハードウェア製品と共に使用する目的のためにのみソフトウェアを修正および複製するための、そして(b)インフィニオンのハードウェア製品上での使用目的に限り、ソフトウェアをバイナリコード形式でエンドユーザーに外部配布するための、個人的、非排他的、譲渡不能なライセンス (サブライセンス不可) をお客様に付与します。それ以外のソフトウェアの使用、複製、変更、翻訳またはコンパイルは禁止されています。製品、技術、納品条件、および価格に関する詳細については、最寄りのインフィニオンオフィスに連絡するか、https://www.infineon.comにアクセスしてください。